TMUXS130xA 针对高阻抗负载进行优化的 5V 双向 16:1 单通道和 8:1 双通道电流注入控制多路复用器

1 特性

- 注入电流控制
- 反向供电保护
  - 无到 V_{DD} 的 ESD 二极管路径
- 宽电源电压范围：1.62V 至 5.5V
- 低导通电容
- 双向信号路径
- 轨到轨运行
- 兼容 1.8V 逻辑电平
- 失效防护逻辑
- 先断后合开关
- 针对开启和关闭通道的电池短路保护

2 应用

- 数据中心交换机
- 远程无线电单元 (RRU)
- 机架式服务器
- 电表
- 电器
- 空调机
- 多功能打印机
- 串式逆变器
- IP 网络摄像头
- 点钞机
- 非公路用车控制系统

3 说明

TMUXS1306A 和 TMUXS1307A 为通用互补金属氧化物半导体 (CMOS) 多路复用器 (MUX)。TMUXS1306A 是 16:1 单通道（单端）多路复用器，而 TMUXS1307A 是 8:1 双通道（差分）多路复用器。这些器件可在源极 (Sx) 和漏极 (Dx) 引脚上支持从 GND 到 V_{DD} 范围的双向模拟和数字信号。

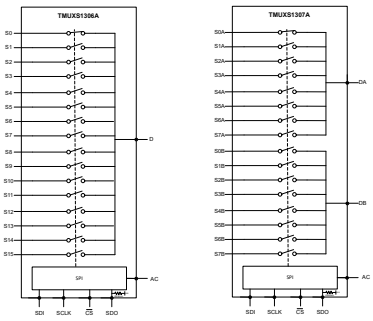
TMUXS130xA 器件具有内部注入电流控制功能，从而无需外部二极管和电阻器网络（通常用于保护开关并使输入信号保持在电源电压范围之内）。内部注入电流控制电路允许禁用或启用的信号路径上的信号超过电源电压。电压高于 V_{DD} 的禁用通道不会影响已启用信号路径的信号。此外，TMUXS130xA 器件没有到电源引脚的内部二极管路径，从而消除了损坏连接到电源引脚的元件或为电源轨提供意外电源的风险。

TMUXS130xA 的开关通过串行外设接口 (SPI) 控制。SPI 具有多种错误检测功能，例如 CRC、无效读取/写入和时钟计数错误检测。SPI 还支持自动周期（交流）模式（通过单个 GPIO 控制多路复用器）、菊花链模式和突发模式。

器件信息

器件型号	配置(1)	封装(2)	封装尺寸(3)
TMUXS1306A	通道 16:1	PW (TSSOP, 24)(4)	7.8mm × 6.4mm
		DGS (VSSOP, 24)(4)	6.1mm × 4.9mm
		RGE（VQFN，24）	4mm × 4mm
TMUXS1307A	2 通道 8:1	RGE（VQFN，24）	4mm × 4mm

(1) 请参阅*器件比较表*。
(2) 有关更多信息，请参阅 节 14。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(4) 预发布信息（非预告信息）。



TMUXS1306A 和 TMUXS1307A 方框图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 4
6 规格 6
6.1 绝对最大额定值 6
6.2 ESD 等级 6
6.3 建议运行条件 6
6.4 热性能信息：TMUXS1306A 7
6.5 热性能信息：TMUXS1307A 7
6.6 电气特性 8
6.7 逻辑和动态特性 9
6.8 计时特点 10
6.9 注入电流耦合 11
6.10 SPI 时序特性 (5.5V) 11
6.11 SPI 时序特性 (3.3V) 12
6.12 SPI 时序特性 (2.7V) 12
6.13 SPI 时序特性 (1.8V) 13
7 参数测量信息 14
7.1 导通电阻 14
7.2 关断漏电流 14
7.3 导通漏电流 15
7.4 转换时间 15
7.5 先断后合 16
7.6 $t_{ON(EN)}$ 和 $t_{OFF(EN)}$ 16
7.7 电荷注入 17
7.8 关断隔离 17
7.9 串扰 18
7.10 带宽 18
7.11 注入电流控制 18
8 详细说明 20
8.1 概述 20
8.2 功能方框图 20
8.3 特性说明 20
8.4 器件功能模式 24
9 TMUXS1306A 寄存器映射 28
10 TMUXS1307A 寄存器映射 29
11 应用和实施 30
11.1 应用信息 30
11.2 典型应用 30
11.3 电源相关建议 31
11.4 布局 31
12 器件和文档支持 34
12.1 文档支持 34
12.2 接收文档更新通知 34
12.3 支持资源 34
12.4 商标 34
12.5 静电放电警告 34
12.6 术语表 34
13 修订历史记录 34
14 机械、封装和可订购信息 34
14.1 卷带包装信息 35
14.2 机械数据 37

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

产品	说明
TMUXS1306A	16:1 单通道单端多路复用器
TMUXS1307A	8:1 双通道差分多路复用器

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 引脚配置和功能

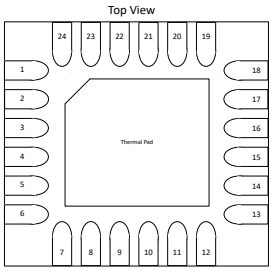


图 5-1. TMUXS1306A：RGE 封装，24 引脚 VQFN（俯视图）

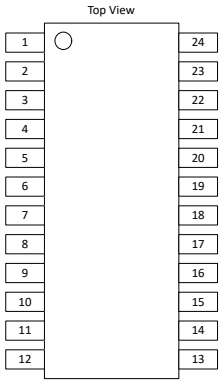


图 5-2. TMUXS1306A：PW 和 DGS 24 引脚 TSSOP 和 VSSOP（顶视图）

表 5-1. 引脚功能：TMUXS1306A

引脚			类型(1)	说明
名称	RGE 编号	PW、DGS 编号		
S10	1	21	I/O	源极引脚 10。可以是输入或输出。
S9	2	22	I/O	源极引脚 9。可以是输入或输出。
S8	3	23	I/O	源极引脚 8。可以是输入或输出。
S7	4	2	I/O	源极引脚 7。可以是输入或输出。
S6	5	3	I/O	源极引脚 6。可以是输入或输出。
S5	6	4	I/O	源极引脚 5。可以是输入或输出。
S4	7	5	I/O	源极引脚 4。可以是输入或输出。
S3	8	6	I/O	源极引脚 3。可以是输入或输出。
S2	9	7	I/O	源极引脚 2。可以是输入或输出。
S1	10	8	I/O	源极引脚 1。可以是输入或输出。
S0	11	9	I/O	源极引脚 0。可以是输入或输出。
GND	12	12	P	接地 (0V) 基准。
D	13	1	I/O	多路复用器 A 的漏极引脚（公共）。可以是输入或输出。
$\overline{CS}$	14	10	I	SPI 片选引脚（低电平有效）
SCLK	15	11	I	SPI 时钟输入
SDI	16	13	I	SPI 串行数据输入。在 SCLK 的正边沿捕捉数据
SDO	17	14	O	SPI 串行数据输出
AC	18	15	I	切换通道引脚。默认在有效边沿切换。
VDD	19	24	P	正电源。该引脚是正电源电势最高的引脚。为了实现可靠运行，应在 V_{DD} 和 GND 之间连接一个 0.1μF 至 10μF 的去耦电容器。
S15	20	16	I/O	源极引脚 15。可以是输入或输出。
S14	21	17	I/O	源极引脚 14。可以是输入或输出。
S13	22	18	I/O	源极引脚 13。可以是输入或输出。
S12	23	19	I/O	源极引脚 12。可以是输入或输出。
S11	24	20	I/O	源极引脚 11。可以是输入或输出。
散热焊盘		不适用于 PW/DGS	P	连接了导电芯片的外露散热焊盘。必须连接到 GND。接地 (0V) 基准。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源。

Copyright © 2026 Texas Instruments Incorporated

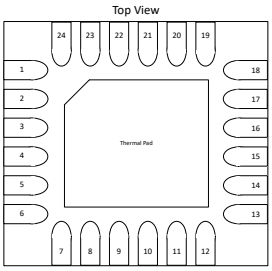


图 5-3. TMUXS1307A：RGE 封装，24 引脚 VQFN（俯视图）

表 5-2. 引脚功能：TMUXS1307A

引脚		类型(1)	说明
名称	编号		
S2B	1	I/O	多路复用器 B 的源极引脚 2。可以是输入或输出。
S1B	2	I/O	多路复用器 B 的源极引脚 1。可以是输入或输出。
S0B	3	I/O	多路复用器 B 的源极引脚 0。可以是输入或输出。
S7A	4	I/O	多路复用器 A 的源极引脚 7。可以是输入或输出。
S6A	5	I/O	多路复用器 A 的源极引脚 6。可以是输入或输出。
S5A	6	I	多路复用器 A 的源极引脚 5。可以是输入或输出。
S4A	7	I/O	多路复用器 A 的源极引脚 4。可以是输入或输出。
S3A	8	I/O	多路复用器 A 的源极引脚 3。可以是输入或输出。
S2A	9	I/O	多路复用器 A 的源极引脚 2。可以是输入或输出。
S1A	10	I/O	多路复用器 A 的源极引脚 1。可以是输入或输出。
S0A	11	I/O	多路复用器 A 的源极引脚 0。可以是输入或输出。
DA	12	I/O	多路复用器 A 的漏极引脚（公共）。可以是输入或输出。
AC	13	I	切换通道引脚。默认在有效边沿切换。
$\overline{CS}$	14	I	SPI 片选引脚（低电平有效）
SCLK	15	I	SPI 时钟输入
SDI	16	I	SPI 串行数据输入。在 SCLK 的正边沿捕捉数据
SDO	17	O	SPI 串行数据输出
DB	18	I/O	多路复用器 B 的漏极引脚（公共）。可以是输入或输出。
VDD	19	P	正电源。该引脚是正电源电势最高的引脚。为了实现可靠运行，应在 V_{DD} 和 GND 之间连接一个 0.1μF 至 10μF 的去耦电容器。
S7B	20	I/O	多路复用器 B 的源极引脚 7。可以是输入或输出。
S6B	21	I/O	多路复用器 B 的源极引脚 6。可以是输入或输出。
S5B	22	I/O	多路复用器 B 的源极引脚 5。可以是输入或输出。
S4B	23	I/O	多路复用器 B 的源极引脚 4。可以是输入或输出。
S3B	24	I/O	多路复用器 B 的源极引脚 3。可以是输入或输出。
散热焊盘		P	连接了导电芯片的外露散热焊盘。必须连接到 GND。接地 (0V) 基准。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源。

ADVANCE INFORMATION

ADVANCE INFORMATION

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)(2)(3)

		最小值	最大值	单位
V_{DD}	电源电压	-0.5	6	V
V_{LOGIC}	逻辑控制输入引脚电压（SPI 引脚）	-0.5	6	
V_S 或 V_D	源极或漏极电压（Sx、D）	-0.5	V_{DD}+1.0	
I_{LOGIC}	逻辑控制输入引脚电流（SPI 引脚）	-30	30	mA
I_S 或 $I_{D\ (CONT)}$	流经开关（Sx、D 引脚）的持续电流，–40°C 至 +85°C	-50	50	
I_S 或 $I_{D\ (CONT)}$	流经开关（Sx、D 引脚）的持续电流，–40°C 至 +125°C	-25	25	
I_{GND}	通过 GND 的持续电流	-100	100	
P_{tot}	总功率耗散(4)		待定	mW
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	

(1) 超出*绝对最大额定值*运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 在代数符号约定中，最小负值为最小值，最大正值为最大值。
(3) 除非另有说明，否则所有电压均以接地为基准。
(4) 对于 TSSOP 封装：P_{tot} 会在 T_A 大于 80°C 时以线性方式降低 7.2mW/°C。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002，所有引脚(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD}	电源电压	1.62		5.5	V
V_S 或 V_D	信号路径输入/输出电压（源极或漏极引脚）（Sx、D）	0		V_{DD}	V
V_{LOGIC}	逻辑控制输入引脚电压（SPI 引脚）	0		5.5	V
I_S 或 $I_{D\ (CONT)}$	流经开关（Sx、D 引脚）的持续电流，–40°C 至 +85°C	-50		50	mA
I_S 或 $I_{D\ (CONT)}$	流经开关（Sx、D 引脚）的持续电流，–40°C 至 +125°C	-25		25	mA
I_{OK}	当信号电压超过建议的工作电压时每个输入流入源极或漏极引脚的电流 (1)	-50		50	mA
I_{INJ}	注入单关断开关输入端的电流	-50		50	mA
I_{INJ_ALL}	注入所有关断开关输入端的总电流之和	-100		100	mA
T_A	环境温度	-40		125	°C

(1) 如果源极或漏极电压超过 VDD 或低于 GND，则引脚将通过内部 FET 分流至 GND，电流必须限制在规定值以内。如果 $V_{signal} > V_{DD}$ 或 $V_{signal} < GND$。

Copyright © 2026 Texas Instruments Incorporated

6.4 热性能信息：TMUXS1306A

热指标(1)		TMUXS1306			单位
		PW (24-TSSOP)	DGS (24-VSSOP)	RGE (24-VQFN)	
$R_{\theta JA}$	结至环境热阻	待定	待定	56.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	待定	待定	49.5	°C/W
$R_{\theta JB}$	结至电路板热阻	待定	待定	33.4	°C/W
Ψ_{JT}	结至顶部特征参数	待定	待定	5.6	°C/W
Ψ_{JB}	结至电路板特征参数	待定	待定	33.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	18.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.5 热性能信息：TMUXS1307A

热指标(1)		TMUXS1307	单位
		RGE (24-VQFN)	
$R_{\theta JA}$	结至环境热阻	56.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	49.5	°C/W
$R_{\theta JB}$	结至电路板热阻	33.4	°C/W
Ψ_{JT}	结至顶部特征参数	5.6	°C/W
Ψ_{JB}	结至电路板特征参数	33.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	18.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.6 电气特性

在指定的 V_{DD} ±10% 下
典型值在标称 V_{DD} 下测得

参数		测试条件	V_{DD}	自然通风条件下的工作温度 (T_A)						单位
				25°C			-40°C 至 85°C		-40°C 至 125°C	
				最小值	典型值	最大值	最小值	典型值 最大值	最小值 典型值 最大值	
模拟开关										
R_{ON}	导通状态开关电阻	V_S = 0V 至 V_{DD} I_{SD} = 0.5mA	1.8V		650	1500		1700	1700	Ω
			2.5V		230	600		670	670	
			3.3V		120	330		350	370	
			5V		75	195		220	270	
ΔR_{ON}	在各个输入之间进行匹配的导通状态开关电阻	V_S = V_{DD} / 2 I_{SD} = 0.5mA	1.8V		10	38		45	45	Ω
			2.5V		3	20		22	22	
			3.3V		2	8		11	15	
			5V		1	7		10	14	
$I_{S(OFF)}$	源极关断状态漏电流	开关关断 V_D = 0.8 × V_{DD}/ 0.2 × V_{DD} V_S = 0.2 × V_{DD}/ 0.8 × V_{DD}	1.8V		±1		-25	25	-800 800	nA
			2.5V		±1		-25	25	-800 800	
			3.3V		±1		-25	25	-800 800	
			5V		±1		-25	25	-800 800	
$I_{D(OFF)}$	漏极关断状态漏电流（共漏极引脚）	开关关断 V_D = 0.8 × V_{DD}/ 0.2 × V_{DD} V_S = 0.2 × V_{DD}/ 0.8 × V_{DD}	1.8V		±1		-45	45	-800 800	nA
			2.5V		±1		-45	45	-800 800	
			3.3V		±1		-45	45	-800 800	
			5V		±1		-45	45	-800 800	
$I_{D(ON)}$ $I_{S(ON)}$	通道导通状态漏电流	开关导通 V_D = V_S = 0.8 × V_{DD} 或 V_D = V_S = 0.2 × V_{DD}	1.8V		±1		-45	45	-800 800	nA
			2.5V		±1		-45	45	-800 800	
			3.3V		±1		-45	45	-800 800	
			5V		±1		-45	45	-800 800	
C_{SOFF}	源极关断电容	V_S = V_{DD}/2 f = 1MHz	1.8V		2.2	4		4	4	pF
			2.5V		2.2	4		4	4	
			3.3V		2.2	4		4	4	
			5V		2.2	4		4	4	
C_{DOFF}	漏极关断电容	V_S = V_{DD}/2 f = 1MHz	1.8V		12.5	15		15	15	pF
			2.5V		12.5	15		15	15	
			3.3V		12.5	15		15	15	
			5V		12	15		15	15	
C_{SON} C_{DON}	导通电容	V_S = V_{DD}/2 f = 1MHz	1.8V		15	18		18	18	pF
			2.5V		15	18		18	18	
			3.3V		15	18		18	18	
			5V		14	18		18	18	
电源										
I_{DD}	V_{DD} 电源电流	逻辑输入 = 0V 或 V_{DD}	1.8V			5		6	8	μA
			2.5V			5		6	8	
			3.3V			5		6	8	
			5V			7.5		8	11	

Copyright © 2026 Texas Instruments Incorporated

6.7 逻辑和动态特性

在指定的 V_{DD} ±10% 下
典型值在标称 V_{DD} 和 T_A = 25°C 下测得。

参数		测试条件	V_{DD}	自然通风条件下的工作温度 (T_A) -40°C 至 125°C 最小值	典型值	最大值	单位
逻辑输入（CS、SCLK、SDI、AC）及输出（SDO）							
V_{IH}	输入逻辑高电平		1.8V	1.12		5.5	V
			2.5V	1.13		5.5	
			3.3V	1.14		5.5	
			5V	1.25		5.5	
V_{IL}	输入逻辑低电平		1.8V	0		0.6	V
			2.5V	0		0.75	
			3.3V	0		0.75	
			5V	0		0.75	
V_{OH}	输出逻辑高压降	SDO 引脚电流 = -1mA	全部			0.6	V
V_{OH}	输出逻辑高压降	SDO 引脚电流 = -3mA	全部			0.6	V
V_{OL}	输出逻辑低电平电压	SDO 引脚电流 = 1mA	全部			0.5	V
V_{OL}	输出逻辑低电平电压	SDO 引脚电流 = 3mA	全部			0.5	V
C_{IN}	逻辑输入电容	V_{LOGIC} = 0V、1.8V、V_{DD} f = 1MHz	全部		1	2	pF
动态特性							
Q_{INJ}	电荷注入	$V_S = V_{DD}/2$ R_S = 0Ω，C_L = 100pF	1.8V		-0.5		pC
			2.5V		-0.5		
			3.3V		-0.8		
			5V		-1.5		
O_{ISO}	关断隔离	$V_{BIAS} = V_{DD}/2$ V_S = 200mVpp R_L = 50Ω，C_L = 5pF f = 100kHz	1.8V		-110		dB
			2.5V		-110		
			3.3V		-110		
			5V		-110		
O_{ISO}	关断隔离	$V_{BIAS} = V_{DD}/2$ V_S = 200mVpp R_L = 50Ω，C_L = 5pF f = 1MHz	1.8V		-90		dB
			2.5V		-90		
			3.3V		-90		
			5V		-90		
X_{TALK}	串扰	$V_{BIAS} = V_{DD}/2$ V_S = 200mVpp R_L = 50Ω，C_L = 5pF f = 100kHz	1.8V		-110		dB
			2.5V		-110		
			3.3V		-110		
			5V		-110		
X_{TALK}	串扰	$V_{BIAS} = V_{DD}/2$ V_S = 200mVpp R_L = 50Ω，C_L = 5pF f = 1MHz	1.8V		-90		dB
			2.5V		-90		
			3.3V		-90		
			5V		-90		

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

在指定的 V_{DD} ±10% 下
典型值在标称 V_{DD} 和 T_A = 25°C 下测得。

参数		测试条件	V_{DD}	自然通风条件下的工作温度 (T_A)			单位
				-40°C 至 125°C			
				最小值	典型值	最大值	
BW	带宽	V_{BIAS} = V_{DD}/2 V_S = 200mVpp RL = 50Ω，CL = 5pF	1.8V		350		MHz
			2.5V		450		
			3.3V		500		
			5V		500		

6.8 计时特点

在指定的 V_{DD} ±10% 下
典型值在标称 V_{DD} 下测得。

参数		测试条件	V_{DD}	自然通风条件下的工作温度 (T_A)									单位
				25°C			-40°C 至 85°C			-40°C 至 125°C			
				最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
开关特性													
t_{PD}	传播延迟	C_L = 50pF Sx 至 D，D 至 Sx	1.8V		15	30		30			30		ns
			2.5V		8	15		20			20		
			3.3V		5	11		15			15		
			5V		4	9		10			10		
		CL = 15pF	5V		1.5	4		5			5		
t_{BBM}	先断后合时间	R_L = 2kΩ，C_L = 10pF Sx 至 D，D 至 Sx	1.8V	1	16		1			1			ns
			2.5V	1	22		1			1			
			3.3V	1	24		1			1			
			5V	1	33		1			1			
t_{BBM}	先断后合时间	R_L = 10kΩ，C_L = 15pF Sx 至 D，D 至 Sx	1.8V	1	16		1			1			ns
			2.5V	1	22		1			1			
			3.3V	1	24		1			1			
			5V	1	33		1			1			

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

6.9 注入电流耦合

在指定的 V_{DD} ±10% 下
典型值在标称 V_{DD} 和 T_A = 25°C 下测得。

参数		V_{DD}	测试条件		-40°C 至 125°C 最小值	典型值	最大值	单位
注入电流耦合								
ΔV_{OUT}	已启用模拟输入的输出电压最大漂移	1.8V	R_S ≤ 3.9kΩ	I_{INJ} ≤ 1mA		0.01	1	mV
		3.3V				0.05	1	
		5V				0.1	1	
		1.8V	R_S ≤ 3.9kΩ	I_{INJ} ≤ 10mA		0.01	2	
		3.3V				0.3	3	
		5V				0.06	4	
		1.8V	R_S ≤ 20kΩ	I_{INJ} ≤ 1mA		0.05	2	
		3.3V				0.05	2	
		5V				0.1	2	
		1.8V	R_S ≤ 20kΩ	I_{INJ} ≤ 10mA		0.05	15	
		3.3V				0.05	15	
		5V				0.02	15	

6.10 SPI 时序特性 (5.5V)

V_L = 5V - 5.5V，GND = 0V（除非另有说明）
T_A = 25℃ 时测得（除非另有说明）

参数		测试条件	T_A	最小值	典型值	最大值	单位
AC_to_Dx	AC 有效沿至 Dx	V_{DD} = 5.5V	-40°C 至 +125°C		20		ns
f_{CLK_SPI}	SCLK 频率		-40°C 至 +125°C			50	MHz
t_{R}、t_{F_SPI}	SPI 时钟上升和下降时间		-40°C 至 +125°C			50	ns
t_{CLK_SPI}	SCLK 周期		-40°C 至 +125°C	20			ns
$t_{CLK_H_SPI}$	SCLK 高电平时间		-40°C 至 +125°C	8			ns
$t_{CLK_L_SPI}$	SCLK 低电平时间		-40°C 至 +125°C	8			ns
t_{CSS}	建立时间 $\overline{CS}$ 至 SCLK		-40°C 至 +125°C	10			ns
t_{SU_SPI}	建立时间 SDI 至 SCLK		-40°C 至 +125°C	6			ns
t_{H_SPI}	保持时间 SDI 至 SCLK		-40°C 至 +125°C	8			ns
t_{CSH}	保持时间 SCLK 至 $\overline{CS}$		-40°C 至 +125°C	10			ns
t_{CSLSDO}	$\overline{CS}$ 下降沿至 SDO	20pF	-40°C 至 +125°C			25	ns
t_{SDO}	SCLK 下降沿到 SDO	20pF	-40°C 至 +125°C			25	ns
t_{CSHSDO}	$\overline{CS}$ 上升沿至 SDO 返回高电平	20pF	-40°C 至 +125°C			25	ns
t_{CSD}	SPI 命令之间的 $\overline{CS}$ 高电平时间		-40°C 至 +125°C	20			ns
$t_{CSLSCLK}$	CS 下降沿至 SCLK 变为稳定		-40°C 至 +125°C	8			ns
$t_{CSHSCLK}$	CS 上升沿至 SCLK 变为稳定		-40°C 至 +125°C	8			ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

6.11 SPI 时序特性 (3.3V)

V_L = 3.3V，GND = 0V（除非另有说明）；
T_A = 25°C（除非另有说明）

参数		测试条件	T_A	最小值	典型值	最大值	单位
AC_to_Dx	AC 有效沿至 Dx	V_{DD} = 3.3V	-40°C 至 +125°C		27		ns
f_{CLK_SPI}	SCLK 频率		-40°C 至 +125°C			50	MHz
t_{R}、t_{F_SPI}	SPI 时钟上升和下降时间		-40°C 至 +125°C			50	ns
t_{CLK_SPI}	SCLK 周期		-40°C 至 +125°C	20			ns
$t_{CLK_H_SPI}$	SCLK 高电平时间		-40°C 至 +125°C	8			ns
$t_{CLK_L_SPI}$	SCLK 低电平时间		-40°C 至 +125°C	8			ns
t_{CSS}	建立时间 $\overline{CS}$ 至 SCLK		-40°C 至 +125°C	10			ns
t_{SU_SPI}	建立时间 SDI 至 SCLK		-40°C 至 +125°C	6			ns
t_{H_SPI}	保持时间 SDI 至 SCLK		-40°C 至 +125°C	8			ns
t_{CSH}	保持时间 SCLK 至 $\overline{CS}$		-40°C 至 +125°C	10			ns
t_{CSLSDO}	$\overline{CS}$ 下降沿至 SDO	20pF	-40°C 至 +125°C			25	ns
t_{SDO}	SCLK 下降沿到 SDO	20pF	-40°C 至 +125°C			25	ns
t_{CSHSDO}	$\overline{CS}$ 上升沿至 SDO 返回高电平	20pF	-40°C 至 +125°C			25	ns
t_{CSD}	SPI 命令之间的 $\overline{CS}$ 高电平时间		-40°C 至 +125°C	20			ns
$t_{CSLSCLK}$	CS 下降沿至 SCLK 变为稳定		-40°C 至 +125°C	8			ns
$t_{CSHSCLK}$	CS 上升沿至 SCLK 变为稳定		-40°C 至 +125°C	8			ns

6.12 SPI 时序特性 (2.7V)

V_L = 2.7V，GND = 0V（除非另有说明）；
T_A = 25°C（除非另有说明）

参数		测试条件	T_A	最小值	典型值	最大值	单位
AC_to_Dx	AC 有效沿至 Dx	V_{DD} = 2.7V	-40°C 至 +125°C		37		ns
f_{CLK_SPI}	SCLK 频率		-40°C 至 +125°C			25	MHz
t_{R}、t_{F_SPI}	SPI 时钟上升和下降时间		-40°C 至 +125°C			25	ns
t_{CLK_SPI}	SCLK 周期		-40°C 至 +125°C	40			ns
$t_{CLK_H_SPI}$	SCLK 高电平时间		-40°C 至 +125°C	16			ns
$t_{CLK_L_SPI}$	SCLK 低电平时间		-40°C 至 +125°C	16			ns
t_{CSS}	建立时间 $\overline{CS}$ 至 SCLK		-40°C 至 +125°C	20			ns
t_{SU_SPI}	建立时间 SDI 至 SCLK		-40°C 至 +125°C	12			ns
t_{H_SPI}	保持时间 SDI 至 SCLK		-40°C 至 +125°C	18			ns
t_{CSH}	保持时间 SCLK 至 $\overline{CS}$		-40°C 至 +125°C	20			ns
t_{CSLSDO}	$\overline{CS}$ 下降沿至 SDO	20pF	-40°C 至 +125°C			50	ns
t_{SDO}	SCLK 下降沿到 SDO	20pF	-40°C 至 +125°C			50	ns
t_{CSHSDO}	$\overline{CS}$ 上升沿至 SDO 返回高电平	20pF	-40°C 至 +125°C			50	ns
t_{CSD}	SPI 命令之间的 $\overline{CS}$ 高电平时间		-40°C 至 +125°C	40			ns
$t_{CSLSCLK}$	CS 下降沿至 SCLK 变为稳定		-40°C 至 +125°C	16			ns
$t_{CSHSCLK}$	CS 上升沿至 SCLK 变为稳定		-40°C 至 +125°C	16			ns

Copyright © 2026 Texas Instruments Incorporated

6.13 SPI 时序特性 (1.8V)

V_L = 1.8V，GND = 0V（除非另有说明）；
T_A = 25°C（除非另有说明）

参数		测试条件	T_A	最小值	典型值	最大值	单位
AC_to_Dx	AC 有效沿至 Dx	V_{DD} = 1.8V	-40°C 至 +125°C		61		ns
f_{CLK_SPI}	SCLK 频率		-40°C 至 +125°C			25	MHz
t_{R}、t_{F_SPI}	SPI 时钟上升和下降时间		-40°C 至 +125°C			25	ns
t_{CLK_SPI}	SCLK 周期		-40°C 至 +125°C	40			ns
$t_{CLK_H_SPI}$	SCLK 高电平时间		-40°C 至 +125°C	16			ns
$t_{CLK_L_SPI}$	SCLK 低电平时间		-40°C 至 +125°C	16			ns
t_{CSS}	建立时间 $\overline{CS}$ 至 SCLK		-40°C 至 +125°C	20			ns
t_{SU_SPI}	建立时间 SDI 至 SCLK		-40°C 至 +125°C	12			ns
t_{H_SPI}	保持时间 SDI 至 SCLK		-40°C 至 +125°C	18			ns
t_{CSH}	保持时间 SCLK 至 $\overline{CS}$		-40°C 至 +125°C	20			ns
t_{CSLSDO}	$\overline{CS}$ 下降沿至 SDO	20pF	-40°C 至 +125°C			50	ns
t_{SDO}	SCLK 下降沿到 SDO	20pF	-40°C 至 +125°C			50	ns
t_{CSHSDO}	$\overline{CS}$ 上升沿至 SDO 返回高电平	20pF	-40°C 至 +125°C			50	ns
t_{CSD}	SPI 命令之间的 $\overline{CS}$ 高电平时间		-40°C 至 +125°C	40			ns
$t_{CSLSCLK}$	CS 下降沿至 SCLK 变为稳定		-40°C 至 +125°C	16			ns
$t_{CSHSCLK}$	CS 上升沿至 SCLK 变为稳定		-40°C 至 +125°C	16			ns

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

7 参数测量信息

7.1 导通电阻

器件的导通电阻是器件源极 (Sx) 和漏极 (D) 引脚之间的欧姆电阻。导通电阻随输入电压和电源电压的变化而变化。符号 R_{ON} 用于表示导通电阻。下图显示了用于测量 R_{ON} 的测量设置。电压 (V) 和电流 (I_{SD}) 通过此设置进行测量，R_{ON} 的计算方法如图 7-1 所示，$R_{ON} = V/I_{SD}$：

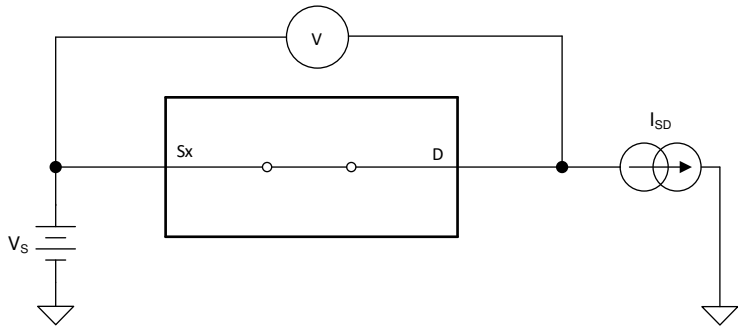


图 7-1. 导通电阻测量设置

7.2 关断漏电流

在关断状态下，开关有两种类型的漏电流：

1. 源极关断漏电流。
2. 漏极关断漏电流。

源极漏电流定义为开关断开时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(OFF)}$ 表示。

漏极漏电流定义为开关断开时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(OFF)}$ 表示。

图 7-2 展示了用于测量两个关断漏电流的设置。

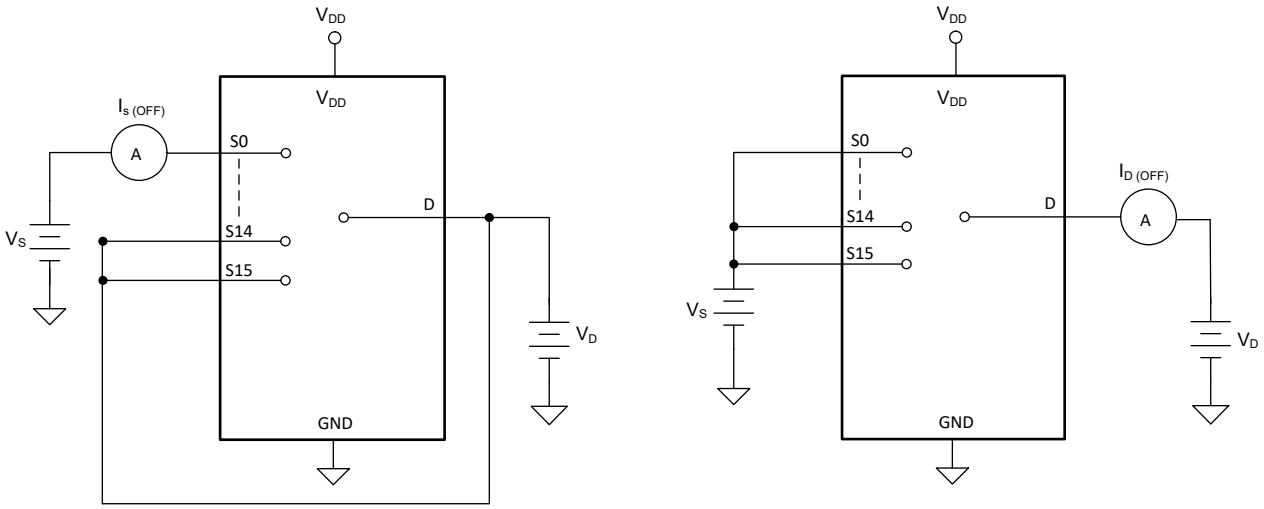


图 7-2. 关断漏电流测量设置

Copyright © 2026 Texas Instruments Incorporated

7.3 导通漏电流

源极导通漏电流定义为开关闭合时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(ON)}$ 表示。

漏极导通漏电流定义为开关闭合时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(ON)}$ 表示。

在测量期间，源极引脚或漏极引脚均保持悬空。图 7-3 展示了用于测量导通漏电流（用 $I_{S(ON)}$ 或 $I_{D(ON)}$ 表示）的电路。

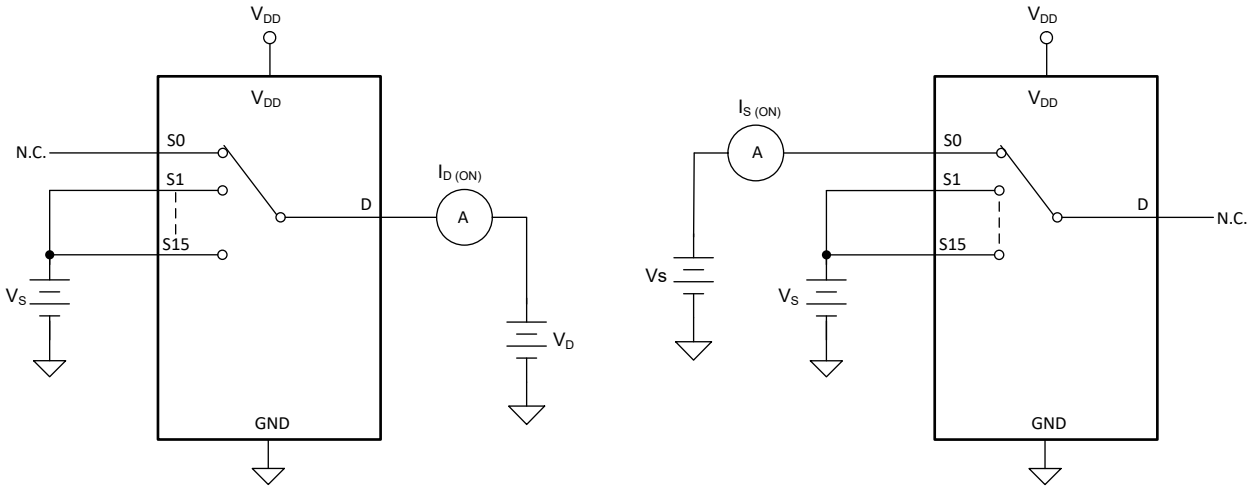


图 7-3. 导通漏电流测量设置

7.4 转换时间

转换时间定义为在地址信号上升或下降至超过 50% 阈值后器件输出上升或下降 50% 所需的时间。图 7-4 展示了用于测量转换时间（用符号 $t_{TRANSITION}$ 表示）的设置。

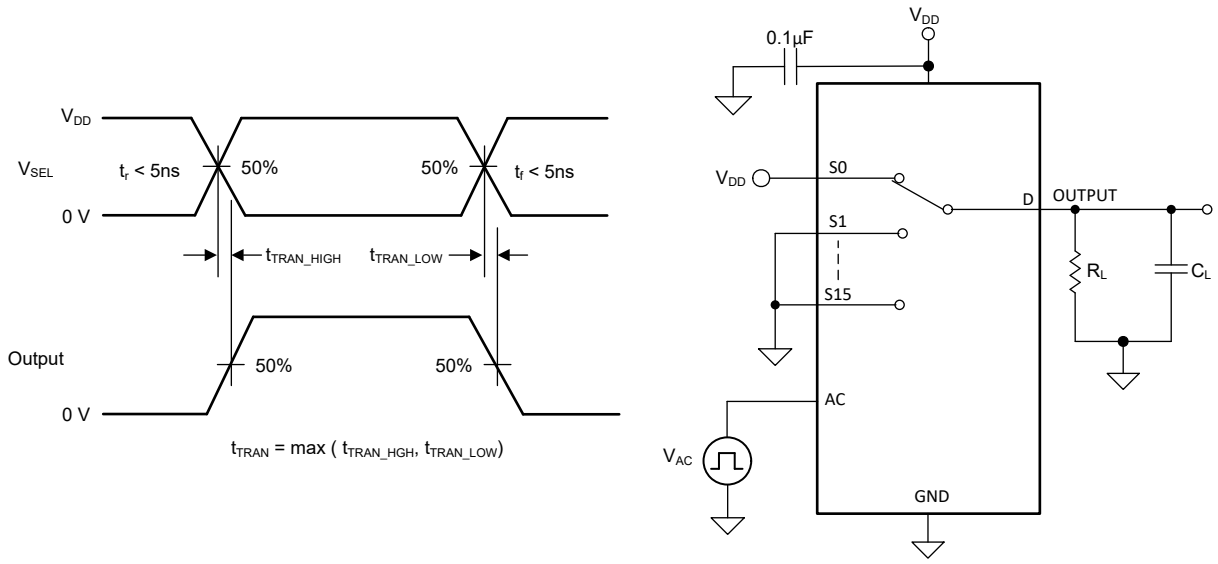


图 7-4. 转换时间测量设置

ADVANCE INFORMATION

ADVANCE INFORMATION

7.5 先断后合

先断后合延迟是一项安全功能，可防止在开关器件时连接两个输入。输出首先断开与导通状态开关的连接，然后与下一个导通状态开关建立连接。*断开* 和*闭合* 之间的延时时间称为先断后合延迟。图 7-5 展示了用于测量先断后合延迟（用符号 $t_{OPEN(BBM)}$ 表示）的设置。

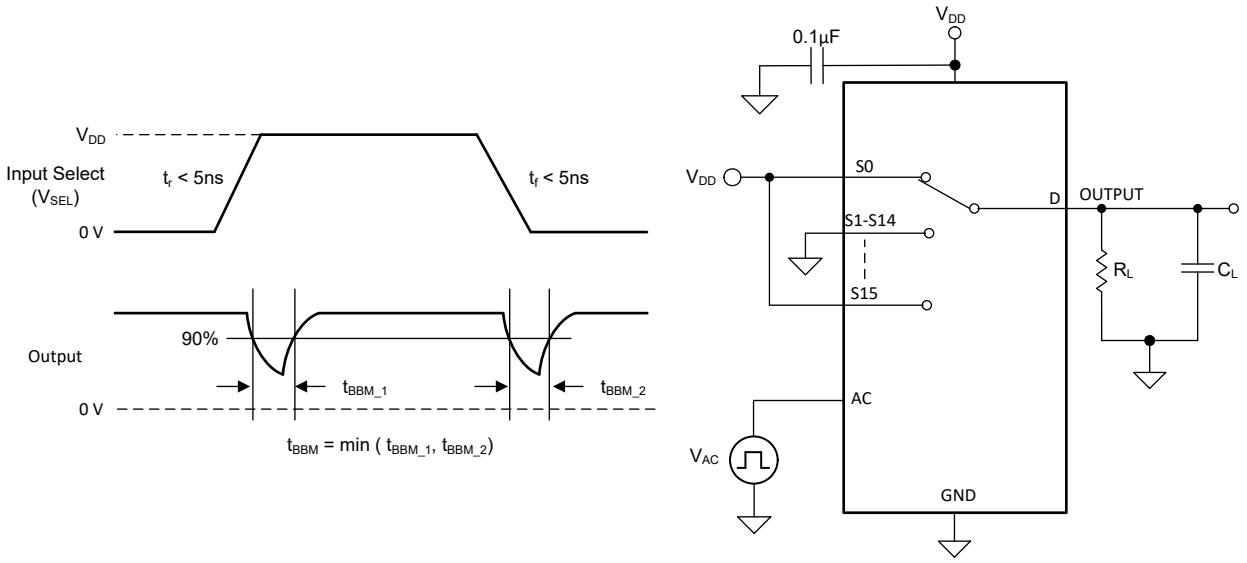


图 7-5. 先断后合延迟测量设置

7.6 $t_{ON(EN)}$ 和 $t_{OFF(EN)}$

开通时间定义为使能上升到超过 50% 阈值后器件输出上升至 10% 所需的时间。使用 10% 测量来提供器件的时序，系统级时序随后可以考虑从负载电阻和负载电容引入的时间常数。图 7-6 展示了用于测量转换时间（用符号 $t_{ON(EN)}$ 表示）的设置。

关断时间定义为使能下降到超过 50% 阈值后器件输出下降至 90% 所需的时间。使用 90% 测量来提供器件的时序，系统级时序随后可以考虑从负载电阻和负载电容引入的时间常数。图 7-6 展示了用于测量转换时间（用符号 $t_{OFF(EN)}$ 表示）的设置。

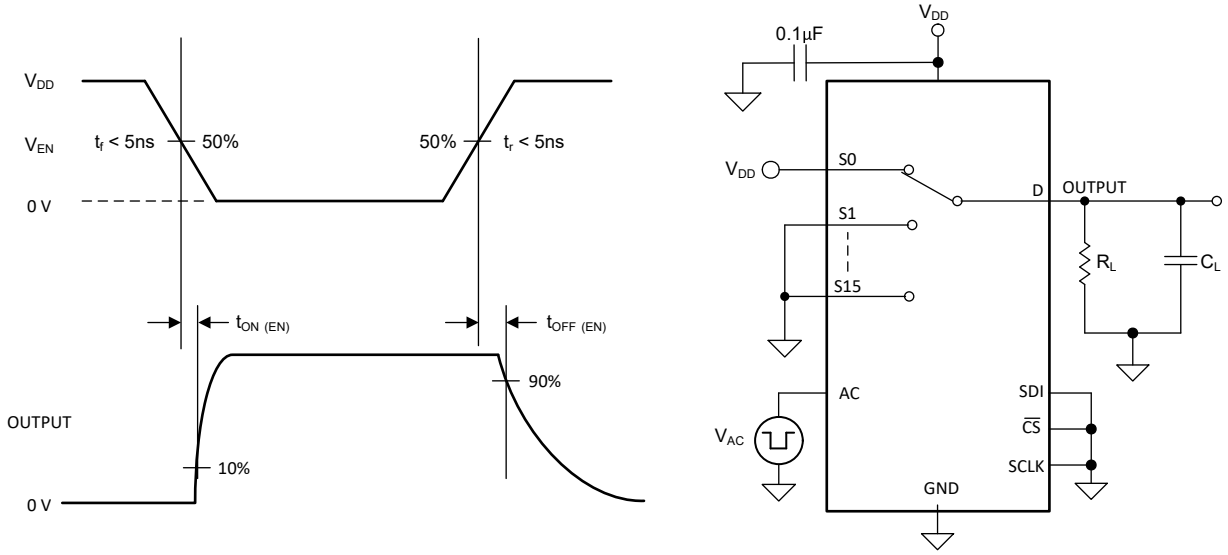


图 7-6. 导通和关断时间测量设置

Copyright © 2026 Texas Instruments Incorporated

7.7 电荷注入

TMUXS1306A 和 TMUXS1307A 器件具有传输门拓扑结构。NMOS 和 PMOS 晶体管之间电容的任何不匹配都会导致在栅极信号的下降沿或上升沿期间向漏极或源极注入电荷。注入器件源极或漏极的电荷量称为电荷注入，用符号 Q_C 表示。图 7-7 展示了用于测量从源极 (Sx) 到漏极 (D) 的电荷注入的设置。

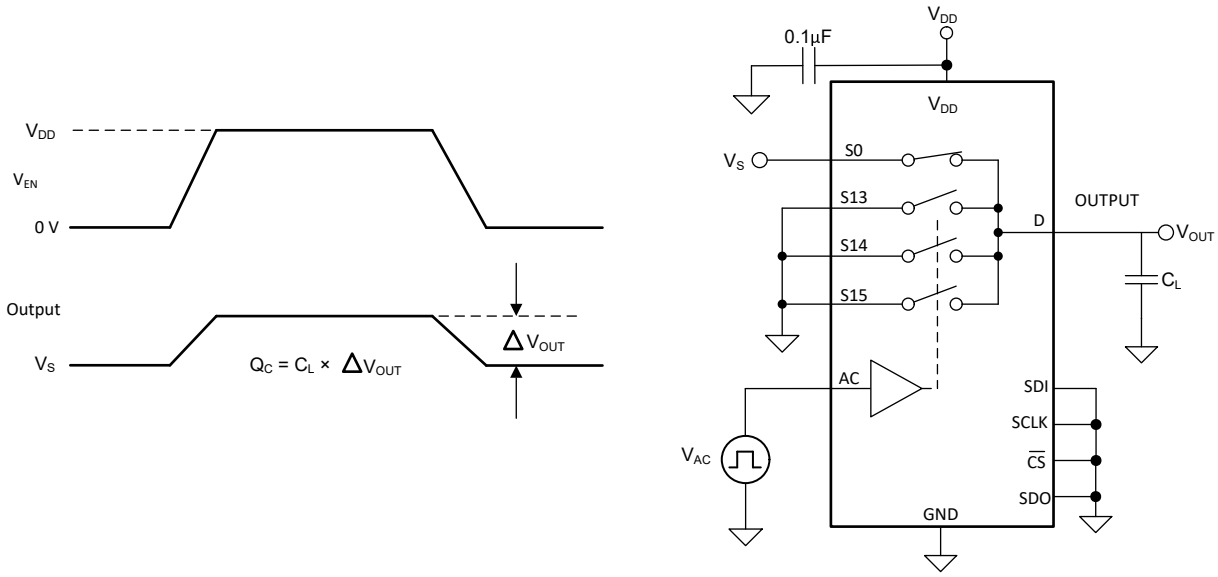


图 7-7. 电荷注入测量设置

7.8 关断隔离

关断隔离定义为器件的漏极引脚 (D) 处的信号与关断通道的源极引脚 (Sx) 上施加的信号之比。图 7-8 显示了用于测量关断隔离的设置和用于计算关断隔离的公式。

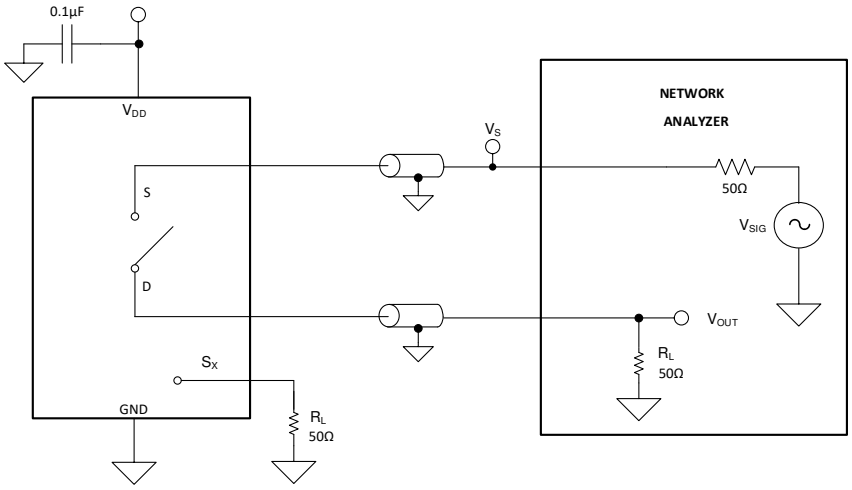


图 7-8. 关断隔离测量设置

$$Off\ Isolation = 20 \times Log\left(\frac{V_{OUT}}{V_S}\right) \quad (1)$$

ADVANCE INFORMATION

ADVANCE INFORMATION

7.9 串扰

串扰定义为另一通道的漏极引脚 (D) 处的信号与开启通道的源极引脚 (Sx) 上施加的信号之比。图 7-9 展示了用于测量串扰的设置和用于计算串扰的公式。

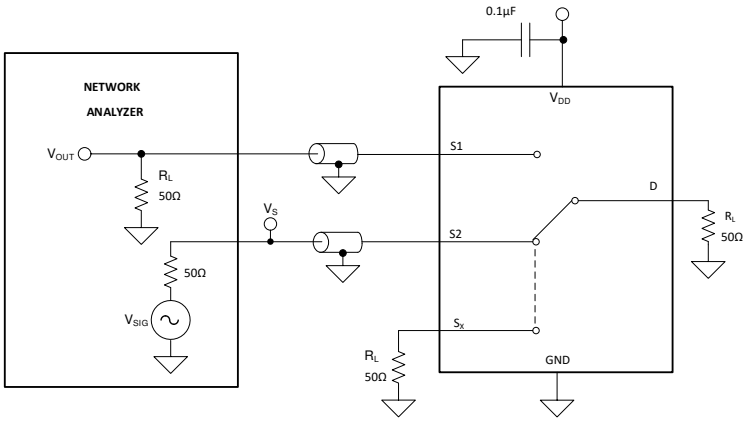


图 7-9. 通道间串扰测量设置

$$Channel - to - Channel\ Crosstalk\ =\ 20\ \times\ Log\left(\frac{V_{OUT}}{V_S}\right) \quad (2)$$

7.10 带宽

带宽定义为当输入施加到开启通道的源极引脚 (Sx) 且输出在器件的漏极引脚 (D) 处测量时衰减小于 3dB 的频率范围。图 7-10 展示了用于测量带宽的设置。

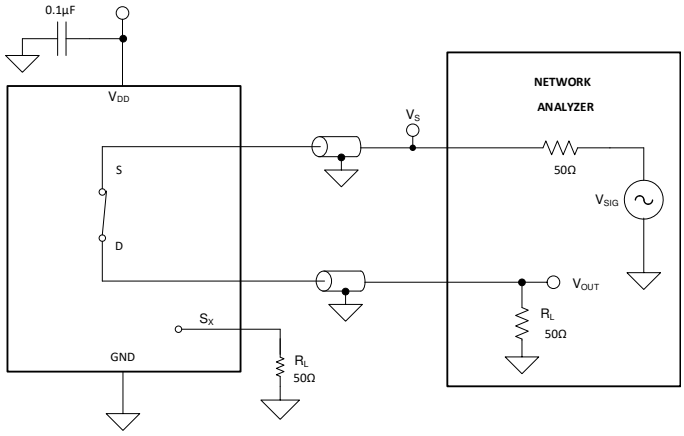


图 7-10. 带宽测量设置

$$Attenuation\ =\ 20\ \times\ Log\left(\frac{V_2}{V_1}\right) \quad (3)$$

7.11 注入电流控制

注入电流是根据在将电流注入禁用信号路径时启用信号路径的输出变化进行测量的。图 7-11 显示了用于测量注入电流控制的设置。

Copyright © 2026 Texas Instruments Incorporated

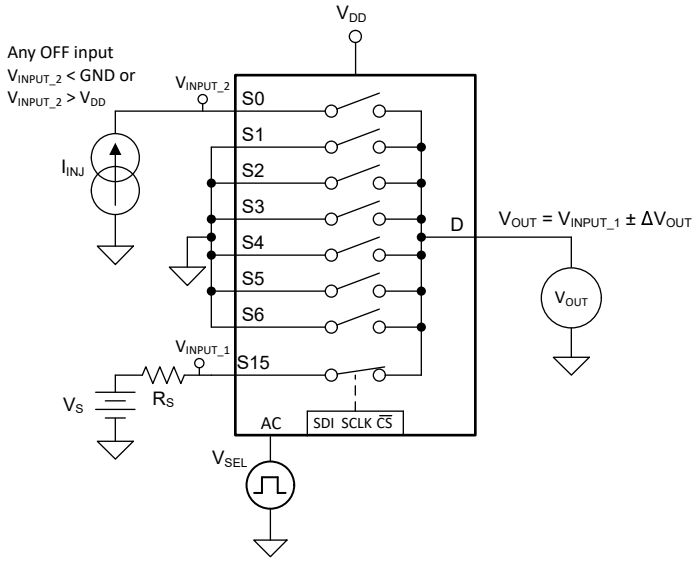


图 7-11. 注入电流测量设置

ADVANCE INFORMATION

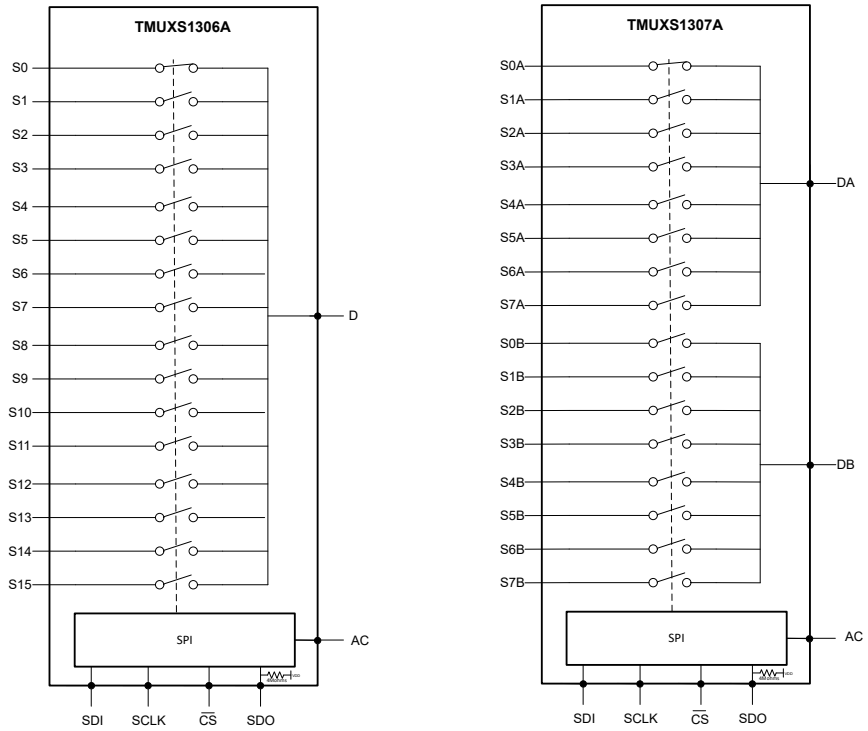
ADVANCE INFORMATION

8 详细说明

8.1 概述

TMUXS1306A 是一款 16:1 单端（单通道）多路复用器。TMUXS1307A 是一款 8:1 差分（双通道）多路复用器。每个通道根据地址线和使能引脚的状态开启或关闭。

8.2 功能方框图



8.3 特性说明

8.3.1 双向运行

TMUXS1306A 和 TMUXS1307A 器件从源极 (Sx) 到漏极 (Dx) 或从漏极 (Dx) 到源极 (Sx) 的导电性能同样出色。每个信号路径在两个方向上都具有非常相似的特性，因此它们可被用作多路复用器和多路信号分离器以支持模拟和数字信号。

8.3.2 轨到轨运行

TMUXS1306A 和 TMUXS1307A 的有效信号路径输入和输出电压范围为 GND 至 V_{DD}。

8.3.3 1.8V 逻辑兼容输入

对于所有逻辑控制输入，TMUXS1306A 和 TMUXS1307A 支持 1.8V 逻辑兼容控制。逻辑输入阈值随电源轻微变化，但在 5.5V 电源电压下工作时仍提供 1.8V 逻辑控制。1.8V 逻辑电平输入允许多路复用器连接具有较低逻辑 I/O 电源轨的处理器，但基于 V_{DD} 电压电平提供逻辑输出。当在较高的电源电压下使用 1.8V 逻辑时，TMUXS1306A 和 TMUXS1307A 器件的电流消耗会增加。有关 1.8V 逻辑实现的更多信息，另请参阅*用于多路复用器和信号开关的 1.8V 逻辑*应用简报。

8.3.4 失效防护逻辑

TMUXS1306A 和 TMUXS1307A 器件在控制输入引脚（SCLK、SDI、CS 和 AC_{yc}）上具有失效防护逻辑，因此无论电源引脚的状态如何，均支持高达 5.5V 的工作电压。此特性允许在电源极引脚之前对控制引脚施加电压，从而保护器件免受潜在的损坏。失效防护逻辑无需在逻辑控制引脚上进行电源时序控制，从而更大限度地降低了系统复杂性。例如，失效防护逻辑特性允许 TMUXS1306A 和 TMUXS1307A 的 IO 引脚在 V_{DD} = 0V 时斜升至

Copyright © 2026 Texas Instruments Incorporated

5.5V。此外，该特性使得多路复用器能够在 V_{DD} = 1.8V 的情况下运行，同时允许 IO 引脚与另一个器件高达 5.5V 的逻辑电平相连接，从而无需使用外部电压转换器。

SDO 输出 V_{DD} 电平逻辑，如果在较低的 MCU 逻辑电平下运行，则需要转换器或电阻分压器连接到 MCU。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3.5 注入电流控制

在较高层面上，注入电流控制功能可防止无效通道上的过压事件影响有效通道上的信号。发生过压事件的引脚的电压将保持在 V_{DD} + V_T，其中 V_T 大约为 0.6V。因钳制该电压而导致的过大电流将流经内部电路，该电路必须处于器件的电流规格范围内。通过这样做，器件可以防止过大的电流注入开启的通道内而导致测量误差。注入电流是输入电压 (V_{IN}) 高于正电源电压 (V_{DD} + ΔV) 或低于接地 (V_{SS}) 而强制输入引脚的电流。该电流流经输入保护二极管并流入器件的任一电源，可能会影响系统的精度和可靠性。注入的电流可能来自不同的源，具体取决于应用。

- 具有长布线的恶劣环境和应用（例如工厂自动化和汽车系统）可能会受到开关或瞬态事件的注入电流的影响。
- 如果输入信号来自各种传感器或电流源，则其他自包含系统也可能受到注入电流的影响。

注入电流影响：典型的 CMOS 开关在输入端和输出端具有 ESD 保护二极管。这些二极管不仅提供 ESD 保护，还提供电压钳位功能，从而防止输入或输出高于 V_{DD} 或低于 GND 和 V_{SS}。当电流注入到禁用信号路径的引脚时，少量电流会流经 ESD 二极管，但大部分电流会由于导通而流至漏极。如果 ESD 二极管的正向电压 (VF) 大于 PMOS 阈值电压 (VT)，则所有关断开关的 PMOS 将导通，并且源漏极之间会出现不良的亚阈值漏电流，从而也可能将关断源极引脚上拉。图 8-1 显示了典型 CMOS 开关和相关注入电流路径的简化图。

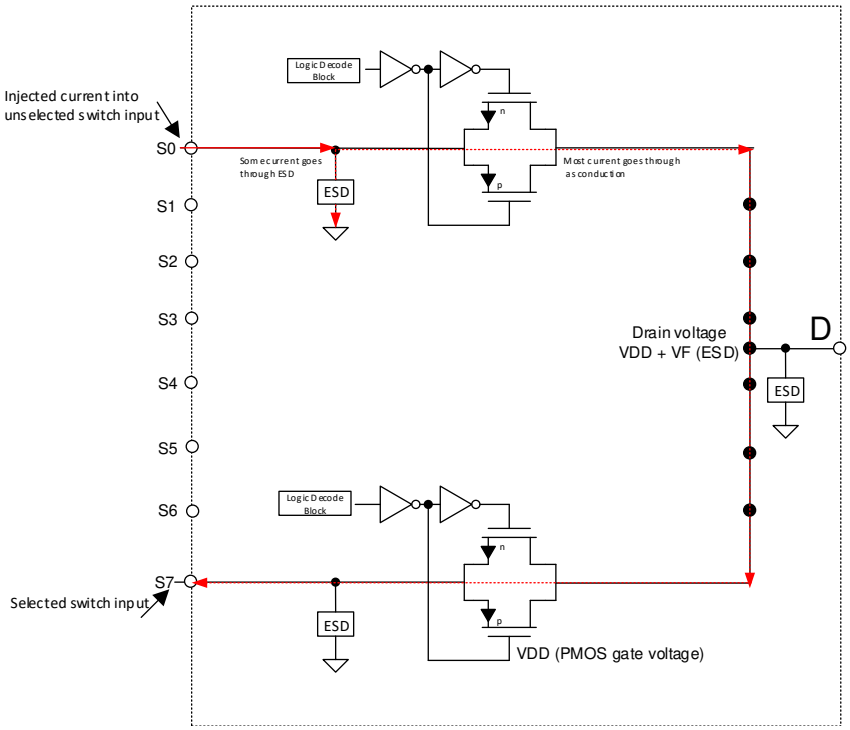


图 8-1. 典型 CMOS 开关和相关注入电流路径的简化图

切断这些电流路径相当困难。漏极引脚的电压不得比 V_{DD} 高出 VT。可以通过在漏极引脚和接地之间添加肖特基二极管等外部元件以将漏极电压钳位在 < V_{DD} + VT 并切断电流路径，从而保护模拟引脚免受电流注入的影响。

由于电流注入而导致的 R_{ON} 变化：由于启用的 FET 开关的导通电阻受电源轨变化的影响，因此当漏极引脚电压比电源电压高 VT 时，输出信号电压可能会出现误差。输出中的这种意外变化可能会导致与错误触发事件和不正确的测量读数相关的问题，从而可能影响系统的精度和可靠性。如图 8-2 所示，S2 是将信号从 S2 引脚传导到 D 引脚的使能信号路径。由于禁用的 S1 引脚上有注入电流，因此该引脚上的电压会高于电源电压，且 ESD 保护二极管发生正向偏置，从而使电源轨发生偏移。电源电压偏移会改变内部 FET 开关的 R_{ON}，从而导致 D 引脚上的输出产生 ΔV 误差。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

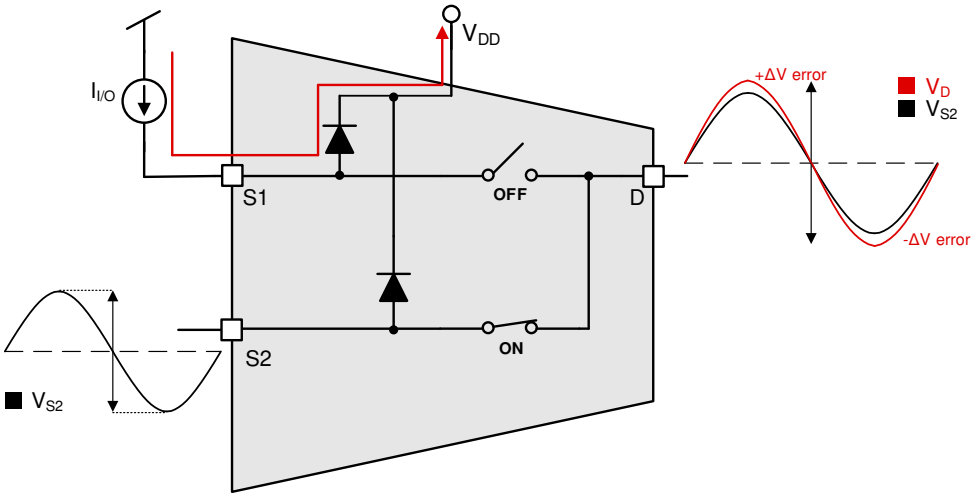


图 8-2. 注入电流对 R_{ON} 的影响

为了避免系统添加外部保护的复杂性，TMUXS1306A 和 TMUXS1307A 器件具有内部注入电流控制功能，从而无需外部二极管和电阻器网络（通常用于保护开关并使输入信号保持在电源电压范围之内）。内部注入电流控制电路允许禁用信号路径上的信号超过电源电压，而不会影响启用信号路径的信号。注入电流控制电路还可保护 TMUXS130xA 免受注入禁用信号路径的电流的影响，而不会影响典型 CMOS 开关不支持的启用信号路径。此外，TMUXS1306A 和 TMUXS1307A 器件没有任何到电源引脚的内部二极管路径，从而消除了损坏连接到电源引脚的元件或为系统电源轨提供意外电源的风险。有关显示 TMUXS130xA 器件和相关注入电流电路的一个信号路径的简化图，请参阅节 8.2。

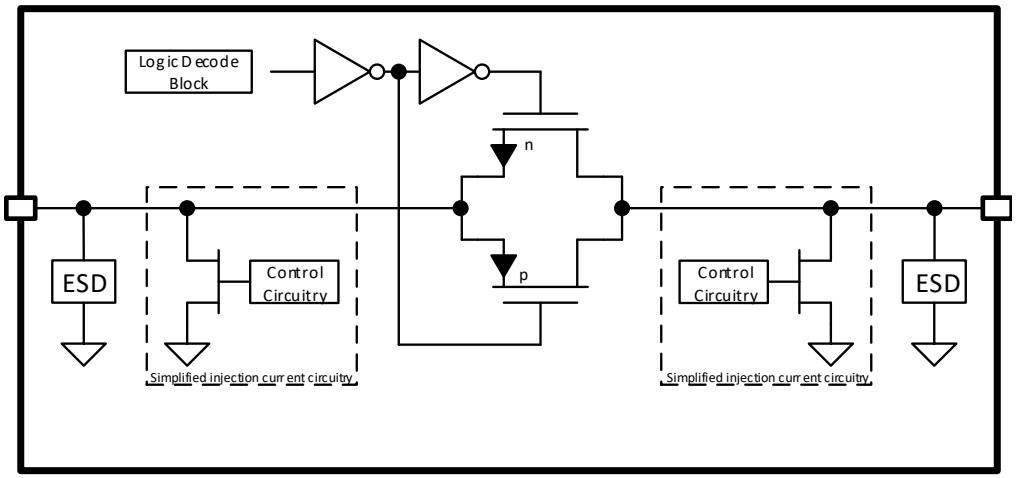


图 8-3. 注入电流控制的简化图

每个源极或漏极引脚（Sx 或 D）的注入电流控制电路都是独立控制的。当该输入被逻辑引脚禁用并且注入的电流导致特定引脚的电压高于 V_{DD} 或低于 GND 时，该引脚的控制电路将启用。注入电流电路包含一个 FET，用于在发生过压或注入电流事件时将不需要的电流分流至 GND。每个注入电流电路都能够处理高达 50mA 的电流；不过，该器件可在任何给定时间支持最大 100mA 电流。根据系统应用的不同，可能需要使用串联限制电阻器并且必须适当调整该电阻器的大小。图 8-3 显示了在输入引脚处注入电流的 TMUXS130xA 保护电路。

ADVANCE INFORMATION

ADVANCE INFORMATION

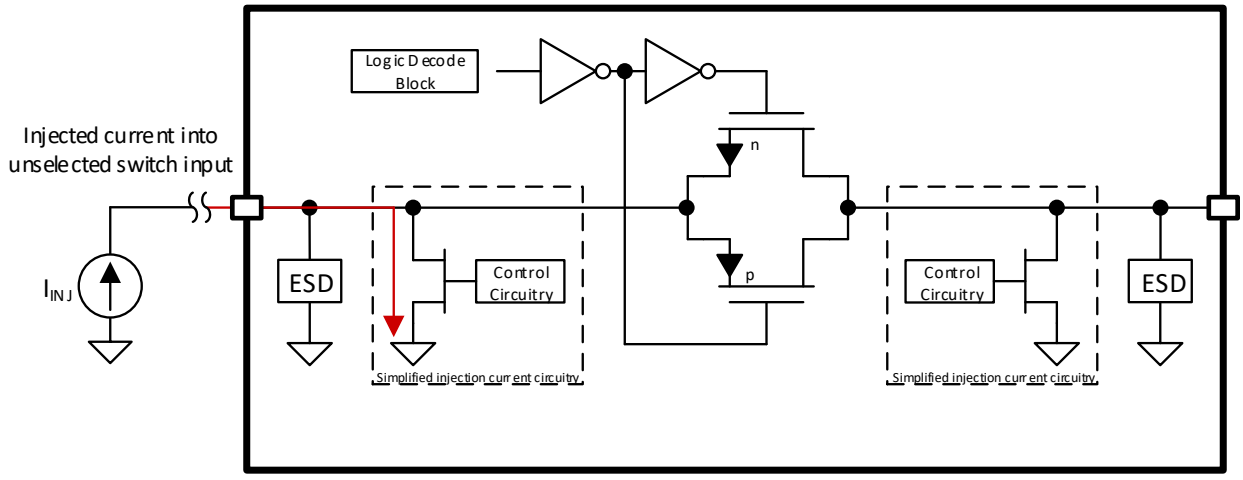


图 8-4. 输入引脚处的注入电流

图 8-5 显示了在发生过压事件的情况下使用串联限流电阻器的示例。

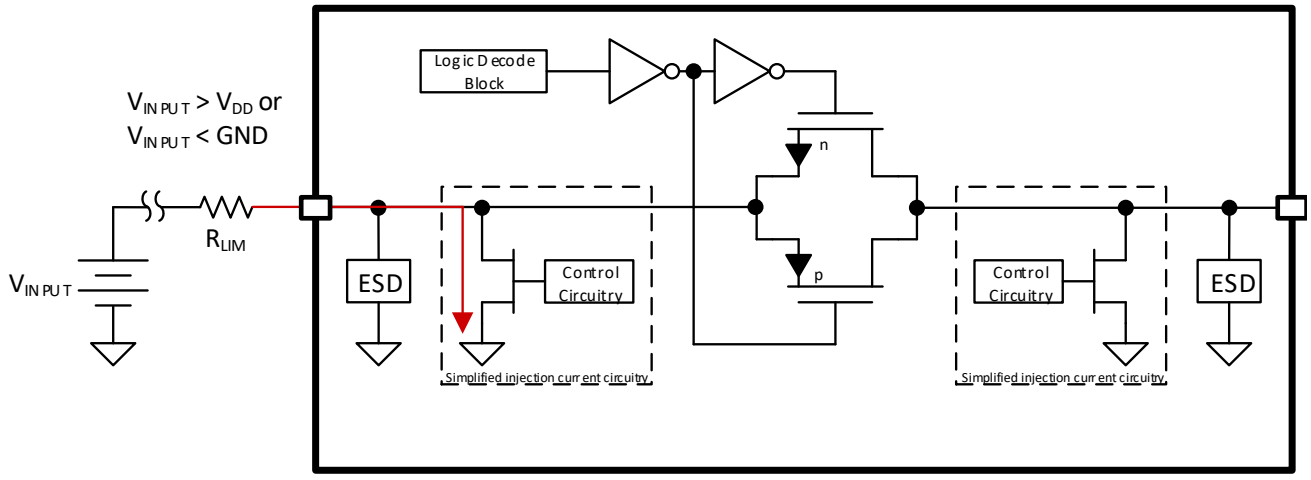


图 8-5. 采用串联电阻器的过压事件

要使注入电流控制电路有效，源极或漏极引脚上的电压应大于 V_{DD} 或小于 GND。在满足该要求的情况下，对于任何禁用或启用信号路径，保护 FET 将导通，并将引脚分流至 GND。在这种情况下，需要使用一个串联电阻器将注入器件的总电流限制为小于 100mA。以下各节概述了三个示例场景。

8.4 器件功能模式

TMUXS130xA 具有 16 个输入开关，其中一个开关可传递到通过 SPI 进行开启或关闭的单个输出。此器件无需任何外部元件即可运行。

该 SPI 接口具备错误检测功能，支持自动循环模式和多器件菊花链连接，并兼容 SPI 模式 0 和模式 3。此外，对于 SPI 逻辑电平 1.8V 至 5.5V，SCLK 能够以高达 10MHz 的速度运行。

表 8-1. TMUXS130xA SPI 帧

B23	B22	B21	B20	B19	B18	B17	B16	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
读取/写入	地址 A6:A0							数据 D15:D0															

Copyright © 2026 Texas Instruments Incorporated

8.4.1 SPI 操作

TMUXS130xA 是一款 16:1 SPI 控制型多路复用器，具有 SPI 错误检测功能。SDI 上的 SPI 数据在 SCLK 的正边沿进行采样，但 SDO 上的 SPI 数据在 SCLK 的负边沿移出。TMUXS130xA 与 SPI 模式 0 和 3 兼容。在地址模式下，通过发送 24 位 SPI 命令来访问 TMUXS130xA 寄存器，同时 $\overline{CS}$ 被拉至低电平。TMUXS130xA 还支持自动循环模式、突发模式和菊花链模式等其他工作模式。下面列出了提供的错误检测功能和状态功能：

1. 注入电流钳位状态 - 需要读取寄存器，仅表示有源电流钳位
2. 地址 R/W 错误标志 — 默认禁用
3. SCLK 计数错误标志 - 默认禁用
4. CRC（循环冗余校验）使能及错误标志 - 默认处于禁用状态
5. 清除错误标志

TMUXS130xA SPI 引脚包括 AC（自动循环）、SDI、SDO、SCLK 和 $\overline{CS}$。

8.4.1.1 自动循环模式

TMUXS130xA 的默认状态为自动循环 (AC) 模式。在自动循环模式下，当 AC 引脚上的信号出现上升沿时，器件将自动依次切换通道 1 的开关：从 SW_n 切换至 SW_{n+1} 和 TMUXS1306A，随后从 SW_{nA} 切换至 SW_{nA+1}，再从 SW_{nB} 切换至 SW_{nB+1}。TMUXS1307A 在自动周期模式下，唯一可以写入的寄存器是 MODCFG 寄存器；但是，所有寄存器都可以读取。要退出交流模式，用户必须将寄存器 0x0C 中的第一个位更改为 0。也可以在退出交流模式时启用突发模式，在突发写入期间，可以重新启用交流模式，并禁用突发模式。

一个完整的自动循环模式周期被视为“模式”。模式可以包含“1”（表示开关处于活动状态）或“0”（表示开关处于非活动状态）。例如，0xFFFF 表示每个开关都处于活动状态并在模式中转换为，但 0x0005 意味着只有开关 0 和 2 处于活动状态，并且在交流引脚上只有两个有效边沿进行下电上电。

有八个模式寄存器（0x04xx 至 0x0Bxx）。可使用自定义模式覆盖每个模式寄存器。在器件断电期间，所有寄存器都复位为默认状态。

ACSEL 寄存器允许用户选择要循环遍历的多个模式。例如，如果用户选择模式 0 和 1（ACSEL = 0x0003，Pattern0 = 0xFFFF，Pattern1 = 0xAAAA），则开关通过 0xFFFF 后跟 0xAAAA，然后返回 0xFFFF。

MODCFG 寄存器中有多个选项，有助于提高交流模式的可配置性。要修改此寄存器，必须先禁用交流模式。

AC_1CH_ALWAYS_ON 会关闭每个模式结束时的所有开关，需要额外的交流电才能开始下一个模式。要在 AC_1CH_ALWAYS_ON 下实现完整模式，需要 16 个上升沿，或在 AC_1CH_ALWAYS_ON 禁用的情况下实现 17 个上升沿。

AC_EDGE_CONFIG 设置开关转换打开的边沿。

1. 0b00：将 AC 设置为仅在上升沿转换
2. 0b01：将交流设置为仅在下降沿转换
3. 0b10：将交流设置为在上升沿和下降沿转换
4. 0b11：将 AC 设置为仅在上升沿转换（重复 0b00）

8.4.1.2 地址模式

若 TMUXS130xA 要进入地址模式，必须首先通过发送 0x0C0002 来禁用交流模式。在地址模式下，SPI 帧需要遵循以下序列：

1. $\overline{CS}$ 引脚被拉低
2. 默认为 24 个 SCLK 周期（如果启用 CRC，则为 32 个 SCLK 周期），24 位命令（1 个 R/W 位、7 个地址位，后跟 16 位数据）
3. $\overline{CS}$ 被拉高

ADVANCE INFORMATION

当命令的第一位为 0 时，此值表示正在执行写入。当第一位为 1 时，此值表示正在执行读取。随后的七位用于目标寄存器地址。目标寄存器在第 8 个 SCLK 周期内确定。当 CS 返回高电平后（假设未发生 SPI 错误），最后 16 位数据将被写入目标寄存器；若执行读操作，则该 16 位数据将被忽略。在执行读取时，会忽略 SDI 上的最后 16 位，因为 SDO 将在最后 16 个 SCLK 周期内输出寻址的寄存器状态。在任意命令的前八个时钟周期内，SPI 接口将通过 SDO 引脚输出八位 ERRFLG 标志位。

8.4.1.3 突发模式

TMUXS130xA 通过向*寄存器映射*中 MODCFG 寄存器内的 BURST_EN 位写入来进入突发模式。突发模式提供了在不使 $\overline{CS}$ 引脚无效的情况下连续发送大量 SPI 命令的能力。在突发模式下，第一个帧在 24 位帧中运行，然后是针对突发的 16 位后续命令，或者对于初始命令和 24 位命令，在启用 CRC 的情况下在 32 位帧中运行。SDO 引脚在地址模式下与预期的相同响应保持一致 - 对于读取 SDO，返回读回值；对于写入 SDO，输出 ERRFLG 位。SCLK 错误在地址模式下表现出不同的行为。如果 SCLK 计数不是 16 或 24 的倍数，则 SCLK 错误标志会置为有效（地址除外）。CRC 和读取/写入无效错误在突发模式下的运行方式与在地址模式下类似。

8.4.1.4 菊花链模式

多个 TMUXS130xA 可以链接在一起，以类似于移位寄存器的方式进行操作。链中的所有器件共享所有 SPI 引脚，但 SDO 引脚连接到链中下一个器件的 SDI。通过发送命令“0x57”（或带有 CRC 的“0x7D”）和为链中的每个器件额外发送一个 0x00，可以进入菊花链模式。例如，如果有三个器件：发送 0x570000，4 为 0x57000000，依此类推。当在硬件中将多个器件配置为菊花链模式时，发送的第一个命令预计是菊花链模式进入命令。当第一个器件进入菊花链模式时，该器件同时为前八位发送“0xC0”以指示无 SPI 错误，然后中继菊花链命令以使下一个器件进入菊花链模式。当系列器件处于菊花链模式后，必须将 CS 引脚拉至低电平以发送开关状态命令。

SDO 引脚用作同一器件的 8 周期延迟 SDI。在链中的所有器件都接收到开关状态命令并且 CS 引脚被拉高后，每个器件都将进入为其分配的开关状态。在菊花链模式下，所有命令将仅针对开关状态寄存器，因此配置寄存器不可用。对于菊花链中的每个 TMUXS1306A，发送的命令必须有 4 位来指示启用了每个器件的开关。对于 TMUXS1307A，发送的菊花链命令必须有 8 位，以指示启用了每个器件的开关，其中 0bx000x000 3 个 MSB 表示通道 A（开关 0-7），LSB 表示通道 B（开关 8-15），“x”表示“无关”。若要退出菊花链模式，需要对 V_{DD} 进行下电上电。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.4.1.5 软件复位

在地址模式下，可通过将以下两个命令连续写入寄存器 0x9A 来执行软件复位：

1. 0x0002

执行软件复位后，寄存器值复位为默认值。

ADVANCE INFORMATION

ADVANCE INFORMATION

9 TMUXS1306A 寄存器映射

表 9-1. TMUXS1306A 寄存器映射

寄存器	名称	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	权限
0x00	SW_DATA	SW15_EN	SW14_EN	SW13_EN	SW12_EN	SW11_EN	SW10_EN	SW9_EN	SW8_EN	SW7_EN	SW6_EN	SW5_EN	SW4_EN	SW3_EN	SW2_EN	SW1_EN	SW0_EN	0x0000	R/W
0x01	ERR_CONFIG	保留													RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x0000	R/W
0x02	ERR_FLAGS	保留									AC 计数器				RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x0000	R
0x03	AC_SEL	保留								AC Pattern7_EN	AC Pattern6_EN	AC Pattern5_EN	AC Pattern4_EN	AC Pattern3_EN	AC Pattern2_EN	AC Pattern1_EN	AC Pattern0_EN	0x0001	R/W
0x04	PATTERN0	模式 0（可配置）																0xFFFF	R/W
0x05	PATTERN1	模式 1（可配置）																0xAAAA	R/W
0x06	PATTERN2	模式 2（可配置）																0x5555	R/W
0x07	PATTERN3	模式 3（可配置）																0x00FF	R/W
0x08	PATTERN4	模式 4（可配置）																0xFF00	R/W
0x09	PATTERN5	模式 5（可配置）																0x0FFF	R/W
0x0a	PATTERN6	模式 6（可配置）																0xFFF0	R/W
0x0B	PATTERN7	模式 7（可配置）																0xF5F5	R/W
0x0C	MODE_CONFIG	保留										BURST_MODE_EN	保留	AC_EDGE_CONFIG		AC_1CH_ALWAYS_ON	AC_MODE_EN	0x0003	R/W
0x17	STB_STATUS	SW15_SHORT_STATUS	SW14_SHORT_STATUS	SW13_SHORT_STATUS	SW12_SHORT_STATUS	SW11_SHORT_STATUS	SW10_SHORT_STATUS	SW9_SHORT_STATUS	SW8_SHORT_STATUS	SW7_SHORT_STATUS	SW6_SHORT_STATUS	SW5_SHORT_STATUS	SW4_SHORT_STATUS	SW3_SHORT_STATUS	SW2_SHORT_STATUS	SW1_SHORT_STATUS	SW0_SHORT_STATUS	0x0000	R
0X1A	SOFT_RESET	SOFT_RST_B																0x0000	R/W

Copyright © 2026 Texas Instruments Incorporated

10 TMUXS1307A 寄存器映射

表 10-1. TMUXS1307A 寄存器映射

寄存器	名称	位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	默认值	权限
0x00	SW_DATA	SW_B7_EN	SW_B6_EN	SW_B5_EN	SW_B4_EN	SW_B3_EN	SW_B2_EN	SW_B1_EN	SW_B0_EN	SW_A7_EN	SW_A6_EN	SW_A5_EN	SW_A4_EN	SW_A3_EN	SW_A2_EN	SW_A1_EN	SW_A0_EN	0x0000	R/W
0x01	ERR_CONFIG	保留													RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN	0x0000	R/W
0x02	ERR_FLAGS	保留							AC Counter 2			AC Counter 1			RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG	0x0000	R
0x03	AC_SEL	保留								AC Pattern7_EN	AC Pattern6_EN	AC Pattern5_EN	AC Pattern4_EN	AC Pattern3_EN	AC Pattern2_EN	AC Pattern1_EN	AC Pattern0_EN	0x0001	R/W
0x04	PATTERN0	模式 0（可配置 0b 至 7b 为 CH1，8b 至 15b 为 CH2）																0xFFFF	R/W
0x05	PATTERN1	模式 1（可配置）																0xAAAA	R/W
0x06	PATTERN2	模式 2（可配置）																0x5555	R/W
0x07	PATTERN3	模式 3（可配置）																0x00FF	R/W
0x08	PATTERN4	模式 4（可配置）																0xFF00	R/W
0x09	PATTERN5	模式 5（可配置）																0x0FFF	R/W
0x0a	PATTERN6	模式 6（可配置）																0xFFF0	R/W
0x0B	PATTERN7	模式 7（可配置）																0xF5F5	R/W
0x0C	MODE_CONFIG	保留										BURST_MODE_EN	保留	AC_EDGE_CONFIG		AC_1CH_ALWAYS_ON	AC_MODE_EN	0x0003	R/W
0x17	STB_STATUS	SW_B7_SHORT_STATUS	SW_B6_SHORT_STATUS	SW_B5_SHORT_STATUS	SW_B4_SHORT_STATUS	SW_B3_SHORT_STATUS	SW_B2_SHORT_STATUS	SW_B1_SHORT_STATUS	SW_B0_SHORT_STATUS	SW_A7_SHORT_STATUS	SW_A6_SHORT_STATUS	SW_A5_SHORT_STATUS	SW_A4_SHORT_STATUS	SW_A3_SHORT_STATUS	SW_A2_SHORT_STATUS	SW_A1_SHORT_STATUS	SW_A0_SHORT_STATUS	0x0000	R
0X1A	SOFT_RESET	SOFT_RST_B																0x0000	R/W

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

11.1 应用信息

TMUXS130xA 系列可以在很宽的工作电源电压范围（1.62V 至 5.5V）内提供针对注入电流事件的保护。这些器件包括 1.8V 逻辑兼容控制输入引脚，支持在具有 1.8V I/O 电源轨的系统中运行。此外，控制输入引脚还支持失效防护逻辑，无论电源引脚的状态如何，该逻辑都支持在高达 5.5V 的电压下运行。该功能可以防止逻辑引脚对电源轨反向供电，同时注入电流电路可防止信号路径对电源反向供电。这些功能使 TMUXS130xA 成为通用多路复用器和开关系列，可以降低系统复杂性、电路板尺寸和总体系统成本。

11.2 典型应用

利用 TMUXS130xA 功能的一个有用应用是将各种信号多路复用到集成在 MCU 中的 ADC。与外部 ADC 相比，在 MCU 中利用集成 ADC 可使系统通过潜在的系统性能折衷尽可能地降低成本。多路复用器允许使用器件的单个 ADC 引脚来监控多个输入或传感器，这在 I/O 受限的系统中至关重要。TMUXS1307A 非常适合使用差分信号或作为两个 8:1 多路复用器的类似设计示例。

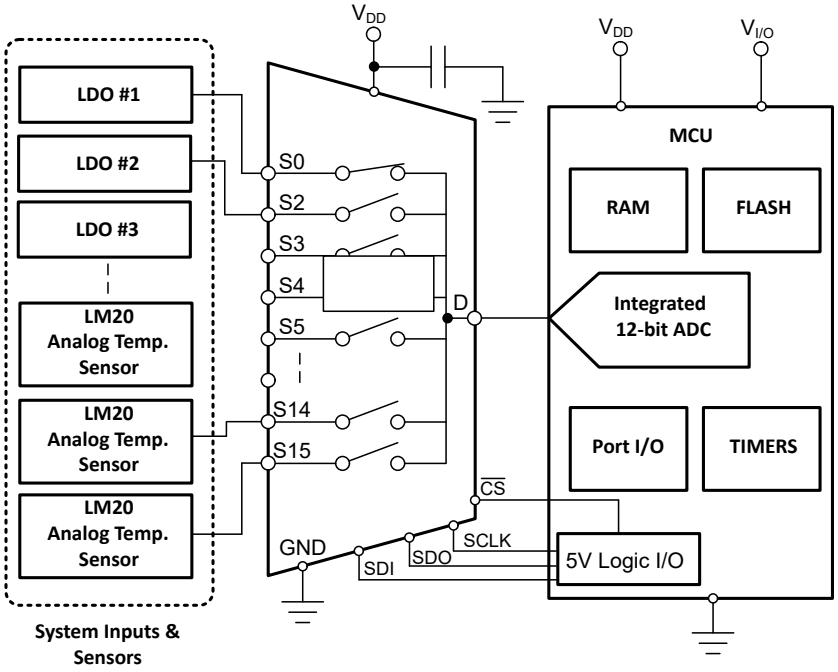


图 11-1. 将信号多路复用到集成 ADC

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11.2.1 设计要求

对于该设计示例，请使用表 11-1 中列出的参数。

表 11-1. 设计参数

参数	值
电源 (V_{DD})	5.0V
I/O 信号范围	0V 至 V_{DD}（轨至轨）
控制逻辑阈值	5V
开关输入	十六

11.2.2 详细设计过程

TMUXS1306A 和 TMUXS1307A 无需任何外部元件（电源去耦电容器除外）即可运行。多路复用到 MCU 的 ADC 的所有输入必须处于 TMUXS1306A 和 TMUXS1307A 的建议运行条件范围内，包括信号范围和连续电流。对于该电源电压为 5V 的设计，信号范围可以为 0V 至 5V；最大持续电流可以为 100mA（环境温度为 85°C 时）或 25mA（环境温度为 125°C 时）。

11.3 电源相关建议

TMUXS1306A 和 TMUXS1307A 器件可在 1.62V 至 5.5V 的宽电源电压范围内运行。

备注

请勿超过绝对最大额定值，因为应力超出列出的额定值可能会对器件造成永久损坏。

电源旁路可提高噪声容限并防止开关噪声从 V_{DD} 电源传播到其他元件。良好的电源去耦对于实现卓越性能至关重要。为提高电源噪声抗扰度，请在 V_{DD} 和地之间使用 0.1μF 至 10μF 的电源去耦电容器。使用低阻抗接头将旁路电容器放置在尽可能靠近器件电源引脚的位置。

TI 建议使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度很高或在恶劣噪声环境中使用的系统，避免使用过孔将电容器与器件引脚相连，以获得增强的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

11.4 布局

11.4.1 布局指南

当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐弯。图 11-2 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

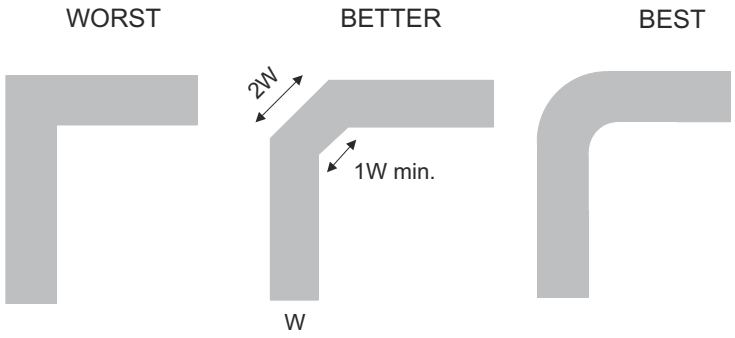


图 11-2. 布线示例

ADVANCE INFORMATION

使用较少的过孔和拐角路由高速信号可减少信号反射和阻抗变化。必须使用过孔时，增加过孔周边的间隙尺寸以降低电容。每一过孔均为信号传输线引入了非连续性，并增加了电路板其他层的干扰几率。设计测试点时要小心，不建议在高频下使用穿孔引脚。

图 11-3 展示了采用 TMUXS1306A 和 TMUXS1307A 的 PCB 布局示例。一些关键的考虑因素如下：

- 使用一个 0.1µF 电容器对 V_{DD} 引脚进行去耦，该电容器尽可能靠近引脚放置。确保电容器额定电压足以满足 V_{DD} 电源的要求。
- 尽可能缩短输入线路。
- 使用实心接地平面有助于降低电磁干扰 (EMI) 噪声拾取。
- 敏感的模拟布线不能与数字布线平行。尽可能避免数字引线与模拟引线交叉，仅在必要时以垂直交叉方式布线。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

11.4.2 布局示例

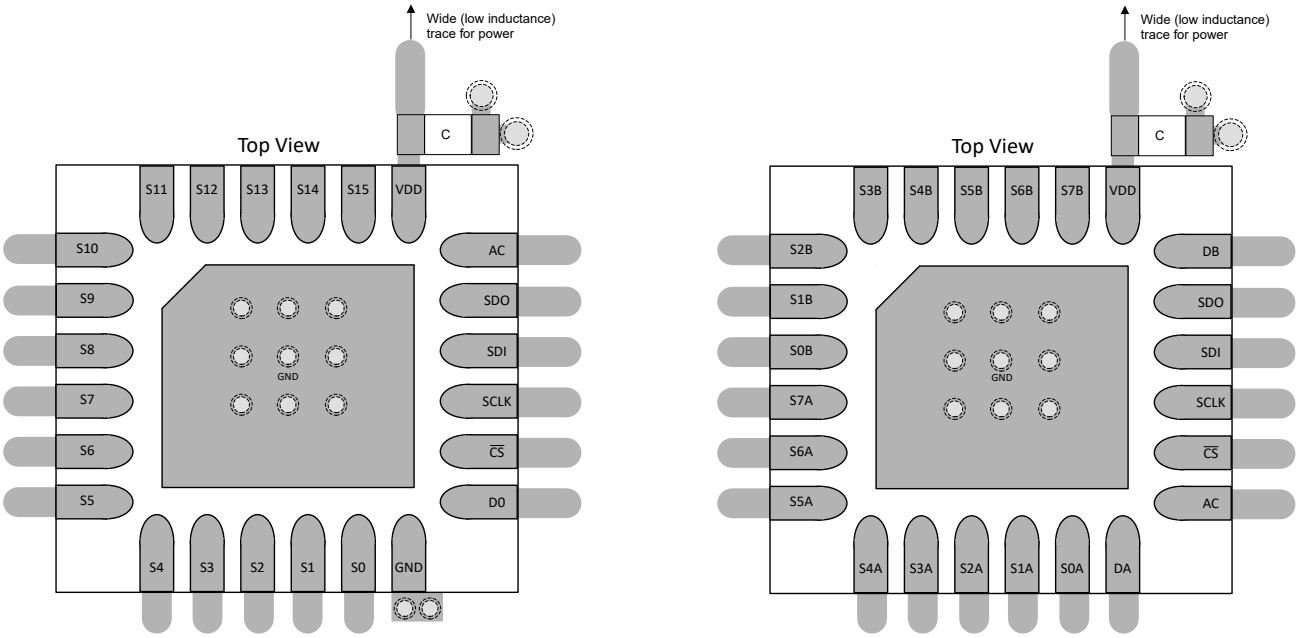


图 11-3. TMUXS1306A 和 TMUXS1307A 布局示例

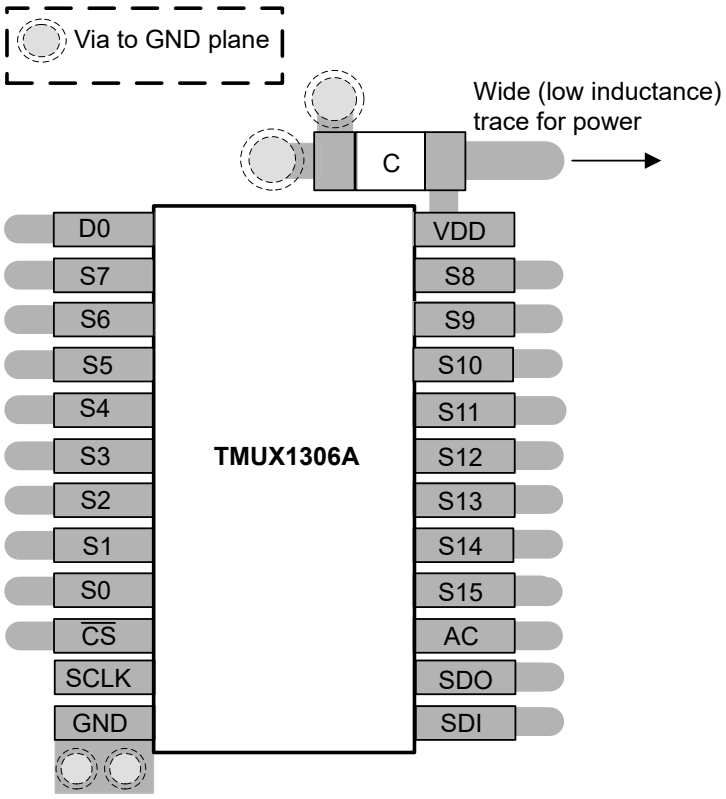


图 11-4. TMUXS1306A 和 TMUXS1307A 布局示例

ADVANCE INFORMATION

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*用于多路复用器和信号开关的 1.8V 逻辑*应用简报
- 德州仪器 (TI)，*QFN/SON PCB 连接* 应用手册
- 德州仪器 (TI)，*Quad Flatpack No-Lead 逻辑封装* 应用手册

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
September 2026	*	初始发行版

14 机械、封装和可订购信息

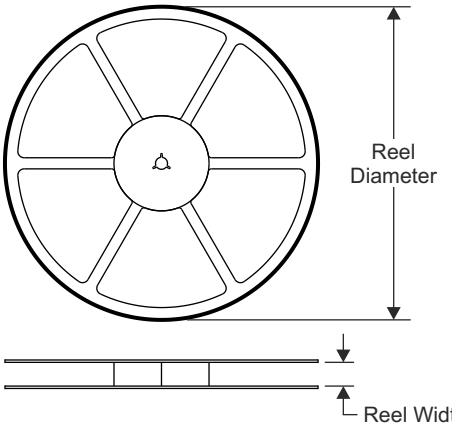
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

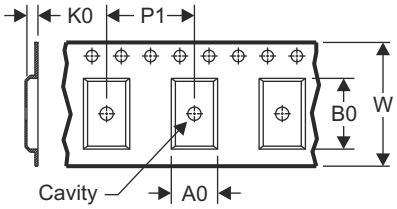
Copyright © 2026 Texas Instruments Incorporated

14.1 卷带包装信息

REEL DIMENSIONS

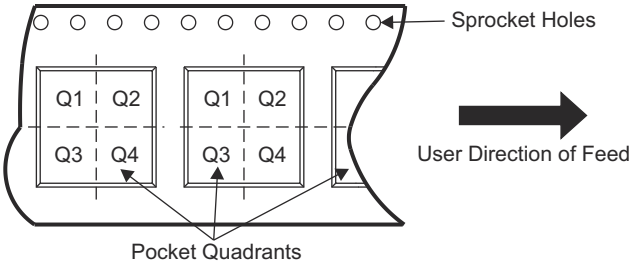


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

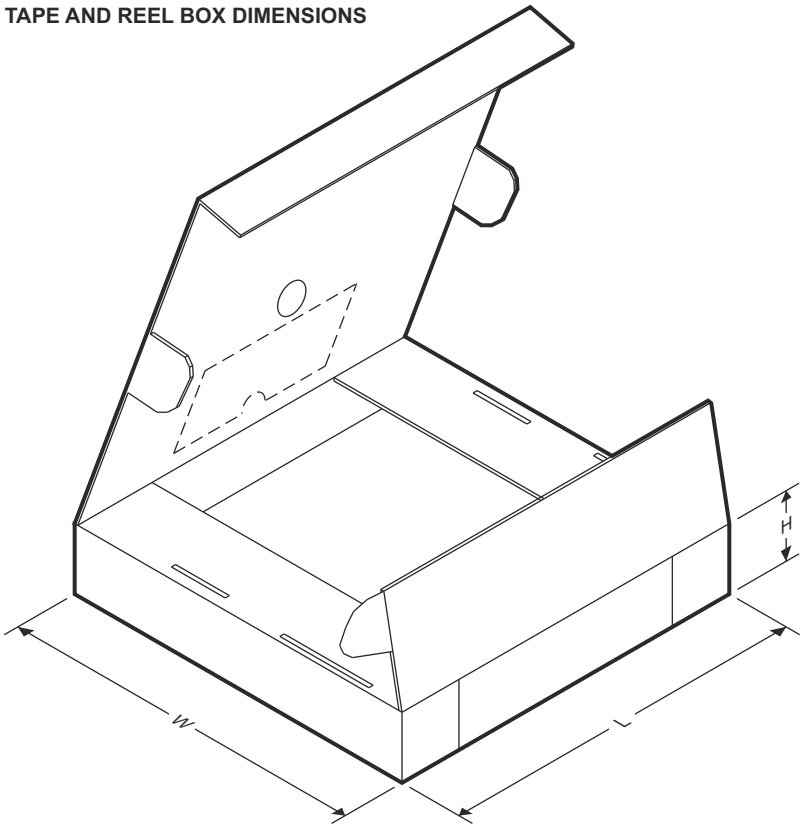


器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
TMUXS1306A	RGE	RGE	24	3000	330	12.4	4.25	4.25	1.15	8	12	2
TMUXS1307A	RGE	RGE	24	3000	330	12.4	4.25	4.25	1.15	8	12	2

ADVANCE INFORMATION

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TMUXS1306A	VQFN	RGE	24	3000	346	346	33
TMUXS1307A	VQFN	RGE	24	3000	346	346	33

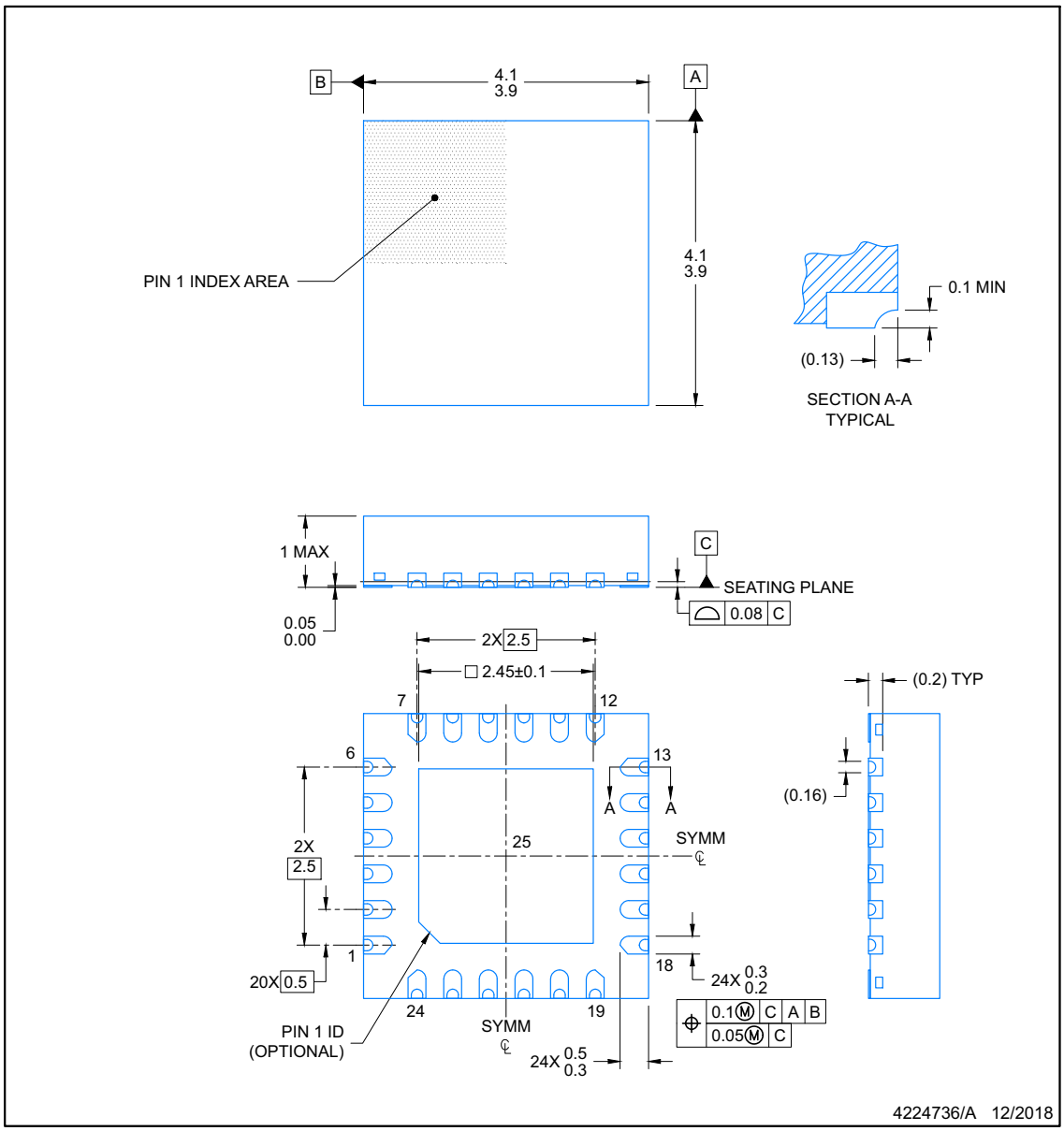
Copyright © 2026 Texas Instruments Incorporated

14.2 机械数据

PACKAGE OUTLINE

RGE0024N **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

ADVANCE INFORMATION

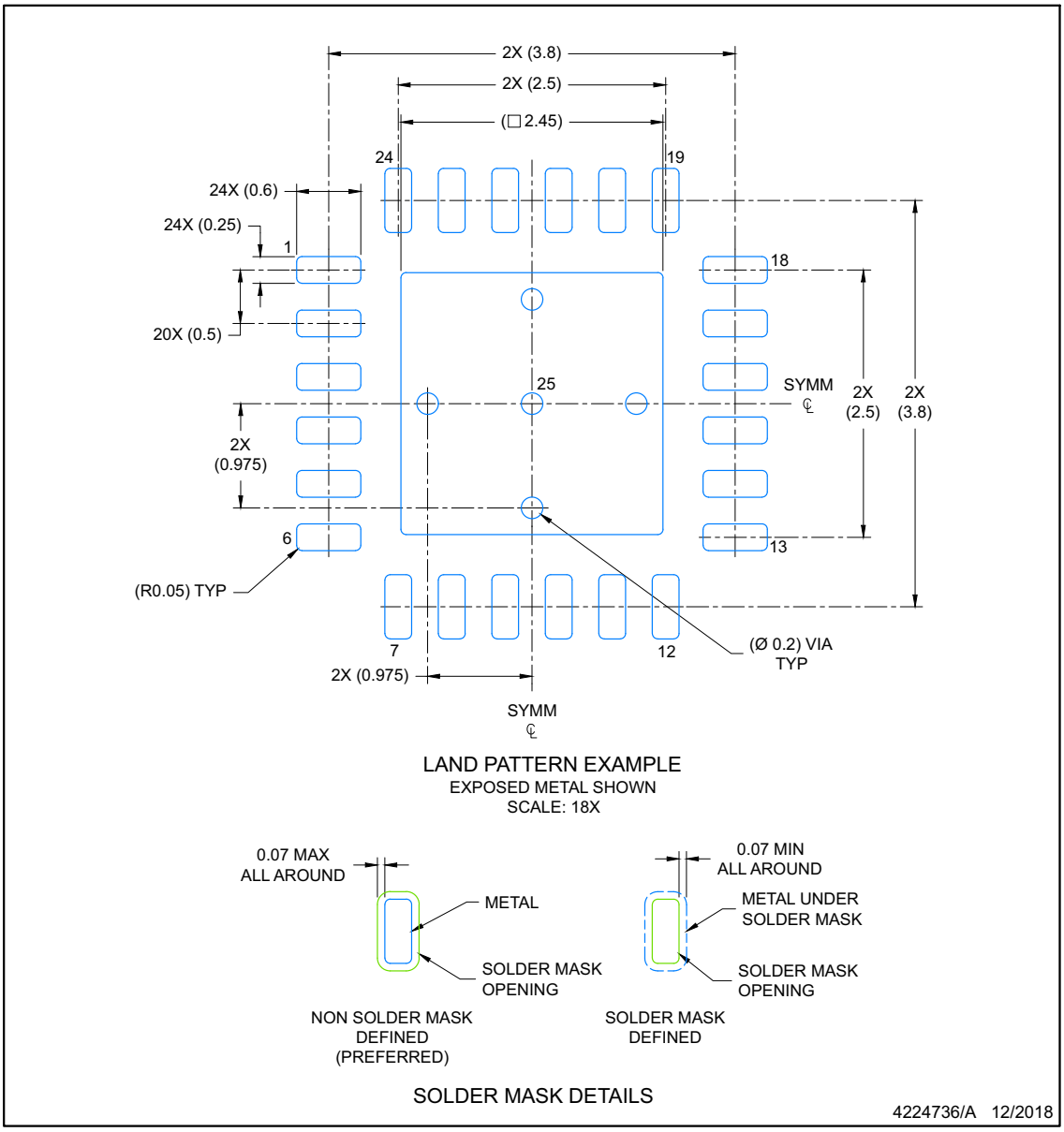
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

RGE0024N — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

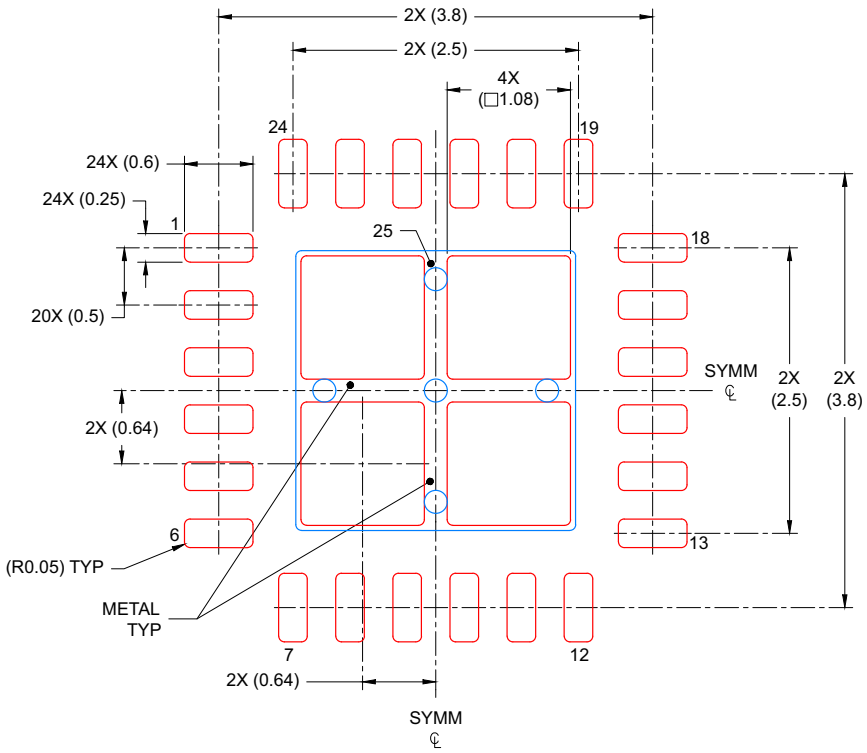
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTMUXS1306ARGER	Active	Preproduction	VQFN (RGE) | 24	3000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

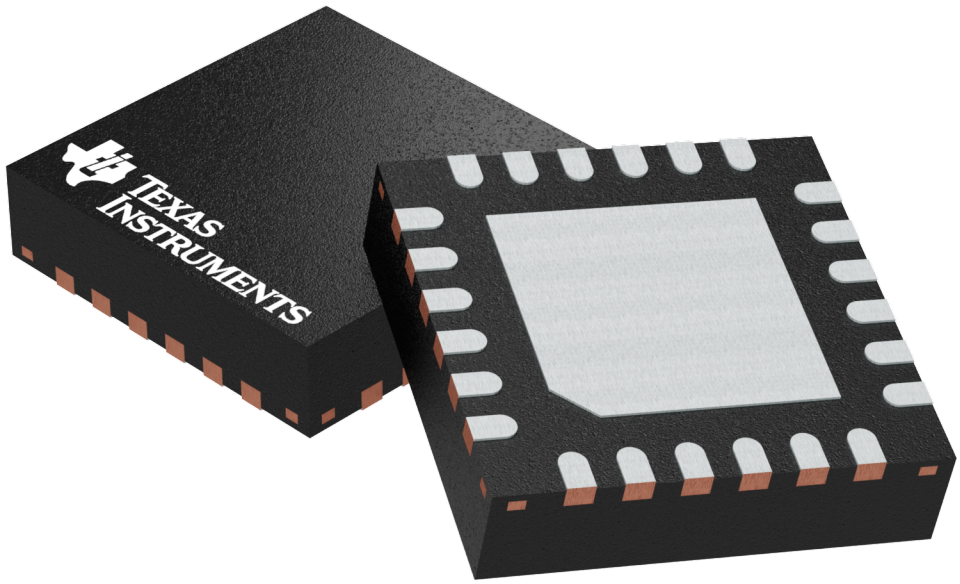
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4204104/H

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月