TMUX1511 低电容，1:1 (SPST) 4 通道，具有 1.8V 逻辑电平的断电保护开关

1 特性

- 宽电源电压范围：1.5V 至 5.5V
- 低导通电容：3.3pF
- 低导通电阻：2Ω
- 高带宽：3GHz
- -40°C 至 +125°C 工作温度
- 兼容 1.8V 逻辑电平
- 支持超出电源电压范围的输入电压
- 逻辑引脚上带有集成下拉电阻器
- 双向信号路径
- 失效防护逻辑
- 高达 3.6V 的 断电保护
  - 与 SN74CBTLV3126 兼容的引脚排列
  - SN74CBTLV3125 的引脚排列兼容（逻辑型号）

2 应用

- 服务器
- 有线网络
- 无线基础设施
- 数据中心交换机和路由器
- PC/笔记本电脑
- 楼宇自动化
- ePOS
- 电机驱动器
- 电器
- 电池供电设备
- JTAG 隔离
- SPI 隔离

3 说明

TMUX1511 是一款互补金属氧化物半导体 (CMOS) 开关。TMUX1511 提供具备 4 个可独立控制通道的 1:1 SPST 开关配置。1.5V 至 5.5V 的宽工作电源电压范围使其适用于从服务器和通信设备到工业应用的各种应用。此器件可在源极 (Sx) 和漏极 (Dx) 引脚上支持 双向 模拟和数字信号，并且能够传递高于电源电压（最高 V_{DD} x 2）的信号，最大输入/输出电压为 5.5V。

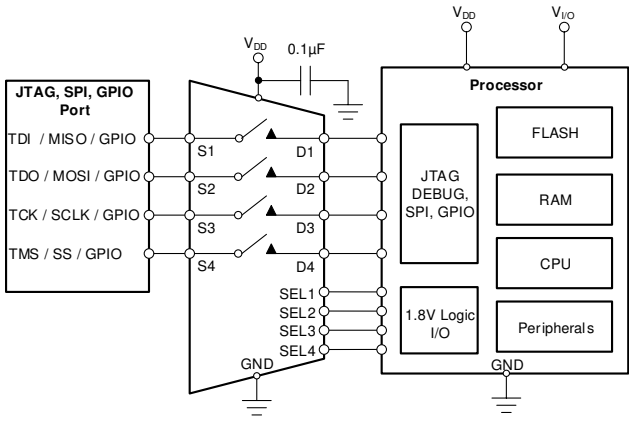
TMUX1511 的信号路径上高达 3.6V 的电压可在移除电源电压 (V_{DD} = 0V) 时提供隔离。如果没有该保护功能，开关可通过内部 ESD 二极管为电源轨进行反向供电，从而对系统造成潜在损坏。

失效防护逻辑 电路允许在施加电源引脚上的电压之前，先施加逻辑控制引脚上的电压，从而保护器件免受潜在的损害。所有逻辑控制输入均具有 兼容 1.8V 逻辑的阈值，当器件在有效电源电压范围内运行时，这些阈值可确保 TTL 和 CMOS 逻辑兼容性。

封装信息

器件型号	封装 (1)	封装尺寸（标称值）
TMUX1511	TSSOP (14)	5.00mm × 4.40mm
	QFN (16)	2.60mm x 1.80mm
	X2QFN (12)	1.60mm x 1.60mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。



应用示例

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
引脚功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 6
5.6 动态特性 7
5.7 时序要求 7
5.8 典型特性 8
6 参数测量信息 13
6.1 导通电阻 13
6.2 关断漏电流 13
6.3 导通漏电流 14
6.4 IPOFF 漏电流 14
6.5 转换时间 15
6.6 $T_{ON (VDD)}$ 和 $T_{OFF (VDD)}$ 时间 15
6.7 传播延迟 16
6.8 偏斜 16
6.9 电荷注入 17
6.10 电容 17
6.11 关断隔离 18
6.12 通道间串扰 18
6.13 带宽 19
7 详细说明 20
7.1 概述 20
7.2 功能方框图 20
7.3 特性说明 20
7.4 器件功能模式 21
7.5 真值表 21
8 应用和实施 22
8.1 应用信息 22
8.2 典型应用 22
9 电源相关建议 24
10 布局 25
10.1 布局指南 25
10.2 布局示例 26
11 器件和文档支持 27
11.1 第三方产品免责声明 27
11.2 文档支持 27
11.3 接收文档更新通知 27
11.4 支持资源 27
11.5 商标 27
11.6 静电放电警告 27
11.7 术语表 27
12 修订历史记录 28
13 机械、封装和可订购信息 28

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

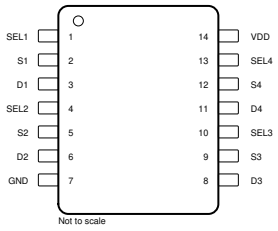


图 4-1. PW 封装 14 引脚 TSSOP 顶视图

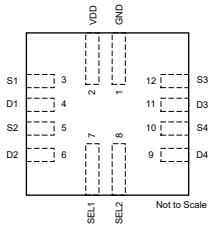


图 4-2. RWB 封装 12 引脚 X2QFN 顶视图

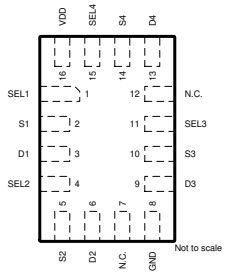


图 4-3. RSV 封装 16 引脚 QFN 顶视图

引脚功能

引脚				类型(1)	说明
名称	TSSOP	UQFN	X2QFN		
SEL1	1	1	7	I	选择引脚 1：控制开关 1 的状态（逻辑低电平 = OFF，逻辑高电平 = ON）内部 6MΩ 下拉至 GND。
S1	2	2	3	I/O	源极引脚 1。可以是输入或输出。
D1	3	3	4	I/O	漏极引脚 1。可以是输入或输出。
SEL2	4	4	8	I	选择引脚 2：控制开关 2 的状态（逻辑低电平 = OFF，逻辑高电平 = ON）内部 6MΩ 下拉至 GND。
S2	5	5	5	I/O	源极引脚 2。可以是输入或输出。
D2	6	6	6	I/O	漏极引脚 2。可以是输入或输出。
N.C.	-	7	-	未连接	未连接 - 可短接到 GND 或保持悬空
GND	7	8	1	P	接地 (0V) 基准
D3	8	9	11	I/O	漏极引脚 3。可以是输入或输出。
S3	9	10	12	I/O	源极引脚 3。可以是输入或输出。
SEL3	10	11	-	I	选择引脚 3：控制开关 3 的状态（逻辑低电平 = OFF，逻辑高电平 = ON）内部 6MΩ 下拉至 GND。
N.C.	-	12	-	未连接	未连接 - 可短接到 GND 或保持悬空
D4	11	13	9	I/O	漏极引脚 4。可以是输入或输出。
S4	12	14	10	I/O	源极引脚 4。可以是输入或输出。
SEL4	13	15	-	I	选择引脚 4：控制开关 4 的状态（逻辑低电平 = OFF，逻辑高电平 = ON）内部 6MΩ 下拉至 GND。
VDD	14	16	2	P	正电源。该引脚是正电源电势最高的引脚。为了实现可靠运行，应在 V_{DD} 和 GND 之间连接一个 0.1μF 至 10μF 的去耦电容器。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2) (3)

		最小值	最大值	单位
V_{DD}	电源电压	-0.5	6	V
V_{SEL}	逻辑控制输入引脚电压（SEL1、SEL2、SEL3、SEL4）	-0.5	6	V
I_{SEL}	逻辑控制输入引脚电流（SEL1、SEL2、SEL3、SEL4）	-30	30	mA
V_S 或 V_D	源极或漏极引脚电压	-0.5	6	V
I_S 或 $I_{D\ (CONT)}$	源极和漏极引脚持续电流：（S1 至 S4，D1 至 D4）	-25	25	mA
T_{stg}	贮存温度	-65	150	°C
T_J	结温		150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 代数约定，其中绝对值最大的负值为最小值，绝对值最大的正值为最大值。
(3) 除非另有说明，否则所有电压均以接地为基准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	最大值	单位
V_{DD}	电源电压	1.5	5.5	V
V_S 或 V_D	信号路径输入/输出电压（源极或漏极引脚），$V_{DD} \geq 1.5V$(1)	0	V_{DD} x 2	V
V_{S_off} 或 V_{D_off}	信号路径输入/输出电压（源极或漏极引脚），$V_{DD} < 1.5V$(2)	0	3.6	V
V_{SEL}	逻辑控制输入电压 (SELx)	0	5.5	V
T_A	环境温度	-40	125	°C

(1) 器件输入/输出可以在高达 V_{DD} x 2 的情况下运行，最大输入/输出电压为 5.5V。
(2) V_{S_off} 和 V_{D_off} 是指电源小于 1.5V 时源极或漏极引脚上的电压。

5.4 热性能信息

热指标(1)		器件 PW (TSSOP) 14 引脚	器件 RSV (UQFN) 16 引脚	器件 RWB (X2QFN) 12 引脚	单位
$R_{\theta JA}$	结至环境热阻	129.4	141.5	166.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	58.8	77.9	59.5	°C/W
$R_{\theta JB}$	结至电路板热阻	72.4	67.6	103.6	°C/W
Ψ_{JT}	结至顶部特征参数	11.6	5.1	1.0	°C/W
Ψ_{JB}	结至电路板特征参数	71.9	65.5	103.4	°C/W

Copyright © 2025 Texas Instruments Incorporated

热指标(1)		器件 PW (TSSOP) 14 引脚	器件 RSV (UQFN) 16 引脚	器件 RWB (X2QFN) 12 引脚	单位
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

V_{DD} = 1.5V 至 5.5V，GND = 0V，T_A = –40°C 至 +125°C，
典型值在 V_{DD} = 3.3V 且 T_A = 25℃ 时测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
V_{DD}	电源电压		1.5		5.5	V
I_{DD}	电源电流	V_{SEL} = 0V、1.4V 或 V_{DD} V_S = 0V 至 5.5V		37	70	μA
DC 特性						
R_{ON}	导通电阻	V_S = 0V 至 V_{DD}*2 $V_{S(max)}$ = 5.5V I_{SD} = 8mA 请参阅 导通状态电阻图		2	4.5	Ω
ΔR_{ON}	通道间的导通电阻匹配	V_S = V_{DD} I_{SD} = 8mA 请参阅 导通状态电阻图		0.07	0.28	Ω
$R_{ON (FLAT)}$	导通电阻平坦度	V_S = 0V 至 V_{DD} I_{SD} = 8mA 请参阅 导通状态电阻图		1	1.8	Ω
I_{POFF}	断电 I/O 引脚漏电流	V_{DD} = 0V V_S = 0V 至 3V V_D = 0V T_A = 25℃ 请参阅 Ipoff 泄露图	-10	0.01	10	nA
I_{POFF}	断电 I/O 引脚漏电流	V_{DD} = 0V V_S = 0V 至 3.6V V_D = 0V 请参阅 Ipoff 泄露图	-2	0.01	2	μA
$I_{S(OFF)}$ $I_{D(OFF)}$	OFF 漏电流	开关断开 V_D = 0.8*V_{DD} / 0.2*V_{DD} V_S = 0.2*V_{DD} / 0.8*V_{DD} 请参阅 关断泄露图	-100	0.03	100	nA
$I_{D(ON)}$ $I_{S(ON)}$	ON 漏电流	开关接通 V_D = 0.8*V_{DD} / 0.2*V_{DD}，S 引脚悬空 或 V_S = 0.8*V_{DD} / 0.2*V_{DD}，D 引脚悬空 请参阅 接通泄露图	-50	0.01	50	nA
逻辑输入						
V_{IH}	输入逻辑高电平		1.2		5.5	V
V_{IL}	输入逻辑低电平		0		0.45	V
I_{IH}	输入高漏电流	V_{SEL} = 1.8V，V_{DD}		1	±2	μA
I_{IL}	输入低漏电流	V_{SEL} = 0V		0.2	±2	μA
R_{PD}	逻辑输入引脚上的内部下拉电阻器			6		MΩ
C_I	逻辑输入电容	V_{SEL} = 0V、1.8V 或 V_{DD} f = 1MHz		3		pF

Copyright © 2025 Texas Instruments Incorporated

5.6 动态特性

V_{DD} = 1.5V 至 5.5V，GND = 0V，T_A = –40°C 至 +125°C，
典型值在 V_{DD} = 3.3V 且 T_A = 25℃ 时测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
C_{OFF}	源极和漏极关断电容	V_S = V_{DD} / 2 V_{SEL}= 0V f = 1MHz 请参阅 电容图	开关关闭		2.5	4	pF
C_{ON}	源极和漏极导通电容	V_S = V_{DD} / 2 V_{SEL} = V_{DD} f = 1MHz 请参阅 电容图	开关打开		3.3	6	pF
Q_C	电荷注入	V_S = V_{DD} / 2 R_S = 0Ω，C_L = 100pF 请参阅 电荷注入图	开关打开		2		pC
O_{ISO}	关断隔离	R_L = 50Ω f = 100kHz 请参阅 关断隔离图	开关关闭		-90		dB
		R_L = 50Ω f = 1MHz 请参阅 关断隔离图	开关关闭		-75		dB
X_{TALK}	通道间串扰	R_L = 50Ω f = 100kHz 请参阅 串扰图	开关打开		-90		dB
BW	带宽	R_L = 50Ω 请参阅 带宽图	开关打开		3		GHz
I_{LOSS}	插入损耗	R_L = 50Ω f = 1MHz 请参阅 带宽图	开关打开		-0.12		dB

5.7 时序要求

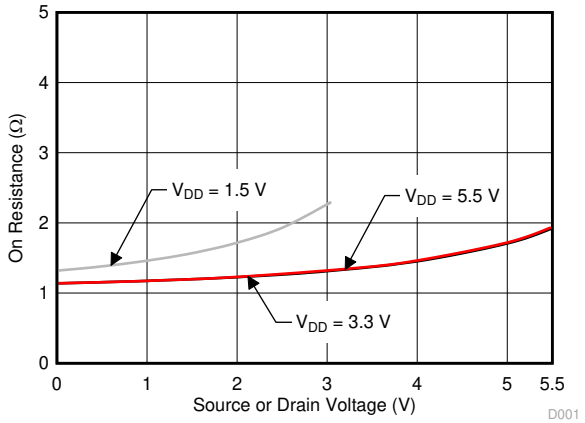
V_{DD} = 1.5V 至 5.5V，GND = 0V，T_A = –40°C 至 +125°C，
典型值在 V_{DD} = 3.3V 且 T_A = 25℃ 时测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{ON(VDD)}$	器件开通时间（V_{DD} 至输出）	V_S = 3.6V V_{DD} 上升时间 = 1us R_L = 200Ω, C_L = 15pF 请参阅 Ton(vdd) 和 Toff(vdd) 图		20	60	μs
$t_{OFF(VDD)}$	器件关断时间（V_{DD} 至输出）	V_S = 3.6V V_{DD} 下降时间 = 1us R_L = 200Ω，C_L = 15pF 请参阅 Ton(vdd) 和 Toff(vdd) 图		1.2	4	μs
t_{TRAN}	控制输入的转换时间	V_{DD} = 2.5V 至 5.5V V_S = V_{DD} R_L = 200Ω，C_L = 15pF 请参阅 转换时间图		25	55	ns
t_{TRAN}	控制输入的转换时间	V_{DD} < 2.5V V_S = V_{DD} R_L = 200Ω，C_L = 15pF 请参阅 转换时间图		50	80	ns
$t_{SK(P)}$	通道间偏移	请参阅 Tsk 图		10		ps
t_{PD}	传播延迟	请参阅 TPD 图		67		ps

Copyright © 2025 Texas Instruments Incorporated

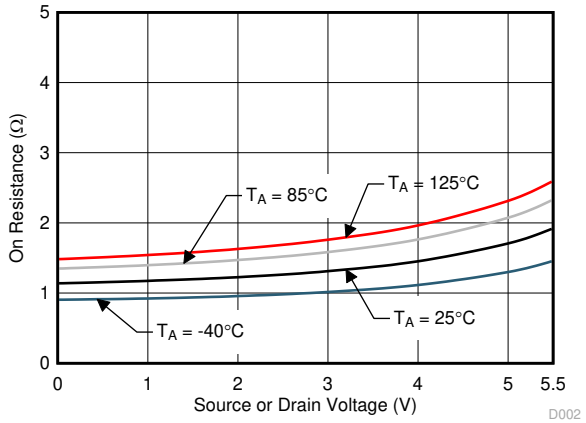
5.8 典型特性

在 T_A = 25°C，V_{DD} = 5V 时（除非另有说明）



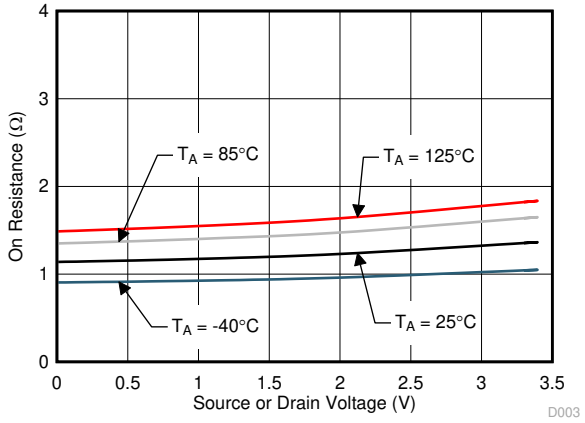
T_A = 25°C

图 5-1. 导通电阻与源极或漏极电压之间的关系



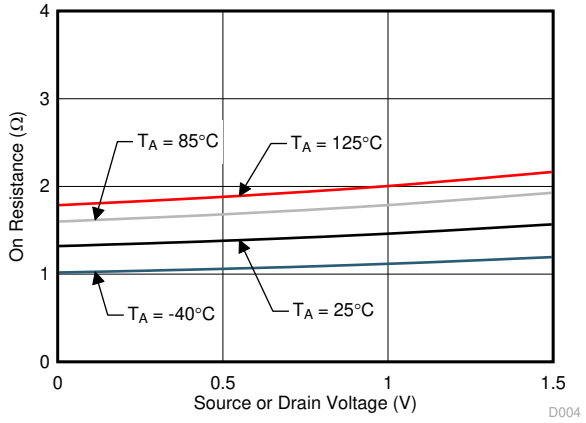
V_{DD} = 5.5V

图 5-2. 导通电阻与源极或漏极电压之间的关系



V_{DD} = 3.3V

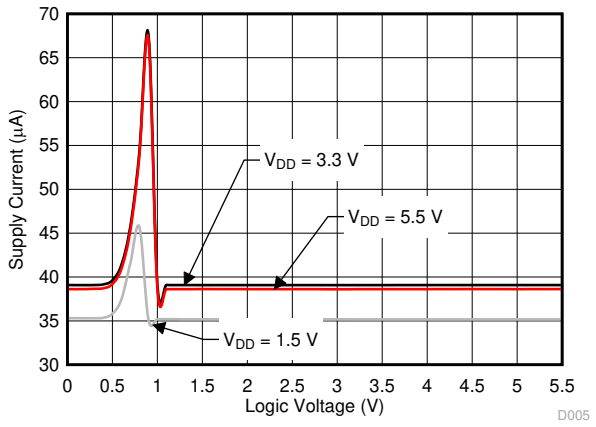
图 5-3. 导通电阻与源极或漏极电压之间的关系



V_{DD} = 1.5V

图 5-4. 导通电阻与源极或漏极电压之间的关系

Copyright © 2025 Texas Instruments Incorporated



T_A = 25°C

图 5-5. 电源电流与逻辑电压间的关系

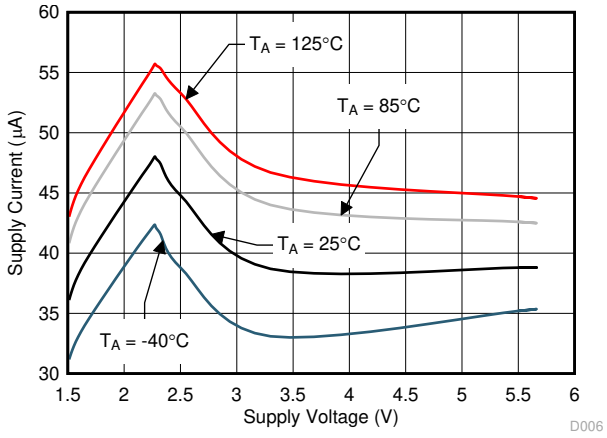
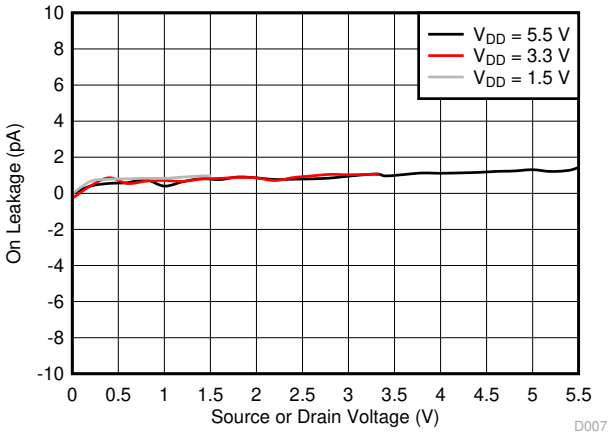


图 5-6. 电源电流与电源电压间的关系



T_A = 25°C

图 5-7. 导通漏电流与源极电压或漏极电压间的关系

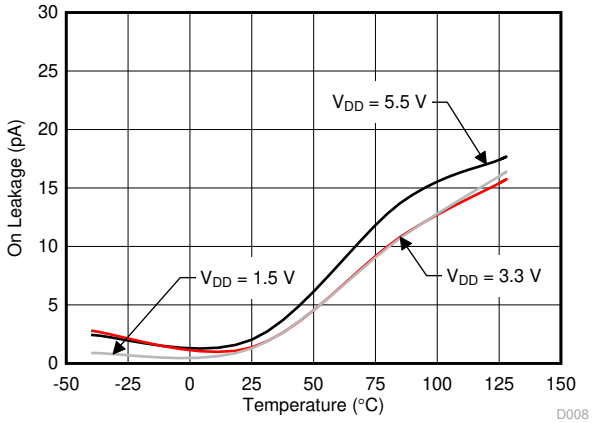
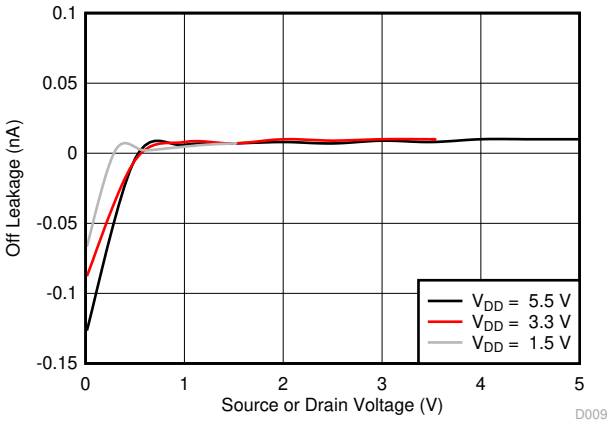


图 5-8. 导通状态漏电流与温度之间的关系



T_A = 25°C

图 5-9. 关断状态漏电流与源极或漏极电压间的关系

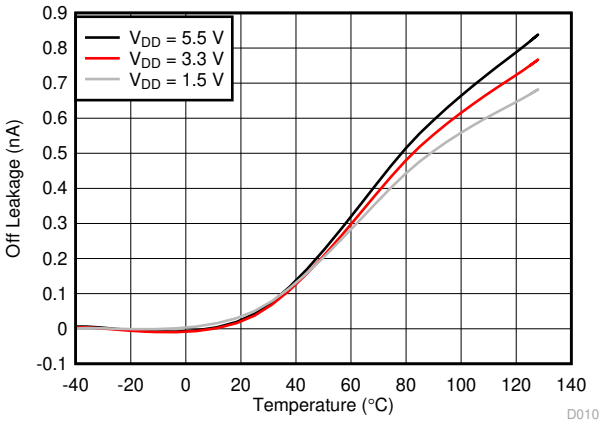
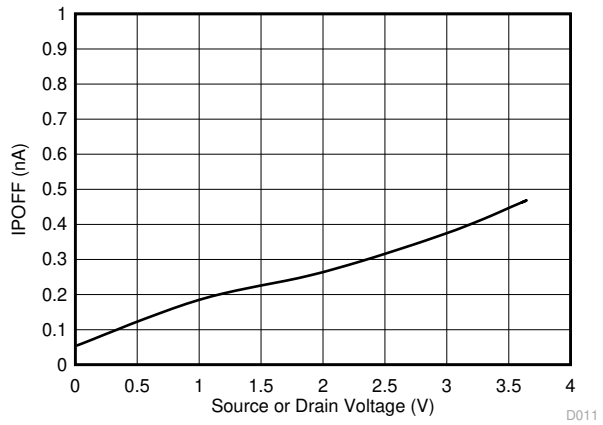


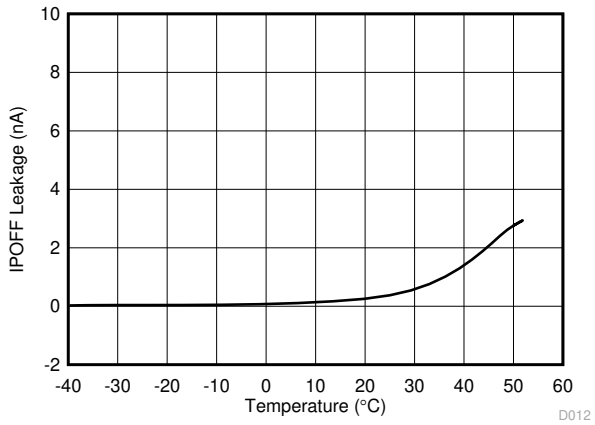
图 5-10. 关断状态漏电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated



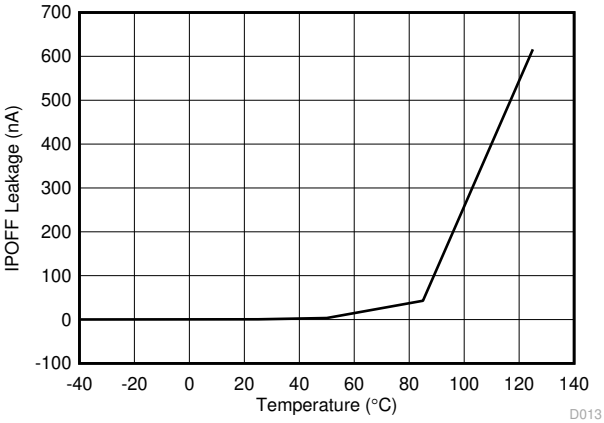
T_A = 25°C

图 5-11. IPOFF 漏电流与源极电压或漏极电压间的关系



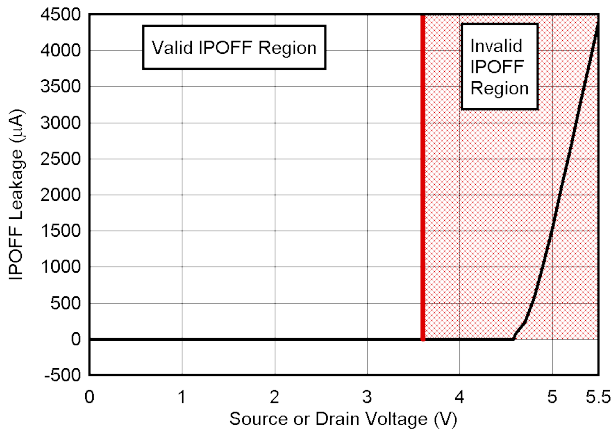
V_{Source} = 3V

图 5-12. IPOFF 漏电流与温度间的关系



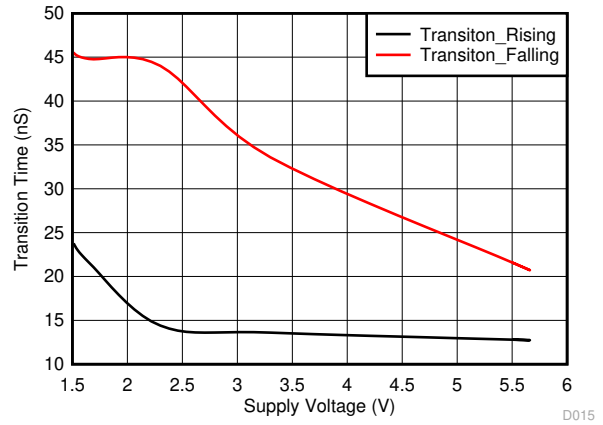
V_{Source} = 3.6V
V_{Drain} = 0V

图 5-13. IPOFF 漏电流与温度间的关系



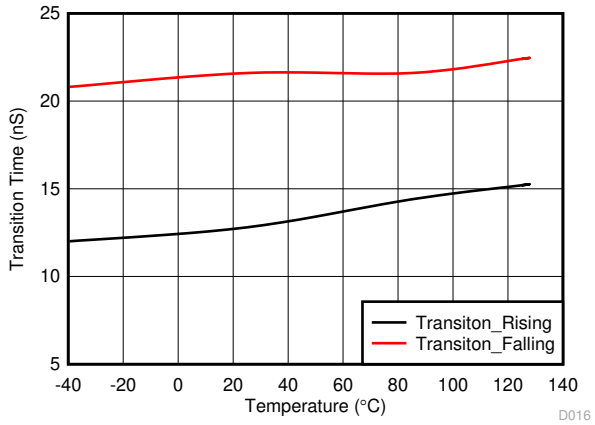
T_A = 25°C
R_L = 200 Ω

图 5-14. IPOFF 漏电流与源极电压或漏极电压间的关系



T_A = 25°C

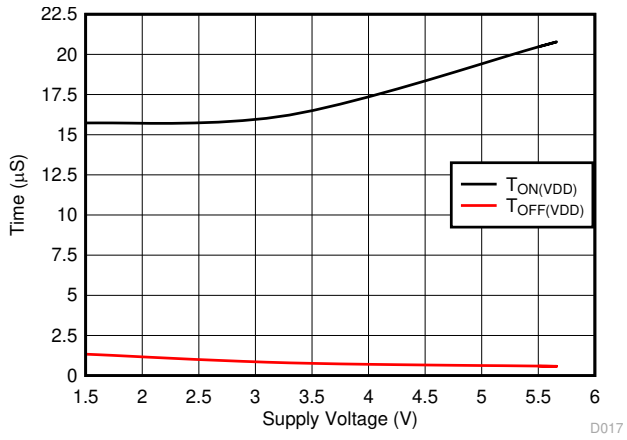
图 5-15. $T_{TRANSITION}$ 与电源电压之间的关系



V_{DD} = 5.5V

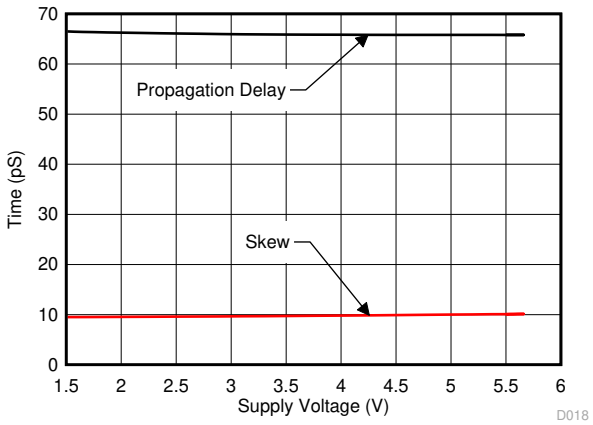
图 5-16. $T_{TRANSITION}$ 与温度之间的关系

Copyright © 2025 Texas Instruments Incorporated



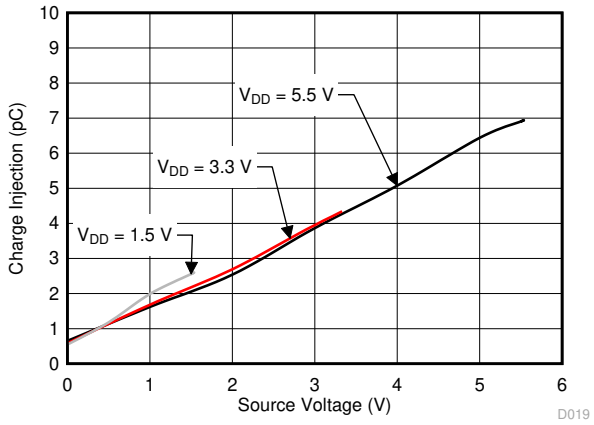
T_A = 25°C

图 5-17. $T_{ON(VDD)}$ 和 $T_{OFF(VDD)}$ 与电源电压之间的关系



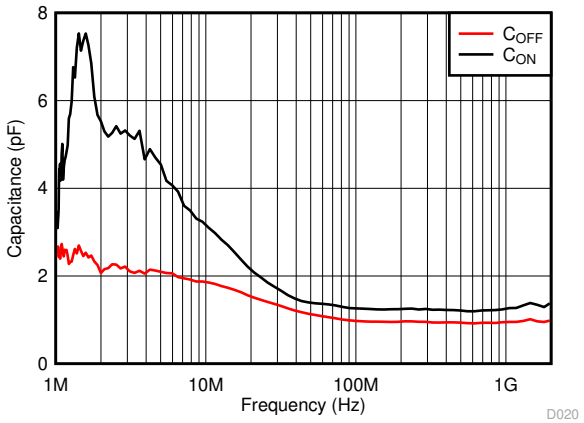
T_A = 25°C

图 5-18. 偏移和传播延迟与电源电压间的关系



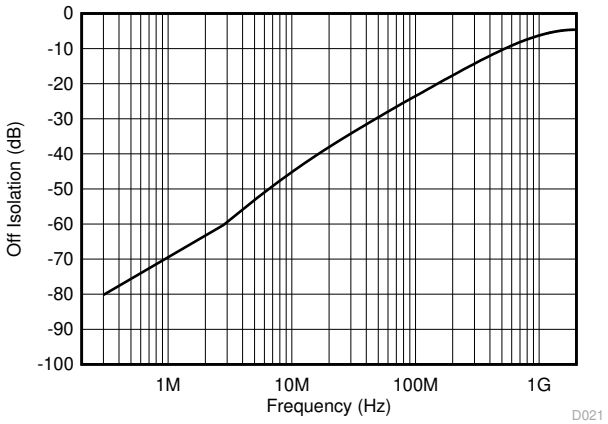
T_A = 25°C

图 5-19. 电荷注入与源极或漏极电压间的关系



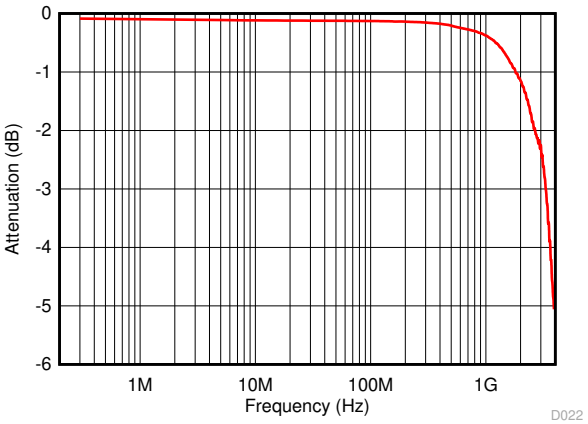
T_A = 25°C

图 5-20. 电容与频率间的关系



T_A = 25°C

图 5-21. 关断隔离与频率间的关系



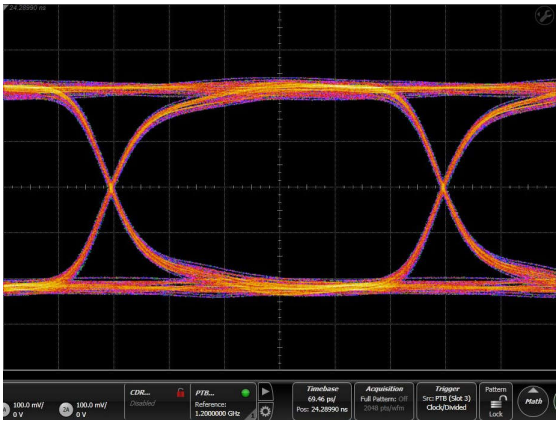
T_A = 25°C

V_{DD} = 1.5V 至 5.5V

图 5-22. 导通响应与频率间的关系

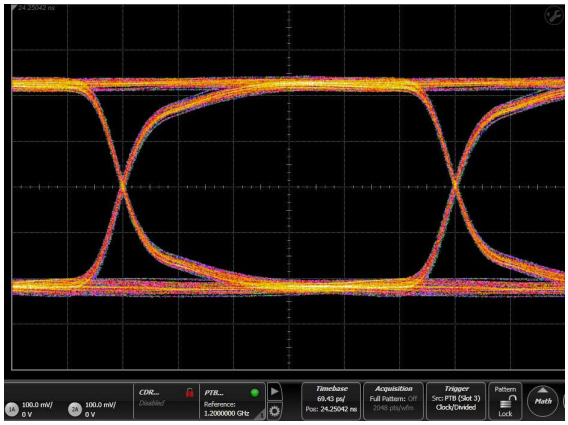
Copyright © 2025 Texas Instruments Incorporated

5.8.1 眼图



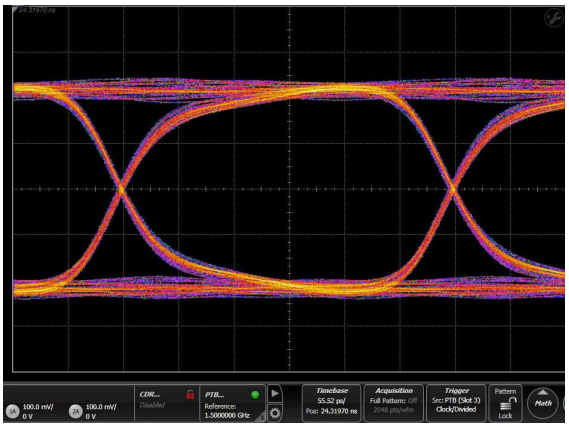
T_A = 25°C
偏置电压 = 1.5V
50Ω 终端

图 5-23. 眼图：2.4Gbps



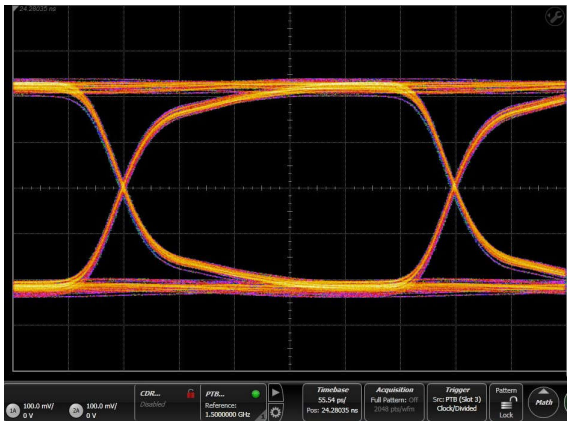
T_A = 25°C
偏置电压 = 1.5V
50Ω 终端

图 5-24. 眼图：2.4Gbps 通过路径



T_A = 25°C
偏置电压 = 1.5V
50Ω 终端

图 5-25. 眼图：3Gbps



T_A = 25°C
偏置电压 = 1.5V
50Ω 终端

图 5-26. 眼图：3Gbps 通过路径

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 导通电阻

器件的导通电阻是器件源极 (Sx) 和漏极 (Dx) 引脚之间的欧姆电阻。导通电阻随输入电压和电源电压的变化而变化。符号 R_{ON} 用于表示导通电阻。图 6-1 展示了用于测量 R_{ON} 的测量设置。电压 (V) 和电流 (I_{DS}) 通过此设置进行测量，R_{ON} 的计算方法如下所示，$R_{ON} = V/I_{SD}$：

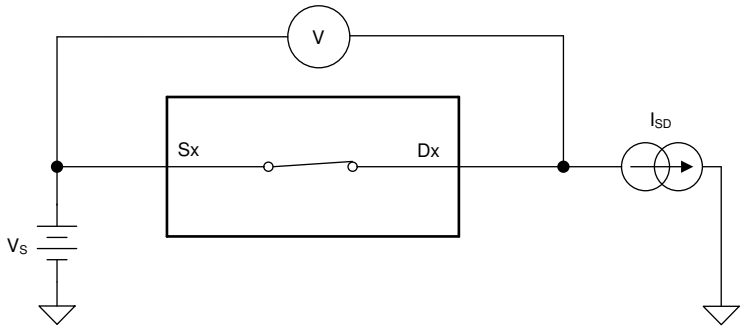


图 6-1. 导通电阻测量设置

6.2 关断漏电流

源极关断漏电流定义为开关断开时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(OFF)}$ 表示。

漏极关断漏电流定义为开关断开时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(OFF)}$ 表示。

图 6-2 展示了用于测量关断漏电流的设置。

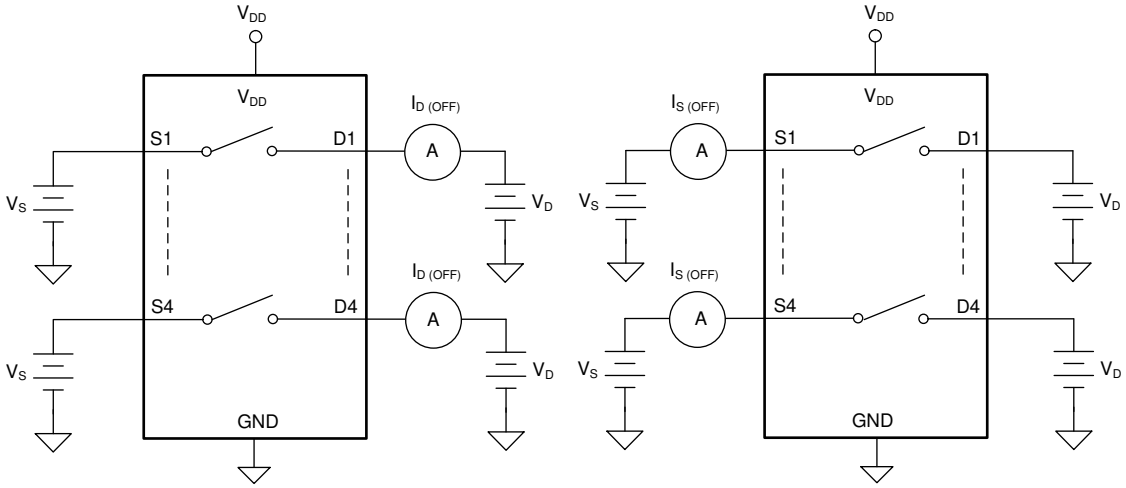


图 6-2. 关断漏电流测量设置

6.3 导通漏电流

源极导通漏电流定义为开关闭合时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(ON)}$ 表示。

漏极导通漏电流定义为开关闭合时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(ON)}$ 表示。

在测量期间，源极引脚或漏极引脚均保持悬空。图 6-3 展示了用于测量导通漏电流（用 $I_{S(ON)}$ 或 $I_{D(ON)}$ 表示）的电路。

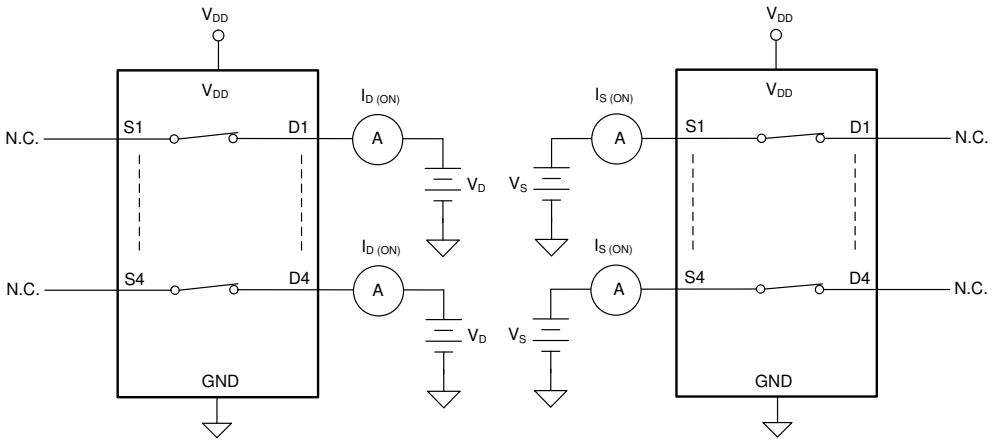


图 6-3. 导通漏电流测量设置

6.4 IPOFF 漏电流

IPOFF 漏电流定义为开关断开时流入或流出源极引脚的漏电流。该电流用符号 IPOFF 表示。

图 6-4 展示了用于测量 IPOFF 漏电流的设置。

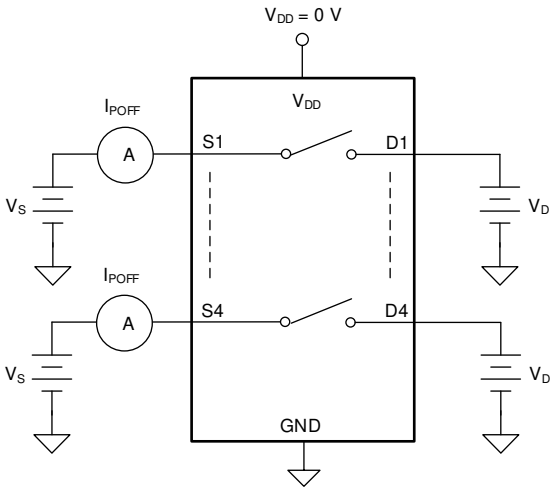


图 6-4. IPOFF 漏电流测量设置

Copyright © 2025 Texas Instruments Incorporated

6.5 转换时间

转换时间定义为在控制选择信号上升或下降至超过逻辑阈值后器件输出上升或下降 10% 所需的时间。10% 转换测量值用于提供器件的时序。负载电阻和负载电容的时间常数可添加到转换时间以计算系统级时序。图 6-5 展示了用于测量转换时间（用符号 $t_{TRANSITION}$ 表示）的设置。

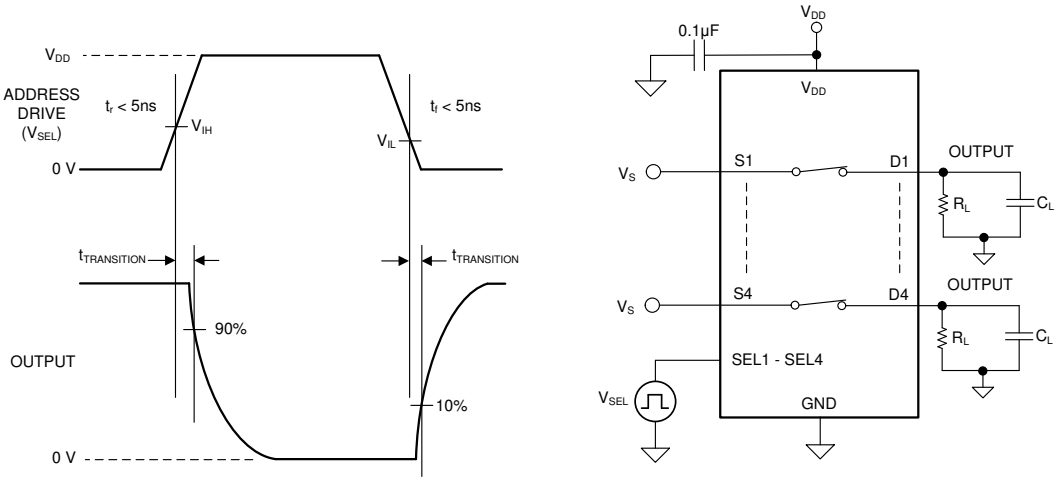


图 6-5. 转换时间测量设置

6.6 $T_{ON\ (VDD)}$ 和 $T_{OFF\ (VDD)}$ 时间

$T_{ON\ (VDD)}$ 时间定义为电源上升到超过电源阈值后器件输出上升至 90% 所需的时间。90% 测量用于提供器件在系统中导通的时序。负载电阻和负载电容的时间常数可与导通 VDD 时间相加，来计算系统级时序。图 6-6 显示了用于测量转换时间（用符号 $t_{ON(VDD)}$ 表示）的设置。

$T_{OFF\ (VDD)}$ 时间定义为电源下降到低于电源阈值后器件输出下降至 90% 所需的时间。90% 测量用于提供器件在系统中关断的时序。负载电阻和负载电容的时间常数可与关断 VDD 时间相加，来计算系统级时序。图 6-6 显示了用于测量转换时间（用符号 $t_{OFF(VDD)}$ 表示）的设置。

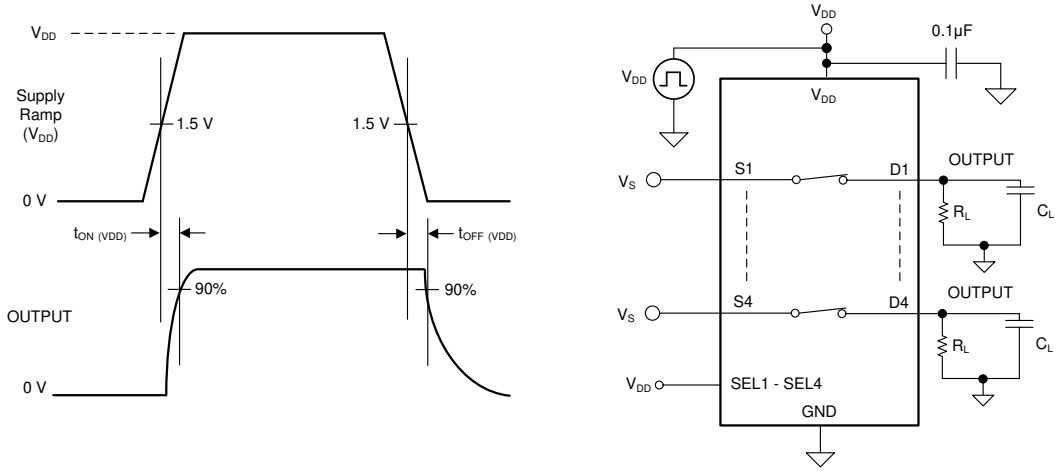


图 6-6. 开通 VDD 和关断 VDD 时间测量设置

6.7 传播延迟

传播延迟定义为在输入信号上升或下降至超过 50% 阈值后器件输出上升或下降 50% 所需的时间。图 6-7 展示了用于测量传播延迟（用符号 t_{PD} 表示）的设置。

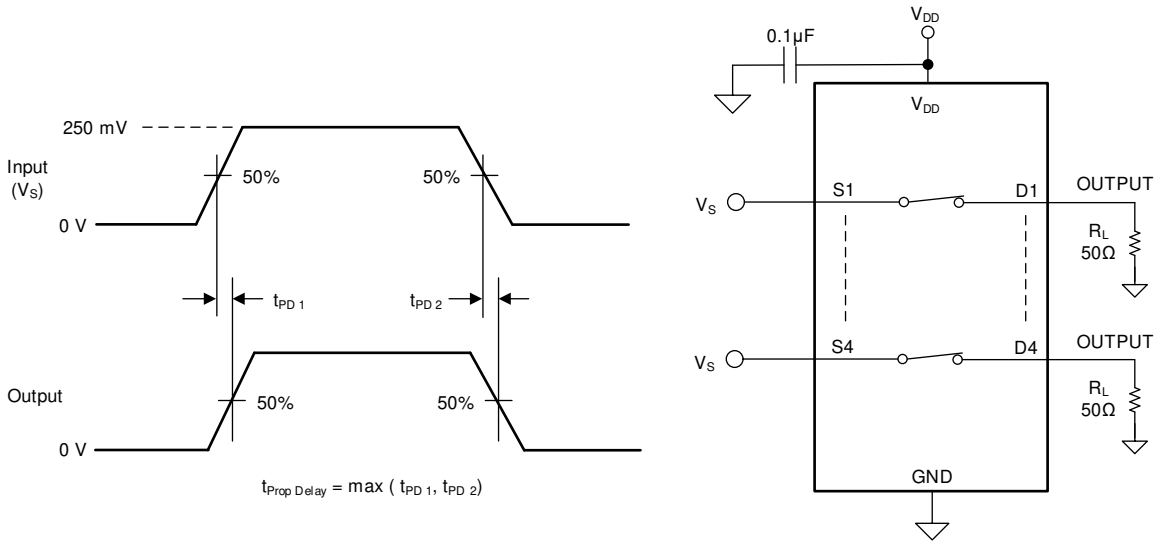


图 6-7. 传播延迟测量设置

6.8 偏斜

偏移定义为同一器件的任意两路输出的传播延迟之间的差异。当同时切换输入信号时，从一个通道上升或下降超过 50% 到另一个通道上升或下降超过 50% 阈值的输出进行偏移测量。图 6-8 展示了用于测量偏移的设置，由符号 t_{SK} 表示。

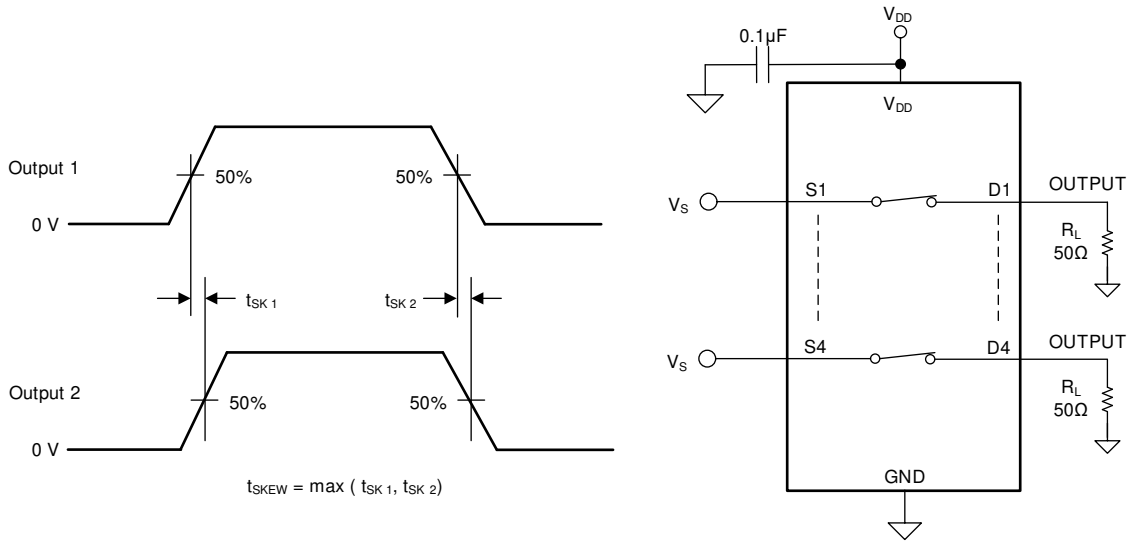


图 6-8. 偏移测量设置

Copyright © 2025 Texas Instruments Incorporated

6.9 电荷注入

在栅极信号的下降沿或上升沿期间，注入器件源极或漏极的电荷量称为电荷注入，用符号 Q_C 表示。图 6-9 展示了用于测量从源极 (Sx) 到漏极 (Dx) 的电荷注入的设置。

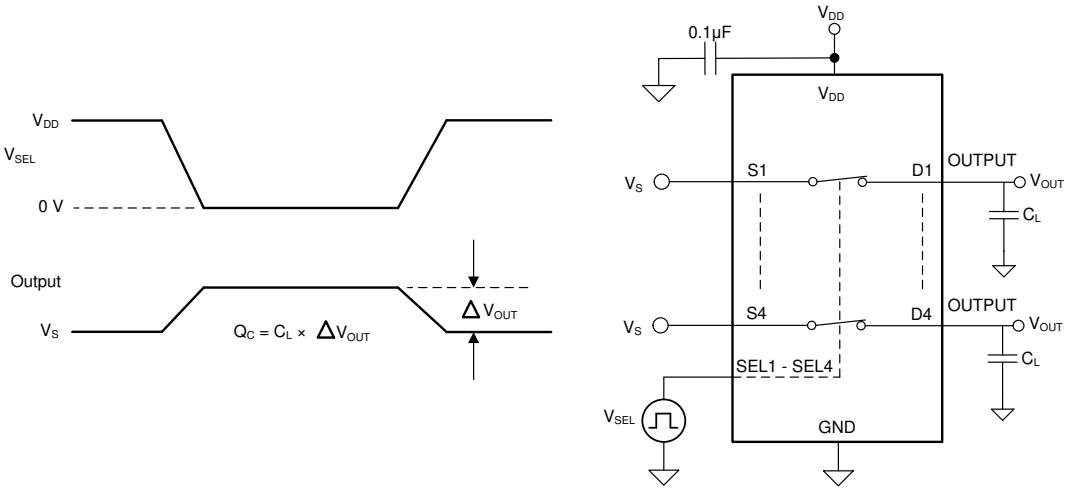


图 6-9. 电荷注入测量设置

6.10 电容

器件的寄生电容在源极 (Sx)、漏极 (Dx) 和选择 (SELx) 引脚上捕获。电容在 ON 和 OFF 状态下测量，用符号 C_{ON} 和 C_{OFF} 表示。图 6-10 展示了用于测量电容的设置。

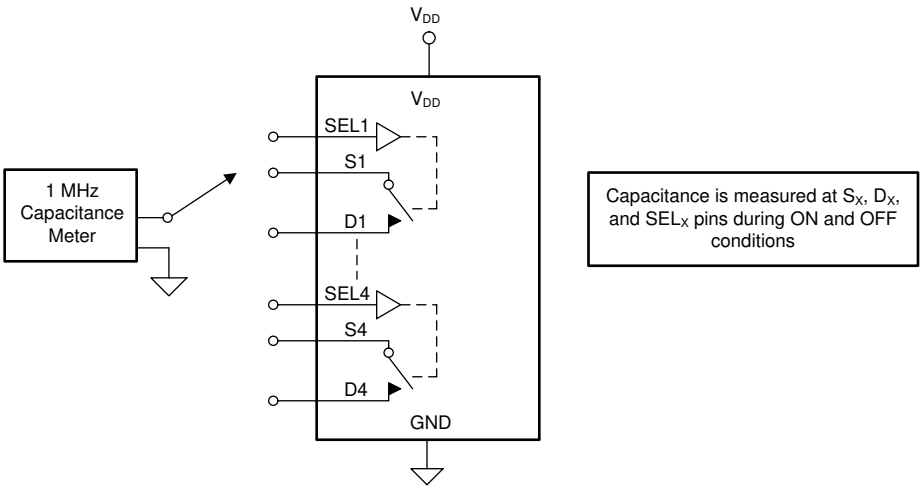


图 6-10. 电容测量设置

Copyright © 2025 Texas Instruments Incorporated

6.11 关断隔离

关断隔离定义为器件漏极引脚 (Dx) 处的信号与关断通道的源极引脚 (Sx) 上施加的信号之比。特性阻抗 Z_0 测量值为 50Ω。图 6-11 显示了用于测量关断隔离的设置。使用关断隔离公式来计算关断隔离。

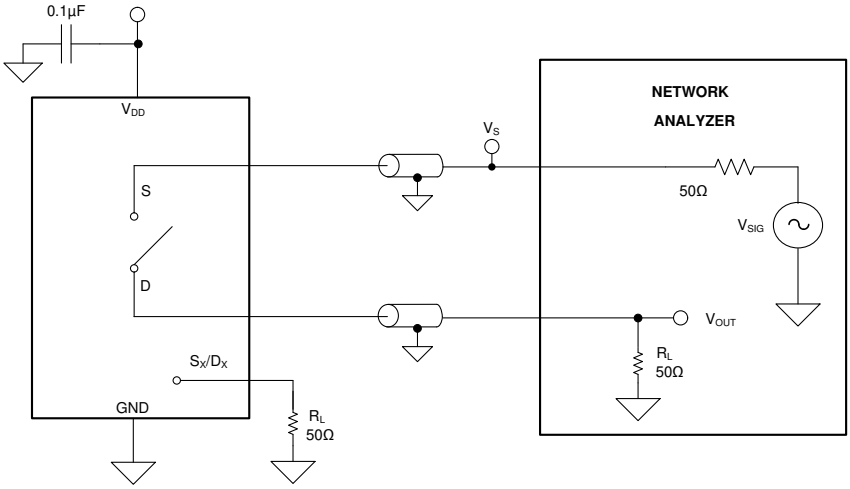


图 6-11. 关断隔离测量设置

$$\text{Off Isolation} = 20 \cdot \text{Log}\left(\frac{V_{OUT}}{V_S}\right) \quad (1)$$

6.12 通道间串扰

串扰定义为不同通道的漏极引脚 (Dx) 处的信号与导通通道的源极引脚 (Sx) 上施加的信号之比。特性阻抗 Z_0 测量值为 50Ω。图 6-12 展示了用于测量串扰的设置和用于计算串扰的公式。

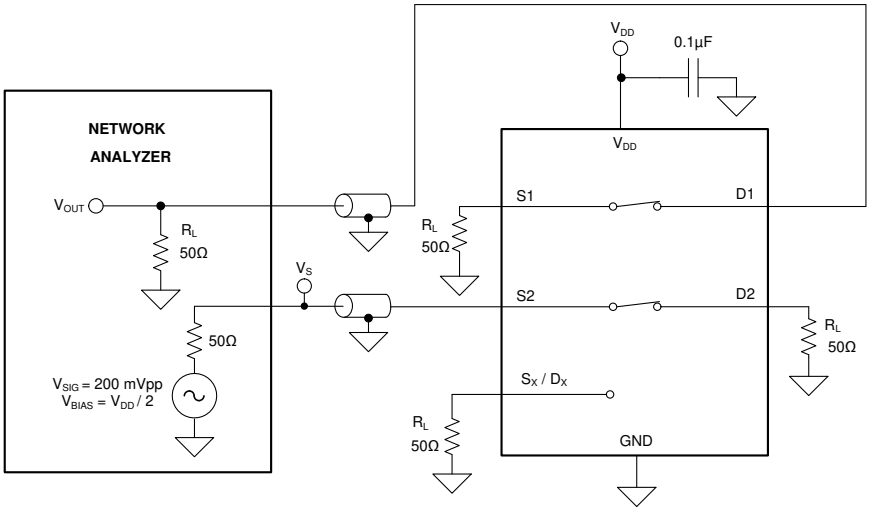


图 6-12. 通道间串扰测量设置

$$\text{Channel-to-Channel Crosstalk} = 20 \cdot \text{Log}\left(\frac{V_{OUT}}{V_S}\right) \quad (2)$$

Copyright © 2025 Texas Instruments Incorporated

6.13 带宽

带宽定义为当输入施加到开启通道的源极引脚 (Sx) 且输出在器件的漏极引脚 (Dx) 处测量时衰减小于 3dB 的频率范围。特性阻抗 Z_0 测量值为 50 Ω。图 6-13 展示了用于测量带宽的设置。

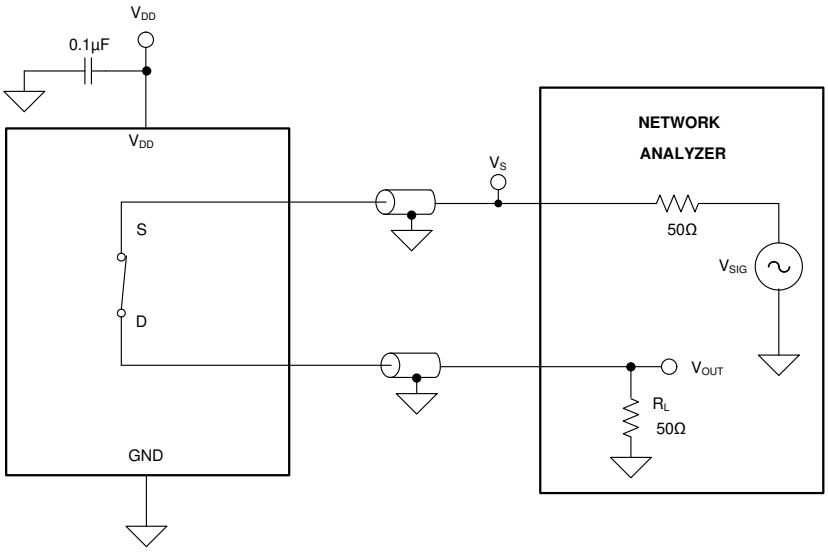


图 6-13. 带宽测量设置

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

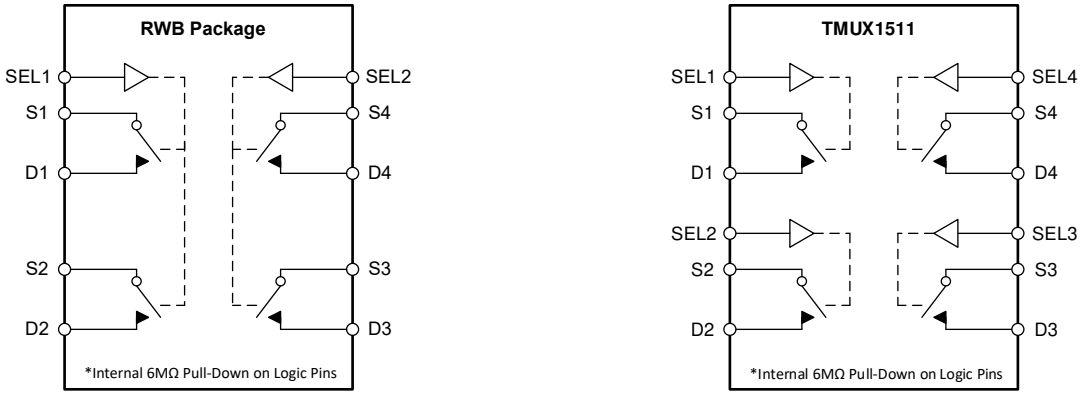
7.1 概述

TMUX1511 是一款具有高达 3.6V 断电保护功能的高速 1:1 (SPST) 4 通道开关。1.5V 至 5.5V 的宽工作电源电压范围使其适用于从服务器和通信设备到工业应用的各种应用。该器件可在源极 (Sx) 和漏极 (Dx) 引脚上支持双向模拟和数字信号。此开关具有较宽的带宽，输出端高速信号几乎不会衰减或仅有极小衰减，能以极小的边沿和相位失真以及传播延迟传递高速信号。

选择 (SELx) 引脚是高电平有效逻辑引脚，用于控制器件源极 (Sx) 和漏极 (Dx) 引脚之间的连接。TMUX1511 的每个通道都可以通过相关的选择引脚进行独立控制，或者所有四个选择引脚都可以连接在一起，从而通过单个 GPIO 同时控制所有通道。失效防护逻辑电路允许在施加电源引脚上的电压之前，先施加逻辑控制引脚上的电压，从而保护器件免受潜在的损害。所有逻辑控制输入均具有兼容 1.8V 逻辑的阈值，当器件在有效电源电压范围内运行时，这些阈值可确保 TTL 和 CMOS 逻辑兼容性。

TMUX1511 的信号路径上高达 3.6V 的关断保护功能可在移除电源电压 (V_{DD} = 0V) 时提供隔离。如果没有该保护功能，系统可通过内部 ESD 二极管为电源轨进行反向供电，从而对系统造成潜在损坏。

7.2 功能方框图



7.3 特性说明

7.3.1 双向运行

TMUX1511 从源极 (Sx) 到漏极 (Dx) 或从漏极 (Dx) 到源极 (Sx) 的导电性能同样出色。每个通道在两个方向上都有非常相似的特性，并都支持模拟和数字信号。

7.3.2 超出电源供电范围的工作模式

当 TMUX1511 供电电压在 1.5V 至 5.5V 之间时，有效信号路径输入/输出电压范围为 GND 至 V_{DD} x 2，最大输入/输出电压为 5.5V。

示例 1：如果 TMUX1511 供电电压在为 1.5V，则信号范围为 0V 至 3V。

示例 2：如果 TMUX1511 供电电压在为 3V，则信号范围为 0V 至 5.5V。

示例 3：如果 TMUX1511 供电电压在为 5.5V，则信号范围为 0V 至 5.5V。

只要电源电压处于建议的 1.5V 至 5.5V 工作条件内，示例中未提到的其他电压电平就支持超出电源供电范围的工作模式。

Copyright © 2025 Texas Instruments Incorporated

7.3.3 1.8V 逻辑兼容输入

TMUX1511 具备 1.8V 逻辑兼容控制输入。无论 V_{DD} 电压如何，控制输入阈值都保持固定，从而允许 1.8V 处理器 GPIO 无需外部转换器即可控制 TMUX1511。这能够节省布板空间并降低 BOM 成本。有关 1.8V 逻辑实现的更多信息，请参阅 *使用 1.8V 逻辑多路复用器和开关简化设计*。

7.3.4 断电保护

TMUX1511 的信号路径上高达 3.6V 的关断保护功能可在移除电源电压 (V_{DD} = 0V) 时提供隔离。当 TMUX1511 关断，器件的 I/O 保持高阻态。由于无需在信号路径上进行电源时序控制，因此断电保护功能可以更大限度地降低系统复杂性。器件性能保持在电气规格中所述的泄漏性能范围内。有关断电保护的详细信息，请参阅 *利用关断保护信号开关消除电源时序*

7.3.5 失效防护逻辑

TMUX1511 在控制输入引脚 (SELx) 上支持失效防护逻辑，因此无论电源引脚的状态如何，都具备高达 5.5V 的工作电压。此特性允许在电源极引脚之前对控制引脚施加电压，从而保护器件免受潜在的损坏。失效防护逻辑无需在逻辑控制引脚上进行电源时序控制，从而更大限度地降低了系统复杂性。例如，失效防护逻辑特性允许 TMUX1511 的选择引脚在 V_{DD} = 0V 时斜升至 5.5V。此外，该特性使得 TMUX1511 能够在 V_{DD} = 1.5V 的情况下运行，同时允许选择引脚与另一个逻辑电平高达 5.5V 的器件连接。

7.3.6 低电容

TMUX1511 在源极和漏极引脚上的导通和关断状态下具有非常低的电容。低电容规格允许 TMUX1511 用于采样保持电路等应用以及运算放大器的反馈路径。当开关连接到反馈网络时，低电容有助于减少放大器电路的较大过冲和振铃。此外，低电容可通过减少由导通电阻和导通电容形成的开关时间常数来缩短系统稳定时间。更多有关低电容优势的信息，请参阅 *使用低 C_{ON} 多路复用器改善稳定性问题。*

7.3.7 集成下拉电阻器

TMUX1511 具有连接至 GND 的内部弱下拉电阻器 (6MΩ)，来确保逻辑引脚不悬空。此功能集成了最多四个外部元件，可减小系统尺寸并降低成本。

7.4 器件功能模式

选择 (SELx) 引脚是高电平有效逻辑引脚，用于控制器件源极 (Sx) 和漏极 (Dx) 引脚之间的连接。TMUX1511 具有连接到 GND 的内部弱下拉电阻器 (6MΩ)，因此器件在禁用开关的情况下上电。当 TMUX1511 的给定选择引脚被拉高时，相应开关从源极传导到漏极。当任何选择引脚被拉至低电平时，相应的开关处于开路状态 (HI-Z)。TMUX1511 的每个通道都可以通过相关的选择引脚进行独立控制，或者所有四个选择引脚都可以连接在一起，从而通过单个 GPIO 同时控制所有通道。

7.5 真值表

表 7-1 显示了 TMUX1511 的真值表。

表 7-1. TMUX1511 真值表

SELx	Sx / Dx：状态
0	Hi-Z（关断）
1	导通（接通）

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TMUX15xx 系列可在宽工作电源电压（1.5V 至 5.5V）和工作温度范围（-40°C 至 +125°C）内提供高速系统性能。TMUX1511 支持许多可提高系统性能的功能，例如 节 7.3.3、超出电源电压的输入电压、失效防护逻辑。这些功能使 TMUX15xx 成为保护多路复用器和开关系列，可以降低系统复杂性、电路板尺寸和总体系统成本。

8.2 典型应用

8.2.1 协议/信号隔离

利用 TMUX1511 特性的一个实用应用是隔离来自处理器或 MCU 的各种协议，例如 JTAG、SPI 或标准 GPIO 信号。该器件在通电后可提供出色的隔离性能。断电保护的一项额外好处是，通过消除热插拔和带电插入应用中的电源排序需求，系统可以更大限度降低复杂性。

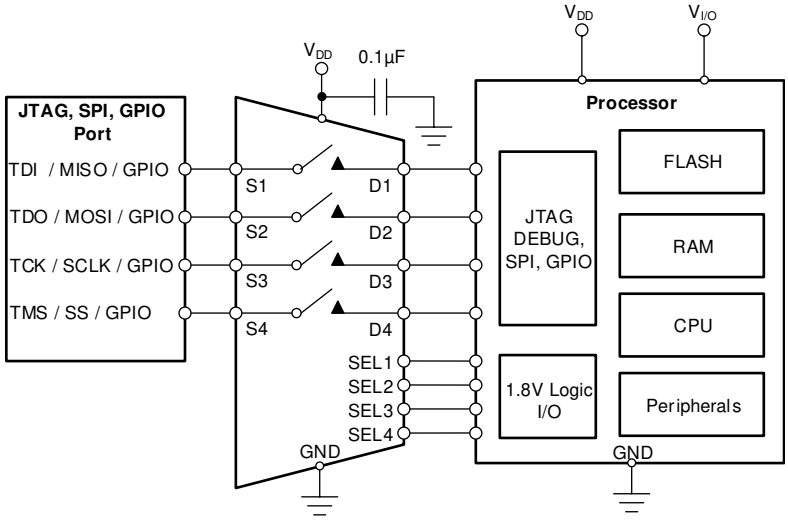


图 8-1. 隔离 JTAG、SPI 和 GPIO 信号

8.2.1.1 设计要求

对于该设计示例，请使用表 2 中列出的参数。

表 8-1. 设计参数

参数	值
电源 (V_{DD})	3.3V
输入/输出信号范围	0V 至 3.3V
控制逻辑阈值	1.8V 兼容

8.2.1.2 详细设计过程

TMUX1511 无需任何外部元件（电源去耦电容器除外）即可运行。器件具有连接到 GND 的内部弱下拉电阻器 (6MΩ)，因此器件在禁用开关的情况下上电。所有通过开关的输入信号都必须处于 TMUX1511 的建议运行条件范围内，包括信号范围和持续电流。对于本设计示例，电源电压为 3.3V，器件通电后，信号范围为 0V 至 3.3V。该

Copyright © 2025 Texas Instruments Incorporated

示例也可以利用该功能，当 V_{DD} = 0V 时，输入范围可以为 0V 至 3.3V。最大持续电流可达 25mA。由于其电压范围和高速性能，此 TMUX1511 示例适合用于典型应用中超过 100MHz 最大值的 JTAG 和 SPI 应用。

8.2.1.3 应用曲线

使用开关或多路复用器传递信号时的两个重要规格是器件传播延迟和偏移。

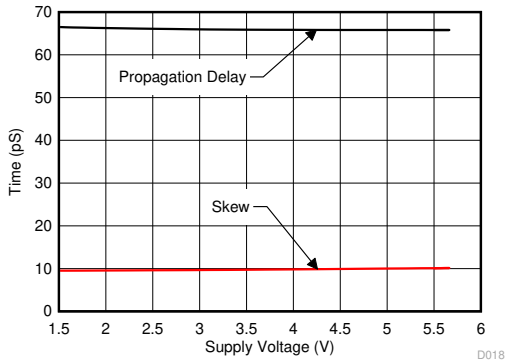


图 8-2. 传播延迟和偏移测量

8.2.2 跨阻放大器反馈控制

开关和多路复用器通常用于放大器电路的反馈路径，用于提供可配置的增益控制。通过在每条开关路径上使用不同的电阻值，TMUX1511 支持系统采用多种增益设置。使用外部电阻器，或利用 1 个通道始终处于关闭状态，可确保放大器不在开环配置下运行。光电二极管的跨阻放大器 (TIA) 是一种常见的电路，它需要通过一个多通道开关来进行增益控制，以便将光电二极管的输出电流转换为可供微控制单元 (MCU) 或处理器处理的电压。选择增益控制器件时，TMUX1511 的漏电流、电容和电荷注入性能是需要评估的关键规格。

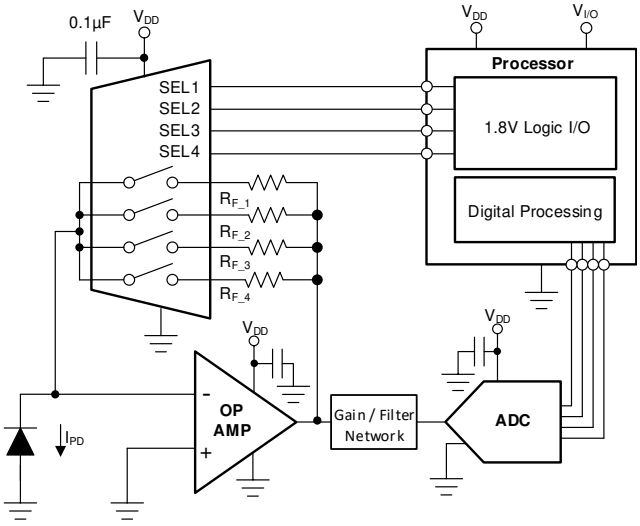


图 8-3. TIA 电路的多路复用增益

8.2.2.1 设计要求

对于该设计示例，请使用表 3 中列出的参数。

表 8-2. 设计参数

参数	值
电源 (V_{DD})	5V

Copyright © 2025 Texas Instruments Incorporated

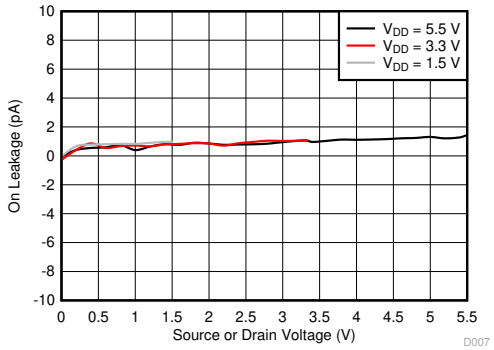
表 8-2. 设计参数（续）

参数	值
输入/输出信号范围	0μA 至 10μA
控制逻辑阈值	1.8V 兼容

8.2.2.2 详细设计过程

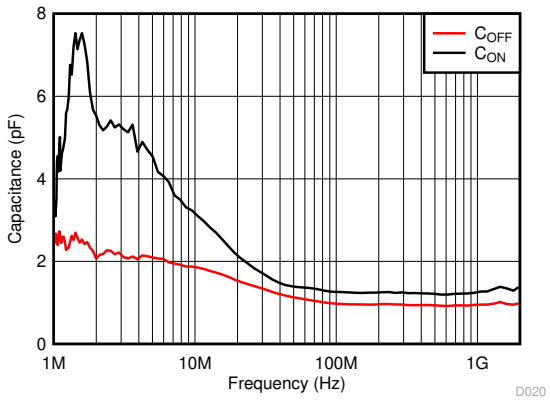
光电二极管通常具有几百皮安到几十微安的电流输出，具体取决于吸收的光量。TMUX1511 具有不到 10pA 的典型导通漏电流，因此可确保精度在满量程 10μA 信号的 1% 以内。TMUX1511 的低导通和关断电容可尽可能地减小放大器输出端的总电容，从而提高系统稳定性。较低的电容会导致系统中的过冲和振铃较少，如果相位裕度不是至少为 45°，则可能导致放大器电路不稳定。有关如何计算相位裕度与过冲百分比的更多信息，请参阅 *使用低 C_{ON} 多路复用器改善稳定性问题*。

8.2.2.3 应用曲线



T_A = 25°C

图 8-4. 导通漏电流与源极电压或漏极电压间的关系



T_A = 25°C

图 8-5. 电容与频率间的关系

9 电源相关建议

TMUX1511 可在 1.5V 至 5.5V 的宽电源电压范围内运行。请勿超过绝对最大额定值，因为应力超出列出的额定值可能会对器件造成永久损坏。

电源旁路可提高噪声容限并防止开关噪声从 V_{DD} 电源传播到其他元件。良好的电源去耦对于实现卓越性能至关重要。为提高电源噪声抗扰度，请在 V_{DD} 和地之间使用 0.1 μF 至 10 μF 的电源去耦电容器。使用低阻抗接头将旁路电容器放置在尽可能靠近器件电源引脚的位置。TI 建议使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容与器件引脚相连，以获得出色的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

Copyright © 2025 Texas Instruments Incorporated

10 布局

10.1 布局指南

当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐角。图 10-1 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

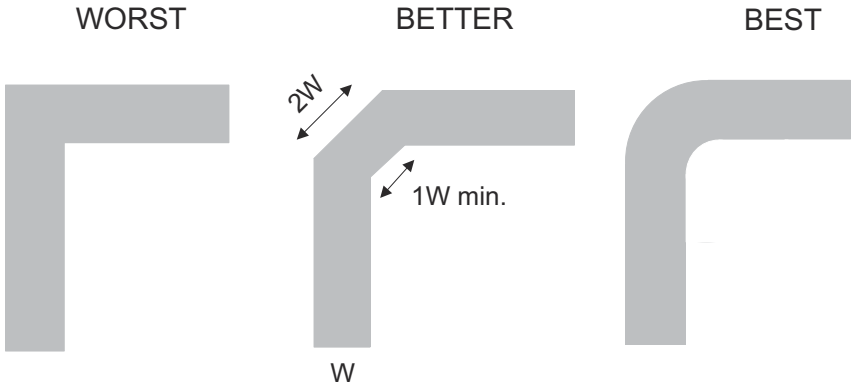


图 10-1. 布线示例

使用较少的过孔和拐角路由高速信号可减少信号反射和阻抗变化。当必须使用过孔时，增加其周边的间隙尺寸以降低其电容。每一过孔均为信号传输线引入了非连续性，并增加了电路板其他层的干扰几率。设计测试点时要小心，不建议在高频下使用穿孔引脚。

请勿在晶体、振荡器、时钟信号发生器、开关稳压器、安装孔、磁性器件或使用/复制时钟信号的 IC 下方或附近布置高速信号布线。

避免因高速信号引线上的残桩而引起信号的反射。

通过连续 GND 平面实现无断高速信号引线。

避免层分割中常见的交叉分隔覆铜问题。

当使用高频率时，因此所推荐的印刷电路板至少为 4 层；两个信号层划分为接地层及电源层，如 图 10-2 所示。

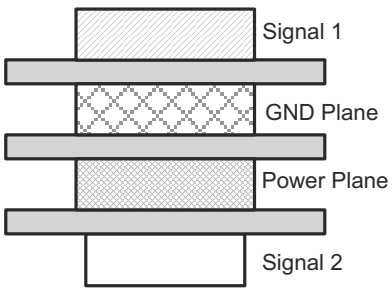


图 10-2. 示例布局

大多数信号引线必须在单层上进行布设，最好是信号 1 上。与该层直接相邻的必须是 GND 平面，该平面层应是完整无切口的。避免在接地或电源平面的开口处布置信号引线。当不可避免地要跨越分割平面时，必须进行充分的去耦合处理。尽量减少信号过孔的数量，通过降低高频下的电感来减少 EMI。

图 10-3 展示了采用 TMUX1511 的 PCB 布局示例。一些重要注意事项有：

使用一个 0.1 µF 电容器对 V_{DD} 引脚进行去耦，该电容器尽可能靠近引脚放置。确保电容器额定电压足以满足 V_{DD} 电源的要求。

Copyright © 2025 Texas Instruments Incorporated

高速开关需要采用恰当的布局和设计流程，以实现最佳性能。

尽可能缩短输入线路。

使用实心接地平面有助于降低电磁干扰 (EMI) 噪声拾取。

敏感的模拟布线不能与数字布线平行。尽可能避免数字引线与模拟引线交叉，仅在必要时以垂直交叉方式布线。

10.2 布局示例

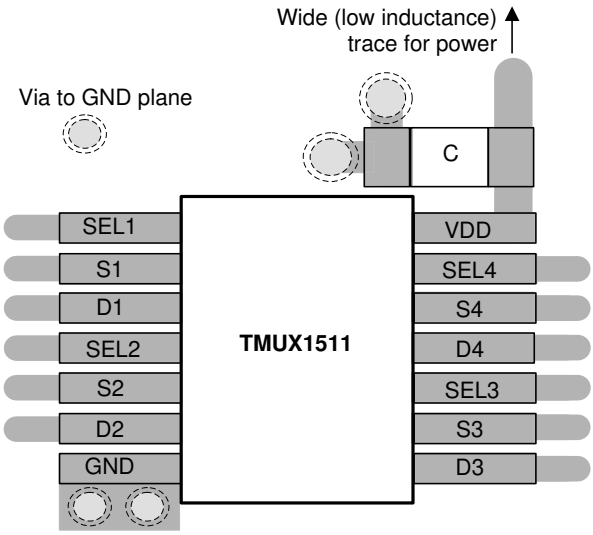


图 10-3. 示例布局

Copyright © 2025 Texas Instruments Incorporated

11 器件和文档支持

11.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

11.2 文档支持

11.2.1 相关文档

- 德州仪器 (TI)，*使用低 CON 多路复用器改善稳定性问题*
- 德州仪器 (TI)，*使用 1.8V 逻辑多路复用器和开关简化设计*
- 德州仪器 (TI)，*利用关断保护信号开关消除电源时序*
- 德州仪器 (TI)，*高速接口布局布线指南*
- 德州仪器 (TI)，*高速布局指南*
- 德州仪器 (TI)，*QFN/SON PCB 连接*
- 德州仪器 (TI)，*Quad Flatpack No-Lead 逻辑封装*

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (December 2018) to Revision B (March 2025)	Page
• 添加了 RWB 封装	4

Changes from Revision * (September 2018) to Revision A (December 2018)	Page
• 将数据表状态从*预告信息*更改为*生产数据*	1

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMUX1511PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	MUX1511
TMUX1511PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MUX1511
TMUX1511PWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MUX1511
TMUX1511PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	MUX1511
TMUX1511RSVR	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1511
TMUX1511RSVR.A	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1511
TMUX1511RSVRG4.A	Active	Production	UQFN (RSV) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1511
TMUX1511RWBR	Active	Production	X2QFN (RWB) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QZ
TMUX1511RWBR.A	Active	Production	X2QFN (RWB) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QZ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

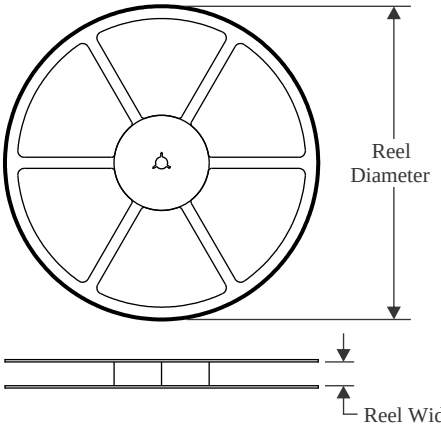
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

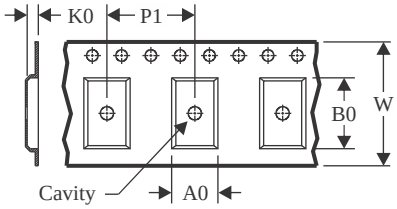
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

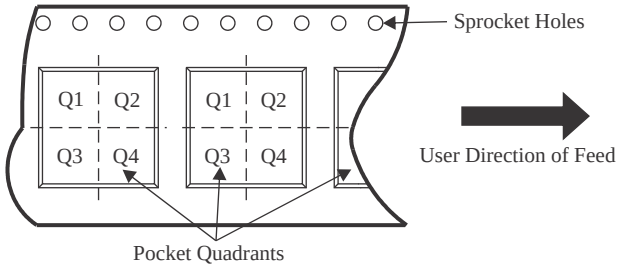


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

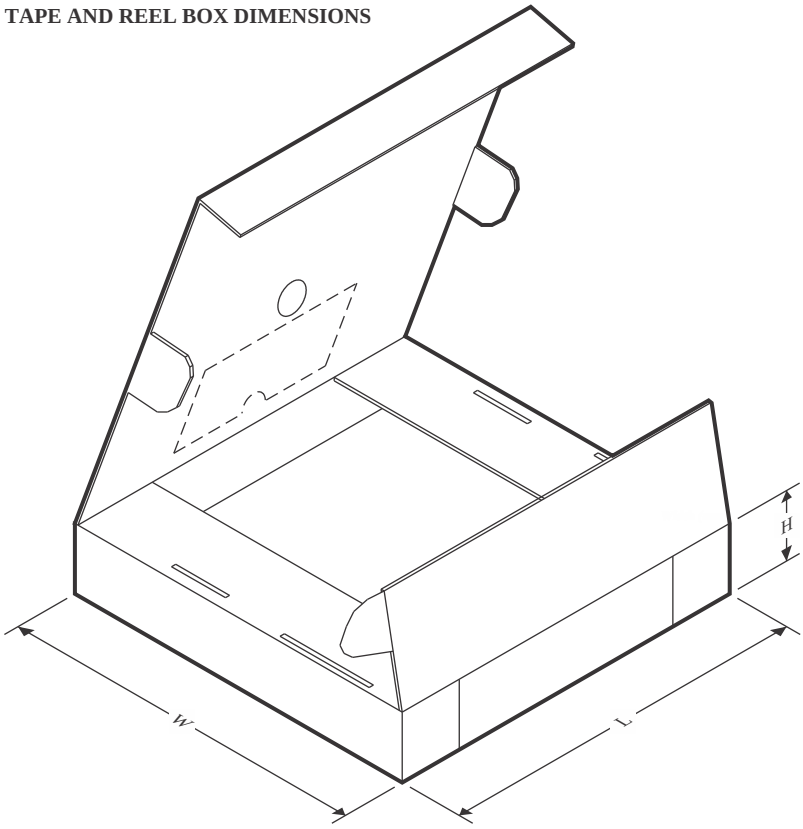
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMUX1511PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TMUX1511PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TMUX1511PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TMUX1511RSVR	UQFN	RSV	16	3000	178.0	13.5	2.1	2.9	0.75	4.0	12.0	Q1
TMUX1511RWBR	X2QFN	RWB	12	3000	180.0	8.4	1.8	1.8	0.48	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

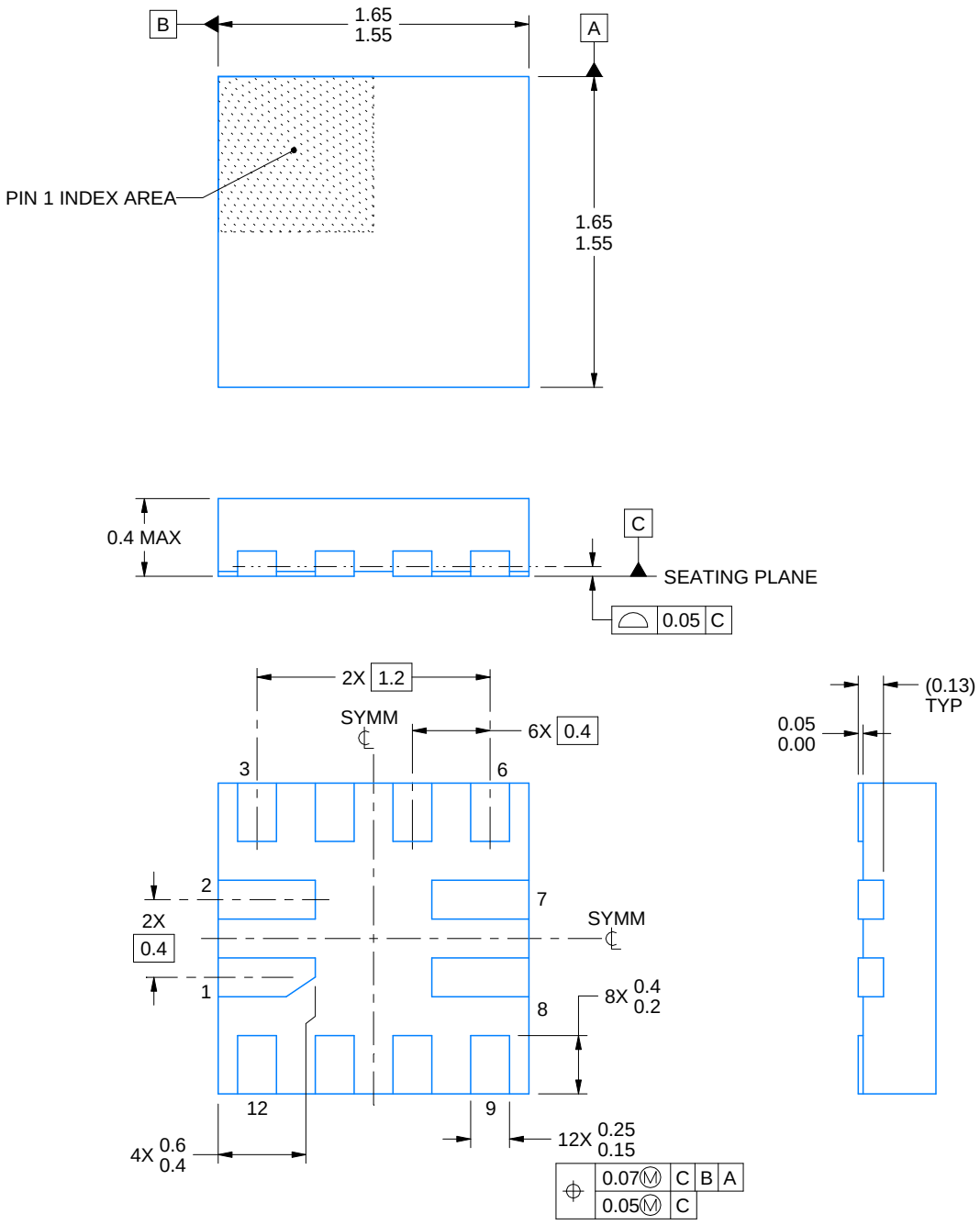
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMUX1511PWR	TSSOP	PW	14	2000	356.0	356.0	35.0
TMUX1511PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TMUX1511PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0
TMUX1511RSVR	UQFN	RSV	16	3000	189.0	185.0	36.0
TMUX1511RWBR	X2QFN	RWB	12	3000	210.0	185.0	35.0

PACKAGE OUTLINE

RWB0012A

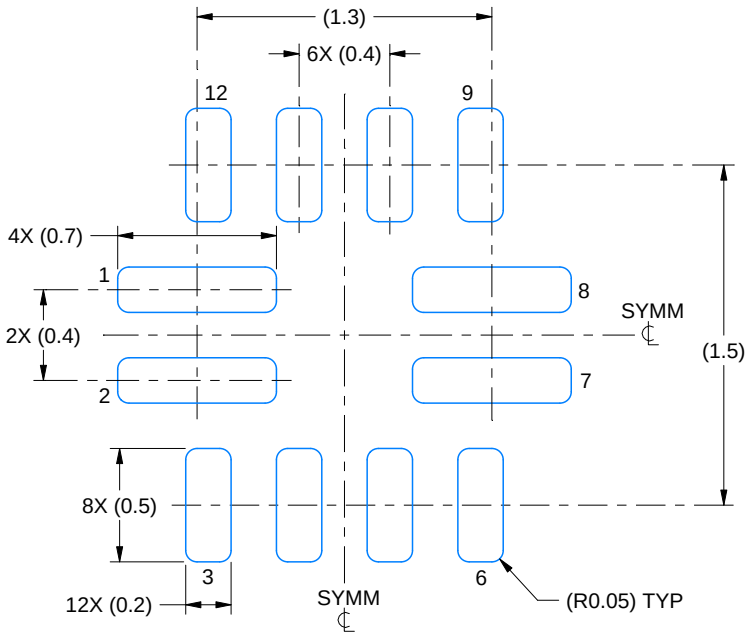
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

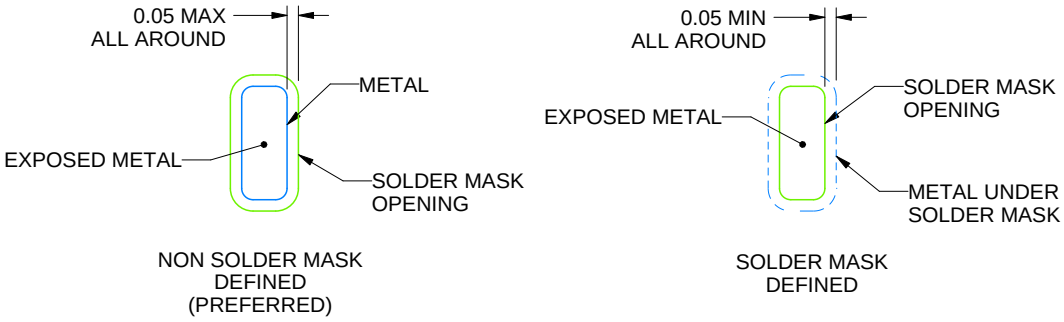


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDER MASK DETAILS

4221631/B 07/2017

NOTES: (continued)

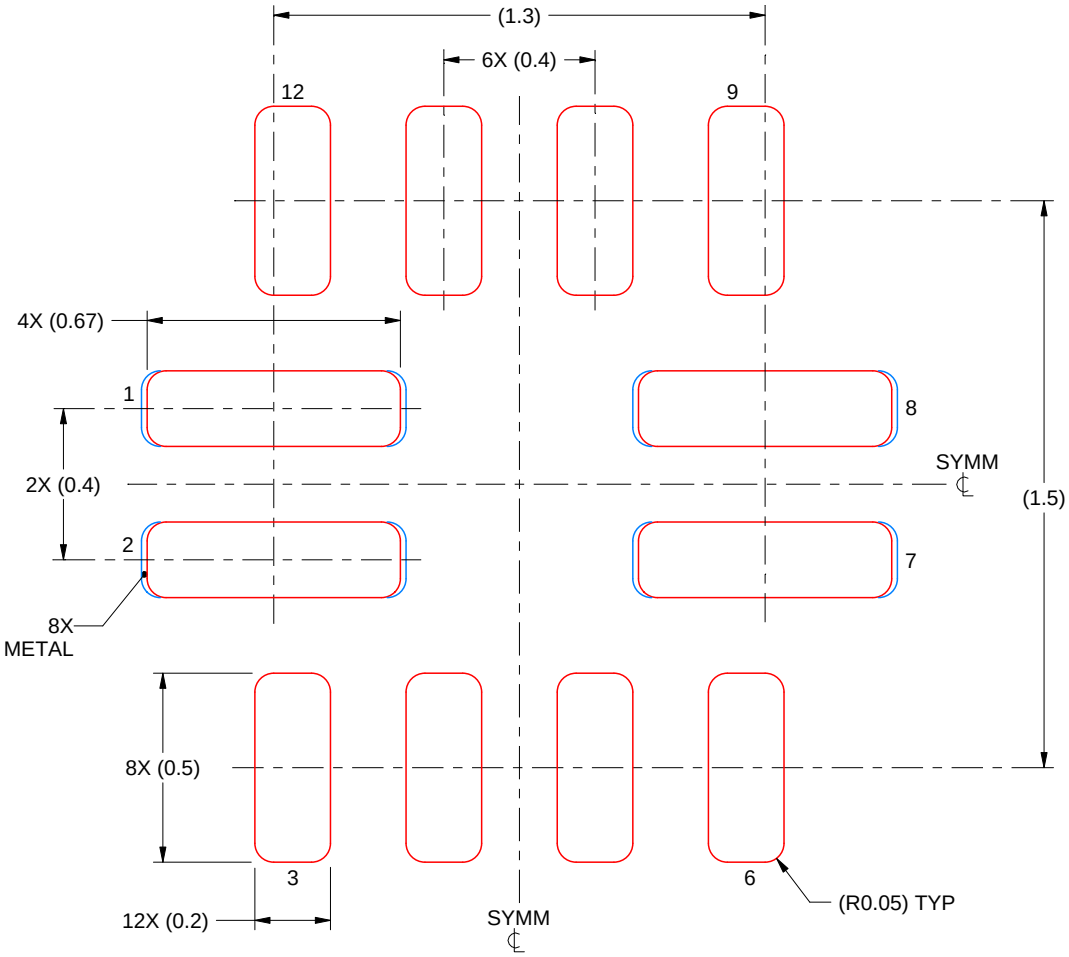
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RWB0012A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

PADS 1,2,7 & 8
96% PRINTED SOLDER COVERAGE BY AREA
SCALE:50X

4221631/B 07/2017

NOTES: (continued)

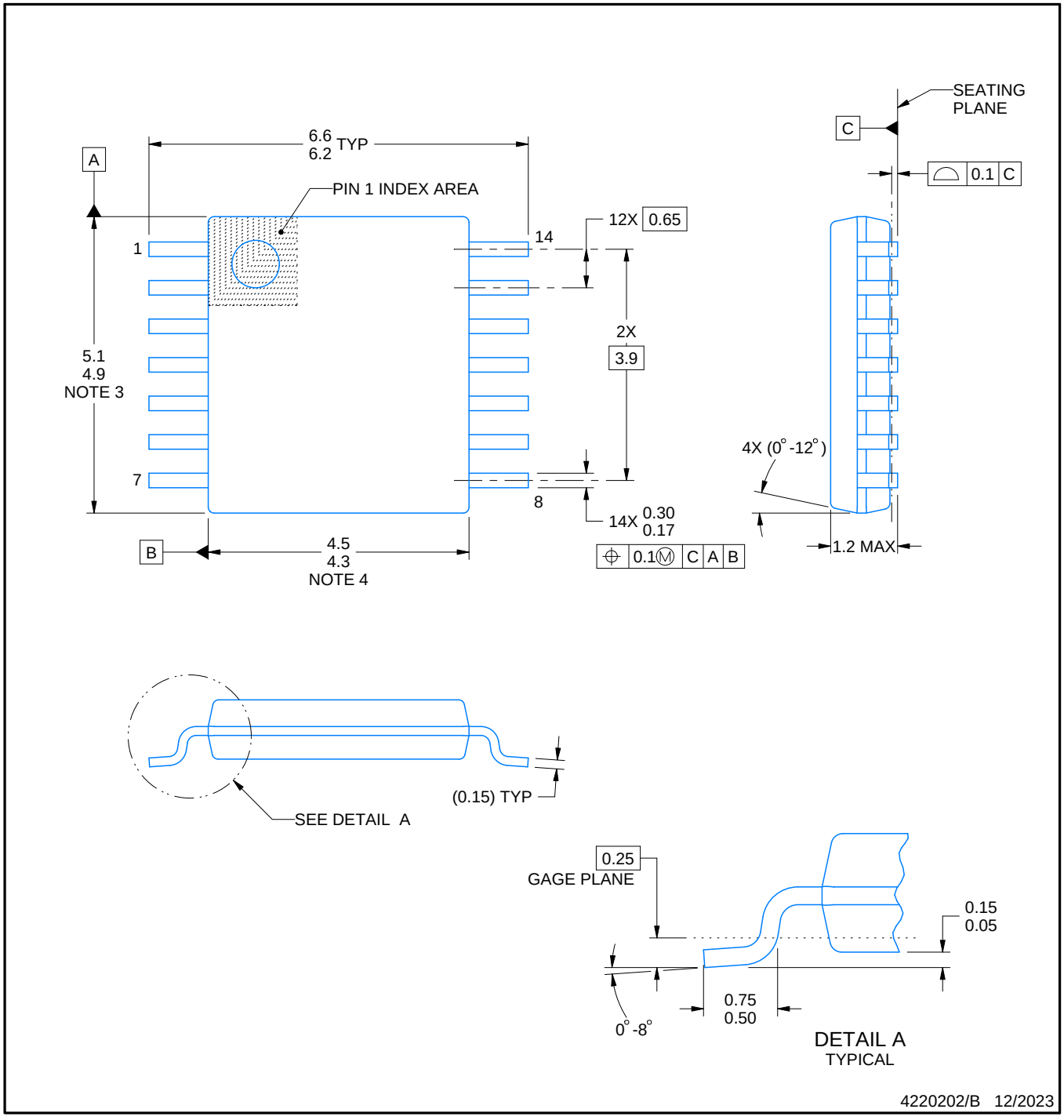
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

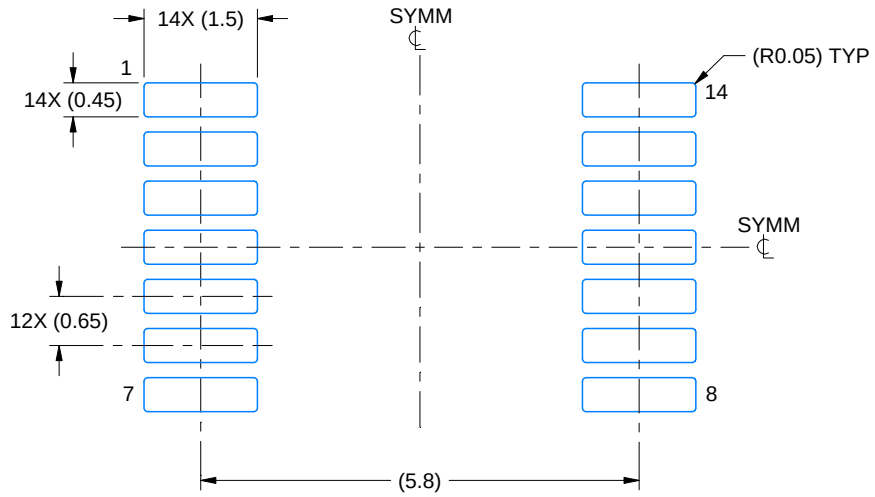
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

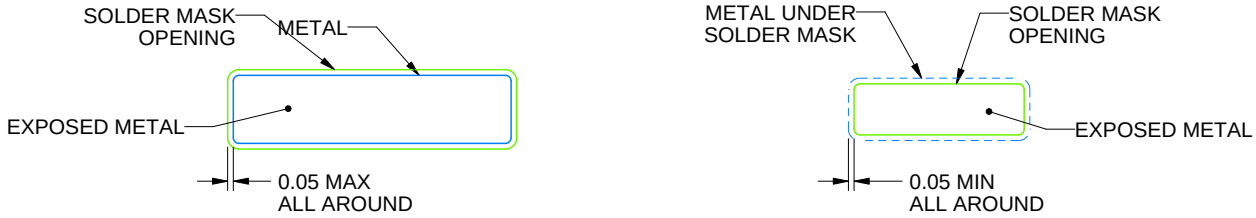


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

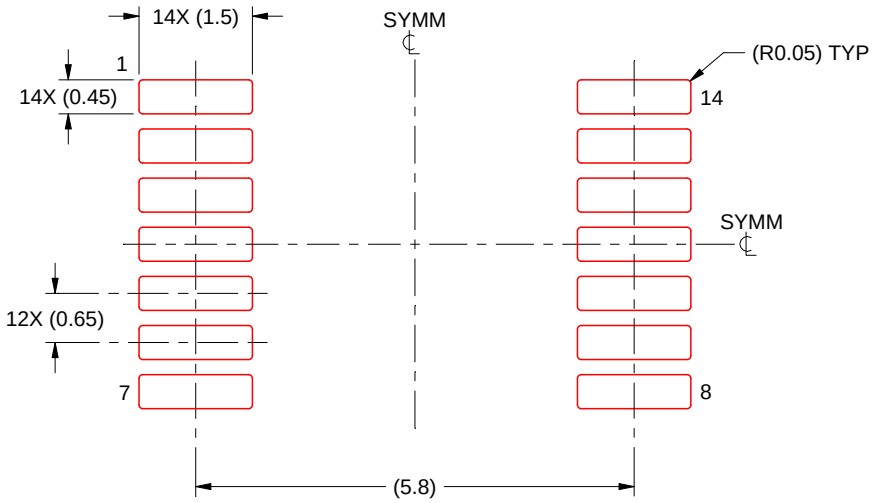


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

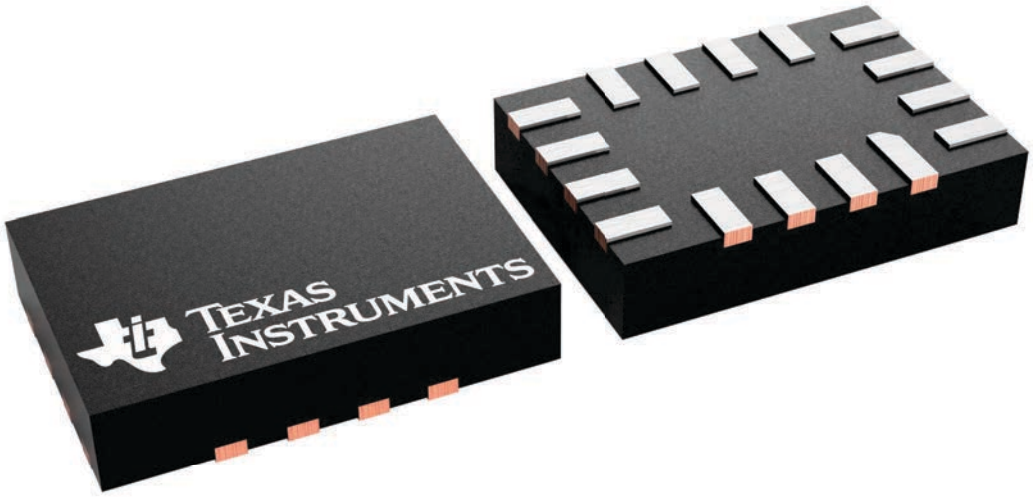
RSV 16

UQFN - 0.55 mm max height

1.8 x 2.6, 0.4 mm pitch

ULTRA THIN QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



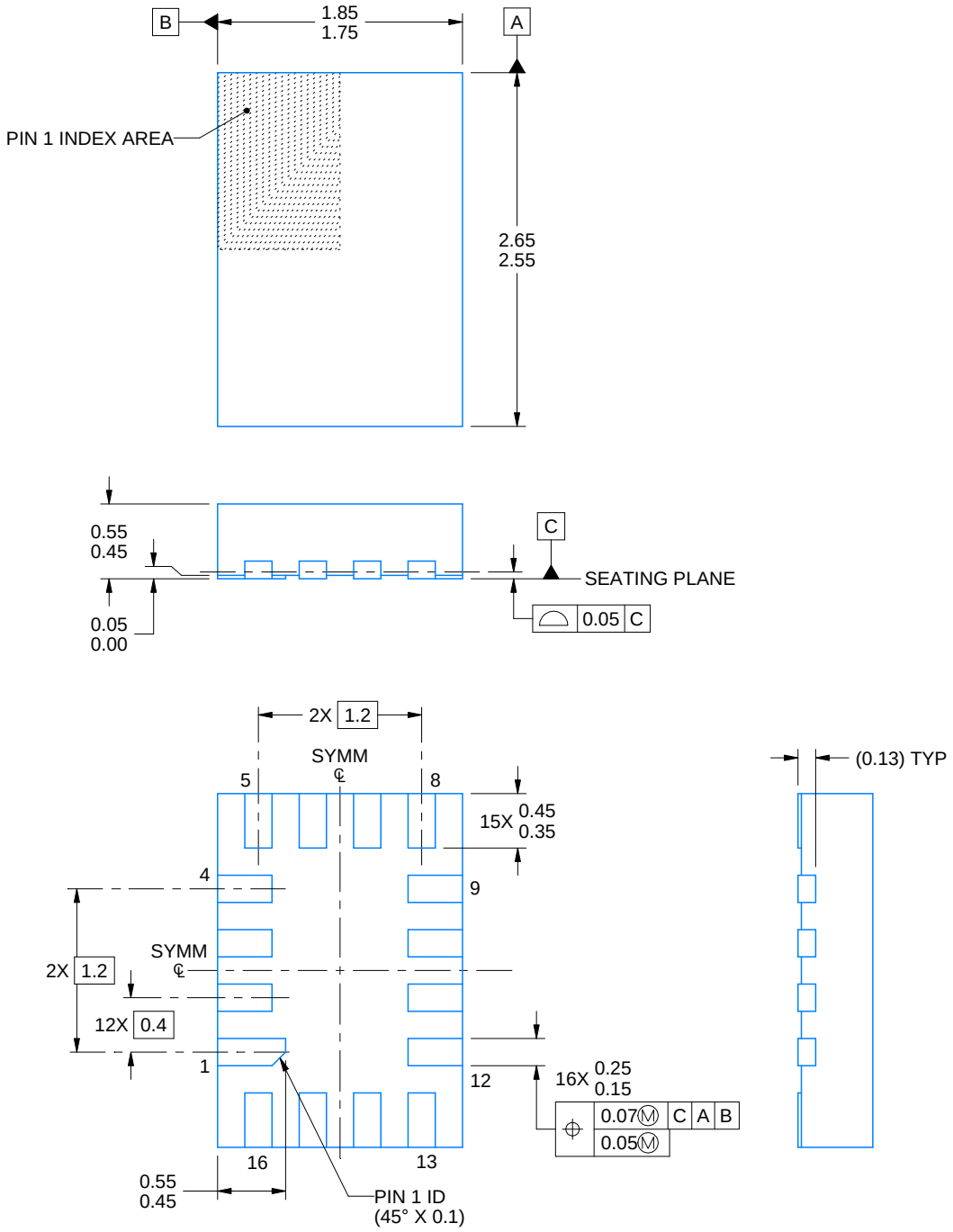
4231225/A

RSV0016A

PACKAGE OUTLINE

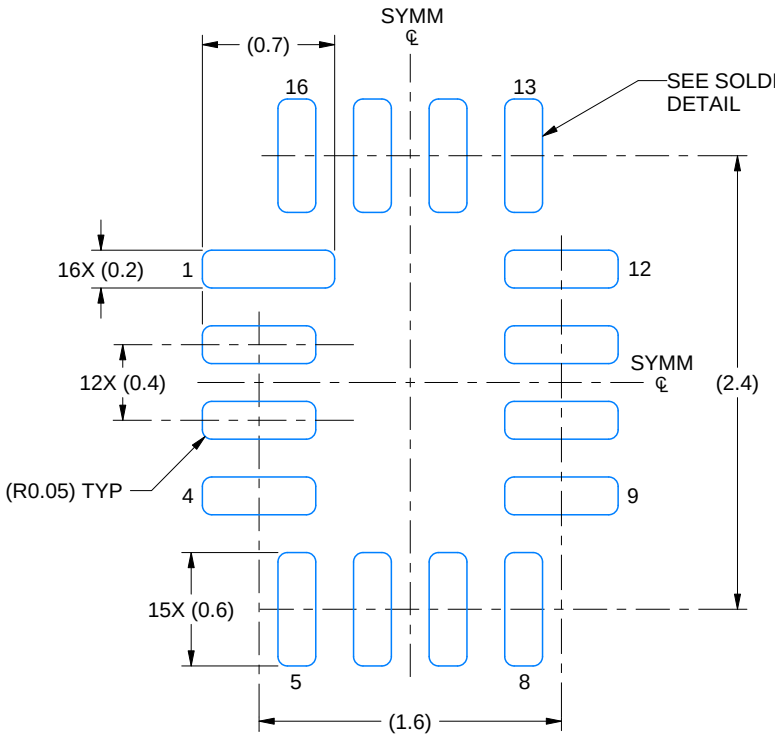
UQFN - 0.55 mm max height

ULTRA THIN QUAD FLATPACK - NO LEAD

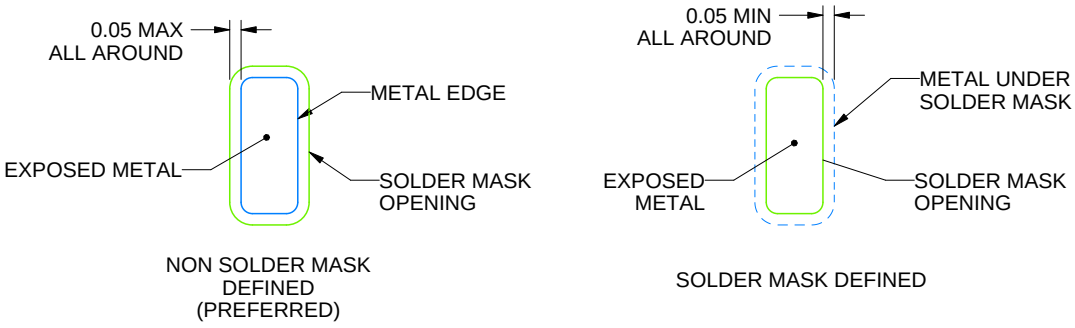


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

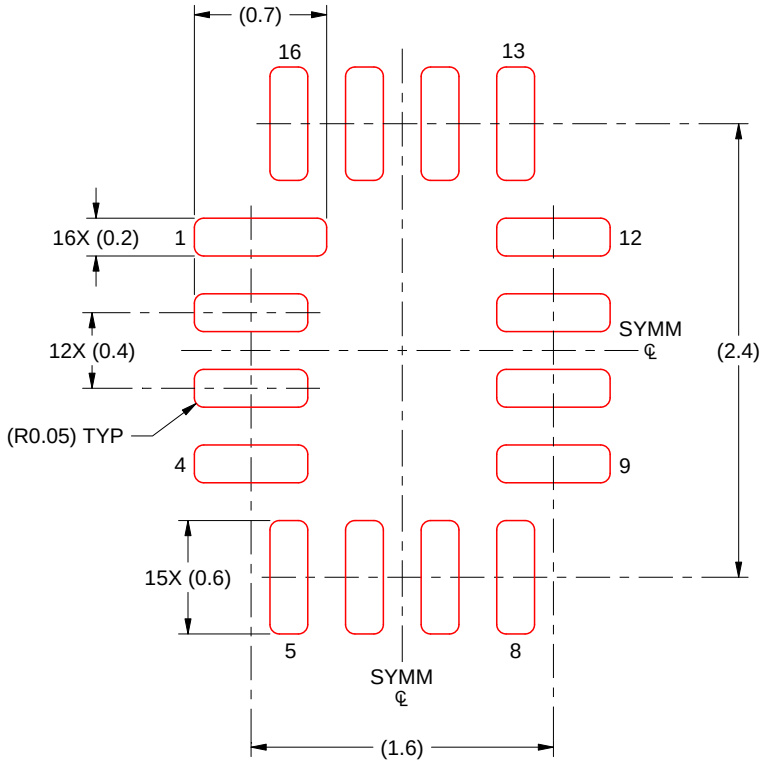


SOLDER MASK DETAILS

4220314/C 02/2020

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 25X

4220314/C 02/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月