TMUX122-SEP 具有 1.8V 逻辑电压的抗辐射 15V、2:1、3 通道多路复用器

1 特性

- VID CCCC
- 增强型航天塑料
  - 支持国防与航空航天应用
  - 工作温度范围为 –55°C 至 +125°C
  - 受控基线
  - Au（金）键合线和 NiPdAu 引线涂层
  - 制造、封装测试一体化基地
  - 延长了产品生命周期
  - 产品可追溯性
  - 采用增强型模塑化合物实现低释气
  - 符合 NASA ASTM E595 释气规格要求
- 电离辐射总剂量额定值为 30krad (Si)
  - 每个晶圆批次的辐射批次验收测试总电离剂量 (TID RLAT) 额定值高达 30krad (Si)
- 单粒子效应 (SEE) 特性：
  - 单粒子锁定 (SEL) 对于 47MeV-cm^2/mg 的线性能量传递 (LET) 具有抗扰性
  - 可提供单粒子瞬态 (SET) 表征报告
- 单电源电压范围：5V 至 15V
- 双电源电压范围：高达 ±6V
- 低电容：3pF
- 双向信号路径
- 轨到轨运行
- 兼容 1.8V 逻辑电平
- 先断后合开关
- ESD 保护 HBM：2000V

2 应用

- 模拟多路复用和多路信号分离
- 近地轨道 (LEO) 航天应用
- 远程接口单元 (RIU)
- 远程遥测单元 (RTU)
- 航天系统监控
- 闩锁和过压检测
- 加电时序保护
- 用于机载数据处理的卫星遥测和遥控
- 传感器数据采集

3 说明

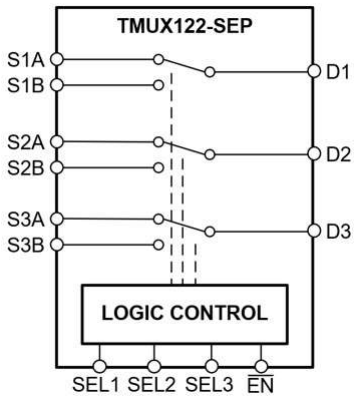
TMUX122-SEP 器件是通用互补金属氧化物半导体 (CMOS) 多路复用器 (MUX)。该器件由单电源（5V 至 15V）、双电源（高达 ±6V）或非对称电源（例如 V_{DD} = 6V，V_{SS} = –3V）供电。宽电源电压范围支持这些器件用于多种航天应用场景。

TMUX122-SEP 可支持源极 (Sx) 和漏极 (Dx) 引脚上从 V_{SS} 到 V_{DD} 范围的双向模拟信号。所有逻辑输入均具有兼容 1.8V 逻辑的阈值，在有效电源电压下运行时，这些阈值与 TTL 和 CMOS 逻辑兼容。

封装信息

器件型号	封装	封装尺寸(1)
TMUX122-SEP	DYY（SOT-23-THIN，16）	4.2mm × 3.26mm

(1) 有关更多信息，请参阅 节 11。



TMUX122-SEP 方框图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 热性能信息 5
5.4 建议运行条件 5
5.5 电气特性 6
5.6 交流性能特性 8
5.7 计时特点 9
5.8 典型特性 10
6 参数测量信息 12
6.1 导通电阻 12
6.2 关断漏电流 12
6.3 导通漏电流 13
6.4 转换时间 13
6.5 先断后合 14
6.6 $t_{ON(EN)}$ 和 $t_{OFF(EN)}$ 14
6.7 传播延迟 15
6.8 电荷注入 15
6.9 关断隔离 16
6.10 串扰 16
6.11 带宽 17
7 详细说明 18
7.1 概述 18
7.2 功能方框图 18
7.3 特性说明 18
8 应用和实施 20
8.1 应用信息 20
8.2 典型应用 20
8.3 设计要求 21
8.4 详细设计过程 21
8.5 应用曲线 21
8.6 电源相关建议 21
8.7 布局 22
9 器件和文档支持 23
9.1 文档支持 23
9.2 接收文档更新通知 23
9.3 支持资源 23
9.4 商标 23
9.5 静电放电警告 23
9.6 术语表 23
10 修订历史记录 23
11 机械、封装和可订购信息 23

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

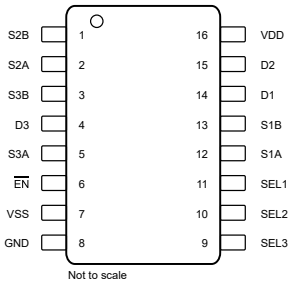


图 4-1. TMUX122-SEP DYY 封装，16 引脚 SOT-23-THIN（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明(2)
名称	编号		
S2B	1	I/O	开关 2 的源极引脚 B。信号路径可以是输入或输出。
S2A	2	I/O	开关 2 的源极引脚 A。信号路径可以是输入或输出。
S3B	3	I/O	开关 3 的源极引脚 B。信号路径可以是输入或输出。
D3	4	I/O	开关 3 的漏极引脚（公共）。可以是输入或输出
S3A	5	I/O	开关 3 的源极引脚 A。信号路径可以是输入或输出。
$\overline{EN}$	6	I	低电平有效逻辑使能。当该引脚为高电平时，所有开关都关闭。当该引脚为低电平时，SEL[x] 逻辑控制输入决定打开哪个开关。
V_{SS}	7	P	负电源。该引脚是负电源电势最高的引脚。为了实现可靠运行，应在 V_{SS} 和 GND 之间连接一个 0.1µF 至 10µF 的去耦电容器。
GND	8	P	接地 (0V) 基准
SEL3	9	I	逻辑控制选择引脚 3。表 7-1 提供了有关 SEL3 如何控制开关配置的信息。
SEL2	10	I	逻辑控制选择引脚 2。表 7-1 提供了有关 SEL2 如何控制开关配置的信息。
SEL1	11	I	逻辑控制选择引脚 1。表 7-1 提供了有关 SEL1 如何控制开关配置的信息。
S1A	12	I/O	开关 1 的源极引脚 A。信号路径可以是输入或输出。
S1B	13	I/O	开关 1 的源极引脚 B。信号路径可以是输入或输出。
D1	14	I/O	开关 1 的漏极引脚（公共）。可以是输入或输出
D2	15	I/O	开关 2 的漏极引脚（公共）。可以是输入或输出
V_{DD}	16	P	正电源。该引脚是正电源电势最高的引脚。为了实现可靠运行，应在 V_{DD} 和 GND 之间连接一个 0.1µF 至 10µF 的去耦电容器。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源。
(2) 有关如何处理未使用的引脚的信息，请参阅节 7.3.4。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)(3)

		最小值	最大值	单位
V_{DD} – V_{SS}	电源电压		18	V
V_{DD}		-0.5	18	V
V_{SS}		-8	0.5	V
V_{SEL} 或 V_{EN}	逻辑控制输入引脚电压（$\overline{EN}$、Ax、SELx）	-0.5	V_{DD}+0.5	V
I_{SEL} 或 I_{EN}	逻辑控制输入引脚电流（$\overline{EN}$、Ax、SELx）	-0.5	28	mA
V_S 或 V_D	源极或漏极电压（Sx、D）	V_{SS} – 0.5	V_{DD}+0.5	V
I_{IK}	二极管钳位电流(2)	-30	30	mA
I_S 或 $I_{D\ (CONT)}$	源极或漏极连续电流（Sx、D）	-10	10	mA
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 引脚被二极管钳制至电源轨。过压信号的电压和电流必须限制在最大额定值内。
(3) 要避免从 V_{DD} 消耗过多电流，或者向 V_{SS} 流入过多电流，双向开关路径上的压降（ΔV_{switch}）不得超过 1.2V（高温时为 600mV）。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 热性能信息

热指标(1)		TMUX122-SEP DYY (SOT) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	138.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	70.3	°C/W
$R_{\theta JB}$	结至电路板热阻	69.1	°C/W
Ψ_{JT}	结至顶部特征参数	5.1	°C/W
Ψ_{JB}	结至电路板特征参数	69.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{DD} – V_{SS}(1)	电源电压差	5		15	V
V_{DD}	正电源电压（单电源，VSS = 0V）	5		15	V
V_{SS}	负电源电压（双电源）	-6		0	V
V_{DD_D}	正电源电压（双电源）	5		6	V
V_S 或 V_D	信号路径输入/输出电压（源极或漏极引脚）（Sx、D）	V_{SS}		V_{DD}	V
V_{Ax} 或 V_{EN}	地址或使能引脚电压	0		V_{DD}	V
I_S 或 $I_{D\ (CONT)}$	源极或漏极连续电流（Sx、D）	-10		10	mA
T_A	环境温度	-55		125	°C

(1) 只要满足 5V ≤ (V_{DD} – V_{SS}) ≤ 15V 以及最小 V_{DD} 和 V_{SS} 条件，V_{DD} 和 V_{SS} 就可以是任意值。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

5.5 电气特性

在自然通风条件下的工作温度范围内，T_A = 25℃ 时的典型值（除非另有说明）

参数	测试条件	V_{DD}	V_{SS}	T_A	最小值	典型值	最大值	单位
电源								
电源电流 I_{DD}	地址输入 = 0V、5V 或 V_{DD} $\overline{EN}$ = 0V	5V	0V	-55°C			60	μA
				25°C		17	60	
				85°C			80	
				125°C			80	
		10V	0V	-55°C			60	
				25°C		18	60	
				85°C			80	
				125°C			80	
		5V	-5V	-55°C			60	
				25°C		18	60	
				85°C			80	μA
				125°C			80	μA
		15V	0V	-55°C			60	μA
				25°C		18	60	μA
				85°C			80	μA
				125°C			80	μA
负电源电流 I_{SS}	地址输入 = 0V、5V 或 V_{DD} $\overline{EN}$ = 0V	5V	-5V	-55°C			20	μA
				25°C		6	20	
				85°C			25	
				125°C			25	μA
I_{DD} 禁用	$\overline{EN}$ = 5V 或 V_{DD}	全部		25°C		8		μA
				-55°C 至 125°C			20	
模拟开关								
R_{ON} 源漏导通电阻	V_S = V_{SS} 至 V_{DD} I_D = – 1mA	5V	0V	-55°C			800	Ω
				25°C		75	1050	
				85°C			1200	
				125°C			1300	
		10V	0V	-55°C			310	
				25°C		60	400	
				85°C			520	
				125°C			550	
		5V	-5V	-55°C			310	
				25°C		60	400	
				85°C			520	Ω
				125°C			550	Ω
		15V	0V	-55°C			200	Ω
				25°C		60	240	Ω
				85°C			300	Ω
				125°C			300	Ω
Δ R_{ON}	V_S = V_{SS} 至 V_{DD} I_D = – 1mA	全部		25°C		2		Ω

Copyright © 2026 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内，T_A = 25℃ 时的典型值（除非另有说明）

参数	测试条件	V_{DD}	V_{SS}	T_A	最小值	典型值	最大值	单位
$R_{ON\ FLAT}$	V_S = V_{SS} 至 V_{DD} I_D = –1mA	全部		25°C		60		Ω
				-55°C 至 85°C			150	
				-55°C 至 125°C			150	
$I_{S(OFF)}$ $I_{D(OFF)}$	开关状态为断开 V_S = V_{SS}/V_{DD} V_D = V_{DD}/V_{SS}	5V	0V	25°C		±0.3	±100	nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
$I_{S(OFF)}$ $I_{D(OFF)}$	开关状态为断开 V_S = V_{SS}/V_{DD} V_D = V_{DD}/V_{SS}	10V	0V	25°C		±0.3	±100	nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
	开关状态为断开 V_S = V_{SS}/V_{DD} V_D = V_{DD}/V_{SS}	15V	0V	25°C		±0.3	±100	nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
	开关状态为断开 V_S = V_{SS}/V_{DD} V_D = V_{DD}/V_{SS}	5V	-5V	25°C		±0.3	±100	nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
I_{ON}	开关状态为闭合 V_S = V_D = V_{SS} 或 V_{DD}	5V	0V	25°C		±0.3	±100	nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
		10V	0V	25°C		±0.3	±100	nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
		5V	-5V	25°C		±0.3	±100	nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
		15V	0V	25°C		±0.3		nA
				-55°C 至 85°C			±800	nA
				-55°C 至 125°C			±1000	nA
逻辑输入（地址/使能引脚）								
V_{IH}	输入高电压	全部		-55°C 至 125°C	1.35		V_{DD}	V
V_{IL}	输入低电压	全部		-55°C 至 125°C	0		0.8	V
I_{IH} I_{IL}	V_{LOGIC} = 0V、5V 或 V_{DD}	全部		25°C		±0.6		μA
				-55°C 至 125°C	-1		1	
C_{IN}		全部		25°C		2		pF

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.6 交流性能特性

以下是在 T_A = 25℃ 下的典型值（除非另有说明）

参数	测试条件			T_A = -55°C 至 125°C			单位
	条件	V_{DD}	V_{SS}	最小值	典型值	最大值	
电容							
$C_{S(OFF)}$	V_S = (V_{DD} + V_{SS})/2V f = 1MHz	5V	-5V		3		pF
$C_{D(OFF)}$	V_S = (V_{DD} + V_{SS})/2V f = 1MHz	5V	-5V		4		pF
$C_{S(ON)}$ $C_{D(ON)}$	V_S = (V_{DD} + V_{SS})/2V f = 1MHz	5V	-5V		10		pF
动态特性							
带宽 (BW) (正弦波输入)	V_{BIAS} = (V_{DD}+ V_{SS}) / 2V_S = 200mVpp R_L = 50Ω，C_L = 5pF	+5V	-5V		750		MHz
关断隔离 通道关闭 （正弦波输入）	V_{BIAS} = (V_{DD} + V_{SS}) / 2V_S = 200mVpp R_L = 50Ω，C_L = 5pF f = 1MHz	+5V	-5V		-95		dB
串扰 （正弦波输入）	V_{BIAS} = (V_{DD} + V_{SS}) / 2V_S = 200mVpp R_L = 50Ω，C_L = 5pF f = 1MHz	+5V	-5V		-90		dB
电荷注入	V_S = (V_{DD} + V_{SS}) / 2 R_S = 0Ω，C_L = 100pF	+5V	-5V		6		pC

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

5.7 计时特点

在自然通风条件下的工作温度范围内，T_A = 25℃ 时的典型值（除非另有说明）

参数		测试条件				最小值	典型值	最大值	单位
		条件	V_{DD}	V_{SS}	T_A				
传播延迟	信号输入到信号输出	V_S = V_{SS} 至 V_{DD}	5V	0V	25°C		4	20	ns
			10V	0V	25°C		4	20	
			5V	-5V	25°C		4	20	
t_{TRAN}	地址到信号输出输入之间的转换时间	t_r，t_f = 20ns，C_L = 50pF，R_L = 10kΩ	5V	0V	25°C		105		ns
					-55°C 至 +125°C			190	
			10V	0V	25°C		100		
					-55°C 至 +125°C			190	
			5V	-5V	25°C		100		
					-55°C 至 +125°C			190	
$t_{ON\ (EN)}$	使能到信号输出通道开启	t_r，t_f = 20ns，C_L = 50pF，R_L = 10kΩ	5V	0V	25°C		100		ns
					-55°C 至 +125°C			190	
			10V	0V	25°C		95		
					-55°C 至 +125°C			190	
			5V	-5V	25°C		100		
					-55°C 至 +125°C			190	
$t_{OFF\ (EN)}$	使能到信号输出通道关闭	t_r，t_f = 20ns，C_L = 50pF，R_L = 10kΩ	5V	0V	25°C		90		ns
					-55°C 至 +125°C			140	
			10V	0V	25°C		90		
					-55°C 至 +125°C			140	
			5V	-5V	25°C		100		
					-55°C 至 +125°C			160	
t_{BBM}		C_L = 15pF，R_L = 10kΩ	5V	0V	25°C		60		ns
					-55°C 至 +125°C	1			
			10V	0V	25°C		45		
					-55°C 至 +125°C	1			
		C_L = 15pF，R_L = 10kΩ	5V	-5V	25°C		45		ns
		C_L = 15pF，R_L = 10kΩ	5V	-5V	-55°C 至 +125°C	1			ns

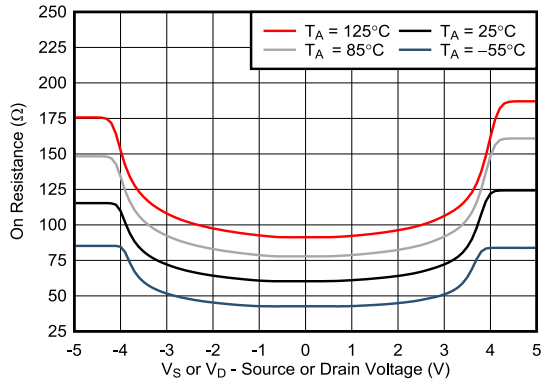
ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

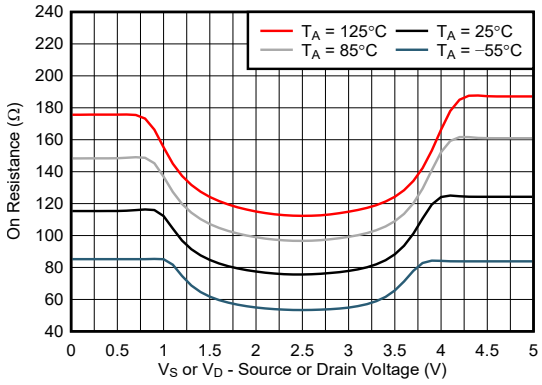
5.8 典型特性

在 T_A = 25°C，V_{DD} = 5V 时（除非另有说明）



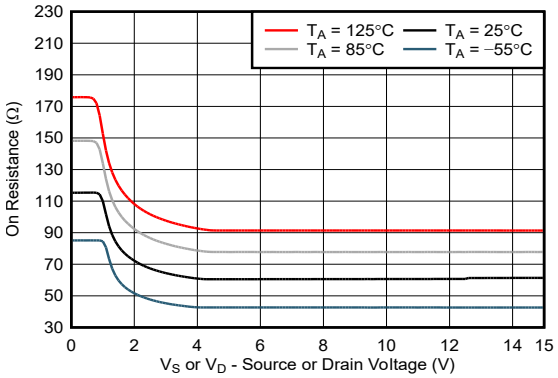
V_{DD} = 5V，V_{SS} = -5V

图 5-1. 导通电阻与温度间的关系



V_{DD} = 5V

图 5-2. 导通电阻与温度间的关系



V_{DD} = 15V

图 5-3. 导通电阻与温度间的关系

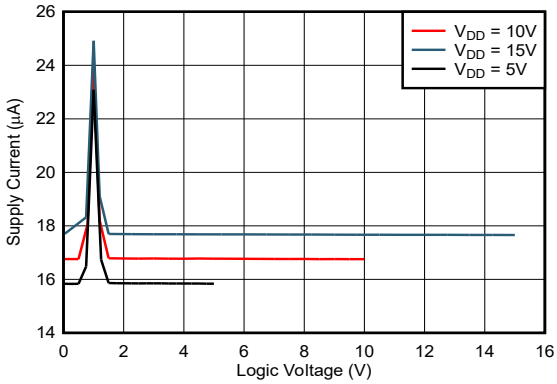
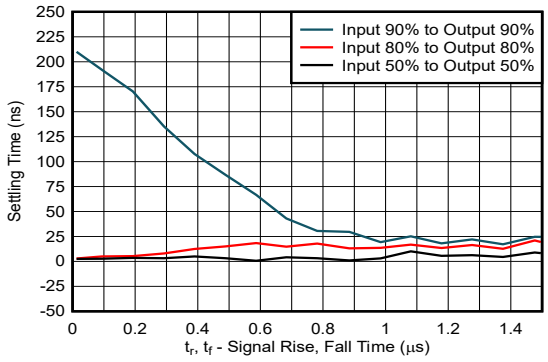


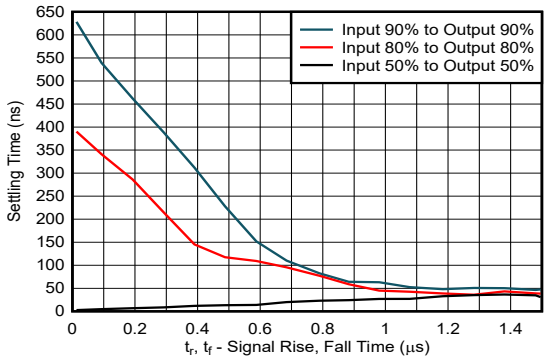
图 5-4. 电源电流与逻辑电压间的关系



V_{DD} = 5V，V_{signal} = 5V

R_L = 200kΩ，C_L = 15pF

图 5-5. 系统建立时间



V_{DD} = 5V，V_{signal} = 5V

R_L = 10kΩ，C_L = 15pF

图 5-6. 系统建立时间

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

在 T_A = 25°C，V_{DD} = 5V 时（除非另有说明）

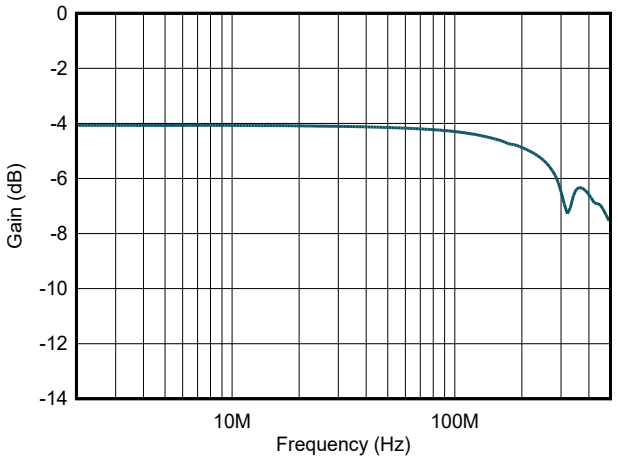


图 5-7. 导通响应与频率间的关系

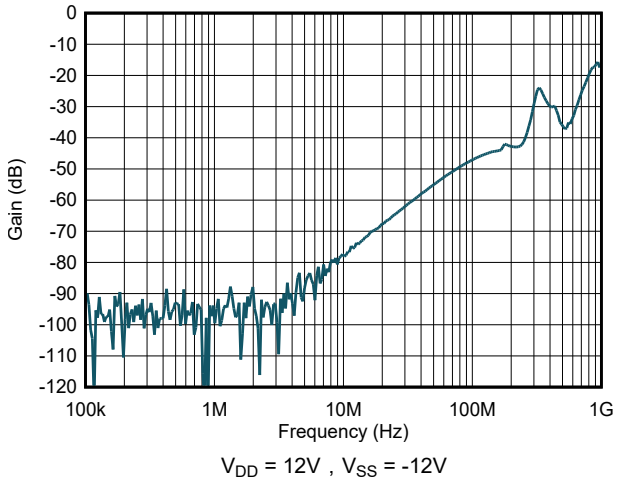


图 5-8. 关断隔离与频率间的关系

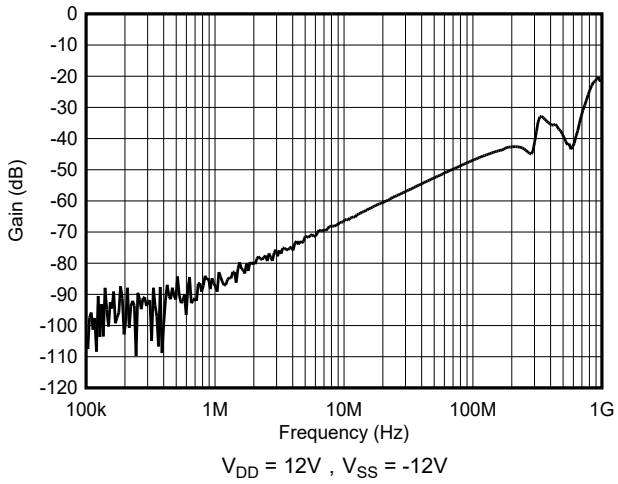


图 5-9. Xtalk 与频率之间的关系

ADVANCE INFORMATION

ADVANCE INFORMATION

6 参数测量信息

6.1 导通电阻

器件的导通电阻是器件源极 (Sx) 和漏极 (D) 引脚之间的欧姆电阻。导通电阻随输入电压和电源电压的变化而变化。符号 R_{ON} 用于表示导通电阻。下图显示了用于测量 R_{ON} 的测量设置。图 6-1 显示了如何通过 $R_{ON} = V/I_{SD}$ 来计算 R_{ON}，可以使用该设置来测量电压 (V) 和电流 (I_{SD})。

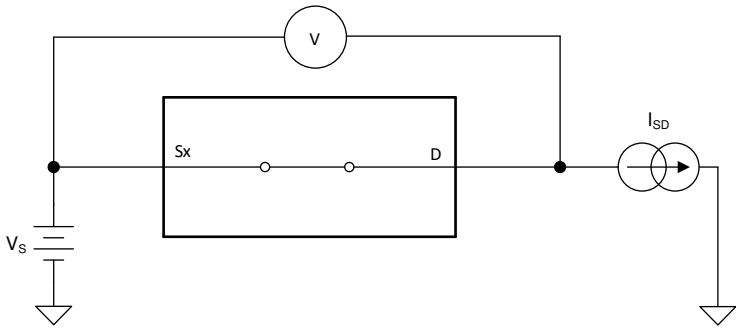


图 6-1. 导通电阻测量设置

6.2 关断漏电流

在关断状态下，开关有两种类型的漏电流：

1. 源极关断漏电流。
2. 漏极关断漏电流。

源极漏电流定义为开关断开时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(OFF)}$ 表示。

漏极漏电流定义为开关断开时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(OFF)}$ 表示。

图 6-2 展示了用于测量两个关断漏电流的设置。

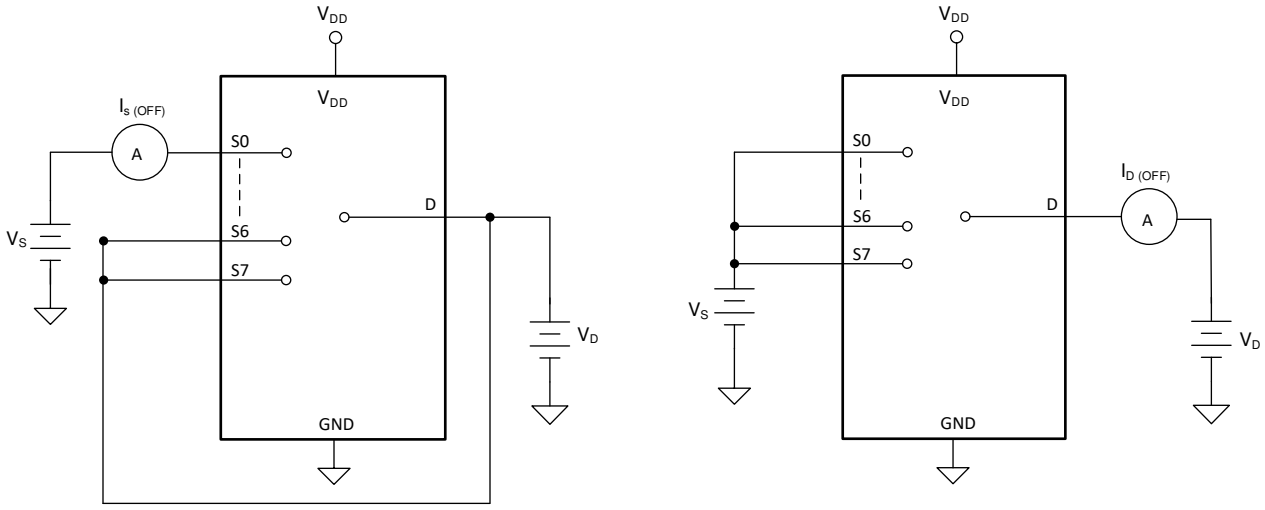


图 6-2. 关断漏电流测量设置

Copyright © 2026 Texas Instruments Incorporated

6.3 导通漏电流

源极导通漏电流定义为开关闭合时流入或流出源极引脚的漏电流。该电流用符号 $I_{S(ON)}$ 表示。

漏极导通漏电流定义为开关闭合时流入或流出漏极引脚的漏电流。该电流用符号 $I_{D(ON)}$ 表示。

在测量期间，源极引脚或漏极引脚均保持悬空。图 6-3 展示了用于测量导通漏电流（用 $I_{S(ON)}$ 或 $I_{D(ON)}$ 表示）的电路。

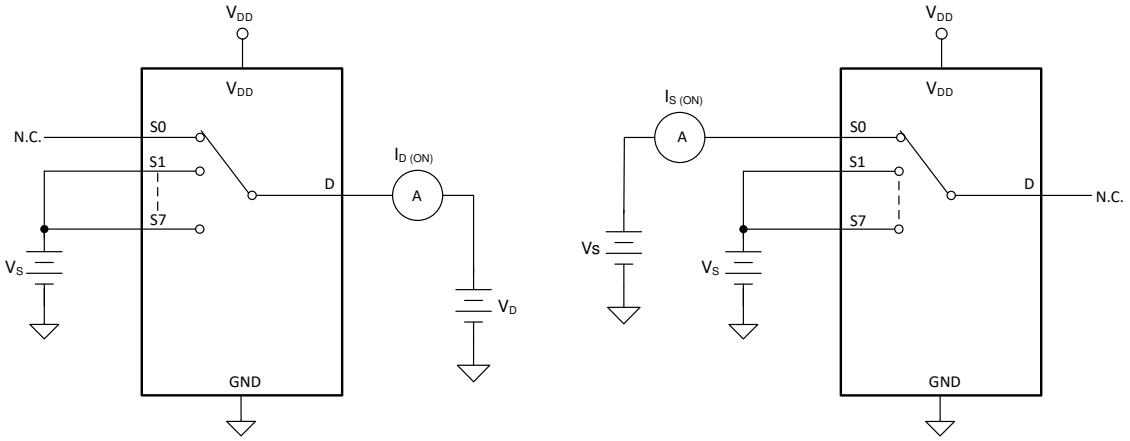


图 6-3. 导通漏电流测量设置

6.4 转换时间

转换时间定义为在地址信号上升或下降至超过 10% 阈值后器件输出上升或下降 50% 所需的时间。图 6-4 展示了用于测量转换时间（用符号 $t_{TRANSITION}$ 表示）的设置。

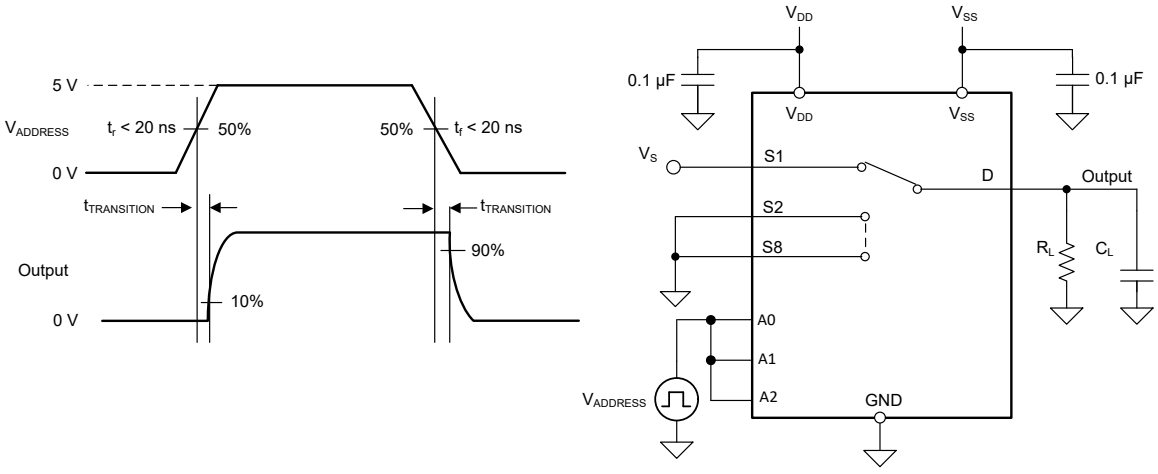


图 6-4. 转换时间测量设置

ADVANCE INFORMATION

ADVANCE INFORMATION

6.5 先断后合

先断后合延迟是一项安全功能，可防止在开关器件时连接两个输入。输出首先断开与导通状态开关的连接，然后与下一个导通状态开关建立连接。*断开* 和*闭合* 之间的延时时间称为先断后合延迟。图 6-5 展示了用于测量先断后合延迟（用符号 $t_{OPEN(BBM)}$ 表示）的设置。

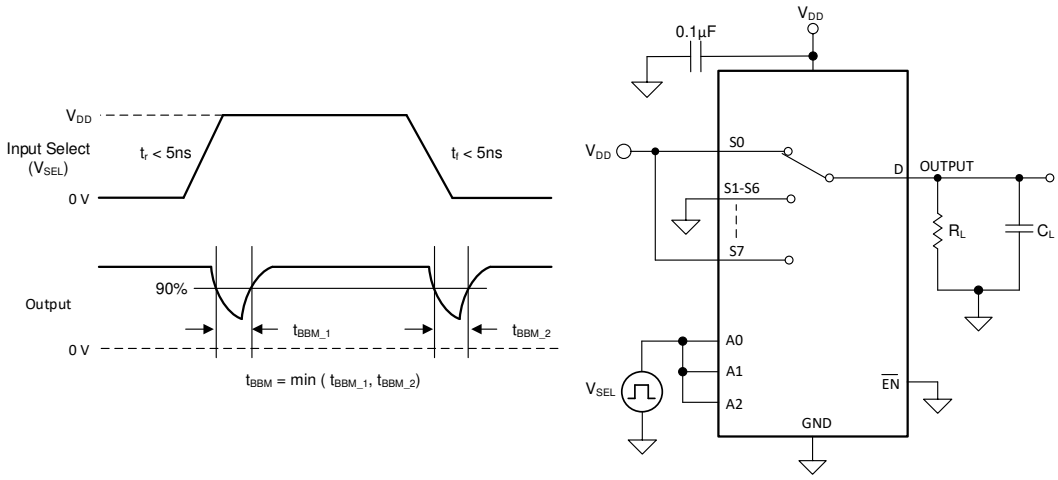


图 6-5. 先断后合延迟测量设置

6.6 $t_{ON(EN)}$ 和 $t_{OFF(EN)}$

开通时间定义为使能上升到超过 50% 阈值后器件输出上升至 10% 所需的时间。使用 10% 测量来提供器件的时序，系统级时序随后可以考虑从负载电阻和负载电容引入的时间常数。图 6-6 显示了用于测量转换时间（用符号 $t_{ON(EN)}$ 表示）的设置。

关断时间定义为使能下降到超过 50% 阈值后器件输出下降至 90% 所需的时间。使用 90% 测量来提供器件的时序，系统级时序随后可以考虑从负载电阻和负载电容引入的时间常数。图 6-6 显示了用于测量转换时间（用符号 $t_{OFF(EN)}$ 表示）的设置。

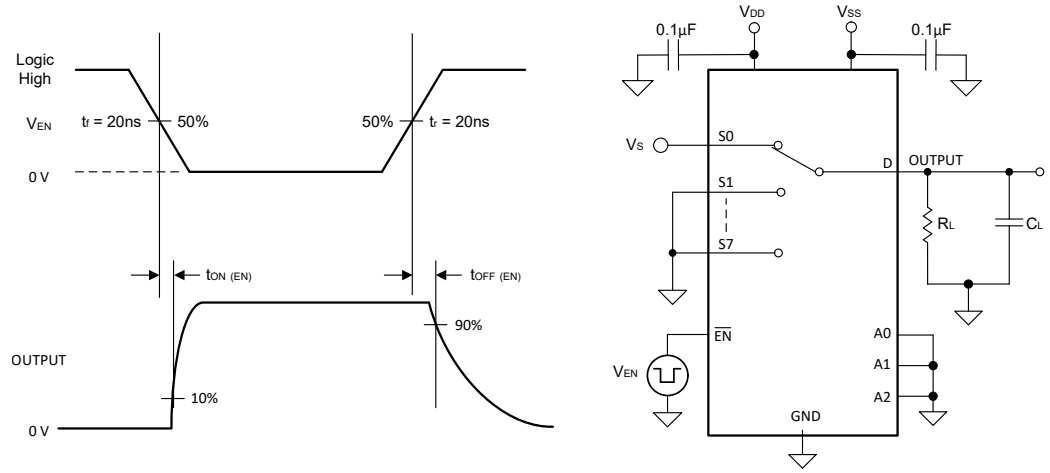


图 6-6. 导通和关断时间测量设置

Copyright © 2026 Texas Instruments Incorporated

6.7 传播延迟

传播延迟定义为在输入信号上升或下降至超过 50% 阈值后器件输出上升或下降 50% 所需的时间。图 6-7 展示了用于测量传播延迟（用符号 t_{PD} 表示）的设置。

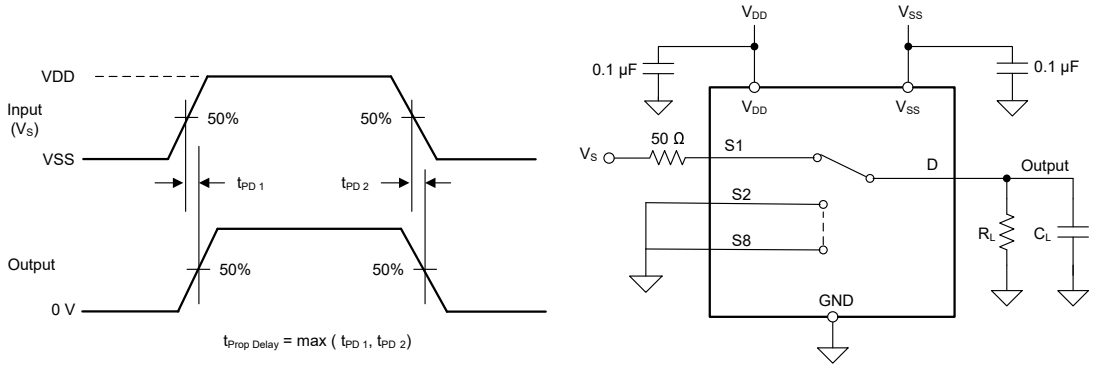


图 6-7. 传播延迟测量设置

6.8 电荷注入

NMOS 和 PMOS 晶体管之间电容的任何不匹配都会导致在栅极信号的下降沿或上升沿期间向漏极或源极注入电荷。注入器件源极或漏极的电荷量称为电荷注入，用符号 Q_C 表示。图 6-8 展示了用于测量从源极 (Sx) 到漏极 (D) 的电荷注入的设置。

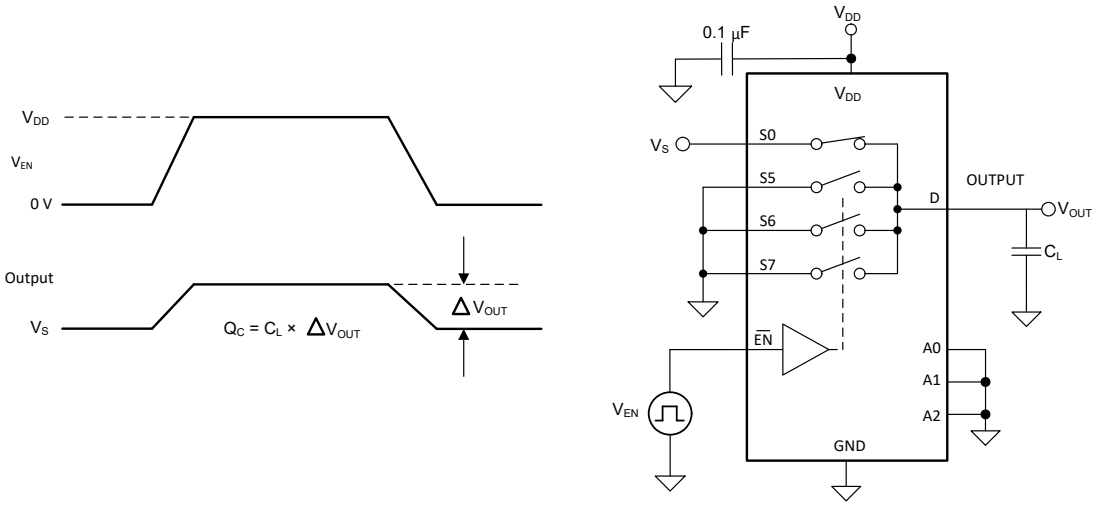


图 6-8. 电荷注入测量设置

ADVANCE INFORMATION

ADVANCE INFORMATION

6.9 关断隔离

关断隔离定义为器件的漏极引脚 (D) 处的信号与关断通道的源极引脚 (Sx) 上施加的信号之比。图 6-9 显示了用于测量关断隔离的设置和用于计算关断隔离的公式。

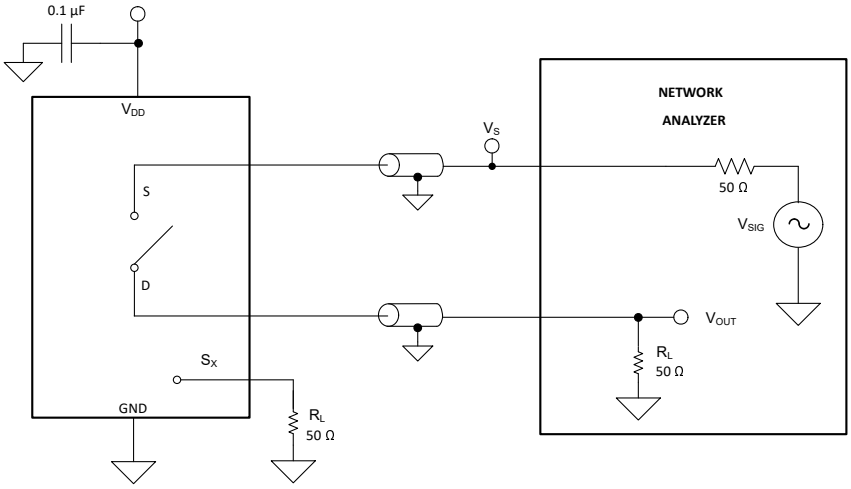


图 6-9. 关断隔离测量设置

$$Off\ Isolation\ =\ 20\ \times\ Log\left(\frac{V_{OUT}}{V_S}\right) \quad (1)$$

6.10 串扰

串扰定义为另一通道的漏极引脚 (D) 处的信号与开启通道的源极引脚 (Sx) 上施加的信号之比。图 6-10 展示了用于测量串扰的设置和用于计算串扰的公式。

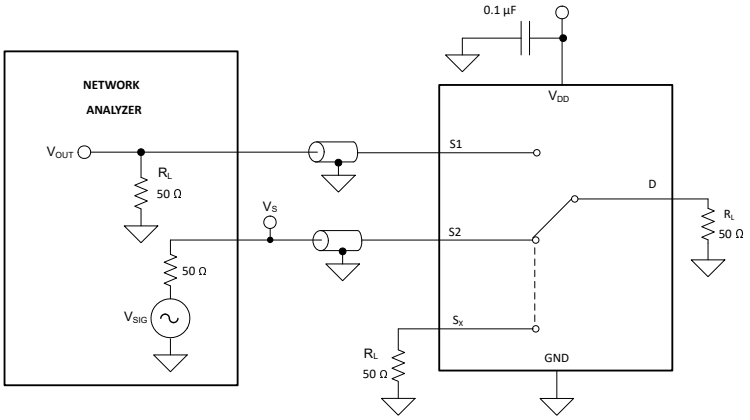


图 6-10. 通道间串扰测量设置

$$Channel-to-Channel\ Crosstalk\ =\ 20\ \times\ Log\left(\frac{V_{OUT}}{V_S}\right) \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

6.11 带宽

带宽定义为当输入施加到开启通道的源极引脚 (Sx) 且输出在器件的漏极引脚 (D) 处测量时衰减小于 3dB 的频率范围。图 6-11 展示了用于测量带宽的设置。

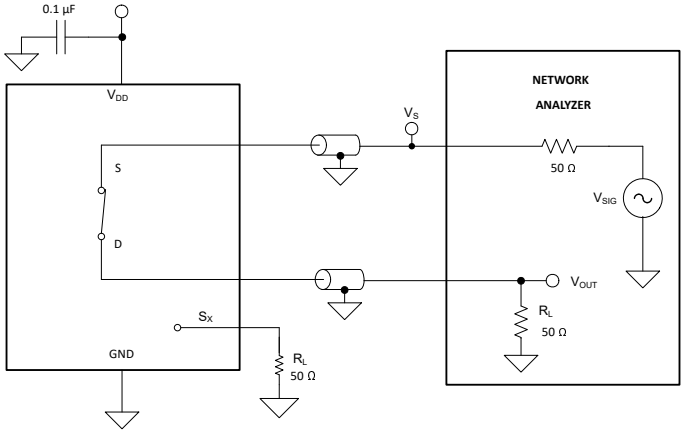


图 6-11. 带宽测量设置

$$Attenuation = 20 \times Log\left(\frac{V_2}{V_1}\right) \quad (3)$$

ADVANCE INFORMATION

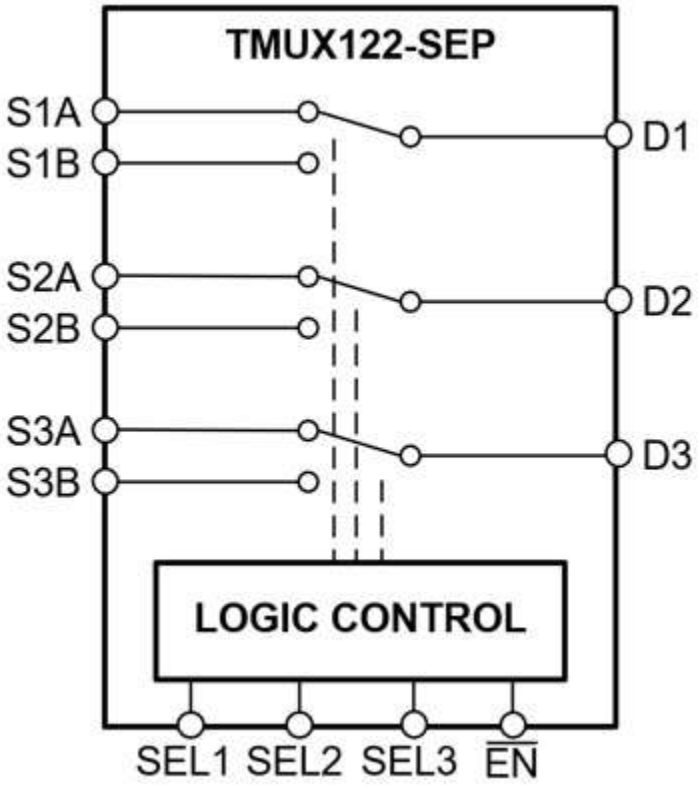
ADVANCE INFORMATION

7 详细说明

7.1 概述

TMUX122-SEP 是一款 2:1 3 通道多路复用器。每个通道根据 SEL 和使能引脚的状态开启或关闭。

7.2 功能方框图



7.3 特性说明

7.3.1 双向运行

TMUX122-SEP 器件从源极 (Sx) 到漏极 (Dx) 或从漏极 (Dx) 到源极 (Sx) 的导电性能同样出色。每个信号路径在两个方向上都具有非常相似的特性，因此它们可被用作多路复用器和多路信号分离器以支持模拟信号。

7.3.2 轨到轨运行

TMUX122-SEP 的有效信号路径输入和输出电压范围为 V_{SS} 至 V_{DD}。

7.3.3 1.8V 逻辑兼容输入

对于所有逻辑控制输入，TMUX122-SEP 支持 1.8V 逻辑兼容控制。1.8V 逻辑电平输入支持多路复用器连接具有较低逻辑 I/O 电源轨的处理器，并且无需外部电压转换器，从而节省了空间和 BOM 成本。有关 1.8V 逻辑实现的更多信息，请参阅使用 1.8V 逻辑多路复用器和开关简化设计。

7.3.4 器件功能模式

当器件的 $\overline{EN}$ 引脚被拉至低电平时，开关之一会闭合，具体取决于地址或选择引脚的状态。当 $\overline{EN}$ 引脚被拉为高电平时，无论地址或选择引脚的状态如何，所有开关都处于断开状态。

必须将未使用的逻辑控制引脚连接至 GND 或 V_{DD}，以便确保器件不会消耗额外的电流，CMOS 输入缓慢变化或悬空的影响中重点介绍了相关内容。未使用的信号路径输入（Sx 和 Dx）应连接到 GND。

Copyright © 2026 Texas Instruments Incorporated

7.3.5 真值表

表 7-1 提供了 TMUX122-SEP 的真值表。

表 7-1. TMXU122-SEP 真值表

$\overline{EN}$	SEL1	SEL2	SEL3	所选择的连接到漏极 (D) 引脚的信号路径
0	0	X	X	S1A 至 D1
0	1	X	X	S1B 至 D1
0	X	0	X	S2A 至 D2
0	X	1	X	S2B 至 D2
0	X	X	0	S3A 至 D3
0	X	X	1	S3B 至 D3
1	X(1)	X(1)	X(1)	未选择任何输入（高阻态）

(1) X 表示*无关*。

TMUX122-SEP 器件的使能引脚 $\overline{EN}$ 具有弱内部上拉电阻器，可在上电时将器件置于禁用状态。SELx/地址引脚 (Ax) 具有弱内部下拉电阻器，可将开关置于定义的逻辑状态。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TMUX122-SEP 可在很宽的工作电源电压范围（5V 至 15V、±6V）内提供良好的系统性能。这些器件包括 1.8V 逻辑兼容控制输入引脚，支持在具有 1.8V I/O 的系统中运行。这些功能使 TMUX122-SEP 多路复用器成为很多系统的理想解决方案，因为它可以降低系统复杂性、电路板尺寸和总体系统成本。

8.2 典型应用

利用 TMUX122-SEP 功能的一个有用应用是将各种信号多路复用到集成在 MCU 中的 ADC。与外部 ADC 相比，在 MCU 中利用集成 ADC 可使系统通过潜在的系统性能折衷尽可能地降低成本。多路复用器允许使用器件的单个 ADC 引脚来监控多个输入或传感器，这在 I/O 受限的系统中至关重要。

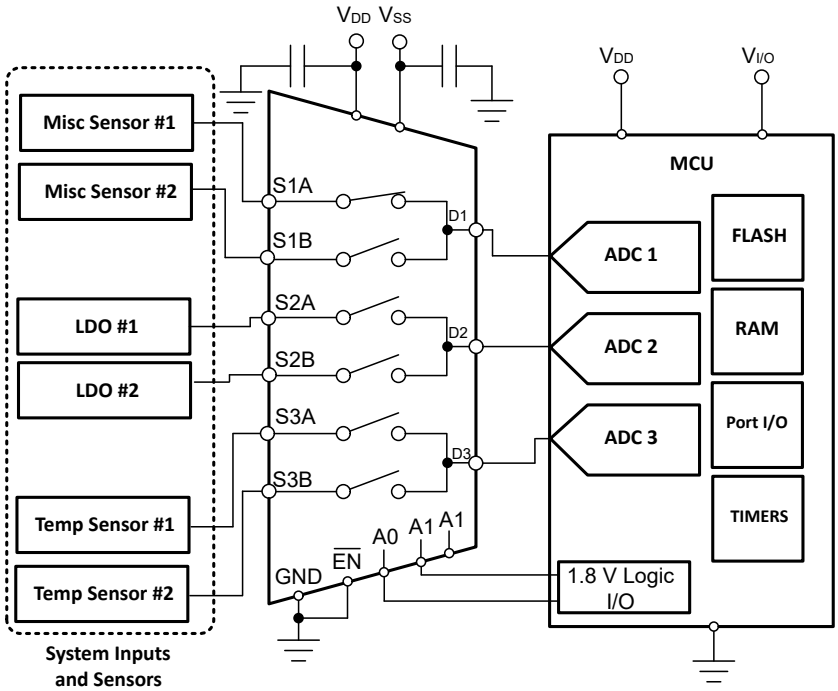


图 8-1. 使用 TMUX122-SEP 将信号多路复用到集成 ADC

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.3 设计要求

表 8-1 列出了该设计示例必须使用的参数。

表 8-1. 设计参数

参数	值
电源 (V_{DD})	12V
I/O 信号范围	0V 至 V_{DD}（轨至轨）
控制逻辑阈值	1.8V 兼容

8.4 详细设计过程

TMUX122-SEP 无需任何外部元件（电源去耦电容器除外）即可运行。MCU 可以通过 GPIO 控制使能引脚和地址引脚，以便在多路复用器的各种输入之间进行切换。如果系统中不需要该功能，则应将使能 ($\overline{EN}$) 引脚接地。多路复用到 MCU 的 ADC 的所有输入必须符合*建议运行条件*，包括信号范围和连续电流。对于该电源电压为 12V 的设计，信号范围可以为 0V 至 12V。

8.5 应用曲线

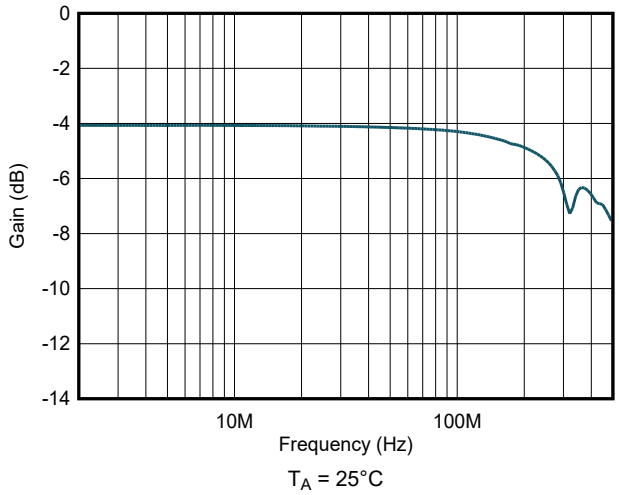


图 8-2. 带宽

8.6 电源相关建议

TMUX122-SEP 在 5V 至 15V 的宽电源电压范围内以及高达 ±6V 的双电源模式下运行。

电源旁路可提高噪声容限并防止开关噪声从电源引脚传播到其他元件。良好的电源去耦对于实现卓越性能至关重要。为提高电源噪声抗扰度，在 V_{DD} 和接地端之间以及 V_{SS} 和接地端之间使用 0.1 µF 至 10 µF 的电源去耦电容器。使用低阻抗接头将旁路电容器放置在尽可能靠近器件电源引脚的位置。TI 建议使用多层陶瓷贴片电容 (MLCC) 提供等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于敏感度较高或在恶劣噪声环境中使用的系统，避免使用过孔将电容器与器件引脚相连，以便获得出色的噪声抗扰度。并行使用多个过孔可降低总电感值并且有利于与接地层相连。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

8.7 布局

8.7.1 布局指南

使用最少的过孔和拐角路由高速信号，从而减少信号反射和阻抗变化。必须使用过孔时，增加过孔周边的间隙尺寸以降低电容。每一过孔均为信号的传输线引入了非连续性，并增加了电路板其他层的干扰几率。设计测试点时要小心，不建议在高频下使用穿孔引脚。

- 使用一个 0.1µF 电容器对 V_{DD} 和 V_{SS} 引脚进行去耦，该电容器尽可能靠近引脚放置。确保该电容器具有足够高的额定电压。
- 尽可能缩短输入线路。
- 使用实心接地平面有助于降低电磁干扰 (EMI) 噪声拾取。
- 敏感的模拟布线不能与数字布线平行。尽可能避免数字引线与模拟引线交叉，仅在必要时以垂直交叉方式布线。

8.7.2 布局示例

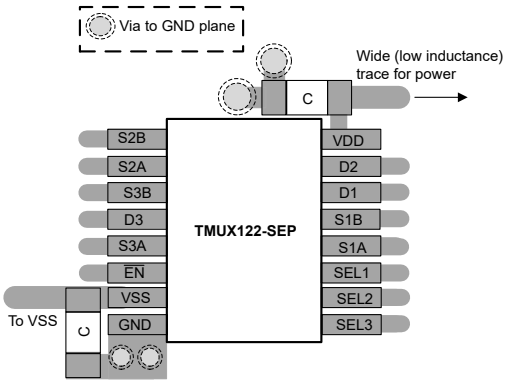


图 8-3. 布局示例

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*使用 1.8V 逻辑多路复用器和开关简化设计* 应用简报
- 德州仪器 (TI)，*QFN/SON PCB 连接* 应用报告
- 德州仪器 (TI)，*Quad Flatpack No-Lead 逻辑封装* 应用报告

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2026	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

ADVANCE INFORMATION

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTMUX122MDYYTSEP	Active	Preproduction	SOT-23-THIN (DYY) | 16	250 | SMALL T&R	-	Call TI	Call TI	-55 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

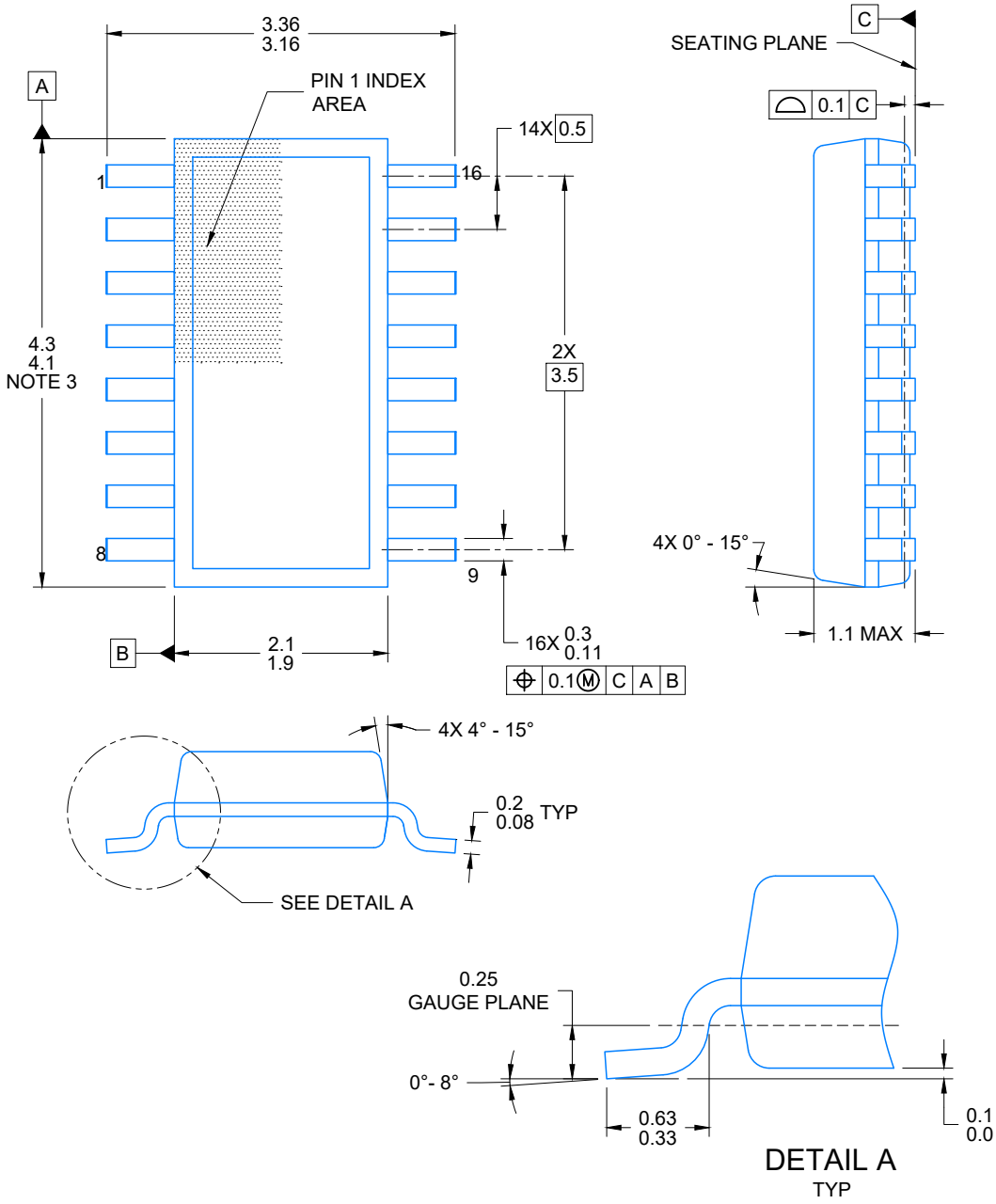
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DYY0016A

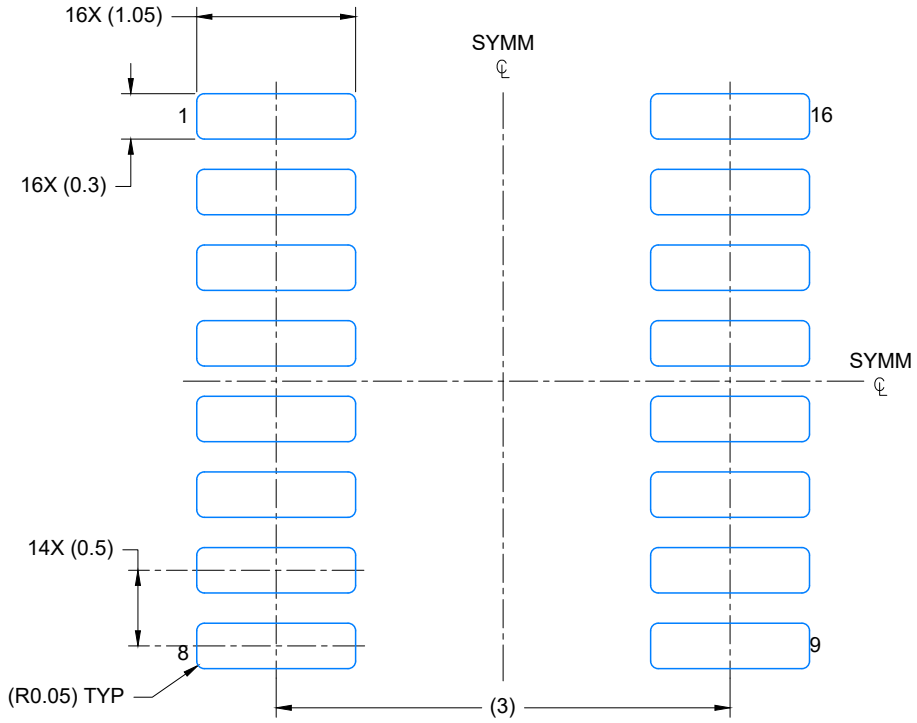
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

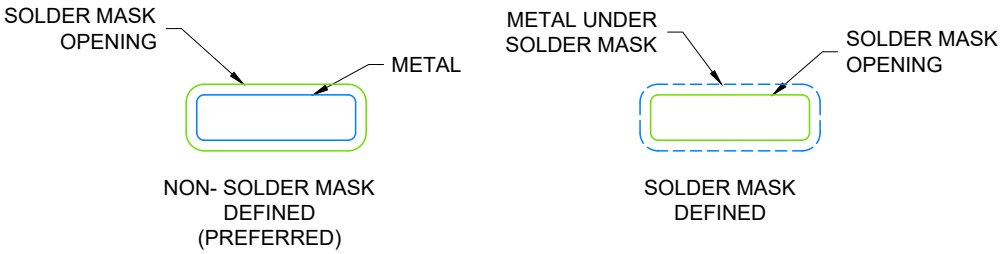


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224642/D 07/2024

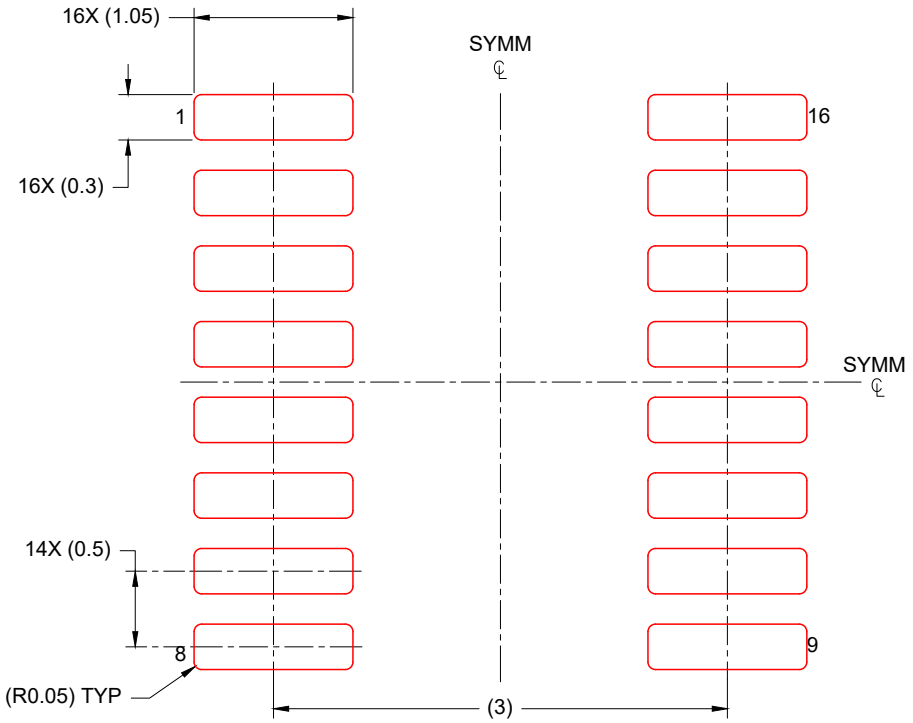
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月