

TMS320F28P65x 实时微控制器

1 特性

实时处理

- 最多包含三个 CPU：两个 32 位 C28x DSP CPU 和一个 CLA CPU，均在 200MHz 下运行
- 在实时信号链性能方面，提供的总处理能力相当于基于 1000MHz Arm® Cortex®-M7 的器件（请参阅 [展示 C2000™ 控制 MCU 优化信号链的实时基准测试应用手册](#)）
- C28x DSP 架构
 - IEEE 754 双精度（64 位）浮点单元 (FPU)
 - 三角函数数学单元 (TMU)
 - 快速整数除法 (FINTDIV)
 - CRC 引擎和指令 (VCRC)
- 控制律加速器 (CLA) CPU
 - IEEE 754 单精度浮点
 - 独立于 C28x CPU 执行代码

存储器

- 带有 5 个闪存组的 1.28MB CPU 可映射闪存（受 ECC 保护）
- 248KB RAM（增强型奇偶校验保护）
- 外部存储器接口 (EMIF)，支持 ASRAM、SDRAM 或 ASIC/FPGA

模拟子系统

- 三个模数转换器 (ADC)
 - 16 位模式，每个为 1.19MSPS
 - 12 位模式，每个为 3.92MSPS
 - 多达 40 个单端输入或 19 个差分输入
 - 每个 ADC 上有独立的采样保持 (S/H) 电路，以实现同步测量
 - 转换的硬件后处理
 - 硬件过采样（高达 128 倍）和欠采样模式，带累积、均值计算和异常抑制
 - 24 个冗余输入通道，可实现灵活性
 - 为功能安全应用提供转换结果的自动比较功能
- 11 个具有 12 位数模转换器 (DAC) 基准的窗口比较器
 - 带斜率补偿的 DAC - 支持峰值电流和谷值电流模式控制
 - 内部温度传感器和 ADC 基准的连接选项
- 两个 12 位缓冲 DAC 输出

控制外设

- 36 个脉宽调制器 (PWM) 通道，全部具有 150ps 高分辨率功能 (HRPWM)
 - 支持最小死区逻辑 (MINDB)、非法组合逻辑 (ICL) 及其他特殊功能（例如，二极管仿真 [DE]）
 - 支持启用矩阵转换器、多级转换器和谐振转换器，无需额外的外部逻辑
- 7 个增强型捕获 (eCAP) 模块
 - 在 7 个 eCAP 模块中，有 2 个提供高分辨率捕获 (HRCAP)
 - 两个新的监控单元，用于显示边沿、脉宽和周期，它们可以与 ePWM 选通和跳闸事件进行耦合
 - 增加了 256 个输入，以提供更多捕获选项
 - 新的 ADC SOC 生成功能
 - eCAP 也可用于额外的 PWM
 - 6 个增强型正交编码器脉冲 (eQEP) 模块
 - 16 个 Σ - Δ 滤波器模块 (SDFM) 输入通道，每个通道 2 个独立滤波器
 - 嵌入式图形发生器 (EPG)
- 可配置逻辑块
 - 6 个逻辑块，用于增强现有外设功能或定义自定义逻辑，以减少或消除外部 CPLD/FPGA
 - 支持编码器接口，无需 FPGA
 - 支持为功率转换生成自定义的 PWM

通信外设

- EtherCAT® 从属器件（或 SubDevice）控制器 (ESC)
- USB 2.0 (MAC + PHY)
- 快速串行接口 (FSI) 可跨隔离实现高达 200Mbps 的数据交换
- 4 个高速（高达 50MHz）SPI 端口
- 2 个串行通信接口 (SCI)（支持 UART）
- 2 个高速 (25Mbps) 通用异步接收器/发送器 (UART)
- 两个 I2C 接口 (400Kbps)
- 通过 SPI/SCI/I2C 提供外部引导选项
- 2 个 UART 兼容的本地互连网络 (LIN) 模块（支持 SCI）
- 电源管理总线 (PMBus) 接口（支持 I2C）
- 1 个控制器局域网 (CAN/DCAN)
- 2 个具有灵活数据速率的 CAN FD/MCAN 控制器局域网

系统外设

- 2 个 6 通道直接存储器存取 (DMA) 控制器



- 185 个独立可编程多路复用通用输入/输出 (GPIO) 引脚
- 扩展外设中断控制器 (ePIE)
- 支持低功耗模式 (LPM)
- 嵌入式实时分析和诊断 (ERAD)
- 后台 CRC (BGCR)

安全外设

- 高级加密标准 (AES-128、192、256) 加速器
- 安全性
 - JTAGLOCK
 - 零引脚引导
 - 双区域安全
- 唯一标识 (UID) 号

安全外设

- 采用倒数比较法实现更简易的实施
- C28x CPU 2 上的锁步模式
- 存储器开机自检 (MPOST)
- 非锁步器件上的硬件内置自检 (HWBIST)
- 符合功能安全标准
 - 专为功能安全应用开发
 - 可提供用于 ISO 26262 和 IEC 61508 系统设计的文档
 - 系统功能符合 ASIL D 和 SIL 3 等级要求
 - 硬件完整性符合 ASIL B 和 SIL 2 要求
- 安全相关认证
 - 已通过 TÜV SÜD 的 ISO 26262 认证 ASIL B
 - 通过 TÜV SÜD 的 IEC 61508 认证 SIL 2

时钟和系统控制

- 2 个内部 10MHz 振荡器
- 片上晶体振荡器
- 2 个 APLL、BOR、冗余中断向量 RAM
- 窗口化看门狗计时器模块
- 丢失时钟检测电路
- 双时钟比较器 (DCC)
- 实时固件更新 (LFU)
 - 无论在下电还是上电的情况下, 都支持新旧固件快速切换
- 1.2V 内核、3.3V I/O 设计
 - 内部 VREG 可生成 1.2V 电压
 - 欠压复位 (BOR) 电路

封装选项:

- 无铅, 绿色环保封装
- 256 焊球 New Fine Pitch Ball Grid Array (nFBGA) [ZEJ 后缀], 13mm x 13mm/0.8mm 间距
- 176 引脚 PowerPAD™ Thermally Enhanced Low-profile Quad Flatpack (HLQFP) [PTP 后缀], 26mm x 26mm/0.5mm 间距
- 169 焊球 New Fine Pitch Ball Grid Array (nFBGA) [NMR 后缀], 9mm x 9mm/0.65mm 间距
- 100 引脚 PowerPAD™ Thermally Enhanced Thin Quad Flatpack (HTQFP) [PZP 后缀], 16mm x 16mm/0.5mm 间距

温度

- 环境温度 (T_A): -40°C 至 125°C (工业级和汽车级认证)

2 应用

- 伺服驱动器控制模块
- 机器人伺服驱动器
- CNC 控制
- 移动机器人电机控制
- HVAC 大型商用电机控制
- 线性电机分段控制器
- 中央逆变器
- 串式逆变器
- 电源转换系统
- 直流快速充电站
- 逆变器和电机控制
- 工业交流/直流
- 三相 UPS
- 单相在线式 UPS
- 商用网络和服务器 PSU
- 车载充电器 (OBC) 和无线充电器
- 汽车 HVAC 压缩机模块
- 前灯

3 说明

TMS320F28P65x (F28P65x) 是 C2000™ 实时微控制器系列中的一款可扩展、超低延迟器件，旨在提高电力电子设备的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。

这些应用包括：

- [工业电机驱动](#)
- 电机控制
 - [牵引逆变器电机控制](#)
 - [HVAC 电机控制](#)
 - [移动机器人电机控制](#)
- 光伏逆变器
 - [中央逆变器](#)
 - [微型逆变器](#)
 - [串式逆变器](#)
- 数字电源
- [HEV/EV 动力总成](#)
- [电动汽车充电基础设施](#)
- [储能系统](#)
- [工业与协作机器人](#)
- [工业机械和机床](#)
- [工业移动机器人](#)

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码在每个内核中提供 200MIPS 的信号处理性能。这相当于基于 Cortex®-M7 的器件上的 400MHz 处理能力 (C28x DSP 内核提供的性能比 Cortex®-M7 内核高两倍)。三角函数加速器 (TMU) 和循环冗余校验 (VCRC) 扩展指令集进一步增强了 C28x CPU 的性能，从而加快了对实时控制系统很关键的常用算法的速度。利用扩展指令集实现 IEEE 双精度 64 位浮点数学。最后，控制律加速器 (CLA) 使每个内核具有额外 200MIPS 的独立处理能力。这相当于基于 Cortex®-M7 的器件上的 280MHz 处理能力 (CLA CPU 提供比 Cortex®-M7 内核高 40% 的性能)。

次级 C28x CPU 中添加了锁步双 CPU 比较器选项以及 ePIE 和 DMA，用于检测永久性和瞬态故障。为了实现从现有固件到新固件的快速上下文切换，已将实时固件更新 (LFU) 的硬件增强功能添加到 F28P65x 中。

高性能模拟块与处理单元和控制单元紧密集成，可提供出色的实时信号链性能。模数转换器 (ADC) 经过增强，具有多达 40 个模拟通道，其中 22 个具有通用输入/输出 (GPIO) 功能。通过硬件改进，极大地简化了过采样实施。对于安全关键型 ADC 转换，添加了一个硬件冗余校验器，并可以在不增加 CPU 周期的情况下比较多个 ADC 模块的 ADC 转换结果来实现一致性。三十六个与频率无关的 PWM 均具有高分辨率，支持控制从三相逆变器到高级多级电源拓扑的多个功率级。通过最小死区逻辑 (MINDL) 和非法组合逻辑 (ICL) 特性增强了 PWM。

通过加入可配置逻辑块 (CLB)，用户可以添加 [自定义逻辑](#)，还可将集成类似 [FPGA 的功能](#) 到 C2000 实时 MCU 中。

EtherCAT 子器件控制器和其他业界通用协议 (如 CAN FD 和 USB 2.0) 均可在该器件上使用。[快速串行接口 \(FSI\)](#) 可跨隔离边界实现高达 200Mbps 的稳健通信。

作为高度互联的器件，F28P65x 还提供各种信息安全机制，帮助设计人员实施网络安全策略，并支持硬件加密、安全 JTAG 和安全启动等功能。

从安全的角度来看，F28P65x 支持多种信息安全机制。有关详细信息，请参阅 [C2000™ 实时微控制器的工业功能安全](#) 和 [C2000™ 实时微控制器的汽车功能安全](#)。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 [使用 C2000™ 实时微控制器的基本开发指南](#)，并访问 [C2000™ 实时控制 MCU](#) 页面。

[C2000™ 实时控制微控制器 \(MCU\) 入门指南](#) 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 [TMDSCNCD28P65X](#) 评估板并下载 [C2000Ware](#)。

器件信息

器件型号 ⁽¹⁾	封装 ⁽²⁾	封装尺寸 ⁽³⁾	处理器	EtherCAT®	锁步	闪存大小
TMS320F28P650DK9	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA、CPU2	是	是	1.28MB
	NMR (nFBGA , 169)	9mm x 9mm				
	PTP (HLQFP , 176)	26mm x 26mm				
TMS320F28P650DK8	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA、CPU2	-	是	
	NMR (nFBGA , 169)	9mm x 9mm				
	PTP (HLQFP , 176)	26mm x 26mm				
TMS320F28P650DK7	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA、CPU2	是	-	
	NMR (nFBGA , 169)	9mm x 9mm				
	PTP (HLQFP , 176)	26mm x 26mm				
TMS320F28P650SK7	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA	是	-	
	NMR (nFBGA , 169)	9mm x 9mm				
	PTP (HLQFP , 176)	26mm x 26mm				
TMS320F28P659DK8-Q1	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA、CPU2	-	是	
	PTP (HLQFP , 176)	26mm x 26mm				
	PZP (HTQFP , 100)	16mm x 16mm				
TMS320F28P650DK6	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA、CPU2	-	-	
	NMR (nFBGA , 169)	9mm x 9mm				
	PTP (HLQFP , 176)	26mm x 26mm				
	PZP (HTQFP , 100)	16mm x 16mm				
TMS320F28P650SK6	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA	-	-	
	NMR (nFBGA , 169)	9mm x 9mm				
	PTP (HLQFP , 176)	26mm x 26mm				
	PZP (HTQFP , 100)	16mm x 16mm				
TMS320F28P659DH8-Q1	PZP (HTQFP , 100)	16mm x 16mm	CPU1+CLA、CPU2	-	是	768KB
TMS320F28P659SH6-Q1	PTP (HLQFP , 176)	26mm x 26mm	CPU1+CLA	-	-	
	PZP (HTQFP , 100)	16mm x 16mm				
TMS320F28P650DH6	PZP (HTQFP , 100)	16mm x 16mm	CPU1+CLA、CPU2	-	-	
TMS320F28P650SH7	NMR (nFBGA , 169)	9mm x 9mm	CPU1+CLA	是	-	
	PTP (HLQFP , 176)	26mm x 26mm				
TMS320F28P650SH6	ZEJ (nFBGA , 256)	13mm x 13mm	CPU1+CLA	-	-	
	NMR (nFBGA , 169)	9mm x 9mm				
	PTP (HLQFP , 176)	26mm x 26mm				
	PZP (HTQFP , 100)	16mm x 16mm				

- (1) 如需更多有关这些器件的信息，请参阅 [器件比较表](#)。
(2) 如需更多信息，请参阅 [机械、封装和可订购信息](#) 部分。
(3) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

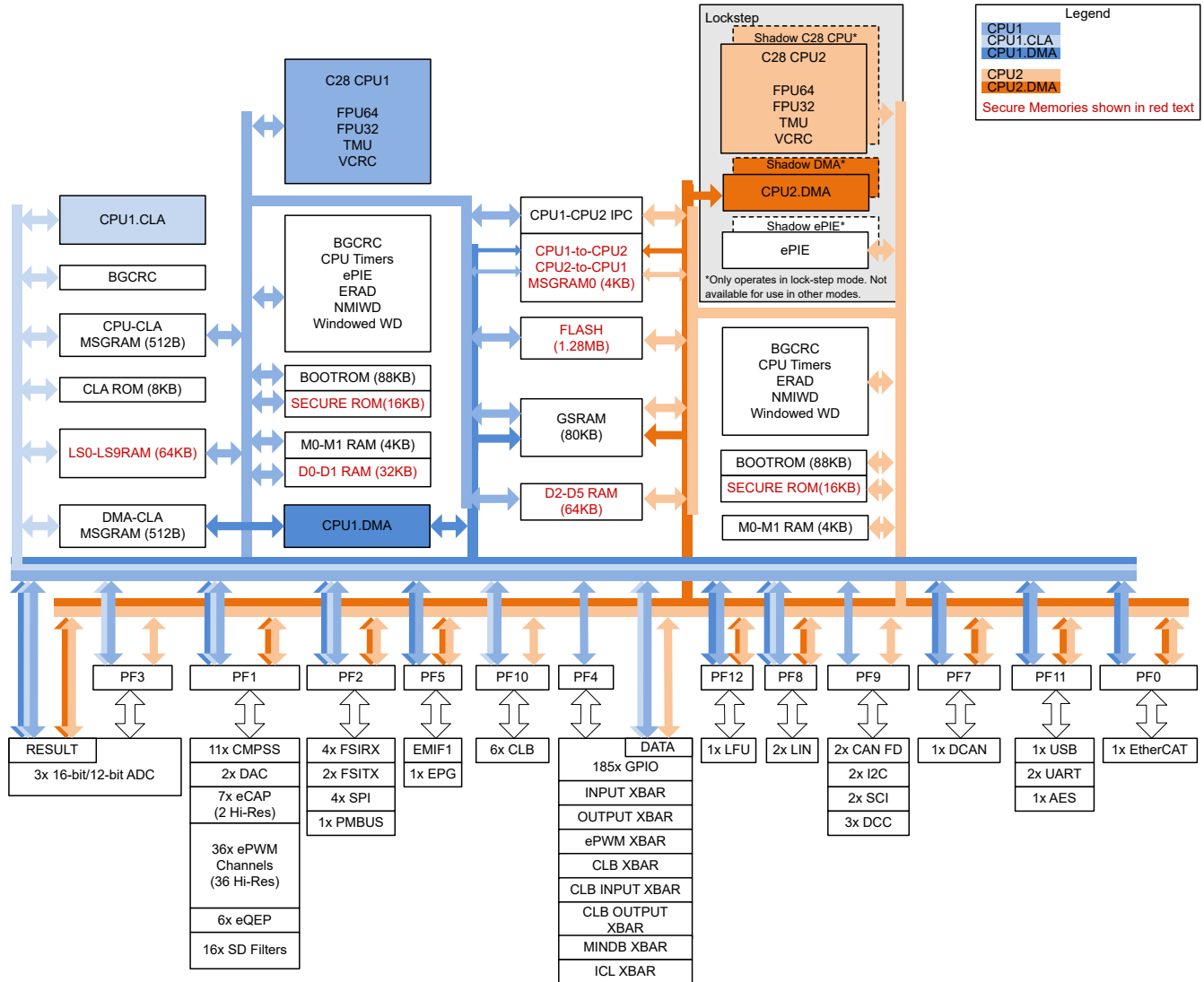


图 3-1. 功能方框图

内容

1 特性	1	6.15 C28x 通信外设.....	235
2 应用	2	7 详细说明	275
3 说明	3	7.1 概述.....	275
3.1 功能方框图.....	5	7.2 功能方框图.....	276
4 器件比较	7	7.3 存储器.....	277
4.1 相关产品.....	10	7.4 标识.....	295
5 引脚配置和功能	11	7.5 总线架构 - 外设连接.....	296
5.1 引脚图.....	11	7.6 引导 ROM.....	297
5.2 引脚属性.....	24	7.7 安全性.....	303
5.3 信号说明.....	67	7.8 高级加密标准 (AES) 加速器.....	304
5.4 带有内部上拉和下拉的引脚.....	89	7.9 C28x (CPU1/CPU2) 子系统.....	305
5.5 引脚多路复用.....	89	8 应用、实施和布局	321
5.6 未使用引脚的连接.....	101	8.1 应用和实施.....	321
6 规格	102	8.2 器件主要特性.....	321
6.1 绝对最大额定值.....	102	8.3 应用信息.....	324
6.2 ESD 等级 - 商用.....	103	9 器件和文档支持	336
6.3 ESD 等级 - 汽车.....	103	9.1 入门和后续步骤.....	336
6.4 建议运行条件.....	104	9.2 器件命名规则.....	336
6.5 功耗摘要.....	105	9.3 标识.....	337
6.6 电气特性.....	116	9.4 工具与软件.....	340
6.7 ZEJ 封装的热阻特性.....	117	9.5 文档支持.....	341
6.8 PTP 封装的热阻特性.....	117	9.6 支持资源.....	342
6.9 NMR 封装的热阻特性.....	117	9.7 商标.....	343
6.10 PZP 封装的热阻特性.....	118	9.8 静电放电警告.....	343
6.11 散热设计注意事项.....	118	9.9 术语表.....	343
6.12 系统.....	119	10 修订历史记录	344
6.13 C28x 模拟外设.....	171	11 机械、封装和可订购信息	345
6.14 C28x 控制外设.....	216		

4 器件比较

“器件比较”表列出了每个 F28P65x 器件的特性。

表 4-1. 器件比较

特性 ^{(1) (5)}			F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
C28x 子系统									
C28x	数量		2		1		2		1
	频率 (MHz)		200						
	32 位和 64 位浮点单元 (FPU)		是						
	VCRC		是						
	TMU - 1 类		是						
	C28x 锁步 (LCM)		F28P650DK8 、 F28P650DK9	否			F28P659DK8-Q1	F28P659DH8-Q1	否
CLA - 2 类	数量		1 (仅在 CPU1 中提供)						
	频率 (MHz)		200						
MIPS			600 (CPU1+CLA、CPU2)		400 (CPU1+CLA)		600 (CPU1+CLA、CPU2)		400 (CPU1+CLA)
C28x 闪存			1.28MB	768KB	1.28MB	768KB	1.28MB	768KB	768KB
C28x RAM	专用 RAM		104KB		100KB		104KB		100KB
	本地共享 RAM		64K		64KB		64KB		64KB
	全局共享 RAM		80KB (在 CPU 之间共享)		80KB		80KB (在 CPU 之间共享)		80KB
	总 RAM		248KB		244KB		248KB		244KB
后台循环冗余校验 (BGCRC) 模块 - 2 类			3 (每个 CPU 和 CLA 1 个)		2 (每个 CPU 和 CLA 1 个)		3 (每个 CPU 和 CLA 1 个)		2 (每个 CPU 和 CLA 1 个)
嵌入式图形发生器 (EPG) - 0 类			是						
可配置逻辑块 (CLB)			6 个逻辑块						
32 位 CPU 计时器			6 个 (每个 CPU 3 个)		3		6 个 (每个 CPU 3 个)		3
6 通道 DMA - 0 类			2 个 (每个 CPU 1 个)		1		2 个 (每个 CPU 1 个)		1
安全性：JTAGLOCK、零引脚引导、双区域安全			是						
高级加密标准 (AES) 加速器			1						
嵌入式实时分析和诊断 (ERAD) - 2 类			是						
EMIF	EMIF1 (16 位或 32 位)	256 焊球 ZEJ	1				1	不适用 ⁽⁵⁾	不适用
		169 焊球 NMR					不适用		
		176 引脚 PTP					1		1
			100 引脚 PZP					否	
外部中断			5						

表 4-1. 器件比较 (续)

特性 ^{(1) (5)}			F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
GPIO	GPIO	256 焊球 ZEJ	163				不适用	不适用	
		169 焊球 NMR	98						
		176 引脚 PTP	106						
		100 引脚 PZP	49						
	AGPIO (与 GPIO 和 ADC 输入共享)	256 焊球 ZEJ	22				不适用	不适用	
		169 焊球 NMR	21						
		176 引脚 PTP	22						
		100 引脚 PZP	11						
	JTAG 和振荡器 GPIO		4 (TDI、TDO、X1、X2)						
	总 GPIO (不包括 JTAG 和 X1.X2)	256 焊球 ZEJ	185				不适用	不适用	
		169 焊球 NMR	119						
		176 引脚 PTP	128						
		100 引脚 PZP	60						
	AIO (仅输入)	256 焊球 ZEJ	18				不适用	不适用	
		169 焊球 NMR	13						
		176 引脚 PTP	14						
		100 引脚 PZP	13						
	总 GPIO 和 AIO	256 焊球 ZEJ	203				不适用	不适用	
		169 焊球 NMR	132						
		176 引脚 PTP	142						
		100 引脚 PZP	73						
消息 RAM	CPU1、CPU2		4KB (CPU 之间每个方向 2KB)		-		4KB (CPU 之间每个方向 2KB)		-
	C28x CPU 和 CLA		512 字节 (每个方向 256 字节)		512 字节 (每个方向 256 字节)		512 字节 (每个方向 256 字节)		512 字节 (每个方向 256 字节)
	DMA 和 CLA		512 字节 (每个方向 256 字节)		512 字节 (每个方向 256 字节)		512 字节 (每个方向 256 字节)		512 字节 (每个方向 256 字节)
不可屏蔽中断看门狗 (NMIWD) 计时器			2 个 (每个 CPU 1 个)		1		2 个 (每个 CPU 1 个)		1
看门狗 (WD) 计时器			2 个 (每个 CPU 1 个)		1		2 个 (每个 CPU 1 个)		1
C28x 模拟外设									
模数转换器 (ADC) (可配置为 12 位或 16 位) - 4 类			3						
ADC 16 位模式	MSPS		1.19						
	转换时间 (ns) ⁽²⁾		840						
ADC 12 位模式	MSPS		3.92						
	转换时间 (ns) ⁽²⁾		255						
ADC 输入通道 (单端模式)	256 焊球 ZEJ	40				不适用	不适用		
	169 焊球 NMR	34							
	176 引脚 PTP	36							
	100 引脚 PZP	24							
ADC 输入通道 (差模)	256 焊球 ZEJ	19				不适用	不适用		
	169 焊球 NMR	17							
	176 引脚 PTP	18							
	100 引脚 PZP	11							
温度传感器			1						
比较器子系统 (CMPSS) (每个 CMPSS 都有两个比较器和两个内部 DAC) - 6 类			11						
缓冲数模转换器 (DAC) - 1 类			2						
C28x 控制外设									
eCAP/HRCAP - 3 类	总输入		7						
	高分辨率通道		2 (eCAP6 和 eCAP7)						
ePWM/HRPWM - 5 类	总通道数		36						
	高分辨率通道		36						
eQEP 模块 - 2 类			6						

表 4-1. 器件比较 (续)

特性 ^{(1) (5)}		F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
SDFM 通道 - 2 类		16						
C28x 通信外设								
快速串行接口 (FSI) RX - 2 类		4						
快速串行接口 (FSI) TX - 2 类		2						
内部集成电路 (I2C) - 1 类		2						
电源管理总线 (PMBus) - 0 类		1						
本地互连网络 (LIN) - 0 类 (UART 兼容)		2						
串行通信接口 (SCI) (UART 兼容) - 0 类		2						
串行外设接口 (SPI) - 2 类		4						
控制器局域网 (CAN) 2.0B - 0 类 ⁽³⁾		1						
具有灵活数据速率的 CAN (CAN FD) - 2 类		2						
用于控制自动化技术的以太网 (EtherCAT)	256 焊球 ZEJ	F28P650DK9 、 F28P650DK7	否	F28P650SK7、 F28P650SH7	否			
	169 焊球 NMR							
	176 引脚 PTP							
	100 引脚 PZP							
高速通用异步收发器 (UART)		2						
通用串行总线 (USB) - 0 类		1						

表 4-1. 器件比较 (续)

特性 ⁽¹⁾ (5)		F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
温度、封装和合格认证								
封装选项 ⁽⁴⁾	256 焊球 ZEJ	F28P650DH6、F28P650DK9、F28P650DK8、 F28P650DK7、 F28P650DK6、F28P650SH6 F28P650SH7、 F28P650SK7、 F28P650SK6				F28P659DK8-Q1	不适用	
	169 焊球 NMR					不适用		
	176 引脚 PTP					F28P659DK8-Q1	不适用	F28P659SH6-Q1
	100 引脚 PZP					F28P659DK8-Q1、F28P659DH8-Q1、 F28P659SH6-Q1		
结温 (T _J)		-40°C 至 150°C						
自然通风温度 (T _A)		-40°C 至 125°C						

- (1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。有关更多信息，请参阅 [C2000 实时控制 MCU 外设参考指南](#)。
- (2) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
- (3) CAN 模块使用称为 DCAN 的 IP。本文档交替使用名称 CAN 和 DCAN 来引用此外设。
- (4) 后缀 -Q1 是指针对汽车应用的 AEC Q100 认证。
- (5) 特性条目上的“不适用”表示对应的软件包类型不可用。

4.1 相关产品

TMS320F2837xD 实时双核微控制器

F2837xD 系列为双子系统的性能设定了一个新标准。每个子系统由 C28x CPU 和并行控制律加速器 (CLA) 组成，每个子系统的运行频率为 200MHz。增强性能的是 TMU 和 VCU 加速器。新功能包括多个 16 位/12 位模式 ADC、DAC、 Σ - Δ 滤波器、USB、可配置逻辑块 (CLB)、片上振荡器和所有外设的增强版。F2837xD 可提供高达 1MB 的闪存。其采用 176 引脚 QFP 或 337 引脚 BGA 封装。

TMS320F2837xS 实时微控制器

F2837xS 系列是 F2837xD 的引脚对引脚兼容版本，但仅启用了 C28x CPU 和 CLA 子系统。它还采用 100 引脚 QFP，以实现与 TMS320F2807x 系列的兼容性。

TMS320F2838x 实时微控制器

F2838x 系列提供更高的性能、更多的引脚数、更大的闪存存储器大小、更多的外设以及各种连接选项。F2838x 系列包括新一代加速器、ePWM 外设和模拟技术。

5 引脚配置和功能

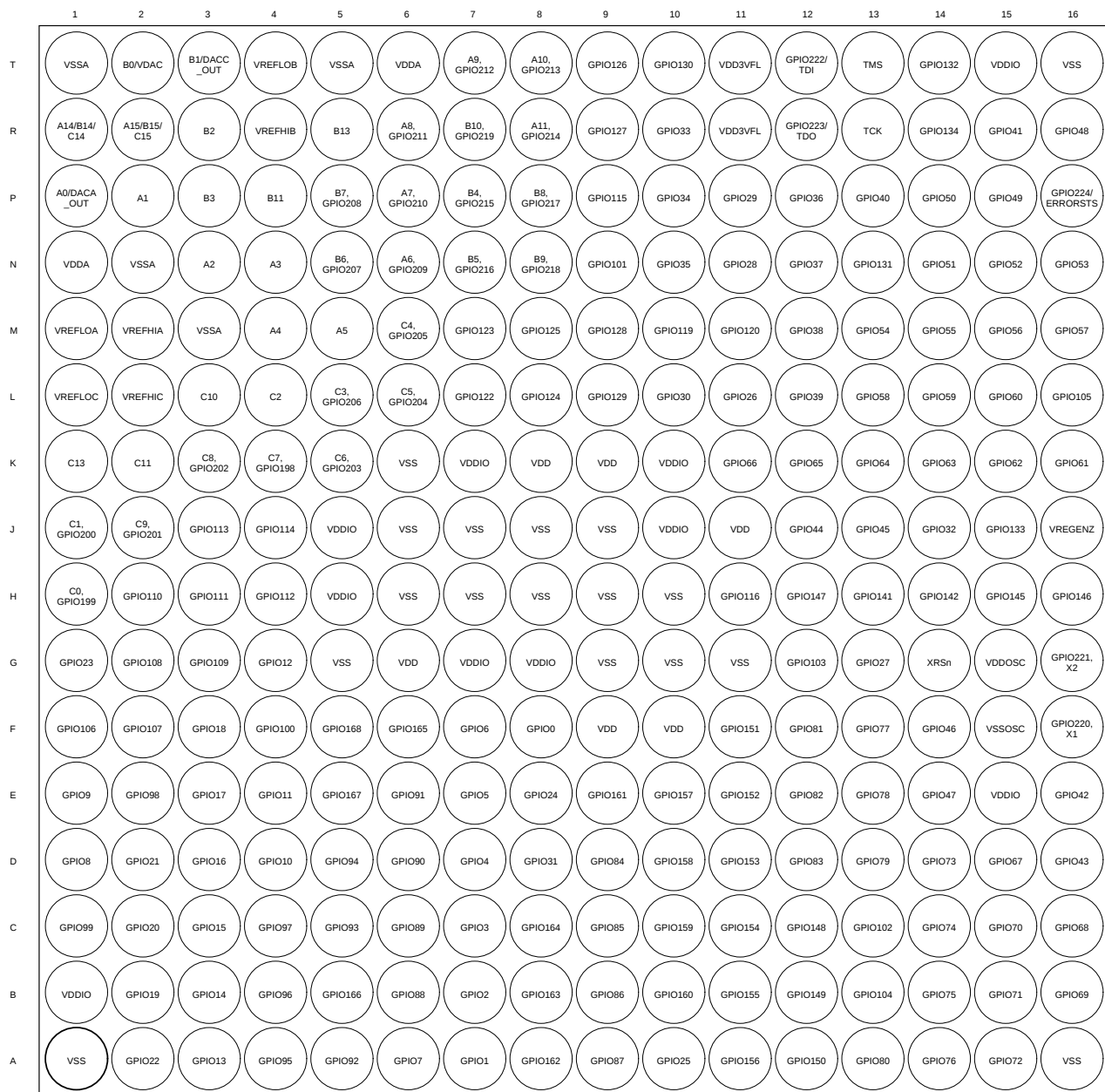
5.1 引脚图

图 5-1 展示了 256 焊球 ZEJ New Fine Pitch Ball Grid Array (nFBGA) 的焊球分配。图 5-2 至图 5-5 按象限显示了 256 焊球 ZEJ nFBGA 上的焊球分配。

图 5-6 展示了 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack 上的引脚分配。

图 5-7 展示了 169 焊球 NMR nFBGA 上的焊球分配。图 5-8 至图 5-11 按象限显示了 169 焊球 NMR nFBGA 上的焊球分配。

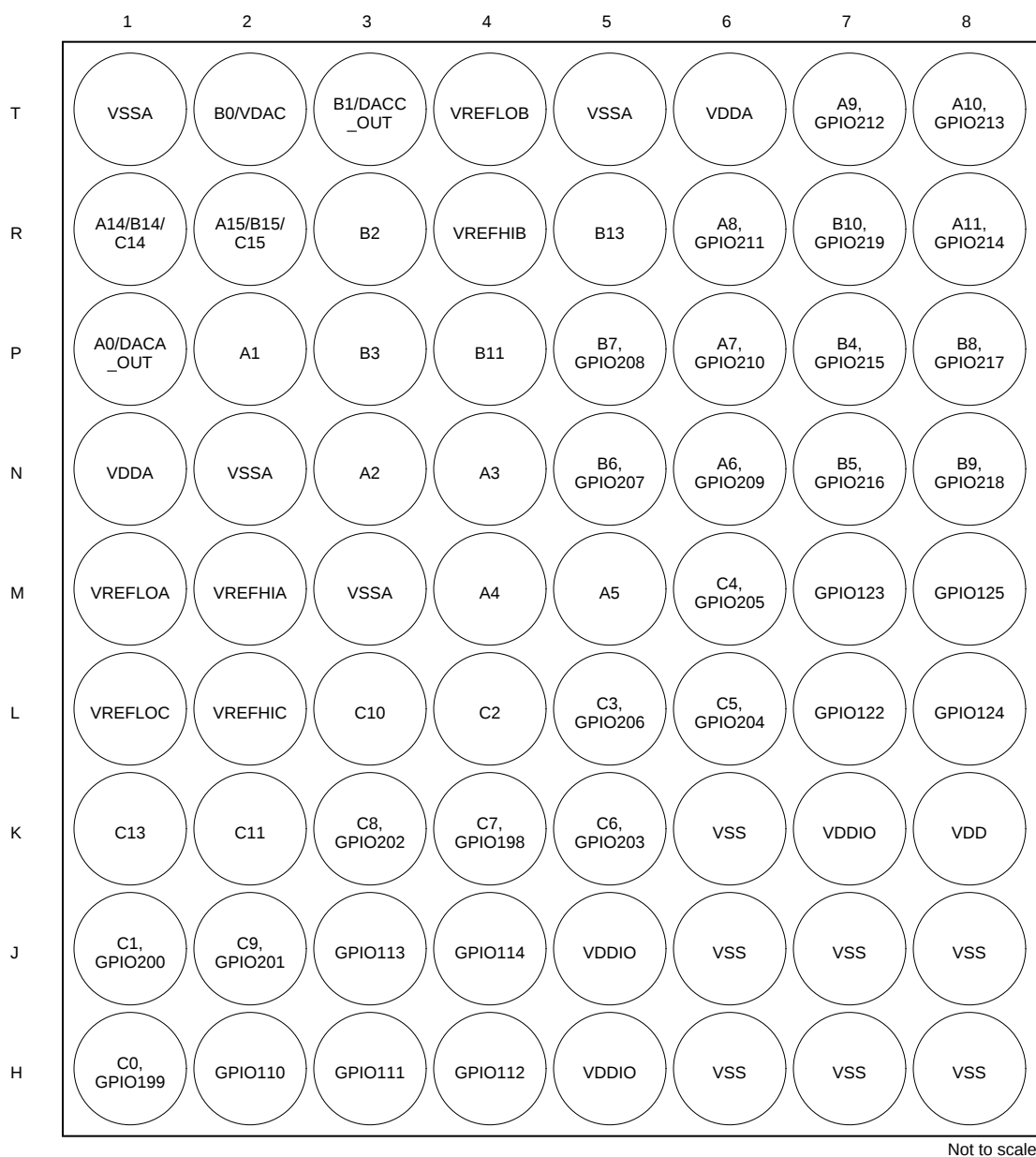
图 5-12 显示了 100 引脚 PZP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack (热增强型低剖面四通道扁平封装) 上的引脚分配。



Not to scale

A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

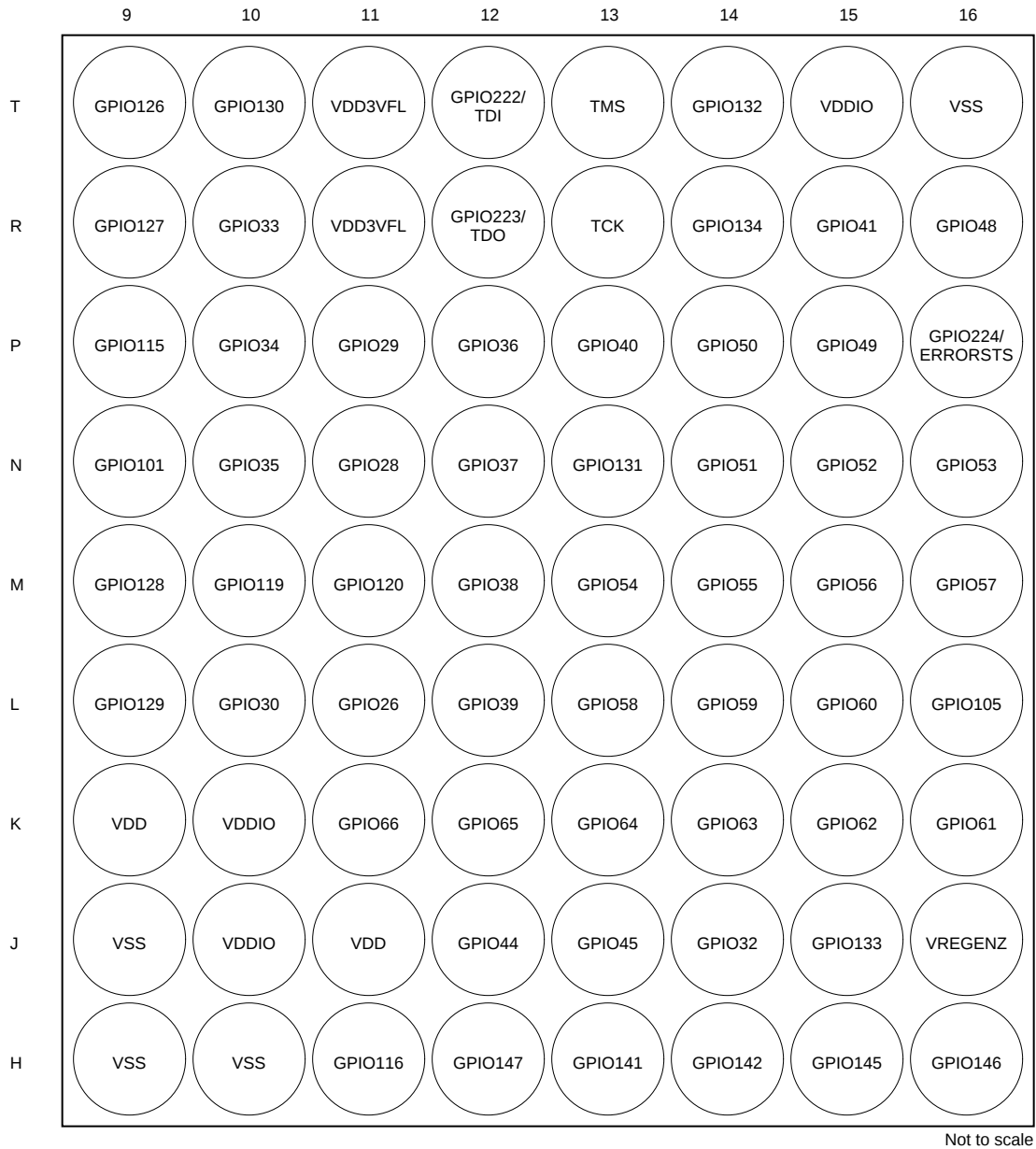
图 5-1. 256 焊球 ZEJ New Fine Pitch Ball Grid Array (底视图)



1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

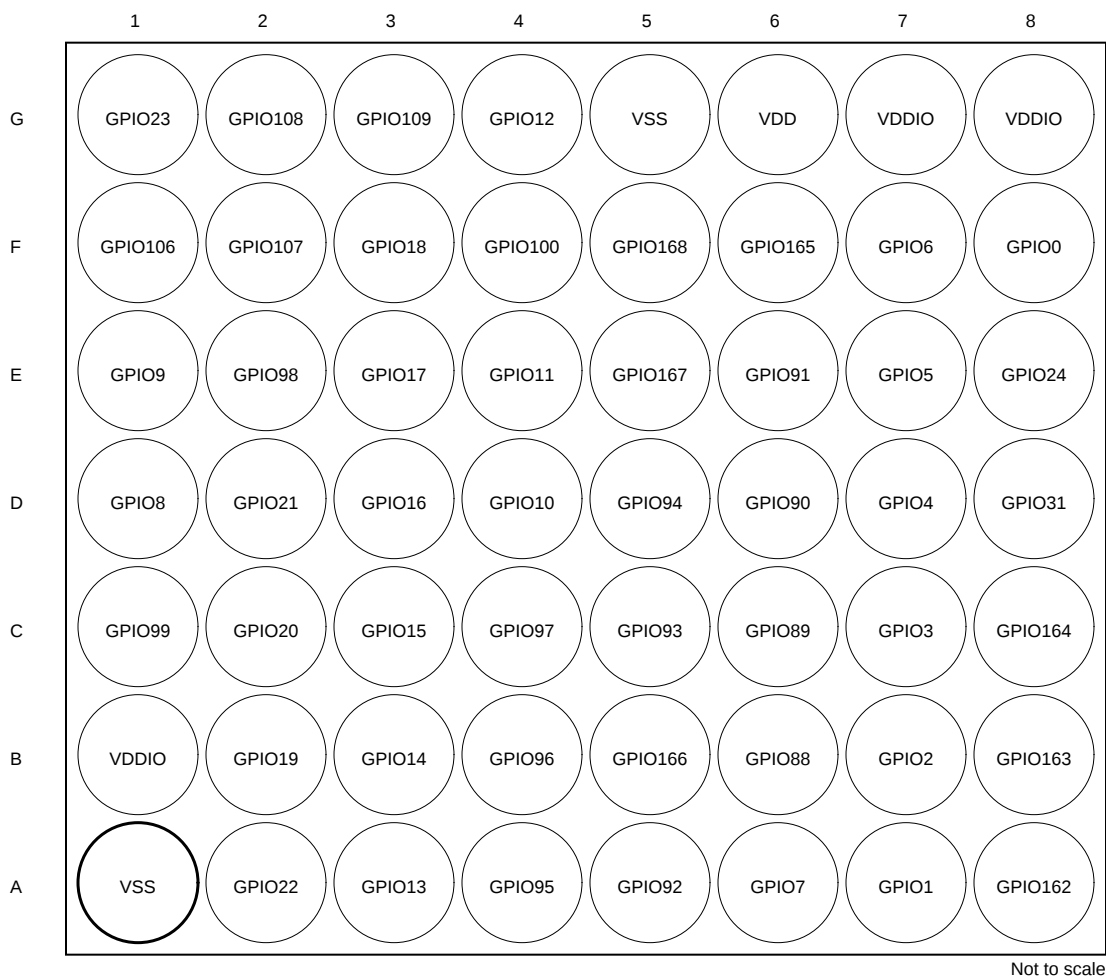
图 5-2. 256 焊球 ZEJ New Fine Pitch Ball Grid Array (底视图) - [象限 1]



1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

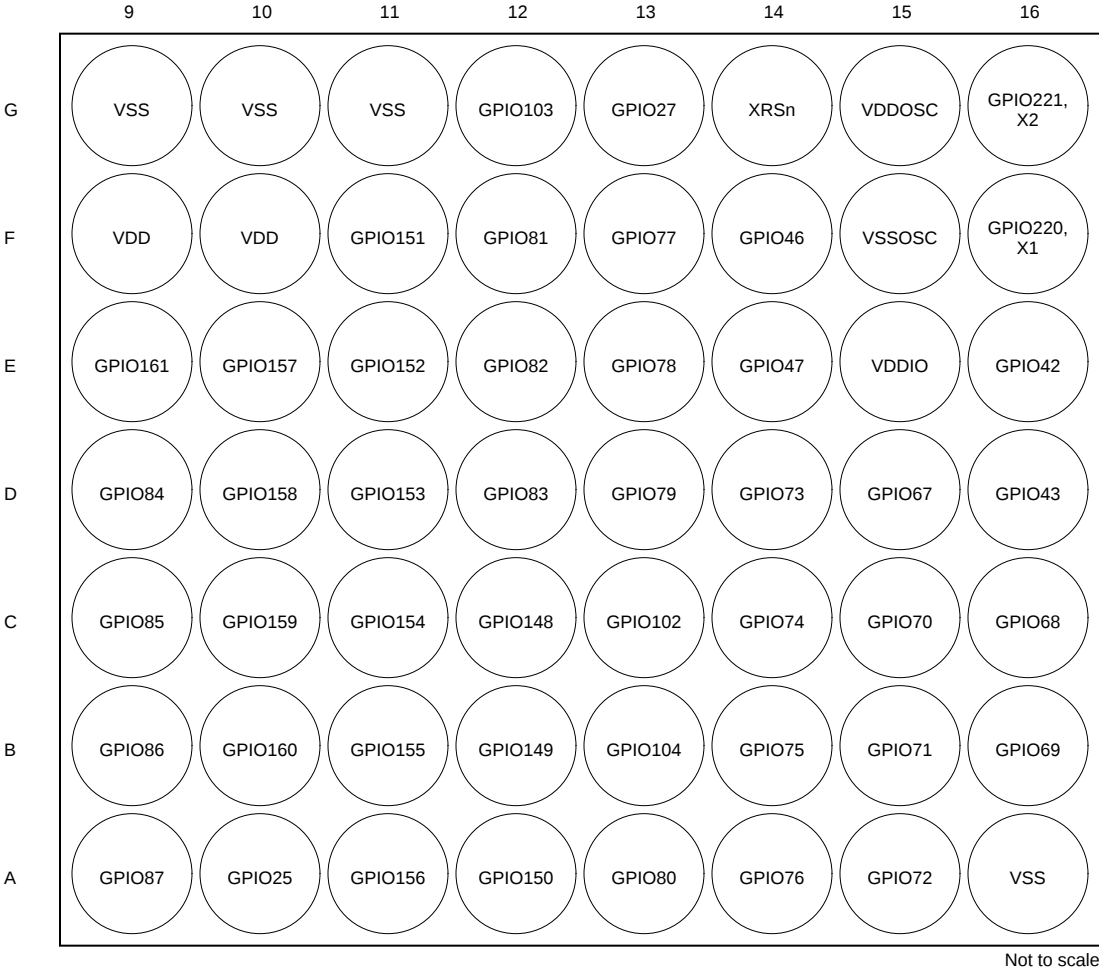
图 5-3. 256 焊球 ZEJ New Fine Pitch Ball Grid Array (底视图) - [象限 2]



1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

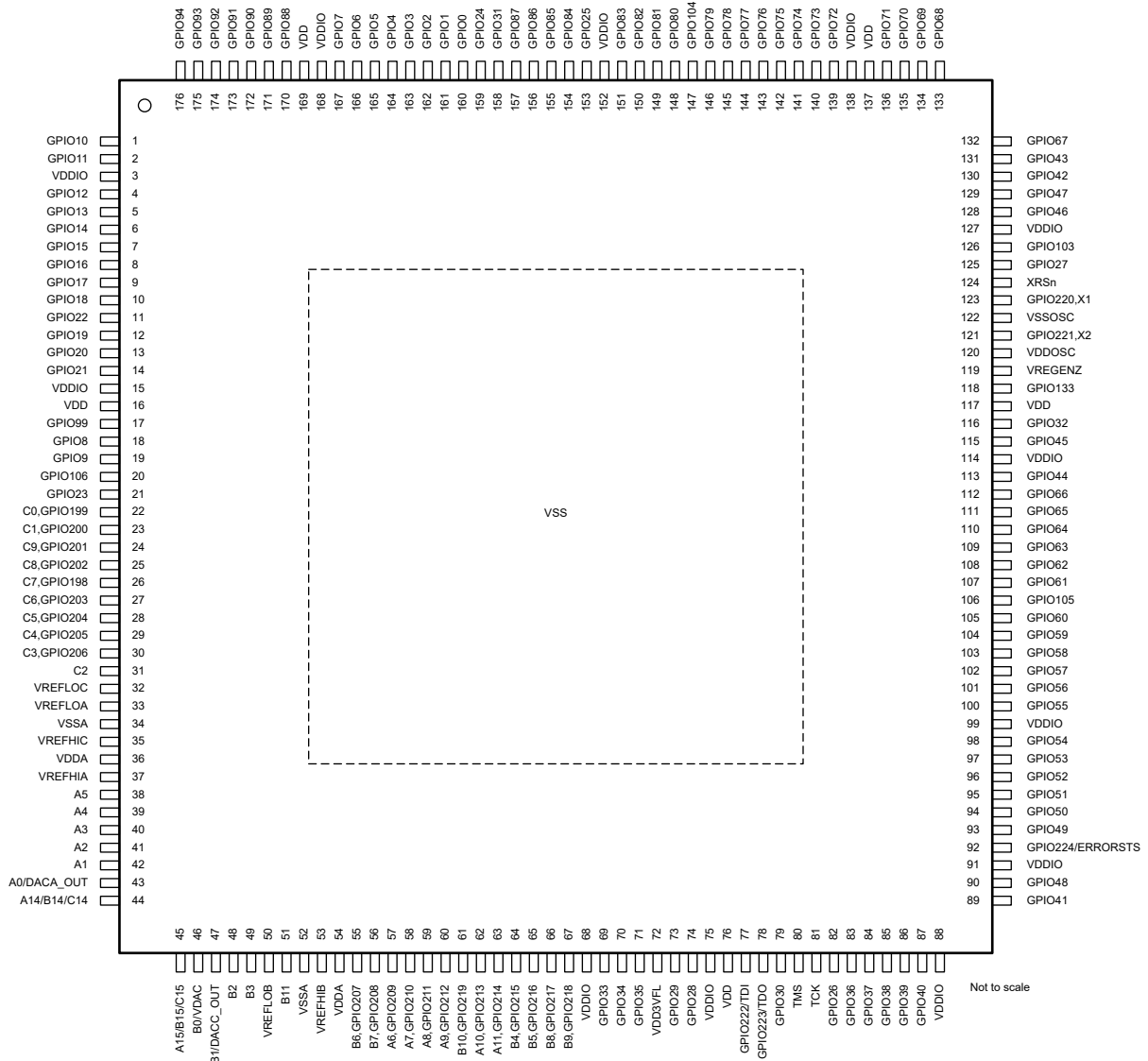
图 5-4. 256 焊球 ZEJ New Fine Pitch Ball Grid Array (底视图) - [象限 3]



1	2
3	4

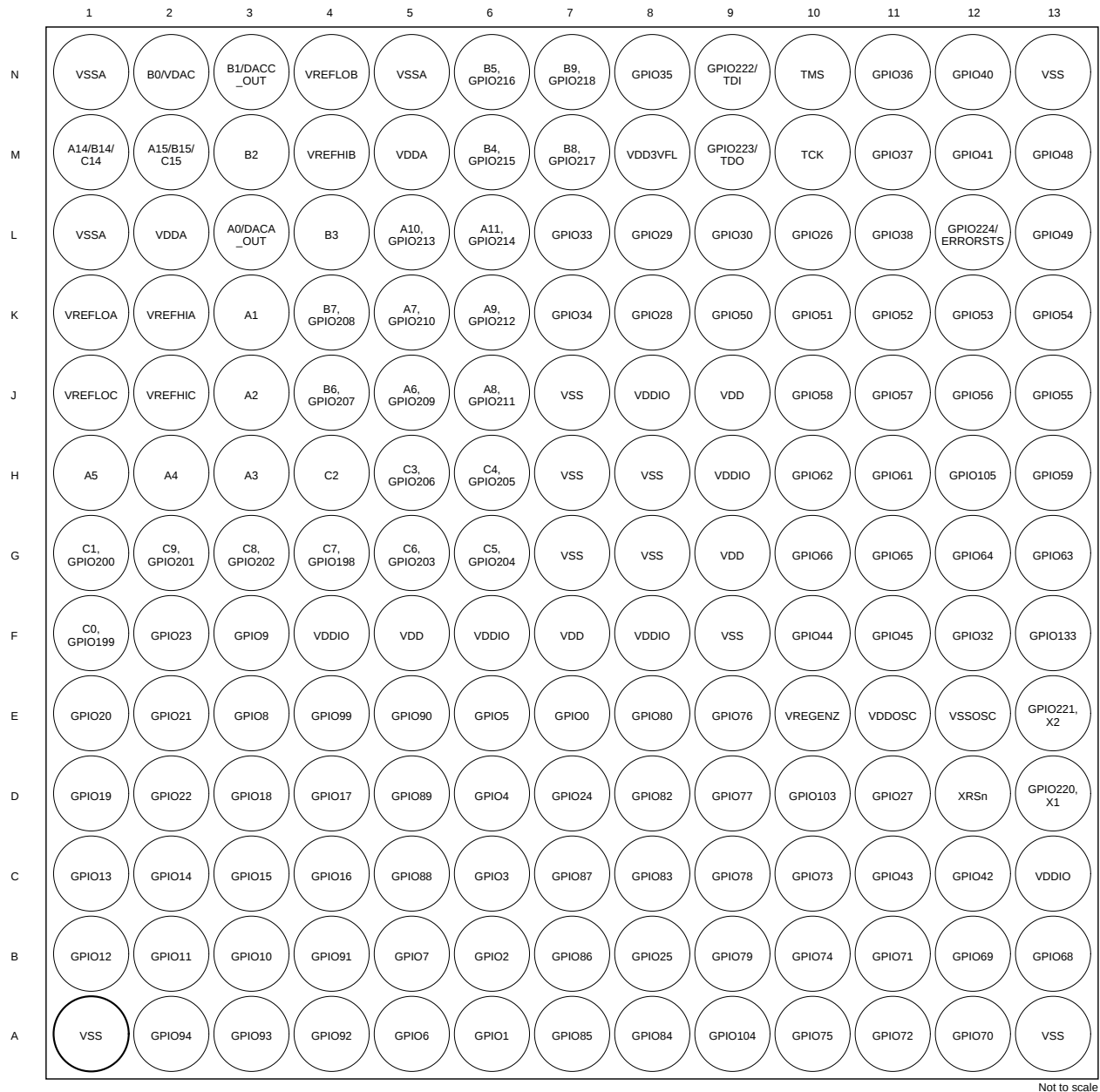
A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-5. 256 焊球 ZEJ New Fine Pitch Ball Grid Array (底视图) - [象限 4]



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

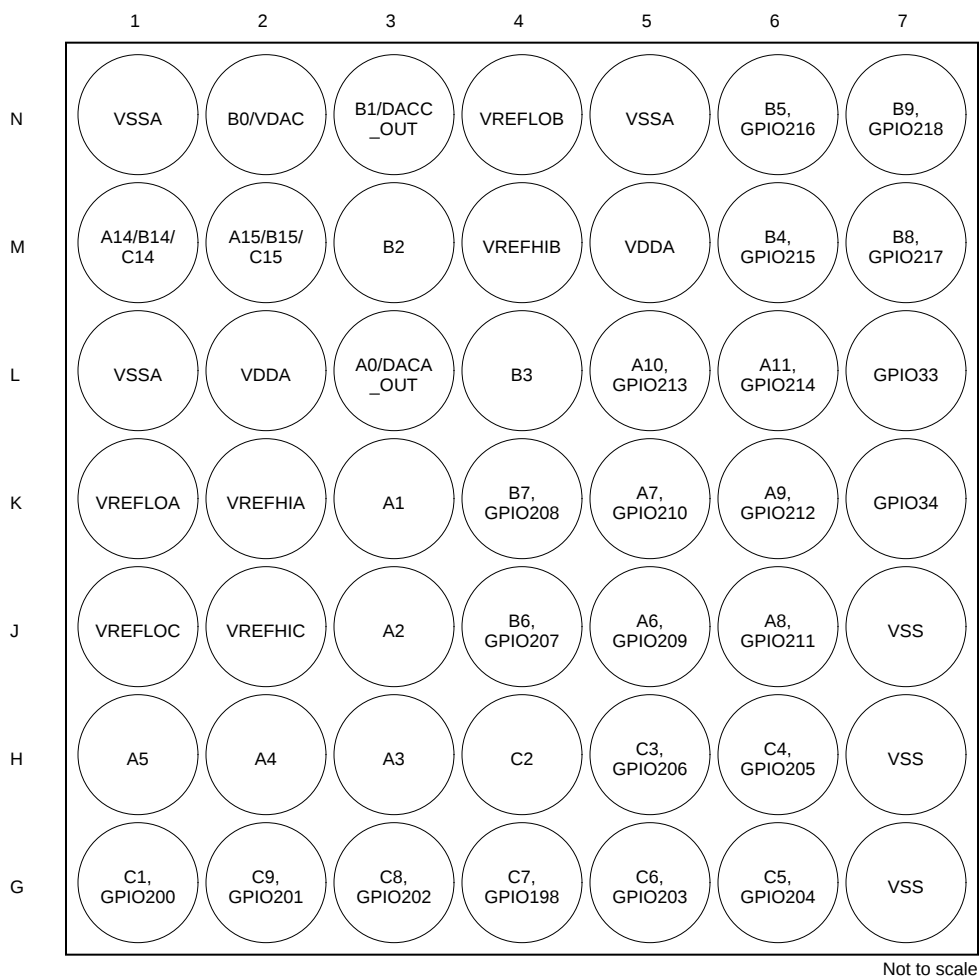
图 5-6. 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack (顶视图)



Not to scale

A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

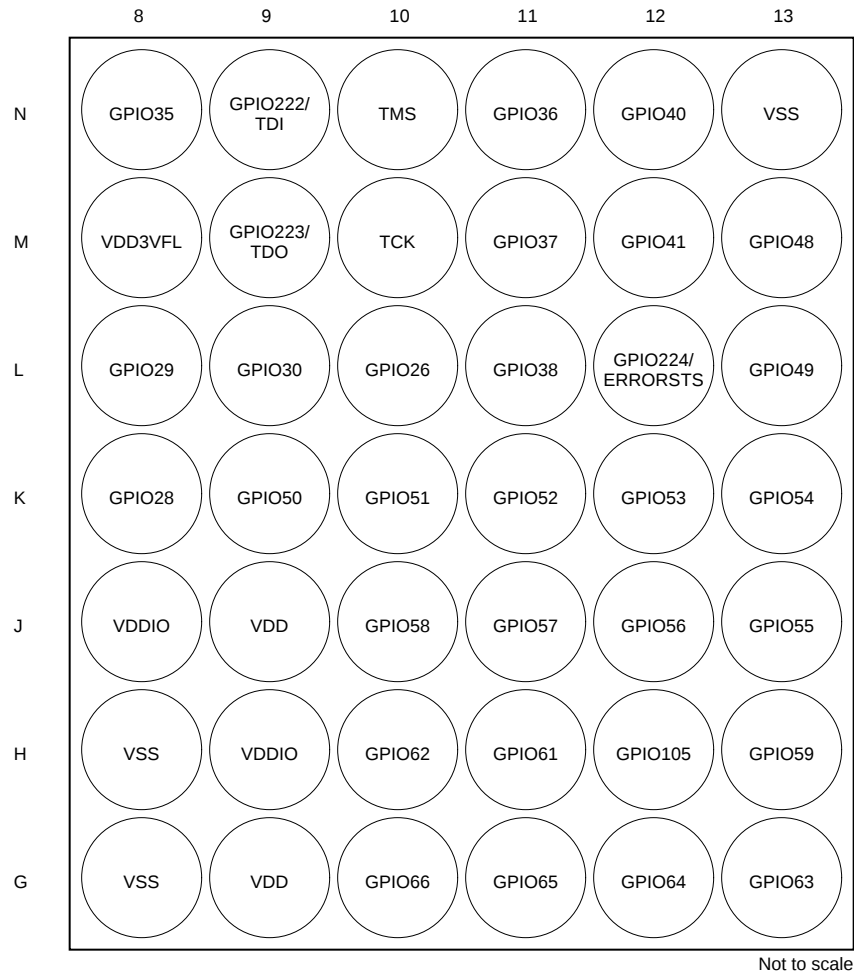
图 5-7. 169 焊球 NMR New Fine Pitch Ball Grid Array (底视图)



1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

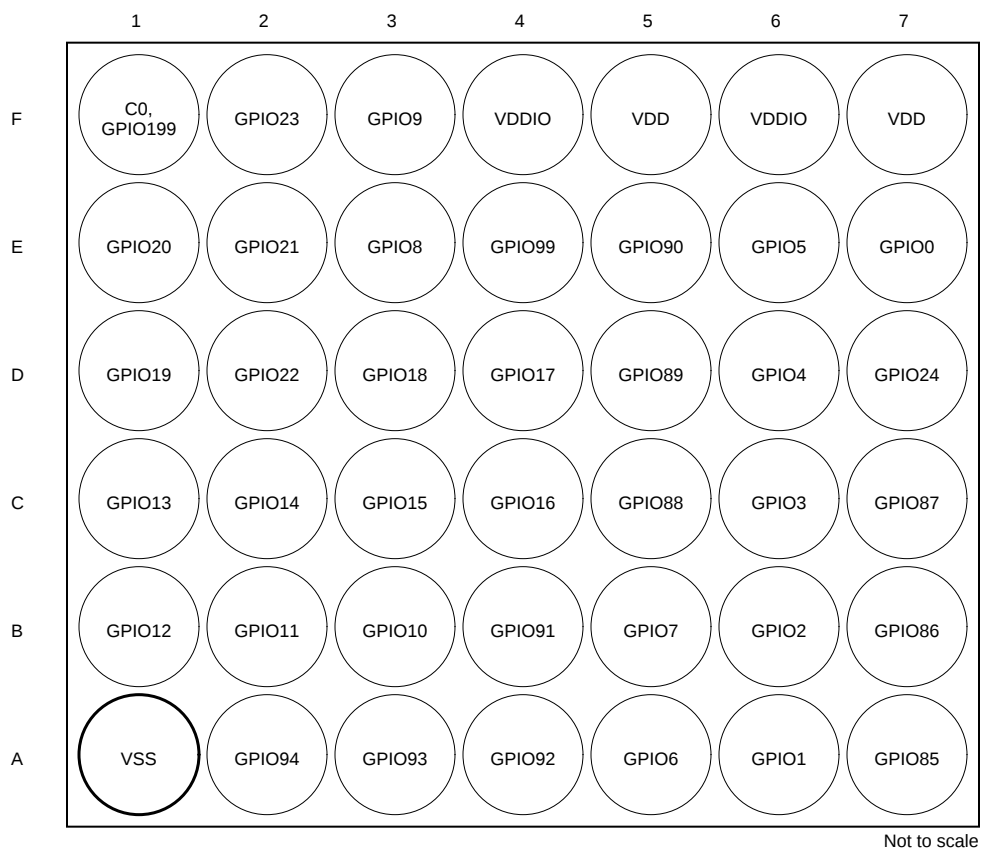
图 5-8. 169 焊球 NMR New Fine Pitch Ball Grid Array (底视图) - [象限 1]



1	2
3	4

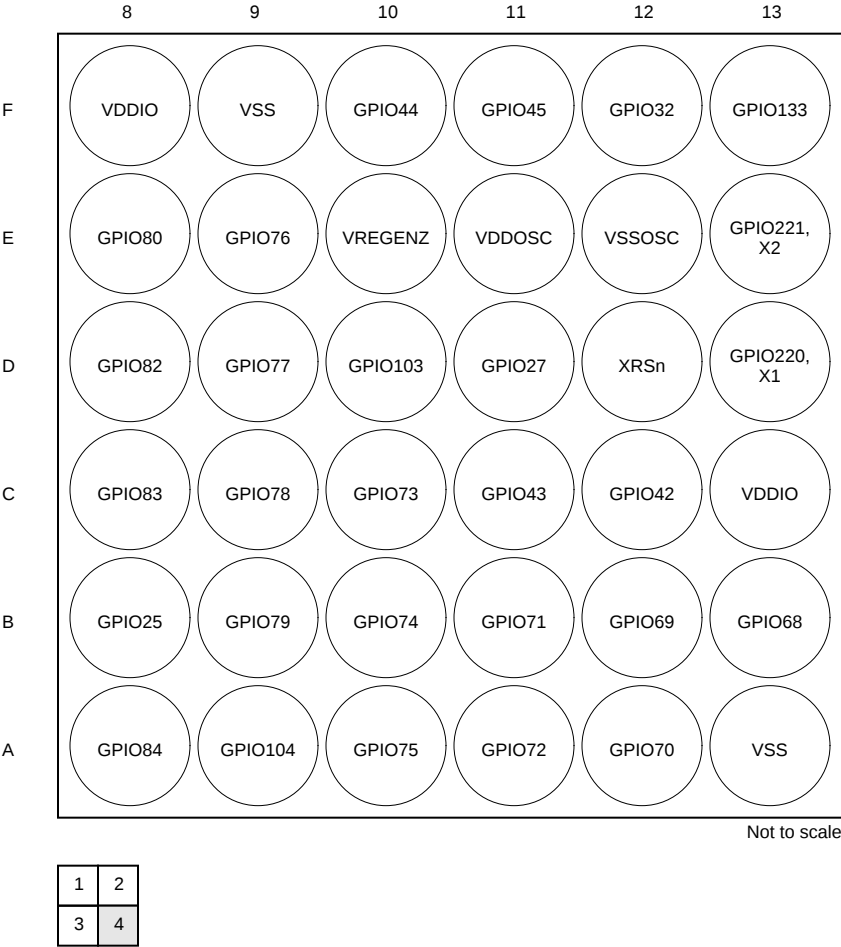
A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-9. 169 焊球 NMR New Fine Pitch Ball Grid Array (底视图) - [象限 2]



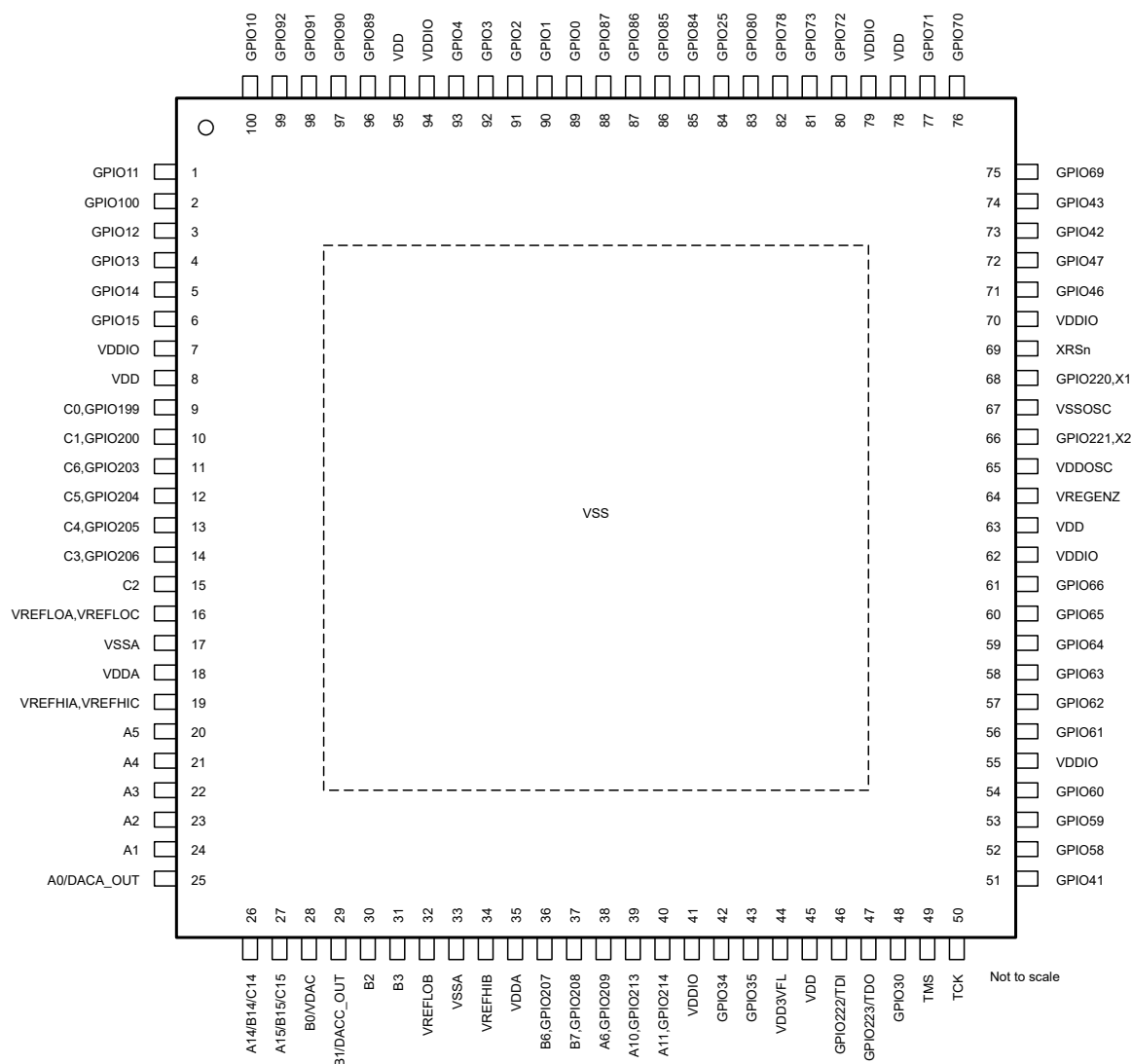
A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-10. 169 焊球 NMR New Fine Pitch Ball Grid Array (底视图) - [象限 3]



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-11. 169 焊球 NMR New Fine Pitch Ball Grid Array (底视图) - [象限 4]



A. GPIO 终端上仅显示 GPIO 功能。有关完整的多路复用信号名称，请参阅节 5.2。

图 5-12. 100 引脚 PZP PowerPAD™ Thermally Enhanced Thin Quad Flatpack (顶视图)

5.2 引脚属性

表 5-1. 引脚属性

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
模拟							
A0 A12 B12 C12 CMP1_HP1 CMP1_LP1 CMP9_HN0 CMP9_LN0 DACA_OUT AIO227	0、4、8、12	P1	43	L3	25	I I I I I I I I O I	ADC-A 输入 0 ADC-A 输入 12 ADC-B 输入 12 ADC-C 输入 12 CMPSS-1 高电平比较器正输入 1 CMPSS-1 低电平比较器正输入 1 CMPSS-9 高电平比较器负输入 0 CMPSS-9 低电平比较器负输入 0 缓冲 DAC-A 输出。 用于数字输入 227 的模拟引脚
A1 B19 CMP1_HN1 CMP1_HP2 CMP1_LN1 CMP1_LP2 AIO228	0、4、8、12	P2	42	K3	24	I I I I I I I	ADC-A 输入 1 ADC-B 输入 19 CMPSS-1 高电平比较器负输入 1 CMPSS-1 高电平比较器正输入 2 CMPSS-1 低电平比较器负输入 1 CMPSS-1 低电平比较器正输入 2 用于数字输入 228 的模拟引脚
A2 B20 CMP1_HP0 CMP1_LP0 CMP2_HN1 CMP2_LN1 AIO229	0、4、8、12	N3	41	J3	23	I I I I I I I	ADC-A 输入 2 ADC-B 输入 20 CMPSS-1 高电平比较器正输入 0 CMPSS-1 低电平比较器正输入 0 CMPSS-2 高电平比较器负输入 1 CMPSS-2 低电平比较器负输入 1 用于数字输入 229 的模拟引脚
A3 CMP1_HN0 CMP1_HP3 CMP1_LN0 AIO230	0、4、8、12	N4	40	H3	22	I I I I I	ADC-A 输入 3 CMPSS-1 高电平比较器负输入 0 CMPSS-1 高电平比较器正输入 3 CMPSS-1 低电平比较器负输入 0 用于数字输入 230 的模拟引脚
A4 CMP2_HP0 CMP2_LP0 AIO231	0、4、8、12	M4	39	H2	21	I I I I	ADC-A 输入 4 CMPSS-2 高电平比较器正输入 0 CMPSS-2 低电平比较器正输入 0 用于数字输入 231 的模拟引脚
A5 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP9_LP2 AIO232	0、4、8、12	M5	38	H1	20	I I I I I I	ADC-A 输入 5 CMPSS-2 高电平比较器负输入 0 CMPSS-2 高电平比较器正输入 3 CMPSS-2 低电平比较器负输入 0 CMPSS-9 低电平比较器正输入 2 用于数字输入 232 的模拟引脚
A6 CMP7_HP0 CMP7_LP0 GPIO209		N6	57	J5	38	I I I I/O	ADC-A 输入 6 CMPSS-7 高电平比较器正输入 0 CMPSS-7 低电平比较器正输入 0 通用输入/输出 209。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
A7 CMP4_LP3 CMP7_HN0 CMP7_LN0 CMP9_HP2 GPIO210		P6	58	K5		I I I I I I/O	ADC-A 输入 7 CMPSS-4 低电平比较器正输入 3 CMPSS-7 高电平比较器负输入 0 CMPSS-7 低电平比较器负输入 0 CMPSS-9 高电平比较器正输入 2 通用输入/输出 210。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A8 CMP8_HP0 CMP8_LP0 GPIO211		R6	59	J6		I I I I/O	ADC-A 输入 8 CMPSS-8 高电平比较器正输入 0 CMPSS-8 低电平比较器正输入 0 通用输入/输出 211。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A9 CMP5_LP3 CMP8_HN0 CMP8_LN0 GPIO212		T7	60	K6		I I I I I/O	ADC-A 输入 9 CMPSS-5 低电平比较器正输入 3 CMPSS-8 高电平比较器负输入 0 CMPSS-8 低电平比较器负输入 0 通用输入/输出 212。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A10 CMP8_HN1 CMP8_HP1 CMP8_LN1 CMP8_LP1 GPIO213		T8	62	L5	39	I I I I I I/O	ADC-A 输入 10 CMPSS-8 高电平比较器负输入 1 CMPSS-8 高电平比较器正输入 1 CMPSS-8 低电平比较器负输入 1 CMPSS-8 低电平比较器正输入 1 通用输入/输出 213。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A11 CMP8_HP2 CMP8_LP2 GPIO214		R8	63	L6	40	I I I I/O	ADC-A 输入 11 CMPSS-8 高电平比较器正输入 2 CMPSS-8 低电平比较器正输入 2 通用输入/输出 214。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A14 B14 C14 CMP4_HP0 CMP4_LP0 AIO225	0、4、8、12	R1	44	M1	26	I I I I I I	ADC-A 输入 14 ADC-B 输入 14 ADC-C 输入 14 CMPSS-4 高电平比较器正输入 0 CMPSS-4 低电平比较器正输入 0 用于数字输入 225 的模拟引脚
A15 B15 C15 CMP4_HN0 CMP4_HP3 CMP4_LN0 AIO226	0、4、8、12	R2	45	M2	27	I I I I I I I	ADC-A 输入 15 ADC-B 输入 15 ADC-C 输入 15 CMPSS-4 高电平比较器负输入 0 CMPSS-4 高电平比较器正输入 3 CMPSS-4 低电平比较器负输入 0 用于数字输入 226 的模拟引脚

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
B0 CMP3_HP1 CMP3_LP1 CMP11_HN0 CMP11_LN0 VDAC AIO233	0、4、8、12	T2	46	N2	28	I I I I I I	ADC-B 输入 0 CMPSS-3 高电平比较器正输入 1 CMPSS-3 低电平比较器正输入 1 CMPSS-11 高电平比较器负输入 0 CMPSS-11 低电平比较器负输入 0 片上 DAC 的可选外部基准电压。 用于数字输入 233 的模拟引脚
B1 CMP3_HP2 CMP3_LP2 DACC_OUT AIO234	0、4、8、12	T3	47	N3	29	I I I O I	ADC-B 输入 1 CMPSS-3 高电平比较器正输入 2 CMPSS-3 低电平比较器正输入 2 缓冲 DAC-C 输出。 用于数字输入 234 的模拟引脚
B2 CMP3_HP0 CMP3_LP0 AIO235	0、4、8、12	R3	48	M3	30	I I I I	ADC-B 输入 2 CMPSS-3 高电平比较器正输入 0 CMPSS-3 低电平比较器正输入 0 用于数字输入 235 的模拟引脚
B3 CMP1_LP3 CMP3_HN0 CMP3_LN0 AIO236	0、4、8、12	P3	49	L4	31	I I I I I	ADC-B 输入 3 CMPSS-1 低电平比较器正输入 3 CMPSS-3 高电平比较器负输入 0 CMPSS-3 低电平比较器负输入 0 用于数字输入 236 的模拟引脚
B4 CMP5_HN1 CMP5_HP1 CMP5_LN1 CMP5_LP1 GPIO215		P7	64	M6		I I I I I I/O	ADC-B 输入 4 CMPSS-5 高电平比较器负输入 1 CMPSS-5 高电平比较器正输入 1 CMPSS-5 低电平比较器负输入 1 CMPSS-5 低电平比较器正输入 1 通用输入/输出 215。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
B5 CMP5_HP2 CMP5_LP2 GPIO216		N7	65	N6		I I I I/O	ADC-B 输入 5 CMPSS-5 高电平比较器正输入 2 CMPSS-5 低电平比较器正输入 2 通用输入/输出 216。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
B6 CMP7_HN1 CMP7_HP1 CMP7_LN1 CMP7_LP1 GPIO207		N5	55	J4	36	I I I I I I/O	ADC-B 输入 6 CMPSS-7 高电平比较器负输入 1 CMPSS-7 高电平比较器正输入 1 CMPSS-7 低电平比较器负输入 1 CMPSS-7 低电平比较器正输入 1 通用输入/输出 207。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
B7 CMP3_HN1 CMP3_LN1 CMP7_HP2 CMP7_LP2 GPIO208		P5	56	K4	37	I I I I I I/O	ADC-B 输入 7 CMPSS-3 高电平比较器负输入 1 CMPSS-3 低电平比较器负输入 1 CMPSS-7 高电平比较器正输入 2 CMPSS-7 低电平比较器正输入 2 通用输入/输出 208。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
B8 CMP2_HP1 CMP2_LP1 CMP10_HN0 CMP10_LN0 GPIO217		P8	66	M7		I I I I I I/O	ADC-B 输入 8 CMPSS-2 高电平比较器正输入 1 CMPSS-2 低电平比较器正输入 1 CMPSS-10 高电平比较器负输入 0 CMPSS-10 低电平比较器负输入 0 通用输入/输出 217。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
B9 CMP2_HP2 CMP2_LP2 CMP9_HN1 CMP9_LN1 GPIO218		N8	67	N7		I I I I I I/O	ADC-B 输入 9 CMPSS-2 高电平比较器正输入 2 CMPSS-2 低电平比较器正输入 2 CMPSS-9 高电平比较器负输入 1 CMPSS-9 低电平比较器负输入 1 通用输入/输出 218。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
B10 CMP4_HN1 CMP4_HP1 CMP4_LN1 CMP4_LP1 GPIO219		R7	61			I I I I I I/O	ADC-B 输入 10 CMPSS-4 高电平比较器负输入 1 CMPSS-4 高电平比较器正输入 1 CMPSS-4 低电平比较器负输入 1 CMPSS-4 低电平比较器正输入 1 通用输入/输出 219。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
B11 CMP4_HP2 CMP4_LP2 AIO240	0、4、8、12	P4	51			I I I I	ADC-B 输入 11 CMPSS-4 高电平比较器正输入 2 CMPSS-4 低电平比较器正输入 2 用于数字输入 240 的模拟引脚
B13 CMP9_HP0 CMP9_LP0 AIO238	0、4、8、12	R5				I I I I	ADC-B 输入 13 CMPSS-9 高电平比较器正输入 0 CMPSS-9 低电平比较器正输入 0 用于数字输入 238 的模拟引脚
C0 CMP6_HN1 CMP6_HP1 CMP6_LN1 CMP6_LP1 GPIO199		H1	22	F1	9	I I I I I I/O	ADC-C 输入 0 CMPSS-6 高电平比较器负输入 1 CMPSS-6 高电平比较器正输入 1 CMPSS-6 低电平比较器负输入 1 CMPSS-6 低电平比较器正输入 1 通用输入/输出 199。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C1 CMP6_HP2 CMP6_LP2 GPIO200		J1	23	G1	10	I I I I/O	ADC-C 输入 1 CMPSS-6 高电平比较器正输入 2 CMPSS-6 低电平比较器正输入 2 通用输入/输出 200。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C2 CMP6_HP0 CMP6_LP0 AIO237	0、4、8、12	L4	31	H4	15	I I I I	ADC-C 输入 2 CMPSS-6 高电平比较器正输入 0 CMPSS-6 低电平比较器正输入 0 用于数字输入 237 的模拟引脚

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
C3 CMP3_LP3 CMP6_HN0 CMP6_LN0 GPIO206		L5	30	H5	14	I I I I I/O	ADC-C 输入 3 CMPSS-3 低电平比较器正输入 3 CMPSS-6 高电平比较器负输入 0 CMPSS-6 低电平比较器负输入 0 通用输入/输出 206。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C4 CMP5_HP0 CMP5_LP0 CMP10_HN1 CMP10_LN1 GPIO205		M6	29	H6	13	I I I I I I/O	ADC-C 输入 4 CMPSS-5 高电平比较器正输入 0 CMPSS-5 低电平比较器正输入 0 CMPSS-10 高电平比较器负输入 1 CMPSS-10 低电平比较器负输入 1 通用输入/输出 205。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C5 CMP2_LP3 CMP5_HN0 CMP5_LN0 GPIO204		L6	28	G6	12	I I I I I/O	ADC-C 输入 5 CMPSS-2 低电平比较器正输入 3 CMPSS-5 高电平比较器负输入 0 CMPSS-5 低电平比较器负输入 0 通用输入/输出 204。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C6 CMP10_HP1 CMP10_LP1 GPIO203		K5	27	G5	11	I I I I/O	ADC-C 输入 6 CMPSS-10 高电平比较器正输入 1 CMPSS-10 低电平比较器正输入 1 通用输入/输出 203。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C7 CMP11_HP1 CMP11_LP1 GPIO198		K4	26	G4		I I I I/O	ADC-C 输入 7 CMPSS-11 高电平比较器正输入 1 CMPSS-11 低电平比较器正输入 1 通用输入/输出 198。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C8 CMP10_HP2 CMP10_LP2 GPIO202		K3	25	G3		I I I I/O	ADC-C 输入 8 CMPSS-10 高电平比较器正输入 2 CMPSS-10 低电平比较器正输入 2 通用输入/输出 202。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C9 CMP11_HP2 CMP11_LP2 GPIO201		J2	24	G2		I I I I/O	ADC-C 输入 9 CMPSS-11 高电平比较器正输入 2 CMPSS-11 低电平比较器正输入 2 通用输入/输出 201。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
C10 CMP10_HP0 CMP10_LP0 AIO241	0、4、8、12	L3				I I I I	ADC-C 输入 10 CMPSS-10 高电平比较器正输入 0 CMPSS-10 低电平比较器正输入 0 用于数字输入 241 的模拟引脚
C11 CMP11_HP0 CMP11_LP0 AIO242	0、4、8、12	K2				I I I I	ADC-C 输入 11 CMPSS-11 高电平比较器正输入 0 CMPSS-11 低电平比较器正输入 0 用于数字输入 242 的模拟引脚

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
C13 CMP9_HP1 CMP9_LP1 CMP11_HN1 CMP11_LN1 AIO239	0、4、8、12	K1				I I I I I I	ADC-C 输入 13 CMPSS-9 高电平比较器正输入 1 CMPSS-9 低电平比较器正输入 1 CMPSS-11 高电平比较器负输入 1 CMPSS-11 低电平比较器负输入 1 用于数字输入 239 的模拟引脚
VREFHIA		M2	37	K2	19	I	ADC-A 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚
VREFHIB		R4	53	M4	34	I	ADC-B 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚
VREFHIC		L2	35	J2	19	I	ADC-C 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚
VREFLOA		M1	33	K1	16	I	ADC-A 低基准电压
VREFLOB		T4	50	N4	32	I	ADC-B 低基准电压
VREFLOC		L1	32	J1	16	I	ADC-C 低基准电压
GPIO							
GPIO0 EPWM1_A CLB_OUTPUTXBAR1 I2CA_SDA EMIF1_A13 ESC_GPIO FSITXA_D0	0、4、8、12 1 5 6 9 10 13	F8	160	E7	89	I/O O O I/OD O I O	通用输入/输出 0 ePWM-1 输出 A CLB 输出 X-BAR 输出 1 I2C-A 开漏双向数据 外部存储器接口 1 地址线 13 EtherCAT 通用输入 0 FSITX-A 主数据输出
GPIO1 EPWM1_B CLB_OUTPUTXBAR2 I2CA_SCL EMIF1_A14 ESC_GPI1 FSITXA_D1	0、4、8、12 1 5 6 9 10 13	A7	161	A6	90	I/O O O I/OD O I O	通用输入/输出 1 ePWM-1 输出 B CLB 输出 X-BAR 输出 2 I2C-A 开漏双向时钟 外部存储器接口 1 地址线 14 EtherCAT 通用输入 1 FSITX-A 可选附加数据输出
GPIO2 EPWM2_A OUTPUTXBAR1 I2CB_SDA UARTA_TX EMIF1_A15 ESC_GPI2 FSITXA_CLK	0、4、8、12 1 5 6 7 9 10 13	B7	162	B6	91	I/O O O I/OD I/O O I O	通用输入/输出 2 ePWM-2 输出 A 输出 X-BAR 输出 1 I2C-B 开漏双向数据 UART-A 串行数据发送 外部存储器接口 1 地址线 15 EtherCAT 通用输入 2 FSITX-A 输出时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO3	0、4、8、12					I/O	通用输入/输出 3
EPWM2_B	1					O	ePWM-2 输出 B
OUTPUTXBAR2	2、5					O	输出 X-BAR 输出 2
I2CB_SCL	6	C7	163	C6	92	I/OD	I2C-B 开漏双向时钟
UARTA_RX	7					I/O	UART-A 串行数据接收
ESC_GPI3	10					I	EtherCAT 通用输入 3
FSIRXA_D0	13					I	FSIRX-A 主数据输入
GPIO4	0、4、8、12					I/O	通用输入/输出 4
EPWM3_A	1					O	ePWM-3 输出 A
OUTPUTXBAR3	5					O	输出 X-BAR 输出 3
CANA_TX	6	D7	164	D6	93	O	CAN-A 发送
MCANA_TX	9					O	CAN/CAN FD-A 传输
ESC_GPI4	10					I	EtherCAT 通用输入 4
FSIRXA_D1	13					I	FSIRX-A 可选附加数据输入
GPIO5	0、4、8、12					I/O	通用输入/输出 5
EPWM3_B	1					O	ePWM-3 输出 B
OUTPUTXBAR3	3					O	输出 X-BAR 输出 3
CLB_OUTPUTXBAR3	5					O	CLB 输出 X-BAR 输出 3
CANA_RX	6	E7	165	E6		I	CAN-A 接收
MCANA_RX	9					I	CAN/CAN FD-A 接收
ESC_GPI5	10					I	EtherCAT 通用输入 5
FSIRXA_CLK	13					I	FSIRX-A 输入时钟
GPIO6	0、4、8、12					I/O	通用输入/输出 6
EPWM4_A	1					O	ePWM-4 输出 A
OUTPUTXBAR4	2					O	输出 X-BAR 输出 4
EXTSYNCOUT	3					O	外部 ePWM 同步脉冲
EQEP3_A	5					I	eQEP-3 输入 A
MCANB_TX	6	F7	166	A5		O	CAN/CAN FD-B 传输
LINA_TX	7					O	LIN-A 发送
EMIF1_DQM0	9					O	外部存储器接口 1 字节 0 的输入/输出掩码
ESC_GPI6	10					I	EtherCAT 通用输入 6
FSITXB_D0	13					O	FSITX-B 主数据输出
GPIO7	0、4、8、12					I/O	通用输入/输出 7
EPWM4_B	1					O	ePWM-4 输出 B
OUTPUTXBAR5	3					O	输出 X-BAR 输出 5
EQEP3_B	5					I	eQEP-3 输入 B
MCANB_RX	6	A6	167	B5		I	CAN/CAN FD-B 接收
LINA_RX	7					I	LIN-A 接收
EMIF1_DQM1	9					O	外部存储器接口 1 字节 1 的输入/输出掩码
ESC_GPI7	10					I	EtherCAT 通用输入 7
FSITXB_D1	13					O	FSITX-B 可选附加数据输出

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO8	0、4、8、12					I/O	通用输入/输出 8
EPWM5_A	1					O	ePWM-5 输出 A
EMIF1_RAS	2					O	外部存储器接口 1 行地址选通
ADCSOCAO	3					O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出
EQEP3_STROBE	5					I/O	eQEP-3 选通
SCIA_TX	6	D1	18	E3		O	SCI-A 发送数据
CLB_OUTPUTXBAR4	7					O	CLB 输出 X-BAR 输出 4
MCANA_TX	9					O	CAN/CAN FD-A 传输
ESC_GPO0	10					O	EtherCAT 通用输出 0
FSITXB_CLK	13					O	FSITX-B 输出时钟
FSITXA_D1	14					O	FSITX-A 可选附加数据输出
FSIRXA_D0	15					I	FSIRX-A 主数据输入
GPIO9	0、4、8、12					I/O	通用输入/输出 9
EPWM5_B	1					O	ePWM-5 输出 B
SCIB_TX	2					O	SCI-B 发送数据
OUTPUTXBAR6	3					O	输出 X-BAR 输出 6
EQEP3_INDEX	5					I/O	eQEP-3 索引
SCIA_RX	6	E1	19	F3		I	SCI-A 接收数据
ESC_GPO1	10					O	EtherCAT 通用输出 1
FSIRXB_D0	13					I	FSIRX-B 主数据输入
FSITXA_D0	14					O	FSITX-A 主数据输出
FSIRXA_CLK	15					I	FSIRX-A 输入时钟
GPIO10	0、4、8、12					I/O	通用输入/输出 10
EPWM6_A	1					O	ePWM-6 输出 A
EMIF1_CAS	2					O	外部存储器接口 1 列地址选通
ADCSOCBO	3					O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出
EQEP1_A	5					I	eQEP-1 输入 A
SCIB_TX	6					O	SCI-B 发送数据
SD4_C1	7	D4	1	B3	100	I	SDFM-4 通道 1 时钟输入
MCANA_RX	9					I	CAN/CAN FD-A 接收
CLB_OUTPUTXBAR5	10					O	CLB 输出 X-BAR 输出 5
ESC_TX0_DATA0	11					O	EtherCAT MII 发送 0 数据 0
FSIRXB_D1	13					I	FSIRX-B 可选附加数据输入
FSITXA_CLK	14					O	FSITX-A 输出时钟
FSIRXA_D1	15					I	FSIRX-A 可选附加数据输入
GPIO11	0、4、8、12					I/O	通用输入/输出 11
EPWM6_B	1					O	ePWM-6 输出 B
SCIB_RX	2、6					I	SCI-B 接收数据
OUTPUTXBAR7	3					O	输出 X-BAR 输出 7
EQEP1_B	5					I	eQEP-1 输入 B
SD4_D1	7	E4	2	B2	1	I	SDFM-4 通道 1 数据输入
ESC_GPO3	10					O	EtherCAT 通用输出 3
ESC_TX0_DATA1	11					O	EtherCAT MII 发送 0 数据 1
FSIRXB_CLK	13					I	FSIRX-B 输入时钟
FSIRXA_D1	14					I	FSIRX-A 可选附加数据输入
PMBUSA_ALERT	15					I/OD	PMBus-A 开漏双向警报信号

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO12	0、4、8、12					I/O	通用输入/输出 12
EPWM7_A	1					O	ePWM-7 输出 A
CLB_OUTPUTXBAR6	2					O	CLB 输出 X-BAR 输出 6
ADCSOCAO	3					O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出
EQEP1_STROBE	5					I/O	eQEP-1 选通
SCIA_TX	6					O	SCI-A 发送数据
SD4_C2	7	G4	4	B1	3	I	SDFM-4 通道 2 时钟输入
EMIF1_A1	9					O	外部存储器接口 1 地址线 1
ESC_GPO4	10					O	EtherCAT 通用输出 4
ESC_TX0_DATA2	11					O	EtherCAT MII 发送 0 数据 2
FSIRXC_D0	13					I	FSIRX-C 主数据输入
FSIRXA_D0	14					I	FSIRX-A 主数据输入
PMBUSA_CTL	15					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
GPIO13	0、4、8、12					I/O	通用输入/输出 13
EPWM7_B	1					O	ePWM-7 输出 B
CLB_OUTPUTXBAR7	2					O	CLB 输出 X-BAR 输出 7
EQEP5_STROBE	3					I/O	eQEP-5 选通
EQEP1_INDEX	5					I/O	eQEP-1 索引
SCIA_RX	6					I	SCI-A 接收数据
SD4_D2	7	A3	5	C1	4	I	SDFM-4 通道 2 数据输入
EMIF1_CS0n	9					O	外部存储器接口 1 芯片选择 0
ESC_GPO5	10					O	EtherCAT 通用输出 5
ESC_TX0_DATA3	11					O	EtherCAT MII 发送 0 数据 3
FSIRXC_D1	13					I	FSIRX-C 可选附加数据输入
FSIRXA_CLK	14					I	FSIRX-A 输入时钟
PMBUSA_SDA	15					I/OD	PMBus-A 开漏双向数据
GPIO14	0、4、8、12					I/O	通用输入/输出 14
EPWM8_A	1					O	ePWM-8 输出 A
SCIB_TX	2					O	SCI-B 发送数据
EQEP5_INDEX	3					I/O	eQEP-5 索引
LINA_TX	5					O	LIN-A 发送
OUTPUTXBAR3	6					O	输出 X-BAR 输出 3
OUTPUTXBAR8	7					O	输出 X-BAR 输出 8
ESC_GPO6	10					O	EtherCAT 通用输出 6
ESC_PHY1_LINKSTATUS	11					I	EtherCAT PHY-1 链路状态
FSIRXC_CLK	13					I	FSIRX-C 输入时钟
EMIF1_D17	14					I/O	外部存储器接口 1 数据线 17
PMBUSA_SCL	15					I/OD	PMBus-A 开漏双向时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类 型	说明
GPIO15	0、4、8、12	C3	7	C3	6	I/O	通用输入/输出 15
EPWM8_B	1					O	ePWM-8 输出 B
SCIB_RX	2					I	SCI-B 接收数据
LINA_RX	5					I	LIN-A 接收
OUTPUTXBAR4	6					O	输出 X-BAR 输出 4
CLB_OUTPUTXBAR8	7					O	CLB 输出 X-BAR 输出 8
ESC_GPO7	10					O	EtherCAT 通用输出 7
EQEP5_A	11					I	eQEP-5 输入 A
FSIRXD_D0	13					I	FSIRX-D 主数据输入
EMIF1_DQM2	15					O	外部存储器接口 1 字节 2 的输入/输出掩码
GPIO16	0、4、8、12	D3	8	C4		I/O	通用输入/输出 16
SPIA_PICO	1					I/O	SPI-A 外设输入控制器输出 (PICO)
OUTPUTXBAR7	3					O	输出 X-BAR 输出 7
EPWM9_A	5					O	ePWM-9 输出 A
SD1_D1	7					I	SDFM-1 通道 1 数据输入
EQEP5_B	11					I	eQEP-5 输入 B
FSIRXD_D1	13					I	FSIRX-D 可选附加数据输入
ESC_RX1_CLK	15					I	EtherCAT MII 接收 1 时钟
GPIO17	0、4、8、12	E3	9	D4		I/O	通用输入/输出 17
SPIA_POCI	1					I/O	SPI-A 外设输出控制器输入 (POCI)
OUTPUTXBAR8	3					O	输出 X-BAR 输出 8
EPWM9_B	5					O	ePWM-9 输出 B
SD1_C1	7					I	SDFM-1 通道 1 时钟输入
EQEP5_STROBE	11					I/O	eQEP-5 选通
FSIRXD_CLK	13					I	FSIRX-D 输入时钟
ESC_RX1_DV	15					I	EtherCAT MII 接收 1 数据有效
GPIO18	0、4、8、12	F3	10	D3		I/O	通用输入/输出 18
SPIA_CLK	1					I/O	SPI-A 时钟
SCIB_TX	2					O	SCI-B 发送数据
CANA_RX	3					I	CAN-A 接收
EPWM10_A	5					O	ePWM-10 输出 A
SD1_D2	7					I	SDFM-1 通道 2 数据输入
MCANA_RX	9					I	CAN/CAN FD-A 接收
EMIF1_CS2n	10					O	外部存储器接口 1 芯片选择 2
EQEP5_INDEX	11					I/O	eQEP-5 索引
ESC_RX1_ERR	15					I	EtherCAT MII 接收 1 错误
GPIO19	0、4、8、12	B2	12	D1		I/O	通用输入/输出 19
SPIA_PTE	1					I/O	SPI-A 外设发送使能 (PTE)
SCIB_RX	2					I	SCI-B 接收数据
CANA_TX	3					O	CAN-A 发送
EPWM10_B	5					O	ePWM-10 输出 B
SD1_C2	7					I	SDFM-1 通道 2 时钟输入
MCANA_TX	9					O	CAN/CAN FD-A 传输
EMIF1_CS3n	10					O	外部存储器接口 1 芯片选择 3
ESC_TX1_DATA3	15					O	EtherCAT MII 发送 1 数据 3

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO20	0、4、8、12	C2	13	E1		I/O	通用输入/输出 20
EQEP1_A	1					I	eQEP-1 输入 A
EPWM11_A	5					O	ePWM-11 输出 A
SD1_D3	7					I	SDFM-1 通道 3 数据输入
MCANB_TX	9					O	CAN/CAN FD-B 传输
EMIF1_BA0	10					O	外部存储器接口 1 存储库地址 0
SPIC_PICO	14					I/O	SPI-C 外设输入控制器输出 (PICO)
ESC_TX1_DATA2	15					O	EtherCAT MII 发送 1 数据 2
GPIO21	0、4、8、12	D2	14	E2		I/O	通用输入/输出 21
EQEP1_B	1					I	eQEP-1 输入 B
EPWM11_B	5					O	ePWM-11 输出 B
SD1_C3	7					I	SDFM-1 通道 3 时钟输入
MCANB_RX	9					I	CAN/CAN FD-B 接收
EMIF1_BA1	10					O	外部存储器接口 1 存储库地址 1
SPIC_POCI	14					I/O	SPI-C 外设输出控制器输入 (POCI)
ESC_TX1_DATA1	15					O	EtherCAT MII 发送 1 数据 1
GPIO22	0、4、8、12	A2	11	D2		I/O	通用输入/输出 22
EQEP1_STROBE	1					I/O	eQEP-1 选通
SCIB_TX	3					O	SCI-B 发送数据
EPWM12_A	5					O	ePWM-12 输出 A
SPIB_CLK	6					I/O	SPI-B 时钟
SD1_D4	7					I	SDFM-1 通道 4 数据输入
MCANA_TX	9					O	CAN/CAN FD-A 传输
EMIF1_RAS	10					O	外部存储器接口 1 行地址选通
SPIC_CLK	14					I/O	SPI-C 时钟
ESC_TX1_DATA0	15					O	EtherCAT MII 发送 1 数据 0
GPIO23	0、4、8、12	G1	21	F2		I/O	通用输入/输出 23
EQEP1_INDEX	1					I/O	eQEP-1 索引
SCIB_RX	3					I	SCI-B 接收数据
EPWM12_B	5					O	ePWM-12 输出 B
SPIB_PTE	6					I/O	SPI-B 外设发送使能 (PTE)
SD1_C4	7					I	SDFM-1 通道 4 时钟输入
MCANA_RX	9					I	CAN/CAN FD-A 接收
EMIF1_CAS	10					O	外部存储器接口 1 列地址选通
SPIC_PTE	14					I/O	SPI-C 外设发送使能 (PTE)
ESC_PHY_RESETn	15					O	EtherCAT PHY 低电平有效复位
GPIO24	0、4、8、12	E8	159	D7		I/O	通用输入/输出 24
OUTPUTXBAR1	1					O	输出 X-BAR 输出 1
EQEP2_A	2					I	eQEP-2 输入 A
LINB_TX	5					O	LIN-B 发送
SPIB_PICO	6					I/O	SPI-B 外设输入控制器输出 (PICO)
SD2_D1	7					I	SDFM-2 通道 1 数据输入
PMBUSA_SCL	9					I/OD	PMBus-A 开漏双向时钟
EMIF1_DQM0	10					O	外部存储器接口 1 字节 0 的输入/输出掩码
EPWM13_A	13					O	ePWM-13 输出 A
ESC_RX0_DATA1	14					I	EtherCAT MII 接收 0 数据 1
ESC_RX0_CLK	15					I	EtherCAT MII 接收 0 时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO25	0、4、8、12	A10	153	B8	84	I/O	通用输入/输出 25
OUTPUTXBAR2	1					O	输出 X-BAR 输出 2
EQEP2_B	2					I	eQEP-2 输入 B
LINB_RX	5					I	LIN-B 接收
SPIB_POCI	6					I/O	SPI-B 外设输出控制器输入 (POCI)
SD2_C1	7					I	SDFM-2 通道 1 时钟输入
PMBUSA_SDA	9					I/OD	PMBus-A 开漏双向数据
EMIF1_DQM1	10					O	外部存储器接口 1 字节 1 的输入/输出掩码
EQEP5_B	11					I	eQEP-5 输入 B
EPWM13_B	13					O	ePWM-13 输出 B
FSITXA_D1	14					O	FSITX-A 可选附加数据输出
ESC_RX0_DV	15					I	EtherCAT MII 接收 0 数据有效
GPIO26	0、4、8、12	L11	82	L10		I/O	通用输入/输出 26
OUTPUTXBAR3	1、5					O	输出 X-BAR 输出 3
EQEP2_INDEX	2					I/O	eQEP-2 索引
SPIB_CLK	6					I/O	SPI-B 时钟
SD2_D2	7					I	SDFM-2 通道 2 数据输入
PMBUSA_ALERT	9					I/OD	PMBus-A 开漏双向警报信号
EMIF1_DQM2	10					O	外部存储器接口 1 字节 2 的输入/输出掩码
ESC_MDIO_CLK	11					O	EtherCAT MDIO 时钟
EPWM14_A	13					O	ePWM-14 输出 A
FSITXA_D0	14					O	FSITX-A 主数据输出
ESC_RX0_ERR	15					I	EtherCAT MII 接收 0 错误
GPIO27	0、4、8、12	G13	125	D11		I/O	通用输入/输出 27
OUTPUTXBAR4	1、5					O	输出 X-BAR 输出 4
EQEP2_STROBE	2					I/O	eQEP-2 选通
SPIB_PTE	6					I/O	SPI-B 外设发送使能 (PTE)
SD2_C2	7					I	SDFM-2 通道 2 时钟输入
PMBUSA_CTL	9					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
EMIF1_DQM3	10					O	外部存储器接口 1 字节 3 的输入/输出掩码
ESC_MDIO_DATA	11					I/O	EtherCAT MDIO 数据
EPWM14_B	13					O	ePWM-14 输出 B
FSITXA_CLK	14					O	FSITX-A 输出时钟
ESC_RX0_DATA0	15					I	EtherCAT MII 接收 0 数据 0
GPIO28	0、4、8、12	N11	74	K8		I/O	通用输入/输出 28
SCIA_RX	1					I	SCI-A 接收数据
EMIF1_CS4n	2					O	外部存储器接口 1 芯片选择 4
UARTA_RX	3					I/O	UART-A 串行数据接收
OUTPUTXBAR5	5					O	输出 X-BAR 输出 5
EQEP3_A	6					I	eQEP-3 输入 A
SD2_D3	7					I	SDFM-2 通道 3 数据输入
EMIF1_CS2n	9					O	外部存储器接口 1 芯片选择 2
EPWM15_A	13					O	ePWM-15 输出 A
ESC_RX0_DATA1	15					I	EtherCAT MII 接收 0 数据 1

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO29	0、4、8、12	P11	73	L8		I/O	通用输入/输出 29
SCIA_TX	1					O	SCI-A 发送数据
EMIF1_SDCKE	2					O	外部存储器接口 1 SDRAM 时钟使能
UARTA_TX	3					I/O	UART-A 串行数据发送
OUTPUTXBAR6	5					O	输出 X-BAR 输出 6
EQEP3_B	6					I	eQEP-3 输入 B
SD2_C3	7					I	SDFM-2 通道 3 时钟输入
EMIF1_CS3n	9					O	外部存储器接口 1 芯片选择 3
ESC_LATCH0	10					I	EtherCAT 门锁信号输入 0
ESC_I2C_SDA	11					I/OC	EtherCAT I2C 数据
EPWM15_B	13					O	ePWM-15 输出 B
ESC_SYNC0	14					O	EtherCAT 同步信号输出 0
ESC_RX0_DATA2	15					I	EtherCAT MII 接收 0 数据 2
GPIO30	0、4、8、12	L10	79	L9	48	I/O	通用输入/输出 30
CANA_RX	1					I	CAN-A 接收
EMIF1_CLK	2					O	外部存储器接口 1 时钟
MCANA_RX	3					I	CAN/CAN FD-A 接收
OUTPUTXBAR7	5					O	输出 X-BAR 输出 7
EQEP3_STROBE	6					I/O	eQEP-3 选通
SD2_D4	7					I	SDFM-2 通道 4 数据输入
EMIF1_CS4n	9					O	外部存储器接口 1 芯片选择 4
ESC_LATCH1	10					I	EtherCAT 门锁信号输入 1
ESC_I2C_SCL	11					I/OC	EtherCAT I2C 时钟
EPWM16_A	13					O	ePWM-16 输出 A
ESC_SYNC1	14					O	EtherCAT 同步信号输出 1
SPID_PICO	15					I/O	SPI-D 外设输入控制器输出 (PICO)
GPIO31	0、4、8、12	D8	158			I/O	通用输入/输出 31
CANA_TX	1					O	CAN-A 发送
EMIF1_WEn	2					O	外部存储器接口 1 写入使能
MCANA_TX	3					O	CAN/CAN FD-A 传输
OUTPUTXBAR8	5					O	输出 X-BAR 输出 8
EQEP3_INDEX	6					I/O	eQEP-3 索引
SD2_C4	7					I	SDFM-2 通道 4 时钟输入
EMIF1_RNW	9					O	外部存储器接口 1 读/不写
I2CA_SDA	10					I/OD	I2C-A 开漏双向数据
EPWM16_B	13					O	ePWM-16 输出 B
SPID_POCI	15					I/O	SPI-D 外设输出控制器输入 (POCI)
GPIO32	0、4、8、12	J14	116	F12		I/O	通用输入/输出 32
I2CA_SDA	1					I/OD	I2C-A 开漏双向数据
EMIF1_CS0n	2					O	外部存储器接口 1 芯片选择 0
SPIA_PICO	3					I/O	SPI-A 外设输入控制器输出 (PICO)
EQEP4_A	5					I	eQEP-4 输入 A
LINB_TX	6					O	LIN-B 发送
CLB_OUTPUTXBAR1	7					O	CLB 输出 X-BAR 输出 1
EMIF1_OEn	9					O	外部存储器接口 1 输出使能
I2CA_SCL	10					I/OD	I2C-A 开漏双向时钟
SPID_CLK	15					I/O	SPI-D 时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO33	0、4、8、12	R10	69	L7		I/O	通用输入/输出 33
I2CA_SCL	1					I/OD	I2C-A 开漏双向时钟
EMIF1_RNW	2					O	外部存储器接口 1 读/不写
SPIA_POCI	3					I/O	SPI-A 外设输出控制器输入 (POCI)
EQEP4_B	5					I	eQEP-4 输入 B
CLB_OUTPUTXBAR2	7					O	CLB 输出 X-BAR 输出 2
EMIF1_BA0	9					O	外部存储器接口 1 存储库地址 0
ESC_LED_ERR	11					O	EtherCAT 错误 LED
SPID_PTE	15					I/O	SPI-D 外设发送使能 (PTE)
GPIO34	0、4、8、12	P10	70	K7	42	I/O	通用输入/输出 34
OUTPUTXBAR1	1					O	输出 X-BAR 输出 1
EMIF1_CS2n	2					O	外部存储器接口 1 芯片选择 2
SPIA_CLK	3					I/O	SPI-A 时钟
EQEP4_STROBE	5					I/O	eQEP-4 选通
I2CB_SDA	6					I/OD	I2C-B 开漏双向数据
CLB_OUTPUTXBAR3	7					O	CLB 输出 X-BAR 输出 3
EMIF1_BA1	9					O	外部存储器接口 1 存储库地址 1
ESC_LATCH0	10					I	EtherCAT 门锁信号输入 0
EPWM18_A	11					O	ePWM-18 输出 A
SCIA_TX	13					O	SCI-A 发送数据
ESC_SYNC0	14					O	EtherCAT 同步信号输出 0
GPIO35	0、4、8、12	N10	71	N8	43	I/O	通用输入/输出 35
SCIA_RX	1、13					I	SCI-A 接收数据
EMIF1_CS3n	2					O	外部存储器接口 1 芯片选择 3
SPIA_PTE	3					I/O	SPI-A 外设发送使能 (PTE)
EQEP4_INDEX	5					I/O	eQEP-4 索引
I2CB_SCL	6					I/OD	I2C-B 开漏双向时钟
CLB_OUTPUTXBAR4	7					O	CLB 输出 X-BAR 输出 4
EMIF1_A0	9					O	外部存储器接口 1 地址线 0
ESC_LATCH1	10					I	EtherCAT 门锁信号输入 1
EPWM18_B	11					O	ePWM-18 输出 B
ESC_SYNC1	14					O	EtherCAT 同步信号输出 1
GPIO36	0、4、8、12	P12	83	N11		I/O	通用输入/输出 36
SCIA_TX	1					O	SCI-A 发送数据
EMIF1_WAIT	2					I	外部存储器接口 1 异步 SRAM WAIT
CANA_RX	6					I	CAN-A 接收
CLB_OUTPUTXBAR5	7					O	CLB 输出 X-BAR 输出 5
EMIF1_A1	9					O	外部存储器接口 1 地址线 1
MCANA_RX	10					I	CAN/CAN FD-A 接收
SD1_D1	13					I	SDFM-1 通道 1 数据输入
EMIF1_WEn	14					O	外部存储器接口 1 写入使能

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO37	0、4、8、12	N12	84	M11		I/O	通用输入/输出 37
OUTPUTXBAR2	1					O	输出 X-BAR 输出 2
EMIF1_OEn	2					O	外部存储器接口 1 输出使能
EPWM18_A	3					O	ePWM-18 输出 A
CANA_TX	6					O	CAN-A 发送
CLB_OUTPUTXBAR6	7					O	CLB 输出 X-BAR 输出 6
EMIF1_A2	9					O	外部存储器接口 1 地址线 2
MCANA_TX	10					O	CAN/CAN FD-A 传输
SD1_D2	13					I	SDFM-1 通道 2 数据输入
EMIF1_D24	14					I/O	外部存储器接口 1 数据线 24
GPIO38	0、4、8、12	M12	85	L11		I/O	通用输入/输出 38
EMIF1_A0	2					O	外部存储器接口 1 地址线 0
EPWM18_B	3					O	ePWM-18 输出 B
UARTA_TX	5					I/O	UART-A 串行数据发送
SCIB_TX	6					O	SCI-B 发送数据
CLB_OUTPUTXBAR7	7					O	CLB 输出 X-BAR 输出 7
EMIF1_A3	9					O	外部存储器接口 1 地址线 3
SD1_D3	13					I	SDFM-1 通道 3 数据输入
EMIF1_CS2n	14					O	外部存储器接口 1 芯片选择 2
GPIO39	0、4、8、12	L12	86			I/O	通用输入/输出 39
EMIF1_A1	2					O	外部存储器接口 1 地址线 1
UARTA_RX	5					I/O	UART-A 串行数据接收
SCIB_RX	6					I	SCI-B 接收数据
CLB_OUTPUTXBAR8	7					O	CLB 输出 X-BAR 输出 8
EMIF1_A4	9					O	外部存储器接口 1 地址线 4
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO 数据
ESC_LED_RUN	11					O	EtherCAT 运行 LED
SD1_D4	13					I	SDFM-1 通道 4 数据输入
FSIRXD_CLK	14					I	FSIRX-D 输入时钟
GPIO40	0、4、8、12	P13	87	N12		I/O	通用输入/输出 40
EMIF1_A2	2					O	外部存储器接口 1 地址线 2
EPWM13_A	3					O	ePWM-13 输出 A
MCANB_RX	5					I	CAN/CAN FD-B 接收
I2CB_SDA	6					I/OD	I2C-B 开漏双向数据
SD4_C3	7					I	SDFM-4 通道 3 时钟输入
ESC_GPO2	9					O	EtherCAT 通用输出 2
CLB_OUTPUTXBAR1	10					O	CLB 输出 X-BAR 输出 1
SD2_C1	13					I	SDFM-2 通道 1 时钟输入
ESC_I2C_SDA	14					I/OC	EtherCAT I2C 数据

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO41	0、4、8、12	R15	89	M12	51	I/O	通用输入/输出 41
EMIF1_A3	2					O	外部存储器接口 1 地址线 3
EPWM13_B	3					O	ePWM-13 输出 B
MCANB_TX	5					O	CAN/CAN FD-B 传输
I2CB_SCL	6					I/OD	I2C-B 开漏双向时钟
SD4_D3	7					I	SDFM-4 通道 3 数据输入
CLB_OUTPUTXBAR2	10					O	CLB 输出 X-BAR 输出 2
SD2_D1	13					I	SDFM-2 通道 1 数据输入
ESC_I2C_SCL	14					I/OC	EtherCAT I2C 时钟
FSIRXD_CLK	15					I	FSIRX-D 输入时钟
GPIO42	0、4、8、12	E16	130	C12	73	I/O	通用输入/输出 42
EPWM14_A	3					O	ePWM-14 输出 A
EQEP4_A	5					I	eQEP-4 输入 A
I2CA_SDA	6					I/OD	I2C-A 开漏双向数据
SD4_C4	7					I	SDFM-4 通道 4 时钟输入
CLB_OUTPUTXBAR5	10					O	CLB 输出 X-BAR 输出 5
UARTA_TX	11					I/O	UART-A 串行数据发送
FSIRXD_D0	14					I	FSIRX-D 主数据输入
SCIA_TX	15					O	SCI-A 发送数据
USB0DM	ALT					O	USB-0 PHY 差分数据
GPIO43	0、4、8、12	D16	131	C11	74	I/O	通用输入/输出 43
EPWM14_B	3					O	ePWM-14 输出 B
EQEP4_B	5					I	eQEP-4 输入 B
I2CA_SCL	6					I/OD	I2C-A 开漏双向时钟
SD4_D4	7					I	SDFM-4 通道 4 数据输入
CLB_OUTPUTXBAR6	10					O	CLB 输出 X-BAR 输出 6
UARTA_RX	11					I/O	UART-A 串行数据接收
FSIRXD_D1	14					I	FSIRX-D 可选附加数据输入
SCIA_RX	15					I	SCI-A 接收数据
USB0DP	ALT					O	USB-0 PHY 差分数据
GPIO44	0、4、8、12	J12	113	F10		I/O	通用输入/输出 44
SPID_POCI	1					I/O	SPI-D 外设输出控制器输入 (POCI)
EMIF1_A4	2					O	外部存储器接口 1 地址线 4
MCANB_RX	3					I	CAN/CAN FD-B 接收
SD3_C4	6					I	SDFM-3 通道 4 时钟输入
UARTB_TX	7					I/O	UART-B 串行数据发送
CLB_OUTPUTXBAR6	10					O	CLB 输出 X-BAR 输出 6
FSIRXD_CLK	13					I	FSIRX-D 输入时钟
ESC_TX1_CLK	14					I	EtherCAT MII 发送 1 时钟
GPIO45	0、4、8、12	J13	115	F11		I/O	通用输入/输出 45
SPID_PTE	1					I/O	SPI-D 外设发送使能 (PTE)
EMIF1_A5	2					O	外部存储器接口 1 地址线 5
MCANB_TX	3					O	CAN/CAN FD-B 传输
SD3_D4	6					I	SDFM-3 通道 4 数据输入
UARTB_RX	7					I/O	UART-B 串行数据接收
CLB_OUTPUTXBAR7	10					O	CLB 输出 X-BAR 输出 7
ESC_TX1_ENA	14					I/O	EtherCAT MII 发送 1 使能

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO46	0、4、8、12					I/O	通用输入/输出 46
EPWM4_A	1					O	ePWM-4 输出 A
EMIF1_A6	2					O	外部存储器接口 1 地址线 6
EPWM14_A	3	F14	128		71	O	ePWM-14 输出 A
SCIA_RX	6					I	SCI-A 接收数据
SD3_C4	7					I	SDFM-3 通道 4 时钟输入
ESC_MDIO_CLK	14					O	EtherCAT MDIO 时钟
GPIO47	0、4、8、12					I/O	通用输入/输出 47
EPWM4_B	1					O	ePWM-4 输出 B
EMIF1_A7	2					O	外部存储器接口 1 地址线 7
EPWM14_B	3	E14	129		72	O	ePWM-14 输出 B
SCIA_TX	6					O	SCI-A 发送数据
SD4_C3	7					I	SDFM-4 通道 3 时钟输入
ESC_MDIO_DATA	14					I/O	EtherCAT MDIO 数据
GPIO48	0、4、8、12					I/O	通用输入/输出 48
OUTPUTXBAR3	1					O	输出 X-BAR 输出 3
EMIF1_A8	2					O	外部存储器接口 1 地址线 8
SCIA_TX	6	R16	90	M13		O	SCI-A 发送数据
SD1_D1	7					I	SDFM-1 通道 1 数据输入
SD2_C2	13					I	SDFM-2 通道 2 时钟输入
ESC_PHY_CLK	14					O	EtherCAT PHY 时钟
GPIO49	0、4、8、12					I/O	通用输入/输出 49
OUTPUTXBAR4	1					O	输出 X-BAR 输出 4
EMIF1_A9	2					O	外部存储器接口 1 地址线 9
SCIA_RX	6					I	SCI-A 接收数据
SD1_C1	7	P15	93	L13		I	SDFM-1 通道 1 时钟输入
EMIF1_A5	9					O	外部存储器接口 1 地址线 5
SD2_D1	13					I	SDFM-2 通道 1 数据输入
FSITXA_D0	14					O	FSITX-A 主数据输出
GPIO50	0、4、8、12					I/O	通用输入/输出 50
EQEP1_A	1					I	eQEP-1 输入 A
EMIF1_A10	2					O	外部存储器接口 1 地址线 10
EPWM15_A	3					O	ePWM-15 输出 A
SPIC_PICO	6					I/O	SPI-C 外设输入控制器输出 (PICO)
SD1_D2	7	P14	94	K9		I	SDFM-1 通道 2 数据输入
EMIF1_A6	9					O	外部存储器接口 1 地址线 6
ESC_LATCH0	11					I	EtherCAT 门锁信号输入 0
SD2_D2	13					I	SDFM-2 通道 2 数据输入
FSITXA_D1	14					O	FSITX-A 可选附加数据输出

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO51	0、4、8、12	N14	95	K10		I/O	通用输入/输出 51
EQEP1_B	1					I	eQEP-1 输入 B
EMIF1_A11	2					O	外部存储器接口 1 地址线 11
EPWM15_B	3					O	ePWM-15 输出 B
SPIC_POCI	6					I/O	SPI-C 外设输出控制器输入 (POCI)
SD1_C2	7					I	SDFM-1 通道 2 时钟输入
EMIF1_A7	9					O	外部存储器接口 1 地址线 7
ESC_LATCH1	11					I	EtherCAT 门锁信号输入 1
SD2_D3	13					I	SDFM-2 通道 3 数据输入
FSITXA_CLK	14					O	FSITX-A 输出时钟
GPIO52	0、4、8、12	N15	96	K11		I/O	通用输入/输出 52
EQEP1_STROBE	1					I/O	eQEP-1 选通
EMIF1_A12	2					O	外部存储器接口 1 地址线 12
EPWM16_A	3					O	ePWM-16 输出 A
SPIC_CLK	6					I/O	SPI-C 时钟
SD1_D3	7					I	SDFM-1 通道 3 数据输入
EMIF1_A8	9					O	外部存储器接口 1 地址线 8
ESC_MDIO_CLK	11					O	EtherCAT MDIO 时钟
SD2_D4	13					I	SDFM-2 通道 4 数据输入
FSIRXA_D0	14					I	FSIRX-A 主数据输入
GPIO53	0、4、8、12	N16	97	K12		I/O	通用输入/输出 53
EQEP1_INDEX	1					I/O	eQEP-1 索引
EMIF1_D31	2					I/O	外部存储器接口 1 数据线 31
SPIC_PTE	6					I/O	SPI-C 外设发送使能 (PTE)
SD1_C3	7					I	SDFM-1 通道 3 时钟输入
EMIF1_A9	9					O	外部存储器接口 1 地址线 9
ESC_MDIO_DATA	11					I/O	EtherCAT MDIO 数据
SD1_C1	13					I	SDFM-1 通道 1 时钟输入
FSIRXA_D1	14					I	FSIRX-A 可选附加数据输入
GPIO54	0、4、8、12	M13	98	K13		I/O	通用输入/输出 54
SPIA_PICO	1					I/O	SPI-A 外设输入控制器输出 (PICO)
EMIF1_D30	2					I/O	外部存储器接口 1 数据线 30
EQEP2_A	5					I	eQEP-2 输入 A
SCIB_TX	6					O	SCI-B 发送数据
SD1_D4	7					I	SDFM-1 通道 4 数据输入
EMIF1_A10	9					O	外部存储器接口 1 地址线 10
ESC_PHY_CLK	11					O	EtherCAT PHY 时钟
SD1_C2	13					I	SDFM-1 通道 2 时钟输入
FSIRXA_CLK	14					I	FSIRX-A 输入时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO55	0、4、8、12	M14	100	J13		I/O	通用输入/输出 55
SPIA_POCI	1					I/O	SPI-A 外设输出控制器输入 (POCI)
EMIF1_D29	2					I/O	外部存储器接口 1 数据线 29
EPWM16_B	3					O	ePWM-16 输出 B
EQEP2_B	5					I	eQEP-2 输入 B
SCIB_RX	6					I	SCI-B 接收数据
SD1_C4	7					I	SDFM-1 通道 4 时钟输入
EMIF1_D0	9					I/O	外部存储器接口 1 数据线 0
ESC_PHY0_LINKSTATUS	11					I	EtherCAT PHY-0 链路状态
SD1_C3	13					I	SDFM-1 通道 3 时钟输入
FSITXB_D0	14					O	FSITX-B 主数据输出
GPIO56	0、4、8、12	M15	101	J12		I/O	通用输入/输出 56
SPIA_CLK	1					I/O	SPI-A 时钟
EMIF1_D28	2					I/O	外部存储器接口 1 数据线 28
EPWM17_A	3					O	ePWM-17 输出 A
EQEP2_STROBE	5					I/O	eQEP-2 选通
SD2_D1	7					I	SDFM-2 通道 1 数据输入
EMIF1_D1	9					I/O	外部存储器接口 1 数据线 1
I2CA_SDA	10					I/OD	I2C-A 开漏双向数据
ESC_TX0_ENA	11					I/O	EtherCAT MII 发送 0 使能
SD1_C4	13					I	SDFM-1 通道 4 时钟输入
FSITXB_CLK	14					O	FSITX-B 输出时钟
GPIO57	0、4、8、12	M16	102	J11		I/O	通用输入/输出 57
SPIA_PTE	1					I/O	SPI-A 外设发送使能 (PTE)
EMIF1_D27	2					I/O	外部存储器接口 1 数据线 27
EPWM17_B	3					O	ePWM-17 输出 B
EQEP2_INDEX	5					I/O	eQEP-2 索引
SD2_C1	7					I	SDFM-2 通道 1 时钟输入
EMIF1_D2	9					I/O	外部存储器接口 1 数据线 2
I2CA_SCL	10					I/OD	I2C-A 开漏双向时钟
ESC_TX0_CLK	11					I	EtherCAT MII 发送 0 时钟
SD3_D3	13					I	SDFM-3 通道 3 数据输入
FSITXB_D1	14					O	FSITX-B 可选附加数据输出
GPIO58	0、4、8、12	L13	103	J10	52	I/O	通用输入/输出 58
SPIA_PICO	1、15					I/O	SPI-A 外设输入控制器输出 (PICO)
EMIF1_D26	2					I/O	外部存储器接口 1 数据线 26
EPWM8_A	3					O	ePWM-8 输出 A
OUTPUTXBAR1	5					O	输出 X-BAR 输出 1
SPIB_CLK	6					I/O	SPI-B 时钟
SD2_D2	7					I	SDFM-2 通道 2 数据输入
EMIF1_D3	9					I/O	外部存储器接口 1 数据线 3
ESC_LED_LINK0_ACTIVE	10					O	EtherCAT Link-0 有效
CANA_RX	11					I	CAN-A 接收
SD2_C2	13					I	SDFM-2 通道 2 时钟输入
FSIRXB_D0	14					I	FSIRX-B 主数据输入

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO59	0、4、8、12	L14	104	H13	53	I/O	通用输入/输出 59
EPWM5_A	1					O	ePWM-5 输出 A
EMIF1_D25	2					I/O	外部存储器接口 1 数据线 25
EPWM8_B	3					O	ePWM-8 输出 B
OUTPUTXBAR2	5					O	输出 X-BAR 输出 2
SPIB_PTE	6					I/O	SPI-B 外设发送使能 (PTE)
SD2_C2	7					I	SDFM-2 通道 2 时钟输入
EMIF1_D4	9					I/O	外部存储器接口 1 数据线 4
ESC_LED_LINK1_ACTIVE	10					O	EtherCAT Link-1 有效
CANA_TX	11					O	CAN-A 发送
SD2_C3	13					I	SDFM-2 通道 3 时钟输入
FSIRXB_D1	14					I	FSIRX-B 可选附加数据输入
SPIA_POCI	15					I/O	SPI-A 外设输出控制器输入 (POCI)
GPIO60	0、4、8、12	L15	105		54	I/O	通用输入/输出 60
EPWM3_B	1					O	ePWM-3 输出 B
EMIF1_D24	2					I/O	外部存储器接口 1 数据线 24
ESC_LATCH0	3					I	EtherCAT 门锁信号输入 0
OUTPUTXBAR3	5					O	输出 X-BAR 输出 3
SPIB_PICO	6					I/O	SPI-B 外设输入控制器输出 (PICO)
SD2_D3	7					I	SDFM-2 通道 3 数据输入
EMIF1_D5	9					I/O	外部存储器接口 1 数据线 5
ESC_LED_ERR	10					O	EtherCAT 错误 LED
SD2_C4	13					I	SDFM-2 通道 4 时钟输入
FSIRXB_CLK	14					I	FSIRX-B 输入时钟
SPIA_CLK	15					I/O	SPI-A 时钟
GPIO61	0、4、8、12	K16	107	H11	56	I/O	通用输入/输出 61
EPWM17_B	1					O	ePWM-17 输出 B
EMIF1_D23	2					I/O	外部存储器接口 1 数据线 23
ESC_LATCH1	3					I	EtherCAT 门锁信号输入 1
OUTPUTXBAR4	5					O	输出 X-BAR 输出 4
SPIB_POCI	6					I/O	SPI-B 外设输出控制器输入 (POCI)
SD2_C3	7					I	SDFM-2 通道 3 时钟输入
EMIF1_D6	9					I/O	外部存储器接口 1 数据线 6
ESC_LED_RUN	10					O	EtherCAT 运行 LED
CANA_RX	14					I	CAN-A 接收
SPIA_PTE	15					I/O	SPI-A 外设发送使能 (PTE)
GPIO62	0、4、8、12	K15	108	H10	57	I/O	通用输入/输出 62
SCIA_RX	1					I	SCI-A 接收数据
EMIF1_D22	2					I/O	外部存储器接口 1 数据线 22
ESC_MDIO_CLK	3					O	EtherCAT MDIO 时钟
EQEP3_A	5					I	eQEP-3 输入 A
CANA_RX	6					I	CAN-A 接收
SD2_D4	7					I	SDFM-2 通道 4 数据输入
EMIF1_D7	9					I/O	外部存储器接口 1 数据线 7
ESC_LED_STATE_RUN	10					O	EtherCAT LED 状态运行
CANA_TX	14					O	CAN-A 发送

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO63	0、4、8、12	K14	109	G13	58	I/O	通用输入/输出 63
SCIA_TX	1					O	SCI-A 发送数据
EMIF1_D21	2					I/O	外部存储器接口 1 数据线 21
EPWM9_A	3					O	ePWM-9 输出 A
EQEP3_B	5					I	eQEP-3 输入 B
CANA_TX	6					O	CAN-A 发送
SD2_C4	7					I	SDFM-2 通道 4 时钟输入
EMIF1_RNW	9					O	外部存储器接口 1 读/不写
EMIF1_BA0	10					O	外部存储器接口 1 存储库地址 0
SD1_D1	13					I	SDFM-1 通道 1 数据输入
ESC_RX1_DATA0	14					I	EtherCAT MII 接收 1 数据 0
SPIB_PICO	15					I/O	SPI-B 外设输入控制器输出 (PICO)
GPIO64	0、4、8、12	K13	110	G12	59	I/O	通用输入/输出 64
EMIF1_D20	2					I/O	外部存储器接口 1 数据线 20
EPWM9_B	3					O	ePWM-9 输出 B
EQEP3_STROBE	5					I/O	eQEP-3 选通
SCIA_RX	6					I	SCI-A 接收数据
EMIF1_WAIT	9					I	外部存储器接口 1 异步 SRAM WAIT
EMIF1_BA1	10					O	外部存储器接口 1 存储库地址 1
SD1_C1	13					I	SDFM-1 通道 1 时钟输入
ESC_RX1_DATA1	14					I	EtherCAT MII 接收 1 数据 1
SPIB_POCI	15					I/O	SPI-B 外设输出控制器输入 (POCI)
GPIO65	0、4、8、12	K12	111	G11	60	I/O	通用输入/输出 65
EMIF1_D19	2					I/O	外部存储器接口 1 数据线 19
EPWM10_A	3					O	ePWM-10 输出 A
EQEP3_INDEX	5					I/O	eQEP-3 索引
SCIA_TX	6					O	SCI-A 发送数据
EMIF1_WEn	9					O	外部存储器接口 1 写入使能
FSITXB_CLK	11					O	FSITX-B 输出时钟
SD1_D2	13					I	SDFM-1 通道 2 数据输入
ESC_RX1_DATA2	14					I	EtherCAT MII 接收 1 数据 2
SPIB_CLK	15					I/O	SPI-B 时钟
GPIO66	0、4、8、12	K11	112	G10	61	I/O	通用输入/输出 66
EQEP6_B	1					I	eQEP-6 输入 B
EMIF1_D18	2					I/O	外部存储器接口 1 数据线 18
EPWM10_B	3					O	ePWM-10 输出 B
I2CB_SDA	6					I/OD	I2C-B 开漏双向数据
EMIF1_OEn	9					O	外部存储器接口 1 输出使能
FSITXB_D1	11					O	FSITX-B 可选附加数据输出
SD1_C2	13					I	SDFM-1 通道 2 时钟输入
ESC_RX1_DATA3	14					I	EtherCAT MII 接收 1 数据 3
SPIB_PTE	15					I/O	SPI-B 外设发送使能 (PTE)

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO67	0、4、8、12	D15	132			I/O	通用输入/输出 67
EMIF1_D17	2					I/O	外部存储器接口 1 数据线 17
EPWM17_A	3					O	ePWM-17 输出 A
LINB_TX	5					O	LIN-B 发送
ESC_I2C_SDA	11					I/OC	EtherCAT I2C 数据
SD1_D3	13					I	SDFM-1 通道 3 数据输入
GPIO68	0、4、8、12	C16	133	B13		I/O	通用输入/输出 68
EMIF1_D16	2					I/O	外部存储器接口 1 数据线 16
EPWM17_B	3					O	ePWM-17 输出 B
LINB_RX	5					I	LIN-B 接收
ESC_I2C_SCL	11					I/OC	EtherCAT I2C 时钟
SD1_C3	13					I	SDFM-1 通道 3 时钟输入
ESC_PHY1_LINKSTATUS	14					I	EtherCAT PHY-1 链路状态
GPIO69	0、4、8、12	B16	134	B12	75	I/O	通用输入/输出 69
EMIF1_D15	2					I/O	外部存储器接口 1 数据线 15
EPWM11_A	3					O	ePWM-11 输出 A
I2CB_SCL	6					I/OD	I2C-B 开漏双向时钟
FSITXB_D0	11					O	FSITX-B 主数据输出
SD1_D4	13					I	SDFM-1 通道 4 数据输入
ESC_RX1_CLK	14					I	EtherCAT MII 接收 1 时钟
SPIC_PICO	15					I/O	SPI-C 外设输入控制器输出 (PICO)
GPIO70	0、4、8、12	C15	135	A12	76	I/O	通用输入/输出 70
EMIF1_D14	2					I/O	外部存储器接口 1 数据线 14
EPWM11_B	3					O	ePWM-11 输出 B
CANA_RX	5					I	CAN-A 接收
SCIB_TX	6					O	SCI-B 发送数据
UARTB_TX	7					I/O	UART-B 串行数据发送
MCANA_RX	9					I	CAN/CAN FD-A 接收
FSIRXB_D0	11					I	FSIRX-B 主数据输入
SD1_C4	13					I	SDFM-1 通道 4 时钟输入
ESC_RX1_DV	14					I	EtherCAT MII 接收 1 数据有效
SPIC_POCI	15					I/O	SPI-C 外设输出控制器输入 (POCI)
GPIO71	0、4、8、12	B15	136	B11	77	I/O	通用输入/输出 71
EMIF1_D13	2					I/O	外部存储器接口 1 数据线 13
EPWM12_A	3					O	ePWM-12 输出 A
CANA_TX	5					O	CAN-A 发送
SCIB_RX	6					I	SCI-B 接收数据
UARTB_RX	7					I/O	UART-B 串行数据接收
MCANA_TX	9					O	CAN/CAN FD-A 传输
SD3_D1	13					I	SDFM-3 通道 1 数据输入
ESC_RX1_ERR	14					I	EtherCAT MII 接收 1 错误
SPIC_CLK	15					I/O	SPI-C 时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO72	0、4、8、12	A15	139	A11	80	I/O	通用输入/输出 72
EQEP6_STROBE	1					I/O	eQEP-6 选通
EMIF1_D12	2					I/O	外部存储器接口 1 数据线 12
EPWM12_B	3					O	ePWM-12 输出 B
OUTPUTXBAR8	5					O	输出 X-BAR 输出 8
UARTA_TX	6					I/O	UART-A 串行数据发送
MCANB_RX	9					I	CAN/CAN FD-B 接收
SD3_C1	13					I	SDFM-3 通道 1 时钟输入
ESC_TX1_DATA3	14					O	EtherCAT MII 发送 1 数据 3
SPIC_PTE	15					I/O	SPI-C 外设发送使能 (PTE)
GPIO73	0、4、8、12	D14	140	C10	81	I/O	通用输入/输出 73
EQEP6_INDEX	1					I/O	eQEP-6 索引
EMIF1_D11	2					I/O	外部存储器接口 1 数据线 11
XCLKOUT	3					O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
OUTPUTXBAR6	5					O	输出 X-BAR 输出 6
UARTA_RX	6					I/O	UART-A 串行数据接收
EPWM5_B	7					O	ePWM-5 输出 B
MCANB_TX	9					O	CAN/CAN FD-B 传输
SD4_D4	10					I	SDFM-4 通道 4 数据输入
SD2_D2	13					I	SDFM-2 通道 2 数据输入
ESC_TX1_DATA2	14					O	EtherCAT MII 发送 1 数据 2
GPIO74	0、4、8、12	C14	141	B10		I/O	通用输入/输出 74
EPWM8_A	1					O	ePWM-8 输出 A
EMIF1_D10	2					I/O	外部存储器接口 1 数据线 10
EQEP5_A	6					I	eQEP-5 输入 A
MCANA_TX	9					O	CAN/CAN FD-A 传输
SD1_D4	10					I	SDFM-1 通道 4 数据输入
SD2_C2	13					I	SDFM-2 通道 2 时钟输入
ESC_TX1_DATA1	14					O	EtherCAT MII 发送 1 数据 1
GPIO75	0、4、8、12	B14	142	A10		I/O	通用输入/输出 75
EPWM8_B	1					O	ePWM-8 输出 B
EMIF1_D9	2					I/O	外部存储器接口 1 数据线 9
EQEP5_B	6					I	eQEP-5 输入 B
SPID_CLK	7					I/O	SPI-D 时钟
MCANA_RX	9					I	CAN/CAN FD-A 接收
CLB_OUTPUTXBAR8	10					O	CLB 输出 X-BAR 输出 8
SD2_D3	13					I	SDFM-2 通道 3 数据输入
ESC_TX1_DATA0	14					O	EtherCAT MII 发送 1 数据 0
GPIO76	0、4、8、12	A14	143	E9		I/O	通用输入/输出 76
EPWM9_A	1					O	ePWM-9 输出 A
EMIF1_D8	2					I/O	外部存储器接口 1 数据线 8
EQEP5_STROBE	6					I/O	eQEP-5 选通
SD3_C1	7					I	SDFM-3 通道 1 时钟输入
SD4_D4	10					I	SDFM-4 通道 4 数据输入
SD2_C3	13					I	SDFM-2 通道 3 时钟输入
ESC_PHY_RESETn	14					O	EtherCAT PHY 低电平有效复位

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO77	0、4、8、12	F13	144	D9		I/O	通用输入/输出 77
EPWM9_B	1					O	ePWM-9 输出 B
EMIF1_D7	2					I/O	外部存储器接口 1 数据线 7
EQEP5_INDEX	6					I/O	eQEP-5 索引
SD3_D1	7					I	SDFM-3 通道 1 数据输入
SD1_D4	10					I	SDFM-1 通道 4 数据输入
SD2_D4	13					I	SDFM-2 通道 4 数据输入
ESC_RX0_CLK	14					I	EtherCAT MII 接收 0 时钟
GPIO78	0、4、8、12	E13	145	C9	82	I/O	通用输入/输出 78
EPWM10_A	1					O	ePWM-10 输出 A
EMIF1_D6	2					I/O	外部存储器接口 1 数据线 6
EQEP2_A	6					I	eQEP-2 输入 A
SD3_C2	7					I	SDFM-3 通道 2 时钟输入
SD4_D4	10					I	SDFM-4 通道 4 数据输入
SD2_C4	13					I	SDFM-2 通道 4 时钟输入
ESC_RX0_DV	14					I	EtherCAT MII 接收 0 数据有效
GPIO79	0、4、8、12	D13	146	B9		I/O	通用输入/输出 79
EPWM10_B	1					O	ePWM-10 输出 B
EMIF1_D5	2					I/O	外部存储器接口 1 数据线 5
ERRORSTS	5					O	错误状态输出。该信号需要一个外部下拉电阻。
EQEP2_B	6					I	eQEP-2 输入 B
SD3_D2	7					I	SDFM-3 通道 2 数据输入
SD2_D1	13					I	SDFM-2 通道 1 数据输入
ESC_RX0_ERR	14					I	EtherCAT MII 接收 0 错误
GPIO80	0、4、8、12	A13	148	E8	83	I/O	通用输入/输出 80
EPWM11_A	1					O	ePWM-11 输出 A
EMIF1_D4	2					I/O	外部存储器接口 1 数据线 4
ERRORSTS	5					O	错误状态输出。该信号需要一个外部下拉电阻。
EQEP2_STROBE	6					I/O	eQEP-2 选通
SD3_C3	7					I	SDFM-3 通道 3 时钟输入
SD1_D4	10					I	SDFM-1 通道 4 数据输入
SD2_C1	13					I	SDFM-2 通道 1 时钟输入
ESC_RX0_DATA0	14					I	EtherCAT MII 接收 0 数据 0
GPIO81	0、4、8、12	F12	149			I/O	通用输入/输出 81
EPWM11_B	1					O	ePWM-11 输出 B
EMIF1_D3	2					I/O	外部存储器接口 1 数据线 3
EQEP2_INDEX	6					I/O	eQEP-2 索引
SD3_D3	7					I	SDFM-3 通道 3 数据输入
ESC_RX0_DATA1	14					I	EtherCAT MII 接收 0 数据 1
GPIO82	0、4、8、12	E12	150	D8		I/O	通用输入/输出 82
EPWM12_A	1					O	ePWM-12 输出 A
EMIF1_D2	2					I/O	外部存储器接口 1 数据线 2
SD3_C2	13					I	SDFM-3 通道 2 时钟输入
ESC_RX0_DATA2	14					I	EtherCAT MII 接收 0 数据 2

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO83	0、4、8、12	D12	151	C8		I/O	通用输入/输出 83
EPWM12_B	1					O	ePWM-12 输出 B
EMIF1_D1	2					I/O	外部存储器接口 1 数据线 1
SD3_D2	13					I	SDFM-3 通道 2 数据输入
ESC_RX0_DATA3	14					I	EtherCAT MII 接收 0 数据 3
GPIO84	0、4、8、12	D9	154	A8	85	I/O	通用输入/输出 84
EPWM12_B	1					O	ePWM-12 输出 B
EMIF1_D1	2					I/O	外部存储器接口 1 数据线 1
EMIF1_CS4n	3					O	外部存储器接口 1 芯片选择 4
SCIA_TX	5					O	SCI-A 发送数据
EQEP6_A	6					I	eQEP-6 输入 A
SD3_D2	9					I	SDFM-3 通道 2 数据输入
UARTA_TX	11					I/O	UART-A 串行数据发送
SD3_C2	13					I	SDFM-3 通道 2 时钟输入
ESC_TX0_ENA	14					I/O	EtherCAT MII 发送 0 使能
ESC_RX0_DATA3	15					I	EtherCAT MII 接收 0 数据 3
GPIO85	0、4、8、12	C9	155	A7	86	I/O	通用输入/输出 85
EPWM13_A	1					O	ePWM-13 输出 A
EMIF1_D0	2					I/O	外部存储器接口 1 数据线 0
SCIA_RX	5					I	SCI-A 接收数据
EQEP6_B	6					I	eQEP-6 输入 B
SD3_D1	7					I	SDFM-3 通道 1 数据输入
UARTA_RX	11					I/O	UART-A 串行数据接收
SD3_D3	13					I	SDFM-3 通道 3 数据输入
ESC_TX0_CLK	14					I	EtherCAT MII 发送 0 时钟
EMIF1_DQM2	15					O	外部存储器接口 1 字节 2 的输入/输出掩码
GPIO86	0、4、8、12	B9	156	B7	87	I/O	通用输入/输出 86
EPWM13_B	1					O	ePWM-13 输出 B
EMIF1_A13	2					O	外部存储器接口 1 地址线 13
EMIF1_CAS	3					O	外部存储器接口 1 列地址选通
SCIB_TX	5					O	SCI-B 发送数据
EQEP6_STROBE	6					I/O	eQEP-6 选通
SD3_C3	13					I	SDFM-3 通道 3 时钟输入
ESC_PHY0_LINKSTATUS	14					I	EtherCAT PHY-0 链路状态
GPIO87	0、4、8、12	A9	157	C7	88	I/O	通用输入/输出 87
EPWM14_A	1					O	ePWM-14 输出 A
EMIF1_A14	2					O	外部存储器接口 1 地址线 14
EMIF1_RAS	3					O	外部存储器接口 1 行地址选通
SCIB_RX	5					I	SCI-B 接收数据
EQEP6_INDEX	6					I/O	eQEP-6 索引
EMIF1_DQM3	9					O	外部存储器接口 1 字节 3 的输入/输出掩码
SD3_D4	13					I	SDFM-3 通道 4 数据输入
ESC_TX0_DATA0	14					O	EtherCAT MII 发送 0 数据 0

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO88	0、4、8、12	B6	170	C5		I/O	通用输入/输出 88
EPWM14_B	1					O	ePWM-14 输出 B
EMIF1_A15	2					O	外部存储器接口 1 地址线 15
EMIF1_DQM0	3					O	外部存储器接口 1 字节 0 的输入/输出掩码
EMIF1_DQM1	9					O	外部存储器接口 1 字节 1 的输入/输出掩码
SD3_C4	13					I	SDFM-3 通道 4 时钟输入
ESC_TX0_DATA1	14					O	EtherCAT MII 发送 0 数据 1
GPIO89	0、4、8、12	C6	171	D5	96	I/O	通用输入/输出 89
EPWM15_A	1					O	ePWM-15 输出 A
EMIF1_A16	2					O	外部存储器接口 1 地址线 16
EMIF1_DQM1	3					O	外部存储器接口 1 字节 1 的输入/输出掩码
SD1_D3	7					I	SDFM-1 通道 3 数据输入
EMIF1_CAS	9					O	外部存储器接口 1 列地址选通
SD4_D1	13					I	SDFM-4 通道 1 数据输入
ESC_TX0_DATA2	14					O	EtherCAT MII 发送 0 数据 2
SPID_PTE	15					I/O	SPI-D 外设发送使能 (PTE)
GPIO90	0、4、8、12	D6	172	E5	97	I/O	通用输入/输出 90
EPWM15_B	1					O	ePWM-15 输出 B
EMIF1_A17	2					O	外部存储器接口 1 地址线 17
EMIF1_DQM2	3					O	外部存储器接口 1 字节 2 的输入/输出掩码
SD1_C3	7					I	SDFM-1 通道 3 时钟输入
EMIF1_RAS	9					O	外部存储器接口 1 行地址选通
SD4_C1	13					I	SDFM-4 通道 1 时钟输入
ESC_TX0_DATA3	14					O	EtherCAT MII 发送 0 数据 3
SPID_CLK	15					I/O	SPI-D 时钟
GPIO91	0、4、8、12	E6	173	B4	98	I/O	通用输入/输出 91
EPWM16_A	1					O	ePWM-16 输出 A
EMIF1_A18	2					O	外部存储器接口 1 地址线 18
EMIF1_DQM3	3					O	外部存储器接口 1 字节 3 的输入/输出掩码
I2CA_SDA	6					I/OD	I2C-A 开漏双向数据
SD4_D2	7					I	SDFM-4 通道 2 数据输入
EMIF1_DQM2	9					O	外部存储器接口 1 字节 2 的输入/输出掩码
PMBUS_A_SCL	10					I/OD	PMBus-A 开漏双向时钟
CLB_OUTPUTXBAR1	14					O	CLB 输出 X-BAR 输出 1
SPID_PICO	15					I/O	SPI-D 外设输入控制器输出 (PICO)
GPIO92	0、4、8、12	A5	174	A4	99	I/O	通用输入/输出 92
EPWM16_B	1					O	ePWM-16 输出 B
EMIF1_A19	2					O	外部存储器接口 1 地址线 19
EMIF1_BA1	3					O	外部存储器接口 1 存储库地址 1
I2CA_SCL	6					I/OD	I2C-A 开漏双向时钟
SD4_C2	7					I	SDFM-4 通道 2 时钟输入
EMIF1_DQM0	9					O	外部存储器接口 1 字节 0 的输入/输出掩码
PMBUS_A_SDA	10					I/OD	PMBus-A 开漏双向数据
FSIRXD_CLK	11					I	FSIRX-D 输入时钟
CLB_OUTPUTXBAR2	14					O	CLB 输出 X-BAR 输出 2
SPID_POCI	15					I/O	SPI-D 外设输出控制器输入 (POCI)

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO93	0、4、8、12	C5	175	A3		I/O	通用输入/输出 93
EPWM17_A	1					O	ePWM-17 输出 A
EMIF1_BA0	3					O	外部存储器接口 1 存储库地址 0
SD4_D3	7					I	SDFM-4 通道 3 数据输入
PMBUSA_ALERT	10					I/OD	PMBus-A 开漏双向警报信号
ESC_TX1_CLK	11					I	EtherCAT MII 发送 1 时钟
CLB_OUTPUTXBAR3	14					O	CLB 输出 X-BAR 输出 3
SPID_CLK	15					I/O	SPI-D 时钟
GPIO94	0、4、8、12	D5	176	A2		I/O	通用输入/输出 94
EPWM17_B	1					O	ePWM-17 输出 B
SD4_C3	7					I	SDFM-4 通道 3 时钟输入
EMIF1_BA1	9					O	外部存储器接口 1 存储库地址 1
PMBUSA_CTL	10					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
ESC_TX1_ENA	11					I/O	EtherCAT MII 发送 1 使能
CLB_OUTPUTXBAR4	14					O	CLB 输出 X-BAR 输出 4
SPID_PTE	15					I/O	SPI-D 外设发送使能 (PTE)
GPIO95	0、4、8、12	A4				I/O	通用输入/输出 95
EPWM18_A	1					O	ePWM-18 输出 A
EQEP4_A	2					I	eQEP-4 输入 A
SD1_D1	6					I	SDFM-1 通道 1 数据输入
ESC_GPO10	10					O	EtherCAT 通用输出 10
CLB_OUTPUTXBAR5	14					O	CLB 输出 X-BAR 输出 5
GPIO96	0、4、8、12	B4				I/O	通用输入/输出 96
EPWM18_B	1					O	ePWM-18 输出 B
EQEP4_B	2					I	eQEP-4 输入 B
EQEP1_A	5					I	eQEP-1 输入 A
SD1_C1	6					I	SDFM-1 通道 1 时钟输入
ESC_GPO11	10					O	EtherCAT 通用输出 11
CLB_OUTPUTXBAR6	14					O	CLB 输出 X-BAR 输出 6
GPIO97	0、4、8、12	C4				I/O	通用输入/输出 97
EQEP4_STROBE	2					I/O	eQEP-4 选通
EQEP1_B	5					I	eQEP-1 输入 B
SD1_D2	6					I	SDFM-1 通道 2 数据输入
ESC_GPI17	10					I	EtherCAT 通用输入 17
CLB_OUTPUTXBAR7	14					O	CLB 输出 X-BAR 输出 7
GPIO98	0、4、8、12	E2				I/O	通用输入/输出 98
EQEP4_INDEX	2					I/O	eQEP-4 索引
EQEP1_STROBE	5					I/O	eQEP-1 选通
SD1_C2	6					I	SDFM-1 通道 2 时钟输入
ESC_GPI18	10					I	EtherCAT 通用输入 18
CLB_OUTPUTXBAR8	14					O	CLB 输出 X-BAR 输出 8

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO99	0、4、8、12	C1	17	E4		I/O	通用输入/输出 99
EMIF1_DQM3	2					O	外部存储器接口 1 字节 3 的输入/输出掩码
EPWM8_A	3					O	ePWM-8 输出 A
EQEP1_INDEX	5					I/O	eQEP-1 索引
SD4_D4	7					I	SDFM-4 通道 4 数据输入
ESC_GPI21	10					I	EtherCAT 通用输入 21
EMIF1_D17	14					I/O	外部存储器接口 1 数据线 17
GPIO100	0、4、8、12	F4			2	I/O	通用输入/输出 100
SPIA_PICO	1					I/O	SPI-A 外设输入控制器输出 (PICO)
EMIF1_BA1	2					O	外部存储器接口 1 存储库地址 1
EPWM9_A	3					O	ePWM-9 输出 A
EQEP2_A	5					I	eQEP-2 输入 A
SPIC_PICO	6					I/O	SPI-C 外设输入控制器输出 (PICO)
SD4_C4	7					I	SDFM-4 通道 4 时钟输入
SD1_D1	9					I	SDFM-1 通道 1 数据输入
ESC_GPI0	10					I	EtherCAT 通用输入 0
FSIRXD_D1	11					I	FSIRX-D 可选附加数据输入
FSITXA_D0	13					O	FSITX-A 主数据输出
EMIF1_D24	14					I/O	外部存储器接口 1 数据线 24
GPIO101	0、4、8、12	N9				I/O	通用输入/输出 101
EPWM18_A	1					O	ePWM-18 输出 A
EQEP2_B	5					I	eQEP-2 输入 B
SPIC_POCI	6					I/O	SPI-C 外设输出控制器输入 (POCI)
ESC_GPI1	10					I	EtherCAT 通用输入 1
EMIF1_A5	11					O	外部存储器接口 1 地址线 5
FSITXA_D1	13					O	FSITX-A 可选附加数据输出
GPIO102	0、4、8、12	C13				I/O	通用输入/输出 102
EPWM18_B	1					O	ePWM-18 输出 B
EQEP2_STROBE	5					I/O	eQEP-2 选通
SPIC_CLK	6					I/O	SPI-C 时钟
ESC_GPI2	10					I	EtherCAT 通用输入 2
EMIF1_A6	11					O	外部存储器接口 1 地址线 6
FSITXA_CLK	13					O	FSITX-A 输出时钟
GPIO103	0、4、8、12	G12	126	D10		I/O	通用输入/输出 103
EMIF1_BA0	2					O	外部存储器接口 1 存储库地址 0
EPWM8_B	3					O	ePWM-8 输出 B
EQEP2_INDEX	5					I/O	eQEP-2 索引
SPIC_PTE	6					I/O	SPI-C 外设发送使能 (PTE)
SD4_C4	7					I	SDFM-4 通道 4 时钟输入
ESC_GPI3	10					I	EtherCAT 通用输入 3
FSIRXA_D0	13					I	FSIRX-A 主数据输入

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO104	0、4、8、12	B13	147	A9		I/O	通用输入/输出 104
I2CA_SDA	1					I/OD	I2C-A 开漏双向数据
EPWM18_A	2					O	ePWM-18 输出 A
EQEP3_A	5					I	eQEP-3 输入 A
SD3_D1	6					I	SDFM-3 通道 1 数据输入
ESC_GPI4	10					I	EtherCAT 通用输入 4
FSIRXA_D1	13					I	FSIRX-A 可选附加数据输入
ESC_SYNC0	14					O	EtherCAT 同步信号输出 0
GPIO105	0、4、8、12	L16	106	H12		I/O	通用输入/输出 105
I2CA_SCL	1					I/OD	I2C-A 开漏双向时钟
EPWM18_B	2					O	ePWM-18 输出 B
EQEP3_B	5					I	eQEP-3 输入 B
SD3_C1	6					I	SDFM-3 通道 1 时钟输入
ESC_GPI5	10					I	EtherCAT 通用输入 5
FSIRXA_CLK	13					I	FSIRX-A 输入时钟
ESC_SYNC1	14					O	EtherCAT 同步信号输出 1
GPIO106	0、4、8、12	F1	20			I/O	通用输入/输出 106
EPWM16_A	1					O	ePWM-16 输出 A
EMIF1_A10	2					O	外部存储器接口 1 地址线 10
EQEP3_STROBE	5					I/O	eQEP-3 选通
SD3_D2	6					I	SDFM-3 通道 2 数据输入
ESC_GPI6	10					I	EtherCAT 通用输入 6
FSITXB_D0	13					O	FSITX-B 主数据输出
GPIO107	0、4、8、12	F2				I/O	通用输入/输出 107
EPWM16_B	1					O	ePWM-16 输出 B
EQEP3_INDEX	5					I/O	eQEP-3 索引
SD3_C2	6					I	SDFM-3 通道 2 时钟输入
ESC_GPI7	10					I	EtherCAT 通用输入 7
FSITXB_D1	13					O	FSITX-B 可选附加数据输出
GPIO108	0、4、8、12	G2				I/O	通用输入/输出 108
EPWM17_A	1					O	ePWM-17 输出 A
EMIF1_A12	2					O	外部存储器接口 1 地址线 12
EQEP5_A	5					I	eQEP-5 输入 A
SD3_D3	6					I	SDFM-3 通道 3 数据输入
ESC_GPI8	10					I	EtherCAT 通用输入 8
FSITXB_CLK	13					O	FSITX-B 输出时钟
GPIO109	0、4、8、12	G3				I/O	通用输入/输出 109
EPWM17_B	1					O	ePWM-17 输出 B
EMIF1_A11	2					O	外部存储器接口 1 地址线 11
EQEP5_B	5					I	eQEP-5 输入 B
SD3_C3	6					I	SDFM-3 通道 3 时钟输入
ESC_GPI9	10					I	EtherCAT 通用输入 9

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO110	0、4、8、12	H2				I/O	通用输入/输出 110
EMIF1_D31	1					I/O	外部存储器接口 1 数据线 31
EQEP5_STROBE	5					I/O	eQEP-5 选通
SD3_D4	6					I	SDFM-3 通道 4 数据输入
ESC_GPI10	10					I	EtherCAT 通用输入 10
FSIRXB_D0	13					I	FSIRX-B 主数据输入
GPIO111	0、4、8、12	H3				I/O	通用输入/输出 111
EMIF1_D30	1					I/O	外部存储器接口 1 数据线 30
EQEP5_INDEX	5					I/O	eQEP-5 索引
SD3_C4	6					I	SDFM-3 通道 4 时钟输入
ESC_GPI11	10					I	EtherCAT 通用输入 11
FSIRXB_D1	13					I	FSIRX-B 可选附加数据输入
GPIO112	0、4、8、12	H4				I/O	通用输入/输出 112
EMIF1_D29	1					I/O	外部存储器接口 1 数据线 29
SD1_D3	7					I	SDFM-1 通道 3 数据输入
ESC_GPI12	10					I	EtherCAT 通用输入 12
FSIRXB_CLK	13					I	FSIRX-B 输入时钟
GPIO113	0、4、8、12	J3				I/O	通用输入/输出 113
EMIF1_D28	1					I/O	外部存储器接口 1 数据线 28
SD1_C3	7					I	SDFM-1 通道 3 时钟输入
ESC_GPI13	10					I	EtherCAT 通用输入 13
GPIO114	0、4、8、12	J4				I/O	通用输入/输出 114
EMIF1_D27	1					I/O	外部存储器接口 1 数据线 27
SD1_D4	7					I	SDFM-1 通道 4 数据输入
ESC_GPI14	10					I	EtherCAT 通用输入 14
GPIO115	0、4、8、12	P9				I/O	通用输入/输出 115
EMIF1_D26	1					I/O	外部存储器接口 1 数据线 26
OUTPUTXBAR5	5					O	输出 X-BAR 输出 5
SD1_C4	7					I	SDFM-1 通道 4 时钟输入
ESC_GPI15	10					I	EtherCAT 通用输入 15
FSIRXC_D0	13					I	FSIRX-C 主数据输入
GPIO116	0、4、8、12	H11				I/O	通用输入/输出 116
OUTPUTXBAR6	5					O	输出 X-BAR 输出 6
ESC_GPI16	10					I	EtherCAT 通用输入 16
FSIRXC_D1	13					I	FSIRX-C 可选附加数据输入
GPIO119	0、4、8、12	M10				I/O	通用输入/输出 119
EMIF1_D25	1					I/O	外部存储器接口 1 数据线 25
MCANB_TX	5					O	CAN/CAN FD-B 传输
ESC_GPI19	10					I	EtherCAT 通用输入 19
FSIRXD_D1	13					I	FSIRX-D 可选附加数据输入
GPIO120	0、4、8、12	M11				I/O	通用输入/输出 120
EMIF1_D24	1					I/O	外部存储器接口 1 数据线 24
MCANB_RX	5					I	CAN/CAN FD-B 接收
ESC_GPI20	10					I	EtherCAT 通用输入 20
FSIRXD_CLK	13					I	FSIRX-D 输入时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO122	0、4、8、12	L7				I/O	通用输入/输出 122
EMIF1_D23	1					I/O	外部存储器接口 1 数据线 23
SPIC_PICO	6					I/O	SPI-C 外设输入控制器输出 (PICO)
SD1_D1	7					I	SDFM-1 通道 1 数据输入
ESC_GPI22	10					I	EtherCAT 通用输入 22
GPIO123	0、4、8、12	M7				I/O	通用输入/输出 123
EMIF1_D22	1					I/O	外部存储器接口 1 数据线 22
SPIC_POCI	6					I/O	SPI-C 外设输出控制器输入 (POCI)
SD1_C1	7					I	SDFM-1 通道 1 时钟输入
ESC_GPI23	10					I	EtherCAT 通用输入 23
GPIO124	0、4、8、12	L8				I/O	通用输入/输出 124
EMIF1_D21	1					I/O	外部存储器接口 1 数据线 21
SPIC_CLK	6					I/O	SPI-C 时钟
SD1_D2	7					I	SDFM-1 通道 2 数据输入
ESC_GPI24	10					I	EtherCAT 通用输入 24
GPIO125	0、4、8、12	M8				I/O	通用输入/输出 125
EMIF1_D20	1					I/O	外部存储器接口 1 数据线 20
SPIC_PTE	6					I/O	SPI-C 外设发送使能 (PTE)
SD1_C2	7					I	SDFM-1 通道 2 时钟输入
ESC_GPI25	10					I	EtherCAT 通用输入 25
ESC_LATCH0	14					I	EtherCAT 门锁信号输入 0
GPIO126	0、4、8、12	T9				I/O	通用输入/输出 126
EMIF1_D19	1					I/O	外部存储器接口 1 数据线 19
SPID_PICO	6					I/O	SPI-D 外设输入控制器输出 (PICO)
SD1_D3	7					I	SDFM-1 通道 3 数据输入
ESC_GPI26	10					I	EtherCAT 通用输入 26
ESC_LATCH1	14					I	EtherCAT 门锁信号输入 1
GPIO127	0、4、8、12	R9				I/O	通用输入/输出 127
EMIF1_D18	1					I/O	外部存储器接口 1 数据线 18
SPID_POCI	6					I/O	SPI-D 外设输出控制器输入 (POCI)
SD1_C3	7					I	SDFM-1 通道 3 时钟输入
ESC_GPI27	10					I	EtherCAT 通用输入 27
ESC_SYNC0	14					O	EtherCAT 同步信号输出 0
GPIO128	0、4、8、12	M9				I/O	通用输入/输出 128
EMIF1_D17	1					I/O	外部存储器接口 1 数据线 17
SPID_CLK	6					I/O	SPI-D 时钟
SD1_D4	7					I	SDFM-1 通道 4 数据输入
ESC_GPI28	10					I	EtherCAT 通用输入 28
ESC_SYNC1	14					O	EtherCAT 同步信号输出 1
GPIO129	0、4、8、12	L9				I/O	通用输入/输出 129
EMIF1_D16	1					I/O	外部存储器接口 1 数据线 16
SPID_PTE	6					I/O	SPI-D 外设发送使能 (PTE)
SD1_C4	7					I	SDFM-1 通道 4 时钟输入
ESC_GPI29	10					I	EtherCAT 通用输入 29
ESC_TX1_ENA	14					I/O	EtherCAT MII 发送 1 使能

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO130	0、4、8、12	T10				I/O	通用输入/输出 130
EPWM13_A	1					O	ePWM-13 输出 A
SD2_D1	7					I	SDFM-2 通道 1 数据输入
ESC_GPI30	10					I	EtherCAT 通用输入 30
ESC_TX1_CLK	14					I	EtherCAT MII 发送 1 时钟
GPIO131	0、4、8、12	N13				I/O	通用输入/输出 131
EPWM13_B	1					O	ePWM-13 输出 B
SD2_C1	7					I	SDFM-2 通道 1 时钟输入
ESC_GPI31	10					I	EtherCAT 通用输入 31
ESC_TX1_DATA0	14					O	EtherCAT MII 发送 1 数据 0
GPIO132	0、4、8、12	T14				I/O	通用输入/输出 132
EPWM14_A	1					O	ePWM-14 输出 A
SD2_D2	7					I	SDFM-2 通道 2 数据输入
ESC_GPO0	10					O	EtherCAT 通用输出 0
ESC_TX1_DATA1	14					O	EtherCAT MII 发送 1 数据 1
GPIO133	0、4、8、12	J15	118	F13		I/O	通用输入/输出 133
EMIF1_A11	1					O	外部存储器接口 1 地址线 11
EPWM9_A	2					O	ePWM-9 输出 A
SD2_C2	7					I	SDFM-2 通道 2 时钟输入
ESC_LED_STATE_RUN	11					O	EtherCAT LED 状态运行
GPIO134	0、4、8、12	R14				I/O	通用输入/输出 134
EPWM14_B	1					O	ePWM-14 输出 B
SD2_D3	7					I	SDFM-2 通道 3 数据输入
ESC_GPO1	10					O	EtherCAT 通用输出 1
SD2_C1	13					I	SDFM-2 通道 1 时钟输入
ESC_TX1_DATA2	14					O	EtherCAT MII 发送 1 数据 2
GPIO141	0、4、8、12	H13				I/O	通用输入/输出 141
EPWM15_A	1					O	ePWM-15 输出 A
SCIB_TX	6					O	SCI-B 发送数据
ESC_GPO8	10					O	EtherCAT 通用输出 8
ESC_RX1_DATA2	14					I	EtherCAT MII 接收 1 数据 2
GPIO142	0、4、8、12	H14				I/O	通用输入/输出 142
EPWM15_B	1					O	ePWM-15 输出 B
SCIB_RX	6					I	SCI-B 接收数据
ESC_GPO9	10					O	EtherCAT 通用输出 9
ESC_RX1_DATA3	14					I	EtherCAT MII 接收 1 数据 3
GPIO145	0、4、8、12	H15				I/O	通用输入/输出 145
EPWM1_A	1					O	ePWM-1 输出 A
MCANB_TX	6					O	CAN/CAN FD-B 传输
ESC_GPO12	10					O	EtherCAT 通用输出 12
ESC_LED_ERR	14					O	EtherCAT 错误 LED
GPIO146	0、4、8、12	H16				I/O	通用输入/输出 146
EPWM1_B	1					O	ePWM-1 输出 B
MCANB_RX	6					I	CAN/CAN FD-B 接收
ESC_GPO13	10					O	EtherCAT 通用输出 13
ESC_LED_RUN	14					O	EtherCAT 运行 LED

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO147	0、4、8、12	H12				I/O	通用输入/输出 147
EPWM2_A	1					O	ePWM-2 输出 A
EQEP5_A	6					I	eQEP-5 输入 A
ESC_GPO14	10					O	EtherCAT 通用输出 14
ESC_LED_STATE_RUN	14					O	EtherCAT LED 状态运行
GPIO148	0、4、8、12	C12				I/O	通用输入/输出 148
EPWM2_B	1					O	ePWM-2 输出 B
EQEP5_B	6					I	eQEP-5 输入 B
ESC_GPO15	10					O	EtherCAT 通用输出 15
ESC_PHY0_LINKSTATUS	14					I	EtherCAT PHY-0 链路状态
GPIO149	0、4、8、12	B12				I/O	通用输入/输出 149
EPWM3_A	1					O	ePWM-3 输出 A
EQEP5_STROBE	6					I/O	eQEP-5 选通
ESC_GPO16	10					O	EtherCAT 通用输出 16
ESC_PHY1_LINKSTATUS	14					I	EtherCAT PHY-1 链路状态
GPIO150	0、4、8、12	A12				I/O	通用输入/输出 150
EPWM3_B	1					O	ePWM-3 输出 B
EQEP5_INDEX	6					I/O	eQEP-5 索引
ESC_GPO17	10					O	EtherCAT 通用输出 17
ESC_I2C_SDA	14					I/OC	EtherCAT I2C 数据
GPIO151	0、4、8、12	F11				I/O	通用输入/输出 151
EPWM4_A	1					O	ePWM-4 输出 A
PMBUS_A_SCL	6					I/OD	PMBus-A 开漏双向时钟
ESC_GPO18	10					O	EtherCAT 通用输出 18
FSITXA_D0	13					O	FSITX-A 主数据输出
ESC_I2C_SCL	14					I/OC	EtherCAT I2C 时钟
GPIO152	0、4、8、12	E11				I/O	通用输入/输出 152
EPWM4_B	1					O	ePWM-4 输出 B
PMBUS_A_SDA	6					I/OD	PMBus-A 开漏双向数据
ESC_GPO19	10					O	EtherCAT 通用输出 19
FSITXA_D1	13					O	FSITX-A 可选附加数据输出
ESC_MDIO_CLK	14					O	EtherCAT MDIO 时钟
GPIO153	0、4、8、12	D11				I/O	通用输入/输出 153
EPWM5_A	1					O	ePWM-5 输出 A
PMBUS_A_ALERT	6					I/OD	PMBus-A 开漏双向警报信号
ESC_GPO20	10					O	EtherCAT 通用输出 20
FSITXA_CLK	13					O	FSITX-A 输出时钟
ESC_MDIO_DATA	14					I/O	EtherCAT MDIO 数据
GPIO154	0、4、8、12	C11				I/O	通用输入/输出 154
EPWM5_B	1					O	ePWM-5 输出 B
PMBUS_A_CTL	6					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
ESC_GPO21	10					O	EtherCAT 通用输出 21
FSIRXA_D0	13					I	FSIRX-A 主数据输入
ESC_PHY_CLK	14					O	EtherCAT PHY 时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类 型	说明
GPIO155	0、4、8、12	B11				I/O	通用输入/输出 155
EPWM6_A	1					O	ePWM-6 输出 A
ESC_GPO22	10					O	EtherCAT 通用输出 22
FSIRXA_D1	13					I	FSIRX-A 可选附加数据输入
ESC_PHY_RESETn	14					O	EtherCAT PHY 低电平有效复位
GPIO156	0、4、8、12	A11				I/O	通用输入/输出 156
EPWM6_B	1					O	ePWM-6 输出 B
ESC_GPO23	10					O	EtherCAT 通用输出 23
FSIRXA_CLK	13					I	FSIRX-A 输入时钟
ESC_TX0_ENA	14					I/O	EtherCAT MII 发送 0 使能
GPIO157	0、4、8、12	E10				I/O	通用输入/输出 157
EPWM7_A	1					O	ePWM-7 输出 A
ESC_GPO24	10					O	EtherCAT 通用输出 24
FSITXB_D0	13					O	FSITX-B 主数据输出
ESC_TX0_CLK	14					I	EtherCAT MII 发送 0 时钟
GPIO158	0、4、8、12	D10				I/O	通用输入/输出 158
EPWM7_B	1					O	ePWM-7 输出 B
ESC_GPO25	10					O	EtherCAT 通用输出 25
FSITXB_D1	13					O	FSITX-B 可选附加数据输出
ESC_TX0_DATA0	14					O	EtherCAT MII 发送 0 数据 0
GPIO159	0、4、8、12	C10				I/O	通用输入/输出 159
EPWM8_A	1					O	ePWM-8 输出 A
ESC_GPO26	10					O	EtherCAT 通用输出 26
FSITXB_CLK	13					O	FSITX-B 输出时钟
ESC_TX0_DATA1	14					O	EtherCAT MII 发送 0 数据 1
GPIO160	0、4、8、12	B10				I/O	通用输入/输出 160
EPWM8_B	1					O	ePWM-8 输出 B
ESC_GPO27	10					O	EtherCAT 通用输出 27
FSIRXB_D0	13					I	FSIRX-B 主数据输入
ESC_TX0_DATA2	14					O	EtherCAT MII 发送 0 数据 2
GPIO161	0、4、8、12	E9				I/O	通用输入/输出 161
EPWM9_A	1					O	ePWM-9 输出 A
ESC_GPO28	10					O	EtherCAT 通用输出 28
FSIRXB_D1	13					I	FSIRX-B 可选附加数据输入
ESC_TX0_DATA3	14					O	EtherCAT MII 发送 0 数据 3
GPIO162	0、4、8、12	A8				I/O	通用输入/输出 162
EPWM9_B	1					O	ePWM-9 输出 B
ESC_GPO29	10					O	EtherCAT 通用输出 29
FSIRXB_CLK	13					I	FSIRX-B 输入时钟
ESC_RX0_DV	14					I	EtherCAT MII 接收 0 数据有效
GPIO163	0、4、8、12	B8				I/O	通用输入/输出 163
EPWM10_A	1					O	ePWM-10 输出 A
ESC_GPO30	10					O	EtherCAT 通用输出 30
FSIRXC_D0	13					I	FSIRX-C 主数据输入
ESC_RX0_CLK	14					I	EtherCAT MII 接收 0 时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO164	0、4、8、12	C8				I/O	通用输入/输出 164
EPWM10_B	1					O	ePWM-10 输出 B
ESC_GPO31	10					O	EtherCAT 通用输出 31
FSIRXC_D1	13					I	FSIRX-C 可选附加数据输入
ESC_RX0_ERR	14					I	EtherCAT MII 接收 0 错误
GPIO165	0、4、8、12	F6				I/O	通用输入/输出 165
EPWM11_A	1					O	ePWM-11 输出 A
FSIRXC_CLK	13					I	FSIRX-C 输入时钟
ESC_RX0_DATA0	14					I	EtherCAT MII 接收 0 数据 0
GPIO166	0、4、8、12	B5				I/O	通用输入/输出 166
EPWM11_B	1					O	ePWM-11 输出 B
FSIRXD_D0	13					I	FSIRX-D 主数据输入
ESC_RX0_DATA1	14					I	EtherCAT MII 接收 0 数据 1
GPIO167	0、4、8、12	E5				I/O	通用输入/输出 167
EPWM12_A	1					O	ePWM-12 输出 A
FSIRXD_D1	13					I	FSIRX-D 可选附加数据输入
ESC_RX0_DATA2	14					I	EtherCAT MII 接收 0 数据 2
GPIO168	0、4、8、12	F5				I/O	通用输入/输出 168
EPWM12_B	1					O	ePWM-12 输出 B
FSIRXD_CLK	13					I	FSIRX-D 输入时钟
ESC_RX0_DATA3	14					I	EtherCAT MII 接收 0 数据 3
GPIO198	0、4、8、12	K4	26	G4		I/O	通用输入/输出 198。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP1_A	1					I	eQEP-1 输入 A
EPWM9_B	2					O	ePWM-9 输出 B
SPIA_PICO	3					I/O	SPI-A 外设输入控制器输出 (PICO)
ESC_PDI_UC_IRQ	14					O	EtherCAT PDI IRQ 中断线路
GPIO199	0、4、8、12	H1	22	F1	9	I/O	通用输入/输出 199。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP1_STROBE	1					I/O	eQEP-1 选通
EPWM17_A	2					O	ePWM-17 输出 A
SCIB_TX	3					O	SCI-B 发送数据
EPWM12_A	5					O	ePWM-12 输出 A
SPIB_CLK	6					I/O	SPI-B 时钟
SD1_D4	7					I	SDFM-1 通道 4 数据输入
MCANA_TX	9					O	CAN/CAN FD-A 传输
EMIF1_RAS	10					O	外部存储器接口 1 行地址选通
SPIC_CLK	14					I/O	SPI-C 时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO200	0、4、8、12	J1	23	G1	10	I/O	通用输入/输出 200。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP1_INDEX	1					I/O	eQEP-1 索引
EPWM17_B	2					O	ePWM-17 输出 B
SCIB_RX	3					I	SCI-B 接收数据
EPWM12_B	5					O	ePWM-12 输出 B
SPIB_PTE	6					I/O	SPI-B 外设发送使能 (PTE)
SD1_C4	7					I	SDFM-1 通道 4 时钟输入
MCANA_RX	9					I	CAN/CAN FD-A 接收
EMIF1_CAS	10					O	外部存储器接口 1 列地址选通
ESC_TX1_DATA1	11					O	EtherCAT MII 发送 1 数据 1
SPIC_PTE	14					I/O	SPI-C 外设发送使能 (PTE)
GPIO201	0、4、8、12	J2	24	G2		I/O	通用输入/输出 201。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
OUTPUTXBAR1	1					O	输出 X-BAR 输出 1
EQEP2_A	2					I	eQEP-2 输入 A
EPWM18_A	3					O	ePWM-18 输出 A
LINB_TX	5					O	LIN-B 发送
SPIB_PICO	6					I/O	SPI-B 外设输入控制器输出 (PICO)
SD2_D1	7					I	SDFM-2 通道 1 数据输入
PMBUSA_SCL	9					I/OD	PMBus-A 开漏双向时钟
EMIF1_DQM0	10					O	外部存储器接口 1 字节 0 的输入/输出掩码
ESC_TX1_DATA2	11					O	EtherCAT MII 发送 1 数据 2
EPWM13_A	13					O	ePWM-13 输出 A
GPIO202	0、4、8、12	K3	25	G3		I/O	通用输入/输出 202。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
OUTPUTXBAR2	1					O	输出 X-BAR 输出 2
EQEP2_B	2					I	eQEP-2 输入 B
EPWM18_B	3					O	ePWM-18 输出 B
LINB_RX	5					I	LIN-B 接收
SPIB_POCI	6					I/O	SPI-B 外设输出控制器输入 (POCI)
SD2_C1	7					I	SDFM-2 通道 1 时钟输入
PMBUSA_SDA	9					I/OD	PMBus-A 开漏双向数据
EMIF1_DQM1	10					O	外部存储器接口 1 字节 1 的输入/输出掩码
ESC_TX1_DATA3	11					O	EtherCAT MII 发送 1 数据 3
EPWM13_B	13					O	ePWM-13 输出 B
FSITXA_D1	14					O	FSITX-A 可选附加数据输出

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO203	0、4、8、12	K5	27	G5	11	I/O	通用输入/输出 203。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
OUTPUTXBAR3	1、5					O	输出 X-BAR 输出 3
EQEP2_INDEX	2					I/O	eQEP-2 索引
SPIA_POCI	3					I/O	SPI-A 外设输出控制器输入 (POCI)
SPIB_CLK	6					I/O	SPI-B 时钟
SD3_D1	7					I	SDFM-3 通道 1 数据输入
PMBUSA_ALERT	9					I/OD	PMBus-A 开漏双向警报信号
EMIF1_DQM2	10					O	外部存储器接口 1 字节 2 的输入/输出掩码
ESC_MDIO_CLK	11					O	EtherCAT MDIO 时钟
EPWM14_A	13					O	ePWM-14 输出 A
FSITXA_D0	14					O	FSITX-A 主数据输出
EPWM8_B	15					O	ePWM-8 输出 B
GPIO204	0、4、8、12	L6	28	G6	12	I/O	通用输入/输出 204。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
OUTPUTXBAR4	1、5					O	输出 X-BAR 输出 4
EQEP2_STROBE	2					I/O	eQEP-2 选通
SPIA_CLK	3					I/O	SPI-A 时钟
SPIB_PTE	6					I/O	SPI-B 外设发送使能 (PTE)
SD2_C2	7					I	SDFM-2 通道 2 时钟输入
PMBUSA_CTL	9					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
EMIF1_DQM3	10					O	外部存储器接口 1 字节 3 的输入/输出掩码
ESC_MDIO_DATA	11					I/O	EtherCAT MDIO 数据
EPWM14_B	13					O	ePWM-14 输出 B
FSITXA_CLK	14					O	FSITX-A 输出时钟
SD1_D3	15					I	SDFM-1 通道 3 数据输入
GPIO205	0、4、8、12	M6	29	H6	13	I/O	通用输入/输出 205。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP1_INDEX	1					I/O	eQEP-1 索引
EPWM10_A	2					O	ePWM-10 输出 A
SPIA_PTE	3					I/O	SPI-A 外设发送使能 (PTE)
OUTPUTXBAR1	11					O	输出 X-BAR 输出 1
SD1_C3	15					I	SDFM-1 通道 3 时钟输入
GPIO206	0、4、8、12	L5	30	H5	14	I/O	通用输入/输出 206。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EMIF1_A11	1					O	外部存储器接口 1 地址线 11
EPWM10_B	2					O	ePWM-10 输出 B
EMIF1_WEn	3					O	外部存储器接口 1 写入使能
OUTPUTXBAR2	11					O	输出 X-BAR 输出 2
ESC_PHY_CLK	14					O	EtherCAT PHY 时钟
ESC_LED_STATE_RUN	15					O	EtherCAT LED 状态运行

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO207	0、4、8、12	N5	55	J4	36	I/O	通用输入/输出 207。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP2_A	1					I	eQEP-2 输入 A
EPWM11_A	2					O	ePWM-11 输出 A
EXTSYNCOUT	3					O	外部 ePWM 同步脉冲
CANA_TX	5					O	CAN-A 发送
SD4_D1	6					I	SDFM-4 通道 1 数据输入
SCIA_RX	7					I	SCI-A 接收数据
LINA_RX	9					I	LIN-A 接收
I2CB_SCL	10					I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR3	11					O	输出 X-BAR 输出 3
ESC_RX1_CLK	14					I	EtherCAT MII 接收 1 时钟
PMBUSA_ALERT	15					I/OD	PMBus-A 开漏双向警报信号
GPIO208	0、4、8、12	P5	56	K4	37	I/O	通用输入/输出 208。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP2_B	1					I	eQEP-2 输入 B
EPWM11_B	2					O	ePWM-11 输出 B
EMIF1_D13	3					I/O	外部存储器接口 1 数据线 13
SPIB_PICO	5					I/O	SPI-B 外设输入控制器输出 (PICO)
SD4_C1	6					I	SDFM-4 通道 1 时钟输入
SCIA_TX	7					O	SCI-A 发送数据
OUTPUTXBAR4	11					O	输出 X-BAR 输出 4
ESC_RX1_DV	14					I	EtherCAT MII 接收 1 数据有效
PMBUSA_CTL	15					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
GPIO209	0、4、8、12	N6	57	J5	38	I/O	通用输入/输出 209。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP2_STROBE	1					I/O	eQEP-2 选通
EPWM12_A	2					O	ePWM-12 输出 A
EMIF1_D14	3					I/O	外部存储器接口 1 数据线 14
SPIB_POCI	5					I/O	SPI-B 外设输出控制器输入 (POCI)
SD4_D2	6					I	SDFM-4 通道 2 数据输入
EPWM12_B	7					O	ePWM-12 输出 B
LINB_RX	10					I	LIN-B 接收
OUTPUTXBAR5	11					O	输出 X-BAR 输出 5
ESC_RX1_ERR	14					I	EtherCAT MII 接收 1 错误
PMBUSA_SDA	15					I/OD	PMBus-A 开漏双向数据
GPIO210	0、4、8、12	P6	58	K5		I/O	通用输入/输出 210。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP2_INDEX	1					I/O	eQEP-2 索引
EPWM12_B	2					O	ePWM-12 输出 B
EMIF1_D15	3					I/O	外部存储器接口 1 数据线 15
SD4_C2	6					I	SDFM-4 通道 2 时钟输入
LINB_TX	10					O	LIN-B 发送
OUTPUTXBAR6	11					O	输出 X-BAR 输出 6
ESC_RX0_DATA2	14					I	EtherCAT MII 接收 0 数据 2
PMBUSA_SCL	15					I/OD	PMBus-A 开漏双向时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO211	0、4、8、12	R6	59	J6		I/O	通用输入/输出 211。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP6_A	1					I	eQEP-6 输入 A
EPWM14_A	2					O	ePWM-14 输出 A
SD4_D3	6					I	SDFM-4 通道 3 数据输入
OUTPUTXBAR7	11					O	输出 X-BAR 输出 7
ESC_LED_LINK0_ACTIVE	14					O	EtherCAT Link-0 有效
GPIO212	0、4、8、12	T7	60	K6		I/O	通用输入/输出 212。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP6_B	1					I	eQEP-6 输入 B
EPWM14_B	2					O	ePWM-14 输出 B
SD4_C3	6					I	SDFM-4 通道 3 时钟输入
ESC_LED_LINK1_ACTIVE	14					O	EtherCAT Link-1 有效
GPIO213	0、4、8、12	T8	62	L5	39	I/O	通用输入/输出 213。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP6_STROBE	1					I/O	eQEP-6 选通
EPWM8_A	2					O	ePWM-8 输出 A
SD4_D4	6					I	SDFM-4 通道 4 数据输入
LINB_TX	10					O	LIN-B 发送
ESC_LED_ERR	14					O	EtherCAT 错误 LED
GPIO214	0、4、8、12	R8	63	L6	40	I/O	通用输入/输出 214。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
CANA_RX	1					I	CAN-A 接收
EMIF1_CLK	2					O	外部存储器接口 1 时钟
MCANA_RX	3					I	CAN/CAN FD-A 接收
OUTPUTXBAR7	5					O	输出 X-BAR 输出 7
EQEP3_STROBE	6					I/O	eQEP-3 选通
SD2_D4	7					I	SDFM-2 通道 4 数据输入
EMIF1_CS4n	9					O	外部存储器接口 1 芯片选择 4
ESC_LATCH1	10					I	EtherCAT 门锁信号输入 1
ESC_I2C_SCL	11					I/OC	EtherCAT I2C 时钟
EPWM16_A	13					O	ePWM-16 输出 A
ESC_SYNC1	14					O	EtherCAT 同步信号输出 1
SPID_PICO	15					I/O	SPI-D 外设输入控制器输出 (PICO)
GPIO215	0、4、8、12	P7	64	M6		I/O	通用输入/输出 215。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
SCIA_RX	1					I	SCI-A 接收数据
EMIF1_CS4n	2					O	外部存储器接口 1 芯片选择 4
CANA_RX	3					I	CAN-A 接收
OUTPUTXBAR5	5					O	输出 X-BAR 输出 5
EQEP3_A	6					I	eQEP-3 输入 A
SD2_D3	7					I	SDFM-2 通道 3 数据输入
EMIF1_CS2n	9					O	外部存储器接口 1 芯片选择 2
I2CB_SDA	10					I/OD	I2C-B 开漏双向数据
SPIC_POCI	11					I/O	SPI-C 外设输出控制器输入 (POCI)
EPWM15_A	13					O	ePWM-15 输出 A
LINA_TX	14					O	LIN-A 发送
EMIF1_D12	15					I/O	外部存储器接口 1 数据线 12

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO216	0、4、8、12	N7	65	N6		I/O	通用输入/输出 216。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
SCIA_TX	1					O	SCI-A 发送数据
EMIF1_SDCKE	2					O	外部存储器接口 1 SDRAM 时钟使能
SPID_CLK	3					I/O	SPI-D 时钟
OUTPUTXBAR6	5					O	输出 X-BAR 输出 6
EQEP3_B	6					I	eQEP-3 输入 B
SD2_C3	7					I	SDFM-2 通道 3 时钟输入
EMIF1_CS3n	9					O	外部存储器接口 1 芯片选择 3
ESC_LATCH0	10					I	EtherCAT 门锁信号输入 0
ESC_I2C_SDA	11					I/OC	EtherCAT I2C 数据
EPWM15_B	13					O	ePWM-15 输出 B
ESC_SYNC0	14					O	EtherCAT 同步信号输出 0
EMIF1_D13	15					I/O	外部存储器接口 1 数据线 13
GPIO217	0、4、8、12	P8	66	M7		I/O	通用输入/输出 217。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
CANA_TX	1					O	CAN-A 发送
EMIF1_WEn	2					O	外部存储器接口 1 写入使能
MCANA_TX	3					O	CAN/CAN FD-A 传输
OUTPUTXBAR8	5					O	输出 X-BAR 输出 8
EQEP3_INDEX	6					I/O	eQEP-3 索引
SD2_C4	7					I	SDFM-2 通道 4 时钟输入
EMIF1_RNW	9					O	外部存储器接口 1 读/不写
I2CA_SDA	10					I/OD	I2C-A 开漏双向数据
SPID_PTE	11					I/O	SPI-D 外设发送使能 (PTE)
EPWM16_B	13					O	ePWM-16 输出 B
LINB_TX	14					O	LIN-B 发送
SPID_POCI	15					I/O	SPI-D 外设输出控制器输入 (POCI)
GPIO218	0、4、8、12	N8	67	N7		I/O	通用输入/输出 218。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
I2CA_SDA	1					I/OD	I2C-A 开漏双向数据
EMIF1_CS0n	2					O	外部存储器接口 1 芯片选择 0
SPIA_PICO	3					I/O	SPI-A 外设输入控制器输出 (PICO)
EQEP4_A	5					I	eQEP-4 输入 A
LINB_TX	6					O	LIN-B 发送
CLB_OUTPUTXBAR1	7					O	CLB 输出 X-BAR 输出 1
EMIF1_OEn	9					O	外部存储器接口 1 输出使能
I2CA_SCL	10					I/OD	I2C-A 开漏双向时钟
SPID_CLK	15					I/O	SPI-D 时钟
GPIO219	0、4、8、12	R7	61			I/O	通用输入/输出 219。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
EQEP6_INDEX	1					I/O	eQEP-6 索引
EPWM8_B	2					O	ePWM-8 输出 B
SD4_C4	6					I	SDFM-4 通道 4 时钟输入
ESC_LED_RUN	14					O	EtherCAT 运行 LED

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO220	0、4、8、12	F16	123	D13	68	I/O	通用输入/输出 220
EPWM6_A	2					O	ePWM-6 输出 A
SPID_POCI	3					I/O	SPI-D 外设输出控制器输入 (POCI)
OUTPUTXBAR2	5					O	输出 X-BAR 输出 2
SCIB_TX	6					O	SCI-B 发送数据
MCANA_TX	7					O	CAN/CAN FD-A 传输
PMBUSA_ALERT	15					I/OD	PMBus-A 开漏双向警报信号
X1	ALT					I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器,必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
GPIO221	0、4、8、12	G16	121	E13	66	I/O	通用输入/输出 221
EPWM6_B	2					O	ePWM-6 输出 B
SPID_PTE	3					I/O	SPI-D 外设发送使能 (PTE)
OUTPUTXBAR3	5					O	输出 X-BAR 输出 3
SCIB_RX	6					I	SCI-B 接收数据
MCANA_RX	7					I	CAN/CAN FD-A 接收
PMBUSA_CTL	15					I/O	PMBus-A 控制信号 - 目标输入/控制器输出
X2	ALT					I/O	晶体振荡器输出。
GPIO222	0、4、8、12	T12	77	N9	46	I/O	通用输入/输出 222
TDI	1					I	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器 (指令或数据) 中计时。
EPWM7_A	2					O	ePWM-7 输出 A
SPIA_PICO	3					I/O	SPI-A 外设输入控制器输出 (PICO)
OUTPUTXBAR4	5					O	输出 X-BAR 输出 4
SCIA_RX	6					I	SCI-A 接收数据
UARTB_TX	7					I/O	UART-B 串行数据发送
I2CA_SDA	9					I/OD	I2C-A 开漏双向数据
SPIC_CLK	10					I/O	SPI-C 时钟
ESC_PDI_UC_IRQ	14					O	EtherCAT PDI IRQ 中断线路
PMBUSA_SDA	15					I/OD	PMBus-A 开漏双向数据
GPIO223	0、4、8、12	R12	78	M9	47	I/O	通用输入/输出 223
TDO	1					O	JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 下降沿从 TDO 移出。
EPWM7_B	2					O	ePWM-7 输出 B
EMIF1_A11	3					O	外部存储器接口 1 地址线 11
OUTPUTXBAR5	5					O	输出 X-BAR 输出 5
SCIA_TX	6					O	SCI-A 发送数据
UARTB_RX	7					I/O	UART-B 串行数据接收
I2CA_SCL	9					I/OD	I2C-A 开漏双向时钟
SPIC_PTE	10					I/O	SPI-C 外设发送使能 (PTE)
PMBUSA_SCL	15					I/OD	PMBus-A 开漏双向时钟

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
GPIO224	0、4、8、12					I/O	通用输入/输出 224
ERRORSTS	1					O	错误状态输出。该信号需要一个外部下拉电阻。
EMIF1_SDCKE	2					O	外部存储器接口 1 SDRAM 时钟使能
XCLKOUT	3	P16	92	L12		O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
OUTPUTXBAR1	5					O	输出 X-BAR 输出 1
SD2_C1	13					I	SDFM-2 通道 1 时钟输入
ESC_PDI_UC_IRQ	14					O	EtherCAT PDI IRQ 中断线路
测试、JTAG 和复位							
TCK		R13	81	M10	50	I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		T13	80	N10	49	I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器 (建议 2.2k Ω) 以将 TMS 引脚连接至 VDDIO, 从而在正常运行期间将 JTAG 保持在复位状态。
VREGENZ		J16	119	E10	64	I	具有内部上拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。
XRSn		G14	124	D12	69	I/OD	器件复位 (输入) 和看门狗复位 (输出)。在上电条件下, 此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时, 此引脚也由 MCU 驱动为低电平。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2k Ω 至 10k Ω 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除, 则该电容器的容值应为 100nF 或更小。当看门狗复位生效时, 这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动, 则应使用开漏器件进行驱动。
电源和接地							
VDD3VFL		R11、 T11	72	M8	44		3.3V 闪存电源引脚。在每个引脚上放置一个最小值为 0.1 μ F 的去耦电容器。将该引脚连接到 3.3V 电源。
VDD		F9、 F10、 G6、 J11、 K8、 K9	16、 76、 117、 137、 169	F5、 F7、 G9、J9	8、 45、 63、 78、95		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 20 μ F 的去耦电容器。去耦电容器的确切值应由您的系统电压调节解决方案确定。
VDDA		N1、 T6	36、54	L2、 M5	18、35		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2 μ F 且连接至 VSSA 的去耦电容器。将该引脚连接到 3.3V 电源。
VDDIO		B1、 E15、 G7、 G8、 H5、 J5、 J10、 K7、 K10、 T15	3、 15、 68、 75、 88、 91、 99、 114、 127、 138、 152、 168	C13、 F4、 F6、 F8、 H9、J8	7、 41、 55、 62、 70、 79、94		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1 μ F 的去耦电容器。将该引脚连接到 3.3V 电源。
VDDOSC		G15	120	E11	65		3.3V 振荡器电源引脚。这提供 3.3V 片上晶体振荡器 (X1 和 X2) 的电源引脚以及两个内部零引脚振荡器 (INTOSC)。在每个引脚上放置一个 0.1 μ F (最小值) 的去耦电容器。将该引脚连接到 3.3V 电源。

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	256 ZEJ	176 PTP	169 NMR	100 PZP	引脚类型	说明
VSS		A1、 A16、 G5、 G9、 G10、 G11、 H6、 H7、 H8、 H9、 H10、 J6、 J7、 J8、 J9、 K6、 T16	PAD	A1、 A13、 F9、 G7、 G8、 H7、 H8、 J7、 N13	PAD		数字接地
VSSA		M3、 N2、 T1、T5	34、52	L1、 N1、 N5	17、33		模拟接地
VSSOSC		F15	122	E12	67		晶体振荡器 (X1 和 X2) 接地引脚。使用外部晶体时，请勿将此引脚连接至电路板接地。相反，将其连接至外部晶体振荡器电路的接地基准。如果未使用外部晶体，则此引脚可以连接至电路板接地。

5.3 信号说明

5.3.1 模拟信号

表 5-2. 模拟信号

信号名称	引脚类型	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
A0	I	ADC-A 输入 0	P1	43	L3	25
A1	I	ADC-A 输入 1	P2	42	K3	24
A2	I	ADC-A 输入 2	N3	41	J3	23
A3	I	ADC-A 输入 3	N4	40	H3	22
A4	I	ADC-A 输入 4	M4	39	H2	21
A5	I	ADC-A 输入 5	M5	38	H1	20
A6	I	ADC-A 输入 6	N6	57	J5	38
A7	I	ADC-A 输入 7	P6	58	K5	
A8	I	ADC-A 输入 8	R6	59	J6	
A9	I	ADC-A 输入 9	T7	60	K6	
A10	I	ADC-A 输入 10	T8	62	L5	39
A11	I	ADC-A 输入 11	R8	63	L6	40
A12	I	ADC-A 输入 12	P1	43	L3	25
A14	I	ADC-A 输入 14	R1	44	M1	26
A15	I	ADC-A 输入 15	R2	45	M2	27
AIO225	I	用于数字输入 225 的模拟引脚	R1	44	M1	26
AIO226	I	用于数字输入 226 的模拟引脚	R2	45	M2	27
AIO227	I	用于数字输入 227 的模拟引脚	P1	43	L3	25
AIO228	I	用于数字输入 228 的模拟引脚	P2	42	K3	24
AIO229	I	用于数字输入 229 的模拟引脚	N3	41	J3	23
AIO230	I	用于数字输入 230 的模拟引脚	N4	40	H3	22
AIO231	I	用于数字输入 231 的模拟引脚	M4	39	H2	21
AIO232	I	用于数字输入 232 的模拟引脚	M5	38	H1	20
AIO233	I	用于数字输入 233 的模拟引脚	T2	46	N2	28
AIO234	I	用于数字输入 234 的模拟引脚	T3	47	N3	29
AIO235	I	用于数字输入 235 的模拟引脚	R3	48	M3	30
AIO236	I	用于数字输入 236 的模拟引脚	P3	49	L4	31
AIO237	I	用于数字输入 237 的模拟引脚	L4	31	H4	15
AIO238	I	用于数字输入 238 的模拟引脚	R5			
AIO239	I	用于数字输入 239 的模拟引脚	K1			
AIO240	I	用于数字输入 240 的模拟引脚	P4	51		
AIO241	I	用于数字输入 241 的模拟引脚	L3			
AIO242	I	用于数字输入 242 的模拟引脚	K2			
B0	I	ADC-B 输入 0	T2	46	N2	28
B1	I	ADC-B 输入 1	T3	47	N3	29
B2	I	ADC-B 输入 2	R3	48	M3	30
B3	I	ADC-B 输入 3	P3	49	L4	31
B4	I	ADC-B 输入 4	P7	64	M6	
B5	I	ADC-B 输入 5	N7	65	N6	

表 5-2. 模拟信号 (续)

信号名称	引脚类型	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
B6	I	ADC-B 输入 6	N5	55	J4	36
B7	I	ADC-B 输入 7	P5	56	K4	37
B8	I	ADC-B 输入 8	P8	66	M7	
B9	I	ADC-B 输入 9	N8	67	N7	
B10	I	ADC-B 输入 10	R7	61		
B11	I	ADC-B 输入 11	P4	51		
B12	I	ADC-B 输入 12	P1	43	L3	25
B13	I	ADC-B 输入 13	R5			
B14	I	ADC-B 输入 14	R1	44	M1	26
B15	I	ADC-B 输入 15	R2	45	M2	27
B19	I	ADC-B 输入 19	P2	42	K3	24
B20	I	ADC-B 输入 20	N3	41	J3	23
C0	I	ADC-C 输入 0	H1	22	F1	9
C1	I	ADC-C 输入 1	J1	23	G1	10
C2	I	ADC-C 输入 2	L4	31	H4	15
C3	I	ADC-C 输入 3	L5	30	H5	14
C4	I	ADC-C 输入 4	M6	29	H6	13
C5	I	ADC-C 输入 5	L6	28	G6	12
C6	I	ADC-C 输入 6	K5	27	G5	11
C7	I	ADC-C 输入 7	K4	26	G4	
C8	I	ADC-C 输入 8	K3	25	G3	
C9	I	ADC-C 输入 9	J2	24	G2	
C10	I	ADC-C 输入 10	L3			
C11	I	ADC-C 输入 11	K2			
C12	I	ADC-C 输入 12	P1	43	L3	25
C13	I	ADC-C 输入 13	K1			
C14	I	ADC-C 输入 14	R1	44	M1	26
C15	I	ADC-C 输入 15	R2	45	M2	27
CMP1_HN0	I	CMPSS-1 高电平比较器负输入 0	N4	40	H3	22
CMP1_HN1	I	CMPSS-1 高电平比较器负输入 1	P2	42	K3	24
CMP1_HP0	I	CMPSS-1 高电平比较器正输入 0	N3	41	J3	23
CMP1_HP1	I	CMPSS-1 高电平比较器正输入 1	P1	43	L3	25
CMP1_HP2	I	CMPSS-1 高电平比较器正输入 2	P2	42	K3	24
CMP1_HP3	I	CMPSS-1 高电平比较器正输入 3	N4	40	H3	22
CMP1_LN0	I	CMPSS-1 低电平比较器负输入 0	N4	40	H3	22
CMP1_LN1	I	CMPSS-1 低电平比较器负输入 1	P2	42	K3	24
CMP1_LP0	I	CMPSS-1 低电平比较器正输入 0	N3	41	J3	23
CMP1_LP1	I	CMPSS-1 低电平比较器正输入 1	P1	43	L3	25
CMP1_LP2	I	CMPSS-1 低电平比较器正输入 2	P2	42	K3	24
CMP1_LP3	I	CMPSS-1 低电平比较器正输入 3	P3	49	L4	31
CMP2_HN0	I	CMPSS-2 高电平比较器负输入 0	M5	38	H1	20
CMP2_HN1	I	CMPSS-2 高电平比较器负输入 1	N3	41	J3	23

表 5-2. 模拟信号 (续)

信号名称	引脚类型	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
CMP2_HP0	I	CMPSS-2 高电平比较器正输入 0	M4	39	H2	21
CMP2_HP1	I	CMPSS-2 高电平比较器正输入 1	P8	66	M7	
CMP2_HP2	I	CMPSS-2 高电平比较器正输入 2	N8	67	N7	
CMP2_HP3	I	CMPSS-2 高电平比较器正输入 3	M5	38	H1	20
CMP2_LN0	I	CMPSS-2 低电平比较器负输入 0	M5	38	H1	20
CMP2_LN1	I	CMPSS-2 低电平比较器负输入 1	N3	41	J3	23
CMP2_LP0	I	CMPSS-2 低电平比较器正输入 0	M4	39	H2	21
CMP2_LP1	I	CMPSS-2 低电平比较器正输入 1	P8	66	M7	
CMP2_LP2	I	CMPSS-2 低电平比较器正输入 2	N8	67	N7	
CMP2_LP3	I	CMPSS-2 低电平比较器正输入 3	L6	28	G6	12
CMP3_HN0	I	CMPSS-3 高电平比较器负输入 0	P3	49	L4	31
CMP3_HN1	I	CMPSS-3 高电平比较器负输入 1	P5	56	K4	37
CMP3_HP0	I	CMPSS-3 高电平比较器正输入 0	R3	48	M3	30
CMP3_HP1	I	CMPSS-3 高电平比较器正输入 1	T2	46	N2	28
CMP3_HP2	I	CMPSS-3 高电平比较器正输入 2	T3	47	N3	29
CMP3_LN0	I	CMPSS-3 低电平比较器负输入 0	P3	49	L4	31
CMP3_LN1	I	CMPSS-3 低电平比较器负输入 1	P5	56	K4	37
CMP3_LP0	I	CMPSS-3 低电平比较器正输入 0	R3	48	M3	30
CMP3_LP1	I	CMPSS-3 低电平比较器正输入 1	T2	46	N2	28
CMP3_LP2	I	CMPSS-3 低电平比较器正输入 2	T3	47	N3	29
CMP3_LP3	I	CMPSS-3 低电平比较器正输入 3	L5	30	H5	14
CMP4_HN0	I	CMPSS-4 高电平比较器负输入 0	R2	45	M2	27
CMP4_HN1	I	CMPSS-4 高电平比较器负输入 1	R7	61		
CMP4_HP0	I	CMPSS-4 高电平比较器正输入 0	R1	44	M1	26
CMP4_HP1	I	CMPSS-4 高电平比较器正输入 1	R7	61		
CMP4_HP2	I	CMPSS-4 高电平比较器正输入 2	P4	51		
CMP4_HP3	I	CMPSS-4 高电平比较器正输入 3	R2	45	M2	27
CMP4_LN0	I	CMPSS-4 低电平比较器负输入 0	R2	45	M2	27
CMP4_LN1	I	CMPSS-4 低电平比较器负输入 1	R7	61		
CMP4_LP0	I	CMPSS-4 低电平比较器正输入 0	R1	44	M1	26
CMP4_LP1	I	CMPSS-4 低电平比较器正输入 1	R7	61		
CMP4_LP2	I	CMPSS-4 低电平比较器正输入 2	P4	51		
CMP4_LP3	I	CMPSS-4 低电平比较器正输入 3	P6	58	K5	
CMP5_HN0	I	CMPSS-5 高电平比较器负输入 0	L6	28	G6	12
CMP5_HN1	I	CMPSS-5 高电平比较器负输入 1	P7	64	M6	
CMP5_HP0	I	CMPSS-5 高电平比较器正输入 0	M6	29	H6	13
CMP5_HP1	I	CMPSS-5 高电平比较器正输入 1	P7	64	M6	
CMP5_HP2	I	CMPSS-5 高电平比较器正输入 2	N7	65	N6	
CMP5_LN0	I	CMPSS-5 低电平比较器负输入 0	L6	28	G6	12
CMP5_LN1	I	CMPSS-5 低电平比较器负输入 1	P7	64	M6	
CMP5_LP0	I	CMPSS-5 低电平比较器正输入 0	M6	29	H6	13
CMP5_LP1	I	CMPSS-5 低电平比较器正输入 1	P7	64	M6	

表 5-2. 模拟信号 (续)

信号名称	引脚类型	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
CMP5_LP2	I	CMPSS-5 低电平比较器正输入 2	N7	65	N6	
CMP5_LP3	I	CMPSS-5 低电平比较器正输入 3	T7	60	K6	
CMP6_HN0	I	CMPSS-6 高电平比较器负输入 0	L5	30	H5	14
CMP6_HN1	I	CMPSS-6 高电平比较器负输入 1	H1	22	F1	9
CMP6_HP0	I	CMPSS-6 高电平比较器正输入 0	L4	31	H4	15
CMP6_HP1	I	CMPSS-6 高电平比较器正输入 1	H1	22	F1	9
CMP6_HP2	I	CMPSS-6 高电平比较器正输入 2	J1	23	G1	10
CMP6_LN0	I	CMPSS-6 低电平比较器负输入 0	L5	30	H5	14
CMP6_LN1	I	CMPSS-6 低电平比较器负输入 1	H1	22	F1	9
CMP6_LP0	I	CMPSS-6 低电平比较器正输入 0	L4	31	H4	15
CMP6_LP1	I	CMPSS-6 低电平比较器正输入 1	H1	22	F1	9
CMP6_LP2	I	CMPSS-6 低电平比较器正输入 2	J1	23	G1	10
CMP7_HN0	I	CMPSS-7 高电平比较器负输入 0	P6	58	K5	
CMP7_HN1	I	CMPSS-7 高电平比较器负输入 1	N5	55	J4	36
CMP7_HP0	I	CMPSS-7 高电平比较器正输入 0	N6	57	J5	38
CMP7_HP1	I	CMPSS-7 高电平比较器正输入 1	N5	55	J4	36
CMP7_HP2	I	CMPSS-7 高电平比较器正输入 2	P5	56	K4	37
CMP7_LN0	I	CMPSS-7 低电平比较器负输入 0	P6	58	K5	
CMP7_LN1	I	CMPSS-7 低电平比较器负输入 1	N5	55	J4	36
CMP7_LP0	I	CMPSS-7 低电平比较器正输入 0	N6	57	J5	38
CMP7_LP1	I	CMPSS-7 低电平比较器正输入 1	N5	55	J4	36
CMP7_LP2	I	CMPSS-7 低电平比较器正输入 2	P5	56	K4	37
CMP8_HN0	I	CMPSS-8 高电平比较器负输入 0	T7	60	K6	
CMP8_HN1	I	CMPSS-8 高电平比较器负输入 1	T8	62	L5	39
CMP8_HP0	I	CMPSS-8 高电平比较器正输入 0	R6	59	J6	
CMP8_HP1	I	CMPSS-8 高电平比较器正输入 1	T8	62	L5	39
CMP8_HP2	I	CMPSS-8 高电平比较器正输入 2	R8	63	L6	40
CMP8_LN0	I	CMPSS-8 低电平比较器负输入 0	T7	60	K6	
CMP8_LN1	I	CMPSS-8 低电平比较器负输入 1	T8	62	L5	39
CMP8_LP0	I	CMPSS-8 低电平比较器正输入 0	R6	59	J6	
CMP8_LP1	I	CMPSS-8 低电平比较器正输入 1	T8	62	L5	39
CMP8_LP2	I	CMPSS-8 低电平比较器正输入 2	R8	63	L6	40
CMP9_HN0	I	CMPSS-9 高电平比较器负输入 0	P1	43	L3	25
CMP9_HN1	I	CMPSS-9 高电平比较器负输入 1	N8	67	N7	
CMP9_HP0	I	CMPSS-9 高电平比较器正输入 0	R5			
CMP9_HP1	I	CMPSS-9 高电平比较器正输入 1	K1			
CMP9_HP2	I	CMPSS-9 高电平比较器正输入 2	P6	58	K5	
CMP9_LN0	I	CMPSS-9 低电平比较器负输入 0	P1	43	L3	25
CMP9_LN1	I	CMPSS-9 低电平比较器负输入 1	N8	67	N7	
CMP9_LP0	I	CMPSS-9 低电平比较器正输入 0	R5			
CMP9_LP1	I	CMPSS-9 低电平比较器正输入 1	K1			
CMP9_LP2	I	CMPSS-9 低电平比较器正输入 2	M5	38	H1	20

表 5-2. 模拟信号 (续)

信号名称	引脚类型	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
CMP10_HN0	I	CMPSS-10 高电平比较器负输入 0	P8	66	M7	
CMP10_HN1	I	CMPSS-10 高电平比较器负输入 1	M6	29	H6	13
CMP10_HP0	I	CMPSS-10 高电平比较器正输入 0	L3			
CMP10_HP1	I	CMPSS-10 高电平比较器正输入 1	K5	27	G5	11
CMP10_HP2	I	CMPSS-10 高电平比较器正输入 2	K3	25	G3	
CMP10_LN0	I	CMPSS-10 低电平比较器负输入 0	P8	66	M7	
CMP10_LN1	I	CMPSS-10 低电平比较器负输入 1	M6	29	H6	13
CMP10_LP0	I	CMPSS-10 低电平比较器正输入 0	L3			
CMP10_LP1	I	CMPSS-10 低电平比较器正输入 1	K5	27	G5	11
CMP10_LP2	I	CMPSS-10 低电平比较器正输入 2	K3	25	G3	
CMP11_HN0	I	CMPSS-11 高电平比较器负输入 0	T2	46	N2	28
CMP11_HN1	I	CMPSS-11 高电平比较器负输入 1	K1			
CMP11_HP0	I	CMPSS-11 高电平比较器正输入 0	K2			
CMP11_HP1	I	CMPSS-11 高电平比较器正输入 1	K4	26	G4	
CMP11_HP2	I	CMPSS-11 高电平比较器正输入 2	J2	24	G2	
CMP11_LN0	I	CMPSS-11 低电平比较器负输入 0	T2	46	N2	28
CMP11_LN1	I	CMPSS-11 低电平比较器负输入 1	K1			
CMP11_LP0	I	CMPSS-11 低电平比较器正输入 0	K2			
CMP11_LP1	I	CMPSS-11 低电平比较器正输入 1	K4	26	G4	
CMP11_LP2	I	CMPSS-11 低电平比较器正输入 2	J2	24	G2	
DACA_OUT	O	缓冲 DAC-A 输出。	P1	43	L3	25
DACC_OUT	O	缓冲 DAC-C 输出。	T3	47	N3	29
VDAC	I	片上 DAC 的可选外部基准电压。	T2	46	N2	28
VREFHIA	I	ADC-A 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚	M2	37	K2	19
VREFHIB	I	ADC-B 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚	R4	53	M4	34
VREFHIC	I	ADC-C 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间尽可能靠近器件的位置。注意：请勿从外部加载此引脚	L2	35	J2	19
VREFLOA	I	ADC-A 低基准电压	M1	33	K1	16
VREFLOB	I	ADC-B 低基准电压	T4	50	N4	32

表 5-2. 模拟信号 (续)

信号名称	引脚类型	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
VREFLOC	I	ADC-C 低基准电压	L1	32	J1	16

5.3.2 数字信号

表 5-3. 数字信号

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
ADCSOCAO	O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 A 输出	8、12	D1、G4	4、18	B1、E3	3
ADCSOCBO	O	外部 ADC (来自 ePWM 模块) 的 ADC 转换启动 B 输出	10	D4	1	B3	100
CANA_RX	I	CAN-A 接收	5、18、30、36、58、61、62、70、214、215	C15、E7、F3、K15、K16、L10、L13、P7、P12、R8	10、63、64、79、83、103、107、108、135、165	A12、D3、E6、H10、H11、J10、L6、L9、M6、N11	40、48、52、56、57、76
CANA_TX	O	CAN-A 发送	4、19、31、37、59、62、63、71、207、217	B2、B15、D7、D8、K14、K15、L14、N5、N12、P8	12、55、66、84、104、108、109、136、158、164	B11、D1、D6、G13、H10、H13、J4、M7、M11	36、53、57、58、77、93
CLB_OUTPUTXBAR1	O	CLB 输出 X-BAR 输出 1	0、32、40、91、218	E6、F8、J14、N8、P13	67、87、116、160、173	B4、E7、F12、N7、N12	89、98
CLB_OUTPUTXBAR2	O	CLB 输出 X-BAR 输出 2	1、33、41、92	A5、A7、R10、R15	69、89、161、174	A4、A6、L7、M12	51、90、99
CLB_OUTPUTXBAR3	O	CLB 输出 X-BAR 输出 3	5、34、93	C5、E7、P10	70、165、175	A3、E6、K7	42
CLB_OUTPUTXBAR4	O	CLB 输出 X-BAR 输出 4	8、35、94	D1、D5、N10	18、71、176	A2、E3、N8	43
CLB_OUTPUTXBAR5	O	CLB 输出 X-BAR 输出 5	10、36、42、95	A4、D4、E16、P12	1、83、130	B3、C12、N11	73、100
CLB_OUTPUTXBAR6	O	CLB 输出 X-BAR 输出 6	12、37、43、44、96	B4、D16、G4、J12、N12	4、84、113、131	B1、C11、F10、M11	3、74
CLB_OUTPUTXBAR7	O	CLB 输出 X-BAR 输出 7	13、38、45、97	A3、C4、J13、M12	5、85、115	C1、F11、L11	4
CLB_OUTPUTXBAR8	O	CLB 输出 X-BAR 输出 8	15、39、75、98	B14、C3、E2、L12	7、86、142	A10、C3	6
EMIF1_A0	O	外部存储器接口 1 地址线 0	35、38	M12、N10	71、85	L11、N8	43
EMIF1_A1	O	外部存储器接口 1 地址线 1	12、36、39	G4、L12、P12	4、83、86	B1、N11	3
EMIF1_A2	O	外部存储器接口 1 地址线 2	37、40	N12、P13	84、87	M11、N12	
EMIF1_A3	O	外部存储器接口 1 地址线 3	38、41	M12、R15	85、89	L11、M12	51
EMIF1_A4	O	外部存储器接口 1 地址线 4	39、44	J12、L12	86、113	F10	
EMIF1_A5	O	外部存储器接口 1 地址线 5	45、49、101	J13、N9、P15	93、115	F11、L13	
EMIF1_A6	O	外部存储器接口 1 地址线 6	46、50、102	C13、F14、P14	94、128	K9	71
EMIF1_A7	O	外部存储器接口 1 地址线 7	47、51	E14、N14	95、129	K10	72
EMIF1_A8	O	外部存储器接口 1 地址线 8	48、52	N15、R16	90、96	K11、M13	
EMIF1_A9	O	外部存储器接口 1 地址线 9	49、53	N16、P15	93、97	K12、L13	
EMIF1_A10	O	外部存储器接口 1 地址线 10	50、54、106	F1、M13、P14	20、94、98	K9、K13	
EMIF1_A11	O	外部存储器接口 1 地址线 11	51、109、133、206、223	G3、J15、L5、N14、R12	30、78、95、118	F13、H5、K10、M9	14、47
EMIF1_A12	O	外部存储器接口 1 地址线 12	52、108	G2、N15	96	K11	
EMIF1_A13	O	外部存储器接口 1 地址线 13	0、86	B9、F8	156、160	B7、E7	87、89
EMIF1_A14	O	外部存储器接口 1 地址线 14	1、87	A7、A9	157、161	A6、C7	88、90
EMIF1_A15	O	外部存储器接口 1 地址线 15	2、88	B6、B7	162、170	B6、C5	91
EMIF1_A16	O	外部存储器接口 1 地址线 16	89	C6	171	D5	96
EMIF1_A17	O	外部存储器接口 1 地址线 17	90	D6	172	E5	97
EMIF1_A18	O	外部存储器接口 1 地址线 18	91	E6	173	B4	98
EMIF1_A19	O	外部存储器接口 1 地址线 19	92	A5	174	A4	99
EMIF1_BA0	O	外部存储器接口 1 存储库地址 0	20、33、63、93、103	C2、C5、G12、K14、R10	13、69、109、126、175	A3、D10、E1、G13、L7	58
EMIF1_BA1	O	外部存储器接口 1 存储库地址 1	21、34、64、92、94、100	A5、D2、D5、F4、K13、P10	14、70、110、174、176	A2、A4、E2、G12、K7	2、42、59、99
EMIF1_CAS	O	外部存储器接口 1 列地址选通	10、23、86、89、200	B9、C6、D4、G1、J1	1、21、23、156、171	B3、B7、D5、F2、G1	10、87、96、100
EMIF1_CLK	O	外部存储器接口 1 时钟	30、214	L10、R8	63、79	L6、L9	40、48

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
EMIF1_CS0n	O	外部存储器接口 1 芯片选择 0	13、32、218	A3、J14、N8	5、67、116	C1、F12、N7	4
EMIF1_CS2n	O	外部存储器接口 1 芯片选择 2	18、28、34、38、215	F3、M12、N11、P7、P10	10、64、70、74、85	D3、K7、K8、L11、M6	42
EMIF1_CS3n	O	外部存储器接口 1 芯片选择 3	19、29、35、216	B2、N7、N10、P11	12、65、71、73	D1、L8、N6、N8	43
EMIF1_CS4n	O	外部存储器接口 1 芯片选择 4	28、30、84、214、215	D9、L10、N11、P7、R8	63、64、74、79、154	A8、K8、L6、L9、M6	40、48、85
EMIF1_D0	I/O	外部存储器接口 1 数据线 0	55、85	C9、M14	100、155	A7、J13	86
EMIF1_D1	I/O	外部存储器接口 1 数据线 1	56、83、84	D9、D12、M15	101、151、154	A8、C8、J12	85
EMIF1_D2	I/O	外部存储器接口 1 数据线 2	57、82	E12、M16	102、150	D8、J11	
EMIF1_D3	I/O	外部存储器接口 1 数据线 3	58、81	F12、L13	103、149	J10	52
EMIF1_D4	I/O	外部存储器接口 1 数据线 4	59、80	A13、L14	104、148	E8、H13	53、83
EMIF1_D5	I/O	外部存储器接口 1 数据线 5	60、79	D13、L15	105、146	B9	54
EMIF1_D6	I/O	外部存储器接口 1 数据线 6	61、78	E13、K16	107、145	C9、H11	56、82
EMIF1_D7	I/O	外部存储器接口 1 数据线 7	62、77	F13、K15	108、144	D9、H10	57
EMIF1_D8	I/O	外部存储器接口 1 数据线 8	76	A14	143	E9	
EMIF1_D9	I/O	外部存储器接口 1 数据线 9	75	B14	142	A10	
EMIF1_D10	I/O	外部存储器接口 1 数据线 10	74	C14	141	B10	
EMIF1_D11	I/O	外部存储器接口 1 数据线 11	73	D14	140	C10	81
EMIF1_D12	I/O	外部存储器接口 1 数据线 12	72、215	A15、P7	64、139	A11、M6	80
EMIF1_D13	I/O	外部存储器接口 1 数据线 13	71、208、216	B15、N7、P5	56、65、136	B11、K4、N6	37、77
EMIF1_D14	I/O	外部存储器接口 1 数据线 14	70、209	C15、N6	57、135	A12、J5	38、76
EMIF1_D15	I/O	外部存储器接口 1 数据线 15	69、210	B16、P6	58、134	B12、K5	75
EMIF1_D16	I/O	外部存储器接口 1 数据线 16	68、129	C16、L9	133	B13	
EMIF1_D17	I/O	外部存储器接口 1 数据线 17	14、67、99、128	B3、C1、D15、M9	6、17、132	C2、E4	5
EMIF1_D18	I/O	外部存储器接口 1 数据线 18	66、127	K11、R9	112	G10	61
EMIF1_D19	I/O	外部存储器接口 1 数据线 19	65、126	K12、T9	111	G11	60
EMIF1_D20	I/O	外部存储器接口 1 数据线 20	64、125	K13、M8	110	G12	59
EMIF1_D21	I/O	外部存储器接口 1 数据线 21	63、124	K14、L8	109	G13	58
EMIF1_D22	I/O	外部存储器接口 1 数据线 22	62、123	K15、M7	108	H10	57
EMIF1_D23	I/O	外部存储器接口 1 数据线 23	61、122	K16、L7	107	H11	56
EMIF1_D24	I/O	外部存储器接口 1 数据线 24	37、60、100、120	F4、L15、M11、N12	84、105	M11	2、54
EMIF1_D25	I/O	外部存储器接口 1 数据线 25	59、119	L14、M10	104	H13	53
EMIF1_D26	I/O	外部存储器接口 1 数据线 26	58、115	L13、P9	103	J10	52
EMIF1_D27	I/O	外部存储器接口 1 数据线 27	57、114	J4、M16	102	J11	
EMIF1_D28	I/O	外部存储器接口 1 数据线 28	56、113	J3、M15	101	J12	
EMIF1_D29	I/O	外部存储器接口 1 数据线 29	55、112	H4、M14	100	J13	
EMIF1_D30	I/O	外部存储器接口 1 数据线 30	54、111	H3、M13	98	K13	
EMIF1_D31	I/O	外部存储器接口 1 数据线 31	53、110	H2、N16	97	K12	
EMIF1_DQM0	O	外部存储器接口 1 字节 0 的输入/输出掩码	6、24、88、92、201	A5、B6、E8、F7、J2	24、159、166、170、174	A4、A5、C5、D7、G2	99
EMIF1_DQM1	O	外部存储器接口 1 字节 1 的输入/输出掩码	7、25、88、89、202	A6、A10、B6、C6、K3	25、153、167、170、171	B5、B8、C5、D5、G3	84、96
EMIF1_DQM2	O	外部存储器接口 1 字节 2 的输入/输出掩码	15、26、85、90、91、203	C3、C9、D6、E6、K5、L11	7、27、82、155、172、173	A7、B4、C3、E5、G5、L10	6、11、86、97、98
EMIF1_DQM3	O	外部存储器接口 1 字节 3 的输入/输出掩码	27、87、91、99、204	A9、C1、E6、G13、L6	17、28、125、157、173	B4、C7、D11、E4、G6	12、88、98
EMIF1_OEn	O	外部存储器接口 1 输出使能	32、37、66、218	J14、K11、N8、N12	67、84、112、116	F12、G10、M11、N7	61
EMIF1_RAS	O	外部存储器接口 1 行地址选通	8、22、87、90、199	A2、A9、D1、D6、H1	11、18、22、157、172	C7、D2、E3、E5、F1	9、88、97
EMIF1_RNW	O	外部存储器接口 1 读/不写	31、33、63、217	D8、K14、P8、R10	66、69、109、158	G13、L7、M7	58

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
EMIF1_SDCKE	O	外部存储器接口 1 SDRAM 时钟使能	29、216、224	N7、P11、P16	65、73、92	L8、L12、N6	
EMIF1_WAIT	I	外部存储器接口 1 异步 SRAM WAIT	36、64	K13、P12	83、110	G12、N11	59
EMIF1_WEn	O	外部存储器接口 1 写入使能	31、36、65、206、217	D8、K12、L5、P8、P12	30、66、83、111、158	G11、H5、M7、N11	14、60
EPWM1_A	O	ePWM-1 输出 A	0、145	F8、H15	160	E7	89
EPWM1_B	O	ePWM-1 输出 B	1、146	A7、H16	161	A6	90
EPWM2_A	O	ePWM-2 输出 A	2、147	B7、H12	162	B6	91
EPWM2_B	O	ePWM-2 输出 B	3、148	C7、C12	163	C6	92
EPWM3_A	O	ePWM-3 输出 A	4、149	B12、D7	164	D6	93
EPWM3_B	O	ePWM-3 输出 B	5、60、150	A12、E7、L15	105、165	E6	54
EPWM4_A	O	ePWM-4 输出 A	6、46、151	F7、F11、F14	128、166	A5	71
EPWM4_B	O	ePWM-4 输出 B	7、47、152	A6、E11、E14	129、167	B5	72
EPWM5_A	O	ePWM-5 输出 A	8、59、153	D1、D11、L14	18、104	E3、H13	53
EPWM5_B	O	ePWM-5 输出 B	9、73、154	C11、D14、E1	19、140	C10、F3	81
EPWM6_A	O	ePWM-6 输出 A	10、155、220	B11、D4、F16	1、123	B3、D13	68、100
EPWM6_B	O	ePWM-6 输出 B	11、156、221	A11、E4、G16	2、121	B2、E13	1、66
EPWM7_A	O	ePWM-7 输出 A	12、157、222	E10、G4、T12	4、77	B1、N9	3、46
EPWM7_B	O	ePWM-7 输出 B	13、158、223	A3、D10、R12	5、78	C1、M9	4、47
EPWM8_A	O	ePWM-8 输出 A	14、58、74、99、159、213	B3、C1、C10、C14、L13、T8	6、17、62、103、141	B10、C2、E4、J10、L5	5、39、52
EPWM8_B	O	ePWM-8 输出 B	15、59、75、103、160、203、219	B10、B14、C3、G12、K5、L14、R7	7、27、61、104、126、142	A10、C3、D10、G5、H13	6、11、53
EPWM9_A	O	ePWM-9 输出 A	16、63、76、100、133、161	A14、D3、E9、F4、J15、K14	8、109、118、143	C4、E9、F13、G13	2、58
EPWM9_B	O	ePWM-9 输出 B	17、64、77、162、198	A8、E3、F13、K4、K13	9、26、110、144	D4、D9、G4、G12	59
EPWM10_A	O	ePWM-10 输出 A	18、65、78、163、205	B8、E13、F3、K12、M6	10、29、111、145	C9、D3、G11、H6	13、60、82
EPWM10_B	O	ePWM-10 输出 B	19、66、79、164、206	B2、C8、D13、K11、L5	12、30、112、146	B9、D1、G10、H5	14、61
EPWM11_A	O	ePWM-11 输出 A	20、69、80、165、207	A13、B16、C2、F6、N5	13、55、134、148	B12、E1、E8、J4	36、75、83
EPWM11_B	O	ePWM-11 输出 B	21、70、81、166、208	B5、C15、D2、F12、P5	14、56、135、149	A12、E2、K4	37、76
EPWM12_A	O	ePWM-12 输出 A	22、71、82、167、199、209	A2、B15、E5、E12、H1、N6	11、22、57、136、150	B11、D2、D8、F1、J5	9、38、77
EPWM12_B	O	ePWM-12 输出 B	23、72、83、84、168、200、209、210	A15、D9、D12、F5、G1、J1、N6、P6	21、23、57、58、139、151、154	A8、A11、C8、F2、G1、J5、K5	10、38、80、85
EPWM13_A	O	ePWM-13 输出 A	24、40、85、130、201	C9、E8、J2、P13、T10	24、87、155、159	A7、D7、G2、N12	86
EPWM13_B	O	ePWM-13 输出 B	25、41、86、131、202	A10、B9、K3、N13、R15	25、89、153、156	B7、B8、G3、M12	51、84、87
EPWM14_A	O	ePWM-14 输出 A	26、42、46、87、132、203、211	A9、E16、F14、K5、L11、R6、T14	27、59、82、128、130、157	C7、C12、G5、J6、L10	11、71、73、88
EPWM14_B	O	ePWM-14 输出 B	27、43、47、88、134、204、212	B6、D16、E14、G13、L6、R14、T7	28、60、125、129、131、170	C5、C11、D11、G6、K6	12、72、74
EPWM15_A	O	ePWM-15 输出 A	28、50、89、141、215	C6、H13、N11、P7、P14	64、74、94、171	D5、K8、K9、M6	96
EPWM15_B	O	ePWM-15 输出 B	29、51、90、142、216	D6、H14、N7、N14、P11	65、73、95、172	E5、K10、L8、N6	97
EPWM16_A	O	ePWM-16 输出 A	30、52、91、106、214	E6、F1、L10、N15、R8	20、63、79、96、173	B4、K11、L6、L9	40、48、98
EPWM16_B	O	ePWM-16 输出 B	31、55、92、107、217	A5、D8、F2、M14、P8	66、100、158、174	A4、J13、M7	99
EPWM17_A	O	ePWM-17 输出 A	56、67、93、108、199	C5、D15、G2、H1、M15	22、101、132、175	A3、F1、J12	9

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
EPWM17_B	O	ePWM-17 输出 B	57、61、68、94、109、200	C16、D5、G3、J1、K16、M16	23、102、107、133、176	A2、B13、G1、H11、J11	10、56
EPWM18_A	O	ePWM-18 输出 A	34、37、95、101、104、201	A4、B13、J2、N9、N12、P10	24、70、84、147	A9、G2、K7、M11	42
EPWM18_B	O	ePWM-18 输出 B	35、38、96、102、105、202	B4、C13、K3、L16、M12、N10	25、71、85、106	G3、H12、L11、N8	43
EQEP1_A	I	eQEP-1 输入 A	10、20、50、96、198	B4、C2、D4、K4、P14	1、13、26、94	B3、E1、G4、K9	100
EQEP1_B	I	eQEP-1 输入 B	11、21、51、97	C4、D2、E4、N14	2、14、95	B2、E2、K10	1
EQEP1_INDEX	I/O	eQEP-1 索引	13、23、53、99、200、205	A3、C1、G1、J1、M6、N16	5、17、21、23、29、97	C1、E4、F2、G1、H6、K12	4、10、13
EQEP1_STROBE	I/O	eQEP-1 选通	12、22、52、98、199	A2、E2、G4、H1、N15	4、11、22、96	B1、D2、F1、K11	3、9
EQEP2_A	I	eQEP-2 输入 A	24、54、78、100、201、207	E8、E13、F4、J2、M13、N5	24、55、98、145、159	C9、D7、G2、J4、K13	2、36、82
EQEP2_B	I	eQEP-2 输入 B	25、55、79、101、202、208	A10、D13、K3、M14、N9、P5	25、56、100、146、153	B8、B9、G3、J13、K4	37、84
EQEP2_INDEX	I/O	eQEP-2 索引	26、57、81、103、203、210	F12、G12、K5、L11、M16、P6	27、58、82、102、126、149	D10、G5、J11、K5、L10	11
EQEP2_STROBE	I/O	eQEP-2 选通	27、56、80、102、204、209	A13、C13、G13、L6、M15、N6	28、57、101、125、148	D11、E8、G6、J5、J12	12、38、83
EQEP3_A	I	eQEP-3 输入 A	6、28、62、104、215	B13、F7、K15、N11、P7	64、74、108、147、166	A5、A9、H10、K8、M6	57
EQEP3_B	I	eQEP-3 输入 B	7、29、63、105、216	A6、K14、L16、N7、P11	65、73、106、109、167	B5、G13、H12、L8、N6	58
EQEP3_INDEX	I/O	eQEP-3 索引	9、31、65、107、217	D8、E1、F2、K12、P8	19、66、111、158	F3、G11、M7	60
EQEP3_STROBE	I/O	eQEP-3 选通	8、30、64、106、214	D1、F1、K13、L10、R8	18、20、63、79、110	E3、G12、L6、L9	40、48、59
EQEP4_A	I	eQEP-4 输入 A	32、42、95、218	A4、E16、J14、N8	67、116、130	C12、F12、N7	73
EQEP4_B	I	eQEP-4 输入 B	33、43、96	B4、D16、R10	69、131	C11、L7	74
EQEP4_INDEX	I/O	eQEP-4 索引	35、98	E2、N10	71	N8	43
EQEP4_STROBE	I/O	eQEP-4 选通	34、97	C4、P10	70	K7	42
EQEP5_A	I	eQEP-5 输入 A	15、74、108、147	C3、C14、G2、H12	7、141	B10、C3	6
EQEP5_B	I	eQEP-5 输入 B	16、25、75、109、148	A10、B14、C12、D3、G3	8、142、153	A10、B8、C4	84
EQEP5_INDEX	I/O	eQEP-5 索引	14、18、77、111、150	A12、B3、F3、F13、H3	6、10、144	C2、D3、D9	5
EQEP5_STROBE	I/O	eQEP-5 选通	13、17、76、110、149	A3、A14、B12、E3、H2	5、9、143	C1、D4、E9	4
EQEP6_A	I	eQEP-6 输入 A	84、211	D9、R6	59、154	A8、J6	85
EQEP6_B	I	eQEP-6 输入 B	66、85、212	C9、K11、T7	60、112、155	A7、G10、K6	61、86
EQEP6_INDEX	I/O	eQEP-6 索引	73、87、219	A9、D14、R7	61、140、157	C7、C10	81、88
EQEP6_STROBE	I/O	eQEP-6 选通	72、86、213	A15、B9、T8	62、139、156	A11、B7、L5	39、80、87
ERRORSTS	O	错误状态输出。该信号需要一个外部下拉电阻。	79、80、224	A13、D13、P16	92、146、148	B9、E8、L12	83
ESC_GPIO0	I	EtherCAT 通用输入 0	0、100	F4、F8	160	E7	2、89
ESC_GPIO1	I	EtherCAT 通用输入 1	1、101	A7、N9	161	A6	90
ESC_GPIO2	I	EtherCAT 通用输入 2	2、102	B7、C13	162	B6	91
ESC_GPIO3	I	EtherCAT 通用输入 3	3、103	C7、G12	126、163	C6、D10	92
ESC_GPIO4	I	EtherCAT 通用输入 4	4、104	B13、D7	147、164	A9、D6	93
ESC_GPIO5	I	EtherCAT 通用输入 5	5、105	E7、L16	106、165	E6、H12	
ESC_GPIO6	I	EtherCAT 通用输入 6	6、106	F1、F7	20、166	A5	
ESC_GPIO7	I	EtherCAT 通用输入 7	7、107	A6、F2	167	B5	
ESC_GPIO8	I	EtherCAT 通用输入 8	108	G2			

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
ESC_GPI9	I	EtherCAT 通用输入 9	109	G3			
ESC_GPI10	I	EtherCAT 通用输入 10	110	H2			
ESC_GPI11	I	EtherCAT 通用输入 11	111	H3			
ESC_GPI12	I	EtherCAT 通用输入 12	112	H4			
ESC_GPI13	I	EtherCAT 通用输入 13	113	J3			
ESC_GPI14	I	EtherCAT 通用输入 14	114	J4			
ESC_GPI15	I	EtherCAT 通用输入 15	115	P9			
ESC_GPI16	I	EtherCAT 通用输入 16	116	H11			
ESC_GPI17	I	EtherCAT 通用输入 17	97	C4			
ESC_GPI18	I	EtherCAT 通用输入 18	98	E2			
ESC_GPI19	I	EtherCAT 通用输入 19	119	M10			
ESC_GPI20	I	EtherCAT 通用输入 20	120	M11			
ESC_GPI21	I	EtherCAT 通用输入 21	99	C1	17	E4	
ESC_GPI22	I	EtherCAT 通用输入 22	122	L7			
ESC_GPI23	I	EtherCAT 通用输入 23	123	M7			
ESC_GPI24	I	EtherCAT 通用输入 24	124	L8			
ESC_GPI25	I	EtherCAT 通用输入 25	125	M8			
ESC_GPI26	I	EtherCAT 通用输入 26	126	T9			
ESC_GPI27	I	EtherCAT 通用输入 27	127	R9			
ESC_GPI28	I	EtherCAT 通用输入 28	128	M9			
ESC_GPI29	I	EtherCAT 通用输入 29	129	L9			
ESC_GPI30	I	EtherCAT 通用输入 30	130	T10			
ESC_GPI31	I	EtherCAT 通用输入 31	131	N13			
ESC_GPO0	O	EtherCAT 通用输出 0	8、132	D1、T14	18	E3	
ESC_GPO1	O	EtherCAT 通用输出 1	9、134	E1、R14	19	F3	
ESC_GPO2	O	EtherCAT 通用输出 2	40	P13	87	N12	
ESC_GPO3	O	EtherCAT 通用输出 3	11	E4	2	B2	1
ESC_GPO4	O	EtherCAT 通用输出 4	12	G4	4	B1	3
ESC_GPO5	O	EtherCAT 通用输出 5	13	A3	5	C1	4
ESC_GPO6	O	EtherCAT 通用输出 6	14	B3	6	C2	5
ESC_GPO7	O	EtherCAT 通用输出 7	15	C3	7	C3	6
ESC_GPO8	O	EtherCAT 通用输出 8	141	H13			
ESC_GPO9	O	EtherCAT 通用输出 9	142	H14			
ESC_GPO10	O	EtherCAT 通用输出 10	95	A4			
ESC_GPO11	O	EtherCAT 通用输出 11	96	B4			
ESC_GPO12	O	EtherCAT 通用输出 12	145	H15			
ESC_GPO13	O	EtherCAT 通用输出 13	146	H16			
ESC_GPO14	O	EtherCAT 通用输出 14	147	H12			
ESC_GPO15	O	EtherCAT 通用输出 15	148	C12			
ESC_GPO16	O	EtherCAT 通用输出 16	149	B12			
ESC_GPO17	O	EtherCAT 通用输出 17	150	A12			
ESC_GPO18	O	EtherCAT 通用输出 18	151	F11			
ESC_GPO19	O	EtherCAT 通用输出 19	152	E11			
ESC_GPO20	O	EtherCAT 通用输出 20	153	D11			
ESC_GPO21	O	EtherCAT 通用输出 21	154	C11			
ESC_GPO22	O	EtherCAT 通用输出 22	155	B11			
ESC_GPO23	O	EtherCAT 通用输出 23	156	A11			
ESC_GPO24	O	EtherCAT 通用输出 24	157	E10			
ESC_GPO25	O	EtherCAT 通用输出 25	158	D10			
ESC_GPO26	O	EtherCAT 通用输出 26	159	C10			
ESC_GPO27	O	EtherCAT 通用输出 27	160	B10			

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
ESC_GPO28	O	EtherCAT 通用输出 28	161	E9			
ESC_GPO29	O	EtherCAT 通用输出 29	162	A8			
ESC_GPO30	O	EtherCAT 通用输出 30	163	B8			
ESC_GPO31	O	EtherCAT 通用输出 31	164	C8			
ESC_I2C_SCL	I/OC	EtherCAT I2C 时钟	30、41、68、151、214	C16、F11、L10、R8、R15	63、79、89、133	B13、L6、L9、M12	40、48、51
ESC_I2C_SDA	I/OC	EtherCAT I2C 数据	29、40、67、150、216	A12、D15、N7、P11、P13	65、73、87、132	L8、N6、N12	
ESC_LATCH0	I	EtherCAT 开锁信号输入 0	29、34、50、60、125、216	L15、M8、N7、P10、P11、P14	65、70、73、94、105	K7、K9、L8、N6	42、54
ESC_LATCH1	I	EtherCAT 开锁信号输入 1	30、35、51、61、126、214	K16、L10、N10、N14、R8、T9	63、71、79、95、107	H11、K10、L6、L9、N8	40、43、48、56
ESC_LED_ERR	O	EtherCAT 错误 LED	33、60、145、213	H15、L15、R10、T8	62、69、105	L5、L7	39、54
ESC_LED_LINK0_ACTIVE	O	EtherCAT Link-0 有效	58、211	L13、R6	59、103	J6、J10	52
ESC_LED_LINK1_ACTIVE	O	EtherCAT Link-1 有效	59、212	L14、T7	60、104	H13、K6	53
ESC_LED_RUN	O	EtherCAT 运行 LED	39、61、146、219	H16、K16、L12、R7	61、86、107	H11	56
ESC_LED_STATE_RUN	O	EtherCAT LED 状态运行	62、133、147、206	H12、J15、K15、L5	30、108、118	F13、H5、H10	14、57
ESC_MDIO_CLK	O	EtherCAT MDIO 时钟	26、46、52、62、152、203	E11、F14、K5、K15、L11、N15	27、82、96、108、128	G5、H10、K11、L10	11、57、71
ESC_MDIO_DATA	I/O	EtherCAT MDIO 数据	27、39、47、53、153、204	D11、E14、G13、L6、L12、N16	28、86、97、125、129	D11、G6、K12	12、72
ESC_PDI_UC_IRQ	O	EtherCAT PDI IRQ 中断线路	198、222、224	K4、P16、T12	26、77、92	G4、L12、N9	46
ESC_PHY0_LINKSTATUS	I	EtherCAT PHY-0 链路状态	55、86、148	B9、C12、M14	100、156	B7、J13	87
ESC_PHY1_LINKSTATUS	I	EtherCAT PHY-1 链路状态	14、68、149	B3、B12、C16	6、133	B13、C2	5
ESC_PHY_CLK	O	EtherCAT PHY 时钟	48、54、154、206	C11、L5、M13、R16	30、90、98	H5、K13、M13	14
ESC_PHY_RESETn	O	EtherCAT PHY 低电平有效复位	23、76、155	A14、B11、G1	21、143	E9、F2	
ESC_RX0_CLK	I	EtherCAT MII 接收 0 时钟	24、77、163	B8、E8、F13	144、159	D7、D9	
ESC_RX0_DATA0	I	EtherCAT MII 接收 0 数据 0	27、80、165	A13、F6、G13	125、148	D11、E8	83
ESC_RX0_DATA1	I	EtherCAT MII 接收 0 数据 1	24、28、81、166	B5、E8、F12、N11	74、149、159	D7、K8	
ESC_RX0_DATA2	I	EtherCAT MII 接收 0 数据 2	29、82、167、210	E5、E12、P6、P11	58、73、150	D8、K5、L8	
ESC_RX0_DATA3	I	EtherCAT MII 接收 0 数据 3	83、84、168	D9、D12、F5	151、154	A8、C8	85
ESC_RX0_DV	I	EtherCAT MII 接收 0 数据有效	25、78、162	A8、A10、E13	145、153	B8、C9	82、84
ESC_RX0_ERR	I	EtherCAT MII 接收 0 错误	26、79、164	C8、D13、L11	82、146	B9、L10	
ESC_RX1_CLK	I	EtherCAT MII 接收 1 时钟	16、69、207	B16、D3、N5	8、55、134	B12、C4、J4	36、75
ESC_RX1_DATA0	I	EtherCAT MII 接收 1 数据 0	63	K14	109	G13	58
ESC_RX1_DATA1	I	EtherCAT MII 接收 1 数据 1	64	K13	110	G12	59
ESC_RX1_DATA2	I	EtherCAT MII 接收 1 数据 2	65、141	H13、K12	111	G11	60
ESC_RX1_DATA3	I	EtherCAT MII 接收 1 数据 3	66、142	H14、K11	112	G10	61
ESC_RX1_DV	I	EtherCAT MII 接收 1 数据有效	17、70、208	C15、E3、P5	9、56、135	A12、D4、K4	37、76
ESC_RX1_ERR	I	EtherCAT MII 接收 1 错误	18、71、209	B15、F3、N6	10、57、136	B11、D3、J5	38、77
ESC_SYNC0	O	EtherCAT 同步信号输出 0	29、34、104、127、216	B13、N7、P10、P11、R9	65、70、73、147	A9、K7、L8、N6	42
ESC_SYNC1	O	EtherCAT 同步信号输出 1	30、35、105、128、214	L10、L16、M9、N10、R8	63、71、79、106	H12、L6、L9、N8	40、43、48
ESC_TX0_CLK	I	EtherCAT MII 发送 0 时钟	57、85、157	C9、E10、M16	102、155	A7、J11	86
ESC_TX0_DATA0	O	EtherCAT MII 发送 0 数据 0	10、87、158	A9、D4、D10	1、157	B3、C7	88、100
ESC_TX0_DATA1	O	EtherCAT MII 发送 0 数据 1	11、88、159	B6、C10、E4	2、170	B2、C5	1
ESC_TX0_DATA2	O	EtherCAT MII 发送 0 数据 2	12、89、160	B10、C6、G4	4、171	B1、D5	3、96
ESC_TX0_DATA3	O	EtherCAT MII 发送 0 数据 3	13、90、161	A3、D6、E9	5、172	C1、E5	4、97

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
ESC_TX0_ENA	I/O	EtherCAT MII 发送 0 使能	56、84、156	A11、D9、M15	101、154	A8、J12	85
ESC_TX1_CLK	I	EtherCAT MII 发送 1 时钟	44、93、130	C5、J12、T10	113、175	A3、F10	
ESC_TX1_DATA0	O	EtherCAT MII 发送 1 数据 0	22、75、131	A2、B14、N13	11、142	A10、D2	
ESC_TX1_DATA1	O	EtherCAT MII 发送 1 数据 1	21、74、132、200	C14、D2、J1、T14	14、23、141	B10、E2、G1	10
ESC_TX1_DATA2	O	EtherCAT MII 发送 1 数据 2	20、73、134、201	C2、D14、J2、R14	13、24、140	C10、E1、G2	81
ESC_TX1_DATA3	O	EtherCAT MII 发送 1 数据 3	19、72、202	A15、B2、K3	12、25、139	A11、D1、G3	80
ESC_TX1_ENA	I/O	EtherCAT MII 发送 1 使能	45、94、129	D5、J13、L9	115、176	A2、F11	
EXTSYNCOOUT	O	外部 ePWM 同步脉冲	6、207	F7、N5	55、166	A5、J4	36
FSIRXA_CLK	I	FSIRX-A 输入时钟	5、9、13、54、105、156	A3、A11、E1、E7、L16、M13	5、19、98、106、165	C1、E6、F3、H12、K13	4
FSIRXA_D0	I	FSIRX-A 主数据输入	3、8、12、52、103、154	C7、C11、D1、G4、G12、N15	4、18、96、126、163	B1、C6、D10、E3、K11	3、92
FSIRXA_D1	I	FSIRX-A 可选附加数据输入	4、10、11、53、104、155	B11、B13、D4、D7、E4、N16	1、2、97、147、164	A9、B2、B3、D6、K12	1、93、100
FSIRXB_CLK	I	FSIRX-B 输入时钟	11、60、112、162	A8、E4、H4、L15	2、105	B2	1、54
FSIRXB_D0	I	FSIRX-B 主数据输入	9、58、70、110、160	B10、C15、E1、H2、L13	19、103、135	A12、F3、J10	52、76
FSIRXB_D1	I	FSIRX-B 可选附加数据输入	10、59、111、161	D4、E9、H3、L14	1、104	B3、H13	53、100
FSIRXC_CLK	I	FSIRX-C 输入时钟	14、165	B3、F6	6	C2	5
FSIRXC_D0	I	FSIRX-C 主数据输入	12、115、163	B8、G4、P9	4	B1	3
FSIRXC_D1	I	FSIRX-C 可选附加数据输入	13、116、164	A3、C8、H11	5	C1	4
FSIRXD_CLK	I	FSIRX-D 输入时钟	17、39、41、44、92、120、168	A5、E3、F5、J12、L12、M11、R15	9、86、89、113、174	A4、D4、F10、M12	51、99
FSIRXD_D0	I	FSIRX-D 主数据输入	15、42、166	B5、C3、E16	7、130	C3、C12	6、73
FSIRXD_D1	I	FSIRX-D 可选附加数据输入	16、43、100、119、167	D3、D16、E5、F4、M10	8、131	C4、C11	2、74
FSITXA_CLK	O	FSITX-A 输出时钟	2、10、27、51、102、153、204	B7、C13、D4、D11、G13、L6、N14	1、28、95、125、162	B3、B6、D11、G6、K10	12、91、100
FSITXA_D0	O	FSITX-A 主数据输出	0、9、26、49、100、151、203	E1、F4、F8、F11、K5、L11、P15	19、27、82、93、160	E7、F3、G5、L10、L13	2、11、89
FSITXA_D1	O	FSITX-A 可选附加数据输出	1、8、25、50、101、152、202	A7、A10、D1、E11、K3、N9、P14	18、25、94、153、161	A6、B8、E3、G3、K9	84、90
FSITXB_CLK	O	FSITX-B 输出时钟	8、56、65、108、159	C10、D1、G2、K12、M15	18、101、111	E3、G11、J12	60
FSITXB_D0	O	FSITX-B 主数据输出	6、55、69、106、157	B16、E10、F1、F7、M14	20、100、134、166	A5、B12、J13	75
FSITXB_D1	O	FSITX-B 可选附加数据输出	7、57、66、107、158	A6、D10、F2、K11、M16	102、112、167	B5、G10、J11	61
GPIO0	I/O	通用输入/输出 0	0	F8	160	E7	89
GPIO1	I/O	通用输入/输出 1	1	A7	161	A6	90
GPIO2	I/O	通用输入/输出 2	2	B7	162	B6	91
GPIO3	I/O	通用输入/输出 3	3	C7	163	C6	92
GPIO4	I/O	通用输入/输出 4	4	D7	164	D6	93
GPIO5	I/O	通用输入/输出 5	5	E7	165	E6	
GPIO6	I/O	通用输入/输出 6	6	F7	166	A5	
GPIO7	I/O	通用输入/输出 7	7	A6	167	B5	
GPIO8	I/O	通用输入/输出 8	8	D1	18	E3	
GPIO9	I/O	通用输入/输出 9	9	E1	19	F3	
GPIO10	I/O	通用输入/输出 10	10	D4	1	B3	100
GPIO11	I/O	通用输入/输出 11	11	E4	2	B2	1

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO12	I/O	通用输入/输出 12	12	G4	4	B1	3
GPIO13	I/O	通用输入/输出 13	13	A3	5	C1	4
GPIO14	I/O	通用输入/输出 14	14	B3	6	C2	5
GPIO15	I/O	通用输入/输出 15	15	C3	7	C3	6
GPIO16	I/O	通用输入/输出 16	16	D3	8	C4	
GPIO17	I/O	通用输入/输出 17	17	E3	9	D4	
GPIO18	I/O	通用输入/输出 18	18	F3	10	D3	
GPIO19	I/O	通用输入/输出 19	19	B2	12	D1	
GPIO20	I/O	通用输入/输出 20	20	C2	13	E1	
GPIO21	I/O	通用输入/输出 21	21	D2	14	E2	
GPIO22	I/O	通用输入/输出 22	22	A2	11	D2	
GPIO23	I/O	通用输入/输出 23	23	G1	21	F2	
GPIO24	I/O	通用输入/输出 24	24	E8	159	D7	
GPIO25	I/O	通用输入/输出 25	25	A10	153	B8	84
GPIO26	I/O	通用输入/输出 26	26	L11	82	L10	
GPIO27	I/O	通用输入/输出 27	27	G13	125	D11	
GPIO28	I/O	通用输入/输出 28	28	N11	74	K8	
GPIO29	I/O	通用输入/输出 29	29	P11	73	L8	
GPIO30	I/O	通用输入/输出 30	30	L10	79	L9	48
GPIO31	I/O	通用输入/输出 31	31	D8	158		
GPIO32	I/O	通用输入/输出 32	32	J14	116	F12	
GPIO33	I/O	通用输入/输出 33	33	R10	69	L7	
GPIO34	I/O	通用输入/输出 34	34	P10	70	K7	42
GPIO35	I/O	通用输入/输出 35	35	N10	71	N8	43
GPIO36	I/O	通用输入/输出 36	36	P12	83	N11	
GPIO37	I/O	通用输入/输出 37	37	N12	84	M11	
GPIO38	I/O	通用输入/输出 38	38	M12	85	L11	
GPIO39	I/O	通用输入/输出 39	39	L12	86		
GPIO40	I/O	通用输入/输出 40	40	P13	87	N12	
GPIO41	I/O	通用输入/输出 41	41	R15	89	M12	51
GPIO42	I/O	通用输入/输出 42	42	E16	130	C12	73
GPIO43	I/O	通用输入/输出 43	43	D16	131	C11	74
GPIO44	I/O	通用输入/输出 44	44	J12	113	F10	
GPIO45	I/O	通用输入/输出 45	45	J13	115	F11	
GPIO46	I/O	通用输入/输出 46	46	F14	128		71
GPIO47	I/O	通用输入/输出 47	47	E14	129		72
GPIO48	I/O	通用输入/输出 48	48	R16	90	M13	
GPIO49	I/O	通用输入/输出 49	49	P15	93	L13	
GPIO50	I/O	通用输入/输出 50	50	P14	94	K9	
GPIO51	I/O	通用输入/输出 51	51	N14	95	K10	
GPIO52	I/O	通用输入/输出 52	52	N15	96	K11	
GPIO53	I/O	通用输入/输出 53	53	N16	97	K12	
GPIO54	I/O	通用输入/输出 54	54	M13	98	K13	
GPIO55	I/O	通用输入/输出 55	55	M14	100	J13	
GPIO56	I/O	通用输入/输出 56	56	M15	101	J12	
GPIO57	I/O	通用输入/输出 57	57	M16	102	J11	
GPIO58	I/O	通用输入/输出 58	58	L13	103	J10	52
GPIO59	I/O	通用输入/输出 59	59	L14	104	H13	53
GPIO60	I/O	通用输入/输出 60	60	L15	105		54
GPIO61	I/O	通用输入/输出 61	61	K16	107	H11	56
GPIO62	I/O	通用输入/输出 62	62	K15	108	H10	57

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO63	I/O	通用输入/输出 63	63	K14	109	G13	58
GPIO64	I/O	通用输入/输出 64	64	K13	110	G12	59
GPIO65	I/O	通用输入/输出 65	65	K12	111	G11	60
GPIO66	I/O	通用输入/输出 66	66	K11	112	G10	61
GPIO67	I/O	通用输入/输出 67	67	D15	132		
GPIO68	I/O	通用输入/输出 68	68	C16	133	B13	
GPIO69	I/O	通用输入/输出 69	69	B16	134	B12	75
GPIO70	I/O	通用输入/输出 70	70	C15	135	A12	76
GPIO71	I/O	通用输入/输出 71	71	B15	136	B11	77
GPIO72	I/O	通用输入/输出 72	72	A15	139	A11	80
GPIO73	I/O	通用输入/输出 73	73	D14	140	C10	81
GPIO74	I/O	通用输入/输出 74	74	C14	141	B10	
GPIO75	I/O	通用输入/输出 75	75	B14	142	A10	
GPIO76	I/O	通用输入/输出 76	76	A14	143	E9	
GPIO77	I/O	通用输入/输出 77	77	F13	144	D9	
GPIO78	I/O	通用输入/输出 78	78	E13	145	C9	82
GPIO79	I/O	通用输入/输出 79	79	D13	146	B9	
GPIO80	I/O	通用输入/输出 80	80	A13	148	E8	83
GPIO81	I/O	通用输入/输出 81	81	F12	149		
GPIO82	I/O	通用输入/输出 82	82	E12	150	D8	
GPIO83	I/O	通用输入/输出 83	83	D12	151	C8	
GPIO84	I/O	通用输入/输出 84	84	D9	154	A8	85
GPIO85	I/O	通用输入/输出 85	85	C9	155	A7	86
GPIO86	I/O	通用输入/输出 86	86	B9	156	B7	87
GPIO87	I/O	通用输入/输出 87	87	A9	157	C7	88
GPIO88	I/O	通用输入/输出 88	88	B6	170	C5	
GPIO89	I/O	通用输入/输出 89	89	C6	171	D5	96
GPIO90	I/O	通用输入/输出 90	90	D6	172	E5	97
GPIO91	I/O	通用输入/输出 91	91	E6	173	B4	98
GPIO92	I/O	通用输入/输出 92	92	A5	174	A4	99
GPIO93	I/O	通用输入/输出 93	93	C5	175	A3	
GPIO94	I/O	通用输入/输出 94	94	D5	176	A2	
GPIO95	I/O	通用输入/输出 95	95	A4			
GPIO96	I/O	通用输入/输出 96	96	B4			
GPIO97	I/O	通用输入/输出 97	97	C4			
GPIO98	I/O	通用输入/输出 98	98	E2			
GPIO99	I/O	通用输入/输出 99	99	C1	17	E4	
GPIO100	I/O	通用输入/输出 100	100	F4			2
GPIO101	I/O	通用输入/输出 101	101	N9			
GPIO102	I/O	通用输入/输出 102	102	C13			
GPIO103	I/O	通用输入/输出 103	103	G12	126	D10	
GPIO104	I/O	通用输入/输出 104	104	B13	147	A9	
GPIO105	I/O	通用输入/输出 105	105	L16	106	H12	
GPIO106	I/O	通用输入/输出 106	106	F1	20		
GPIO107	I/O	通用输入/输出 107	107	F2			
GPIO108	I/O	通用输入/输出 108	108	G2			
GPIO109	I/O	通用输入/输出 109	109	G3			
GPIO110	I/O	通用输入/输出 110	110	H2			
GPIO111	I/O	通用输入/输出 111	111	H3			
GPIO112	I/O	通用输入/输出 112	112	H4			
GPIO113	I/O	通用输入/输出 113	113	J3			

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO114	I/O	通用输入/输出 114	114	J4			
GPIO115	I/O	通用输入/输出 115	115	P9			
GPIO116	I/O	通用输入/输出 116	116	H11			
GPIO119	I/O	通用输入/输出 119	119	M10			
GPIO120	I/O	通用输入/输出 120	120	M11			
GPIO122	I/O	通用输入/输出 122	122	L7			
GPIO123	I/O	通用输入/输出 123	123	M7			
GPIO124	I/O	通用输入/输出 124	124	L8			
GPIO125	I/O	通用输入/输出 125	125	M8			
GPIO126	I/O	通用输入/输出 126	126	T9			
GPIO127	I/O	通用输入/输出 127	127	R9			
GPIO128	I/O	通用输入/输出 128	128	M9			
GPIO129	I/O	通用输入/输出 129	129	L9			
GPIO130	I/O	通用输入/输出 130	130	T10			
GPIO131	I/O	通用输入/输出 131	131	N13			
GPIO132	I/O	通用输入/输出 132	132	T14			
GPIO133	I/O	通用输入/输出 133	133	J15	118	F13	
GPIO134	I/O	通用输入/输出 134	134	R14			
GPIO141	I/O	通用输入/输出 141	141	H13			
GPIO142	I/O	通用输入/输出 142	142	H14			
GPIO145	I/O	通用输入/输出 145	145	H15			
GPIO146	I/O	通用输入/输出 146	146	H16			
GPIO147	I/O	通用输入/输出 147	147	H12			
GPIO148	I/O	通用输入/输出 148	148	C12			
GPIO149	I/O	通用输入/输出 149	149	B12			
GPIO150	I/O	通用输入/输出 150	150	A12			
GPIO151	I/O	通用输入/输出 151	151	F11			
GPIO152	I/O	通用输入/输出 152	152	E11			
GPIO153	I/O	通用输入/输出 153	153	D11			
GPIO154	I/O	通用输入/输出 154	154	C11			
GPIO155	I/O	通用输入/输出 155	155	B11			
GPIO156	I/O	通用输入/输出 156	156	A11			
GPIO157	I/O	通用输入/输出 157	157	E10			
GPIO158	I/O	通用输入/输出 158	158	D10			
GPIO159	I/O	通用输入/输出 159	159	C10			
GPIO160	I/O	通用输入/输出 160	160	B10			
GPIO161	I/O	通用输入/输出 161	161	E9			
GPIO162	I/O	通用输入/输出 162	162	A8			
GPIO163	I/O	通用输入/输出 163	163	B8			
GPIO164	I/O	通用输入/输出 164	164	C8			
GPIO165	I/O	通用输入/输出 165	165	F6			
GPIO166	I/O	通用输入/输出 166	166	B5			
GPIO167	I/O	通用输入/输出 167	167	E5			
GPIO168	I/O	通用输入/输出 168	168	F5			
GPIO198	I/O	通用输入/输出 198	198	K4	26	G4	
GPIO199	I/O	通用输入/输出 199	199	H1	22	F1	9
GPIO200	I/O	通用输入/输出 200	200	J1	23	G1	10
GPIO201	I/O	通用输入/输出 201	201	J2	24	G2	
GPIO202	I/O	通用输入/输出 202	202	K3	25	G3	
GPIO203	I/O	通用输入/输出 203	203	K5	27	G5	11
GPIO204	I/O	通用输入/输出 204	204	L6	28	G6	12

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO205	I/O	通用输入/输出 205	205	M6	29	H6	13
GPIO206	I/O	通用输入/输出 206	206	L5	30	H5	14
GPIO207	I/O	通用输入/输出 207	207	N5	55	J4	36
GPIO208	I/O	通用输入/输出 208	208	P5	56	K4	37
GPIO209	I/O	通用输入/输出 209	209	N6	57	J5	38
GPIO210	I/O	通用输入/输出 210	210	P6	58	K5	
GPIO211	I/O	通用输入/输出 211	211	R6	59	J6	
GPIO212	I/O	通用输入/输出 212	212	T7	60	K6	
GPIO213	I/O	通用输入/输出 213	213	T8	62	L5	39
GPIO214	I/O	通用输入/输出 214	214	R8	63	L6	40
GPIO215	I/O	通用输入/输出 215	215	P7	64	M6	
GPIO216	I/O	通用输入/输出 216	216	N7	65	N6	
GPIO217	I/O	通用输入/输出 217	217	P8	66	M7	
GPIO218	I/O	通用输入/输出 218	218	N8	67	N7	
GPIO219	I/O	通用输入/输出 219	219	R7	61		
GPIO220	I/O	通用输入/输出 220	220	F16	123	D13	68
GPIO221	I/O	通用输入/输出 221	221	G16	121	E13	66
GPIO222	I/O	通用输入/输出 222	222	T12	77	N9	46
GPIO223	I/O	通用输入/输出 223	223	R12	78	M9	47
GPIO224	I/O	通用输入/输出 224	224	P16	92	L12	
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	1、32、33、43、57、92、105、218、223	A5、A7、D16、J14、L16、M16、N8、R10、R12	67、69、78、102、106、116、131、161、174	A4、A6、C11、F12、H12、J11、L7、M9、N7	47、74、90、99
I2CA_SDA	I/OD	I2C-A 开漏双向数据	0、31、32、42、56、91、104、217、218、222	B13、D8、E6、E16、F8、J14、M15、N8、P8、T12	66、67、77、101、116、130、147、158、160、173	A9、B4、C12、E7、F12、J12、M7、N7、N9	46、73、89、98
I2CB_SCL	I/OD	I2C-B 开漏双向时钟	3、35、41、69、207	B16、C7、N5、N10、R15	55、71、89、134、163	B12、C6、J4、M12、N8	36、43、51、75、92
I2CB_SDA	I/OD	I2C-B 开漏双向数据	2、34、40、66、215	B7、K11、P7、P10、P13	64、70、87、112、162	B6、G10、K7、M6、N12	42、61、91
LINA_RX	I	LIN-A 接收	7、15、207	A6、C3、N5	7、55、167	B5、C3、J4	6、36
LINA_TX	O	LIN-A 发送	6、14、215	B3、F7、P7	6、64、166	A5、C2、M6	5
LINB_RX	I	LIN-B 接收	25、68、202、209	A10、C16、K3、N6	25、57、133、153	B8、B13、G3、J5	38、84
LINB_TX	O	LIN-B 发送	24、32、67、201、210、213、217、218	D15、E8、J2、J14、N8、P6、P8、T8	24、58、62、66、67、116、132、159	D7、F12、G2、K5、L5、M7、N7	39
MCANA_RX	I	CAN/CAN FD-A 接收	5、10、18、23、30、36、70、75、200、214、221	B14、C15、D4、E7、F3、G1、G16、J1、L10、P12、R8	1、10、21、23、63、79、83、121、135、142、165	A10、A12、B3、D3、E6、E13、F2、G1、L6、L9、N11	10、40、48、66、76、100
MCANA_TX	O	CAN/CAN FD-A 传输	4、8、19、22、31、37、71、74、199、217、220	A2、B2、B15、C14、D1、D7、D8、F16、H1、N12、P8	11、12、18、22、66、84、123、136、141、158、164	B10、B11、D1、D2、D6、D13、E3、F1、M7、M11	9、68、77、93
MCANB_RX	I	CAN/CAN FD-B 接收	7、21、40、44、72、120、146	A6、A15、D2、H16、J12、M11、P13	14、87、113、139、167	A11、B5、E2、F10、N12	80
MCANB_TX	O	CAN/CAN FD-B 传输	6、20、41、45、73、119、145	C2、D14、F7、H15、J13、M10、R15	13、89、115、140、166	A5、C10、E1、F11、M12	51、81
OUTPUTXBAR1	O	输出 X-BAR 输出 1	2、24、34、58、201、205、224	B7、E8、J2、L13、M6、P10、P16	24、29、70、92、103、159、162	B6、D7、G2、H6、J10、K7、L12	13、42、52、91

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
OUTPUTXBAR2	O	输出 X-BAR 输出 2	3、25、37、59、202、206、220	A10、C7、F16、K3、L5、L14、N12	25、30、84、104、123、153、163	B8、C6、D13、G3、H5、H13、M11	14、53、68、84、92
OUTPUTXBAR3	O	输出 X-BAR 输出 3	4、5、14、26、48、60、203、207、221	B3、D7、E7、G16、K5、L11、L15、N5、R16	6、27、55、82、90、105、121、164、165	C2、D6、E6、E13、G5、J4、L10、M13	5、11、36、54、66、93
OUTPUTXBAR4	O	输出 X-BAR 输出 4	6、15、27、49、61、204、208、222	C3、F7、G13、K16、L6、P5、P15、T12	7、28、56、77、93、107、125、166	A5、C3、D11、G6、H11、K4、L13、N9	6、12、37、46、56
OUTPUTXBAR5	O	输出 X-BAR 输出 5	7、28、115、209、215、223	A6、N6、N11、P7、P9、R12	57、64、74、78、167	B5、J5、K8、M6、M9	38、47
OUTPUTXBAR6	O	输出 X-BAR 输出 6	9、29、73、116、210、216	D14、E1、H11、N7、P6、P11	19、58、65、73、140	C10、F3、K5、L8、N6	81
OUTPUTXBAR7	O	输出 X-BAR 输出 7	11、16、30、211、214	D3、E4、L10、R6、R8	2、8、59、63、79	B2、C4、J6、L6、L9	1、40、48
OUTPUTXBAR8	O	输出 X-BAR 输出 8	14、17、31、72、217	A15、B3、D8、E3、P8	6、9、66、139、158	A11、C2、D4、M7	5、80
PMBUSA_ALERT	I/OD	PMBus-A 开漏双向警报信号	11、26、93、153、203、207、220	C5、D11、E4、F16、K5、L11、N5	2、27、55、82、123、175	A3、B2、D13、G5、J4、L10	1、11、36、68
PMBUSA_CTL	I/O	PMBus-A 控制信号 - 目标输入/控制器输出	12、27、94、154、204、208、221	C11、D5、G4、G13、G16、L6、P5	4、28、56、121、125、176	A2、B1、D11、E13、G6、K4	3、12、37、66
PMBUSA_SCL	I/OD	PMBus-A 开漏双向时钟	14、24、91、151、201、210、223	B3、E6、E8、F11、J2、P6、R12	6、24、58、78、159、173	B4、C2、D7、G2、K5、M9	5、47、98
PMBUSA_SDA	I/OD	PMBus-A 开漏双向数据	13、25、92、152、202、209、222	A3、A5、A10、E11、K3、N6、T12	5、25、57、77、153、174	A4、B8、C1、G3、J5、N9	4、38、46、84、99
SCIA_RX	I	SCI-A 接收数据	9、13、28、35、43、46、49、62、64、85、207、215、222	A3、C9、D16、E1、F14、K13、K15、N5、N10、N11、P7、P15、T12	5、19、55、64、71、74、77、93、108、110、128、131、155	A7、C1、C11、F3、G12、H10、J4、K8、L13、M6、N8、N9	4、36、43、46、57、59、71、74、86
SCIA_TX	O	SCI-A 发送数据	8、12、29、34、36、42、47、48、63、65、84、208、216、223	D1、D9、E14、E16、G4、K12、K14、N7、P5、P10、P11、P12、R12、R16	4、18、56、65、70、73、78、83、90、109、111、129、130、154	A8、B1、C12、E3、G11、G13、K4、K7、L8、M9、M13、N6、N11	3、37、42、47、58、60、72、73、85
SCIB_RX	I	SCI-B 接收数据	11、15、19、23、39、55、71、87、142、200、221	A9、B2、B15、C3、E4、G1、G16、H14、J1、L12、M14	2、7、12、21、23、86、100、121、136、157	B2、B11、C3、C7、D1、E13、F2、G1、J13	1、6、10、66、77、88
SCIB_TX	O	SCI-B 发送数据	9、10、14、18、22、38、54、70、86、141、199、220	A2、B3、B9、C15、D4、E1、F3、F16、H1、H13、M12、M13	1、6、10、11、19、22、85、98、123、135、156	A12、B3、B7、C2、D2、D3、D13、F1、F3、K13、L11	5、9、68、76、87、100
SD1_C1	I	SDFM-1 通道 1 时钟输入	17、49、53、64、96、123	B4、E3、K13、M7、N16、P15	9、93、97、110	D4、G12、K12、L13	59
SD1_C2	I	SDFM-1 通道 2 时钟输入	19、51、54、66、98、125	B2、E2、K11、M8、M13、N14	12、95、98、112	D1、G10、K10、K13	61
SD1_C3	I	SDFM-1 通道 3 时钟输入	21、53、55、68、90、113、127、205	C16、D2、D6、J3、M6、M14、N16、R9	14、29、97、100、133、172	B13、E2、E5、H6、J13、K12	13、97
SD1_C4	I	SDFM-1 通道 4 时钟输入	23、55、56、70、115、129、200	C15、G1、J1、L9、M14、M15、P9	21、23、100、101、135	A12、F2、G1、J12、J13	10、76
SD1_D1	I	SDFM-1 通道 1 数据输入	16、36、48、63、95、100、122	A4、D3、F4、K14、L7、P12、R16	8、83、90、109	C4、G13、M13、N11	2、58

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
SD1_D2	I	SDFM-1 通道 2 数据输入	18、37、50、65、97、124	C4、F3、K12、L8、N12、P14	10、84、94、111	D3、G11、K9、M11	60
SD1_D3	I	SDFM-1 通道 3 数据输入	20、38、52、67、89、112、126、204	C2、C6、D15、H4、L6、M12、N15、T9	13、28、85、96、132、171	D5、E1、G6、K11、L11	12、96
SD1_D4	I	SDFM-1 通道 4 数据输入	22、39、54、69、74、77、80、114、128、199	A2、A13、B16、C14、F13、H1、J4、L12、M9、M13	11、22、86、98、134、141、144、148	B10、B12、D2、D9、E8、F1、K13	9、75、83
SD2_C1	I	SDFM-2 通道 1 时钟输入	25、40、57、80、131、134、202、224	A10、A13、K3、M16、N13、P13、P16、R14	25、87、92、102、148、153	B8、E8、G3、J11、L12、N12	83、84
SD2_C2	I	SDFM-2 通道 2 时钟输入	27、48、58、59、74、133、204	C14、G13、J15、L6、L13、L14、R16	28、90、103、104、118、125、141	B10、D11、F13、G6、H13、J10、M13	12、52、53
SD2_C3	I	SDFM-2 通道 3 时钟输入	29、59、61、76、216	A14、K16、L14、N7、P11	65、73、104、107、143	E9、H11、H13、L8、N6	53、56
SD2_C4	I	SDFM-2 通道 4 时钟输入	31、60、63、78、217	D8、E13、K14、L15、P8	66、105、109、145、158	C9、G13、M7	54、58、82
SD2_D1	I	SDFM-2 通道 1 数据输入	24、41、49、56、79、130、201	D13、E8、J2、M15、P15、R15、T10	24、89、93、101、146、159	B9、D7、G2、J12、L13、M12	51
SD2_D2	I	SDFM-2 通道 2 数据输入	26、50、58、73、132	D14、L11、L13、P14、T14	82、94、103、140	C10、J10、K9、L10	52、81
SD2_D3	I	SDFM-2 通道 3 数据输入	28、51、60、75、134、215	B14、L15、N11、N14、P7、R14	64、74、95、105、142	A10、K8、K10、M6	54
SD2_D4	I	SDFM-2 通道 4 数据输入	30、52、62、77、214	F13、K15、L10、N15、R8	63、79、96、108、144	D9、H10、K11、L6、L9	40、48、57
SD3_C1	I	SDFM-3 通道 1 时钟输入	72、76、105	A14、A15、L16	106、139、143	A11、E9、H12	80
SD3_C2	I	SDFM-3 通道 2 时钟输入	78、82、84、107	D9、E12、E13、F2	145、150、154	A8、C9、D8	82、85
SD3_C3	I	SDFM-3 通道 3 时钟输入	80、86、109	A13、B9、G3	148、156	B7、E8	83、87
SD3_C4	I	SDFM-3 通道 4 时钟输入	44、46、88、111	B6、F14、H3、J12	113、128、170	C5、F10	71
SD3_D1	I	SDFM-3 通道 1 数据输入	71、77、85、104、203	B13、B15、C9、F13、K5	27、136、144、147、155	A7、A9、B11、D9、G5	11、77、86
SD3_D2	I	SDFM-3 通道 2 数据输入	79、83、84、106	D9、D12、D13、F1	20、146、151、154	A8、B9、C8	85
SD3_D3	I	SDFM-3 通道 3 数据输入	57、81、85、108	C9、F12、G2、M16	102、149、155	A7、J11	86
SD3_D4	I	SDFM-3 通道 4 数据输入	45、87、110	A9、H2、J13	115、157	C7、F11	88
SD4_C1	I	SDFM-4 通道 1 时钟输入	10、90、208	D4、D6、P5	1、56、172	B3、E5、K4	37、97、100
SD4_C2	I	SDFM-4 通道 2 时钟输入	12、92、210	A5、G4、P6	4、58、174	A4、B1、K5	3、99
SD4_C3	I	SDFM-4 通道 3 时钟输入	40、47、94、212	D5、E14、P13、T7	60、87、129、176	A2、K6、N12	72
SD4_C4	I	SDFM-4 通道 4 时钟输入	42、100、103、219	E16、F4、G12、R7	61、126、130	C12、D10	2、73
SD4_D1	I	SDFM-4 通道 1 数据输入	11、89、207	C6、E4、N5	2、55、171	B2、D5、J4	1、36、96
SD4_D2	I	SDFM-4 通道 2 数据输入	13、91、209	A3、E6、N6	5、57、173	B4、C1、J5	4、38、98
SD4_D3	I	SDFM-4 通道 3 数据输入	41、93、211	C5、R6、R15	59、89、175	A3、J6、M12	51
SD4_D4	I	SDFM-4 通道 4 数据输入	43、73、76、78、99、213	A14、C1、D14、D16、E13、T8	17、62、131、140、143、145	C9、C10、C11、E4、E9、L5	39、74、81、82
SPIA_CLK	I/O	SPI-A 时钟	18、34、56、60、204	F3、L6、L15、M15、P10	10、28、70、101、105	D3、G6、J12、K7	12、42、54
SPIA_PICO	I/O	SPI-A 外设输入控制器输出 (PICO)	16、32、54、58、100、198、218、222	D3、F4、J14、K4、L13、M13、N8、T12	8、26、67、77、98、103、116	C4、F12、G4、J10、K13、N7、N9	2、46、52
SPIA_POCI	I/O	SPI-A 外设输出控制器输入 (POCI)	17、33、55、59、203	E3、K5、L14、M14、R10	9、27、69、100、104	D4、G5、H13、J13、L7	11、53

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
SPIA_PTE	I/O	SPI-A 外设发送使能 (PTE)	19、35、57、61、205	B2、K16、M6、M16、N10	12、29、71、102、107	D1、H6、H11、J11、N8	13、43、56
SPIB_CLK	I/O	SPI-B 时钟	22、26、58、65、199、203	A2、H1、K5、K12、L11、L13	11、22、27、82、103、111	D2、F1、G5、G11、J10、L10	9、11、52、60
SPIB_PICO	I/O	SPI-B 外设输入控制器输出 (PICO)	24、60、63、201、208	E8、J2、K14、L15、P5	24、56、105、109、159	D7、G2、G13、K4	37、54、58
SPIB_POCI	I/O	SPI-B 外设输出控制器输入 (POCI)	25、61、64、202、209	A10、K3、K13、K16、N6	25、57、107、110、153	B8、G3、G12、H11、J5	38、56、59、84
SPIB_PTE	I/O	SPI-B 外设发送使能 (PTE)	23、27、59、66、200、204	G1、G13、J1、K11、L6、L14	21、23、28、104、112、125	D11、F2、G1、G6、G10、H13	10、12、53、61
SPIC_CLK	I/O	SPI-C 时钟	22、52、71、102、124、199、222	A2、B15、C13、H1、L8、N15、T12	11、22、77、96、136	B11、D2、F1、K11、N9	9、46、77
SPIC_PICO	I/O	SPI-C 外设输入控制器输出 (PICO)	20、50、69、100、122	B16、C2、F4、L7、P14	13、94、134	B12、E1、K9	2、75
SPIC_POCI	I/O	SPI-C 外设输出控制器输入 (POCI)	21、51、70、101、123、215	C15、D2、M7、N9、N14、P7	14、64、95、135	A12、E2、K10、M6	76
SPIC_PTE	I/O	SPI-C 外设发送使能 (PTE)	23、53、72、103、125、200、223	A15、G1、G12、J1、M8、N16、R12	21、23、78、97、126、139	A11、D10、F2、G1、K12、M9	10、47、80
SPID_CLK	I/O	SPI-D 时钟	32、75、90、93、128、216、218	B14、C5、D6、J14、M9、N7、N8	65、67、116、142、172、175	A3、A10、E5、F12、N6、N7	97
SPID_PICO	I/O	SPI-D 外设输入控制器输出 (PICO)	30、91、126、214	E6、L10、R8、T9	63、79、173	B4、L6、L9	40、48、98
SPID_POCI	I/O	SPI-D 外设输出控制器输入 (POCI)	31、44、92、127、217、220	A5、D8、F16、J12、P8、R9	66、113、123、158、174	A4、D13、F10、M7	68、99
SPID_PTE	I/O	SPI-D 外设发送使能 (PTE)	33、45、89、94、129、217、221	C6、D5、G16、J13、L9、P8、R10	66、69、115、121、171、176	A2、D5、E13、F11、L7、M7	66、96
TDI	I	带有内部上拉电阻的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器 (指令或数据) 中计时。	222	T12	77	N9	46
TDO	O	JTAG 扫描输出, 测试数据输出 (TDO)。所选寄存器 (指令或数据) 的内容在 TCK 下降沿从 TDO 移出。	223	R12	78	M9	47
UARTA_RX	I/O	UART-A 串行数据接收	3、28、39、43、73、85	C7、C9、D14、D16、L12、N11	74、86、131、140、155、163	A7、C6、C10、C11、K8	74、81、86、92
UARTA_TX	I/O	UART-A 串行数据发送	2、29、38、42、72、84	A15、B7、D9、E16、M12、P11	73、85、130、139、154、162	A8、A11、B6、C12、L8、L11	73、80、85、91
UARTB_RX	I/O	UART-B 串行数据接收	45、71、223	B15、J13、R12	78、115、136	B11、F11、M9	47、77
UARTB_TX	I/O	UART-B 串行数据发送	44、70、222	C15、J12、T12	77、113、135	A12、F10、N9	46、76
USB0DM	O	USB-0 PHY 差分数据	42	E16	130	C12	73
USB0DP	O	USB-0 PHY 差分数据	43	D16	131	C11	74
X1	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器, 必须将一个石英晶体电路连接到 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	220	F16	123	D13	68
X2	I/O	晶体振荡器输出。	221	G16	121	E13	66
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	73、224	D14、P16	92、140	C10、L12	81

5.3.3 电源和接地

表 5-4. 电源和接地

信号名称	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
VDD	1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 20 μ F 的去耦电容器。去耦电容器的确切值应由您的系统电压调节解决方案确定。	F9、F10、G6、J11、K8、K9	16、76、117、137、169	F5、F7、G9、J9	8、45、63、78、95
VDD3VFL	3.3V 闪存电源引脚。在每个引脚上放置一个最小值为 0.1 μ F 的去耦电容器。将该引脚连接到 3.3V 电源。	R11、T11	72	M8	44
VDDA	3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2 μ F 且连接至 VSSA 的去耦电容器。将该引脚连接到 3.3V 电源。	N1、T6	36、54	L2、M5	18、35
VDDIO	3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1 μ F 的去耦电容器。将该引脚连接到 3.3V 电源。	B1、E15、G7、G8、H5、J5、J10、K7、K10、T15	3、15、68、75、88、91、99、114、127、138、152、168	C13、F4、F6、F8、H9、J8	7、41、55、62、70、79、94
VDDOSC	3.3V 振荡器电源引脚。这提供 3.3V 片上晶体振荡器 (X1 和 X2) 的电源引脚以及两个内部零引脚振荡器 (INTOSC)。在每个引脚上放置一个 0.1 μ F (最小值) 的去耦电容器。将该引脚连接到 3.3V 电源。	G15	120	E11	65
VSS	数字接地	A1、A16、G5、G9、G10、G11、H6、H7、H8、H9、H10、J6、J7、J8、J9、K6、T16	PAD	A1、A13、F9、G7、G8、H7、H8、J7、N13	PAD
VSSA	模拟接地	M3、N2、T1、T5	34、52	L1、N1、N5	17、33
VSSOSC	晶体振荡器 (X1 和 X2) 接地引脚。使用外部晶体时，请勿将此引脚连接至电路板接地。相反，将其连接至外部晶体振荡器电路的接地基准。如果未使用外部晶体，则此引脚可以连接至电路板接地。	F15	122	E12	67

5.3.4 测试、JTAG 和复位

表 5-5. 测试、JTAG 和复位

信号名称	引脚类型	说明	256 ZEJ	176 PTP	169 NMR	100 PZP
TCK	I	带有内部上拉电阻的 JTAG 测试时钟。	R13	81	M10	50
TMS	I/O	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器 (建议 2.2k Ω) 以将 TMS 引脚连接至 VDDIO, 从而在正常运行期间将 JTAG 保持在复位状态。	T13	80	N10	49
VREGENZ	I	具有内部上拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。	J16	119	E10	64
XRSn	I/OD	器件复位 (输入) 和看门狗复位 (输出)。在上电条件下, 此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时, 此引脚也由 MCU 驱动为低电平。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2k Ω 至 10k Ω 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除, 则该电容器的容值应为 100nF 或更小。当看门狗复位生效时, 这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动, 则应使用开漏器件进行驱动。	G14	124	D12	69

5.4 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-6 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，引导 ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。表 5-6 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-6. 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx	禁用上拉	禁用上拉 ⁽¹⁾	应用定义
GPIO222/TDI	禁用上拉		应用定义
GPIO223/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚 (包括 AIO)	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

5.5 引脚多路复用

节 5.5.1 列出了 GPIO 多路复用引脚。

5.5.1 GPIO 多路复用引脚

表 5-7. GPIO 多路复用引脚

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A			CLB_OUTPUTXB AR1	I2CA_SDA		EMIF1_A13	ESC_GPIO		FSITXA_D0			
GPIO1	EPWM1_B			CLB_OUTPUTXB AR2	I2CA_SCL		EMIF1_A14	ESC_GPIO1		FSITXA_D1			
GPIO2	EPWM2_A			OUTPUTXBAR1	I2CB_SDA	UARTA_TX	EMIF1_A15	ESC_GPIO2		FSITXA_CL K			
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	I2CB_SCL	UARTA_RX		ESC_GPIO3		FSIRXA_D0			
GPIO4	EPWM3_A			OUTPUTXBAR3	CANA_TX		MCANA_TX	ESC_GPIO4		FSIRXA_D1			
GPIO5	EPWM3_B		OUTPUTXBA R3	CLB_OUTPUTXB AR3	CANA_RX		MCANA_RX	ESC_GPIO5		FSIRXA_CL K			
GPIO6	EPWM4_A	OUTPUTXBAR4	EXTSYNCOU T	EQEP3_A	MCANB_TX	LINA_TX	EMIF1_DQM0	ESC_GPIO6		FSITXB_D0			
GPIO7	EPWM4_B		OUTPUTXBA R5	EQEP3_B	MCANB_RX	LINA_RX	EMIF1_DQM1	ESC_GPIO7		FSITXB_D1			
GPIO8	EPWM5_A	EMIF1_RAS	ADCSOAO	EQEP3_STROB E	SCIA_TX	CLB_OUTPUTXB AR4	MCANA_TX	ESC_GPO0		FSITXB_CL K	FSITXA_D1	FSIRXA_D0	
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBA R6	EQEP3_INDEX	SCIA_RX			ESC_GPO1		FSIRXB_D0	FSITXA_D0	FSIRXA_CLK	
GPIO10	EPWM6_A	EMIF1_CAS	ADCSOCBO	EQEP1_A	SCIB_TX	SD4_C1	MCANA_RX	CLB_OUTPUTXBAR5	ESC_TX0_DATA0	FSIRXB_D1	FSITXA_CLK	FSIRXA_D1	
GPIO11	EPWM6_B	SCIB_RX	OUTPUTXBA R7	EQEP1_B	SCIB_RX	SD4_D1		ESC_GPO3	ESC_TX0_DATA1	FSIRXB_CL K	FSIRXA_D1	PMBUSA_ALERT	
GPIO12	EPWM7_A	CLB_OUTPUTXB AR6	ADCSOAO	EQEP1_STROB E	SCIA_TX	SD4_C2	EMIF1_A1	ESC_GPO4	ESC_TX0_DATA2	FSIRXC_D 0	FSIRXA_D0	PMBUSA_CTL	
GPIO13	EPWM7_B	CLB_OUTPUTXB AR7	EQEP5_STR OBE	EQEP1_INDEX	SCIA_RX	SD4_D2	EMIF1_CS0n	ESC_GPO5	ESC_TX0_DATA3	FSIRXC_D 1	FSIRXA_CLK	PMBUSA_SDA	
GPIO14	EPWM8_A	SCIB_TX	EQEP5_INDE X	LINA_TX	OUTPUTXBA R3	OUTPUTXBAR8		ESC_GPO6	ESC_PHY1_LINKSTA TUS	FSIRXC_C LK	EMIF1_D17	PMBUSA_SCL	
GPIO15	EPWM8_B	SCIB_RX		LINA_RX	OUTPUTXBA R4	CLB_OUTPUTXB AR8		ESC_GPO7	EQEP5_A	FSIRXD_D 0		EMIF1_DQM2	
GPIO16	SPIA_PICO		OUTPUTXBA R7	EPWM9_A		SD1_D1			EQEP5_B	FSIRXD_D 1		ESC_RX1_CLK	
GPIO17	SPIA_POCI		OUTPUTXBA R8	EPWM9_B		SD1_C1			EQEP5_STROBE	FSIRXD_C LK		ESC_RX1_DV	
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM10_A		SD1_D2	MCANA_RX	EMIF1_CS2n	EQEP5_INDEX			ESC_RX1_ERR	
GPIO19	SPIA_PTE	SCIB_RX	CANA_TX	EPWM10_B		SD1_C2	MCANA_TX	EMIF1_CS3n				ESC_TX1_DATA3	
GPIO20	EQEP1_A			EPWM11_A		SD1_D3	MCANB_TX	EMIF1_BA0			SPIC_PICO	ESC_TX1_DATA2	
GPIO21	EQEP1_B			EPWM11_B		SD1_C3	MCANB_RX	EMIF1_BA1			SPIC_POCI	ESC_TX1_DATA1	
GPIO22	EQEP1_STR OBE		SCIB_TX	EPWM12_A	SPIB_CLK	SD1_D4	MCANA_TX	EMIF1_RAS			SPIC_CLK	ESC_TX1_DATA0	
GPIO23	EQEP1_INDE X		SCIB_RX	EPWM12_B	SPIB_PTE	SD1_C4	MCANA_RX	EMIF1_CAS			SPIC_PTE	ESC_PHY_RESET n	
GPIO24	OUTPUTXBA R1	EQEP2_A		LINB_TX	SPIB_PICO	SD2_D1	PMBUSA_SC L	EMIF1_DQM0		EPWM13_A	ESC_RX0_DATA1	ESC_RX0_CLK	

表 5-7. GPIO 多路复用引脚 (续)

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO25	OUTPUTXBAR2	EQEP2_B		LINB_RX	SPIB_POCI	SD2_C1	PMBUSA_SDA	EMIF1_DQM1	EQEP5_B	EPWM13_B	FSITXA_D1	ESC_RX0_DV	
GPIO26	OUTPUTXBAR3	EQEP2_INDEX		OUTPUTXBAR3	SPIB_CLK	SD2_D2	PMBUSA_ALERT	EMIF1_DQM2	ESC_MDIO_CLK	EPWM14_A	FSITXA_D0	ESC_RX0_ERR	
GPIO27	OUTPUTXBAR4	EQEP2_STROBE		OUTPUTXBAR4	SPIB_PTE	SD2_C2	PMBUSA_CTL	EMIF1_DQM3	ESC_MDIO_DATA	EPWM14_B	FSITXA_CLK	ESC_RX0_DATA0	
GPIO28	SCIA_RX	EMIF1_CS4n	UARTA_RX	OUTPUTXBAR5	EQEP3_A	SD2_D3	EMIF1_CS2n			EPWM15_A		ESC_RX0_DATA1	
GPIO29	SCIA_TX	EMIF1_SDCKE	UARTA_TX	OUTPUTXBAR6	EQEP3_B	SD2_C3	EMIF1_CS3n	ESC_LATCH0	ESC_I2C_SDA	EPWM15_B	ESC_SYNC0	ESC_RX0_DATA2	
GPIO30	CANA_RX	EMIF1_CLK	MCANA_RX	OUTPUTXBAR7	EQEP3_STROBE	SD2_D4	EMIF1_CS4n	ESC_LATCH1	ESC_I2C_SCL	EPWM16_A	ESC_SYNC1	SPID_PICO	
GPIO31	CANA_TX	EMIF1_WEn	MCANA_TX	OUTPUTXBAR8	EQEP3_INDEX	SD2_C4	EMIF1_RNW	I2CA_SDA		EPWM16_B		SPID_POCI	
GPIO32	I2CA_SDA	EMIF1_CS0n	SPIA_PICO	EQEP4_A	LINB_TX	CLB_OUTPUTXBAR1	EMIF1_OEn	I2CA_SCL				SPID_CLK	
GPIO33	I2CA_SCL	EMIF1_RNW	SPIA_POCI	EQEP4_B		CLB_OUTPUTXBAR2	EMIF1_BA0		ESC_LED_ERR			SPID_PTE	
GPIO34	OUTPUTXBAR1	EMIF1_CS2n	SPIA_CLK	EQEP4_STROBE	I2CB_SDA	CLB_OUTPUTXBAR3	EMIF1_BA1	ESC_LATCH0	EPWM18_A	SCIA_TX	ESC_SYNC0		
GPIO35	SCIA_RX	EMIF1_CS3n	SPIA_PTE	EQEP4_INDEX	I2CB_SCL	CLB_OUTPUTXBAR4	EMIF1_A0	ESC_LATCH1	EPWM18_B	SCIA_RX	ESC_SYNC1		
GPIO36	SCIA_TX	EMIF1_WAIT			CANA_RX	CLB_OUTPUTXBAR5	EMIF1_A1	MCANA_RX		SD1_D1	EMIF1_WEn		
GPIO37	OUTPUTXBAR2	EMIF1_OEn	EPWM18_A		CANA_TX	CLB_OUTPUTXBAR6	EMIF1_A2	MCANA_TX		SD1_D2	EMIF1_D24		
GPIO38		EMIF1_A0	EPWM18_B	UARTA_TX	SCIB_TX	CLB_OUTPUTXBAR7	EMIF1_A3			SD1_D3	EMIF1_CS2n		
GPIO39		EMIF1_A1		UARTA_RX	SCIB_RX	CLB_OUTPUTXBAR8	EMIF1_A4	ESC_MDIO_DATA	ESC_LED_RUN	SD1_D4	FSIRXD_CLK		
GPIO40		EMIF1_A2	EPWM13_A	MCANB_RX	I2CB_SDA	SD4_C3	ESC_GPO2	CLB_OUTPUTXBAR1		SD2_C1	ESC_I2C_SDA		
GPIO41		EMIF1_A3	EPWM13_B	MCANB_TX	I2CB_SCL	SD4_D3		CLB_OUTPUTXBAR2		SD2_D1	ESC_I2C_SCL	FSIRXD_CLK	
GPIO42			EPWM14_A	EQEP4_A	I2CA_SDA	SD4_C4		CLB_OUTPUTXBAR5	UARTA_TX		FSIRXD_D0	SCIA_TX	USB0D M
GPIO43			EPWM14_B	EQEP4_B	I2CA_SCL	SD4_D4		CLB_OUTPUTXBAR6	UARTA_RX		FSIRXD_D1	SCIA_RX	USB0D P
GPIO44	SPID_POCI	EMIF1_A4	MCANB_RX			SD3_C4	UARTB_TX	CLB_OUTPUTXBAR6		FSIRXD_CLK	ESC_TX1_CLK		
GPIO45	SPID_PTE	EMIF1_A5	MCANB_TX			SD3_D4	UARTB_RX	CLB_OUTPUTXBAR7			ESC_TX1_ENA		
GPIO46	EPWM4_A	EMIF1_A6	EPWM14_A			SCIA_RX	SD3_C4				ESC_MDIO_CLK		
GPIO47	EPWM4_B	EMIF1_A7	EPWM14_B			SCIA_TX	SD4_C3				ESC_MDIO_DATA		
GPIO48	OUTPUTXBAR3	EMIF1_A8				SCIA_TX	SD1_D1			SD2_C2	ESC_PHY_CLK		
GPIO49	OUTPUTXBAR4	EMIF1_A9				SCIA_RX	SD1_C1	EMIF1_A5		SD2_D1	FSITXA_D0		
GPIO50	EQEP1_A	EMIF1_A10	EPWM15_A		SPIC_PICO	SD1_D2	EMIF1_A6		ESC_LATCH0	SD2_D2	FSITXA_D1		
GPIO51	EQEP1_B	EMIF1_A11	EPWM15_B		SPIC_POCI	SD1_C2	EMIF1_A7		ESC_LATCH1	SD2_D3	FSITXA_CLK		

表 5-7. GPIO 多路复用引脚 (续)

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO52	EQEP1_STR OBE	EMIF1_A12	EPWM16_A		SPIC_CLK	SD1_D3	EMIF1_A8		ESC_MDIO_CLK	SD2_D4	FSIRXA_D0		
GPIO53	EQEP1_INDE X	EMIF1_D31			SPIC_PTE	SD1_C3	EMIF1_A9		ESC_MDIO_DATA	SD1_C1	FSIRXA_D1		
GPIO54	SPIA_PICO	EMIF1_D30		EQEP2_A	SCIB_TX	SD1_D4	EMIF1_A10		ESC_PHY_CLK	SD1_C2	FSIRXA_CLK		
GPIO55	SPIA_POCI	EMIF1_D29	EPWM16_B	EQEP2_B	SCIB_RX	SD1_C4	EMIF1_D0		ESC_PHY0_LINKSTA TUS	SD1_C3	FSITXB_D0		
GPIO56	SPIA_CLK	EMIF1_D28	EPWM17_A	EQEP2_STROB E		SD2_D1	EMIF1_D1	I2CA_SDA	ESC_TX0_ENA	SD1_C4	FSITXB_CLK		
GPIO57	SPIA_PTE	EMIF1_D27	EPWM17_B	EQEP2_INDEX		SD2_C1	EMIF1_D2	I2CA_SCL	ESC_TX0_CLK	SD3_D3	FSITXB_D1		
GPIO58	SPIA_PICO	EMIF1_D26	EPWM8_A	OUTPUTXBAR1	SPIB_CLK	SD2_D2	EMIF1_D3	ESC_LED_LINK0_ACT IVE	CANA_RX	SD2_C2	FSIRXB_D0	SPIA_PICO	
GPIO59	EPWM5_A	EMIF1_D25	EPWM8_B	OUTPUTXBAR2	SPIB_PTE	SD2_C2	EMIF1_D4	ESC_LED_LINK1_ACT IVE	CANA_TX	SD2_C3	FSIRXB_D1	SPIA_POCI	
GPIO60	EPWM3_B	EMIF1_D24	ESC_LATCH0	OUTPUTXBAR3	SPIB_PICO	SD2_D3	EMIF1_D5	ESC_LED_ERR		SD2_C4	FSIRXB_CLK	SPIA_CLK	
GPIO61	EPWM17_B	EMIF1_D23	ESC_LATCH1	OUTPUTXBAR4	SPIB_POCI	SD2_C3	EMIF1_D6	ESC_LED_RUN			CANA_RX	SPIA_PTE	
GPIO62	SCIA_RX	EMIF1_D22	ESC_MDIO_C LK	EQEP3_A	CANA_RX	SD2_D4	EMIF1_D7	ESC_LED_STATE_RU N			CANA_TX		
GPIO63	SCIA_TX	EMIF1_D21	EPWM9_A	EQEP3_B	CANA_TX	SD2_C4	EMIF1_RNW	EMIF1_BA0		SD1_D1	ESC_RX1_DATA0	SPIB_PICO	
GPIO64		EMIF1_D20	EPWM9_B	EQEP3_STROB E	SCIA_RX		EMIF1_WAIT	EMIF1_BA1		SD1_C1	ESC_RX1_DATA1	SPIB_POCI	
GPIO65		EMIF1_D19	EPWM10_A	EQEP3_INDEX	SCIA_TX		EMIF1_WEn		FSITXB_CLK	SD1_D2	ESC_RX1_DATA2	SPIB_CLK	
GPIO66	EQEP6_B	EMIF1_D18	EPWM10_B		I2CB_SDA		EMIF1_OEn		FSITXB_D1	SD1_C2	ESC_RX1_DATA3	SPIB_PTE	
GPIO67		EMIF1_D17	EPWM17_A	LINB_TX					ESC_I2C_SDA	SD1_D3			
GPIO68		EMIF1_D16	EPWM17_B	LINB_RX					ESC_I2C_SCL	SD1_C3	ESC_PHY1_LINKSTAT US		
GPIO69		EMIF1_D15	EPWM11_A		I2CB_SCL				FSITXB_D0	SD1_D4	ESC_RX1_CLK	SPIC_PICO	
GPIO70		EMIF1_D14	EPWM11_B	CANA_RX	SCIB_TX	UARTB_TX	MCANA_RX		FSIRXB_D0	SD1_C4	ESC_RX1_DV	SPIC_POCI	
GPIO71		EMIF1_D13	EPWM12_A	CANA_TX	SCIB_RX	UARTB_RX	MCANA_TX			SD3_D1	ESC_RX1_ERR	SPIC_CLK	
GPIO72	EQEP6_STR OBE	EMIF1_D12	EPWM12_B	OUTPUTXBAR8	UARTA_TX		MCANB_RX			SD3_C1	ESC_TX1_DATA3	SPIC_PTE	
GPIO73	EQEP6_INDE X	EMIF1_D11	XCLKOUT	OUTPUTXBAR6	UARTA_RX	EPWM5_B	MCANB_TX	SD4_D4		SD2_D2	ESC_TX1_DATA2		
GPIO74	EPWM8_A	EMIF1_D10			EQEP5_A		MCANA_TX	SD1_D4		SD2_C2	ESC_TX1_DATA1		
GPIO75	EPWM8_B	EMIF1_D9			EQEP5_B	SPIID_CLK	MCANA_RX	CLB_OUTPUTXBAR8		SD2_D3	ESC_TX1_DATA0		
GPIO76	EPWM9_A	EMIF1_D8			EQEP5_STR OBE	SD3_C1		SD4_D4		SD2_C3	ESC_PHY_RESETh		
GPIO77	EPWM9_B	EMIF1_D7			EQEP5_INDE X	SD3_D1		SD1_D4		SD2_D4	ESC_RX0_CLK		
GPIO78	EPWM10_A	EMIF1_D6			EQEP2_A	SD3_C2		SD4_D4		SD2_C4	ESC_RX0_DV		
GPIO79	EPWM10_B	EMIF1_D5		ERRORSTS	EQEP2_B	SD3_D2				SD2_D1	ESC_RX0_ERR		
GPIO80	EPWM11_A	EMIF1_D4		ERRORSTS	EQEP2_STR OBE	SD3_C3		SD1_D4		SD2_C1	ESC_RX0_DATA0		

表 5-7. GPIO 多路复用引脚 (续)

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO81	EPWM11_B	EMIF1_D3			EQEP2_INDE X	SD3_D3					ESC_RX0_DATA1		
GPIO82	EPWM12_A	EMIF1_D2								SD3_C2	ESC_RX0_DATA2		
GPIO83	EPWM12_B	EMIF1_D1								SD3_D2	ESC_RX0_DATA3		
GPIO84	EPWM12_B	EMIF1_D1	EMIF1_CS4n	SCIA_TX	EQEP6_A		SD3_D2		UARTA_TX	SD3_C2	ESC_TX0_ENA	ESC_RX0_DATA3	
GPIO85	EPWM13_A	EMIF1_D0		SCIA_RX	EQEP6_B	SD3_D1			UARTA_RX	SD3_D3	ESC_TX0_CLK	EMIF1_DQM2	
GPIO86	EPWM13_B	EMIF1_A13	EMIF1_CAS	SCIB_TX	EQEP6_STR OBE					SD3_C3	ESC_PHY0_LINKSTAT US		
GPIO87	EPWM14_A	EMIF1_A14	EMIF1_RAS	SCIB_RX	EQEP6_INDE X		EMIF1_DQM3			SD3_D4	ESC_TX0_DATA0		
GPIO88	EPWM14_B	EMIF1_A15	EMIF1_DQM0				EMIF1_DQM1			SD3_C4	ESC_TX0_DATA1		
GPIO89	EPWM15_A	EMIF1_A16	EMIF1_DQM1			SD1_D3	EMIF1_CAS			SD4_D1	ESC_TX0_DATA2	SPID_PTE	
GPIO90	EPWM15_B	EMIF1_A17	EMIF1_DQM2			SD1_C3	EMIF1_RAS			SD4_C1	ESC_TX0_DATA3	SPID_CLK	
GPIO91	EPWM16_A	EMIF1_A18	EMIF1_DQM3		I2CA_SDA	SD4_D2	EMIF1_DQM2	PMBUSA_SCL			CLB_OUTPUTXBAR1	SPID_PICO	
GPIO92	EPWM16_B	EMIF1_A19	EMIF1_BA1		I2CA_SCL	SD4_C2	EMIF1_DQM0	PMBUSA_SDA	FSIRXD_CLK		CLB_OUTPUTXBAR2	SPID_POCI	
GPIO93	EPWM17_A		EMIF1_BA0			SD4_D3		PMBUSA_ALERT	ESC_TX1_CLK		CLB_OUTPUTXBAR3	SPID_CLK	
GPIO94	EPWM17_B					SD4_C3	EMIF1_BA1	PMBUSA_CTL	ESC_TX1_ENA		CLB_OUTPUTXBAR4	SPID_PTE	
GPIO95	EPWM18_A	EQEP4_A			SD1_D1			ESC_GPO10			CLB_OUTPUTXBAR5		
GPIO96	EPWM18_B	EQEP4_B		EQEP1_A	SD1_C1			ESC_GPO11			CLB_OUTPUTXBAR6		
GPIO97		EQEP4_STROB E		EQEP1_B	SD1_D2			ESC_GPI17			CLB_OUTPUTXBAR7		
GPIO98		EQEP4_INDEX		EQEP1_STROB E	SD1_C2			ESC_GPI18			CLB_OUTPUTXBAR8		
GPIO99		EMIF1_DQM3	EPWM8_A	EQEP1_INDEX		SD4_D4		ESC_GPI21			EMIF1_D17		
GPIO10 0	SPIA_PICO	EMIF1_BA1	EPWM9_A	EQEP2_A	SPIC_PICO	SD4_C4	SD1_D1	ESC_GPI0	FSIRXD_D1	FSITXA_D0	EMIF1_D24		
GPIO10 1	EPWM18_A			EQEP2_B	SPIC_POCI			ESC_GPI1	EMIF1_A5	FSITXA_D1			
GPIO10 2	EPWM18_B			EQEP2_STROB E	SPIC_CLK			ESC_GPI2	EMIF1_A6	FSITXA_CL K			
GPIO10 3		EMIF1_BA0	EPWM8_B	EQEP2_INDEX	SPIC_PTE	SD4_C4		ESC_GPI3		FSIRXA_D0			
GPIO10 4	I2CA_SDA	EPWM18_A		EQEP3_A	SD3_D1			ESC_GPI4		FSIRXA_D1	ESC_SYNC0		
GPIO10 5	I2CA_SCL	EPWM18_B		EQEP3_B	SD3_C1			ESC_GPI5		FSIRXA_CL K	ESC_SYNC1		
GPIO10 6	EPWM16_A	EMIF1_A10		EQEP3_STROB E	SD3_D2			ESC_GPI6		FSITXB_D0			
GPIO10 7	EPWM16_B			EQEP3_INDEX	SD3_C2			ESC_GPI7		FSITXB_D1			
GPIO10 8	EPWM17_A	EMIF1_A12		EQEP5_A	SD3_D3			ESC_GPI8		FSITXB_CL K			
GPIO10 9	EPWM17_B	EMIF1_A11		EQEP5_B	SD3_C3			ESC_GPI9					

表 5-7. GPIO 多路复用引脚 (续)

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO11 0	EMIF1_D31			EQEP5_STROB E	SD3_D4			ESC_GPI10		FSIRXB_D0			
GPIO11 1	EMIF1_D30			EQEP5_INDEX	SD3_C4			ESC_GPI11		FSIRXB_D1			
GPIO11 2	EMIF1_D29					SD1_D3		ESC_GPI12		FSIRXB_CL K			
GPIO11 3	EMIF1_D28					SD1_C3		ESC_GPI13					
GPIO11 4	EMIF1_D27					SD1_D4		ESC_GPI14					
GPIO11 5	EMIF1_D26			OUTPUTXBAR5		SD1_C4		ESC_GPI15		FSIRXC_D 0			
GPIO11 6				OUTPUTXBAR6				ESC_GPI16		FSIRXC_D 1			
GPIO11 9	EMIF1_D25			MCANB_TX				ESC_GPI19		FSIRXD_D 1			
GPIO12 0	EMIF1_D24			MCANB_RX				ESC_GPI20		FSIRXD_C LK			
GPIO12 2	EMIF1_D23				SPIC_PICO	SD1_D1		ESC_GPI22					
GPIO12 3	EMIF1_D22				SPIC_POCI	SD1_C1		ESC_GPI23					
GPIO12 4	EMIF1_D21				SPIC_CLK	SD1_D2		ESC_GPI24					
GPIO12 5	EMIF1_D20				SPIC_PTE	SD1_C2		ESC_GPI25			ESC_LATCH0		
GPIO12 6	EMIF1_D19				SPID_PICO	SD1_D3		ESC_GPI26			ESC_LATCH1		
GPIO12 7	EMIF1_D18				SPID_POCI	SD1_C3		ESC_GPI27			ESC_SYNC0		
GPIO12 8	EMIF1_D17				SPID_CLK	SD1_D4		ESC_GPI28			ESC_SYNC1		
GPIO12 9	EMIF1_D16				SPID_PTE	SD1_C4		ESC_GPI29			ESC_TX1_ENA		
GPIO13 0	EPWM13_A					SD2_D1		ESC_GPI30			ESC_TX1_CLK		
GPIO13 1	EPWM13_B					SD2_C1		ESC_GPI31			ESC_TX1_DATA0		
GPIO13 2	EPWM14_A					SD2_D2		ESC_GPO0			ESC_TX1_DATA1		
GPIO13 3	EMIF1_A11	EPWM9_A				SD2_C2			ESC_LED_STATE_R UN				
GPIO13 4	EPWM14_B					SD2_D3		ESC_GPO1		SD2_C1	ESC_TX1_DATA2		
GPIO14 1	EPWM15_A				SCIB_TX			ESC_GPO8			ESC_RX1_DATA2		

表 5-7. GPIO 多路复用引脚 (续)

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO14 2	EPWM15_B				SCIB_RX			ESC_GPO9			ESC_RX1_DATA3		
GPIO14 5	EPWM1_A				MCANB_TX			ESC_GPO12			ESC_LED_ERR		
GPIO14 6	EPWM1_B				MCANB_RX			ESC_GPO13			ESC_LED_RUN		
GPIO14 7	EPWM2_A				EQEP5_A			ESC_GPO14			ESC_LED_STATE_RU N		
GPIO14 8	EPWM2_B				EQEP5_B			ESC_GPO15			ESC_PHY0_LINKSTAT US		
GPIO14 9	EPWM3_A				EQEP5_STR OBE			ESC_GPO16			ESC_PHY1_LINKSTAT US		
GPIO15 0	EPWM3_B				EQEP5_INDE X			ESC_GPO17			ESC_I2C_SDA		
GPIO15 1	EPWM4_A				PMBUSA_SC L			ESC_GPO18		FSITXA_D0	ESC_I2C_SCL		
GPIO15 2	EPWM4_B				PMBUSA_SD A			ESC_GPO19		FSITXA_D1	ESC_MDIO_CLK		
GPIO15 3	EPWM5_A				PMBUSA_AL ERT			ESC_GPO20		FSITXA_CL K	ESC_MDIO_DATA		
GPIO15 4	EPWM5_B				PMBUSA_CT L			ESC_GPO21		FSIRXA_D0	ESC_PHY_CLK		
GPIO15 5	EPWM6_A							ESC_GPO22		FSIRXA_D1	ESC_PHY_RESETh		
GPIO15 6	EPWM6_B							ESC_GPO23		FSIRXA_CL K	ESC_TX0_ENA		
GPIO15 7	EPWM7_A							ESC_GPO24		FSITXB_D0	ESC_TX0_CLK		
GPIO15 8	EPWM7_B							ESC_GPO25		FSITXB_D1	ESC_TX0_DATA0		
GPIO15 9	EPWM8_A							ESC_GPO26		FSITXB_CL K	ESC_TX0_DATA1		
GPIO16 0	EPWM8_B							ESC_GPO27		FSIRXB_D0	ESC_TX0_DATA2		
GPIO16 1	EPWM9_A							ESC_GPO28		FSIRXB_D1	ESC_TX0_DATA3		
GPIO16 2	EPWM9_B							ESC_GPO29		FSIRXB_CL K	ESC_RX0_DV		
GPIO16 3	EPWM10_A							ESC_GPO30		FSIRXC_D 0	ESC_RX0_CLK		
GPIO16 4	EPWM10_B							ESC_GPO31		FSIRXC_D 1	ESC_RX0_ERR		
GPIO16 5	EPWM11_A									FSIRXC_C LK	ESC_RX0_DATA0		
GPIO16 6	EPWM11_B									FSIRXD_D 0	ESC_RX0_DATA1		

表 5-7. GPIO 多路复用引脚 (续)

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO16 7	EPWM12_A									FSIRXD_D 1	ESC_RX0_DATA2		
GPIO16 8	EPWM12_B									FSIRXD_C LK	ESC_RX0_DATA3		
GPIO19 8	EQEP1_A	EPWM9_B	SPIA_PICO								ESC_PDI_UC_IRQ		
GPIO19 9	EQEP1_STR OBE	EPWM17_A	SCIB_TX	EPWM12_A	SPIB_CLK	SD1_D4	MCANA_TX	EMIF1_RAS			SPIC_CLK		
GPIO20 0	EQEP1_INDE X	EPWM17_B	SCIB_RX	EPWM12_B	SPIB_PTE	SD1_C4	MCANA_RX	EMIF1_CAS	ESC_TX1_DATA1		SPIC_PTE		
GPIO20 1	OUTPUTXBA R1	EQEP2_A	EPWM18_A	LINB_TX	SPIB_PICO	SD2_D1	PMBUSA_SC L	EMIF1_DQM0	ESC_TX1_DATA2	EPWM13_A			
GPIO20 2	OUTPUTXBA R2	EQEP2_B	EPWM18_B	LINB_RX	SPIB_POCI	SD2_C1	PMBUSA_SD A	EMIF1_DQM1	ESC_TX1_DATA3	EPWM13_B	FSITXA_D1		
GPIO20 3	OUTPUTXBA R3	EQEP2_INDEX	SPIA_POCI	OUTPUTXBAR3	SPIB_CLK	SD3_D1	PMBUSA_AL ERT	EMIF1_DQM2	ESC_MDIO_CLK	EPWM14_A	FSITXA_D0	EPWM8_B	
GPIO20 4	OUTPUTXBA R4	EQEP2_STROB E	SPIA_CLK	OUTPUTXBAR4	SPIB_PTE	SD2_C2	PMBUSA_CT L	EMIF1_DQM3	ESC_MDIO_DATA	EPWM14_B	FSITXA_CLK	SD1_D3	
GPIO20 5	EQEP1_INDE X	EPWM10_A	SPIA_PTE						OUTPUTXBAR1			SD1_C3	
GPIO20 6	EMIF1_A11	EPWM10_B	EMIF1_WEn						OUTPUTXBAR2		ESC_PHY_CLK	ESC_LED_STATE_ RUN	
GPIO20 7	EQEP2_A	EPWM11_A	EXTSYNCOU T	CANA_TX	SD4_D1	SCIA_RX	LINA_RX	I2CB_SCL	OUTPUTXBAR3		ESC_RX1_CLK	PMBUSA_ALERT	
GPIO20 8	EQEP2_B	EPWM11_B	EMIF1_D13	SPIB_PICO	SD4_C1	SCIA_TX			OUTPUTXBAR4		ESC_RX1_DV	PMBUSA_CTL	
GPIO20 9	EQEP2_STR OBE	EPWM12_A	EMIF1_D14	SPIB_POCI	SD4_D2	EPWM12_B		LINB_RX	OUTPUTXBAR5		ESC_RX1_ERR	PMBUSA_SDA	
GPIO21 0	EQEP2_INDE X	EPWM12_B	EMIF1_D15		SD4_C2			LINB_TX	OUTPUTXBAR6		ESC_RX0_DATA2	PMBUSA_SCL	
GPIO21 1	EQEP6_A	EPWM14_A			SD4_D3				OUTPUTXBAR7		ESC_LED_LINK0_ACT IVE		
GPIO21 2	EQEP6_B	EPWM14_B			SD4_C3						ESC_LED_LINK1_ACT IVE		
GPIO21 3	EQEP6_STR OBE	EPWM8_A			SD4_D4			LINB_TX			ESC_LED_ERR		
GPIO21 4	CANA_RX	EMIF1_CLK	MCANA_RX	OUTPUTXBAR7	EQEP3_STR OBE	SD2_D4	EMIF1_CS4n	ESC_LATCH1	ESC_I2C_SCL	EPWM16_A	ESC_SYNC1	SPID_PICO	
GPIO21 5	SCIA_RX	EMIF1_CS4n	CANA_RX	OUTPUTXBAR5	EQEP3_A	SD2_D3	EMIF1_CS2n	I2CB_SDA	SPIC_POCI	EPWM15_A	LINA_TX	EMIF1_D12	
GPIO21 6	SCIA_TX	EMIF1_SDCKE	SPID_CLK	OUTPUTXBAR6	EQEP3_B	SD2_C3	EMIF1_CS3n	ESC_LATCH0	ESC_I2C_SDA	EPWM15_B	ESC_SYNC0	EMIF1_D13	
GPIO21 7	CANA_TX	EMIF1_WEn	MCANA_TX	OUTPUTXBAR8	EQEP3_INDE X	SD2_C4	EMIF1_RNW	I2CA_SDA	SPID_PTE	EPWM16_B	LINB_TX	SPID_POCI	
GPIO21 8	I2CA_SDA	EMIF1_CS0n	SPIA_PICO	EQEP4_A	LINB_TX	CLB_OUTPUTXB AR1	EMIF1_OEn	I2CA_SCL				SPID_CLK	

表 5-7. GPIO 多路复用引脚 (续)

0、4、 8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO21 9	EQEP6_INDE X	EPWM8_B			SD4_C4						ESC_LED_RUN		
GPIO22 0		EPWM6_A	SPID_POCI	OUTPUTXBAR2	SCIB_TX	MCANA_TX						PMBUSA_ALERT	X1
GPIO22 1		EPWM6_B	SPID_PTE	OUTPUTXBAR3	SCIB_RX	MCANA_RX						PMBUSA_CTL	X2
GPIO22 2	TDI	EPWM7_A	SPIA_PICO	OUTPUTXBAR4	SCIA_RX	UARTB_TX	I2CA_SDA	SPIC_CLK			ESC_PDI_UC_IRQ	PMBUSA_SDA	
GPIO22 3	TDO	EPWM7_B	EMIF1_A11	OUTPUTXBAR5	SCIA_TX	UARTB_RX	I2CA_SCL	SPIC_PTE				PMBUSA_SCL	
GPIO22 4	ERRORSTS	EMIF1_SDCKE	XCLKOUT	OUTPUTXBAR1						SD2_C1	ESC_PDI_UC_IRQ		
AIO225													
AIO226													
AIO227													
AIO228													
AIO229													
AIO230													
AIO231													
AIO232													
AIO233													
AIO234													
AIO235													
AIO236													
AIO237													
AIO238													
AIO239													
AIO240													
AIO241													
AIO242													

5.5.2 ADC 引脚上的数字输入和输出 (AGPIO)

一些 GPIO 与模拟引脚进行多路复用，并具有数字输入和输出功能。这些也称为 AGPIO。与 AIO 不同，AGPIO 具有完整的输入和输出能力。默认情况下，AGPIO 未连接，必须进行配置。表 5-8 显示了如何配置 AGPIO。要启用模拟功能，请设置模拟子系统寄存器 AGPIOTRSLx。要启用数字功能，请设置通用输入/输出 (GPIO) 一章中的寄存器 GPxAMSEL。

表 5-8. AGPIO 配置

AGPIOTRSLx.GPIOy (默认值 = 0)	GPxAMSEL.GPIOy (默认值 = 1)	引脚连接到：	
		ADC	GPIOy
0	0	-	是
0	1	- (1)	- (1)
1	0	-	是
1	1	是	-

(1) 默认情况下，没有信号连接到 AGPIO 引脚。必须选择表中的其他行之一来实现引脚功能。

备注

如果将具有尖锐边缘 (高 dv/dt) 的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户必须限制连接到 AGPIO 的信号边沿速率。

图 5-13 中说明了采用 AGPIO 实现方式的模拟子系统的一般原理图。需要特别注意特定模拟输入引脚的用例组合，如表 5-9 所示。AGPIO 模拟引脚路径包含一个额外的 53Ω 串联开关。这会创建一个由 ADC 和 CMPSS 比较器共享的低电容隔离式节点，如图 5-13 所示。当 ADC 对通道进行采样时，该节点可能会受到干扰 (取决于 ADC 采样保持电容器上先前存储的电压)，这种干扰可能会导致高达 50ns 的错误 CMPSS 事件。如表 5-9 所示，对于 CMPSS 输入、ADC 采样和 AGPIO 的组合，需要使用特殊注意事项或权变措施。为了适应这种潜在的干扰，可以实施以下权变措施：

1. 对于同时需要 ADC 和 CMPSS 的模拟通道，使用不同的引脚 (即 AIO 引脚类型)。
2. 使用设置为 50ns 或更大的 CMPSS 数字滤波器，从而滤除临时干扰。
3. 预处理 ADC 的采样保持电容器，从而使干扰不会导致误跳闸。例如，在读取受影响的通道之前，立即对 ADC 上不同通道的 3.3V 连接执行虚拟读取，从而使干扰为正向，远离误跳闸。如果误跳闸极性反转，则可以使用 0V 信号的相反虚拟读取。

表 5-9. 特定模拟输入引脚的用例组合

特定模拟引脚上使用的功能	使用的元件				
CMPSS 比较器输入	是	-	是	-	是
ADC 采样	是	是	-	是	是
AGPIO 模拟引脚类型	是	是	是	-	-
AIO 模拟引脚类型	-	-	-	是	是
结果	需要权变措施		无需特殊分析或权变措施		

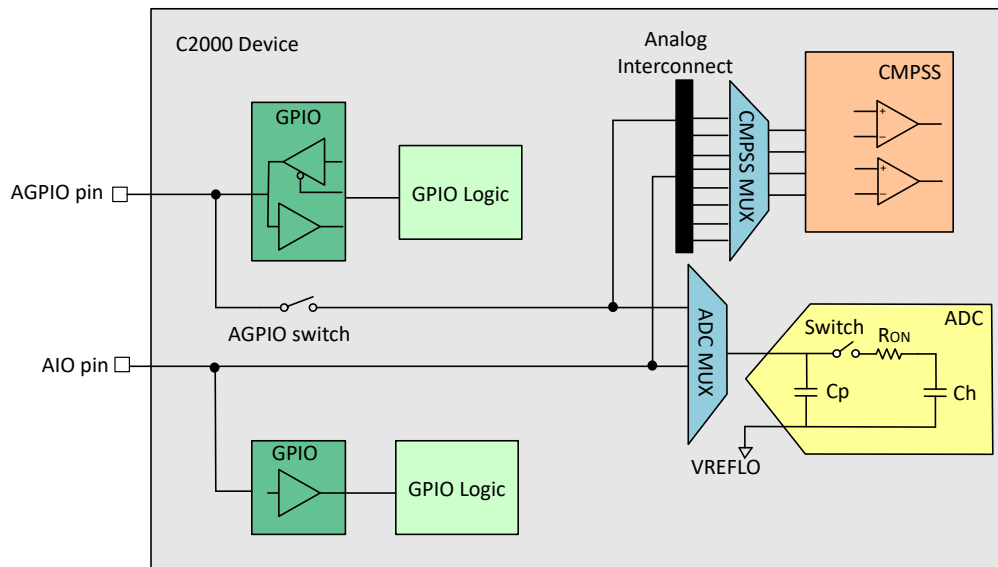


图 5-13. 具有 AGPIO 实现方式的模拟子系统方框图

5.5.3 USB 引脚多路复用

表 5-10 列出了备用 USB 功能映射的分配。可通过 GPBAMSEL 寄存器对它们进行配置。

表 5-10. 备用 USB 功能

GPIO	GPBAMSEL 设置	USB 功能
GPIO42	GPBAMSEL[10] = 1b	USB0DM
GPIO43	GPBAMSEL[11] = 1b	USB0DP

5.5.4 高速 SPI 引脚多路复用

该器件上的 SPI 模块具有高速模式。为了实现尽可能高的速度，在每个 SPI 的单一 GPIO 多路复用器选项上使用了特殊的 GPIO 配置。在未处于高速模式 (HS_MODE=0) 下，SPI 也可以使用这些 GPIO。

如需选择启用 SPI 高速模式的多路复用器选项，请配置 GPyGMUX 和 GPyMUX 寄存器，如表 5-11 所示。

表 5-11. 高速 SPI 的 GPIO 配置

GPIO	SPI 信号	多路复用器配置	
SPIA			
GPIO58	SPIA_PICO	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPIA_POCI	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPIA_CLK	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	SPIA_PTE	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
SPIB			
GPIO63	SPIB_PICO	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPIB_POCI	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPIB_CLK	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	SPIB_PTE	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
SPIC			
GPIO69	SPIC_PICO	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPIC_POCI	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPIC_CLK	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	SPIC_PTE	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b
SPID			
GPIO91	SPID_PICO	GPCGMUX2[23:22]=11b	GPCMUX2[23:22]=11b
GPIO92	SPID_POCI	GPCGMUX2[25:24]=11b	GPCMUX2[25:24]=11b
GPIO93	SPID_CLK	GPCGMUX2[27:26]=11b	GPCMUX2[27:26]=11b
GPIO94	SPID_PTE	GPCGMUX2[29:28]=11b	GPCMUX2[29:28]=11b

5.6 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-12 列出了对任何未使用引脚的可接受条件。当表 5-12 中列出了多个选项，则任何选项都可接受。未在表 5-12 中列出的引脚必须根据“引脚属性”表进行连接。

表 5-12. 未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFH _x	连接至 VDDA
VREFLO _x	连接至 VSSA
ADCIN _x (DAC 引脚除外)	- 无连接 - 连接至 VSSA
ADCIN _x (DAC 引脚)	- 无连接 - 通过 5kΩ 电阻下拉至 VSSA
数字	
GPIO _x	- 无连接 (启用内部上拉的输入模式) - 无连接 (禁用内部上拉的输出模式) - 上拉或下拉电阻器 (任意值电阻器，输入模式，禁用内部上拉)
X1	连接至 VSS
X2	无连接
TCK	- 无连接 - 上拉电阻器
TDI	- 无连接 - 上拉电阻器
TDO	无连接
TMS	无连接
ERRORSTS	无连接
电源和接地	
VDD	必须根据“引脚属性”表连接所有 VDD 引脚。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	必须根据“引脚属性”表连接所有 VDDIO 引脚。
VDD3VFL	必须连接到 VDDIO
VDDOSC	必须连接到 VDDIO
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSA	如果未使用专用模拟接地，则连接到 VSS。
VSSOSC	如果未使用外部晶体，则此引脚可以连接至电路板接地。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
电源电压	VDDIO, 以 VSS 为基准	-0.3	4.6	V
	VDDA, 以 VSSA 为基准	-0.3	4.6	
输入电压 (6)	V_{IN} (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流 - 每引脚 (4) (5)	I_{IK} - $V_{IN} < VSS/VSSA$ - $V_{IN} > VDDIO/VDDA$	-20	20	mA
输入钳位电流 - 所有输入总计 (5)	$I_{IKTOTAL}$ - $V_{IN} < VSS/VSSA$ - $V_{IN} > VDDIO/VDDA$	-20	20	
输出电流	数字输出 (每引脚), I_{OUT}	-20	20	mA
自然通风温度	T_A	-40	125	°C
工作结温	T_J	-40	150	°C
贮存温度(3)	T_{stg}	-65	150	°C

- (1) 在绝对最大额定值范围外运行可能对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 除非另有说明, 否则所有电压值均以 VSS 为基准。
- (3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息, 请参阅“[半导体和 IC 封装热指标](#)”应用报告。
- (4) 每个引脚的连续钳位电流为 $\pm 2\text{mA}$ 。
- (5) 施加大于 VDDIO/VDDA 或小于 ESD/VSSA 的 V_{IN} 将打开 VSS 电流钳位二极管, 从而导致额外的电流流向相应的电源轨。 如果发生这种情况, 电流必须保持在列出的最小/最大值范围内, 以防止对器件造成永久损坏。
- (6) 还必须观察输入钳位电流。

6.2 ESD 等级 - 商用

			值	单位
采用 256 焊球 ZEJ 封装的 F28P650DK、F28P650DH、F28P650SK、F28P650SH				
V _(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	所有引脚	±500	
		256 焊球 ZEJ 上的转角焊球 : A1、A16、T1、T16	±750	
采用 176 引脚 PTP 封装的 F28P650DK、F28P650DH、F28P650SK、F28P650SH				
V _(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	所有引脚	±500	
		176 引脚 PTP 上的转角引脚 : 1、44、45、88、89、132、133、176	±750	
采用 169 焊球 NMR 封装的 F28P650DK、F28P650DH、F28P650SK、F28P650SH				
V _(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	所有引脚	±500	
		169 焊球 NMR 上的转角焊球 : A1、A13、N1、N13	±750	
采用 100 引脚 PZP 封装的 F28P650DK、F28P650DH、F28P650SK、F28P650SH				
V _(ESD) 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾		±2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	所有引脚	±500	
		100 引脚 PZP 上的转角引脚 : 1、25、26、50、51、75、76、100	±750	

(1) JEDEC 文档 JEP155 指出 : 500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出 : 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 ESD 等级 - 汽车

			值	单位
采用 256 焊球 ZEJ 封装的 F28P659DK-Q1				
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准 ⁽¹⁾	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		256 焊球 ZEJ 上的转角焊球： A1、A16、T1、T16	±750	
采用 176 引脚 PTP 封装的 F28P659DK-Q1、F28P659SH-Q1				
V _(ESD) 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准 ⁽¹⁾	所有引脚	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
		176 引脚 PTP 上的转角引脚： 1、44、45、88、89、132、133、176	±750	
采用 100 引脚 PZP 封装的 F28P659DK-Q1、F28P659DH-Q1、F28P659SH-Q1				

6.3 ESD 等级 - 汽车 (续)

			值	单位
V _(ESD) 静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	所有引脚	±2000	V
	充电器件模型 (CDM), 符合 AEC Q100-011	所有引脚	±500	
		100 引脚 PZP 上的转角引脚: 1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.4 建议运行条件

		最小值	标称值	最大值	单位
器件电源电压, VDDIO 和 VDDA	启用内部 BOR ⁽³⁾	V _{BOR-VDDIO} (MAX) + V _{BOR-VDDIO-GB} ⁽²⁾	3.3	3.63	V
	禁用内部 BOR	2.8	3.3	3.63	
器件电源电压, VDD		1.14	1.2	1.32	V
器件接地, VSS			0		V
模拟接地, VSSA			0		V
SR _{SUPPLY}	电源斜坡速率 ⁽⁴⁾				
V _{IN}	数字输入电压	VSS - 0.3		VDDIO + 0.3	V
	模拟输入电压	VSSA - 0.3		VDDA + 0.3	V
结温 ⁽¹⁾ , T _J		-40		150	°C
自然通风温度 ⁽¹⁾ , T _A		-40		125	°C

(1) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。有关更多信息, 请参阅 [计算嵌入式处理器的有效使用寿命](#)。

(2) 请参阅 [电源管理模块 \(PMM\)](#) 部分。

(3) 默认情况下会启用内部 BOR。

(4) 请参阅 [电源管理模块运行条件表](#)。

6.5 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。

6.5.1 系统电流消耗 (启用 VREG)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。

典型值： V_{nom} , 30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DDIO}	CPU1 和 CPU2 在锁步模式下处于活动状态：运行期间的 VDDIO 电流消耗	这是典型重负载应用中电流的估算值。 实际电流会因系统活动、I/O 电气负载和开关频率而异。	190	280	370	mA
I _{DDIO}	CPU1 和 CPU2 在非锁步模式下处于活动状态：运行期间的 VDDIO 电流消耗		180	235	315	mA
I _{DDIO}	单个 CPU 处于活动状态：运行期间的 VDDIO 电流消耗		160	190	275	mA
I _{DDA}	任意 CPU 模式：运行期间的 VDDA 电流消耗		0.1	18.6	22	mA
空闲模式						
I _{DDIO}	CPU1 和 CPU2 在锁步模式下处于活动状态：器件处于空闲模式时的 VDDIO 电流消耗	- CPU 处于空闲模式 - 闪存断电 - XCLKOUT 关闭	65	85	170	mA
I _{DDIO}	CPU1 和 CPU2 在非锁步模式下运行：器件处于空闲模式时的 VDDIO 电流消耗		55	80	165	mA
I _{DDIO}	单个 CPU 处于活动状态：器件处于空闲模式时的 VDDIO 电流消耗		45	60	155	mA
I _{DDA}	任意 CPU 模式：器件处于空闲模式时的 VDDA 电流消耗		0.001	0.002	0.01	mA
待机模式						
I _{DDIO}	CPU1 和 CPU2 在锁步模式下处于活动状态： 器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式 - 闪存断电 - XCLKOUT 关闭	8	25	100	mA
I _{DDIO}	CPU1 和 CPU2 在非锁步模式下处于活动状态： 器件处于待机模式时的 VDDIO 电流消耗		8	25	100	mA
I _{DDIO}	单个 CPU 处于活动状态：器件处于待机模式时的 VDDIO 电流消耗		8	25	100	mA
I _{DDA}	任意 CPU 模式：器件处于待机模式时的 VDDA 电流消耗		0.001	0.002	0.01	mA
停机模式						
I _{DDIO}	任意 CPU 模式：器件处于停机模式时的 VDDIO 电流消耗	- CPU 处于停机模式 - 闪存断电 - XCLKOUT 关闭	1	8	70	mA
I _{DDA}	任意 CPU 模式：器件处于停机模式时的 VDDA 电流消耗		0.001	0.002	0.01	mA

6.5.1 系统电流消耗 (启用 VREG) (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明) 。

典型值 : V_{nom} , 30°C

参数		测试条件	最小值	典型值	最大值	单位
闪存擦除/编程						
I _{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗 ⁽¹⁾	- CPU 从闪存运行, 对未使用的扇区执行擦除和编程。 - VREG 已启用。 - SYSCLK 以最高器件速度 (PLLENA) 运行 - I/O 是启用了上拉电阻的输入。 - 外设时钟关闭。	100	190	275	mA
I _{DDA}	擦除/编程周期期间的 VDDA 电流消耗		0.001	0.002	0.01	mA
复位模式						
I _{DDIO}	复位处于活动状态时的 VDDIO 电流消耗 ⁽²⁾		1	13	20	mA
I _{DDA}	复位处于活动状态时的 VDDA 电流消耗 ⁽²⁾		0.001	0.002	0.01	mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。 使用备用电源 (例如 USB 编程器) 的编程环境必须能够为器件和其他系统组件提供额定电流, 并留有足够的裕度以避免电源欠压情况。

(2) 这是复位激活 (即 XRSn 为低电平) 时的电流消耗。

6.5.2 系统电流消耗 (禁用 VREG) - 外部电源

在自然通风条件下的工作温度范围内测得 (除非另有说明)。

典型值: V_{nom} , 30°C

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I _{DD}	CPU1 和 CPU2 在锁步模式下处于活动状态：运行期间的 VDD 电流消耗	这是典型重负载应用中电流的估算值。 实际电流会因系统活动、I/O 电气负载和开关频率而异。	210	330	400	mA
I _{DD}	CPU1 和 CPU2 在非锁步模式下处于活动状态：运行期间的 VDD 电流消耗		200	270	340	mA
I _{DD}	单个 CPU 处于活动状态：运行期间的 VDD 电流消耗		190	230	300	mA
I _{DDIO}	任意 CPU 模式：运行期间的 VDDIO 电流消耗		0.1	4.2	5	mA
I _{DDA}	任意 CPU 模式：运行期间的 VDDA 电流消耗		0.1	18.6	22	mA
空闲模式						
I _{DD}	CPU1 和 CPU2 在锁步模式下处于活动状态：器件处于空闲模式时的 VDD 电流消耗	- CPU 处于空闲模式 - 闪存被断电。 - XCLKOUT 关闭	70	90	180	mA
I _{DD}	CPU1 和 CPU2 在非锁步模式下处于活动状态：器件处于空闲模式时的 VDD 电流消耗		60	85	170	mA
I _{DD}	单个 CPU 处于活动状态：器件处于空闲模式时的 VDD 电流消耗		50	65	160	mA
I _{DDIO}	任意 CPU 模式：器件处于空闲模式时的 VDDIO 电流消耗		0.1	4	5	mA
I _{DDA}	任意 CPU 模式：器件处于空闲模式时的 VDDA 电流消耗		0.001	0.002	0.01	mA
待机模式						
I _{DD}	CPU1 和 CPU2 在锁步模式下处于活动状态：器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存被断电。 - XCLKOUT 关闭	8	25	120	mA
I _{DD}	CPU1 和 CPU2 在非锁步模式下处于活动状态：器件处于待机模式时的 VDD 电流消耗		8	25	120	mA
I _{DD}	单个 CPU 处于活动状态：器件处于待机模式时的 VDD 电流消耗		8	25	120	mA
I _{DDIO}	任意 CPU 模式：器件处于待机模式时的 VDDIO 电流消耗		0.1	4	5	mA
I _{DDA}	任意 CPU 模式：器件处于待机模式时的 VDDA 电流消耗		0.001	0.002	0.01	mA

6.5.2 系统电流消耗 (禁用 VREG) - 外部电源 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。

典型值: V_{nom} , 30°C

参数		测试条件	最小值	典型值	最大值	单位
待机模式						
I _{DD}	任意 CPU 模式：器件处于待机模式时的 VDD 电流消耗	• CPU 处于待机模式 • 闪存被断电。 • XCLKOUT 关闭	1	7	70	mA
I _{DDIO}	任意 CPU 模式：器件处于待机模式时的 VDDIO 电流消耗		0.5	3	4	mA
I _{DDA}	任意 CPU 模式：器件处于待机模式时的 VDDA 电流消耗		0.001	0.002	0.01	mA
闪存擦除/编程						
I _{DD}	擦除/编程周期期间的 VDD 电流消耗 ⁽¹⁾	• CPU 从闪存运行，对未使用的扇区执行擦除和编程。 • VREG 禁用。 • SYSCLK 以最高器件速度 (PLLENA) 运行 • I/O 是启用了上拉电阻的输入。 • 外设时钟关闭。	100	195	290	mA
I _{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗 ⁽¹⁾		0.1	4.2	5	mA
I _{DDA}	擦除/编程周期期间的 VDDA 电流消耗		0.001	0.002	0.01	mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源 (例如 USB 编程器) 的编程环境必须能够为器件和其他系统组件提供额定电流, 并留有足够的裕度以避免电源欠压情况。

6.5.3 工作模式测试说明

节 6.5.1 和节 6.5.5.1 列出了器件工作模式下的电流消耗值。工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性：

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- 所有 CPU 都在积极执行代码。
- CPU1 和 CPU2 在 200MHz 下运行。
- 所有模拟外设均已通电。ADC 和 DAC 会定期转换。

6.5.4 电流消耗图

就 C28x 内核数量而言，该器件有不同的器件型号。这三种型号是单 CPU (CPU1)、第二个 CPU 以非锁步模式运行的双 CPU (CPU1 + CPU2 非 LS)，以及第二个 CPU 以锁步模式运行的双 CPU (CPU1 + CPU2 LS)。器件也可以在 VREG 禁用或启用模式下运行。本节提供了器件上频率、温度、VREG 模式和电流消耗之间关系 (取决于运行模式) 的典型表示。实际结果将因系统实现情况和具体条件而异。

图 6-1 和 图 6-2 显示了温度范围内的典型运行模式电流。图 6-3 和 图 6-4 显示了温度范围内的典型待机模式电流。图 6-5 和 图 6-6 显示了温度范围内的典型空闲模式电流。图 6-7 和 图 6-8 显示了温度范围内的典型停止模式电流。

图 6-9、图 6-10 和 图 6-11 显示了禁用 VREG 时，器件在额定电压电源条件下 SYSCLK、温度和电流消耗之间关系的典型表示。

图 6-12、图 6-13 和 图 6-14 显示了启用 VREG 时，器件在额定电压电源条件下 SYSCLK、温度和电流消耗之间关系的典型表示。

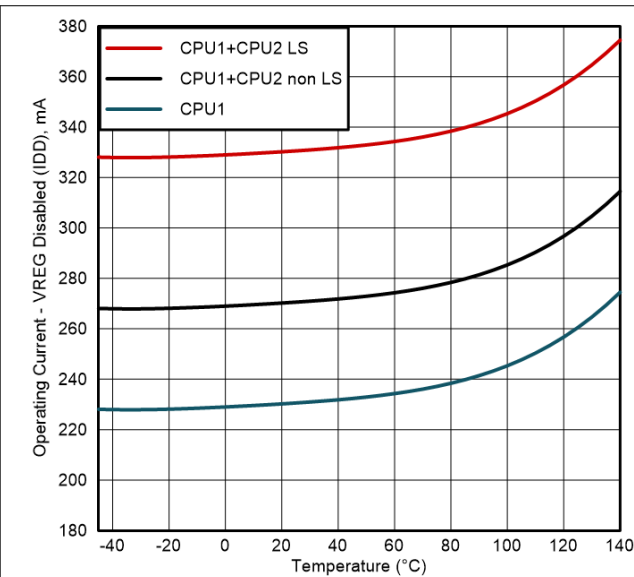


图 6-1. 典型工作电流与温度间的关系 - 禁用 VREG

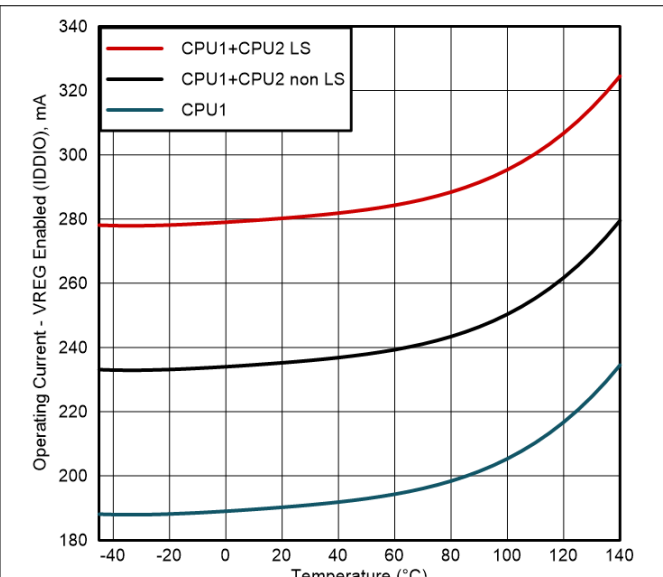


图 6-2. 典型工作电流与温度间的关系 - 启用 VREG

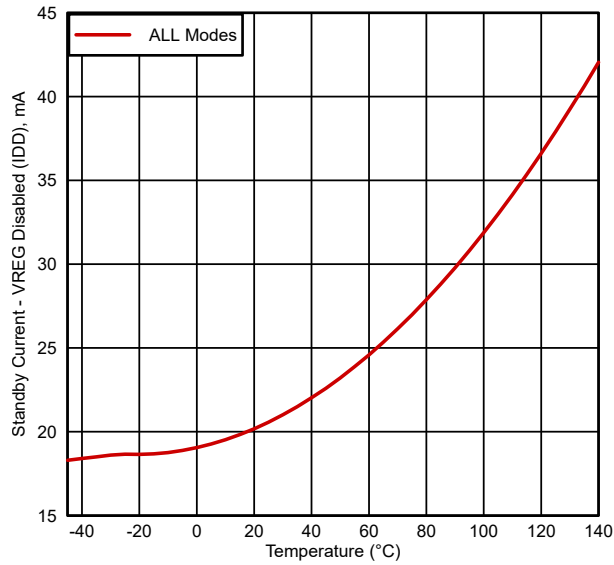


图 6-3. 典型待机电流与温度间的关系 - 禁用 VREG

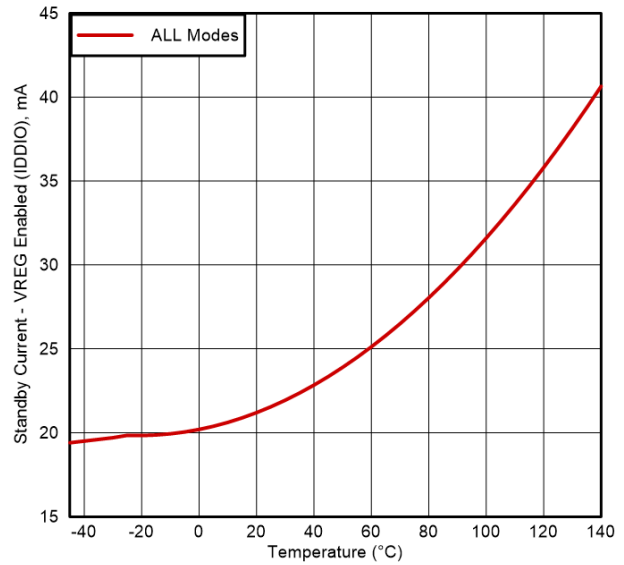


图 6-4. 典型待机电流与温度间的关系 - 启用 VREG

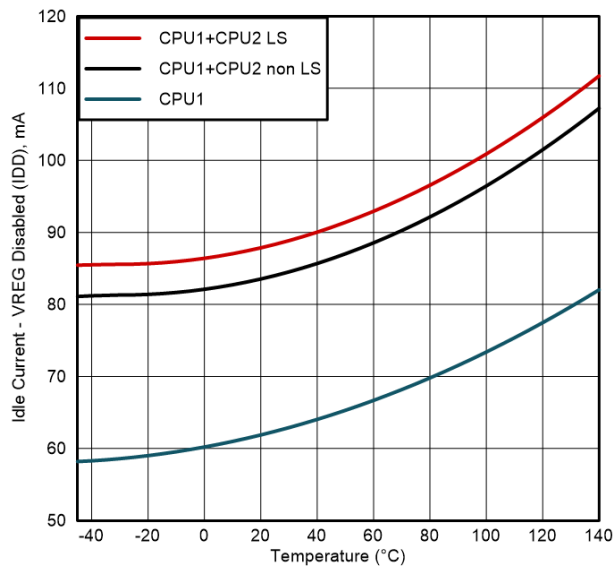


图 6-5. 典型空闲电流与温度间的关系 - VREG 禁用

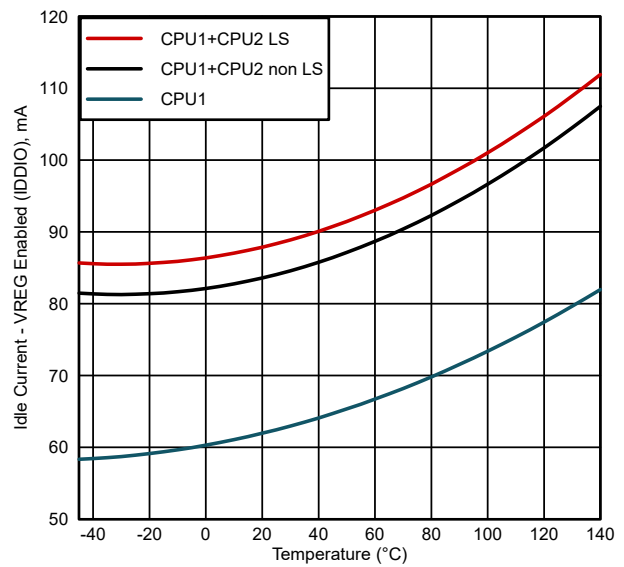


图 6-6. 典型空闲电流与温度间的关系 - VREG 启用

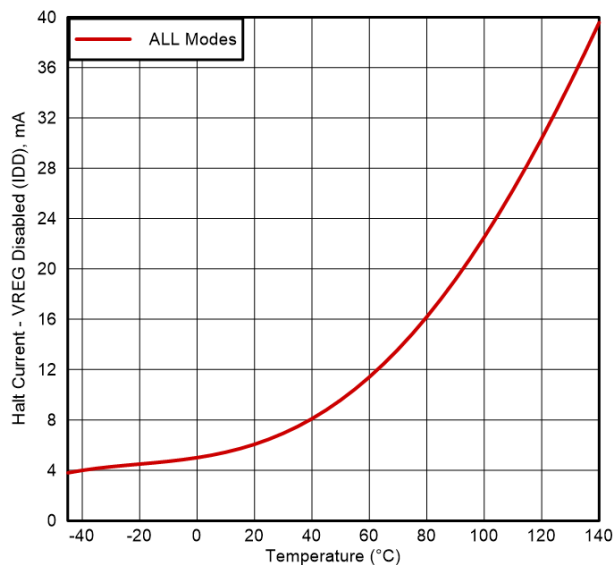


图 6-7. 典型停止电流与温度间的关系 - VREG 禁用

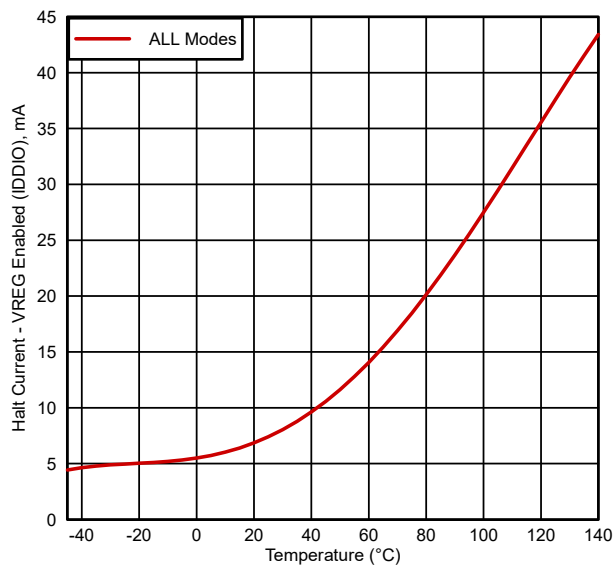


图 6-8. 典型停止电流与温度间的关系 - VREG 启用

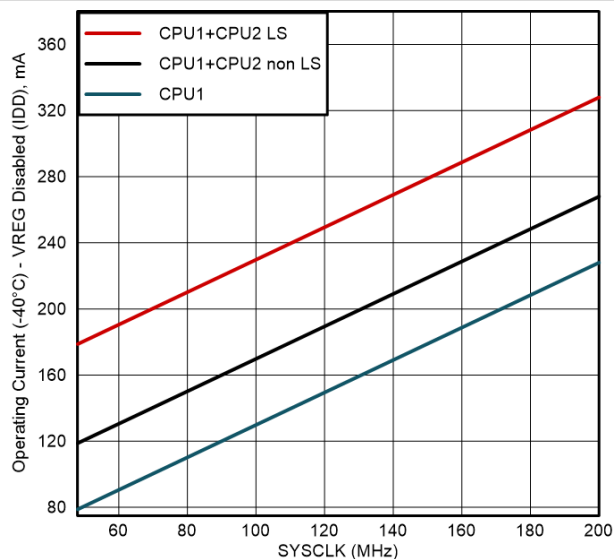


图 6-9. 典型工作电流与 SYSCLK 间的关系 - VREG 禁用 (-40°C)

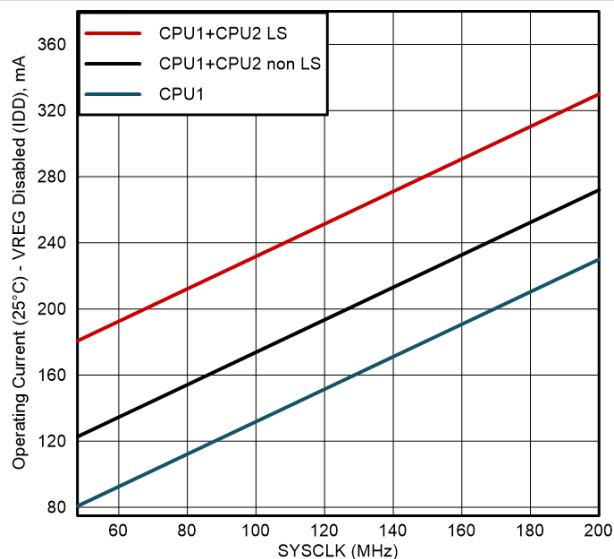


图 6-10. 典型工作电流与 SYSCLK 间的关系 - VREG 禁用 (25°C)

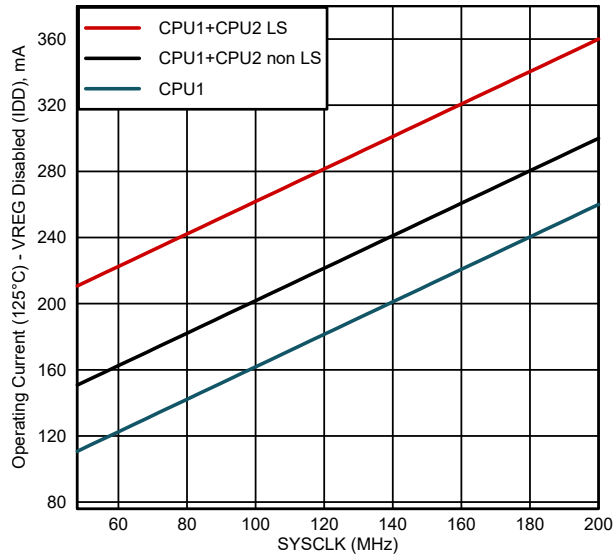


图 6-11. 典型工作电流与 SYSCLK 间的关系 - VREG 禁用 (125°C)

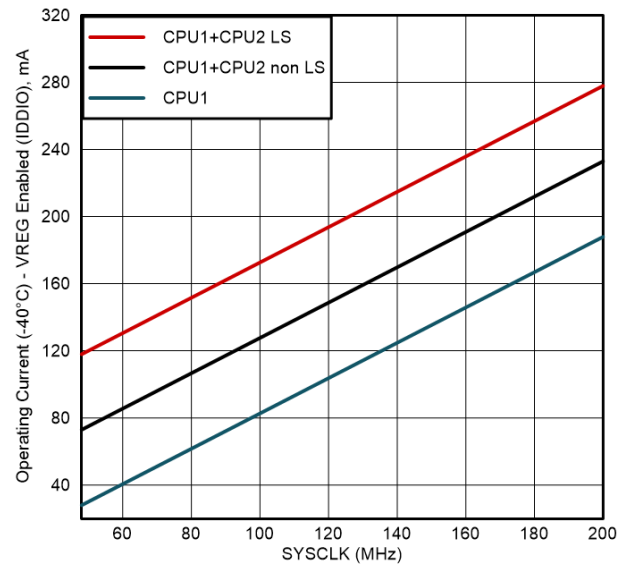


图 6-12. 典型工作电流与 SYSCLK 间的关系 - VREG 启用 (-40°C)

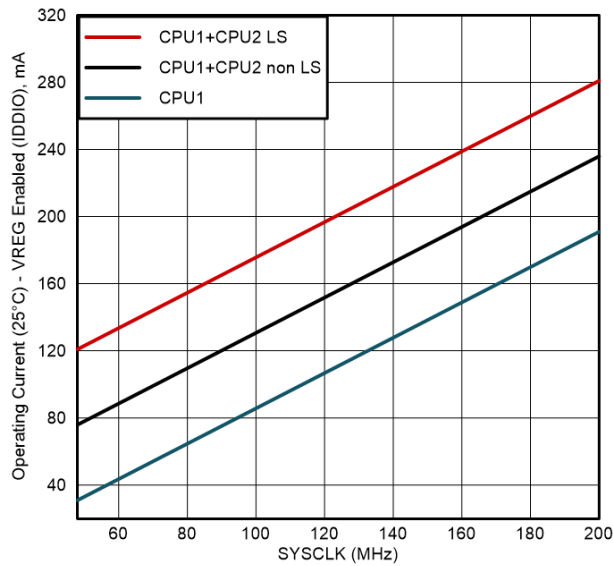


图 6-13. 典型工作电流与 SYSCLK 间的关系 - VREG 启用 (25°C)

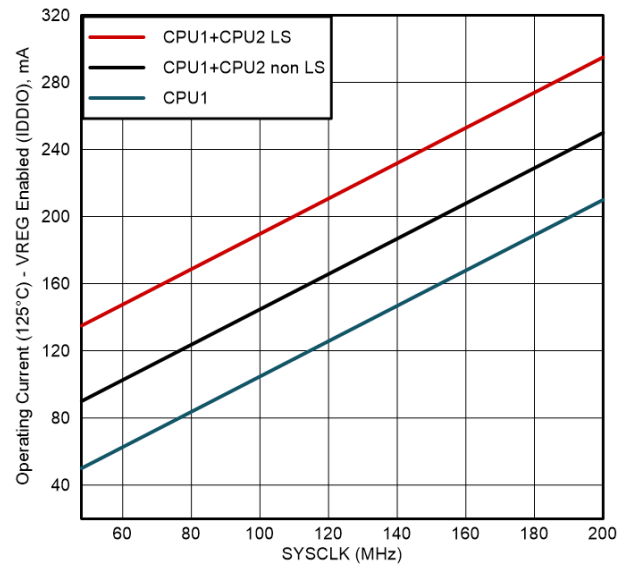


图 6-14. 典型工作电流与 SYSCLK 间的关系 - VREG 启用 (125°C)

6.5.5 减少电流消耗

F28P65x 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。“每个禁用外设的典型电流降低”表列出了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中的“模数转换器 (ADC)”一章，以确保每个模块也断电。

6.5.5.1 每个禁用外设的典型电流降低

外设	I _{DDIO} 电流减少 (mA)
ADC ⁽¹⁾	2.90
ADCCHECKER	0.37
AES	0.30
CLA	0.83
CLA BGCRC	0.34
CLB	9.59
CMPSS ⁽¹⁾	8.70
CPU BGCRC	0.52
CPU 计时器	0.17
GPDAC	0.54
DCAN	1.56
DCC	0.38
DMA	1.19
eCAP1 至 eCAP5	3.44
eCAP6 和 eCAP7 ⁽²⁾	2.38
ePWM1 至 ePWM18 ⁽³⁾	25.33
EPG	0.89
ERAD	2.98
eQEP	1.02
ECAT	2.53
FSI RX	2.38
FSI TX	1.31
HRCAL	1.30
I2C	0.89
LIN	1.13
MCAN (CAN-FD)	4.15
MPOST	5.02
PMBUS	0.46
SCI	0.54
SDFM	10.58
SPI	1.47
UART	2.24

6.5.5.1 每个禁用外设的典型电流降低 (续)

外设	I _{DDIO} 电流减少 (mA)
USB	3.61

- (1) 此电流代表了每个模块的数字部分汲取的电流。
- (2) eCAP6 和 eCAP7 也可以配置为 HRCAP。
- (3) ePWM1 到 ePWM18 也可以配置为 HRPWM。

6.6 电气特性

在建议运行条件下测得 (除非另有说明)

参数			测试条件	最小值	典型值	最大值	单位
数字和模拟 IO							
V _{OH}	高电平输出电压		I _{OH} = I _{OH} MIN	VDDIO * 0.8			V
			I _{OH} = -100 μ A	VDDIO - 0.2			
V _{OL}	低电平输出电压		I _{OL} = I _{OL} 最大值	0.4			V
			I _{OL} = 100μA	0.2			
I _{OH}	所有输出引脚的高电平输出源电流			-4			mA
I _{OL}	所有输出引脚的低电平输出灌电流			4			mA
R _{OH}	所有输出引脚的高电平输出阻抗			70			Ω
R _{OL}	所有输出引脚的低电平输出阻抗			70			Ω
V _{IH}	高电平输入电压			2.0			V
V _{IL}	低电平输入电压			0.8			V
V _{HYSTERESIS}	输入迟滞			125			mV
I _{PULLDOWN}	输入电流	带有下拉的引脚	VDDIO = 3.3V V _{IN} = VDDIO	120			μA
I _{PULLUP}	输入电流	启用上拉的数字输入 ⁽¹⁾	VDDIO = 3.3V V _{IN} = 0V	160			μA
I _{LEAK}	引脚漏电流	数字输入	上拉和输出被禁用 0V ≤ V _{IN} ≤ VDDIO	0.1			μA
		模拟引脚 (ADCINB3/ VDAC 除外)	模拟驱动器禁用 0V ≤ V _{IN} ≤ VDDA	0.1			
		ADCINB3/VDAC		2	11		
C _I	输入电容	数字输入		2			pF
		模拟引脚 ⁽²⁾					
VREG、POR 和 BOR							
VREG、POR、BOR ⁽³⁾							

(1) 有关带有上拉或下拉的引脚列表, 请参阅“带有内部上拉和下拉的引脚”表。

(2) 模拟引脚是单独指定的; 请参阅 **ADC 输入模型** 部分中的“每通道寄生电容”表。

(3) 请参阅 **电源管理模块 (PMM)** 部分。

6.7 ZEJ 封装的热阻特性

		°C/W ⁽¹⁾
$R_{\Theta JC}$	结至外壳热阻，顶部	8.2
	结至外壳热阻，底部	不适用
$R_{\Theta JB}$	结至电路板热阻	11.3
$R_{\Theta JA}$ (高 k PCB)	结至大气热阻	25.6
Ψ_{JT}	结至封装顶部	0.2
Ψ_{JB}	结点到电路板	11.2

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外)，将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.8 PTP 封装的热阻特性

		°C/W ⁽¹⁾
$R_{\Theta JC}$	结至外壳热阻，顶部	11.2
	结至外壳热阻，底部	0.5
$R_{\Theta JB}$	结至电路板热阻	9.8
$R_{\Theta JA}$ (高 k PCB)	结至大气热阻	20.4
Ψ_{JT}	结至封装顶部	0.3
Ψ_{JB}	结点到电路板	9.5

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外)，将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.9 NMR 封装的热阻特性

		°C/W ⁽¹⁾
$R_{\Theta JC}$	结至外壳热阻，顶部	6.9
	结至外壳热阻，底部	不适用
$R_{\Theta JB}$	结至电路板热阻	11.5
$R_{\Theta JA}$ (高 k PCB)	结至大气热阻	29.2
Ψ_{JT}	结至封装顶部	0.2
Ψ_{JB}	结点到电路板	11.4

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [$R_{\Theta JC}$] 值除外)，将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.10 PZP 封装的热阻特性

		°C/W ⁽¹⁾
$R_{\Theta_{JC}}$	结至外壳热阻, 顶部	7.0
	结至外壳热阻, 底部	0.5
$R_{\Theta_{JB}}$	结至电路板热阻	8.0
$R_{\Theta_{JA}}$ (高 k PCB)	结至大气热阻	21.1
Ψ_{JT}	结至封装顶部	0.1
Ψ_{JB}	结点到电路板	7.8

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Θ_{JC} [R $_{\Theta_{JC}}$] 值除外), 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.11 散热设计注意事项

根据最终应用设计和运行情况, I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J , 而不是环境温度。因此, 应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J 。通常在封装顶部表面的中心测量 T_{case} 。热应用报告 [半导体和 IC 封装热指标](#) 有助于理解热指标和相关定义。

6.12 系统

6.12.1 电源管理模块 (PMM)

6.12.1.1 引言

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

6.12.1.2 概述

在图 6-15 中给出了 PMM 的方框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

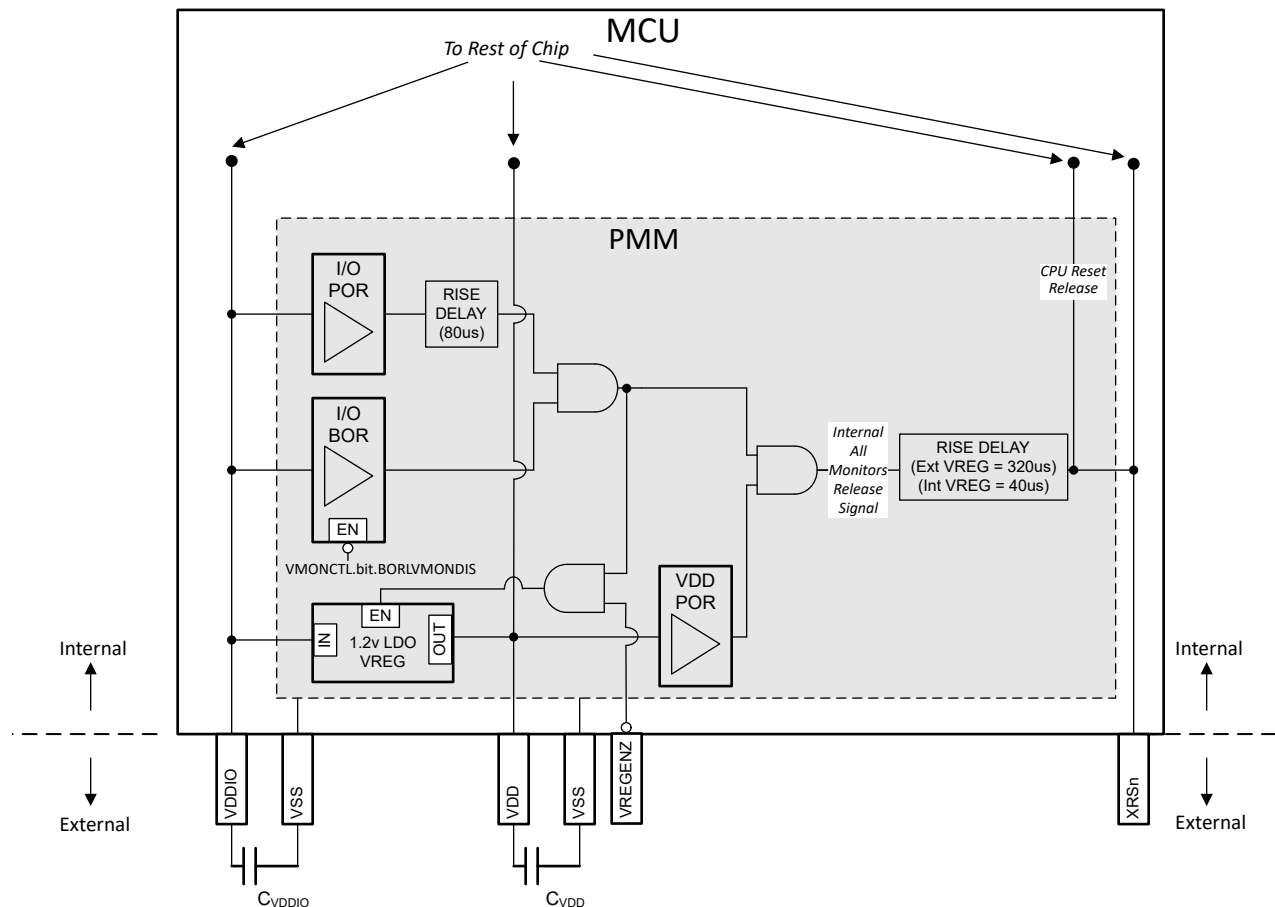


图 6-15. PMM 方框图

6.12.1.2.1 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

备注

启动后，并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。

三个电压监视器 (I/O POR、I/O BOR、VDD POR) 都必须在器件开始运行 (即 XRSn 变为高电平) 之前释放各自的输出。但是，如果任何电压监视器跳闸，XRSn 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

6.12.1.2.1.1 I/O POR (上电复位) 监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释放的监视器（即第一个要解除跳闸的监视器）。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于器件监控。

6.12.1.2.1.2 I/O BOR (欠压复位) 监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监视器（即第二个要解除跳闸的监视器）。与 I/O POR 相比，该监视器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果 I/O BOR 被禁用，I/O POR 将在电压下降时复位器件。

图 6-16 所示为 I/O BOR 的工作区域。

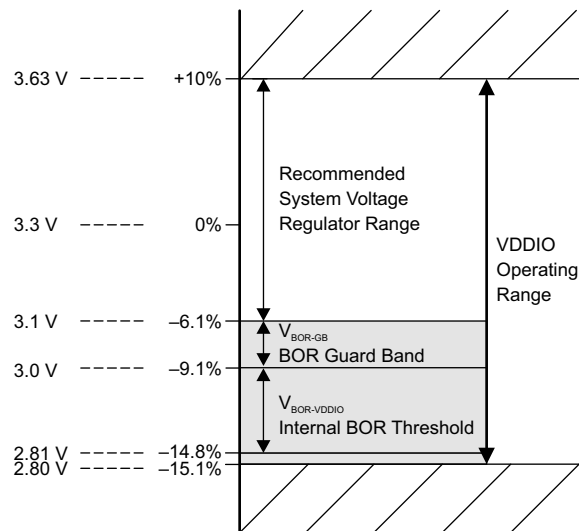


图 6-16. I/O BOR 工作区域

6.12.1.2.1.3 VDD POR (上电复位) 监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

VDD POR 编程为低于 VDD 最小建议电压的水平，因此，如果应用中需要 VDD 监控，不应该依赖 VDD POR 来进行此监控。

6.12.1.2.2 外部监控器使用情况

VDDIO 监控：I/O BOR 功能只要满足应用要求，就可用于 I/O 电源轨监控。

VDD 监控：

- VDD 由内部 VREG 供电：VDD 电源由 VDDIO 电源提供。VREG 的设计方式使有效的 VDDIO 电源（由 IO BOR 监控）意味着有效的 VDD 电源。
- VDD 由外部电源供电：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则可以使用外部监控器监控 VDD 电源轨。

备注

不支持将外部监控器与内部 VREG 一起使用。如果应用需要 VDD 监控，则必须使用具有 VREGENZ 引脚的封装从外部为 VDD 供电。

6.12.1.2.3 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。这是为了确保当 XRSn 释放时电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现 [电源管理模块电气数据和时序](#) 中所指定的电源轨最小压摆率。

备注

方框图中指定的延迟数字是典型值。

6.12.1.2.4 内部 VDD LDO 稳压器 (VREG)

内部 VREG 通过 VDDIO 电源轨供电，并且能够生成为 VDD 引脚供电所需的输出。启用它的方法是将 VREGENZ 引脚绑定为低电平。尽管有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以确保 VREG 的稳定性与瞬态稳定性。如需了解更多详细信息，可参阅“VDD 去耦”一节。

6.12.1.2.5 VREGENZ

VREGENZ（VREG 禁用）引脚可控制内部 VREG 的状态。要启用内部 VREG，请将 VREGENZ 引脚连接到逻辑低电压。对于从外部为 VDD 供电（外部 VREG）的应用，通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

6.12.1.3 外部元件

6.12.1.3.1 去耦电容器

VDDIO 与 VDD 需要去耦电容器才能正常运行。后续章节将概述这些要求。

6.12.1.3.1.1 VDDIO 去耦

在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于 [电源管理模块电气数据和时序](#) 中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1：**根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2：**安装等效于 $C_{VDDIO} * VDDIO$ 引脚的单个去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

6.12.1.3.1.2 VDD 去耦

在 VDD 上放置最小的去耦电容值。请参阅 C_{VDD} TOTAL 参数 (位于 [电源管理模块电气数据和时序](#) 中) 。

在外部 VREG 模式下, 实际使用的去耦电容值取决于驱动 VDD 的电源。

可接受以下任一配置:

- **配置 1:** 对 VDD 引脚上的 C_{VDD} TOTAL 执行除法运算。该选项可用于内部 VREG 模式, 在该模式下, 可能无法在 PCB 上将所有 VDD 引脚连接在一起。请参阅 [电源引脚联动](#) 部分。
- **配置 2:** 安装一个容值为 C_{VDD} TOTAL 的去耦电容器。在该配置中, PCB 上的所有 VDD 引脚必须相互连接。

备注

将去耦电容器 (一个或多个) 靠近器件引脚放置至关重要。

6.12.1.4 电源时序

6.12.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括:

- VDDIO
- VDDA

此外, 连接所有电源引脚以避免任何未连接的情况。

在外部 VREG 模式下, VDD 引脚应连接在一起并由单个电源供电。

在内部 VREG 模式下, 将 VDD 引脚连接在一起是可选操作, 只要每个 VDD 引脚上都有一个电容器连接至引脚即可。如需了解 VDD 去耦配置的更多详细信息, 可参阅 “[VDD 去耦](#)” 一节。

器件上的模拟模块具有相当高的 PSRR; 因此, 在大多数情况下, VDDA 上的噪声必须超过电源轨的建议运行条件之后, 模拟模块才会出现性能下降。因此, 单独为 VDDA 供电带来的好处通常微乎其微。然而, 为了改善噪声, 一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如, 所有 VDDIO 引脚在内部连接在一起, 所有 VDD 引脚在内部连接在一起, 以此类推

6.12.1.4.2 信号引脚电源序列

在给器件供电之前, 请勿向任何数字引脚施加比 VDDIO 高 0.3V 或比 VSS 低 0.3V 的电压, 也不得向任何模拟引脚施加比 VDDA 高 0.3V 或比 VSSA 低 0.3V 的电压 (包括 VREFHI 和 VDAC)。即使 VDDIO 和 VDDA 未连接在一起, 仍需要进行此时序控制。

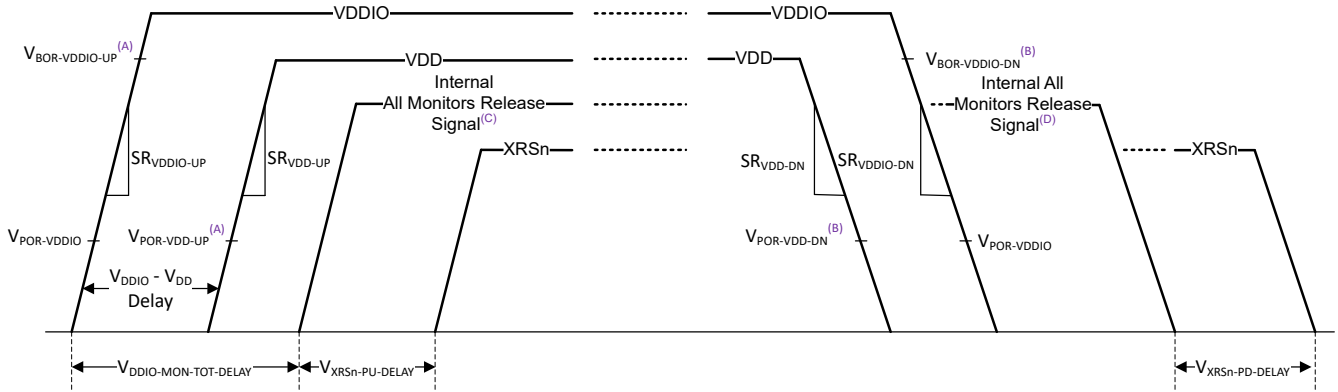
小心

如果违反上述序列, 则可能会发生器件故障, 甚至可能造成损坏, 因为电流将流经器件中的意外寄生路径。

6.12.1.4.3 电源引脚电源序列

6.12.1.4.3.1 外部 VREG/VDD 模式序列

图 6-17 展示了外部 VREG 模式的电源时序控制要求。所有参数的值可在电源管理模块电气数据和时序中找到。



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅电源管理模块特性表。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅电源管理模块特性表。
- C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 PMM 方框图。
- D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-17. 外部 VREG 上电序列

- 在上电期间：
 1. VDDIO (即 3.3V 电源轨) 应首先以指定的最小压摆率出现。
 2. VDD (即 1.2V 电源轨) 应随后以指定的最小压摆率出现。
 3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
 4. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PD-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
 5. I/O BOR 监视器在上电和断电期间具有不同的释放点。
 6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。
- 在断电期间：
 1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格。
 2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
 3. 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平。

备注

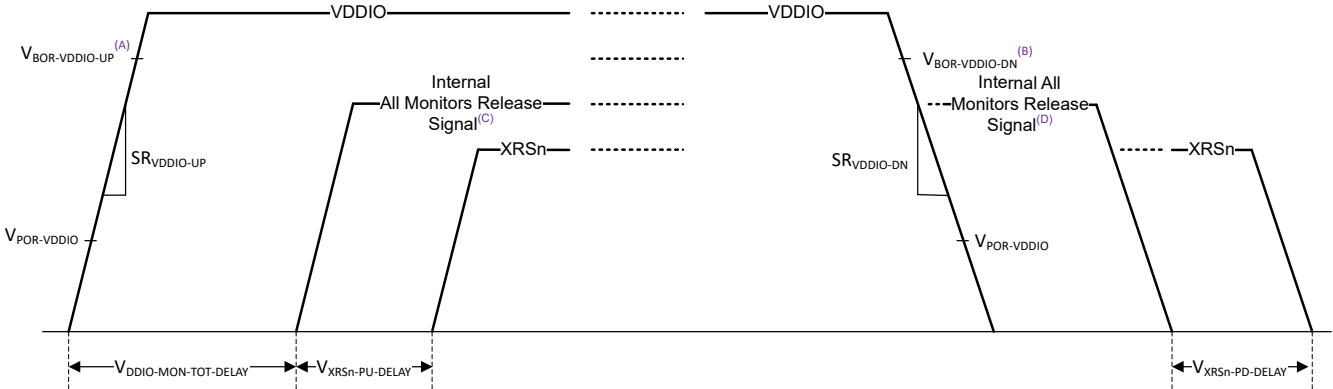
所有监视器释放信号是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路 (例如，监控器)，在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.12.1.4.3.2 内部 VREG/VDD 模式序列

图 6-18 展示了内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅 电源管理模块特性表。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅 电源管理模块特性表。
- C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 PMM 方框图。
- D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。

图 6-18. 内部 VREG 上电序列

- 在上电期间：
 - VDDIO (即 3.3V 电源轨) 应提供指定的最小压摆率。
 - 在释放 I/O 监视器 (I/O POR 和 I/O BOR) 后，内部 VREG 将上电。
 - 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSn-PU-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
 - I/O BOR 监视器在上电和断电期间具有不同的释放点。
- 在断电期间：
 - 在断电期间对 VDDIO 的唯一要求是压摆率。
 - I/O BOR 监视器在上电和断电期间具有不同的释放点。
 - I/O BOR 跳闸将导致 XRSn 在 $V_{XRSn-PD-DELAY}$ 之后变为低电平，并使内部 VREG 断电。

备注

所有监视器释放信号是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路 (例如，监控器)，在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.12.1.4.3.3 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

小心
不可接受的序列会导致可靠性问题并可能导致损坏。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照[电源引脚电源序列](#)中的说明进行操作。

表 6-1. 外部 VREG 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	否
D	2	3	1	否
E	3	2	1	否
F	3	1	2	否
G	1	1	2	是
H	2	2	1	否

表 6-2. 内部 VREG 序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	否
C	1	1	是

备注

应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

6.12.1.4.3.4 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注

XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

VDD 在外部 VREG 模式下具有最低压摆率要求。如果不满足最低压摆率要求，VDD POR 可能会在达到 VDD 最低工作电压之前释放，并且器件可能无法在正确的复位状态下启动。

6.12.1.5 电源管理模块电气数据和时序

6.12.1.5.1 电源管理模块运行条件

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
C_{VDDIO} ^{(1) (2)}	每个引脚的 VDDIO 电容	0.1			uF
C_{VDDA} ^{(1) (2)}	每个引脚的 VDDA 电容	2.2			uF
$V_{BOR-VDDIO-GB}$ ⁽⁵⁾	VDDIO 欠压复位电压保护带		0.1		V
外部 VREG					
C_{VDD} TOTAL ^{(1) (4)}	总 VDD 电容		10		uF
SR_{VDD33} ⁽³⁾	3.3V 电源轨 (VDDIO、 VDDA) 的电源电压斜升速率	3		100	mV/us
SR_{VDD12} ⁽³⁾	1.2V 电源轨 (VDD) 的电源电 压斜升速率	2		100	mV/us
$V_{DD33} - V_{DD12}$ 延迟 ⁽⁶⁾	VDD33 和 VDD12 之间的斜坡 延迟	0			us
内部 VREG					
C_{VDD} TOTAL ^{(4) (7)}	总 VDD 电容		10.22		uF
SR_{VDD33} ^{(3) (8)}	3.3V 电源轨 (VDDIO、 VDDA) 的电源电压斜升速率	20		100	mV/us
$I_{VREG-LOAD}$	稳压器负载电流			500	mA

- (1) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
- (2) 建议将 3.3V 电压轨 (VDDIO、VDDA) 连接在一起并由单电源供电。
- (3) 电源斜坡速率高于最大值会触发片上 ESD 保护。
- (4) 请参阅 *电源管理模块 (PMM)* 一节, 了解总去耦电容的可能配置。
- (5) TI 建议使用 $V_{BOR-VDDIO-GB}$, 避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR-VDDIO 复位。要防止在器件正常运行期间激活 BOR-VDDIO, 良好的系统稳压器设计和去耦电容 (符合系统稳压器规格) 非常重要。 $V_{BOR-VDDIO-GB}$ 的值是一个系统级设计注意事项; 此处列出的电压是许多应用的典型值。
- (6) 3.3V 电源轨斜升时和 1.2V 电源轨斜升时之间的延迟。有关允许的电源斜坡序列, 请参阅 *外部 VREG 序列摘要表* 和 *内部 VREG 序列摘要表*。
- (7) 典型值可以是 10uF 或 22uF, 容差要求为 +/- 20%
- (8) 内部 VREG VDDIO 斜坡速率低于 20mV/us 时可以在上电期间生成多次 XRSn 切换。 如果多次 XRSn 切换不会导致任何系统级问题, 也可以接受 3mV/us 的 VDDIO 最小斜坡速率。

6.12.1.5.2 电源管理模块特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{VREG}	内部稳压器输出	1.14	1.2	1.26	V
$V_{VREG-PU}$	内部稳压器上电时间			350	us
$V_{VREG-INRUSH}$ ⁽⁵⁾	内部稳压器浪涌电流		1150		mA
$V_{POR-VDDIO}$	VDDIO 上电复位电压	XRSn 释放之前和之后	2.3		V
$V_{BOR-VDDIO-UP}$ ⁽¹⁾	斜升时的 VDDIO 欠压复位电 压	XRSn 释放之前	2.7		V
$V_{BOR-VDDIO-DOWN}$ ⁽¹⁾	斜降时的 VDDIO 欠压复位电 压	XRSn 释放之后	2.81	3.0	V
$V_{POR-VDD-UP}$ ⁽²⁾	斜升时的 VDD 上电复位电压	XRSn 释放之前	1		V

6.12.1.5.2 电源管理模块特性 (续)

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
$V_{POR-VDD-DOWN}^{(2)}$	斜降时的 VDD 上电复位电压	XRSn 释放之后	1		V
$V_{XRSn-PU-DELAY}^{(3)}$	上电期间电源斜升后的 XRSn 释放延迟	内部 VREG	40		us
$V_{XRSn-PU-DELAY}^{(3)}$	上电期间电源斜升后的 XRSn 释放延迟	外部 VREG	320		us
$V_{XRSn-PD-DELAY}^{(4)}$	断电期间电源斜降后的 XRSn 跳闸延迟		2		us
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监视器 (POR、BOR) 路径中的总延迟		80		us
$V_{XRSn-MON-RELEASE-DELAY}$	VDD POR 事件之后的 XRSn 释放延迟	内部 VREG, 电源处于工作范围内	40		us
	VDDIO BOR 之后的 XRSn 释放延迟		40		us
	VDDIO POR 事件之后的 XRSn 释放延迟		120		us
	VDD POR 事件之后的 XRSn 释放延迟	外部 VREG, 电源处于工作范围内	360		us
	VDDIO BOR 之后的 XRSn 释放延迟		360		us
	VDDIO POR 事件之后的 XRSn 释放延迟		440		us

- (1) 请参阅 I/O BOR 工作区域图。
- (2) $V_{POR-VDD}$ 不受支持, 它设置为在低于建议运行条件的电平跳闸。如果需要监视 VDD, 则需要一个外部监控器。
- (3) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前, 需要释放所有 POR 和 BOR 监视器。
- (4) 断电时, 任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量, 取决于电源的斜降速率。
- (5) 这是内部 VREG 导通时在 VDDIO 电源轨上汲取的瞬态电流。因此, 当 VREG 导通时, VDDIO 电源轨上可能会出现一些压降, 这可能导致 VREG 逐步斜升。这不会对器件产生不利影响, 但如果需要, 可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 或直流/直流稳压器来降低影响。

6.12.2 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间, 监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息, 请参阅 *电源管理模块 (PMM)* 部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚, 从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2k Ω 至 10k Ω 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除; 电容应为 100nF 或更小。当看门狗复位生效时, 这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 V_{OL}。图 6-19 展示了推荐的复位电路。

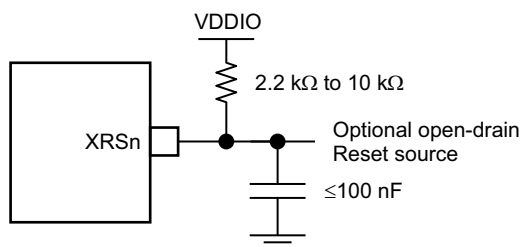


图 6-19. 复位电路

6.12.2.1 复位源

复位信号表总结了各种复位信号及其对器件的影响。

表 6-3. 复位信号

复位源	CPU1 内核 复位 (C28x、 TMU、 FPU、 VCRC)	CPU1 外设 复位	CPU2 内核 复位 (C28x、 TMU、 FPU、 VCRC)	CPU2 外设 复位	JTAG/调试 逻辑复位	IOs	XRSn 输出
POR	是	是	是	是	是	高阻态	是
XRSn 引脚	是	是	是	是	-	高阻态	-
CPU1.SIMRESET.XRSn	是	是	是	是	-	高阻态	是
CPU1.WDRS	是	是	是	是	-	高阻态	是
CPU1.NMIWDRS	是	是	是	是	-	高阻态	是
CPU1.SYSRS (调试器复 位)	是	是	是	是	-	高阻态	-
CPU1.SIMRESET.CPU1RSn	是	是	是	是	-	高阻态	-
CPU1.SCCRESET	是	是	是	是	-	高阻态	-
CPU1.HWBISTR	是	-	-	-	-	-	-
CPU2.SYSRS (调试器复 位)	-	-	是	是	-	-	-
CPU2.WDRS	-	-	是	是	-	-	-
CPU2.NMIWDRS	-	-	是	是	-	-	-
CPU2.SCCRESET	-	-	是	是	-	-	-
CPU2.HWBISTR	-	-	是	-	-	-	-
ECAT_RESET_OUT	是	是	是	是	-	高阻态	是

参数 $t_{h(\text{boot-mode})}$ 必须考虑从这些来源启动的复位。

请参阅 *TMS320F28P65x 实时微控制器技术参考手册* 中“系统控制”一章的复位一节。

小心

有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置规定可更改 OTP 中的引导引脚。

6.12.2.2 复位电气数据和时序

6.12.2.2.1 复位 XRSn 时序要求

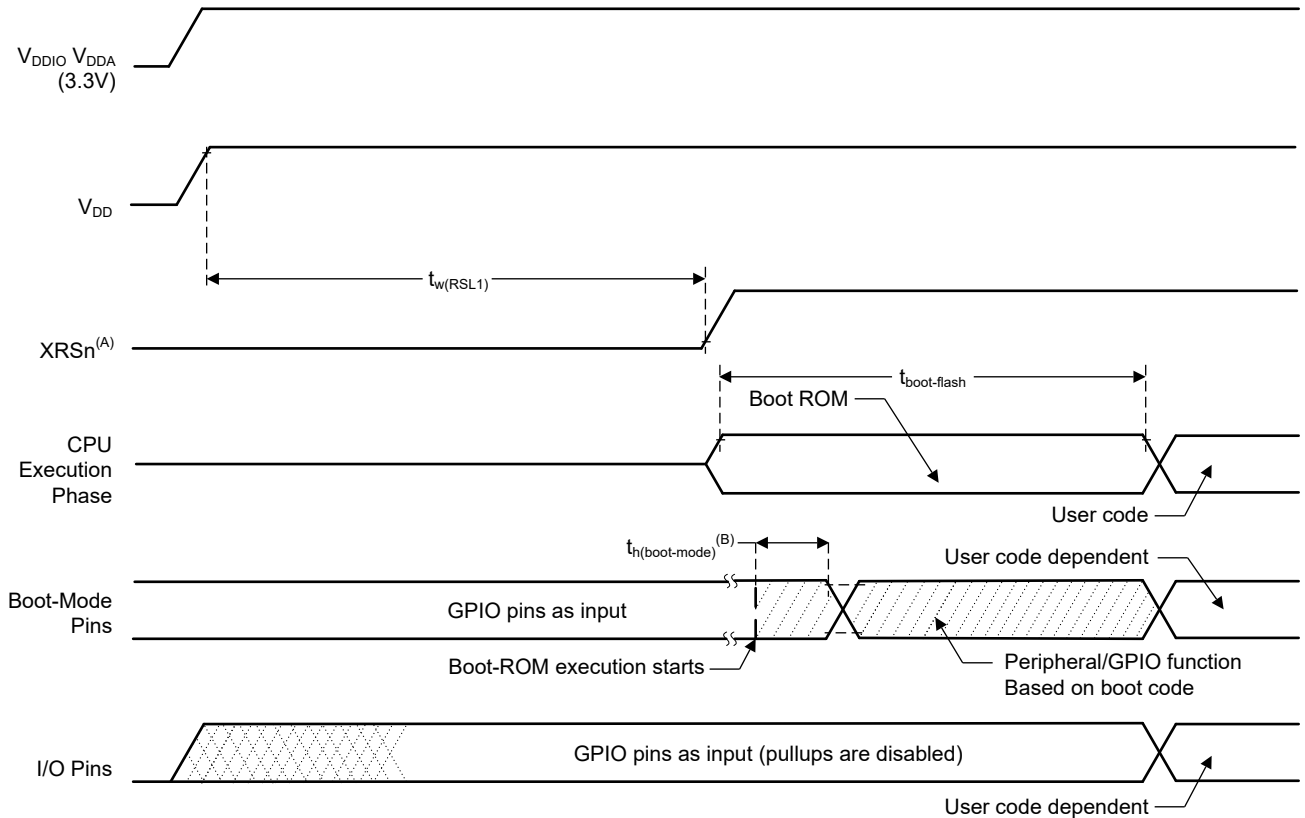
		最小值	最大值	单位
t_h (引导模式)	引导模式引脚的保持时间	1.5		ms
$t_w(RSL2)$	脉冲持续时间, 热复位时 XRSn 处于低电平	3.2		μs

6.12.2.2.2 复位 XRSn 开关特性

在建议运行条件下测得 (除非另有说明)

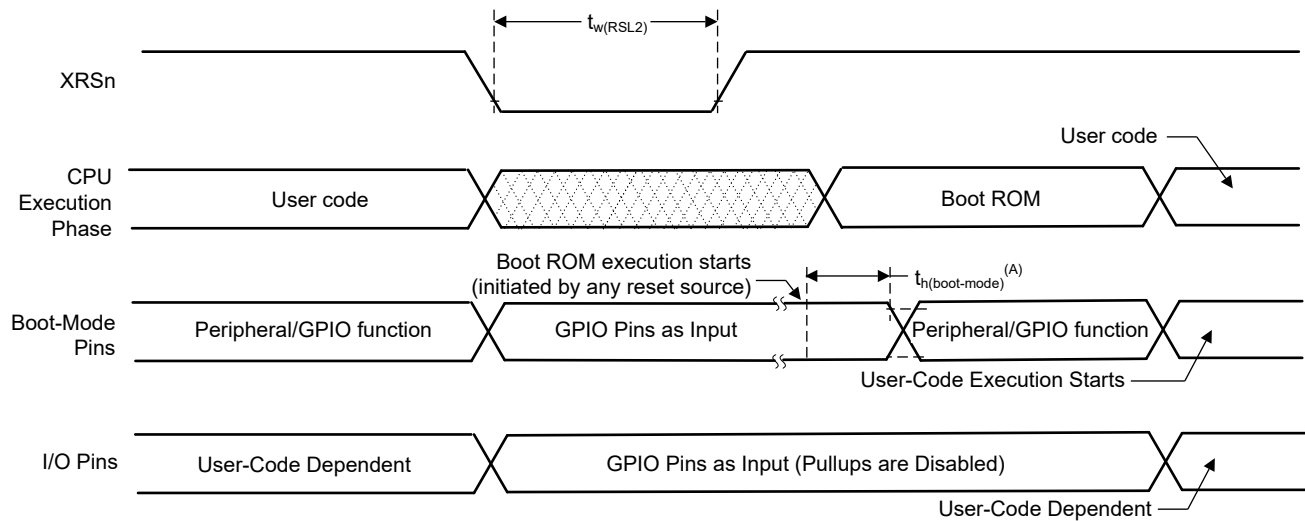
参数		最小值	典型值	最大值	单位
$t_w(RSL1)$	脉冲持续时间, XRSn 在电源稳定后由器件驱动为低电平		100		μs
$t_w(WDRS)$	脉冲持续时间, 由看门狗生成的复位脉冲		$512t_{cl}(OSCCLK)$		周期
$t_{boot-flash}$	在闪存中第一次取指令之前的引导 ROM 执行时间			1.2	ms

6.12.2.2.3 复位时序图



- A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动, 请参阅 [引脚属性](#) 表。片上监控器将保持该引脚为低电平, 直到电源处于有效范围内。
- B. 从任何源 (参阅 [复位源](#) 部分) 复位后, 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后 (在调试程序环境中) 执行, 则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境, 可以启用或不启用 PLL。

图 6-20. 上电复位



- A. 从任何源 (参阅复位源部分) 复位后, 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后 (在调试程序环境中) 执行, 则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境, 可以启用或不启用 PLL。

图 6-21. 热复位

6.12.3 时钟规格

6.12.3.1 时钟源

表 6-4. 可能的基准时钟源

时钟源	模块已计时	注释
INTOSC1	可用于为以下模块提供时钟： - 看门狗模块 - 主 PLL - CPU 计时器 2	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2 ⁽¹⁾	可用于为以下模块提供时钟： - 主 PLL - 辅助 PLL - CPU 计时器 2	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
XTAL	可用于为以下模块提供时钟： - 主 PLL - 辅助 PLL - CPU 计时器 2	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。
AUXCLKIN	可用于为以下模块提供时钟： - 辅助 PLL - CPU 计时器 2	单端 3.3V 电平时钟源。GPIO133/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 和辅助 PLL (AUXOSCCLK) 的默认时钟源。

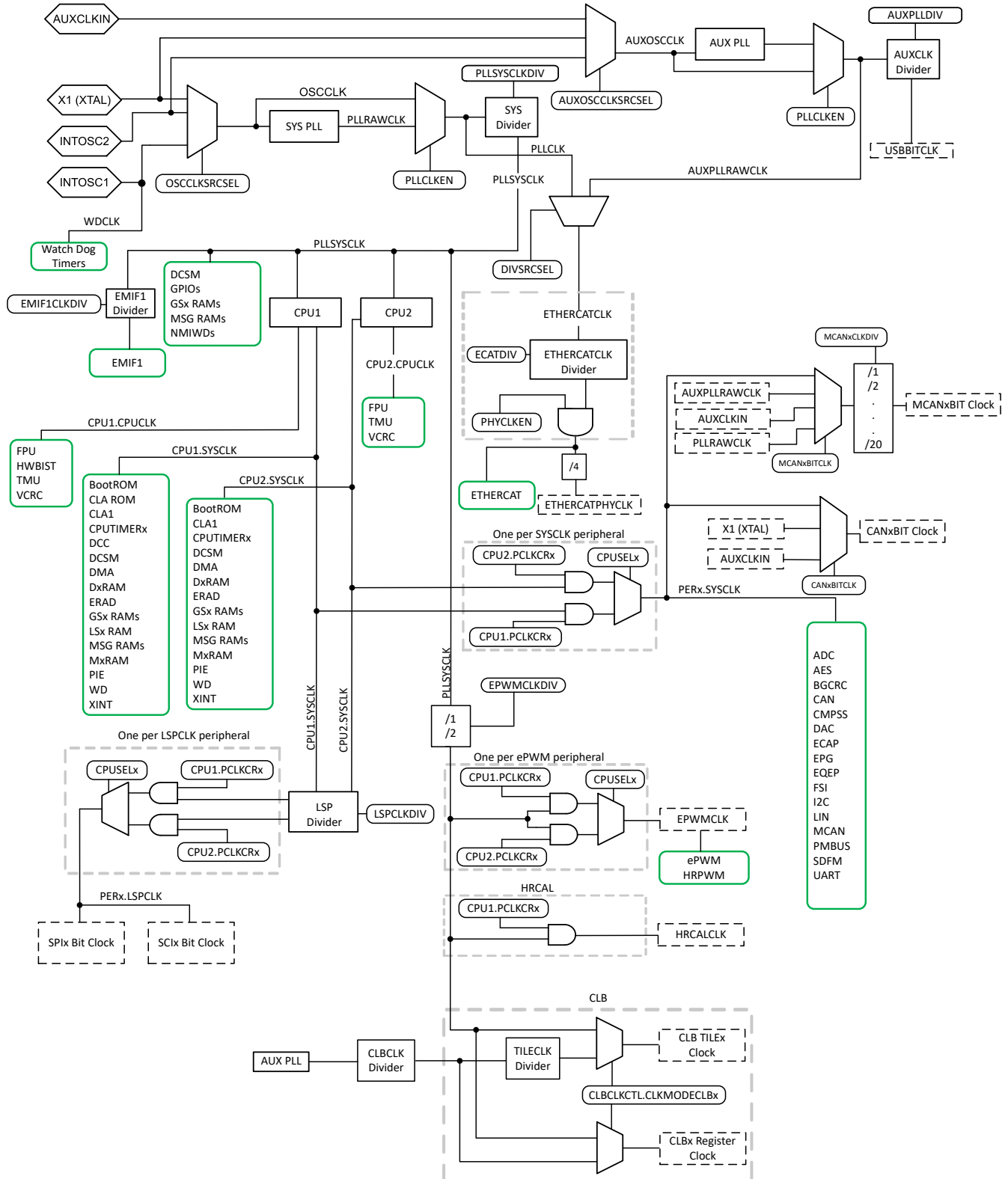


图 6-22. 计时系统

SYSPLL / AUXPLL

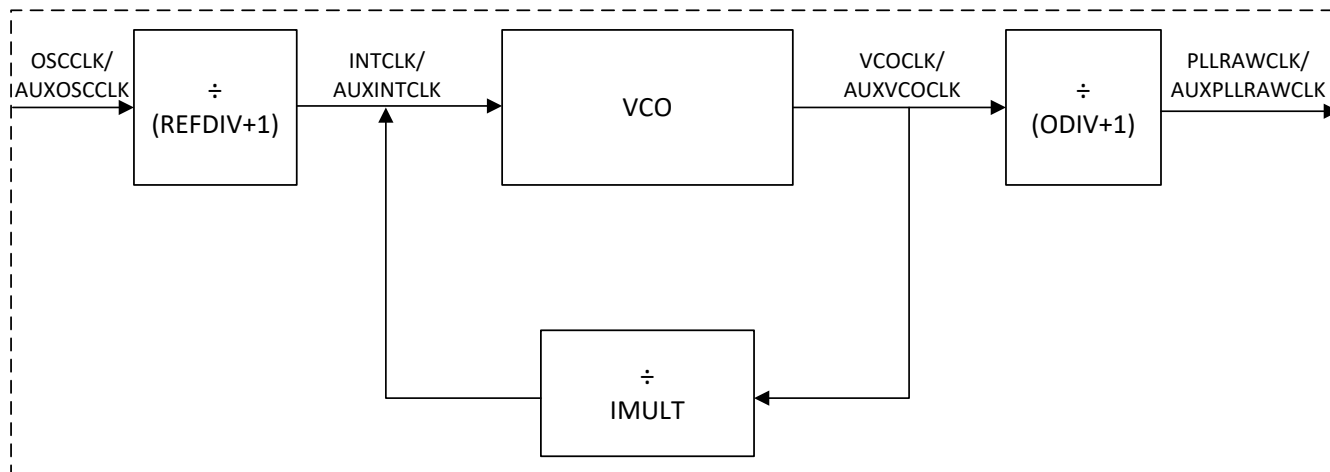


图 6-23. SYSPLL/AUXPLL

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

在 SYSPLL/AUXPLL 图中，

$$f_{AUXPLLRAWCLK} = \frac{f_{AUXOSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)}$$

6.12.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

6.12.3.2.1 输入时钟频率和时序要求, PLL 锁定时间

6.12.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率, X1/X2, 来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率, X1, 来自外部振荡器	10	25	MHz

6.12.3.2.1.2 XTAL 振荡器特性

在建议运行条件下测得 (除非另有说明)

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH}	有效高电平输入电压	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

6.12.3.2.1.3 使用外部时钟源 (非晶体) 时的 X1 输入电平特性

在建议运行条件下测得 (除非另有说明)

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3	$0.3 * V_{DDIO}$	V
X1 V_{IH}	有效高电平输入电压	$0.7 * V_{DDIO}$	$V_{DDIO} + 0.3$	V

6.12.3.2.1.4 X1 时序要求

		最小值	最大值	单位
$t_f(X1)$	下降时间, X1		6	ns
$t_r(X1)$	上升时间, X1		6	ns
$t_w(X1L)$	脉冲持续时间, X1 低电平占 $t_c(X1)$ 的百分比	45%	55%	
$t_w(X1H)$	脉冲持续时间, X1 高电平占 $t_c(X1)$ 的百分比	45%	55%	

6.12.3.2.1.5 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_f(AUXI)$	下降时间, AUXCLKIN		6	ns
$t_r(AUXI)$	上升时间, AUXCLKIN		6	ns
$t_w(AUXL)$	脉冲持续时间, AUXCLKIN 低电平占 $t_c(XC1)$ 的百分比	45%	55%	
$t_w(AUXH)$	脉冲持续时间, AUXCLKIN 高电平占 $t_c(XC1)$ 的百分比	45%	55%	

6.12.3.2.1.6 APLL 特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	最小值	典型值	最大值	单位
时钟输出精度			0.2	%
PLL 锁定时间				
SYS/AUX PLL 锁定时间 ⁽¹⁾		$5\mu s + (1024 * (REFDIV + 1) * t_{c(OSCCLK)})$		us

- (1) 此处的 PLL 锁定时间定义了 PLL 启用 (SYSPLLCTL1[PLLENA]=1) 后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL, 请参阅 InitSysPll() 或 SysCtl_setClock()。

6.12.3.2.1.7 XCLKOUT 开关特性 - 旁路或启用 PLL

在建议运行条件下测得 (除非另有说明)

参数 ⁽¹⁾		最小值	最大值	单位
$t_{f(XCO)}$	下降时间, XCLKOUT		5	ns
$t_{r(XCO)}$	上升时间, XCLKOUT		5	ns
$t_{W(XCOL)}$	脉冲持续时间, XCLKOUT 低电平	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$t_{W(XCOH)}$	脉冲持续时间, XCLKOUT 高电平	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$f_{(XCO)}$	频率, XCLKOUT		50	MHz

(1) 假定这些参数的负载为 40pF。

(2) $H = 0.5t_{c(XCO)}$

6.12.3.2.1.8 内部时钟频率

		最小值	典型值	最大值	单位
$f_{(SYSCLK)}$	频率, 器件 (系统) 时钟	2		200	MHz
$t_{c(SYSCLK)}$	周期, 器件 (系统) 时钟	5		500	ns
$f_{(INTCLK)}$	频率, 系统 PLL 输入 VCO (在 REFDIV 之后) ⁽¹⁾	10		25	MHz
$f_{(VCOCLK)}$	频率, 系统 PLL VCO (在 ODIV 之前)	220		600	MHz
$f_{(PLLRAWCLK)}$	频率, 系统 PLL 输出 (在 SYSCLK 分频器之前)	6		400	MHz
$f_{(AUXINTCLK)}$	频率, 辅助 PLL 输入 VCO (在 REFDIV 之后)	10		25	MHz
$f_{(AUXVCOCLK)}$	频率, 辅助 PLL VCO (在 ODIV 之前)	220		600	MHz
$f_{(AUXPLLRAWCLK)}$	频率, 辅助 PLL 输出 (在 AUXCLK 分频器之前)	6		400	MHz
$f_{(PLL)}$	频率, PLLSYSCLK	2		200	MHz
$f_{(PLL_LIMP)}$	频率, PLL 跛行频率 ⁽²⁾		45/(ODIV+1)		MHz
$f_{(AUXPLL)}$	频率, AUXPLLCLK	2		150	MHz
$f_{(AUXPLL_LIMP)}$	频率, AUXPLL 跛行频率 ⁽³⁾		45/(ODIV+1)		MHz
$f_{(LSP)}$	频率, LSPCLK	2		200	MHz
$t_{c(LSPCLK)}$	周期, LSPCLK	5		500	ns
$f_{(OSCCLK)}$	频率, OSCCLK (INTOSC1、INTOSC2、XTAL 或 X1)		参阅各自的时钟		MHz
$f_{(AUXOSCCLK)}$	频率, 辅助 OSCCLK (INTOSC1 或 INTOSC2 或 XTAL 或 X1 或 AUXCLKIN)		参阅各自的时钟		MHz
$f_{(EPWM)}$	频率, EPWMCLK			200	MHz
$f_{(HRPWM)}$	频率, HRPWMCLK	60		200	MHz

(1) 分辨率为 +/-3% 的 INTOSC1 和 INTOSC2 可用作 PLL 的参考时钟

(2) OSCCLK 无效时的 PLL 输出频率 (OSCCLK 丢失导致 PLL 变为跛行模式)

(3) AUXOSCCLK 无效时的 PLL 输出频率 (AUXOSCCLK 丢失导致 PLL 变为跛行模式)

6.12.3.3 输入时钟

除了内部 0 引脚振荡器，还提供了多个外部时钟源选项。图 6-24 显示了将晶振、谐振器和振荡器连接到引脚 X1/X2 (也称为 XTAL) 和 AUXCLKIN 的推荐方法。

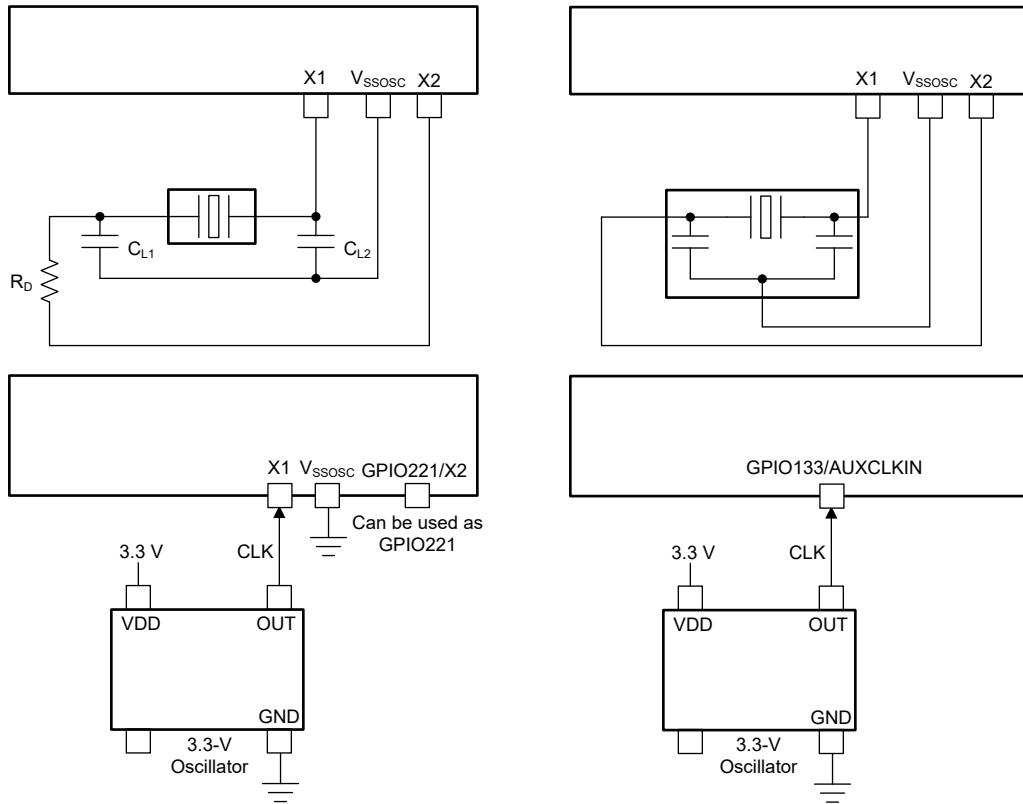


图 6-24. 将输入时钟连接到 F28P65x 器件

6.12.3.4 XTAL 振荡器

6.12.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.12.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.12.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-25 所示为电子振荡器和振荡电路的元件。

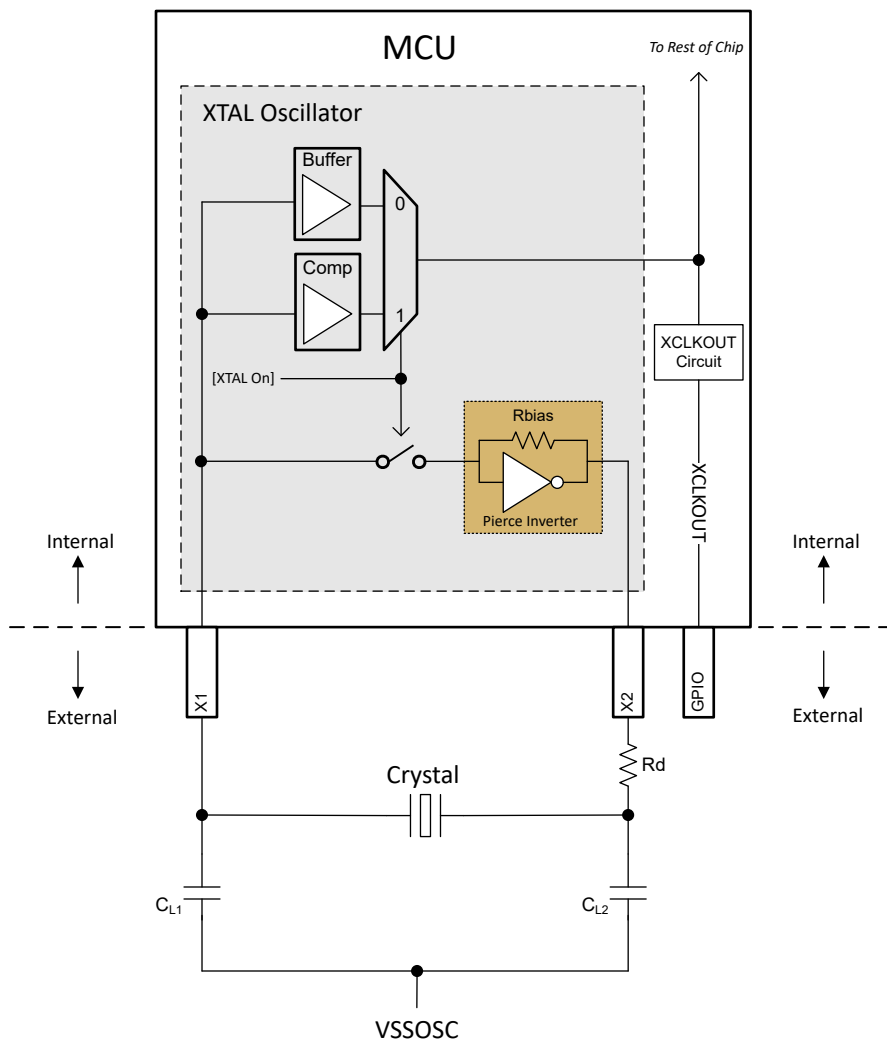


图 6-25. 电子振荡器方框图

6.12.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.12.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 R_{bias} 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 XTAL 振荡器特性表。

6.12.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅使用外部时钟源（非晶体）时的 X1 输入电平特征表。

6.12.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅 *GPIO 多路复用引脚表*。

6.12.3.4.2.2 石英晶体

石英晶体可以由 LCR (电感-电容-电阻) 电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-26 所示，并在下文中有相应说明。

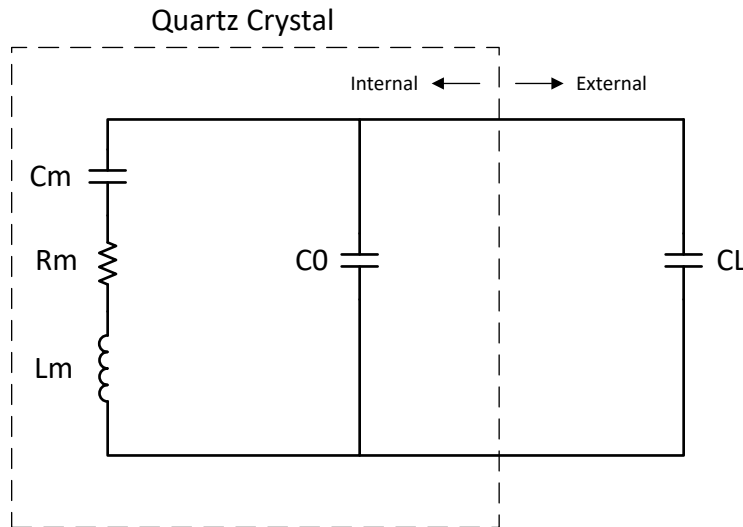


图 6-26. 晶体电气表示

Cm (动态电容) : 表示晶体的弹性。

Rm (动态电阻) : 表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

Lm (动态电感) : 表示晶体的振动质量。

C0 (并联电容) : 由两个晶体电极和杂散封装电容形成的电容。

CL (负载电容) : 这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-25，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 $CL1 = CL2$ ，只需计算 $[CL1]/2$ 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

6.12.3.4.2.3 GPIO 运行模式

请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中的 *外部振荡器 (XTAL)* 一节。

6.12.3.4.3 正常运行

6.12.3.4.3.1 ESR - 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = R_m * \left(1 + \frac{C_0}{CL}\right)^2 \quad (2)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

6.12.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-27 和图 6-28 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-5 了解设计中需要注意的最小值和最大值。

6.12.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻 一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅晶体振荡器规格 一节。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.12.3.4.3.4 DL - 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.12.3.4.4 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率 (例如，20MHz)。
2. 确认晶体的 ESR ≤ 50Ω，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
 - 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
 - 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容
4. 确认晶体的最大驱动电平 ≥ 1mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

6.12.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

6.12.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览 [如何选择晶体](#) 部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.12.3.4.7 晶体振荡器规格

6.12.3.4.7.1 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 6-5. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

Negative Resistance vs. 10MHz Crystal

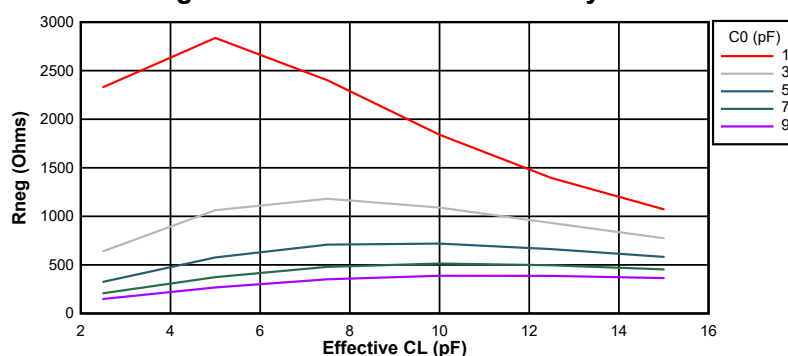


图 6-27. 10MHz 时的负电阻变化

Negative Resistance vs. 20MHz Crystal

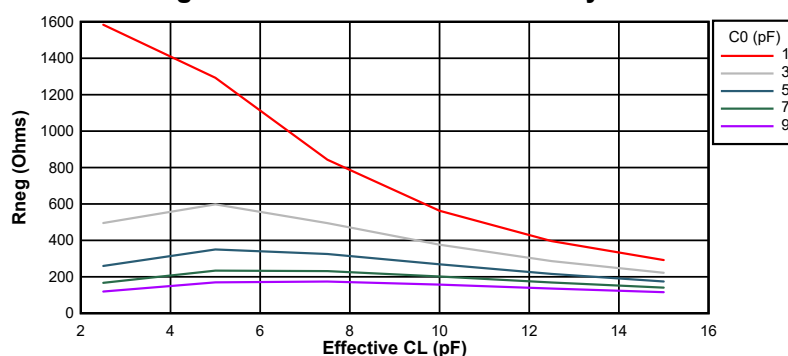


图 6-28. 20MHz 时的负电阻变化

6.12.3.4.7.2 晶体振荡器参数

		最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶体并联电容		7	pF

6.12.3.4.7.3 晶体振荡器电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
启动时间 ⁽¹⁾	f = 10MHz ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)				1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

6.12.3.5 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，所有器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。

如果应用需要更严格的 **SCI 波特率匹配**，则可以使用 C2000Ware 中提供的 SCI 波特率调优示例 (baud_tune_via_uart)。

6.12.3.5.1 INTOSC 特性

在建议运行条件下测得（除非另有说明）

参数		封装后缀	测试条件	最小值	典型值	最大值	单位
f _{INTOSC}	频率，INTOSC1 和 INTOSC2 ⁽¹⁾	全部	-40°C 至 125°C	9.7 (-3%)	10	10.3 (3.0%)	MHz
f _{INTOSC-STABILITY}	室温下的频率稳定性	全部	30°C，标称 VDD	±0.1			%
t _{INTOSC-ST}	启动和稳定时间	全部				20	µs

(1) 由于回流焊的热应力和机械应力，INTOSC 频率可能会发生偏移。回流焊后烘烤可以使器件恢复到原始数据表性能。

6.12.4 闪存参数

片上闪存与 CPU 紧密集成，允许通过 128 位宽的预取读取和流水线缓冲器直接从闪存执行代码。序列代码的闪存性能等同于从 RAM 中执行。考虑到不连续性，相对于从 RAM 中执行的代码，大多数应用的运行效率约为 80%。

该器件还具有用于双代码安全模块 (DCSM) 的一次性可编程 (OTP) 扇区，该扇区在编程后无法擦除。

表 6-6 列出了不同频率下所需的最低闪存等待状态。闪存参数表列出了闪存参数。

表 6-6. 不同时钟源和频率下所需的最低闪存等待状态

CPUCLK (MHz)	等待状态 (FRDCNTL[RWAIT] ⁽¹⁾)
160 < CPUCLK ≤ 200	4
120 < CPUCLK ≤ 160	3
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) 所需的最小 FRDCNTL[RWAIT] 为 1，不支持 RWAIT=0。

6.12.4.1 闪存参数

参数		最小值	典型值	最大值	单位
编程时间 ⁽¹⁾	128 数据位 + 16 ECC 位		62.5	625	μs
	2KB (扇区)		8	80	ms
擦除时间 ^{(2) (3)} (< 25 个周期)	2KB (扇区)		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
擦除时间 ^{(2) (3)} (1000 个周期)	2KB (扇区)		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
擦除时间 ^{(2) (3)} (2000 个周期)	2KB (扇区)		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
擦除时间 ^{(2) (3)} (20K 个周期)	2KB (扇区)		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
每个扇区的 N _{wec} 个写入/擦除周期				20000	周期
N _{wec} 每个器件的写入/擦除周期				100000	周期
t _{retention} 数据保持持续时间 (T _J = 85°C)		20			年

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：

- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。

编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU

对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。

擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

6.12.5 RAM 规范

表 6-7. CPU1 RAM 参数

RAM 类型	尺寸	获取时间 ⁽¹⁾ (周期数)	读取时间 ⁽¹⁾ (周期数)	存储时间 (周 期数)	总线宽度	可用总线数量	等待状态 次数	突发访问
GS RAM	80KB	2	2	1	16/32 位	4	0	否
LS RAM	64KB	2	2	1	16/32 位	2	0	否
Dx RAM ⁽²⁾	96KB	2	2	1	16/32 位	1	0	否
M0	2KB	2	2	1	16/32 位	2	0	否
M1	2KB	2	2	1	16/32 位	2	0	否
CLA 到 CPU 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU 到 CLA 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CLA 到 DMA 消息 RAM	256B	2	2	1	16/32 位	3	0	否
DMA 到 CLA 消息 RAM	256B	2	2	1	16/32 位	3	0	否
CPU1 到 CPU2 消息 RAM	2KB	2	2	1	16/32 位	4	0	否
CPU2 到 CPU1 消息 RAM	2KB	2	2	1	16/32 位	4	0	否

(1) 读取/写入/提取之间无需仲裁。访问在 2 个周期内完成；否则，将遵循仲裁优先级（写入/读取/获取）。

(2) Dx RAM 64KB 可与 CPU2 共享。因此，CPU1 可以在 32KB 到 96KB 之间。

表 6-8. CPU2 RAM 参数

RAM 类型	尺寸	获取时间 ⁽¹⁾ (周期数)	读取时间 ⁽¹⁾ (周期数)	存储时间 (周 期数)	总线宽度 (CPU/ DMA)	可用总线数量	等待状态 次数	突发访问
GS RAM	80KB	2	2	1	16/32 位	4	0	否
Dx RAM ⁽²⁾	64KB	2	2	1	16/32 位	1	0	否
M0	2KB	2	2	1	16/32 位	2	0	否
M1	2KB	2	2	1	16/32 位	2	0	否
CPU1 到 CPU2 消息 RAM	2KB	2	2	1	16/32 位	4	0	否
CPU2 到 CPU1 消息 RAM	2KB	2	2	1	16/32 位	4	0	否

(1) 读取/写入/提取之间无需仲裁。访问在 2 个周期内完成；否则，将遵循仲裁优先级（写入/读取/获取）。

(2) Dx RAM 64KB 可与 CPU1 共享。因此，CPU2 可以在 0KB 到 64KB 之间。

6.12.6 ROM 规范

表 6-9. CPU1 ROM 参数

ROM 类型	尺寸	获取时间 ⁽¹⁾ (周期数)	读取时间 ⁽¹⁾ (周期数)	存储时间 (周 期数)	总线宽度	可用总线数量	等待状态 次数	突发访问
引导 ROM	88KB	3	3	1	16/32 位	1	1	否
安全 ROM	16KB	3	3	1	16/32 位	1	1	否
CLA 数据 ROM	8KB	2	2	1	16/32 位	2	0	否

(1) 报告的 200MHz 最坏情况时间。

表 6-10. CPU2 ROM 参数

ROM 类型	尺寸	获取时间 ⁽¹⁾ (周期数)	读取时间 ⁽¹⁾ (周期数)	存储时间 (周 期数)	总线宽度 (CPU/ DMA)	可用总线数量	等待状态 次数	突发访问
引导 ROM	88KB	3	3	1	16/32 位	1	1	否
安全 ROM	16KB	3	3	1	16/32 位	1	1	否

(1) 报告的 200MHz 最坏情况时间。

6.12.7 仿真/JTAG

JTAG (IEEE 标准 1149.1-1990 标准测试接入端口和边界扫描架构) 端口有四个专用引脚: TMS、TDI、TDO 和 TCK。cJTAG (针对简化引脚和增强功能测试接入端口以及边界扫描架构的 IEEE 标准 1149.7-2009) 端口, 是一个只需要两个引脚 (TMS 和 TCK) 的紧凑型 JTAG 接口, 此接口可实现多路复用为传统 GPIO222 (TDI) 和 GPIO223 (TDO) 引脚的其他器件功能。

通常情况下, 当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm), 并且 JTAG 链上没有其他器件时, JTAG 信号上不需要缓冲器。否则, 每个信号都应被缓冲。此外, 对于大多数 10MHz 下的 JTAG 调试探针操作, JTAG 信号上不需要串联电阻器。但是, 如果需要高仿真速度 (35MHz 左右), 则应在每个 JTAG 信号上串联 22 Ω 电阻。

JTAG 调试探针头的 PD (电源检测) 引脚应连接到电路板 3.3V 电源。接头 GND 引脚应连接至电路板接地。TDIS (电缆断开感应) 也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出引脚环回到接头的 RTCK 输入引脚 (以通过 JTAG 调试探针检测时钟连续性)。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2k Ω 至 4.7k Ω (取决于调试器端口的驱动强度) 的板载上拉电阻在仿真接头处上拉。通常使用 2.2k Ω 的阻值。

接头引脚 **RESET** 是 JTAG 调试探针接头的开漏输出, 通过 JTAG 调试探针命令使电路板元件复位 (仅通过 20 引脚接头可用)。图 6-29 展示了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号图 6-30 展示了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头引脚 EMU2、EMU3 和 EMU4 未使用, 应接地。

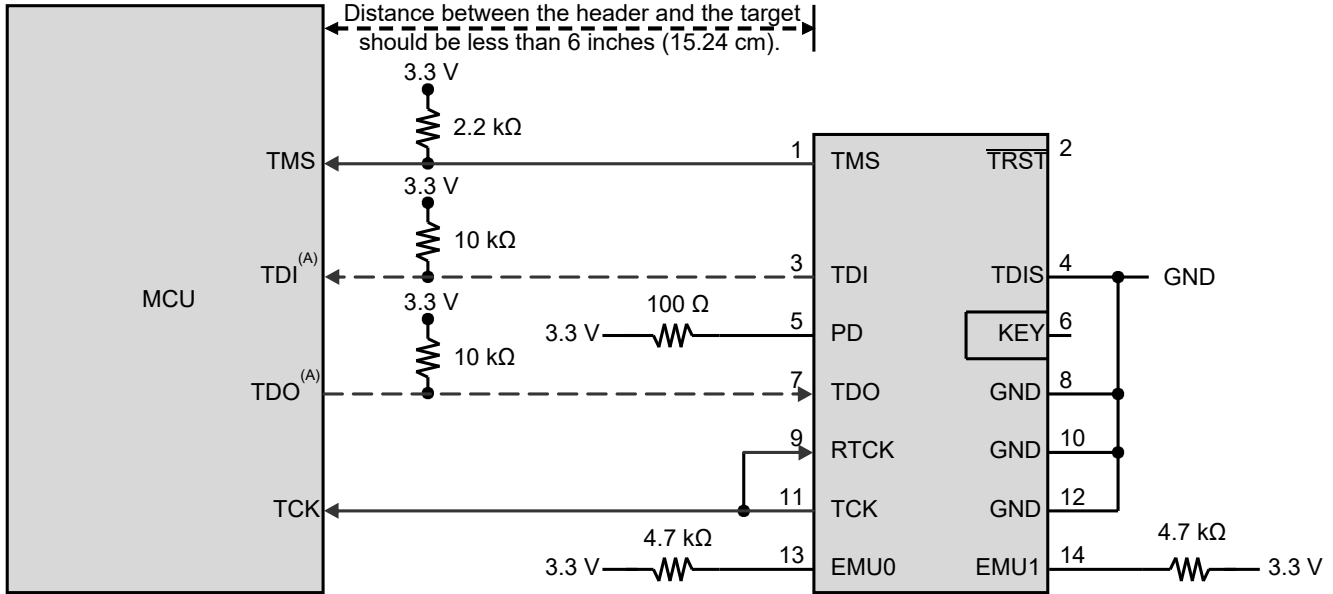
有关硬件断点和观察点的更多信息, 请参阅 CCS 中 C2000 器件的硬件断点和观察点。

有关 JTAG 仿真的更多信息, 请参阅 XDS 目标连接指南。

备注

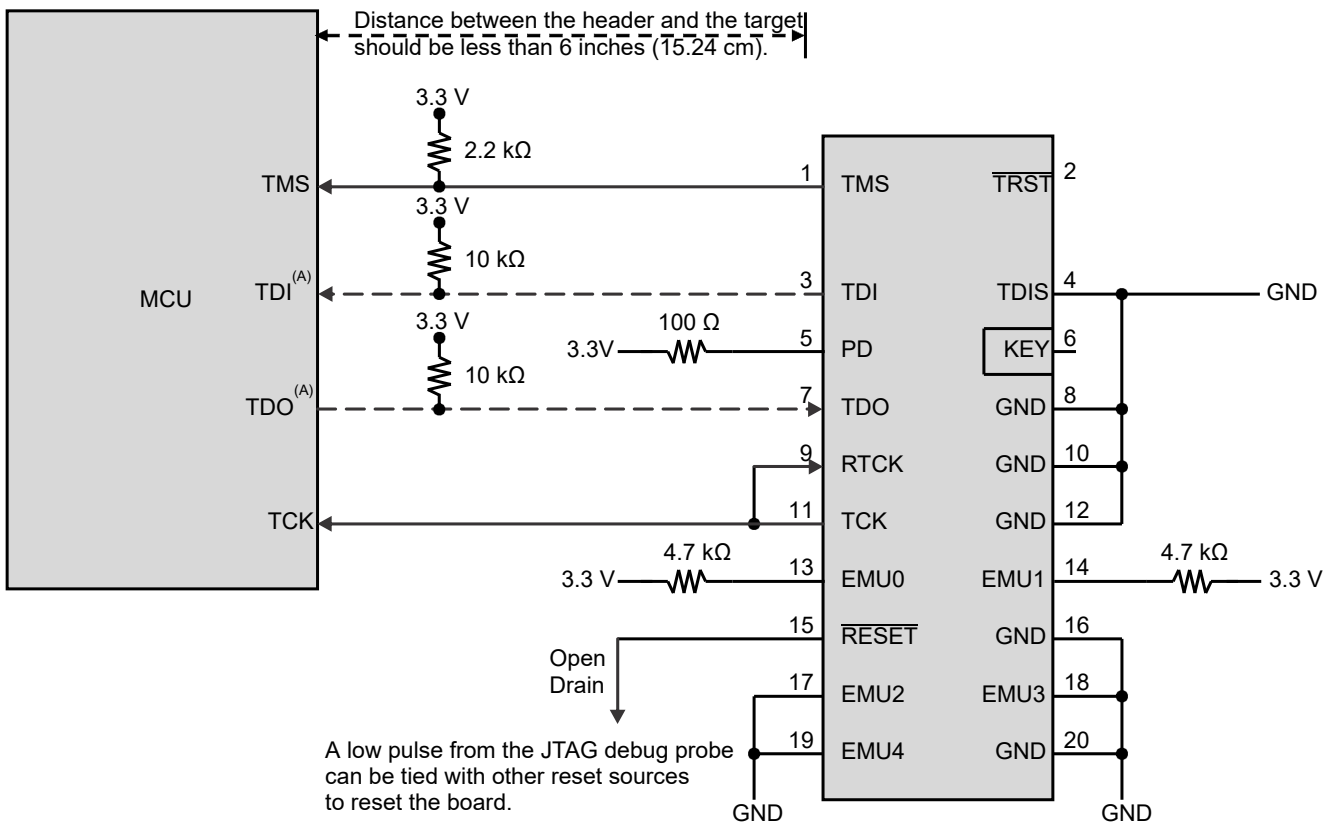
JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。如果此引脚被用作 JTAG TDI, 应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中, 此引脚可用作 GPIO。

JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 函数将处于三态条件, 使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉, 以避免 GPIO 输入悬空。在 cJTAG 选项中, 此引脚可用作 GPIO。



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-29. 连接到 14 引脚 JTAG 接头



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-30. 连接到 20 引脚 JTAG 接头

6.12.7.1 JTAG 电气数据和时序

6.12.7.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_c(\text{TCK})$	周期时间, TCK	66.66		ns
1a	$t_w(\text{TCKH})$	脉冲持续时间, TCK 高电平 (t_c 的 40%)	26.66		ns
1b	$t_w(\text{TCKL})$	脉冲持续时间, TCK 低电平 (t_c 的 40%)	26.66		ns
3	$t_{su}(\text{TDI-TCKH})$	输入建立时间, TDI 有效至 TCK 高电平	7		ns
3	$t_{su}(\text{TMS-TCKH})$	输入建立时间, TMS 有效至 TCK 高电平	7		ns
4	$t_h(\text{TCKH-TDI})$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
4	$t_h(\text{TCKH-TMS})$	从 TCK 高电平至 TMS 有效的输入保持时间	7		ns

6.12.7.1.2 JTAG 开关特性

在建议运行条件下测得 (除非另有说明)

编号	参数		最小值	最大值	单位
2	t _d (TCKL-TDO)	TCK 低电平到 TDO 有效的延迟时间	6	25	ns

6.12.7.1.3 JTAG 时序图

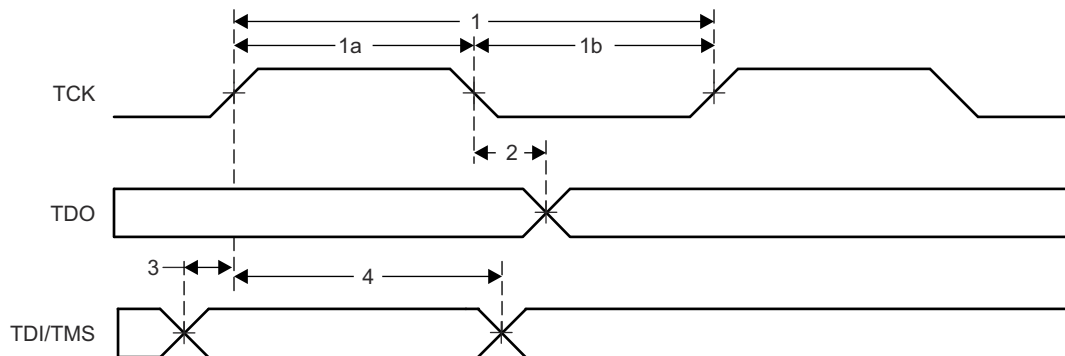


图 6-31. JTAG 时序

6.12.7.2 cJTAG 电气数据和时序

6.12.7.2.1 cJTAG 时序要求

编号			最小值	最大值	单位
1	$t_c(\text{TCK})$	周期时间, TCK	100		ns
1a	$t_w(\text{TCKH})$	脉冲持续时间, TCK 高电平 (t_c 的 40%)	40		ns
1b	$t_w(\text{TCKL})$	脉冲持续时间, TCK 低电平 (t_c 的 40%)	40		ns
3	$t_{su}(\text{TMS-TCKH})$	输入建立时间, TMS 有效至 TCK 高电平	7		ns
3	$t_{su}(\text{TMS-TCKL})$	输入设置时间, TMS 有效至 TCK 低电平	7		ns
4	$t_h(\text{TCKH-TMS})$	从 TCK 高电平至 TMS 有效的输入保持时间	2		ns
4	$t_h(\text{TCKL-TMS})$	输入保持时间, 从 TCK 低电平至 TMS 有效	2		ns

6.12.7.2.2 cJTAG 开关特性

在建议运行条件下测得 (除非另有说明)

编号		参数	最小值	最大值	单位
2	$t_d(\text{TCKL-TMS})$	TCK 低电平到 TMS 有效的延迟时间	6	20	ns
5	$t_{dis}(\text{TCKH-TMS})$	延迟时间, TCK 高电平到 TMS 禁用的时间		25	ns

6.12.7.2.3 cJTAG 时序图

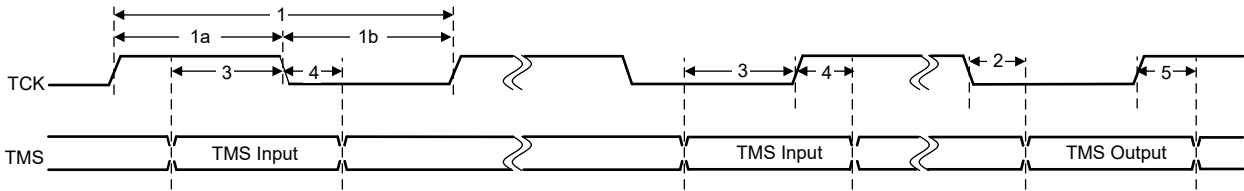


图 6-32. cJTAG 时序

6.12.8 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

许多 GPIO 都具有用于输出 X-BAR 的多路复用器选项，允许将各种内部信号路由到 GPIO。所有 GPIO 都连接到每个输入 X-BAR，这些输入 X-BAR 可以将 GPIO 的高电平或低电平状态路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。有关更多详细信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中的“X-BAR”一章。

6.12.8.1 GPIO - 输出时序

6.12.8.1.1 通用输出开关特征

在建议运行条件下测得（除非另有说明）

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		8 ⁽¹⁾	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		8 ⁽¹⁾	ns
t_{fGPO}	切换频率，GPIO 引脚			50	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 40pF。

6.12.8.1.2 通用输出时序图

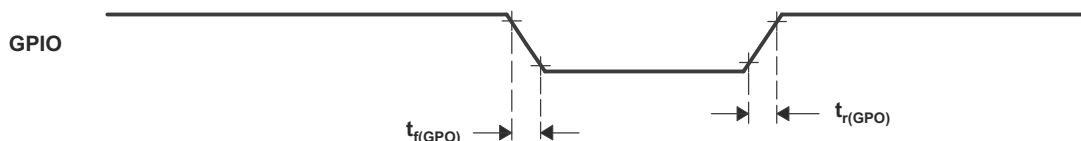


图 6-33. 通用输出时序

6.12.8.2 GPIO - 输入时序

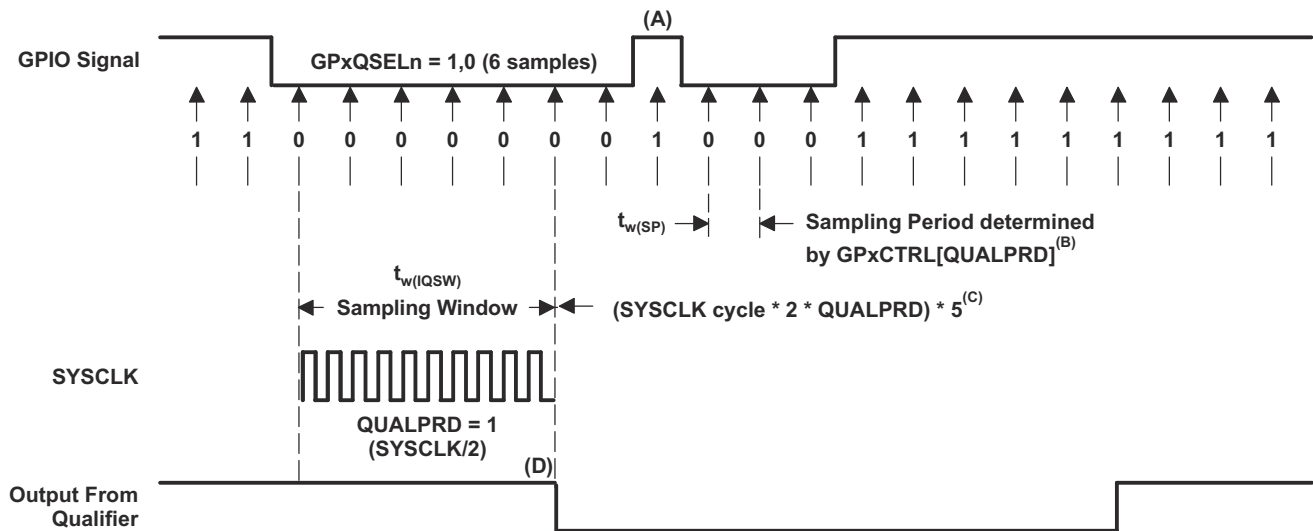
6.12.8.2.1 通用输入时序要求

			最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_c(SYSCCLK)$		周期
		QUALPRD $\neq$ 0	$2t_c(SYSCCLK) * QUALPRD$		周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)} * (n^{(1)} - 1)$		周期
$t_{w(GPI)}^{(2)}$	脉冲持续时间, GPIO 低电平/高电平	同步模式	$2t_c(SYSCCLK)$		周期
		带输入限定器	$t_{w(IQSW)} + t_{w(SP)} + 1t_c(SYSCCLK)$		周期

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。

(2) 对于 $t_{w(GPI)}$, 对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽, 而高电平有效信号, 在 V_{IH} 至 V_{IH} 之间测量脉宽。

6.12.8.2.2 采样模式



- 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00, 那么采样周期为 1 个 SYSCLK 周期。对于任何其他“n”值, 限定采样周期为 2n SYSCLK 周期 (也就是说, 在每 2n 个 SYSCLK 周期上, GPIO 引脚将被采样)。
- 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。
- 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
- 在所示的示例中, 为了使限定器检测到变化, 输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说, 输入应该在 $(5 \times QUALPRD \times 2)$ 个 SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的, 因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-34. 采样模式

6.12.8.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果 $QUALPRD \neq 0$ ，采样频率 = $SYSCLK / (2 \times QUALPRD)$

如果 $QUALPRD=0$ ，则采样频率 = $SYSCLK$

如果 $QUALPRD \neq 0$ ，则采样周期 = $SYSCLK$ 周期 $\times 2 \times QUALPRD$

在上面的等式中， $SYSCLK$ 周期表示 $SYSCLK$ 的时间周期。

如果 $QUALPRD=0$ ，则采样周期 = $SYSCLK$ 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 $GPxQSELn$ 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 $QUALPRD \neq 0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期} \times 2 \times QUALPRD) \times 2$

如果 $QUALPRD=0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期}) \times 2$

情况 2：

使用 6 个样片进行限定

如果 $QUALPRD \neq 0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期} \times 2 \times QUALPRD) \times 5$

如果 $QUALPRD=0$ ，则采样窗口宽度 = $(SYSCLK \text{ 周期}) \times 5$

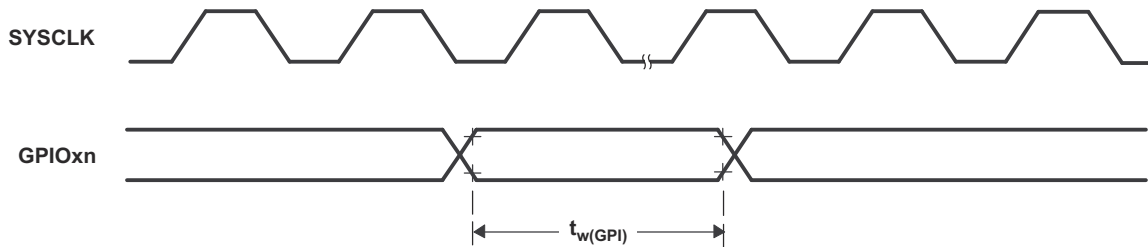


图 6-35. 通用输入时序

6.12.9 中断

C28x CPU 有 14 条外设中断线路，其中两条 (INT13 和 INT14) 分别直接连接到 CPU 计时器 1 和 2。其余 12 条通过增强型外设中断扩展 (ePIE) 模块连接到外设中断信号。ePIE 将多达 16 个外设中断多路复用到每条 CPU 中断线路中。它还会扩展矢量表以允许每个中断都有自己的 ISR。这使得 CPU 能够支持大量外设。

中断路径分为三级：外设、ePIE 和 CPU。每一级都有其自身的使能和标志寄存器。该系统允许 CPU 处理一个中断并让其他中断挂起，在软件中实施嵌套中断并确定其优先级，以及在某些关键任务期间禁用中断。

图 6-36 所示为该器件的中断架构。

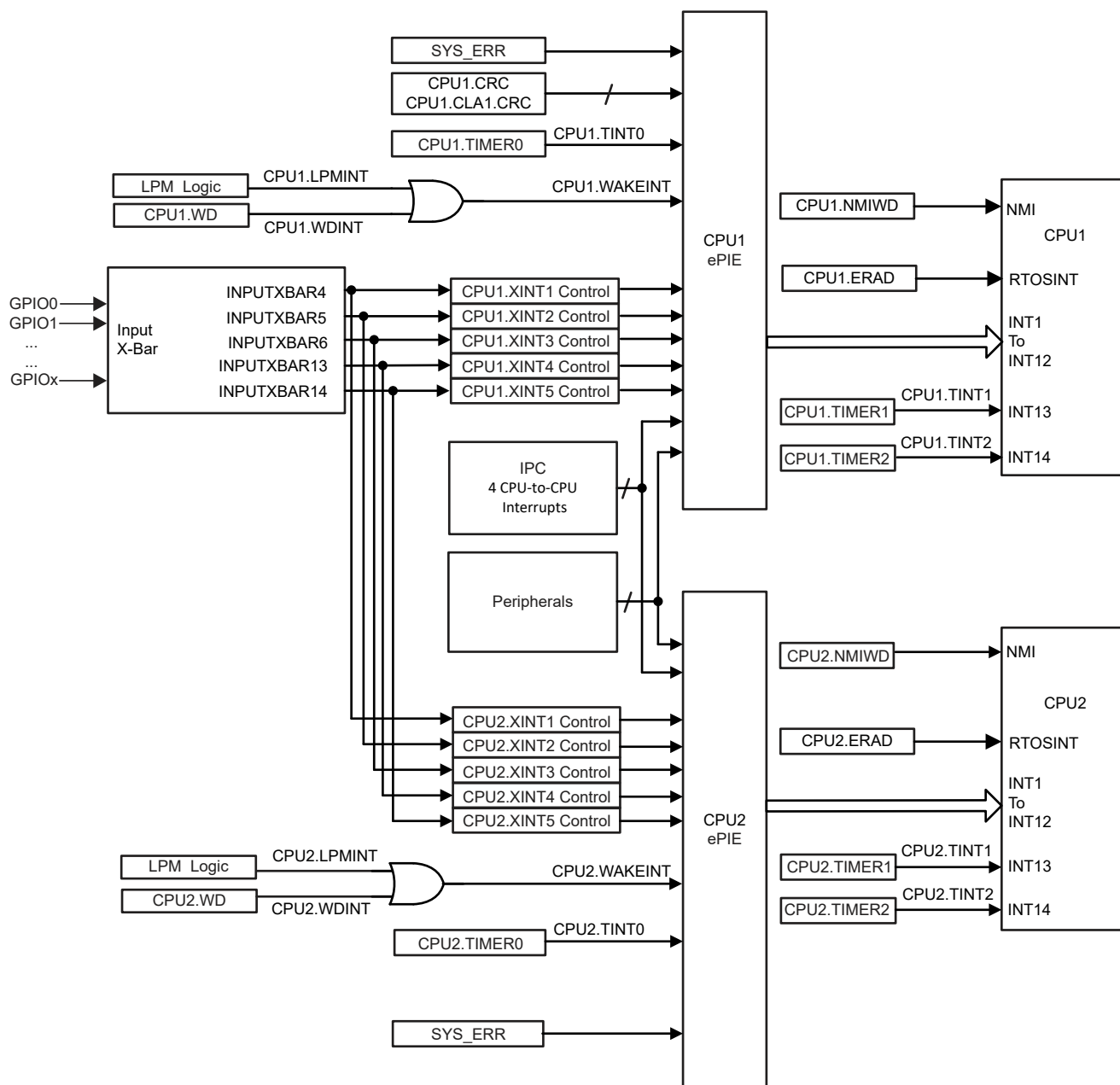


图 6-36. 器件中断架构

6.12.9.1 外部中断 (XINT) 电气数据和时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.12.9.1.1 外部中断时序要求

			最小值	最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCCLK)}$		周期
		带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCCLK)}$		周期

6.12.9.1.2 外部中断开关特性

在建议运行条件下测得（除非另有说明）

参数	最小值	最大值	单位
$t_{d(INT)}$ 延时时间，INT 低电平/高电平到中断矢量获取 ⁽¹⁾	$t_{w(IQSW)} + 14t_{c(SYSCCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCCLK)}$	周期

(1) 这是假设 ISR 是在单周期存储器中。

6.12.9.1.3 外部中断时序



图 6-37. 外部中断时序

6.12.10 低功耗模式

该器件具有停机、空闲和待机三种时钟门控低功耗模式。

有关所有低功耗模式的更多详细信息以及进入和退出过程，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的 [低功耗模式](#) 一节。

6.12.10.1 时钟门控低功耗模式

该器件上的空闲和停机模式与其他 C28x 器件上的类似。[表 6-11](#) 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-11. 时钟门控低功耗模式对器件的影响

模块/ 时钟域	空闲	STANDBY	停机
SYSCLK	有效	门控	门控
CPUCLK	门控	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	有效	门控	门控
WDCLK	有效	有效	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
PLL	供电	供电	软件必须在进入 HALT 之前关闭 PLL。
INTOSC1	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
INTOSC2	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
闪存 ⁽¹⁾	供电	供电	供电
XTAL ⁽²⁾	供电	供电	供电

- (1) 在任何 LPM 下，闪存模块不会由硬件断电。如果应用需要，可使用软件将其断电。有关更多信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中“系统控制”一章的 [闪存和 OTP 存储器](#) 一节。
- (2) 在任何 LPM 下，XTAL 不会由硬件断电。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来断电。如果不需要 XTAL，可以在应用期间的任何时间完成此操作。

6.12.10.2 低功耗模式唤醒时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.12.10.2.1 空闲模式时序要求

			最小值	最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定器	$2t_{c(SYSCCLK)}$		周期
		带输入限定器	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		

6.12.10.2.2 空闲模式开关特性

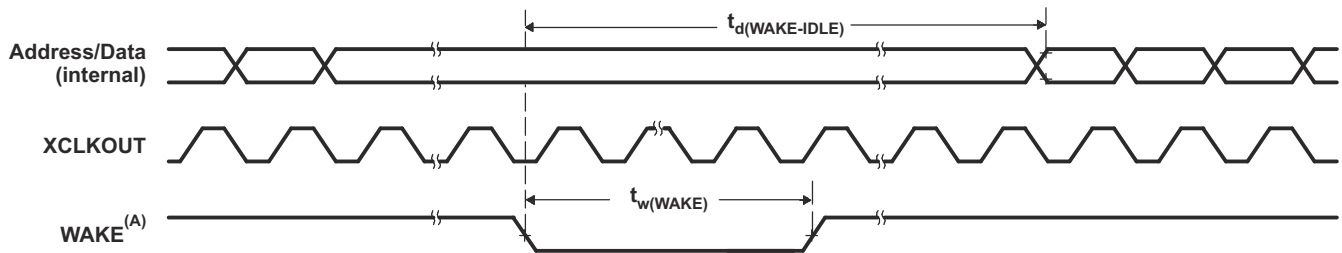
在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	来自闪存（活动状态）	无输入限定器	$40t_{c(SYSCCLK)}$	周期
		带输入限定器	$40t_{c(SYSCCLK)} + t_{w(WAKE)}$	周期
	来自闪存（睡眠状态）	无输入限定器	$6700t_{c(SYSCCLK)}^{(2)}$	周期
		带输入限定器	$6700t_{c(SYSCCLK)}^{(2)} + t_{w(WAKE)}$	周期
	来自 RAM	无输入限定器	$25t_{c(SYSCCLK)}$	周期
		带输入限定器	$25t_{c(SYSCCLK)} + t_{w(WAKE)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

(2) 该值基于闪存上电时间，该时间是 SYSCCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。

6.12.10.2.3 空闲进入和退出时序图



A. WAKE 可以是任何启用的中断、 $\overline{WDINT}$ 或 XRSn。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

图 6-38. 空闲进入和退出时序图

6.12.10.2.4 STANDBY 模式时序要求

			最小值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	QUALSTDBY = 0 $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$		周期
		QUALSTDBY > 0 $(2 + QUALSTDBY)t_{c(OSCCLK)}$ ⁽¹⁾	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$		

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

6.12.10.2.5 待机模式开关特征

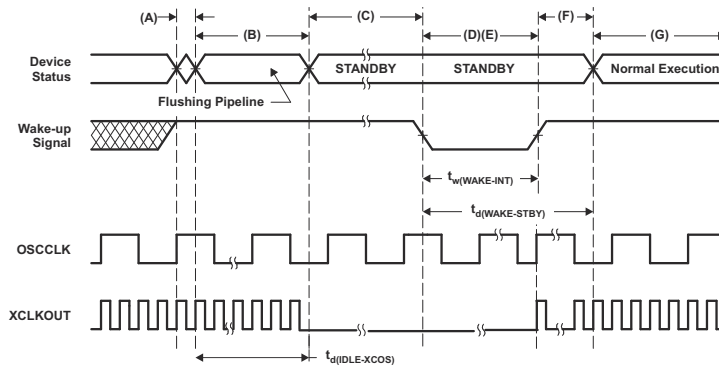
在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间, 外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾	从闪存唤醒 (闪存模块处于活动状态)	$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从闪存唤醒 (闪存模块处于睡眠状态)	$6700t_{c(SYSCLK)}$ ⁽²⁾ + $t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从 RAM 唤醒	$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR (由唤醒信号触发) 的执行需要额外延迟。

(2) 该值基于闪存上电时间, 该时间是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。

6.12.10.2.6 待机进入和退出时序图



- 执行 IDLE 指令将器件置于待机模式。
- LPM 块响应待机信号, SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其待操作适当清除。
- 外设的时钟被关闭。然而, PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后, 在唤醒信号生效前需要 5 个 OSCCLK 周期 (最小值) 的延迟。
- 外部唤醒信号驱动为有效。
- 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外, 此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚, 器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- 在延迟周期后, 退出待机模式。
- 执行恢复正常。器件将响应中断 (如果启用)。

图 6-39. 待机进入和退出时序图

6.12.10.2.7 停机模式时序要求

		最小值	最大值	单位
$t_{W(WAKE-GPIO)}$	脉冲持续时间, GPIO 唤醒信号 ⁽¹⁾	$t_{oscst} + 2t_{c(OSCCLK)}$		周期
$t_{W(WAKE-XRS)}$	脉冲持续时间, $\overline{XRS}$ 唤醒信号 ⁽¹⁾	$t_{oscst} + 8t_{c(OSCCLK)}$		周期

(1) 对于将 X1/X2 用于 OSCCLK 的应用, 用户必须表征其特定的振荡器启动时间, 因为它取决于器件外部的电路/布局。要了解更多信息, 请参阅 *晶体振荡器 (XTAL)* 部分。对于使用 INTOSC1 或 INTOSC2 作为 OSCCLK 的应用, 请参阅“内部振荡器”部分, 了解 t_{oscst} 。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用, 因为它由器件外部供电。

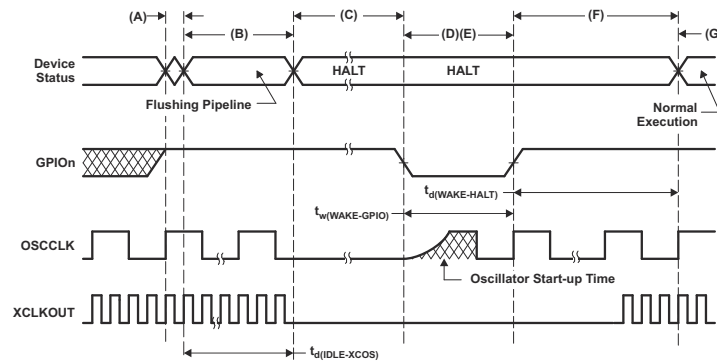
6.12.10.2.8 停机模式开关特征

在建议运行条件下测得 (除非另有说明)

	参数	最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-HALT)}$	延迟时间, 外部唤醒信号结束到 CPU1 程序执行重新开始的时间			周期
	从闪存唤醒 - 闪存模块处于活动状态		$75t_{c(OSCCLK)}$	
	从闪存唤醒 - 闪存模块处于睡眠状态		$17500t_{c(OSCCLK)}$ ⁽¹⁾	
	从 RAM 唤醒		$75t_{c(OSCCLK)}$	

(1) 该值基于闪存上电时间, 该时间是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP] 的函数。

6.12.10.2.9 停机模式进入和退出时序图



- IDLE 指令被执行以将器件置于停机模式。
- LPM 块响应停机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
- 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，并且功耗非常低。可以在停机模式中保持内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。为实现这一点，需要向 CLKSRCCTL1.WDHALTI 写入 1。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
- 当 GPIO_{on} 引脚（用于使器件脱离停机模式）被驱动为低电平时，振荡器开启并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这样可在 PLL 锁序列期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降沿会以异步方式开始唤醒过程，因此在进入停机模式之前和在此模式期间，应该注意保持低噪声环境。
- 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出停机模式。
- 运行恢复正常。
- 用户必须在停机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 6-40. 停机模式进入和退出时序图

6.12.11 外部存储器接口 (EMIF)

EMIF 提供了一种将 CPU 连接到各种外部存储器件的方法，例如异步存储器 (SRAM、NOR 闪存) 或同步存储器 (SDRAM)。

6.12.11.1 异步存储器支持

EMIF 支持异步存储器：

- SRAM
- NOR 闪存

存在外部等待输入，其允许较慢的异步存储器扩展存储器访问。EMIF 模块最多支持三种芯片选择 (EMIF_CS[4:2])。每种芯片选择具有以下可独立编程的属性：

- 数据总线宽度
- 读取周期时序：设置、保持、选通
- 写入周期时序：设置、保持、选通
- 总线变换时间
- 具有可编程超时的延长等待选项
- 选择选通选项

6.12.11.2 同步 DRAM 支持

EMIF 存储器控制器与使用 32 位或 16 位数据总线的 JESD21-C SDR SDRAM 兼容。EMIF 具有单个 SDRAM 芯片选择 (EMIF_CS[0])。

用于同步存储器 (SDRAM) 的 EMIF 的地址空间超出程序地址总线的 22 位范围，只能通过数据总线访问，这给 C 编译器带来了限制，使其无法在此空间中有效地处理数据。因此，使用 SDRAM 时，建议用户在处理数据之前先将数据从外部存储器复制 (使用 DMA) 到 RAM 中。请参阅[适用于 C2000 MCU 的 C2000Ware](#) 和 [TMS320F28P65x 实时微控制器技术参考手册](#) 中的示例。

支持的 SDRAM 配置包含：

- 一存储库、二存储库和四存储库 SDRAM 器件
- 具有 8、9、10 和 11 列地址的器件
- 两个或三个时钟周期的 CAS 延迟
- 16 位/32 位数据总线宽度
- 3.3V LVCMOS 接口

此外，EMIF 支持将 SDRAM 置于自刷新模式和省电模式。自刷新模式允许将 SDRAM 置于低功耗状态，同时仍然保留内存内容，因为即使没有微控制器的时钟，SDRAM 也将继续进行自刷新。省电模式实现更低的功耗，但如果需要保留数据，微控制器必须定期唤醒并发出刷新。EMIF 模块不支持移动 SDRAM 器件。

在该器件上，EMIF 不支持对 SDRAM 配置进行突发访问。这意味着每次对外部 SDRAM 器件进行访问时都将有 CAS 延迟。

6.12.11.3 EMIF 电气数据和时序

6.12.11.3.1 EMIF 同步存储器时序要求

编号			最小值	最大值	单位
19	$t_{su}(EMIFDV-EM_CLKH)$	EMxCLK 上升前, EMxD[y:0] 上的读取数据有效的输入建立时间	2		ns
20	$t_h(CLKH-DIV)$	EMxCLK 上升后, EMxD[y:0] 上的读取数据有效的输入保持时间	1.5		ns

6.12.11.3.2 EMIF 同步存储器开关特征

在建议运行条件下测得 (除非另有说明)

编号		参数	最小值	最大值	单位
1	$t_c(CLK)$	周期时间, EMIF 时钟 EMxCLK	10		ns
1	$t_c(CLK)$	EMIF 时钟 EMxCLK 周期时间 (具有 210MHz 时序闭合)	9.52		ns
2	$t_w(CLK)$	脉冲宽度, EMIF 时钟 EMxCLK 高电平或低电平	3		ns
3	$t_d(CLKH-CSV)$	EMxCLK 上升至 EMxCS[y:2] 有效的延迟时间		8	ns
4	$t_{oh}(CLKH-CSIV)$	EMxCLK 上升至 EMxCS[y:2] 无效的延迟时间	1		ns
5	$t_d(CLKH-DQMV)$	EMxCLK 上升至 EMxDQM[y:0] 有效的延迟时间		8	ns
6	$t_{oh}(CLKH-DQMIV)$	EMxCLK 上升至 EMxDQM[y:0] 无效的延迟时间	1		ns
7	$t_d(CLKH-AV)$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 有效的延迟时间		8	ns
8	$t_{oh}(CLKH-AIV)$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 无效的延迟时间	1		ns
9	$t_d(CLKH-DV)$	EMxCLK 上升至 EMxD[y:0] 有效的延迟时间		8	ns
10	$t_{oh}(CLKH-DIV)$	EMxCLK 上升至 EMxD[y:0] 无效的延迟时间	1		ns
11	$t_d(CLKH-RASV)$	EMxCLK 上升至 EMxRAS 有效的延迟时间		8	ns
12	$t_{oh}(CLKH-RASIV)$	EMxCLK 上升至 EMxRAS 无效的延迟时间	1		ns
13	$t_d(CLKH-CASV)$	EMxCLK 上升至 EMxCAS 有效的延迟时间		8	ns
14	$t_{oh}(CLKH-CASIV)$	EMxCLK 上升至 EMxCAS 无效的延迟时间	1		ns
15	$t_d(CLKH-WEV)$	EMxCLK 上升至 EMxWE 有效的延迟时间		8	ns
16	$t_{oh}(CLKH-WEIV)$	EMxCLK 上升至 EMxWE 无效的延迟时间	1		ns
17	$t_d(CLKH-DHZ)$	EMxCLK 上升至 EMxD[y:0] 三态的延迟时间		8	ns
18	$t_{oh}(CLKH-DLZ)$	EMxCLK 上升至 EMxD[y:0] 驱动的输出保持时间	1		ns

6.12.11.3.3 EMIF 同步存储器时序图

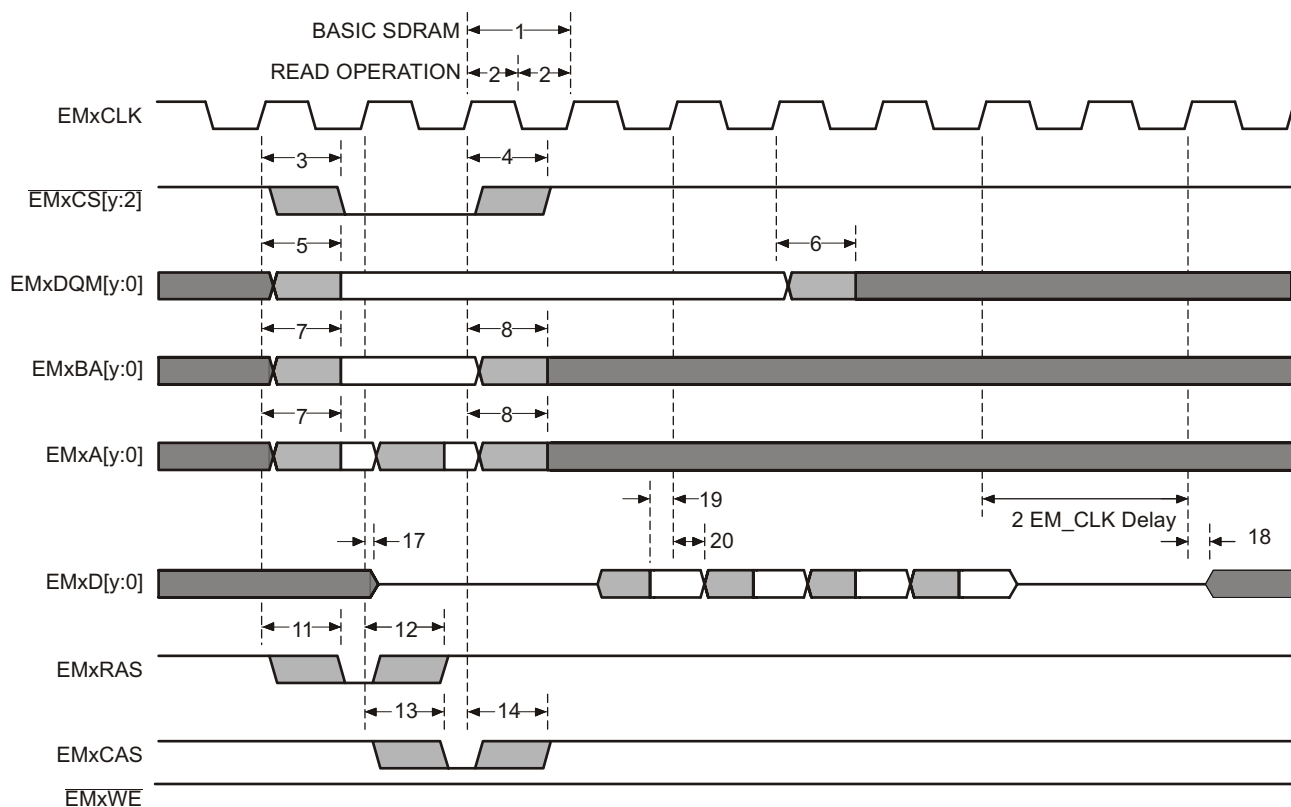


图 6-41. 基本 SDRAM 读取操作

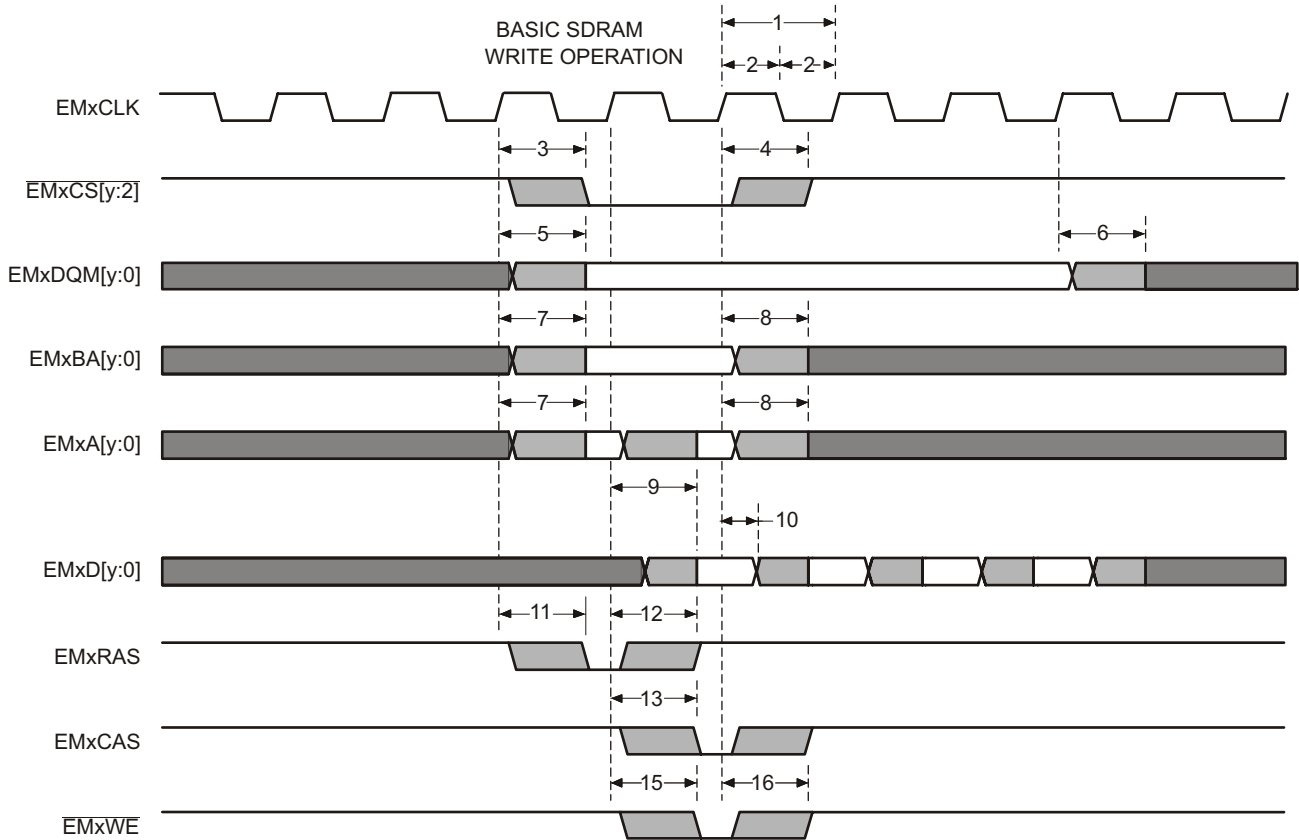


图 6-42. 基本 SDRAM 写入操作

6.12.11.3.4 EMIF 异步内存时序要求

编号			最小值	最大值	单位
读取和写入					
	E	EMIF 时钟周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	EMxWAIT 生效和无效的脉冲持续时间	$2E^{(1)}$		ns
读取					
12	$t_{su(EMDV-EMOE)}H$	EMxD[y:0] 在 $\overline{EMxOE}$ 高电平前的建立时间	15		ns
13	$t_{h(EMOE-EMDIV)}$	EMxD[y:0] 在 $\overline{EMxOE}$ 高电平后的保持时间	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	选通阶段结束前, EMxWAIT 生效的建立时间 ⁽²⁾	$4E+20^{(1)}$		ns
写入					
28	$t_{su(EMWEL-EMWAIT)}$	选通阶段结束前, EMxWAIT 生效的建立时间 ⁽²⁾	$4E+20^{(1)}$		ns

- (1) E = EMxCLK 周期, 单位为 ns。
- (2) 在选通阶段结束前建立 (如果没有插入扩展等待状态), 此时 EMxWAIT 必须生效以增加延长等待状态。EMxWAIT 读取时序要求 图和 EMxWAIT 写入时序要求 图描述了 EMIF 事务, 其中包括在选通阶段插入的扩展等待状态。然而, 作为延长等待周期的一部分插入的周期不应被计算在内; 如果没有扩展等待周期, 4E 要求则从保持 (HOLD) 阶段开始。

6.12.11.3.5 EMIF 异步存储器开关特性

在建议运行条件下测得 (除非另有说明)

编号	参数 ^{(1) (2) (3)}		最小值	最大值	单位
1	$t_d(\text{TURNAROUND})$	周转时间 $TA=0$	$(TA)*E - 3$	$(TA)*E+2$	ns
读取					
3	$t_c(\text{EMRCYCLE})$	EMIF 读取周期时间 ($EW = 0$)	$(RS+RST+RH)*E - 3$	$(RS+RST+RH)*E+2$	ns
3	$t_c(\text{EMRCYCLE})$	EMIF 读取周期时间 ($EW = 1$)	$(RS+RST+RH+ (EWC*16))*E - 3$	$(RS+RST+RH+ (EWC*16))*E+2$	ns
4	$t_{su}(\text{EMCEL-EMOEL})$	输出建立时间, $\overline{EMxCS}[y:2]$ 低电平至 $\overline{EMxOE}$ 低电平的时间 ($SS = 0$) $RS=0$	$(RS)*E - 3$	$(RS)*E+2$	ns
4	$t_{su}(\text{EMCEL-EMOEL})$	$\overline{EMxCS}[y:2]$ 低电平至 $\overline{EMxOE}$ 低电平 ($SS=1$) 的输出建立时间	-3	2	ns
5	$t_h(\text{EMOE-EMCEH})$	$\overline{EMxOE}$ 高电平至 $\overline{EMxCS}[y:2]$ 高电平 ($SS=0$) 的输出保持时间	$(RH)*E - 3$	$(RH)*E$	ns
5	$t_h(\text{EMOE-EMCEH})$	$\overline{EMxOE}$ 高电平至 $\overline{EMxCS}[y:2]$ 高电平 ($SS=1$) 的输出保持时间	-3	0	ns
6	$t_{su}(\text{EMBAV-EMOEL})$	$\overline{EMxBA}[y:0]$ 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	$(RS)*E - 3$	$(RS)*E+2$	ns
7	$t_h(\text{EMOE-EMBAIV})$	$\overline{EMxOE}$ 高电平至 $\overline{EMxBA}[y:0]$ 无效的输出保持时间	$(RH)*E - 3$	$(RH)*E$	ns
8	$t_{su}(\text{EMAV-EMOEL})$	$\overline{EMxA}[y:0]$ 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	$(RS)*E - 3$	$(RS)*E+2$	ns
9	$t_h(\text{EMOE-EMAIV})$	$\overline{EMxOE}$ 高电平至 $\overline{EMxA}[y:0]$ 无效的输出保持时间	$(RH)*E - 3$	$(RH)*E$	ns
10	$t_w(\text{EMOEL})$	$\overline{EMxOE}$ 有效低电平宽度 ($EW=0$)	$(RST)*E - 1$	$(RST)*E+1$	ns
10	$t_w(\text{EMOEL})$	$\overline{EMxOE}$ 有效低电平宽度 ($EW=1$)	$(RST+(EWC*16))*E - 1$	$(RST+(EWC*16))*E+1$	ns
11	$t_d(\text{EMWAIT-EMOE})$	从 $\overline{EMxWAIT}$ 无效到 $\overline{EMxOE}$ 高电平的延迟时间	$4*E+10$	$5*E+15$	ns
29	$t_{su}(\text{EMDQM-EMOEL})$	$\overline{EMxDQM}[y:0]$ 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	$(RS)*E - 3$	$(RS)*E+2$	ns
30	$t_h(\text{EMOE-EMDQMIV})$	$\overline{EMxOE}$ 高电平至 $\overline{EMxDQM}[y:0]$ 无效的输出保持时间	$(RH)*E - 3$	$(RH)*E$	ns
写入					
15	$t_c(\text{EMWCYCLE})$	EMIF 写入周期时间 ($EW = 0$)	$(WS+WST+WH)*E - 3$	$(WS+WST+WH)*E+2$	ns
15	$t_c(\text{EMWCYCLE})$	EMIF 写入周期时间 ($EW = 1$)	$(WS+WST+WH+ (EWC*16))*E - 3$	$(WS+WST+WH+ (EWC*16))*E+2$	ns
16	$t_{su}(\text{EMCEL-EMWEL})$	$\overline{EMxCS}[y:2]$ 低电平至 $\overline{EMxWE}$ 低电平 ($SS=0$) 的输出建立时间	$(WS)*E - 3$	$(WS)*E+2$	ns
16	$t_{su}(\text{EMCEL-EMWEL})$	$\overline{EMxCS}[y:2]$ 低电平至 $\overline{EMxWE}$ 低电平 ($SS=1$) 的输出建立时间	-3	2	ns
17	$t_h(\text{EMWEH-EMCEH})$	$\overline{EMxWE}$ 高电平至 $\overline{EMxCS}[y:2]$ 高电平 ($SS=0$) 的输出保持时间	$(WH)*E - 3$	$(WH)*E$	ns
17	$t_h(\text{EMWEH-EMCEH})$	$\overline{EMxWE}$ 高电平至 $\overline{EMxCS}[y:2]$ 高电平 ($SS=1$) 的输出保持时间	-3	0	ns
18	$t_{su}(\text{EMDQM-EMWEL})$	$\overline{EMxDQM}[y:0]$ 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	$(WS)*E - 3$	$(WS)*E+2$	ns
19	$t_h(\text{EMWEH-EMDQMIV})$	$\overline{EMxWE}$ 高电平至 $\overline{EMxDQM}[y:0]$ 无效的输出保持时间	$(WH)*E - 3$	$(WH)*E$	ns
20	$t_{su}(\text{EMBAV-EMWEL})$	$\overline{EMxBA}[y:0]$ 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	$(WS)*E - 3$	$(WS)*E+2$	ns

6.12.11.3.5 EMIF 异步存储器开关特性 (续)

在建议运行条件下测得 (除非另有说明)

编号	参数 ^{(1) (2) (3)}		最小值	最大值	单位
21	$t_h(EMWEH-EMBAIV)$	$\overline{EMxWE}$ 高电平至 $EMxBA[y:0]$ 无效的 输出保持时间	$(WH)*E - 3$	$(WH)*E$	ns
22	$t_{su}(EMAV-EMWEL)$	$EMxA[y:0]$ 有效至 $\overline{EMxWE}$ 低电平 的输出建立时间	$(WS)*E - 3$	$(WS)*E+2$	ns
23	$t_h(EMWEH-EMAIV)$	$\overline{EMxWE}$ 高电平至 $EMxA[y:0]$ 无效的 输出保持时间	$(WH)*E - 3$	$(WH)*E$	ns
24	$t_w(EMWEL)$	$\overline{EMxWE}$ 有效低电平宽度 (EW=0)	$(WST)*E - 1$	$(WST)*E+1$	ns
24	$t_w(EMWEL)$	$\overline{EMxWE}$ 有效低电平宽度 (EW=1)	$(WST+(EWC*16))*E - 1$	$(WST+(EWC*16))*E+1$	ns
25	$t_d(EMWAITH-EMWEH)$	从 $EMxWAIT$ 无效到 $\overline{EMxWE}$ 高电 平的延迟时间	$4*E+10$	$5*E+15$	ns
26	$t_{su}(EMDV-EMWEL)$	$EMxD[y:0]$ 有效至 $\overline{EMxWE}$ 低电平 的输出建立时间	$(WS)*E - 3$	$(WS)*E+2$	ns
27	$t_h(EMWEH-EMDIV)$	$\overline{EMxWE}$ 高电平至 $EMxD[y:0]$ 无效的 输出保持时间	$(WH)*E - 3$	$(WH)*E$	ns

- (1) TA = 周转, RS = 读取建立, RST = 读取选通, RH = 读取保持, WS = 写入建立, WST = 写入选通, WH = 写入保持, MEWC = 最大外部等待周期。这些参数通过异步组和异步等待周期配置寄存器进行编程。这些参数支持以下范围内的值: TA[4 - 1]、RS[16 - 1]、RST[64-4]、RH[8 - 1]、WS[16 - 1]、WST[64 - 1]、WH[8 - 1] 和 MEWC[1 - 256]。有关详情, 请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#)。
- (2) E = EMxCLK 周期, 单位为 ns。
- (3) EWC = 由 EMxWAIT 输入信号确定的外部等待周期。EWC 支持下列范围的值: EWC[256 - 1]。超时之前的最大等待时间由异步等待周期配置寄存器中的位字段 MEWC 指定。有关详情, 请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#)。

6.12.11.3.6 EMIF 异步存储器时序图

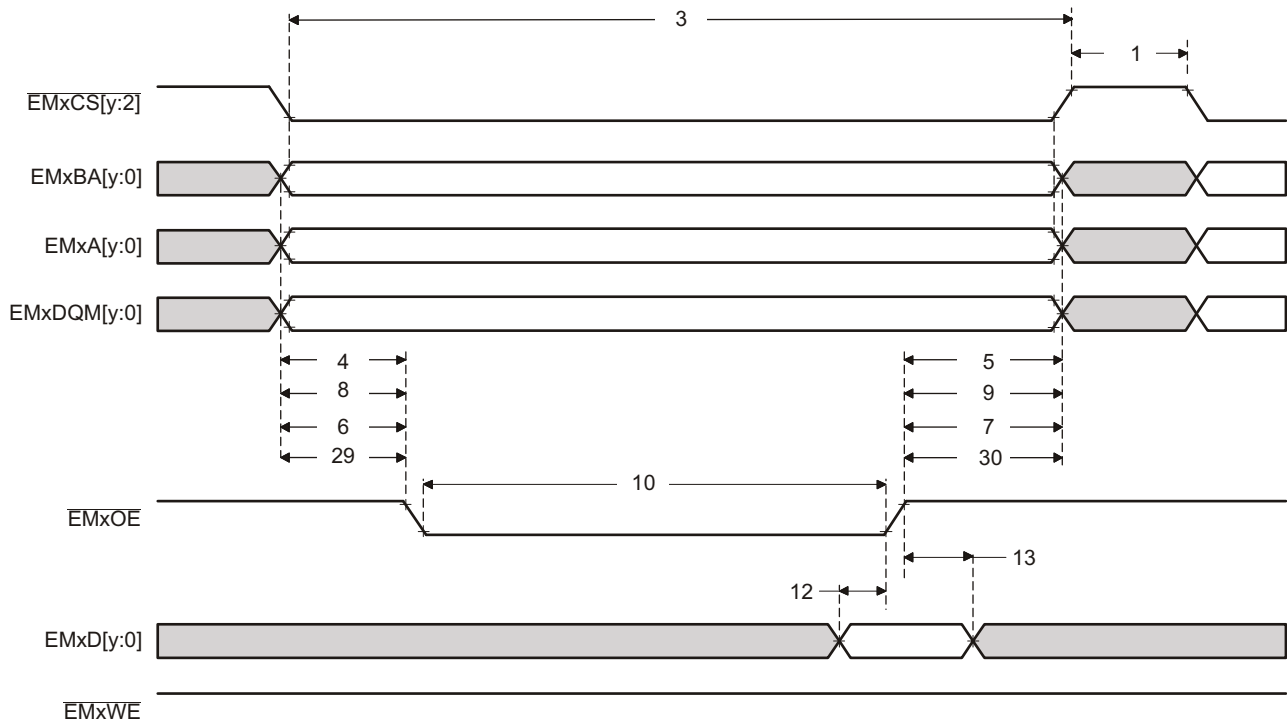


图 6-43. 异步存储器读取时序

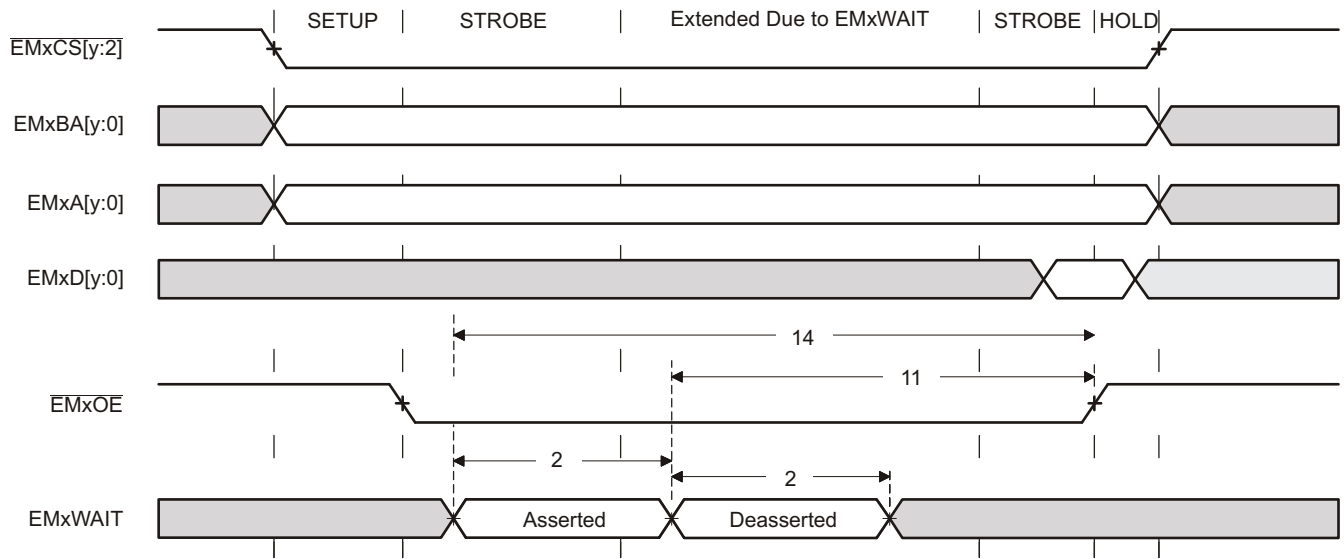


图 6-44. EMxWAIT 读取时序要求

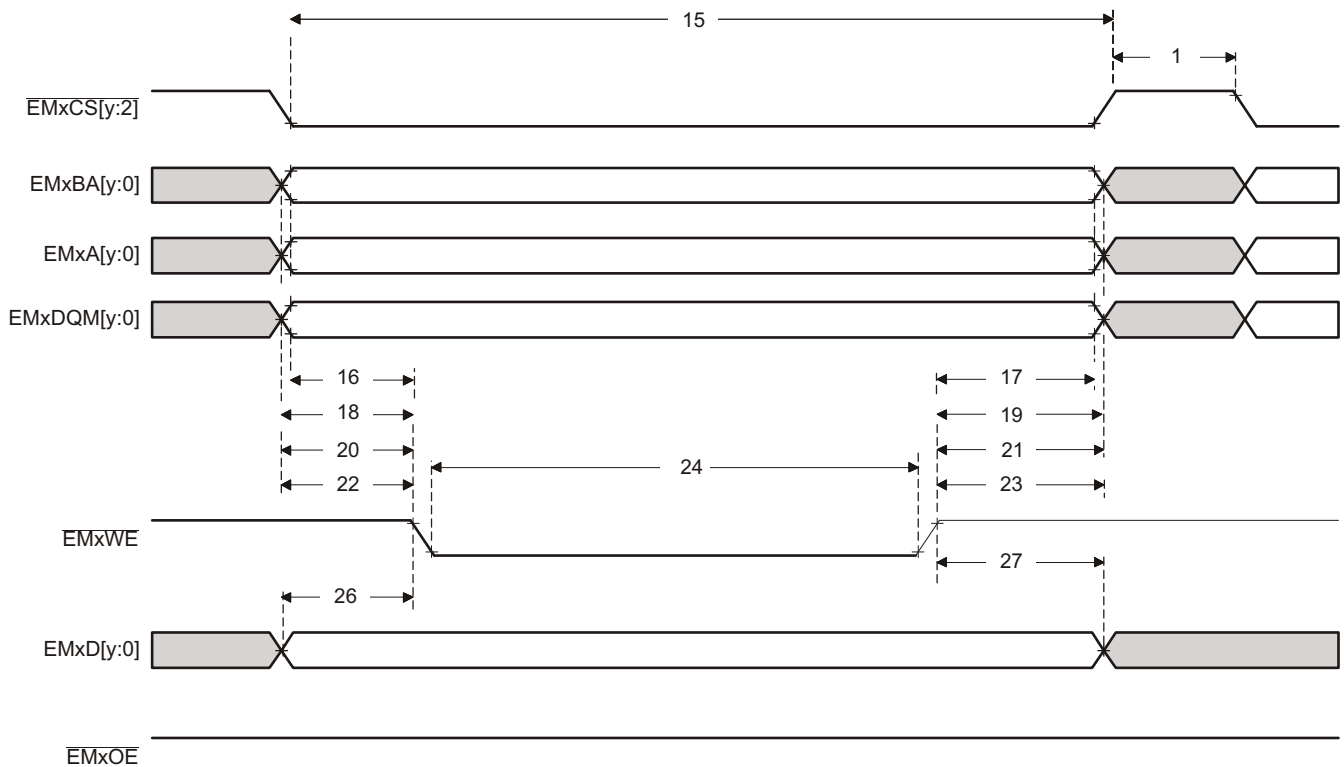


图 6-45. 异步存储器写入时序



图 6-46. EMxWAIT 写入时序要求

6.13 C28x 模拟外设

6.13.1 模拟子系统

该器件上的模拟模块包括模数转换器 (ADC)、温度传感器、缓冲数模转换器 (DAC) 和比较器子系统 (CMPSS)。

6.13.1.1 特性

模拟子系统具有以下特性：

- 灵活的电压基准：
 - ADC 以 VREFHix 和 VREFLOx 引脚为基准。
 - VREFHIA 引脚电压可由外部驱动或由内部带隙电压基准生成。VREFHIB 和 VREFHIC 可通过外部板载连接连接至内部基准。
 - 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V。
 - 缓冲 DAC 以 VREFHix 和 VSSA 为基准
 - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
 - 比较器 DAC 以 VDDA 和 VSSA 为基准
 - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
- 灵活地使用引脚
 - 缓冲 DAC 输出、比较器子系统输入和数字输入 (AIO)/输出 (AGPIO) 与 ADC 输入进行多路复用

6.13.1.2 方框图

以下模拟子系统方框图显示了不同集成模拟模块与器件引脚之间的连接。这些引脚分为两类：模拟模块输入/输出引脚和基准引脚。

基准引脚 VREFHIA 至 VREFHIC 和 VREFLOA 至 VREFLOC 可用于为相关 ADC 提供外部电压基准。VREFHIA 还可用于为 DAC A 提供电压基准，而 VREFHIB 可用于为 DAC C 提供电压基准。可提供内部电压基准并连接到 VREFHIA。要在 ADC B、ADC C 或 DAC C 上使用内部电压基准，请从外部将 VREFHIA 连接至 VREFHIB 和/或 VREFHIC。

VDAC 基准引脚可用于为 DAC A 和 DAC C 以及 CMPSS 模块内的 DAC 设置备用范围（默认情况下，CMPSS DAC 以 VDDA 和 VSSA 为基准）。使用此引脚作为基准可防止该通道用作 ADC 输入（但如果需要，ADC 可用于对 VDAC 电压进行采样）。对于每个 CMPSS 或缓冲 DAC，基准选择是按模块配置的；使用模块的配置寄存器进行选择。

一些模拟引脚通过多路复用 AIO 和 AGPIO 支持数字功能。AIO 仅支持数字输入功能，而 AGPIO 支持全数字输入和输出功能。

下列注释适用于所有封装：

- 并非所有模拟引脚都适用于所有器件。请参阅 [节 5](#) 以确定可用的引脚。
- 请参阅 [节 6.13.2.2](#) 以确定 VREFHI 和 VREFLO 的允许电压范围。
- 需要在 VREFHI 引脚上连接一个外部电容器。有关所需的具体值，请参阅 [节 6.13.2.2](#)。
- 对于缓冲 DAC 模块，无论 VREFHix 还是 VDAC 是否被选为高基准，VSSA 都是低基准。
- 对于 CMPSS 模块，无论选择 VDAC 还是 VDDA 作为高基准，VSSA 都是低基准。

备注

如果所有 ADC 都在内部 VREF 模式下运行，则必须在外部手动连接 VREFHIA、VREFHIB 和 VREFHIC。

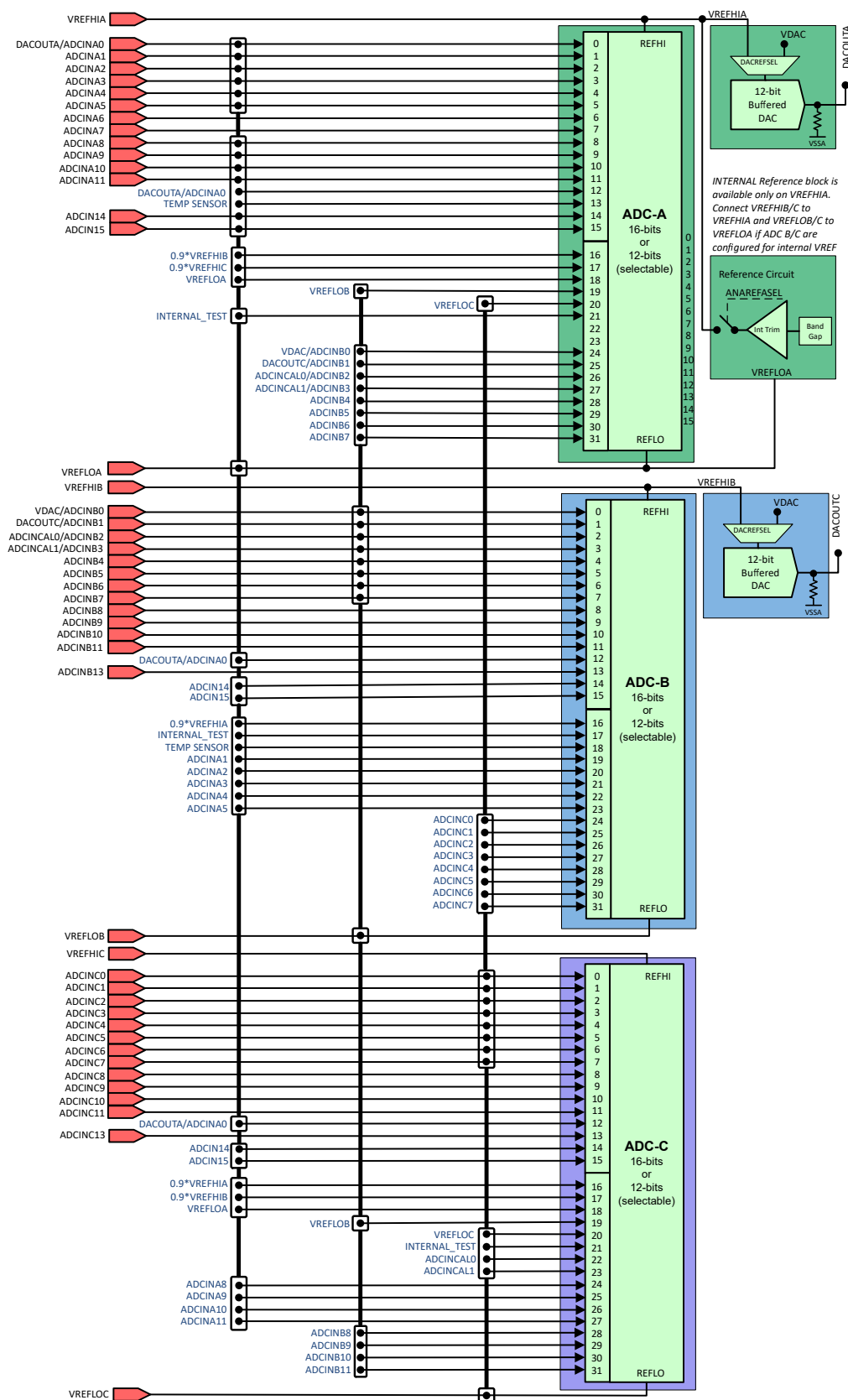


图 6-47. 模拟子系统方框图 (ADC A、ADC B 和 ADC C)

与 CMPSS 模块的输入连接可通过可编程输入多路复用器进行选择。图 6-48 展示了 CMPSS 输入连接。表 6-12 展示了 ADC 输入信号到 CMPSS 多路复用器输入的映射。

- 要为 CMPSSx 配置 CMPH_POSIN 输入多路复用器，请写入 CMPHPMXSEL 或 CMPHPMXSEL1 模拟子系统寄存器中的 CMPxHPMXSEL 字段。
- 要为 CMPSSx 配置 CMPH_NEGIN 输入多路复用器，请写入 CMPHNMXSEL 模拟子系统寄存器中的 CMPxHNMXSEL 字段。
- 要为 CMPSSx 配置 CMPL_POSIN 输入多路复用器，请写入 CMPLPMXSEL 或 CMPLPMXSEL1 模拟子系统寄存器中的 CMPxLPMXSEL 字段。
- 要为 CMPSSx 配置 CMPL_NEGIN 输入多路复用器，请写入 CMPLNMXSEL 模拟子系统寄存器中的 CMPxLNMXSEL 字段。

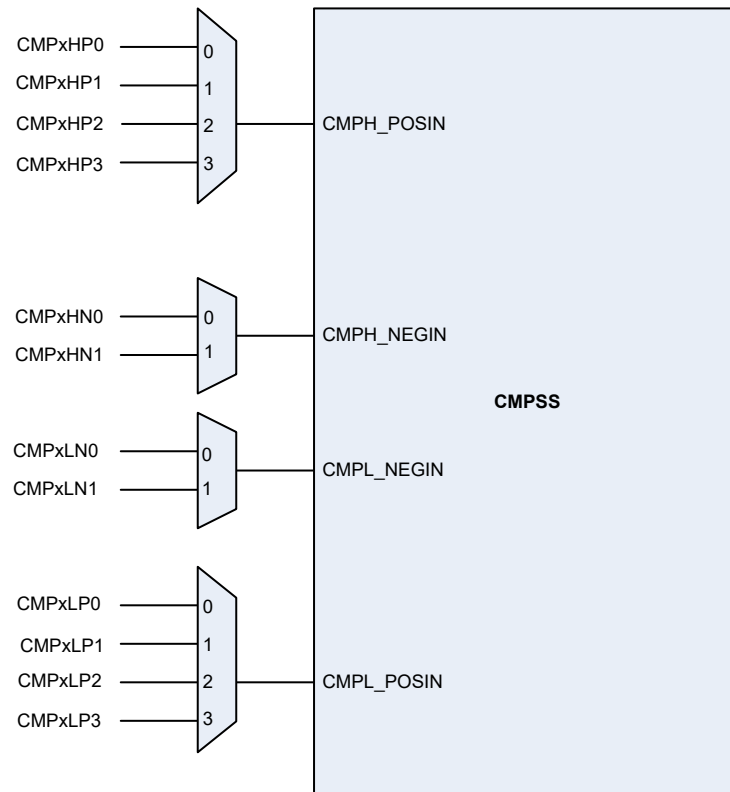


图 6-48. CMPSS 输入连接

表 6-12. CMPSS 输入多路复用器选项

	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11
HP0	A2	A4	B2	A14	C4	C2	A6	A8	B13	C10	C11
HP1	A0	B8	B0	B10	B4	C0	B6	A10	C13	C6	C7
HP2	A1	B9	B1	B11	B5	C1	B7	A11	A7	C8	C9
HP3	A3	A5	TS	A15	TS	0.9*VREF HIA	0.9*VREF HIB	0.9*VREF HIC			
HN0	A3	A5	B3	A15	C5	C3	A7	A9	A0	B8	B0
HN1	A1	A2	B7	B10	B4	C0	B6	A10	B9	C4	C13
LP0	A2	A4	B2	A14	C4	C2	A6	A8	B13	C10	C11
LP1	A0	B8	B0	B10	B4	C0	B6	A10	C13	C6	C7
LP2	A1	B9	B1	B11	B5	C1	B7	A11	A5	C8	C9

表 6-12. CMPSS 输入多路复用器选项 (续)

	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11
LP3	B3	C5	C3	A7	A9	0.9*VREF HIA	0.9*VREF HIB	0.9*VREF HIC			
LN0	A3	A5	B3	A15	C5	C3	A7	A9	A0	B8	B0
LN1	A1	A2	B7	B10	B4	C0	B6	A10	B9	C4	C13

表 6-13. 模拟信号说明

信号名称	说明
ADCINAx、Ax	ADC A 输入
ADCINBx、Bx	ADC B 输入
ADCINCx、Cx	ADC C 输入
CMPH_POSIN	比较器子系统高电平比较器正输入
CMPH_NEGIN	比较器子系统高电平比较器负输入
CMPL_POSIN	比较器子系统低电平比较器正输入
CMPL_NEGIN	比较器子系统低电平比较器负输入
DACOUTx	缓冲 DAC 输出
温度传感器, TS	内部温度传感器
VDAC	片上 DAC 的可选外部基准电压。无论是用于 ADC 输入还是 DAC 基准, 此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准, 请在此引脚上放置至少一个 1μF 电容器。

表 6-14. 参考汇总

模块	参考选项	配置位置	寄存器	Driverlib 函数	注释
ADC	外部或内部	模拟子系统	AnalogSubsysRegs. .ANAREFCTL.bit.A NAREFxSEL	ASysCtl_setAnalogReferenceInternal, ASysCtl_setAnalogReference External	内部基准仅连接到 ADCA。对于 ADCB/ ADC, VREFHI 引脚必须 从外部连接至 VREFHIA。
	内部基准 2.5V 或 3.3V	模拟子系统	AnalogSubsysRegs. .ANAREFCTL.bit.A NAREFx2P5SEL	ASysCtl_setAnalogReference 2P5、 ASysCtl_setAnalogReference 1P65	
缓冲 DAC	VREFHI 或 VDAC	DAC 模块	DacxRegs. DACCTL.bit.DACR EFSEL	DAC_setReferenceVoltage	
	外部或内部	模拟子系统	AnalogSubsysRegs. .ANAREFCTL.bit.A NAREFxSEL	ASysCtl_setAnalogReferenceInternal, ASysCtl_setAnalogReference External	内部基准仅连接到 ADCA。对于 ADCB/ ADC, VREFHI 引脚必须 从外部连接至 VREFHIA。
CMPSS DAC	VDDA 或 VDAC	CMPSS 模块	CmpssxRegs. COMPdachCTL.bi t.SELREF	CMPSS_COMPdachCTL_S ELREF	

表 6-15. 模拟内部连接

引脚名称	引脚/封装				ADC			DAC	比较器子系统 (多路复用器)				AIO 输入/ GPIO
	256 ZEJ	176 PTP	169 NMR	100 PZP	A	B	C		高正	高负	低正	低负	
VREFHIA	M2	37	K2	19									
VREFHIB	R4	53	M4	34									
VREFHIC	L2	35	J2	19									
VREFLOA	M1	33	K1	16	A18		C18						
VREFLOB	T4	50	N4	32	A19		C19						
VREFLOC	L1	32	J1	16	A20		C20						
模拟组 1									CMP1				
A1	P2	42	K3	24	A1	B19			CMP1 (HPMXSEL=2)	CMP1 (HNMSEL=1)	CMP1 (LPMSEL=2)	CMP1 (LNMSSEL=1)	AIO228
A3	N4	40	H3	22	A3	B21			CMP1 (HPMXSEL=3)	CMP1 (HNMSEL=0)		CMP1 (LNMSSEL=0)	AIO230
模拟组 2									CMP1/CMP2/CMP9				
A2	N3	41	J3	23	A2	B20			CMP1 (HPMXSEL=0)	CMP2 (HNMSEL=1)	CMP1 (LPMSEL=0)	CMP2 (LNMSSEL=1)	AIO229
A0	P1	43	L3	25	A0、 A12	B12	C12	DACA_ OUT	CMP1 (HPMXSEL=1)	CMP9 (HNMSEL=0)	CMP1 (LPMSEL=1)	CMP9 (LNMSSEL=0)	AIO227
模拟组 3									CMP2				
A4	M4	39	H2	21	A4	B22			CMP2 (HPMXSEL=0)		CMP2 (LPMSEL=0)		AIO231
模拟组 4									CMP2/CMP9/CMP10				
A5	M5	38	H1	20	A5	B23			CMP2 (HPMXSEL=3)	CMP2 (HNMSEL=0)	CMP9 (LPMSEL=2)	CMP2 (LNMSSEL=0)	AIO232
B9	N8	67	N7			B9	C29		CMP2 (HPMXSEL=2)	CMP9 (HNMSEL=1)	CMP2 (LPMSEL=2)	CMP9 (LNMSSEL=1)	GPIO218
B8	P8	66	M7			B8	C28		CMP2 (HPMXSEL=1)	CMP10 (HNMSEL=0)	CMP2 (LPMSEL=1)	CMP10 (LNMSSEL=0)	GPIO217
模拟组 5									CMP3				
温度传感器					A13	B18			CMP3 (HPMXSEL=3)				
B2	R3	48	M3	30	A26	B2			CMP3 (HPMXSEL=0)		CMP3 (LPMSEL=0)		AIO235
B1	T3	47	N3	29	A25	B1		DACC_ OUT	CMP3 (HPMXSEL=2)		CMP3 (LPMSEL=2)		AIO234
模拟组 6									CMP3/CMP1/CMP11				
B3	P3	49	L4	31	A27	B3				CMP3 (HNMSEL=0)	CMP1 (LPMSEL=3)	CMP3 (LNMSSEL=0)	AIO236
B0	T2	46	N2	28		B0	A24	VDAC	CMP3 (HPMXSEL=1)	CMP11 (HNMSEL=0)	CMP3 (LPMSEL=1)	CMP11 (LNMSSEL=0)	AIO233
模拟组 7									CMP4				
A14/B14/C14	R1	44	M1	26	A14	B14	C14		CMP4 (HPMXSEL=0)		CMP4 (LPMSEL=0)		AIO225
A15/B15/C15	R2	45	M2	27	A15	B15	C15		CMP4 (HPMXSEL=3)	CMP4 (HNMSEL=0)		CMP4 (LNMSSEL=0)	AIO226
B11	P4	51				B11	C31		CMP4 (HPMXSEL=2)		CMP4 (LPMSEL=2)		AIO240
B10	R7	61				B10	C30		CMP4 (HPMXSEL=1)	CMP4 (HNMSEL=1)	CMP4 (LPMSEL=1)	CMP4 (LNMSSEL=1)	GPIO219
模拟组 8									CMP5				
温度传感器					A13	B18			CPM5 (HPMXSEL=3)				
B5	N7	65	N6		A29	B5			CMP5 (HPMXSEL=2)		CMP5 (LPMSEL=2)		GPIO216
B4	P7	64	M6		A28	B4			CMP5 (HPMXSEL=1)	CMP5 (HNMSEL=1)	CMP5 (LPMSEL=1)	CMP5 (LNMSSEL=1)	GPIO215
模拟组 9									CMP5/CMP2/CMP10				
C5	L6	28	G6	12		B29	C5			CMP5 (HNMSEL=0)	CMP2 (LPMSEL=3)	CMP5 (LNMSSEL=0)	GPIO204
C4	M6	29	H6	13		B28	C4		CMP5 (HPMXSEL=0)	CMP10 (HNMSEL=1)	CMP5 (LPMSEL=0)	CMP10 (LNMSSEL=1)	GPIO205
模拟组 10									CMP6				

表 6-15. 模拟内部连接 (续)

引脚名称	引脚/封装				ADC			DAC	比较器子系统 (多路复用器)				AIO 输入/ GPIO
	256 ZEJ	176 PTP	169 NMR	100 PZP	A	B	C		高正	高负	低正	低负	
0.9*VREFHIA						B16	C16		CMP6 (HPMXSEL=3)		CMP6 (LPMXSEL=3)		
C0	H1	22	F1	9		B24	C0		CMP6 (HPMXSEL=1)	CMP6 (HNMXSEL=1)	CMP6 (LPMXSEL=1)	CMP6 (LNMXSEL=1)	GPIO199
C1	J1	23	G1	10		B25	C1		CMP6 (HPMXSEL=2)		CMP6 (LPMXSEL=2)		GPIO200
C2	L4	31	H4	15		B26	C2		CMP6 (HPMXSEL=0)		CMP6 (LPMXSEL=0)		AIO237
模拟组 11									CMP6/CMP3				
C3	L5	30	H5	14		B27	C3			CMP6 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP6 (LNMXSEL=0)	GPIO206
模拟组 12									CMP7				
0.9*VREFHIB					A16		C17		CMP7 (HPMXSEL=3)		CMP7 (LPMXSEL=3)		
B6	N5	55	J4	36	A30	B6			CMP7 (HPMXSEL=1)	CMP7 (HNMXSEL=1)	CMP7 (LPMXSEL=1)	CMP7 (LNMXSEL=1)	GPIO207
A6	N6	57	J5	38	A6				CMP7 (HPMXSEL=0)		CMP7 (LPMXSEL=0)		GPIO209
模拟组 13									CMP7/CMP3				
B7	P5	56	K4	37	A31	B7			CMP7 (HPMXSEL=2)	CMP3 (HNMXSEL=1)	CMP7 (LPMXSEL=2)	CMP3 (LNMXSEL=1)	GPIO208
模拟组 14									CMP8				
0.9*VREFHIC					A17				CMP8 (HPMXSEL=3)		CMP8 (LPMXSEL=3)		
A8	R6	59	J6		A8		C24		CMP8 (HPMXSEL=0)		CMP8 (LPMXSEL=0)		GPIO211
A11	R8	63	L6	40	A11		C27		CMP8 (HPMXSEL=2)		CMP8 (LPMXSEL=2)		GPIO214
A10	T8	62	L5	39	A10		C26		CMP8 (HPMXSEL=1)	CMP8 (HNMXSEL=1)	CMP8 (LPMXSEL=1)	CMP8 (LNMXSEL=1)	GPIO213
模拟组 15									CMP8/CMP5				
A9	T7	60	K6		A9		C25			CMP8 (HNMXSEL=0)	CMP5 (LPMXSEL=3)	CMP8 (LNMXSEL=0)	GPIO212
模拟组 16									CMP9				
B13	R5					B13			CMP9 (HPMXSEL=0)		CMP9 (LPMXSEL=0)		AIO238
模拟组 17									CMP9/CMP4/CMP7/CMP11				
A7	P6	58	K5		A7				CMP9 (HPMXSEL=2)	CMP7 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP7 (LNMXSEL=0)	GPIO210
C13	K1						C13		CMP9 (HPMXSEL=1)	CMP11 (HNMXSEL=1)	CMP9 (LPMXSEL=1)	CMP11 (LNMXSEL=1)	AIO239
模拟组 18									CMP10				
C8	K3	25	G3				C8		CMP10 (HPMXSEL=2)		CMP10 (LPMXSEL=2)		GPIO202
C6	K5	27	G5	11		B30	C6		CMP10 (HPMXSEL=1)		CMP10 (LPMXSEL=1)		GPIO203
C10	L3						C10		CMP10 (HPMXSEL=0)		CMP10 (LPMXSEL=0)		AIO241
模拟组 19									CMP11				
C9	J2	24	G2				C9		CMP11 (HPMXSEL=2)		CMP11 (LPMXSEL=2)		GPIO201
C11	K2						C11		CMP11 (HPMXSEL=0)		CMP11 (LPMXSEL=0)		AIO242
C7	K4	26	G4			B31	C7		CMP11 (HPMXSEL=1)		CMP11 (LPMXSEL=1)		GPIO198

6.13.2 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有可选的 12 位或 16 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择多路复用器、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC) (参阅《TMS320F28P65x 实时微控制器技术参考手册》中“模数转换器 (ADC)”一章“SOC 工作原理”一节)。

每个 ADC 具有以下特性：

- 可选 12 位或 16 位分辨率
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- ADC A 和 B 上的单端或差分信号模式
- 具有多达 40 个通道 (单端) 或 19 个通道 (差分) 的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 根据每个 SOC 选择外部模拟输入多路复用器，高达 4 位
- 多个触发源
 - 软件立即启动
 - 所有 ePWM：ADCSOC A 或 B
 - GPIO XINT2
 - CPU 计时器 0/1/2
 - ADCINT1/2
 - 捕获模式 (CEVT1、CEVT2、CEVT3 和 CEVT4) 和 APWM 模式 (周期匹配、比较匹配或两者) 下的 ECAP 事件。
 - 对多个 ADC 采用全局软件触发器
- 四个灵活的中断
- 突发模式触发选项
- 高达 128 倍的硬件过采样模式，具有可配置的触发器扩展延迟
- 硬件欠采样模式
- 触发器相位延迟功能
- 四个后处理块，每个块具有：
 - 饱和和偏移量校准
 - 设定点计算的误差
 - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
 - 触发至采样延迟采集
 - 绝对值计算
 - 使用 24 位累加寄存器进行过采样，具有可配置的二进制移位
 - 计算最小/最大值以抑制异常值

备注

并非每个通道都可以从所有 ADC 的引脚输出。请参阅 [引脚配置和功能](#) 部分以确定哪些通道可用。

ADC 内核和 ADC 包装器的方框图如图 6-49 所示。

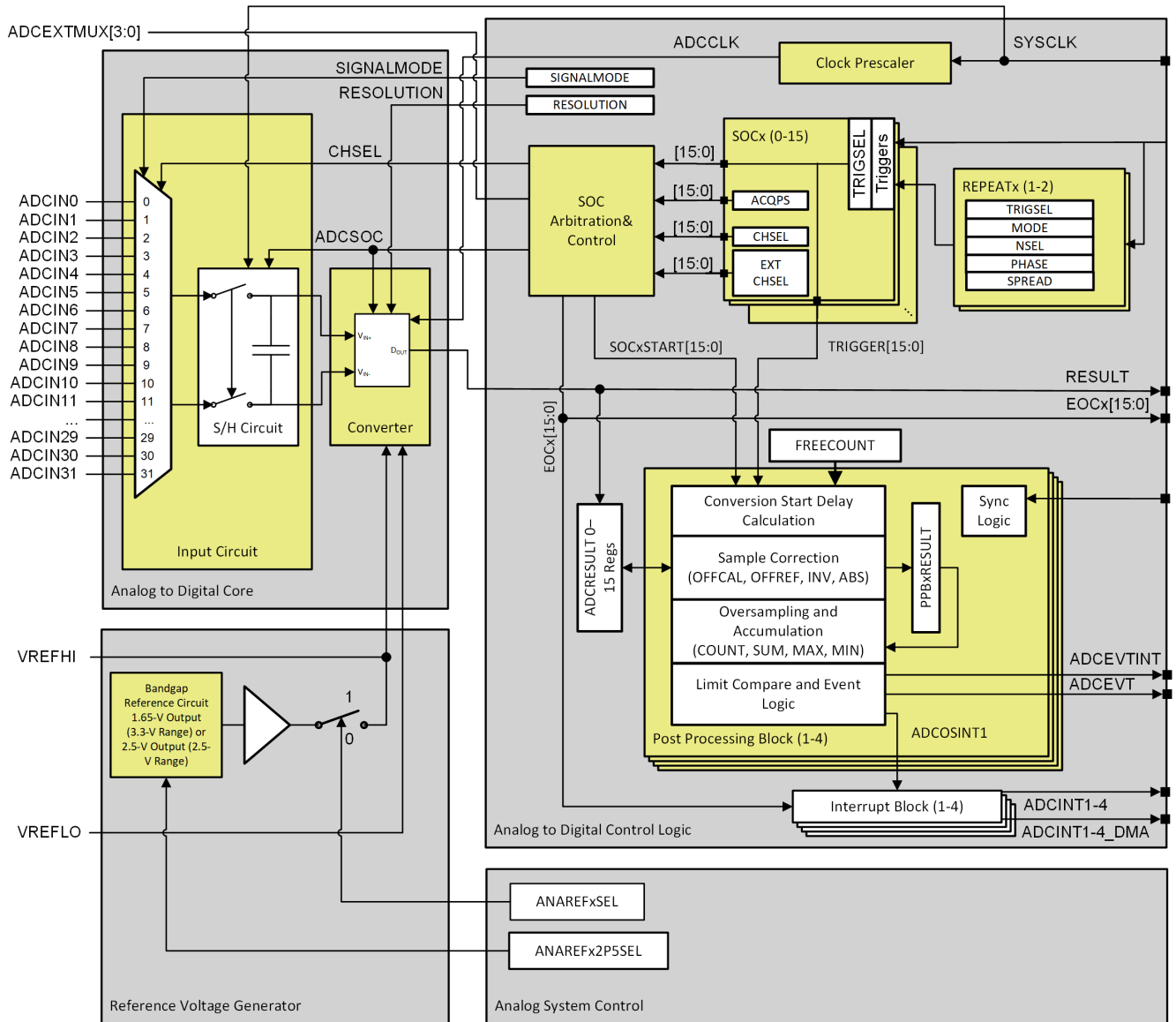


图 6-49. ADC 模块方框图

6.13.2.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 6-16 汇总了基本的 ADC 选项及其可配置性级别。

表 6-16. ADC 选项和配置级别

选项	可配置性
时钟	按照模块 ⁽¹⁾
分辨率	按照模块 ⁽¹⁾
信号模式	按照模块
基准电压源	按照模块 (外部或内部) ^{(2) (3)}
触发源	按照 SOC ⁽¹⁾
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC ⁽¹⁾
EOC 位置	按照模块
突发模式	按照模块 ⁽¹⁾

- (1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步运行的指导，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中“模数转换器 (ADC)”一章的**确保同步运行**一节。
- (2) 较低引脚数的封装可能会在多个 ADC 之间共享一个 VREFHI 引脚。在这种情况下，共享基准引脚的 ADC 必须对其基准模式进行相同配置。
- (3) 使用 16 位分辨率时，不支持 3.3V 内部基准模式。

6.13.2.1.1 信号模式

ADC 支持两种信号模式：单端和差分。在单端模式中，以 VREFLO 为基准通过单个引脚 (ADCINx)对转换器的输入电压 进行采样。在差分信号模式中，通过一对输入引脚对转换器的输入电压进行采样，其中一个输入引脚为正输入引脚 (ADCINxP)，且另一个输入引脚为负输入引脚 (ADCINxN)。实际输入电压是两个引脚之间的差值 (ADCINxP - ADCINxN)。图 6-50 展示了差分信号模式。图 6-51 展示了单端信号模式。



图 6-50. 差分信号模式

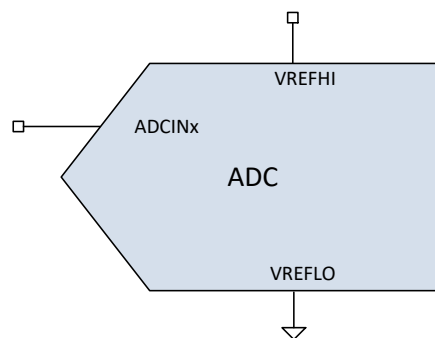
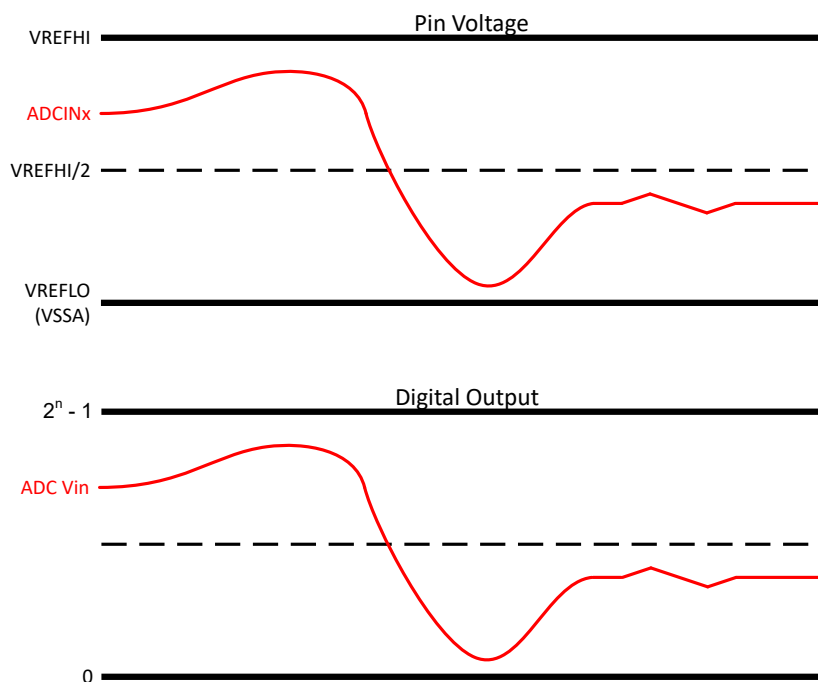


图 6-51. 单端信号模式

6.13.2.2 ADC 电气数据和时序

备注

ADC 输入应保持低于 $V_{DDA} + 0.3V$ 。如果 ADC 输入高于此电平，则 ADC 可能会通过两种机制对其他通道产生干扰：

- ADC 输入过压将过驱 CMPSS 多路复用器，从而干扰所有其他共用一个公共 CMPSS 多路复用器的通道。无论 ADC 是否对过压输入进行采样，这种干扰都会持续存在
- 当 ADC 对过压 ADC 输入进行采样时，VREFHI 将被上拉至更高的电平。这将干扰任何通道上的后续 ADC 转换，直到 V_{REF} 稳定下来

备注

VREFHI 引脚必须保持低于 $V_{DDA} + 0.3V$ ，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换不正确。

6.13.2.2.1 ADC 运行条件：12 位、单端

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)		5		57	MHz
采样率 ⁽³⁾	200MHz SYSCLK			3.92	MSPS
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置) ⁽¹⁾	R_s 为 50 Ω 或更小，引脚与 AIO	75			ns
	R_s 为 50 Ω 或更小，引脚与 AGPIO	90			
VREFHI	外部基准	2.4	2.5 或 3.0	V_{DDA}	V
VREFHI ⁽²⁾	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。

(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

6.13.2.2.2 ADC 运行条件：12 位、差分

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)		5		57	MHz
采样率 ⁽³⁾	200MHz SYSCLK			3.92	MSPS
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置) ⁽¹⁾	R_s 为 50 Ω 或更小，引脚与 AIO	75			ns
	R_s 为 50 Ω 或更小，引脚与 AGPIO	90			
VREFHI	外部基准	2.4	2.5 或 3.0	V_{DDA}	V
VREFHI ⁽²⁾	内部基准电压 = 3.3V 范围		不支持		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V

6.13.2.2.2 ADC 运行条件：12 位、差分（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
转换范围	内部基准电压 = 3.3V 范围	不支持			V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

- (1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

6.13.2.2.3 ADC 运行条件：16 位、单端

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)		5		57	MHz
采样率	200MHz SYSCLK			1.19	MSPS
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置) ⁽¹⁾	R _s 为 50 Ω 或更小，引脚与 AIO	320			ns
	R _s 为 50 Ω 或更小，引脚与 AGPIO	405			
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI ⁽²⁾	内部基准电压 = 3.3V 范围		不支持		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V
转换范围	内部基准电压 = 3.3V 范围		不支持		V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

- (1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

6.13.2.2.4 ADC 运行条件：16 位、差分

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)		5		57	MHz
采样率	200MHz SYSCLK			1.19	MSPS
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置) ⁽¹⁾	R _s 为 50 Ω 或更小，引脚与 AIO	320			ns
	R _s 为 50 Ω 或更小，引脚与 AGPIO	320			
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI ⁽²⁾	内部基准电压 = 3.3V 范围		不支持		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFLO		VSSA		VSSA	V
转换范围	内部基准电压 = 3.3V 范围		不支持		V
	内部基准电压 = 2.5V 范围	0		2.5	V
	外部基准	VREFLO		VREFHI	V

- (1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。

6.13.2.2.5 ADC 特性 - 12 位、单端

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	μs
VREFHI 输入电流 ⁽¹⁾			130		μA
内部基准电容值 ⁽²⁾		2.2			μF
外部基准电容值 ⁽³⁾		2.2			μF
直流特性					
增益误差 ⁽⁷⁾	内部基准电压	-45		45	LSB
	外部基准	-5	±3	5	
偏移误差		-5	±2	5	LSB
通道间增益误差 ⁽⁵⁾			±2		LSB
通道间偏移量误差 ⁽⁵⁾			±2		LSB
ADC 间增益误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±4		LSB
ADC 间偏移量误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±2		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5V, 同步 ADC	-1		1	LSB
ADC 间隔离	VREFHI = 2.5V, 异步 ADC		不支持		LSB
交流特性					
SNR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		69.2		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC (通过 PLL)		64.1		
THD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		-81.5		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		85		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1		69.0		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC		64.0		
ENOB ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 单个 ADC		11.2		位
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 同步 ADC		11.2		
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 异步 ADC		不支持		

6.13.2.2.5 ADC 特性 - 12 位、单端 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦 (1kHz 时)		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦 (300kHz 时)		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时)		60		
	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时)		57		

- (1) 当 ADC 输入大于 VDDA 时, VREFHI 上的负载电流会增加。这会导致转换不准确。
- (2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。可接受高达 $\pm 20\%$ 的容差。
- (3) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。VREFHI 电容取决于基准 IC 缓冲器输出要求。
- (4) 作为减少电容耦合和串扰的最佳实践的一部分, 与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
- (5) 同一 ADC 模块的所有通道之间的差异。
- (6) 与其他 ADC 模块相比的最坏情况变化。
- (7) 使用 PPB 偏移校准功能, 可以自动调整 ADC 结果输出的失调电压误差。

6.13.2.2.6 ADC 特性 - 12 位、差分

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	10.1		11	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	μs
VREFHI 输入电流 ⁽¹⁾			130		μA
内部基准电容值 ⁽²⁾		2.2			μF
外部基准电容值 ⁽³⁾		2.2			μF
直流特性					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5	±3	5	
偏移误差 ⁽⁷⁾		-5	±2	5	LSB
通道间增益误差 ⁽⁵⁾			±2		LSB
通道间偏移量误差 ⁽⁵⁾			±2		LSB
ADC 间增益误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±4		LSB
ADC 间偏移量误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±1		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-2	±0.5	2	LSB
ADC 间隔离	VREFHI = 2.5V, 同步 ADC	-1		1	LSB
ADC 间隔离	VREFHI = 2.5V, 异步 ADC		不支持		LSB
交流特性					
SNR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		72.1		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC (通过 PLL)		65.2		
THD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz		-86.9		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz		90		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		72		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC (通过 PLL)		65.1		
ENOB ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 单个 ADC		11.7		位
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 同步 ADC		11.7		
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 异步 ADC		不支持		

6.13.2.2.6 ADC 特性 - 12 位、差分 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦 (1kHz 时)		60		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦 (300kHz 时)		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时)		60		
	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时)		57		

- (1) 当 ADC 输入大于 VDDA 时, VREFHI 上的负载电流会增加。这会导致转换不准确。
- (2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。可接受高达 $\pm 20\%$ 的容差。
- (3) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。VREFHI 电容取决于基准 IC 缓冲器输出要求。
- (4) 作为减少电容耦合和串扰的最佳实践的一部分, 与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
- (5) 同一 ADC 模块的所有通道之间的差异。
- (6) 与其他 ADC 模块相比的最坏情况变化。
- (7) 使用 PPB 偏移校准功能, 可以自动调整 ADC 结果输出的失调电压误差。

6.13.2.2.7 ADC 特性 - 16 位、单端

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	29.6		31	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	μs
VREFHI 输入电流 ⁽¹⁾			190		μA
内部基准电容值 ⁽²⁾		4.7	22		μF
外部基准电容值 ⁽³⁾		4.7	22		μF
直流特性					
增益误差	内部基准电压 2.5V	-720		720	LSB
	外部基准	-64	±20	64	LSB
偏移量误差 ⁽⁷⁾	内部基准电压 2.5V	-16	±6	16	LSB
	外部基准	-16	±6	16	LSB
通道间增益误差 ⁽⁵⁾			±6		LSB
通道间偏移量误差 ⁽⁵⁾			±6		LSB
ADC 间增益误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
ADC 间偏移量误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-6	±1.5	6	LSB
ADC 间隔	VREFHI = 2.5V, 同步 ADC	-2		2	LSB
ADC 间隔	VREFHI = 2.5V, 异步 ADC		不支持		LSB
交流特性					
SNR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		83.5		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC (通过 PLL)		78.2		
THD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz		-95		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz		93		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		83.2		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC (通过 PLL)		78.1		
ENOB ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 单个 ADC		13.5		位
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 同步 ADC		13.5		
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 异步 ADC		不支持		

6.13.2.2.7 ADC 特性 - 16 位、单端 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦 (1kHz 时)		77		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦 (800kHz 时)		74		
	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时)		77		
	VDDA = 3.3V 直流 + 200mV 正弦 (800kHz 时)		74		

- (1) 当 ADC 输入大于 VDDA 时, VREFHI 上的负载电流会增加。这会导致转换不准确。
- (2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。可接受高达 $\pm 20\%$ 的容差。
- (3) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。VREFHI 电容取决于基准 IC 缓冲器输出要求。
- (4) 作为减少电容耦合和串扰的最佳实践的一部分, 与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
- (5) 同一 ADC 模块的所有通道之间的差异。
- (6) 与其他 ADC 模块相比的最坏情况变化。
- (7) 使用 PPB 偏移校准功能, 可以自动调整 ADC 结果输出的失调电压误差。

6.13.2.2.8 ADC 特性 - 16 位、差分

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	200MHz SYSCLK	29.6		31	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	μs
VREFHI 输入电流 ⁽¹⁾			190		μA
内部基准电容值 ⁽²⁾		4.7	22		μF
外部基准电容值 ⁽³⁾		4.7	22		μF
直流特性					
增益误差	内部基准电压 2.5V	-720		720	LSB
	外部基准	-64	±9	64	LSB
偏移量误差 ⁽⁷⁾	内部基准电压 2.5V	-6	±4	6	LSB
	外部基准	-6	±4	6	LSB
通道间增益误差 ⁽⁵⁾			±6		LSB
通道间偏移量误差 ⁽⁵⁾			±3		LSB
ADC 间增益误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
ADC 间偏移量误差 ⁽⁶⁾	所有 ADC 的 VREFHI 和 VREFLO 都相同		±3		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-3.5	±1.0	3.5	LSB
ADC 间隔	VREFHI = 2.5V, 同步 ADC	-2		2	LSB
ADC 间隔	VREFHI = 2.5V, 异步 ADC		不支持		LSB
交流特性					
SNR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		89.8		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC (通过 PLL)		66.3		
THD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz		-98		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz		99		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1 (通过 PLL)		89.2		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 INTOSC (通过 PLL)		66.1		
ENOB ⁽⁴⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 单个 ADC		14.52		位
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 同步 ADC		14.52		
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 异步 ADC		不支持		

6.13.2.2.8 ADC 特性 - 16 位、差分 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦 (1kHz 时)		77		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦 (300kHz 时)		74		
	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时)		77		
	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时)		74		

- (1) 当 ADC 输入大于 VDDA 时, VREFHI 上的负载电流会增加。这会导致转换不准确。
- (2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。可接受高达 $\pm 20\%$ 的容差。
- (3) 最好使用封装尺寸为 0805 或更小的陶瓷电容器, 并靠近 VREFHI 引脚放置。VREFHI 电容取决于基准 IC 缓冲器输出要求。
- (4) 作为减少电容耦合和串扰的最佳实践的一部分, 与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
- (5) 同一 ADC 模块的所有通道之间的差异。
- (6) 与其他 ADC 模块相比的最坏情况变化。
- (7) 使用 PPB 偏移校准功能, 可以自动调整 ADC 结果输出的失调电压误差。

6.13.2.2.9 ADC INL 和 DNL

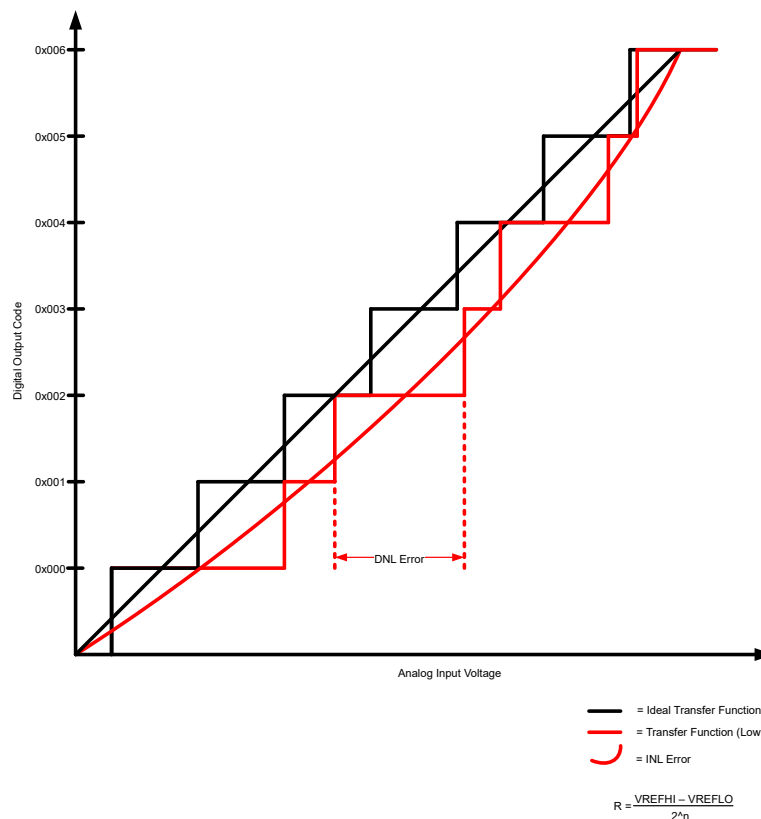


图 6-52. ADC INL 和 DNL

6.13.2.2.10 每个引脚的 ADC 性能

每个引脚的 ADC 性能均受相邻引脚的影响。以下各图详细说明了这些引脚的性能差异。

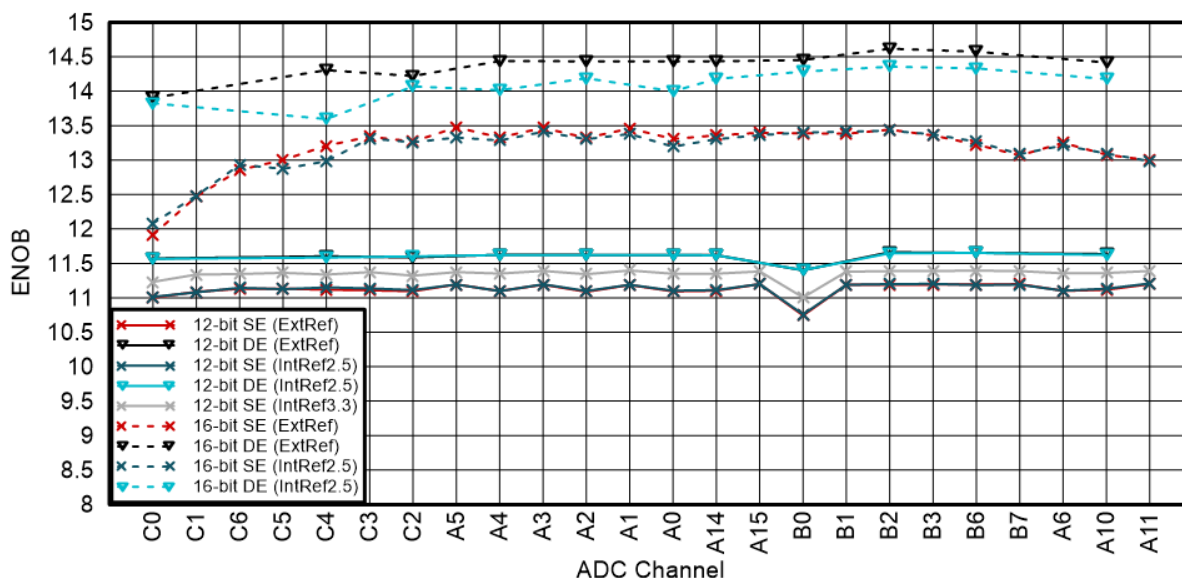


图 6-53. 100 引脚 PZP 的每通道 ENOB

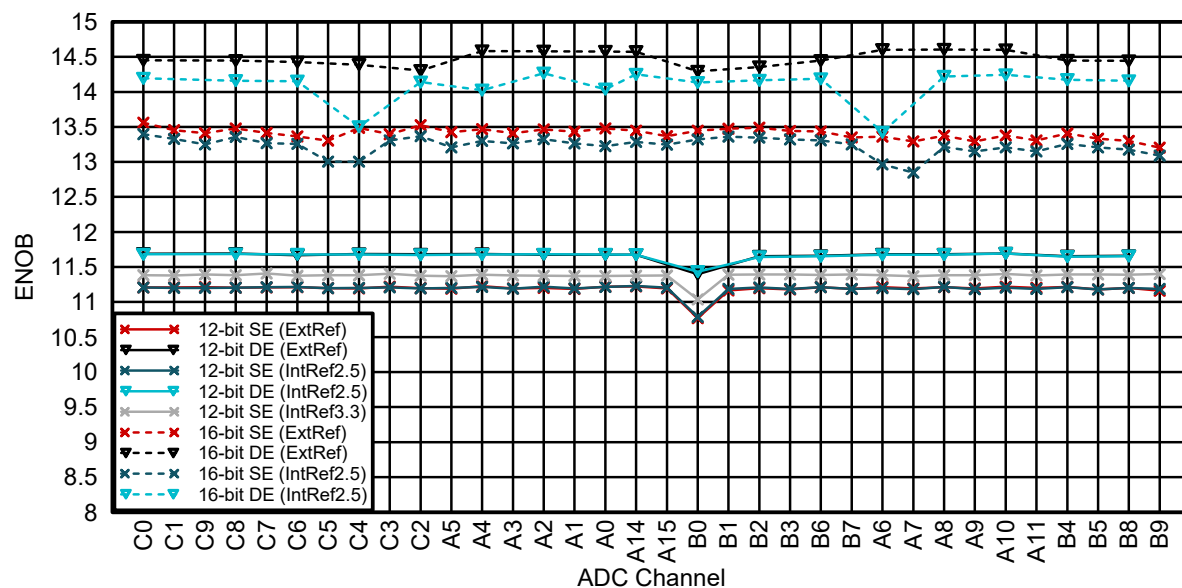


图 6-54. 169 焊球 NMR 的每通道 ENOB

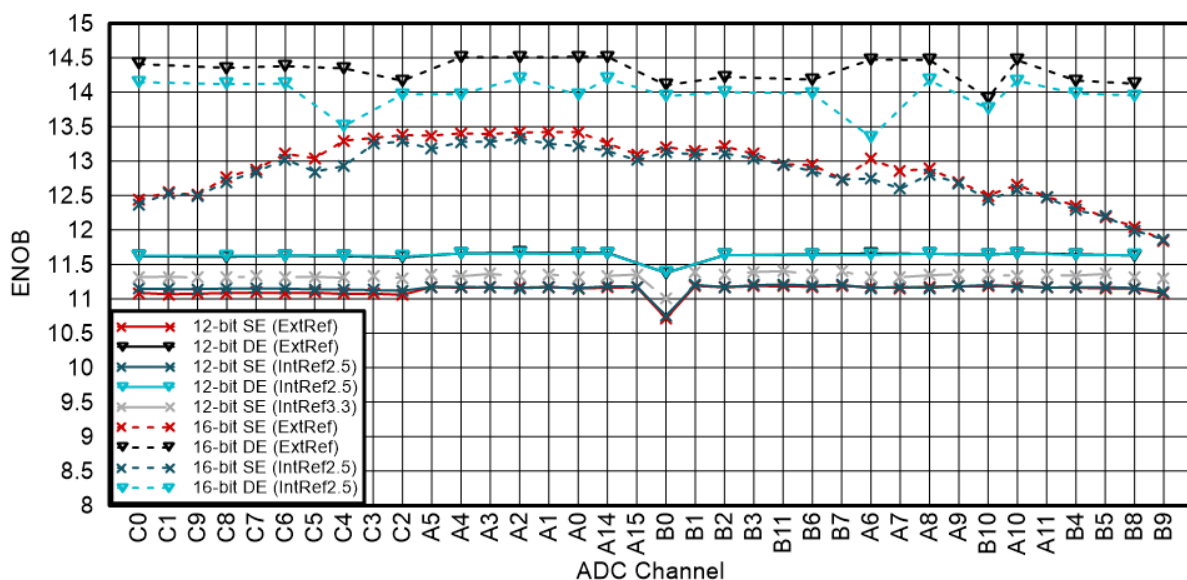


图 6-55. 176 引脚 PTP 的每通道 ENOB

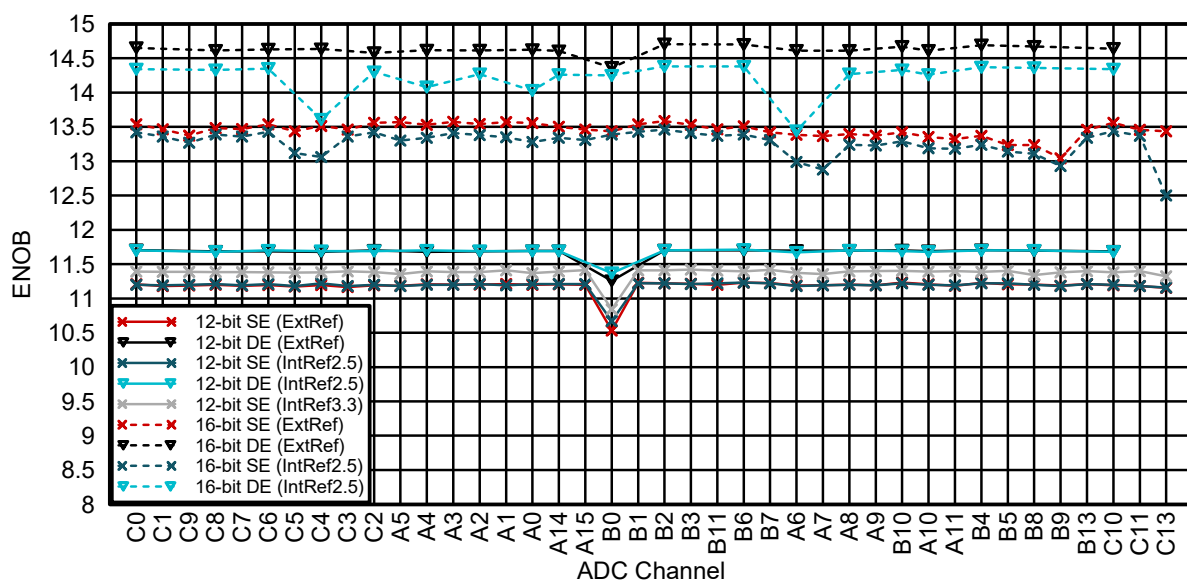


图 6-56. 256 焊球 ZEJ 的每通道 ENOB

6.13.2.2.11 ADC 输入模型

ADC 输入特性由表 6-17、表 6-18、图 6-57 和图 6-58 给出。

表 6-17. 单端输入模型参数 (12 位分辨率)

	说明	值
C_p	寄生输入电容	请参阅 表 6-21 至 表 6-24
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	14.5pF
R_s	标称源阻抗	50Ω

表 6-18. 单端输入模型参数 (16 位分辨率)

	说明	值
C_p	寄生输入电容	请参阅 表 6-21 至 表 6-24
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	32.5pF
R_s	标称源阻抗	50Ω

表 6-19. 差分输入模型参数 (12 位分辨率)

	说明	值
C_p	寄生输入电容	请参阅 表 6-21 至 表 6-24
R_{on}	采样开关电阻	700Ω
C_h	采样电容器	7.5pF
R_s	标称源阻抗	50Ω

表 6-20. 差分输入模型参数 (16 位分辨率)

	说明	值
C_p	寄生输入电容	请参阅 表 6-21 至 表 6-24
R_{on}	采样开关电阻	700Ω
C_h	采样电容器	16.5pF
R_s	标称源阻抗	50Ω

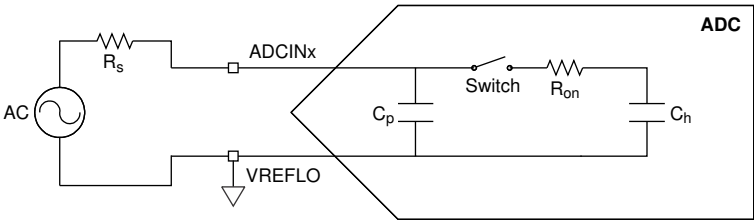


图 6-57. 单端输入模型

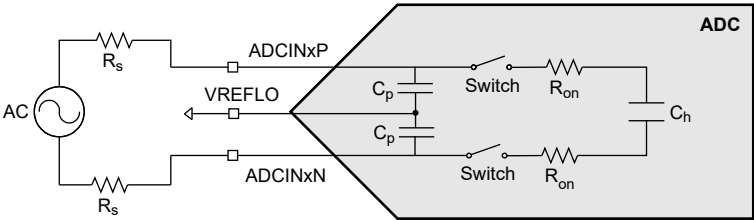


图 6-58. 差分输入模型

应将这些输入模型与实际信号源阻抗配合使用，来确定采集窗口持续时间。有关更多信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中“模数转换器 (ADC)”一章的 [选择采集窗口持续时间](#) 一节。有关改进 ADC 输入电路的建议，请参阅 [C2000 MCU 的 ADC 输入电路评估](#) 应用手册。

表 6-21. 256 焊球 ZEJ nFBGA 的每通道寄生电容

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
A0	4.6	7.1
A1	2.7	5.2
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8
A6	2	4.5
A7	2.7	5.2
A8	2.6	5.1
A9	2.8	5.3
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B4	2.6	5.1
B5	2.1	4.6
B6	2.4	4.9
B7	2.6	5.1
B8	2.6	5.1
B9	2.5	5
B10	3.6	6.1
B11	2.8	5.3
B13	1.9	4.4
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3
C7	2.3	4.8
C8	1.1	3.6
C9	1.2	3.7
C10	1.1	3.6
C11	1.7	4.2

表 6-21. 256 焊球 ZEJ nFBGA 的每通道寄生电容 (续)

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
C13	1.9	4.4

表 6-22. 176 引脚 PTP HLQFP 的每通道寄生电容

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
A0	4.6	7.1
A1	2.7	5.2
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8
A6	2	4.5
A7	2.7	5.2
A8	2.6	5.1
A9	2.8	5.3
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B4	2.6	5.1
B5	2.1	4.6
B6	2.4	4.9
B7	2.6	5.1
B8	2.6	5.1
B9	2.5	5
B10	3.6	6.1
B11	2.8	5.3
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3
C7	2.3	4.8
C8	1.1	3.6
C9	1.2	3.7

表 6-23. 169 焊球 NMR nFBGA 的每通道寄生电容

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
A0	4.6	7.1
A1	2.7	5.2
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8
A6	2	4.5
A7	2.7	5.2
A8	2.6	5.1
A9	2.8	5.3
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B4	2.6	5.1
B5	2.1	4.6
B6	2.4	4.9
B7	2.6	5.1
B8	2.6	5.1
B9	2.5	5
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3
C7	2.3	4.8
C8	1.1	3.6
C9	1.2	3.7

表 6-24. 100 引脚 PZP HTQFP 的每通道寄生电容

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
A0	4.6	7.1
A1	2.7	5.2
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8

表 6-24. 100 引脚 PZP HTQFP 的每通道寄生电容 (续)

ADC 通道	C _p (pF)	
	比较器已禁用	比较器已启用
A6	2	4.5
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B6	2.4	4.9
B7	2.6	5.1
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3

6.13.2.2.12 ADC 时序图

下图展示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志 (该标志是否传播到 CPU 以引起中断取决于中断控制器中的配置)。

表 6-25 列出了 ADC 时序参数的说明。表 6-26 和 表 6-27 列出了 ADC 时序。

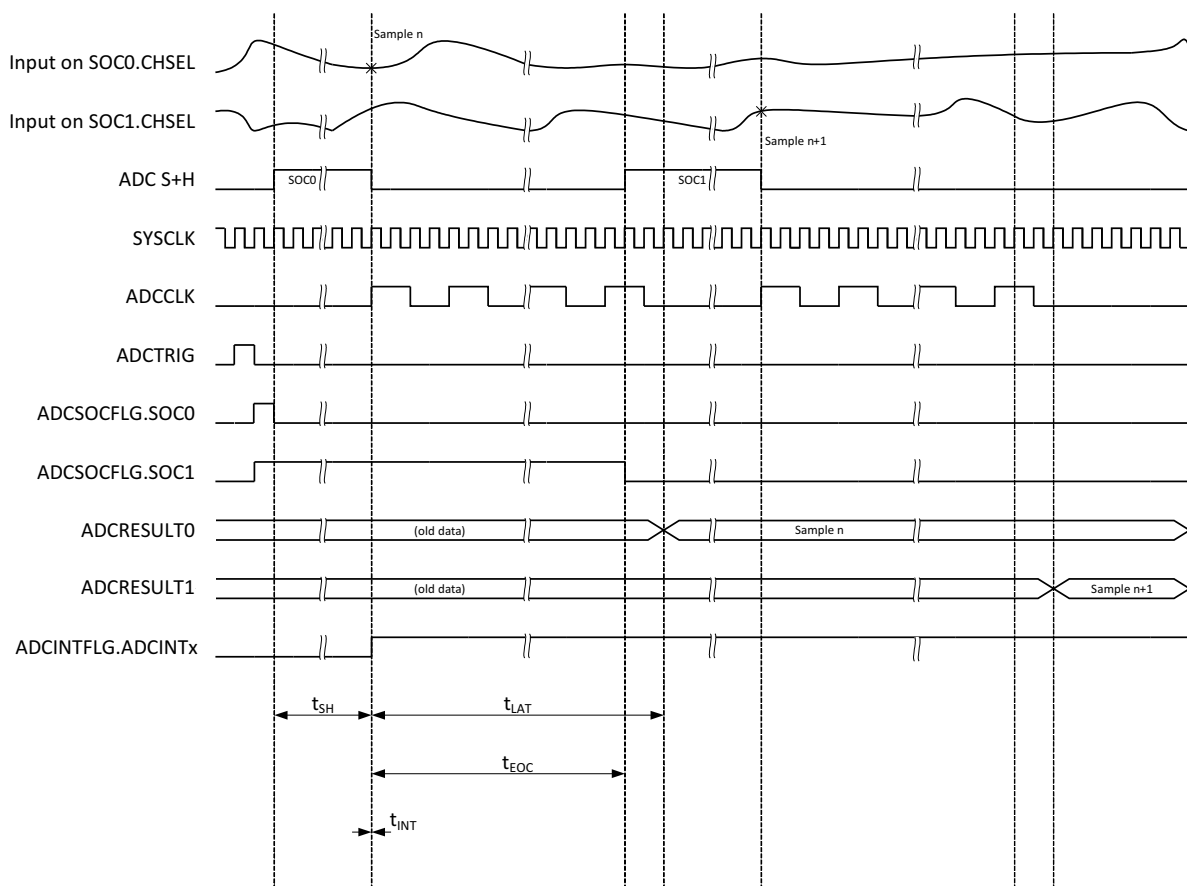


图 6-59. 提前中断模式下 12 位模式的 ADC 时序

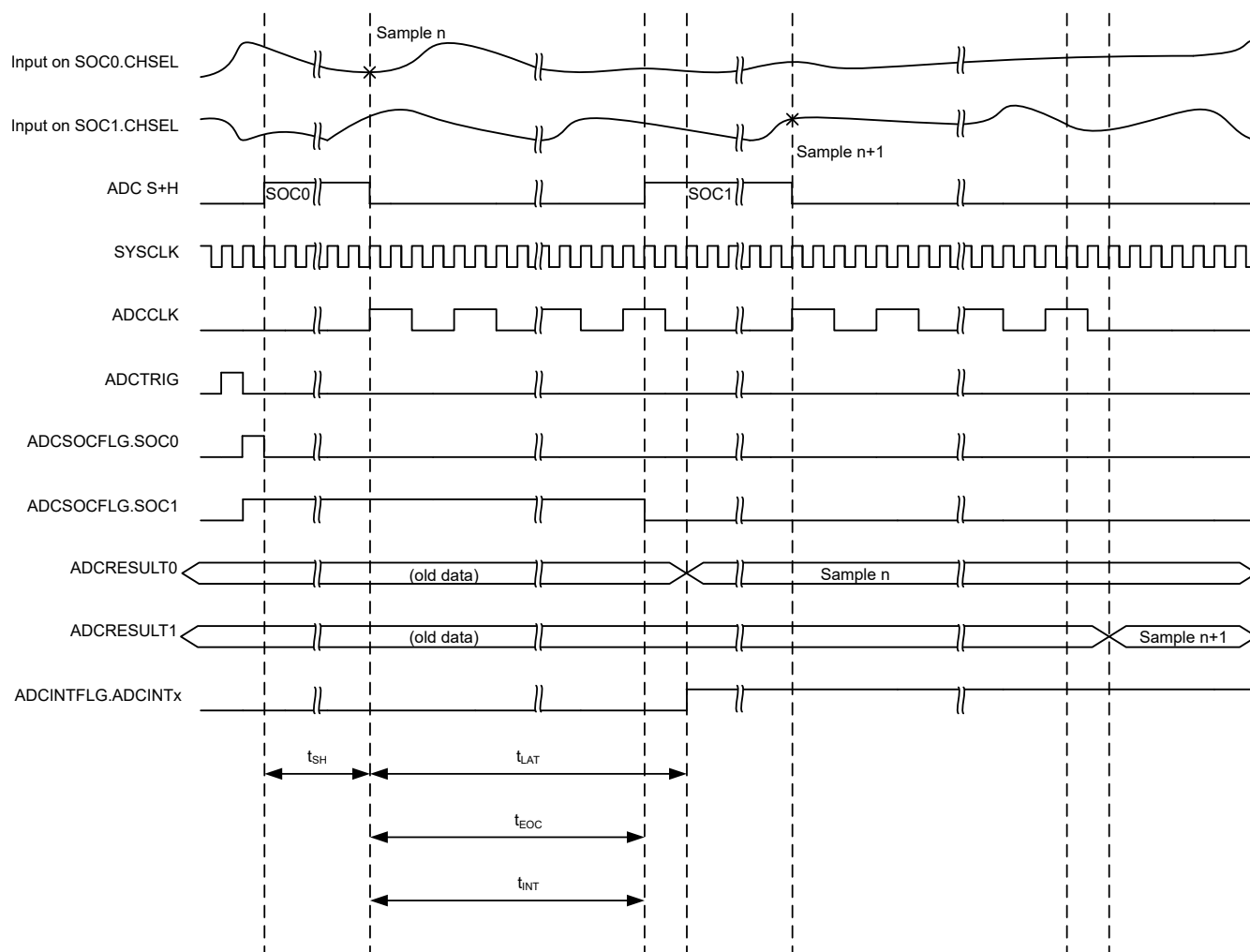


图 6-60. 后期中断模式下 12 位模式的 ADC 时序

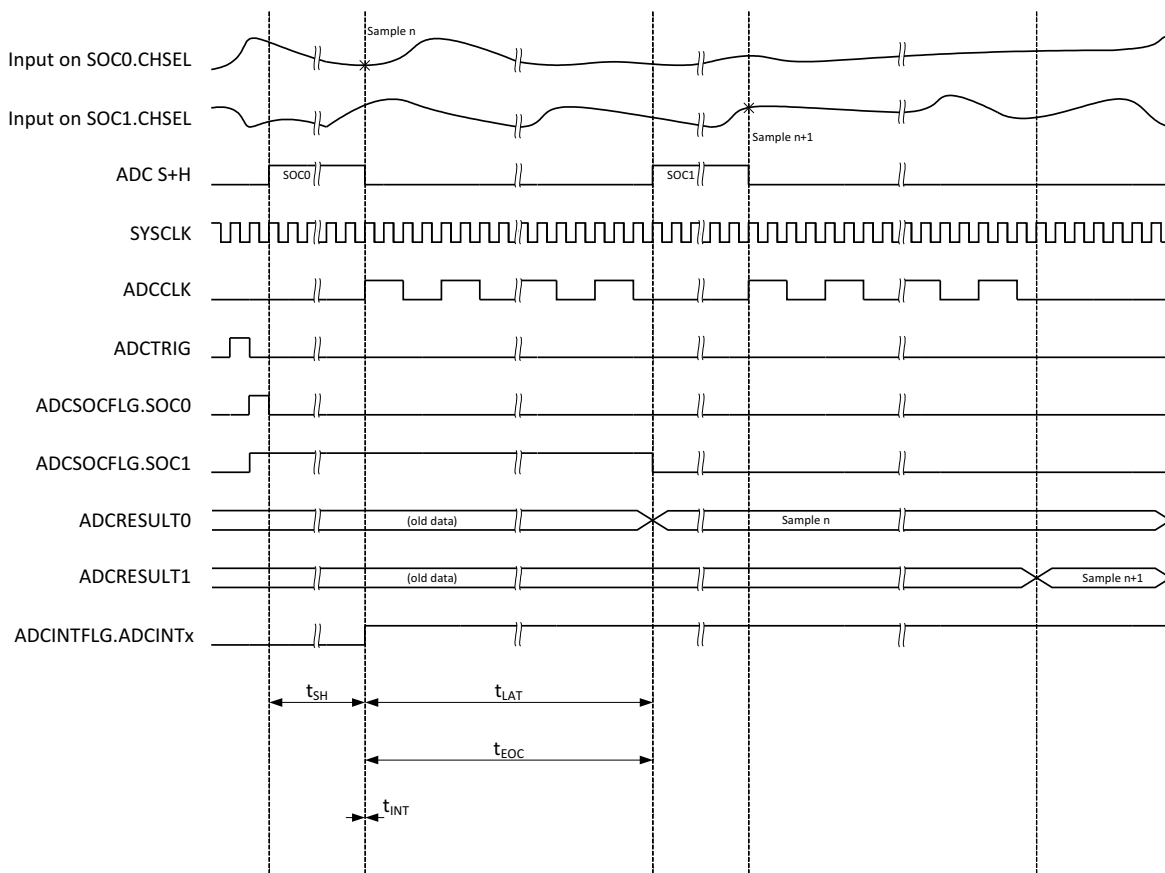


图 6-61. 提前中断模式下 16 位模式的 ADC 时序

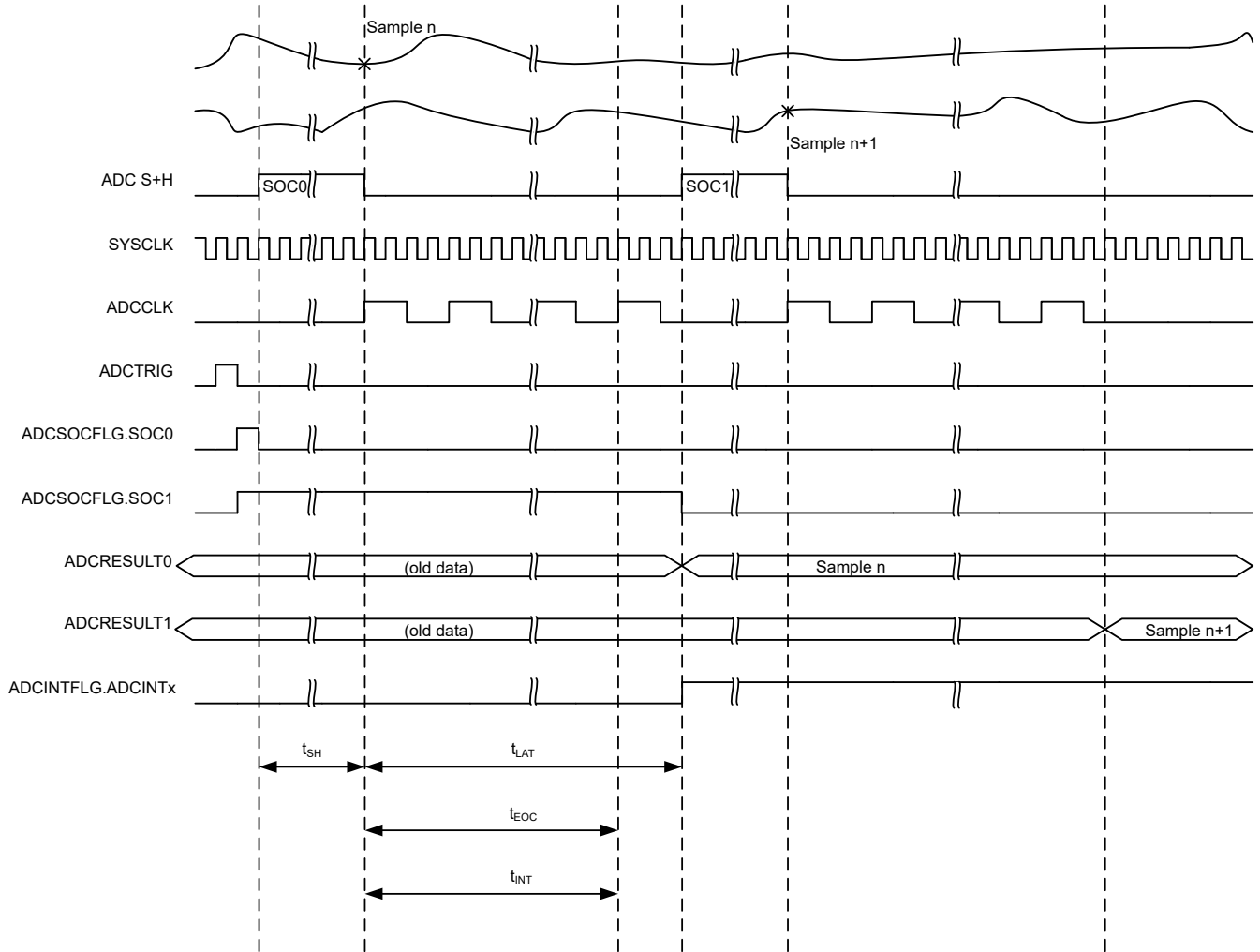


图 6-62. 后期中断模式下 16 位模式的 ADC 时序 (SYSCLK 周期)

表 6-25. ADC 时序参数说明

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 $(ACQPS + 1)$ 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 注意：无论器件时钟设置如何，S+H 电容器上的值均在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，返回的是之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。在 16 位模式下，这将与转换结果的锁存一致，而在 12 位模式下，后续采样可以在转换结果被锁存之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被置位，t_{INT} 将与转换结束 (EOC) 信号相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（直接通过 DMA 读取或间接地通过触发读取结果的 ISR 来读取），必须注意确保读取发生在结果锁存之后（否则，读取的是之前的结果）。 如果 INTPULSEPOS 位为 0，并且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0，则在设置 ADCINT 标志之前会有 OFFSET SYSCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR 或触发 DMA。
t_{DMA}	当 ADCCTL1.TDMAEN = 1 时，从 S+H 窗口结束到触发 DMA 读取 ADC 转换结果的时间。 如果 TDMAEN 设置为 0，则会在 t_{INT} 时发生 DMA 触发。在某些情况下，可以在 ADCRESULT 值被锁存之前设置 ADCINT 标志。为了确保 DMA 读取发生在 ADCRESULT 值被锁存之后，应向 ADCCTL1.TDMAEN 写入 1 来启用 DMA 时序。

表 6-26. 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2. 预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early) ⁽¹⁾	t_{INT} (Late)	t_{DMA}
0	1	11	13	0	11	13
2	2	21	23	0	21	23
3	2.5	26	28	0	26	28
4	3	31	34	0	31	34
5	3.5	36	39	0	36	39
6	4	41	44	0	41	44
7	4.5	46	49	0	46	49
8	5	51	55	0	51	55
9	5.5	56	60	0	56	60
10	6	61	65	0	61	65
11	6.5	66	70	0	66	70
12	7	71	76	0	71	76
13	7.5	76	81	0	76	81
14	8	81	86	0	81	86
15	8.5	86	91	0	86	91

(1) 默认情况下, 如果 INTULSEPOS 为 0, 则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

表 6-27. 16 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2. 预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early) ⁽¹⁾	t_{INT} (Late)	t_{DMA}
0	1	31	32	0	31	32
2	2	60	61	0	60	61
3	2.5	75	75	0	75	75
4	3	90	91	0	90	91
5	3.5	104	106	0	104	106
6	4	119	120	0	119	120
7	4.5	134	134	0	134	134
8	5	149	150	0	149	150
9	5.5	163	165	0	163	165
10	6	178	179	0	178	179
11	6.5	193	193	0	193	193
12	7	208	209	0	208	209
13	7.5	222	224	0	222	224
14	8	237	238	0	237	238
15	8.5	252	252	0	252	252

(1) 默认情况下, 如果 INTULSEPOS 为 0, 则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

6.13.3 温度传感器

6.13.3.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足温度传感器特性表中的采集时间要求。

6.13.3.1.1 温度传感器特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
T _{acc}	内部基准 (-40°C 至 30°C)	-11	±2	11	°C
	内部基准 (30°C 至 85°C)	-4	±2	7	°C
	内部基准 (85°C 至 125°C)	-3	±2	10	°C
	内部基准 (125°C 至 140°C)	-2	±2	12	°C
	外部基准 (-40°C 至 30°C)	-4	±2	7	°C
	外部基准 (30°C 至 140°C)	-3	±2	7	°C
t _{startup}	启动时间 (TSNCTL[ENABLE] 至采样温度传感器)		500		μs
t _{acq}	ADC 采集时间	450			ns

6.13.4 比较器子系统 (CMPSS)

比较器子系统 (CMPSS) 由模拟比较器和支持电路组成，这些电路对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC。该子系统还包括两个斜坡发生器。斜坡发生器可进行斜升和斜降。比较器在每个模块中用“H”或“L”表示，其中“H”代表高电平，“L”代表低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由一个外部引脚驱动（请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中的“模拟子系统”一章，了解适用于 CMPSS 的多路复用器选项）。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。两个斜坡发生器电路可用于控制该子系统中高电平和低电平比较器的基准 12 位 DAC 值。DAC 及包装器可用于产生斜坡，进而用于峰值电流模式控制 (PCMC) 和其他应用中的斜率补偿。该子系统还可与 EPWM 配合使用，来支持二极管仿真模式。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可独立编程的基准 12 位 DAC
- 两个递减/递增斜坡发生器
- 两个数字滤波器，最大滤波器时钟预分频为 2^{24}
- 能够将各个子模块与 EPWMSYNCPER 同步
- 能够通过 EPWMBLANK 扩展清除信号
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 从外部连接到 CMPSS 滤波器
- 支持二极管仿真
- 支持与 ePWM 连接以进行二极管仿真
- 斜坡发生器预分频器
- 从待机状态唤醒并停止 LPM（低功耗模式），由 CMPSS 跳闸输出进行触发

6.13.4.1 CMPSS 连接图

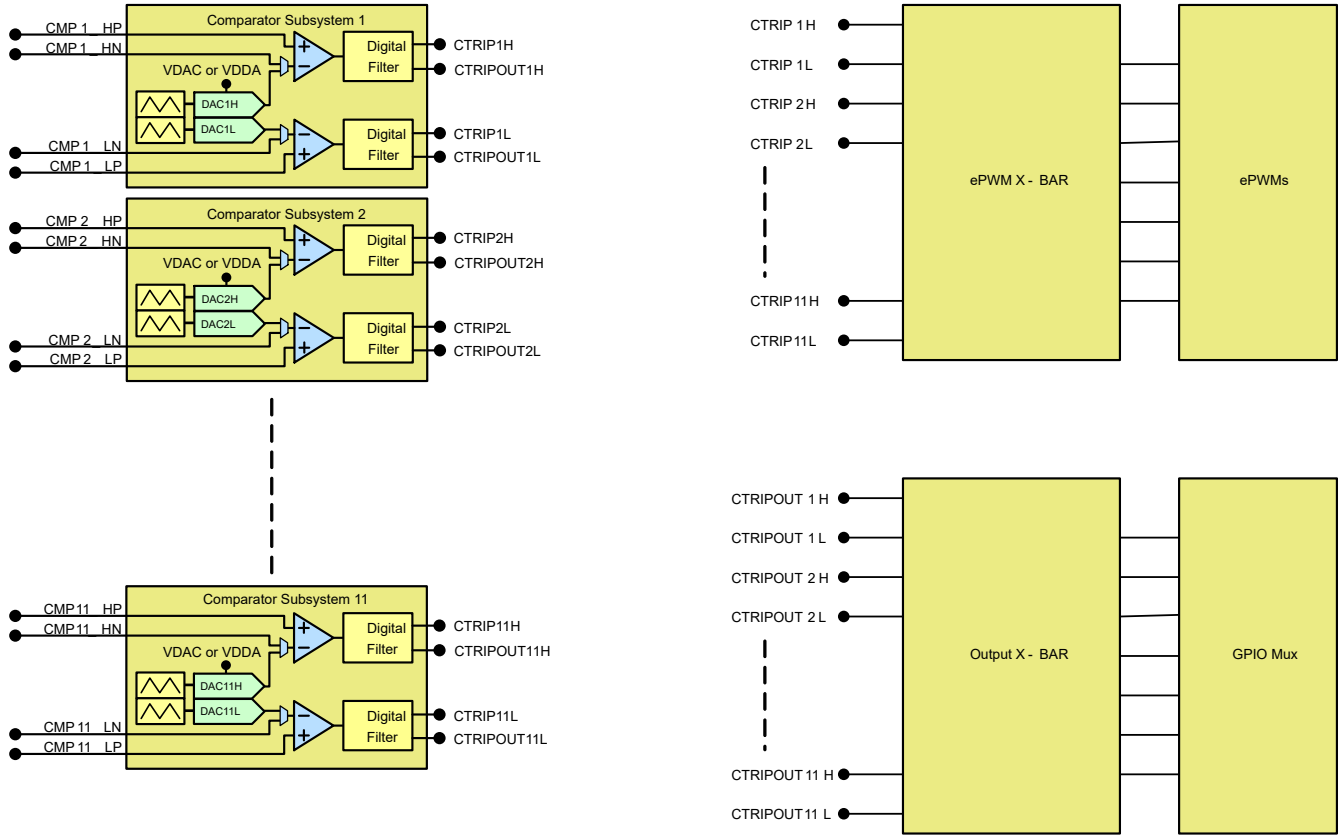


图 6-63. CMPSS 连接

6.13.4.2 方框图

CMPSS 的方框图如 图 6-64 所示。

- CTRIPx (x= "H" 或 "L") 信号连接至 ePWM X-BAR , 用于 ePWM 跳闸响应。有关 ePWM X-BAR mux 配置的更多详细信息, 请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“增强型脉宽调制器 (ePWM)”一章。
- CTRIPxOUTx (x= “H” 或 “L”) 信号连接到输出 X-BAR , 用于外部信号。有关输出 X-BAR mux 配置的更多详细信息, 请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) “通用输入/输出 (GPIO)”一章。

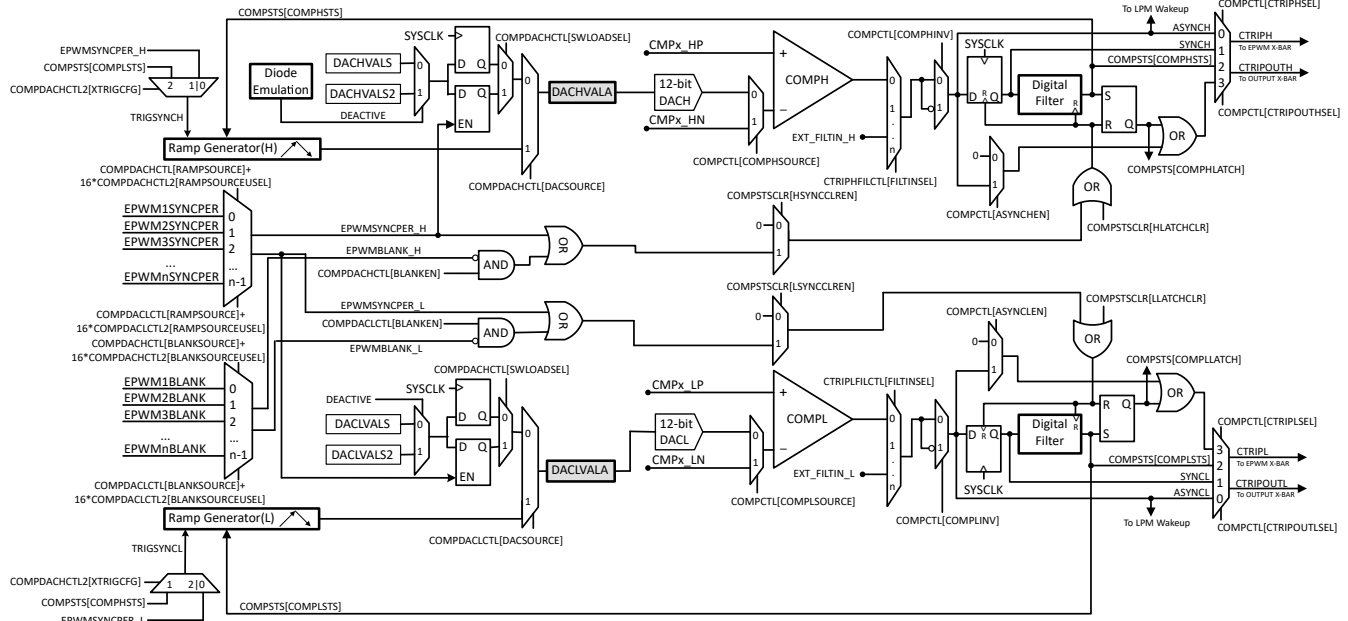


图 6-64. CMPSS 模块方框图

每个基准 12 位 DAC 都可以配置为将基准电压驱动到相应比较器的负输入端。基准 12 位 DAC 输出仅为内部输出，无法从外部观察到。基准 12 位 DAC 如图 6-65 所示。

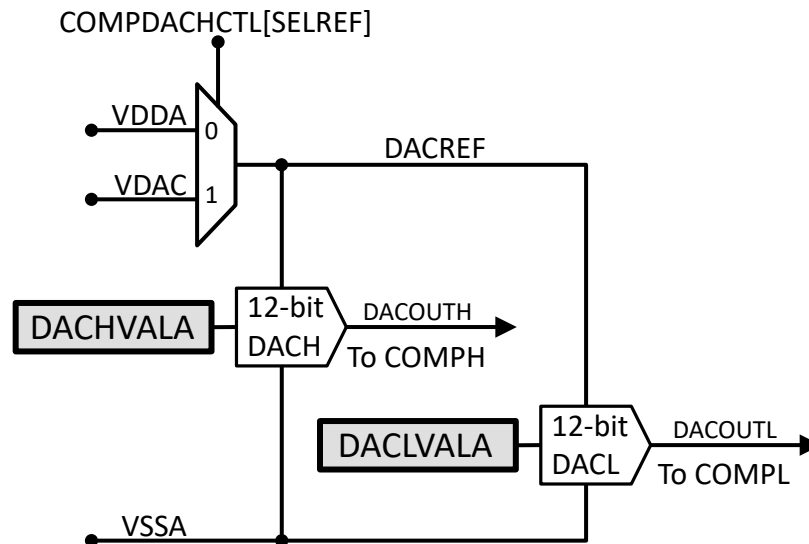


图 6-65. 参考设计方框图

6.13.4.3 CMPSS 电气数据和时序

6.13.4.3.1 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
TPU 上电时间				500	μs
比较器输入 (CMPINxx) 范围		0		VDDA	V
以输入为基准的失调电压误差	低共模，反相输入设置为 50mV	-20		20	mV
迟滞 ⁽¹⁾	1x	4	12	20	LSB
	2x	17	24	33	
	3x	25	36	50	
	4x	30	48	67	
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）	阶跃响应		21	60	ns
	斜坡响应 (1.65V/μs)		26		
	斜坡响应 (8.25mV/μs)		30		ns
PSRR 电源抑制比	高达 250kHz		46		dB
CMRR 共模抑制比		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

CMPSS 比较器以输入为基准的偏移量和迟滞

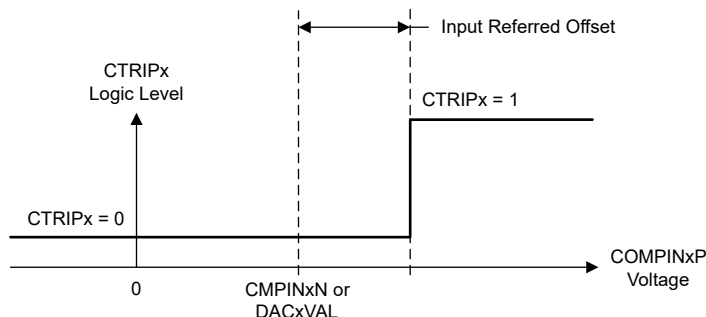


图 6-66. CMPSS 比较器以输入为基准的偏移量

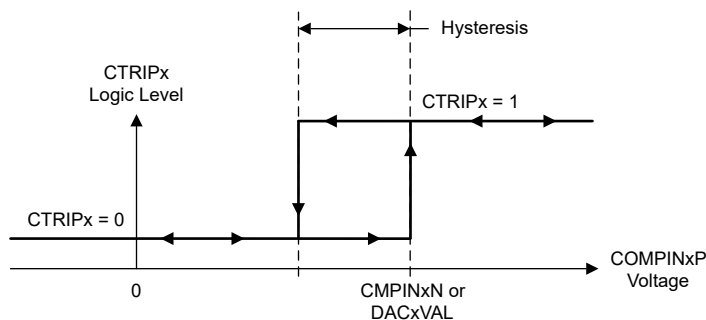


图 6-67. CMPSS 比较器迟滞

6.13.4.3.2 CMPSS DAC 静态电气特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
	外部基准	0		VDAC ⁽⁴⁾	
静态失调电压误差 ⁽¹⁾		-25		25	mV
静态增益误差 ⁽¹⁾		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
稳定时间	满量程输出变化后稳定到 1LSB			1	μs
分辨率			12		位
CMPSS DAC 输出干扰 ⁽²⁾	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间 ⁽²⁾				200	ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	VDDA	V
VDAC 负载 ⁽³⁾	当 VDAC 为基准时	6	8	10	kΩ

- (1) 包含以比较器输入为基准的误差。
(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。
(3) 每个有源 CMPSS 模块。
(4) 当 VDAC > VDDA 时，最大输出电压为 VDDA。

6.13.4.3.3 CMPSS 示意图

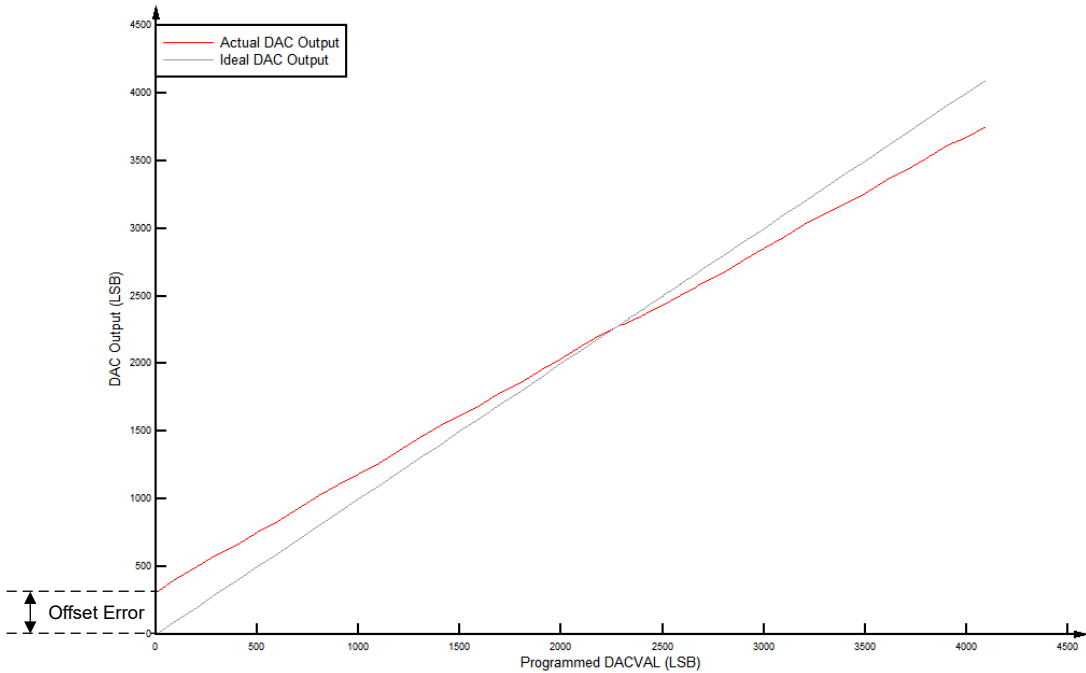


图 6-68. CMPSS DAC 静态偏移量

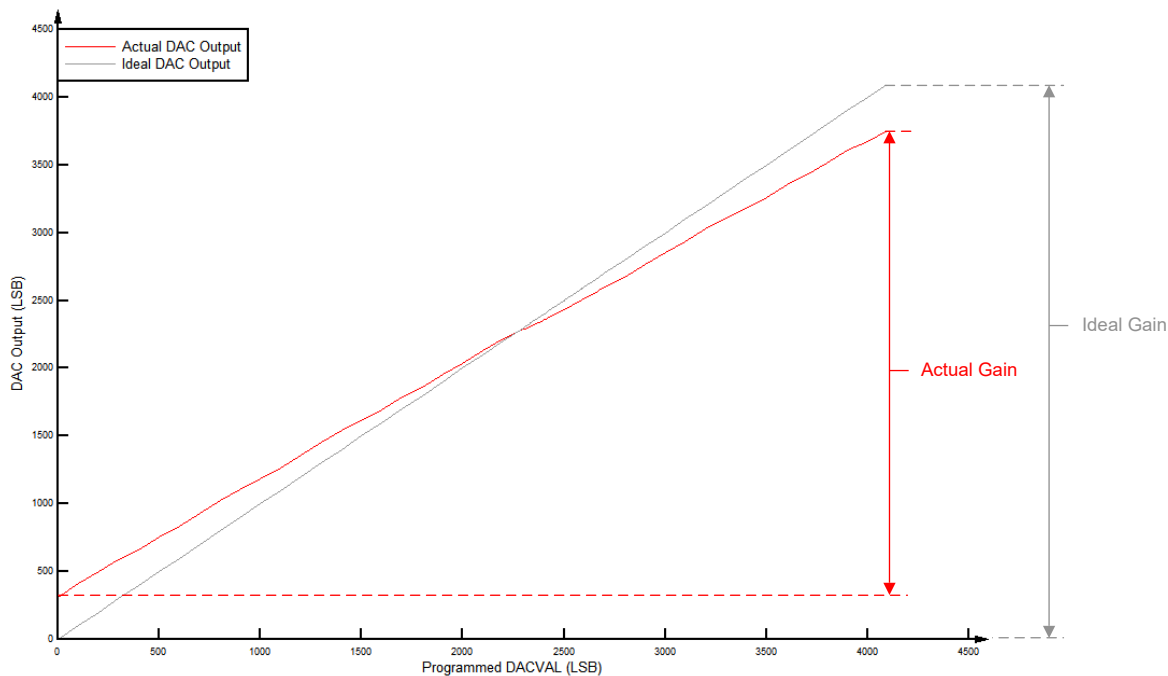


图 6-69. CMPSS DAC 静态增益

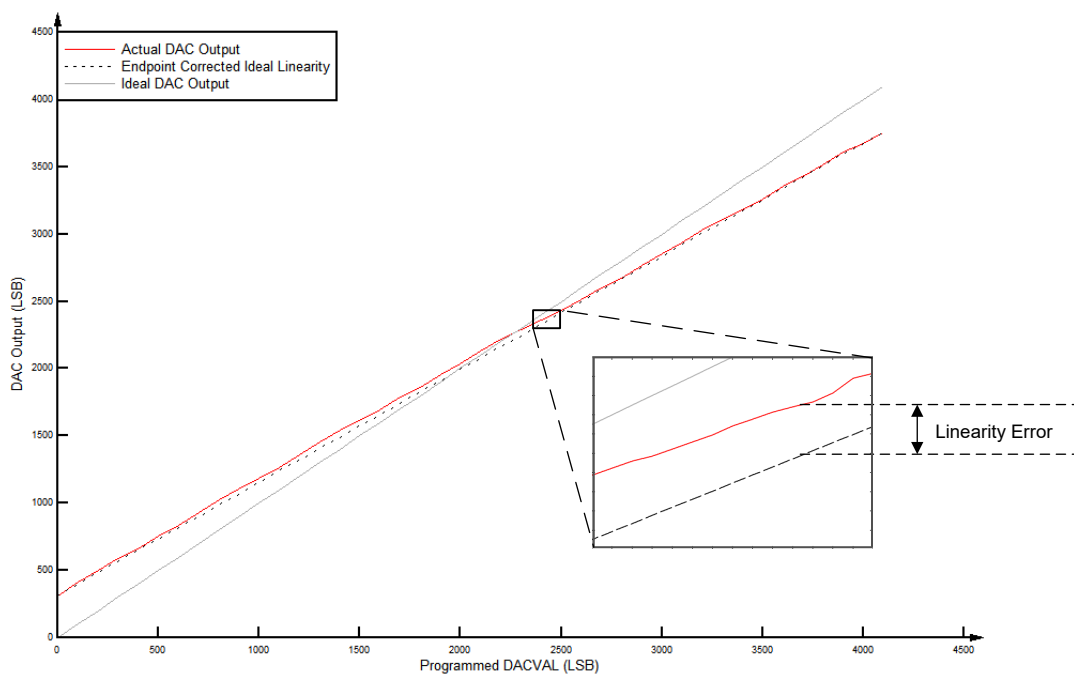


图 6-70. CMPSS DAC 静态线性

6.13.4.3.4 CMPSS DAC 动态误差

当使用斜坡发生器控制内部 DAC 时，阶跃大小可以根据应用需求而变化。由于 DAC 的阶跃大小小于满量程转换，因此，稳定时间比 **CMPSS DAC 静态电气特性** 表中列出的电气规格有所改善。下面的公式和图 6-71 可以根据不同的 RAMPxSTEPVALA 值，提供有关与理想值之间预期电压误差的指导。

$$DYNAMICERROR = (m \times RAMPxSTEPVALA) + b \quad (3)$$

表 6-28. DAC 最大动态误差项

公式参数	最小值 (LSB)	最大值 (LSB)
m	0.167	0.30
b	3.7	5.6

备注

上述误差项基于目标器件的最大 SYSCLK。如果在最大 SYSCLK 以下运行，则“m”误差项应相应调整。

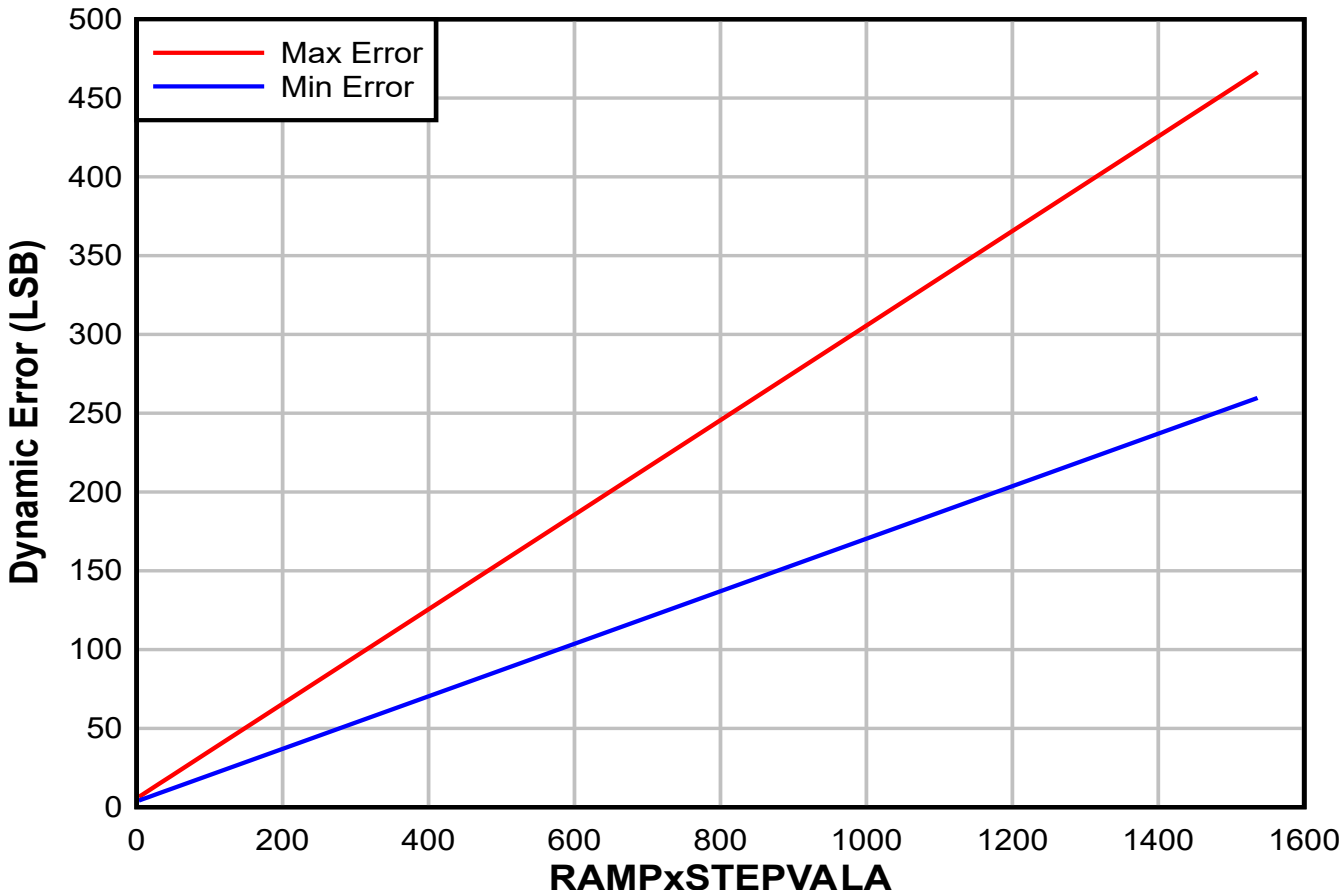


图 6-71. CMPSS DAC 动态误差

6.13.5 缓冲数模转换器 (DAC)

缓冲 DAC 模块由一个内部 12 位 DAC 和一个可以驱动外部负载的模拟输出缓冲器组成。为了驱动比典型值更高的负载，可以在负载大小和输出电压摆幅之间进行权衡。对于缓冲 DAC 的负载条件，请参阅缓冲 DAC 电气数据和时序部分。缓冲 DAC 是一种通用 DAC，可用于生成直流电压或交流波形，例如正弦波、方波、三角波等。软件写入 DAC 值寄存器可立即生效，也可以与 EPWMSYNCO 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位分辨率
- 可选的基准电压源
- 使用内部 VREFHI 时的 X1 和 x2 增益模式
- 能够与 EPWMSYNCPER 同步

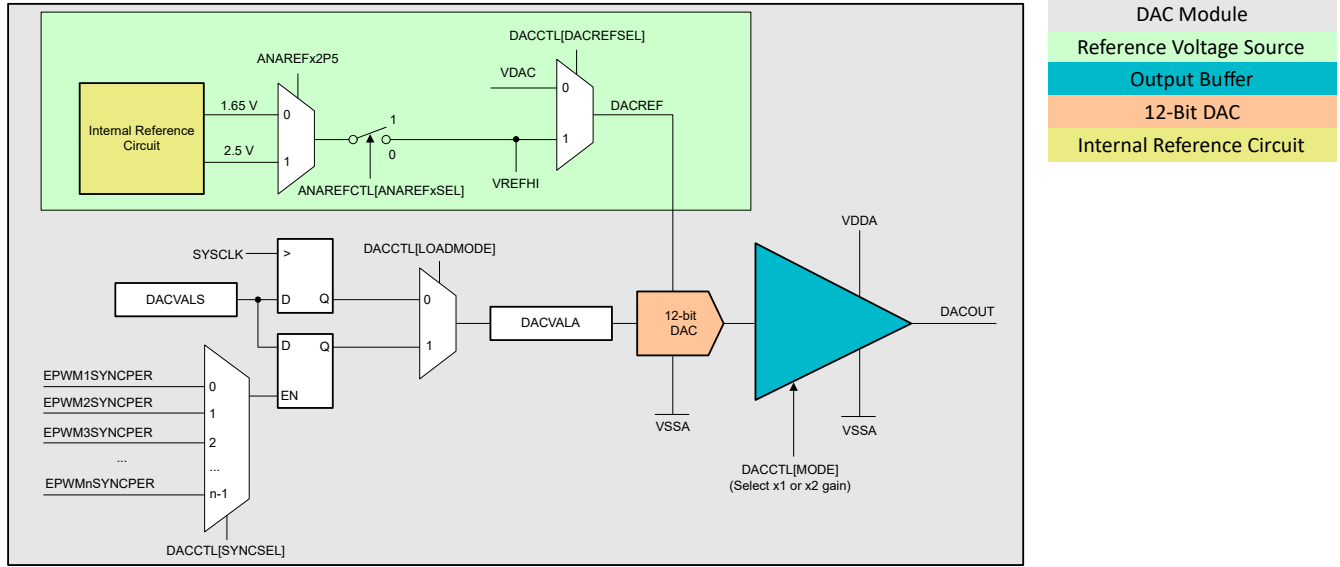


图 6-72. DAC 模块方框图

6.13.5.1 缓冲 DAC 电气数据和时序

6.13.5.1.1 缓冲 DAC 运行条件

在建议运行条件下测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
R _L	电阻负载 ⁽²⁾		5			k Ω
C _L	容性负载				100	pF
V _{OUT}	有效输出电压范围 ⁽³⁾	R _L = 5k Ω	0.3		V _{DDA} - 0.3	V
		R _L = 1k Ω	0.6		V _{DDA} - 0.6	V
基准电压 ⁽⁴⁾		VDAC 或 VREFHI	2.4	2.5 或 3.0	V _{DDA}	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的, 除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。

(2) DAC 可以驱动最小 1k Ω 的阻性负载, 但输出范围会受到限制。

(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压, 但由于缓冲器的原因, 输出电压将不呈线性。

(4) 为了获得卓越 PSRR 性能, VDAC 或 VREFHI 应小于 V_{DDA}。

6.13.5.1.2 缓冲 DAC 电气特性

在建议运行条件下测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率			12			位
负载调整率			-1		1	mV/V
毛刺脉冲能量			1.5			V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	μs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	μs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/μs
负载瞬态的稳定时间		5k Ω 负载			328	ns
		1k Ω 负载			557	ns
基准输入电阻 ⁽²⁾		VDAC 或 VREFHI	160	200	240	k Ω
TPU	上电时间	外部基准模式			500	μs
		内部基准模式			5000	μs
直流特性						
偏移	偏移量误差	中点	-10		10	mV
增益	增益误差 ⁽³⁾		-2.5		2.5	FSR 百分比
DNL	微分非线性 ⁽⁴⁾	已更正端点	-1	±0.4	1	LSB
INL	积分非线性	已更正端点	-5	±2	5	LSB
交流特性						
输出噪声		从 100 Hz 到 100 kHz 的积分噪声		600		μVrms
		10 kHz 时的噪声密度		800		nVrms/ √ Hz
SNR	信噪比	1kHz, 200KSPS		64		dB
THD	总谐波失真	1kHz, 200KSPS		-64.2		dB
SFDR	无杂散动态范围	1kHz, 200KSPS		66		dB
SINAD	信噪比和失真比	1kHz, 200KSPS		61.7		dB

6.13.5.1.2 缓冲 DAC 电气特性 (续)

在建议运行条件下测得 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比 ⁽⁵⁾	DC		70		dB
		100kHz		30		dB

- (1) 典型值是在 $V_{REFHI} = 3.3V$ 和 $V_{REFLO} = 0V$ 时测得的, 除非另外注明。在 $V_{REFHI} = 2.5V$ 和 $V_{REFLO} = 0V$ 条件下对最小值和最大值进行测试或表征。
- (2) 每个有源缓冲 DAC 模块。
- (3) 增益误差是在线性输出范围内计算得出。
- (4) DAC 输出是单调输出。
- (5) $V_{REFHI} = 3.2V$, $V_{DDA} = 3.3V$ DC + 100mV 正弦。

6.14 C28x 控制外设

备注

有关特定器件上每个外设的实际数量，请参阅“器件比较”表。

6.14.1 增强型捕获 (eCAP)

eCAP 模块的特性包括：

- 测量旋转机械的速度（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

本节介绍的 eCAP 模块特性包括：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在深度为 4 的循环缓冲器中以连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
 - 向 ECCTL2[CTRFILTRESET] 写入 1 会清零事件过滤器、模数计数器和任何挂起的中断标志。复位该位对于初始化和调试很有用。请注意，这不适用于信号监控中断，此类中断不受事件过滤器复位位影响。
- 模数计数器状态位。
 - 模数计数器 (ECCTL2 [MODCNTRSTS]) 指示接下来加载哪个捕捉寄存器。在 0 类 eCAP 中，无法了解模数计数器的当前状态。
- DMA 触发源
 - eCAPxDMA 被添加为一个 DMA 触发器。CEVT[1-4] 可以配置为 eCAPxDMA 的源。
- 输入多路复用器
 - ECCTL0 [INPUTSEL] 选择 128 个输入信号之一，详情请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中“增强型捕捉 (eCAP)”一章的 [配置 eCAP 器件引脚](#) 部分。
- EALLOW 保护
 - EALLOW 保护已添加到关键寄存器。为了维持与 0 类的软件兼容性，请配置 DEV_CFG_REGS.ECAPTYPE 以使这些寄存器不受保护。

2 类 eCAP 的捕捉功能通过 1 类 eCAP 得到增强，增加了以下特性：

- 添加了 ECAPxSYNCINSEL 寄存器
 - 为每个 eCAP 添加了 ECAPxSYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的 SYNCIN 信号。

3 类 eCAP 的捕捉功能通过 2 类 eCAP 得到增强，增加了以下特性：

- 有两个信号监控单元可用于监控边沿、脉宽和周期
 - 信号监控功能可选择性地与 ePWM 全局加载选通脉冲和跳闸事件进行紧密耦合
- 将多路复用捕捉输入数量从 128 增加到 256
- PWM 运行模式下的 DMA 事件生成功能
- ADC SOC 生成功能可用于触发 ADC 转换

6.14.1.1 eCAP 方框图

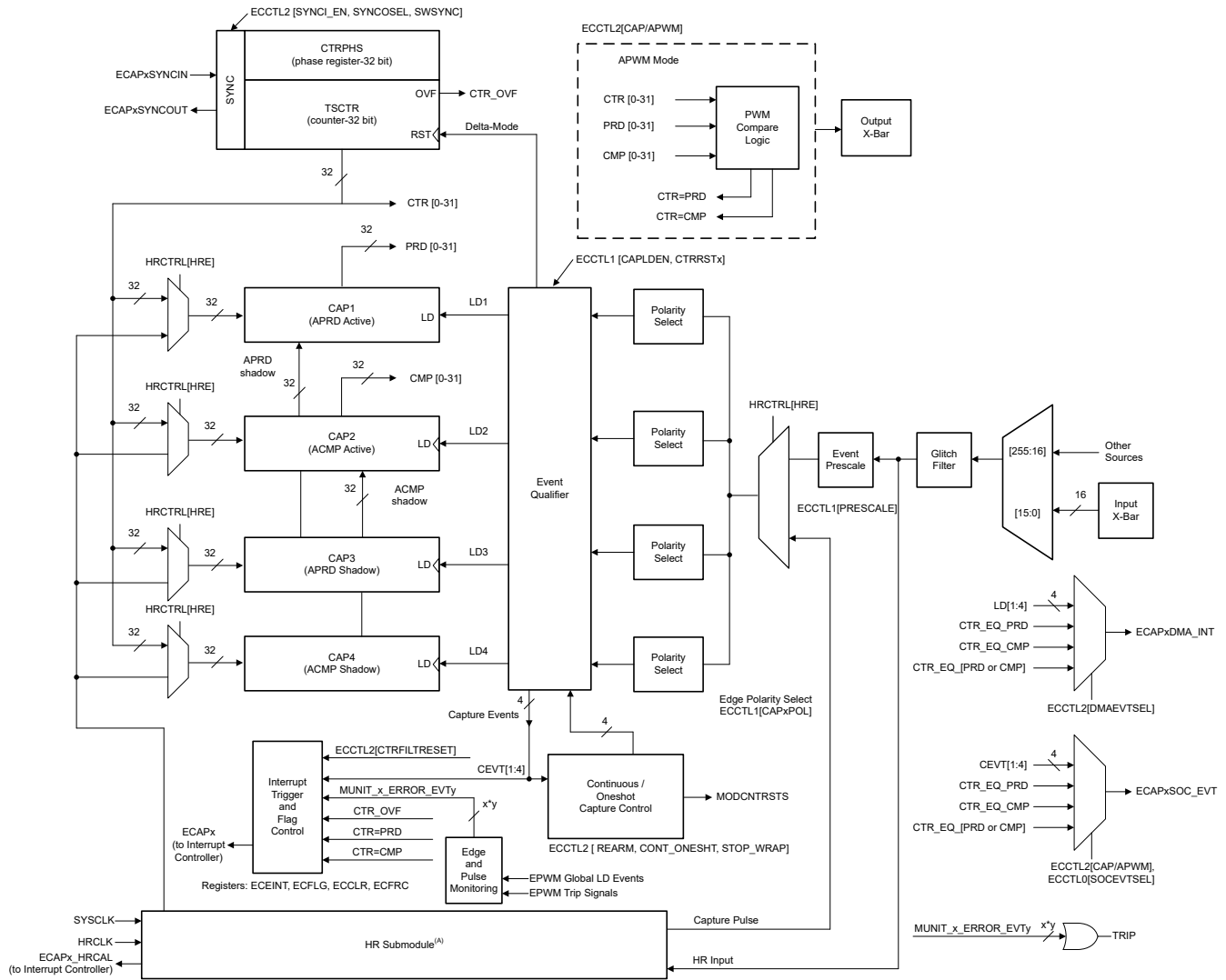


图 6-73. eCAP 方框图

6.14.1.2 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 ePWM、eCAP 或 X-Bar。如图 6-74 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

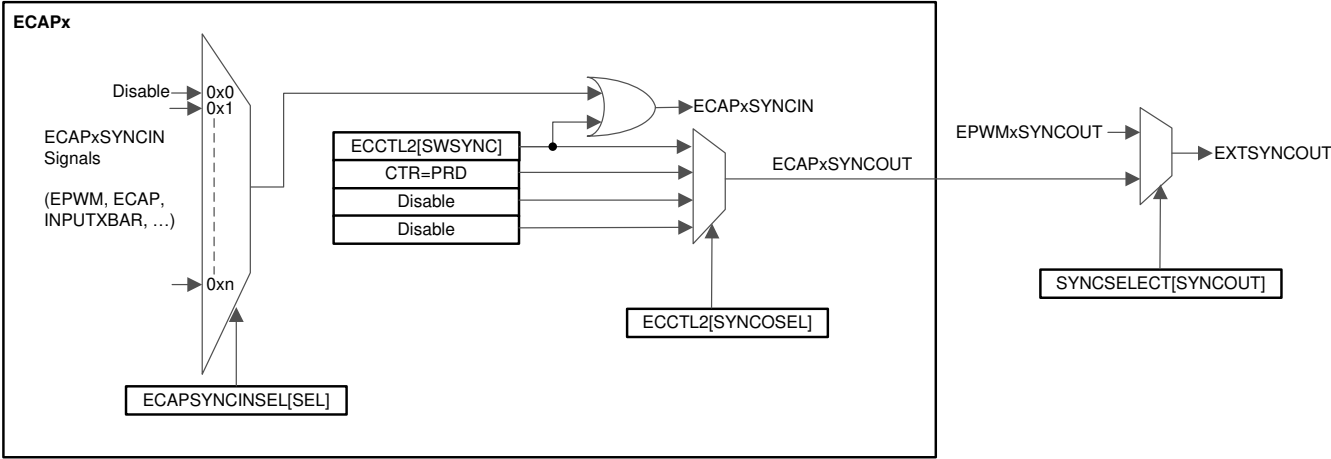


图 6-74. eCAP 同步方案

6.14.1.3 eCAP 电气数据和时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.14.1.3.1 eCAP 时序要求

			最小值	标称值	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SYSCLK)}$			ns
		同步	$2t_{c(SYSCLK)}$			
		带输入限定器	$1t_{c(SYSCLK)} + t_{w(IQSW)}$			

6.14.1.3.2 eCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

6.14.2 高分辨率捕捉 (HRCAP)

eCAP3 模块可以配置为高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 1 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉
- 绝对模式脉宽捕捉
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续重新校准，不存在“中断时间”。由于 HRCAP 子模块现在使用与其相应 eCAP 相同的硬件，因此如果使用 HRCAP，则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

6.14.2.1 eCAP 和 HRCAP 方框图

有关 HRCAP 方框图，请参阅 *增强型捕捉 (eCAP)* 一节中的 eCAP 和 HRCAP 方框图。

6.14.2.2 HRCAP 电气数据和时序

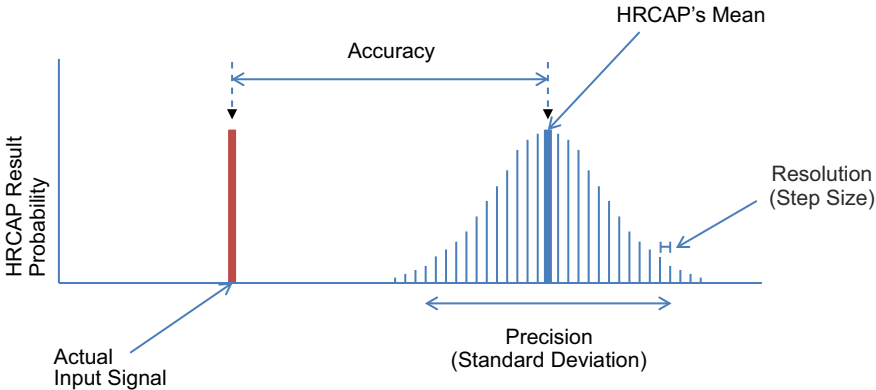
6.14.2.2.1 HRCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
精度 ^{(1) (2) (3) (4)}	测量时长 $\leq 5\mu\text{s}$		± 390	540	ps
	测量时长 $> 5\mu\text{s}$		± 450	1450	ps
标准差		请参阅 HRCAP 标准偏差特性图			
分辨率			300		ps

- (1) 使用 100PPM 的振荡器获得的值，振荡器精度直接影响 HRCAP 精度。
(2) 使用上升-上升沿或下降-下降沿完成测量。
(3) 由于 V_{IH} 和 V_{IL} 之间的差异，极性相反的边沿将进一步降低精度。这种影响取决于信号的压摆率。
(4) 精度仅适用于经过时间转换的测量。

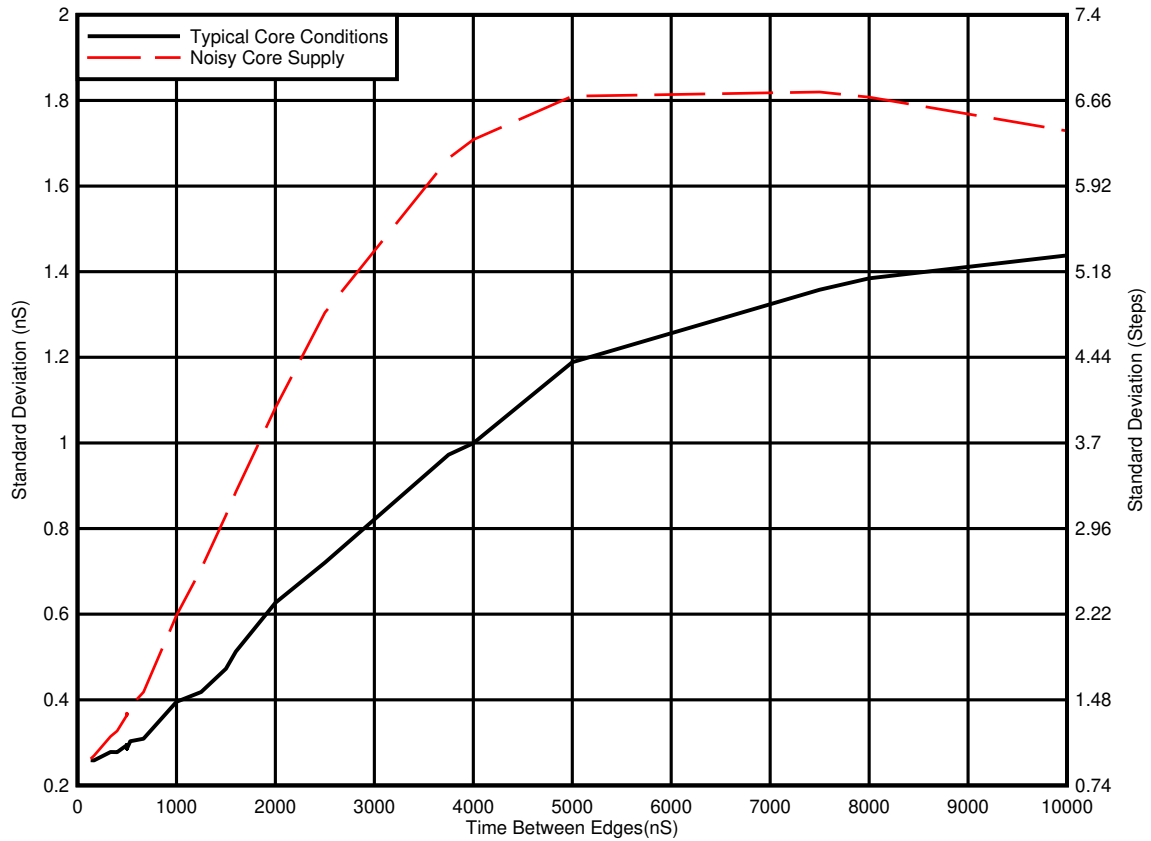
6.14.2.2.2 HRCAP 图表



A. HRCAP 在性能上有一些变化，其概率分布可以使用以下术语描述：

- 精度：输入信号与 HRCAP 分布均值之间的时间差。
- 精度：HRCAP 分布的宽度，以标准偏差的形式给出。
- 分辨率：最小可测量增量。

图 6-75. HRCAP 精度和分辨率



- A. 典型的内核条件：所有外设时钟被启用。
- B. 有噪声的内核电源：在测量期间，所有内核时钟都以一个固定周期启用和禁用。
- C. VDD 电源轨上的电流和电压波动会导致 HRCAP 的标准偏差上升。应注意确保 VDD 电源是清洁的，并且在使用 HRCAP 时已最大限度地减少了干扰性内部事件（例如启用和禁用时钟树）。

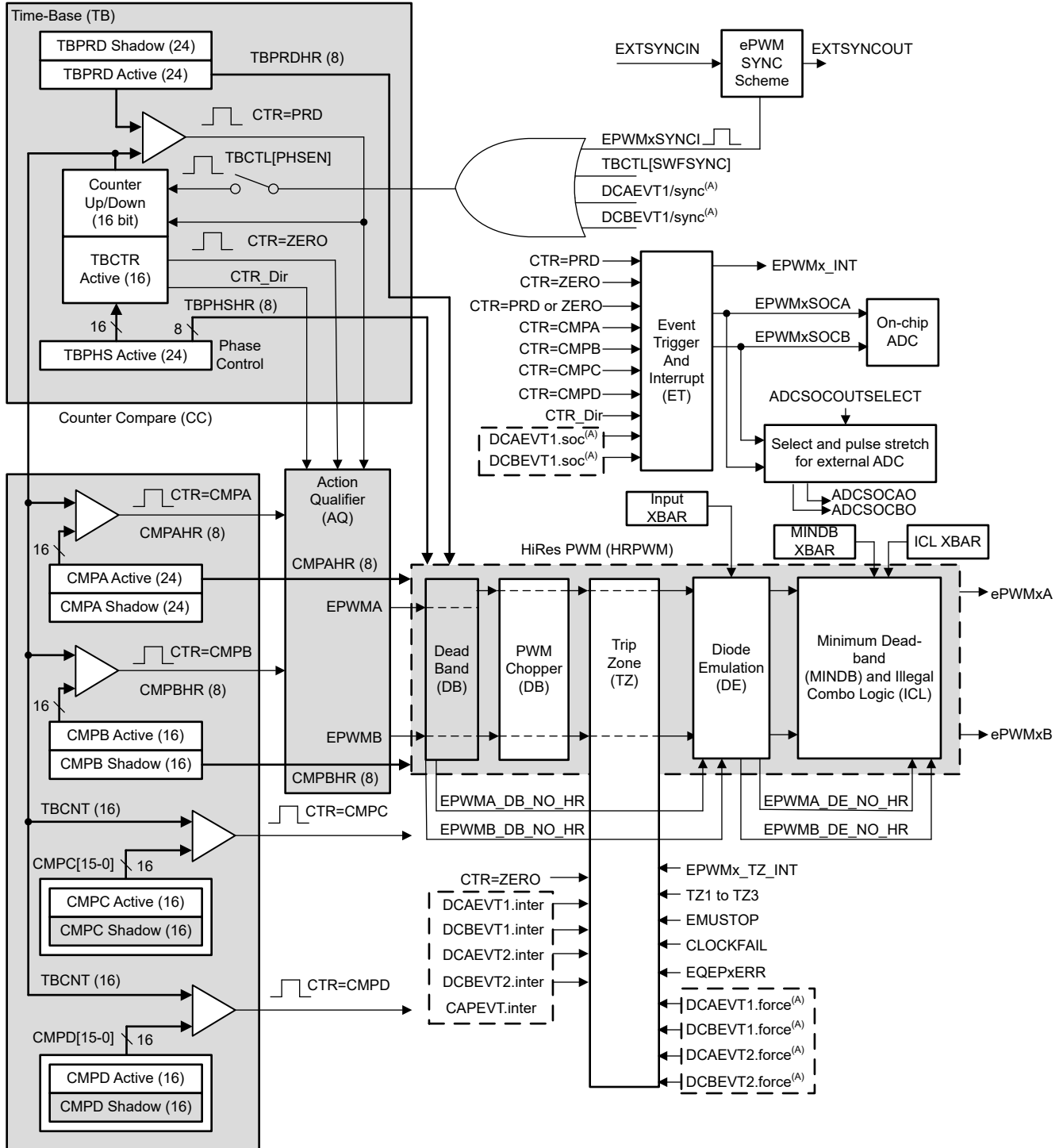
图 6-76. HRCAP 标准偏差特性

6.14.3 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具备独立资源 (这些独立资源可以一起运行形成一个系统) 的较小模块构建外设, ePWM 4 类 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类 模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。ePWM 5 类增强功能包括扩展了同步链选项、链接和全局加载脉冲选择灵活性、XCMP 复杂波形生成功能、事件捕捉功能、添加了二极管仿真子模块和最小死区与非法组合逻辑子模块, 以及事件触发子模块增强功能以对 ePWM 周期进行间隔不均匀的过采样。

借助 ePWM 和 eCAP 同步方案, 可灵活地划分 ePWM 和 eCAP 模块, 并可在这些模块内进行局部同步。

图 6-77 展示了 ePWM 模块。图 6-78 展示了 ePWM 跳变输入连接。



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 6-77. ePWM 子模块和关键内部信号互连

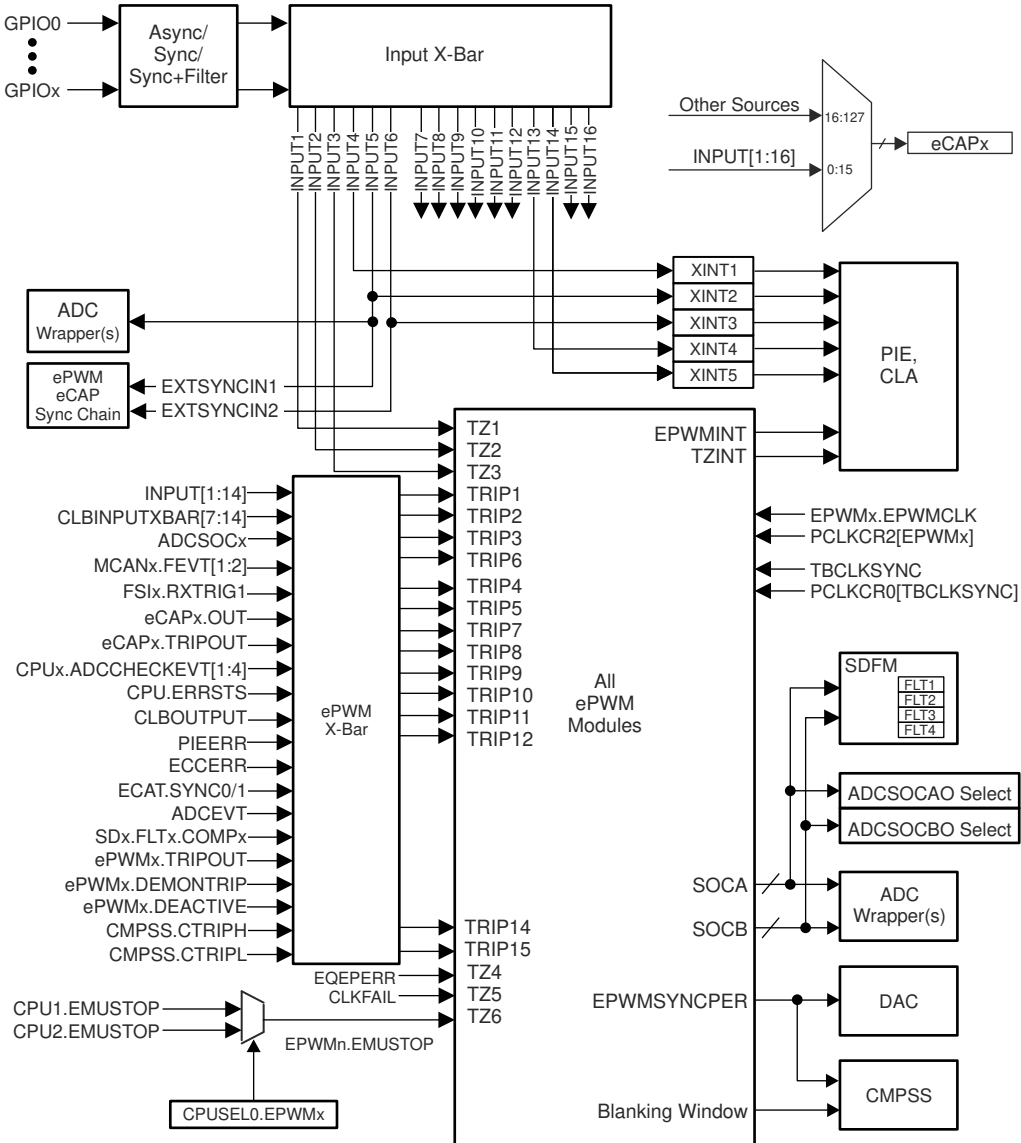


图 6-78. ePWM 跳变输入连接

6.14.3.1 控制外设同步

借助 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。图 6-79 展示了同步方案。

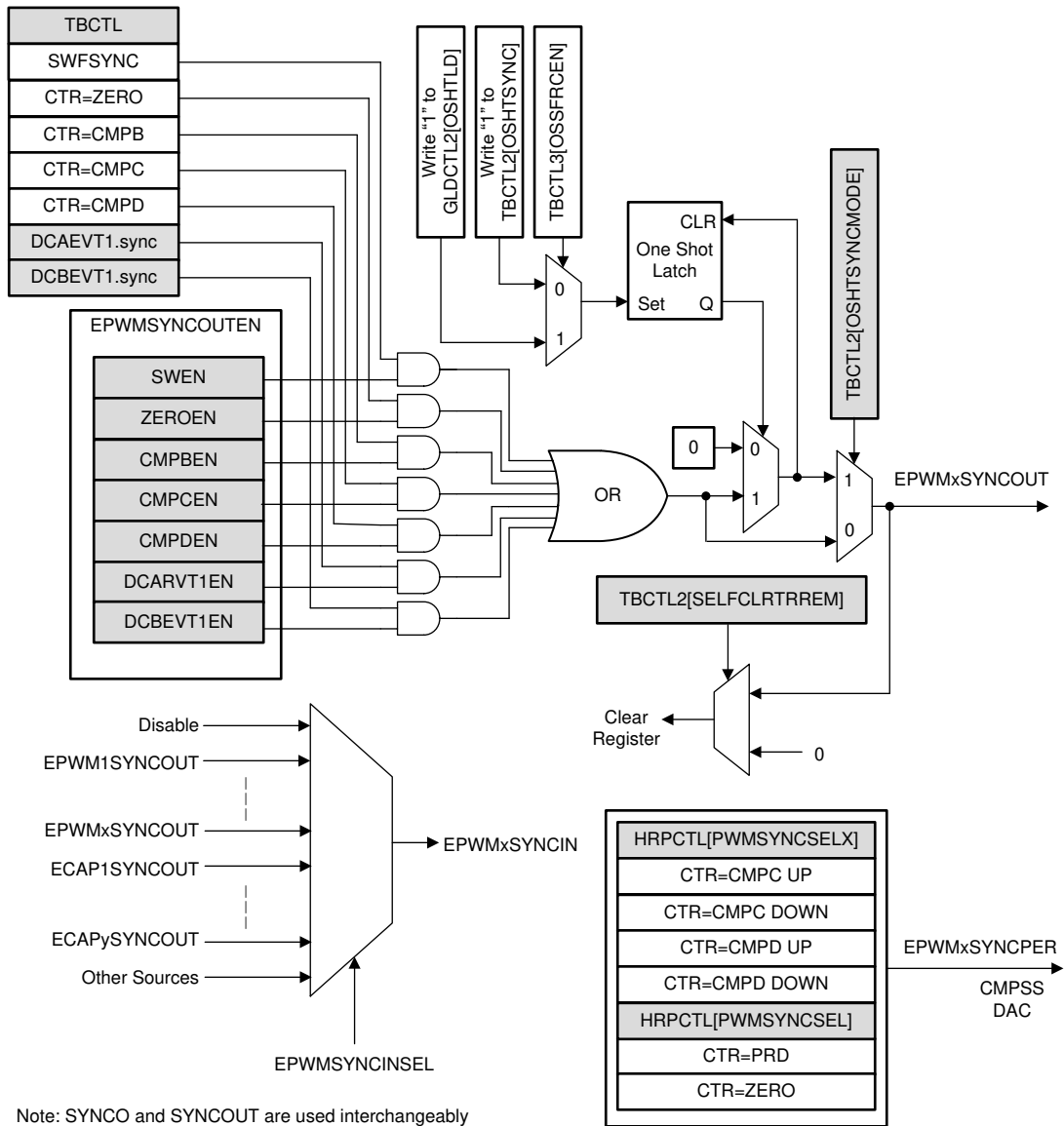


图 6-79. 同步链架构

6.14.3.2 ePWM 电气数据和时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.14.3.2.1 ePWM 时序要求

			最小值	最大值	单位
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		
		带输入限定器	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.14.3.2.2 ePWM 开关特性

在建议运行条件下测得（除非另有说明）

参数 ⁽¹⁾		最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平	20		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SYSCCLK)}$		周期
$t_d(TZ-PWM)$	延迟时间，跳变输入激活到 PWM 强制高电平 延迟时间，跳变输入激活到 PWM 强制低电平 延迟时间，跳变输入激活到 PWM 高阻抗		30	ns
tskew	所有 ePWM 输出的偏斜（最短路径） ⁽²⁾		5.1	ns
tskew	所有 ePWM 输出的偏斜（最长路径） ⁽²⁾		5.1	ns
tskew	通过 HRPWM 的所有 ePWM 输出的偏斜（最短路径） ⁽²⁾		5.1	ns
tskew	通过 HRPWM 的所有 ePWM 输出的偏斜（最长路径） ⁽²⁾		5.1	ns

(1) 引脚上 20pF 负载。

(2) 各个 EPWM 具有类似的配置。

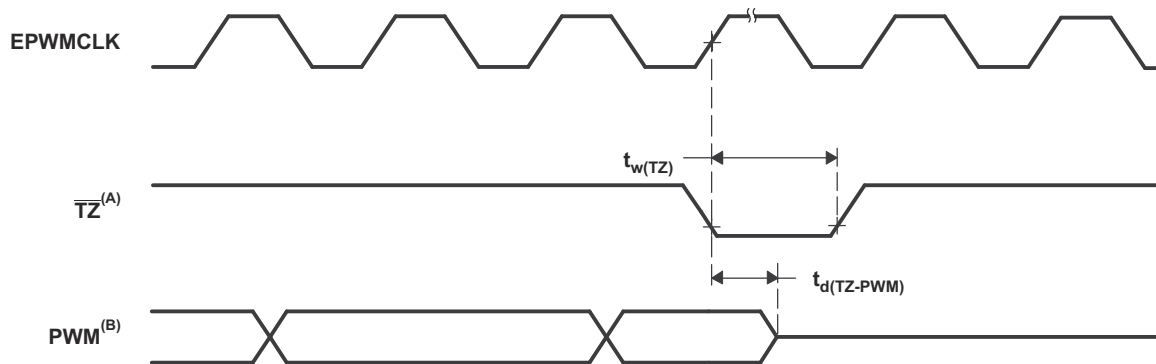
6.14.3.2.3 跳闸区输入时序

有关输入限定符参数的说明, 请参阅通用输入时序要求表。

6.14.3.2.3.1 跳闸区域输入时序要求

			最小值	最大值	单位
$t_{w(TZ)}$	脉冲持续时间, $\overline{TZx}$ 输入低电平的时间	异步	$1t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		周期
		带输入限定器	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		周期

6.14.3.2.3.2 PWM 高阻态特征时序图



A. $\overline{TZ}$: $\overline{TZ1}$ 、 $\overline{TZ2}$ 、 $\overline{TZ3}$ 、TRIP1 至 TRIP12

B. PWM 是指器件内的所有 PWM 引脚。 $\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-80. PWM Hi-Z 特征

6.14.4 外部 ADC 转换启动电气数据和时序

6.14.4.1 外部 ADC 转换启动开关特性

在建议运行条件下测得 (除非另有说明)

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间, $\overline{ADCSOCxO}$ 低电平的时间	$32t_{c(SYSCLK)}$		周期

6.14.4.2 $\overline{ADCSOCAO}$ 或 $\overline{ADCSOCBO}$ 时序图

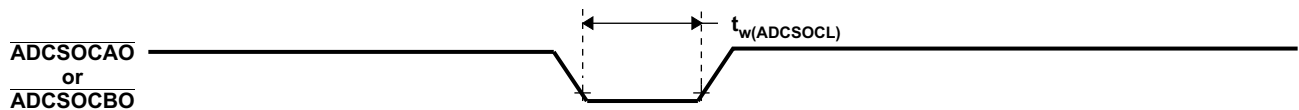


图 6-81. $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

6.14.5 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

6.14.5.1 HRPWM 电气数据和时序

6.14.5.1.1 高分辨率 PWM 特征

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长 ⁽¹⁾		150	310	ps

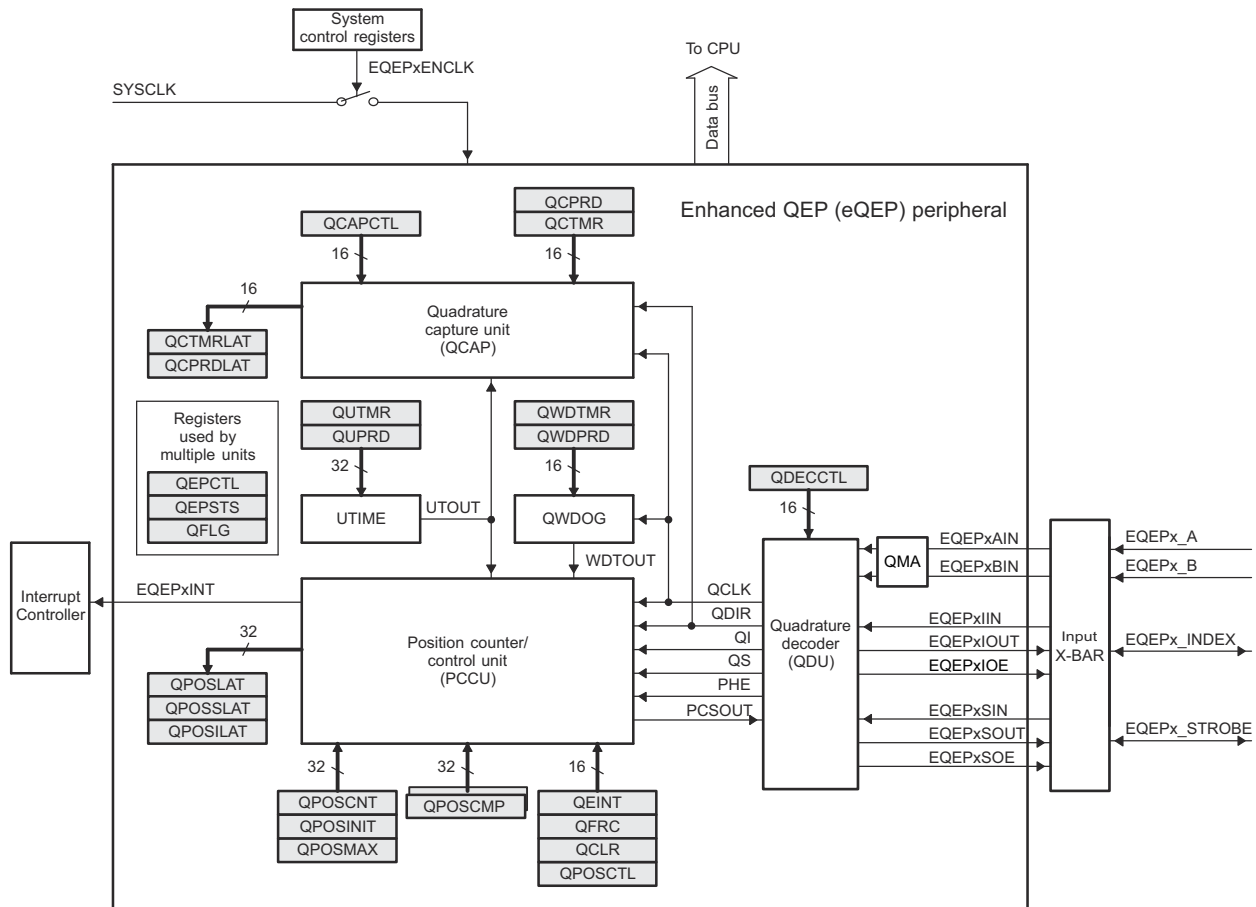
- (1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

6.14.6 增强型正交编码器脉冲 (eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元 (请参阅图 6-82)：

- 针对每个引脚的可编程输入鉴定 (GPIO 多路复用器的一部分)
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)



Copyright © 2017, Texas Instruments Incorporated

图 6-82. eQEP 方框图

6.14.6.1 eQEP 电气数据和时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.14.6.1.1 eQEP 时序要求

			最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步 ⁽¹⁾	$2t_{c(SYSCCLK)}$		周期
$t_{w(QEPP)}$	QEP 输入周期	与输入限定符同步	$2[1t_{c(SYSCCLK)} + t_{w(IQSW)}]$		周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步 ⁽¹⁾	$2t_{c(SYSCCLK)}$		周期
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	与输入限定符同步	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步 ⁽¹⁾	$2t_{c(SYSCCLK)}$		周期
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	与输入限定符同步	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		周期
$t_{w(STROBH)}$	QEP 选通高电平时间	同步 ⁽¹⁾	$2t_{c(SYSCCLK)}$		周期
$t_{w(STROBH)}$	QEP 选通高电平时间	与输入限定符同步	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		周期
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步 ⁽¹⁾	$2t_{c(SYSCCLK)}$		周期
$t_{w(STROBL)}$	QEP 选通输入低电平时间	与输入限定符同步	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		周期

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

6.14.6.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量		$5t_{c(SYSCCLK)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出		$7t_{c(SYSCCLK)}$	周期

6.14.7 Σ - Δ 滤波器模块 (SDFM)

SDFM 模块特性包括：

- 每个 SDFM 模块八个外部引脚
 - 每个 SDFM 模块有四个 Σ - Δ 数据输入引脚 (SD-Dx, 其中 x = 1 至 4)
 - 每个 SDFM 模块有四个 Σ - Δ 时钟输入引脚 (SD-Cx, 其中 x = 1 至 4)
- 支持不同的可配置调制器时钟模式：
 - 模式 0：调制器时钟速率等于调制器数据速率。
- 每个 SDFM 模块有四个独立的可配置次级滤波器 (比较器) 单元：
 - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
 - 能够检测超值条件、低值条件和超限条件
 1. 两个独立的上限阈值比较器 (用于检测超值条件)
 2. 两个独立的下限阈值比较器 (用于检测低值条件)
 3. 一个独立的超限比较器 (用于通过 eCAP 测量占空比/频率)
 - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块有四个独立的可配置初级滤波器 (数据滤波器) 单元：
 - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
 - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
 - 能够启用或禁用独立的滤波器模块 (或全部两个模块)
 - 能够使用主滤波器使能 (MFE) 位或 PWM 信号来同步 SDFM 模块的所有四个独立滤波器
- 数据滤波器输出可以用 16 位或 32 位表示。
- 数据滤波器单元具有可编程模式 FIFO 来减少中断开销。该 FIFO 具有以下特性：
 - 初级滤波器 (数据滤波器) 具有一个 16 深 x 32 位 FIFO。
 - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU。
 - FIFO 等待同步功能：能够忽略数据就绪事件，直至接收到 PWM 同步信号 (SDSYNC)。一旦接收到 SDSYNC 事件，就会在每个数据就绪事件时填充 FIFO。
 - 数据滤波器输出可以用 16 位或 32 位表示。
- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDSYNC 源。
- 可使用 PWM 为 Σ - Δ 调制器生成调制器时钟。
- SD-Cx 和 SD-Dx 均可配置输入限定
- 能够使用一个滤波器通道时钟 (SD-C1) 为其他滤波器时钟通道提供时钟。
- 在发生比较器滤波器事件时可以使用可配置的数字滤波器来清除杂散噪声引起的比较器事件

图 6-83 显示了 SDFM 模块方框图。

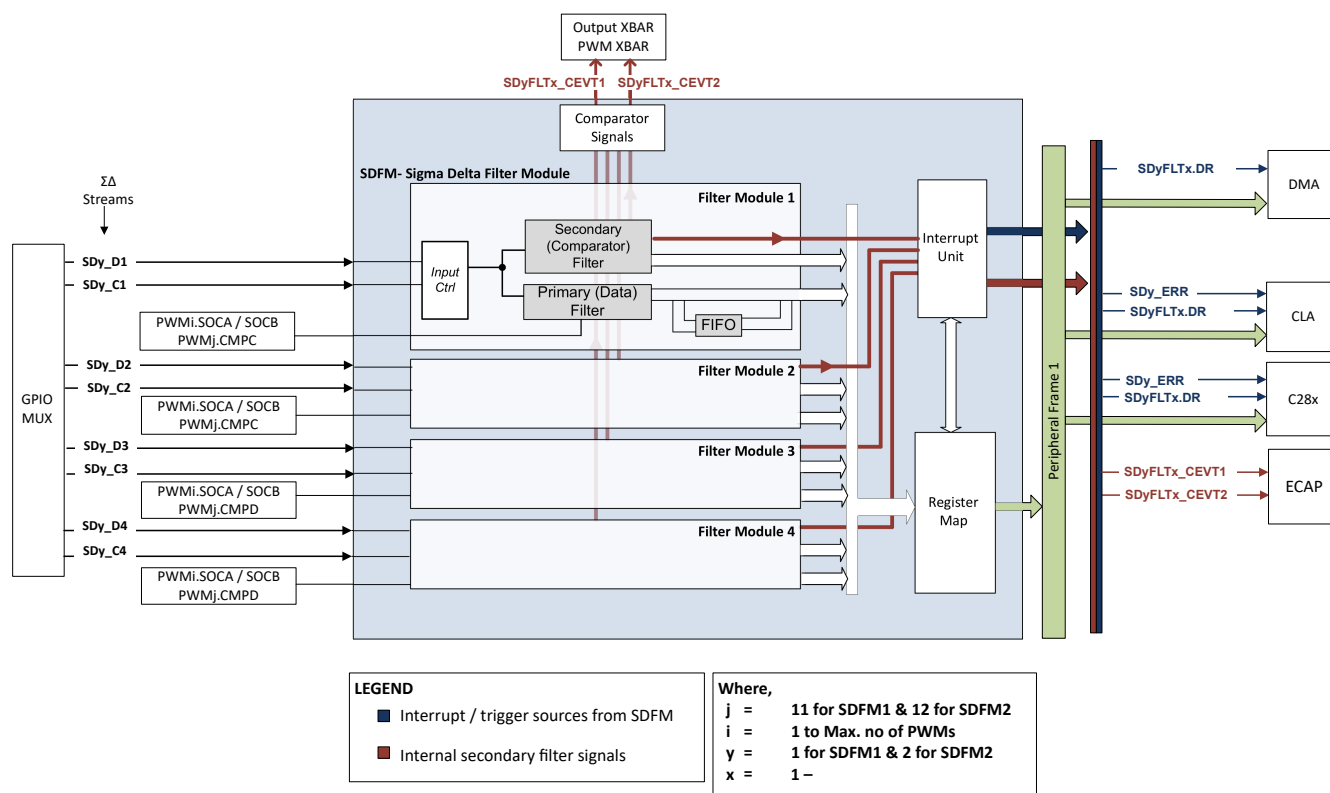


图 6-83. Σ - Δ 滤波器模块 (SDFM) 方框图

6.14.7.1 SDFM 电气数据和时序

6.14.7.1.1 SDFM 电气数据和时序 (同步 GPIO)

使用这种同步 GPIO 模式时，必须满足 $t_{w(GPI)}$ 脉冲持续时间至少为 $2t_{c(SYSCLK)}$ 的时序要求。为 SD-Cx 和 SD-Dx 对配置 SYNC 选项非常重要。本部分列出了使用同步 GPIO (SYNC) 选项时的 SDFM 时序要求。图 6-84 展示了 SDFM 时序图。

使用同步 GPIO SYNC 选项时的 SDFM 时序要求表列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为同步模式 (使用 GPYQSELn = 00b)。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步 (使用 SDCTLPARMx.SDDATASYNC / SDCLKSYNC = 0b)。

备注

SDFM 同步 GPIO (SYNC) 选项可以防止 SDFM 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM 同步 GPIO (SYNC) 模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

6.14.7.1.1.1 使用同步 GPIO - SYNC 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)}M0$	周期时间, SDx_Cy	5 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDCHL)}M0$	脉冲持续时间, SDx_Dy 高电平/低电平	2 个 SYSCLK 周期	3 个 SYSCLK 周期	ns
$t_{su(SDDV-SDCH)}M0$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{h(SDCH-SDD)}M0$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns

6.14.7.1.2 SDFM 电气数据和时序 (使用 ASYNC)

使用异步 GPIO ASYNC 选项时的 SDFM 时序要求表列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为异步模式 (使用 GPYQSELn = 0b11)。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步 (使用 SDCTLPARMx 寄存器)。

图 6-84 展示了 SDFM 时序图。

6.14.7.1.2.1 使用异步 GPIO 和 SDFM 同步到 PLL 时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)}M0$	周期时间, SDx_Cy	$4 * t_{c(PLLRAWCLK)}$	256 个 SYSCLK 周期	ns
$t_{w(SDDHL)}M0$	脉冲持续时间, SDx_Dy (高电平/低电平)	$2 * t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)}M0$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	$1 * t_{c(PLLRAWCLK)} + 3$		ns
$t_{h(SDCH-SDD)}M0$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	$1 * t_{c(PLLRAWCLK)} + 3$		ns

6.14.7.1.3 SDFM 时序图

警告

应该对 SD-Cx 和 SD-Dx 信号采取特殊的预防措施，确保信号干净且无干扰，满足 SDFM 时序要求。建议采取的预防措施包括对时钟驱动器的任何阻抗不匹配而导致的振铃噪声采用串联终端电阻，以及将布线与其他噪声信号隔离开来，等等。

备注

SDFM SD-Cx 和 SD-Dx 信号与 PLLRAWCLK 同步后可防止由于偶尔出现的随机噪声干扰（这些干扰可能造成比较器跳闸和滤波器输出错误）而导致的 SDFM 模块损坏。但是，这些信号对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

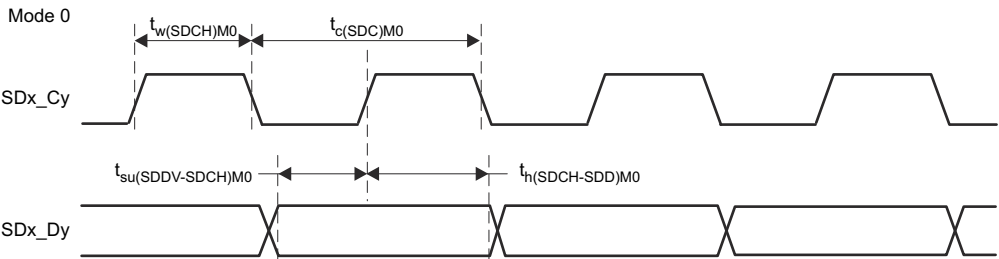


图 6-84. SDFM 时序图 - 模式 0

6.15 C28x 通信外设

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

备注

有关特定器件上每个外设的实际数量，请参阅“器件比较”表。

6.15.1 控制器局域网 (CAN)

备注

CAN 模块使用称为 *DCAN* 的 IP。本文档交替使用名称 *CAN* 和 *DCAN* 来引用此外设。

CAN 模块可实现以下特性：

- 符合 ISO11898-1 (Bosch® CAN 协议规范 2.0 A 和 B)
- 最高 1Mbps 的比特率
- 多个时钟源
- 32 个消息对象 (邮箱)，每个对象具有以下属性：
 - 可配置为接收或者发送
 - 可配置标准 (11 位) 或扩展 (29 位) 标识符
 - 支持可编程标识符接收掩码
 - 支持数据和远程帧
 - 保留 0 到 8 个字节的数据
 - 奇偶校验配置和数据 RAM
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 用于自检操作的可编程环回模式
- 调试支持的挂起模式
- 软件模块复位
- 由一个可编程 32 位计时器实现在总线关闭状态后自动开启总线
- 2 条中断线路

备注

对于 100MHz 的 CAN 位时钟，最小比特率可以为 3.90625Kbps。

备注

片上振荡器的精度可在“INTOSC 特性”表中找到。根据相关参数 (如 CAN 位时序设置、比特率、总线长度和传播延迟)，此振荡器的精度可能不符合 CAN 协议的要求。在这种情况下，必须使用外部时钟源。

图 6-85 展示了 CAN 方框图。

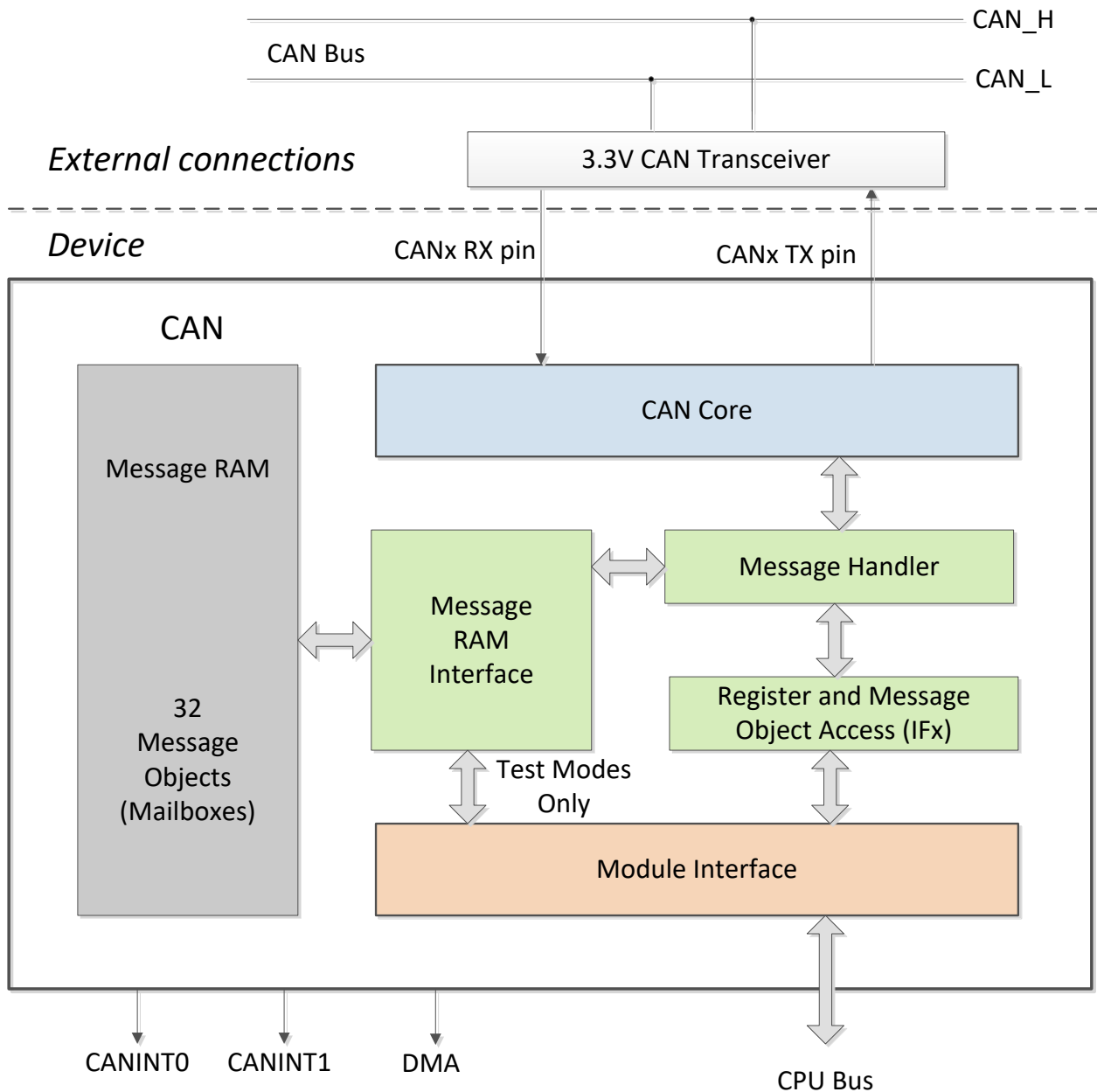


图 6-85. CAN 方框图

6.15.2 模块化控制器局域网 (MCAN)

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高可靠性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力，并且能够检测各种类型的错误。在 CAN 中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD (具有灵活数据速率的 CAN) 协议。CAN FD 特性可实现更高的吞吐量和增加每个数据帧的有效负载。经典 CAN 和 CAN FD 器件可以在同一网络上共存而不会发生任何冲突，前提是经典 CAN 器件使用部分网络收发器，其中该收发器可以检测和忽略 CAN FD，而不产生总线错误。MCAN 模块符合 ISO 11898-1:2015 标准。

备注

CAN FD 特性的可用性取决于器件型号。

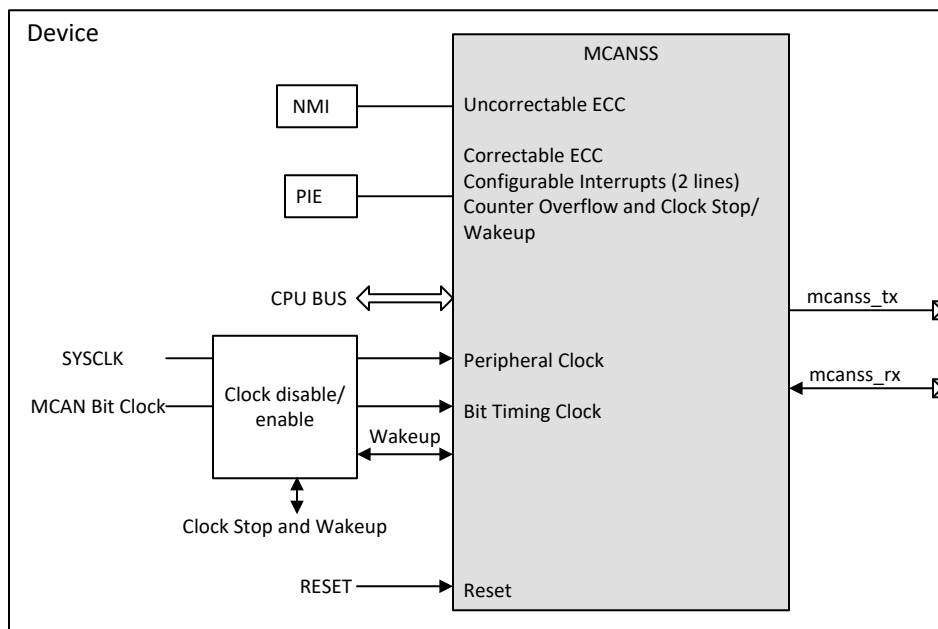


图 6-86. MCAN 模块概述

MCAN 模块可实现以下特性：

- 符合 CAN 协议 2.0A、B 和 ISO 11898-1:2015 标准
- 完全支持 CAN FD (最多 64 个数据字节)
- 支持 AUTOSAR 和 SAE J1939
- 灵活的消息 RAM 分配 (以下最大配置适用于具有 4352 32 位字消息 RAM 的器件)
 - 多达 32 个专用发送缓冲器
 - 可配置的发送 FIFO，最多 32 个元素
 - 可配置的发送队列，最多 32 个元素
 - 可配置的发送事件 FIFO，最多 32 个元素
 - 多达 64 个专用接收缓冲器
 - 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
 - 多达 128 个滤波器元素
- 用于自检的环回模式
- 可屏蔽中断 (两条可配置的中断线路、可纠正的 ECC、计数器溢出和时钟停止/唤醒)
- 不可屏蔽中断 (不可纠正的 ECC)
- 两个时钟域 (CAN 时钟/主机时钟)

- 消息 RAM 的 ECC 检查
- 支持时钟停止和唤醒
- 时间戳计数器

不支持的特性：

- 主机总线防火墙
- 时钟校准
- 通过 CAN 进行调试

6.15.3 快速串行接口 (FSI)

快速串行接口 (FSI) 是一种能够进行可靠而稳健的高速通信的串行通信外设。FSI 旨在确保在芯片到芯片之间以及跨越隔离栅的板到板之间等诸多系统条件下实现数据稳健性。CRC、帧起始和结束模式以及用户定义的标签等有效载荷完整性检查在发送前进行编码，然后在接收后进行验证，无需额外的 CPU 交互。可以使用定期发送的方式检测线路中断，所有这些均由硬件管理和监控。FSI 还与器件上的其他控制外设紧密集成。为了确保提供最新的传感器数据或控制参数，可以在每个控制环路周期发送帧。为了处理由于各种因素而在时钟和数据信号之间可能出现的偏移（包括布线长度不匹配和隔离芯片引起的偏移），接收器上添加了一个集成的偏移补偿块。借助嵌入式数据稳健性检查、数据链路完整性检查、偏移补偿以及与控制外设的集成，FSI 可以在任何系统中实现高速、稳健的通信。FSI 除了这些特性，还有许多其他特性，如下所示。

FSI 模块包含以下特性：

- 独立的发送器和接收器内核
- 源同步发送
- 双数据速率 (DDR)
- 一条或两条数据线路
- 可编程数据长度
- 偏移调整块可针对电路板和系统延迟的不匹配部分进行补偿
- 帧错误检测
- 通过可编程的帧标记进行消息过滤
- 通过硬件 ping 检测通信期间的线路中断 (ping 看门狗)
- 每个 FSI 内核对应两个中断
- 外部触发帧生成
- 由硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- SPI 兼容模式 (可用功能受限)

为了让 FSI 在双数据速率 (120Mbps) 下以最大速度 (60MHz) 运行，可能需要根据具体运行条件逐例配置集成的偏移补偿块。[快速串行接口 \(FSI\) 偏移补偿](#) 应用手册通过软件示例介绍了如何在快速串行接口上配置和设置集成偏移补偿块。

FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。有关 FSITX 和 FSIRX 上的可用功能，请分别参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的 FSI 发送器 部分和 FSI 接收器 部分。

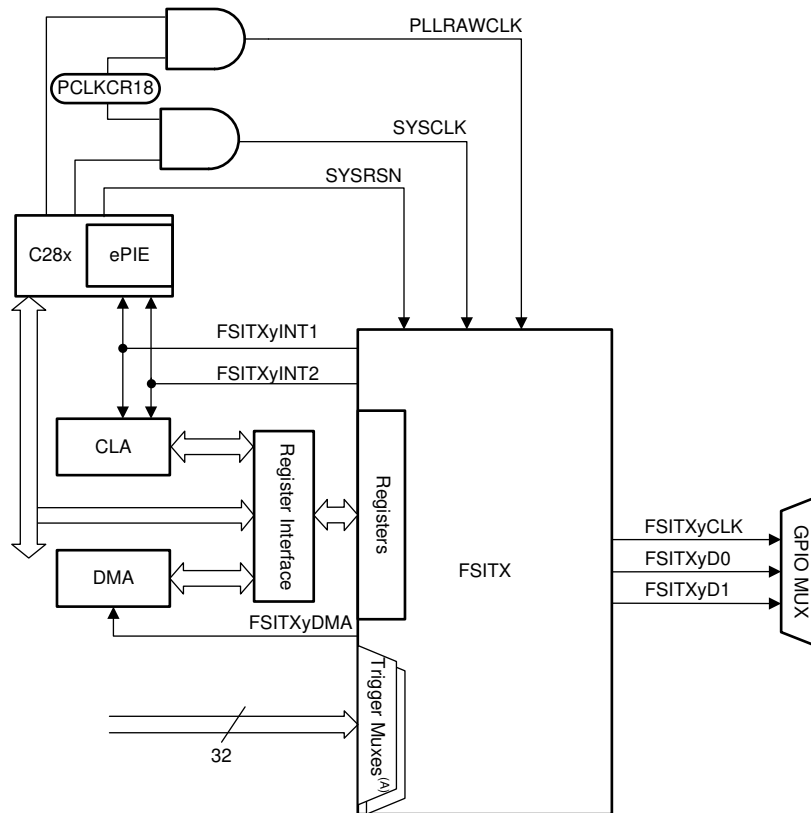
6.15.3.1 FSI 发送器

FSI 发送器模块会处理数据组帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。发送器内核的运行通过可编程控制寄存器进行控制和配置。发送器控制寄存器可让 CPU (或 CLA) 对 FSI 发送器的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问发送数据缓冲器。

发送器具有以下特性：

- 自动生成 ping 帧
- 外部触发 ping 帧
- 外部触发数据帧
- 可通过软件配置帧长度
- 16 字数据缓冲器
- 数据缓冲器欠运转和溢出检测
- 硬件生成数据位 CRC
- 使用软件对选定数据进行 ECC 计算
- DMA 支持
- CLA 任务触发

图 6-87 所示为 FSITX CPU 接口。图 6-88 所示为 FSITX 的简要方框图。图中并未显示所有数据路径和内部连接。此图提供了 FSITX 中存在的内部模块的简要概览。



- A. [TMS320F28P65x 实时微控制器技术参考手册](#) 的“快速串行接口 (FSI)”一章中的外部帧触发器多路复用器一节介绍了连接到触发器多路复用器的信号。

图 6-87. FSITX CPU 接口

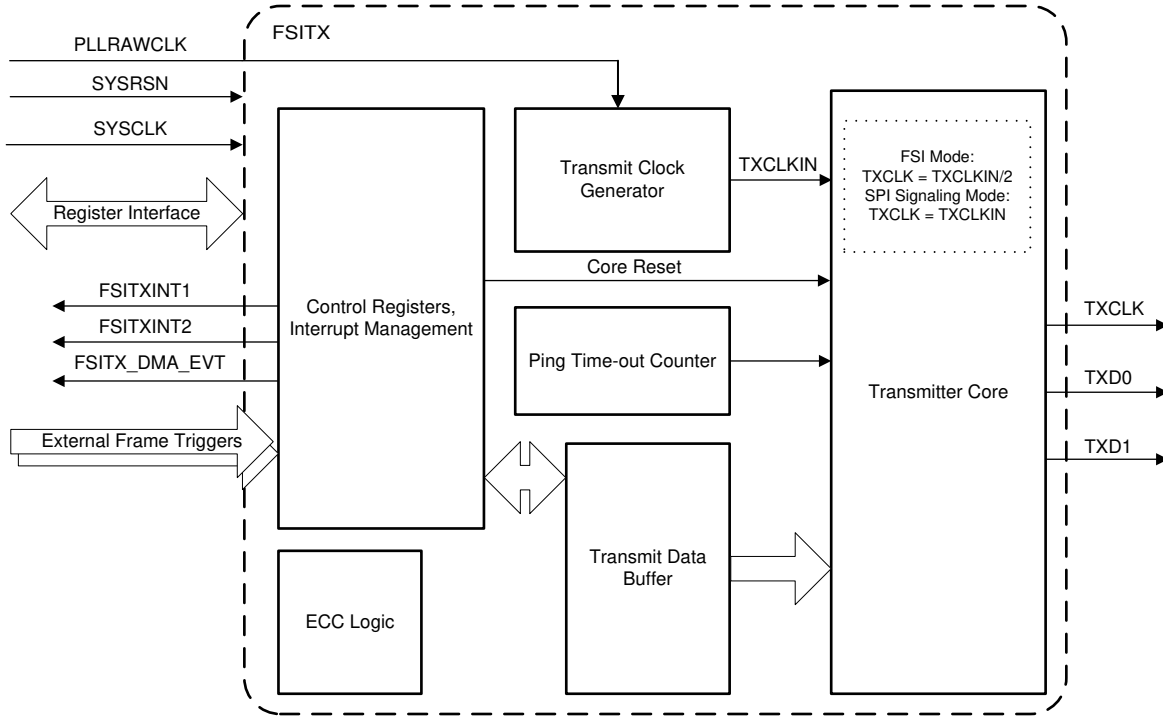


图 6-88. FSITX 方框图

6.15.3.1.1 FSITX 电气数据和时序

6.15.3.1.1.1 FSITX 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数 ⁽¹⁾	最小值	最大值	单位
1	$t_c(\text{TXCLK})$	周期时间, TXCLK	16.67	ns
2	$t_w(\text{TXCLK})$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_c(\text{TXCLK})) - 1$ $(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLK} - \text{TXD})$	延迟时间、TXCLK 上升或下降至 TXD 有效的 时间	$(0.25t_c(\text{TXCLK})) - 2$ $(0.25t_c(\text{TXCLK})) + 2$	ns
4	$t_d(\text{TXCLK})$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 TXCLK 延迟补偿	9.95 30	ns
5	$t_d(\text{TXD0})$	TX_DLYLINE_CTRL[TXD0_DLY]=31 时的 TXD0 延迟补偿	9.95 30	ns
6	$t_d(\text{TXD1})$	TX_DLYLINE_CTRL[TXD1_DLY]=31 时的 TXD1 延迟补偿	9.95 30	ns
7	$t_d(\text{DELAY_ELEMENT})$	每个延迟线路元件的 TXCLK、TXD0 和 TXD1 增量延迟	0.3 1	ns

(1) 引脚上的 10pF 负载。

6.15.3.1.1.2 FSITX 时序

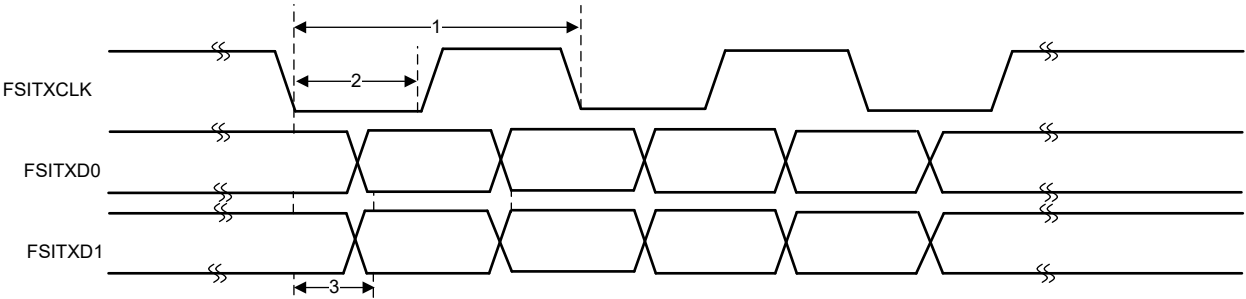


图 6-89. FSITX 时序

6.15.3.2 FSI 接收器

接收器模块在通过可选的可编程延迟线路后连接到 FSI 时钟 (RXCLK) 和数据线路 (RXD0 和 RXD1)。接收器内核会处理数据组帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由与器件系统时钟异步的 RXCLK 输入运行。

接收器控制寄存器可让 CPU (或 CLA) 对 FSIRX 的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问接收数据缓冲器。

接收器内核具有以下特性：

- 16 字数据缓冲器
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 在硬件中进行 CRC 计算和比较
- ECC 检测
- 针对输入信号的可编程延迟线路控制
- DMA 支持
- SPI 兼容模式
- CLA 任务触发

图 6-90 所示为 FSIRX CPU 接口。图 6-91 提供了 FSIRX 中存在的内部模块的简要概览。图中并未显示所有数据路径和内部连接。

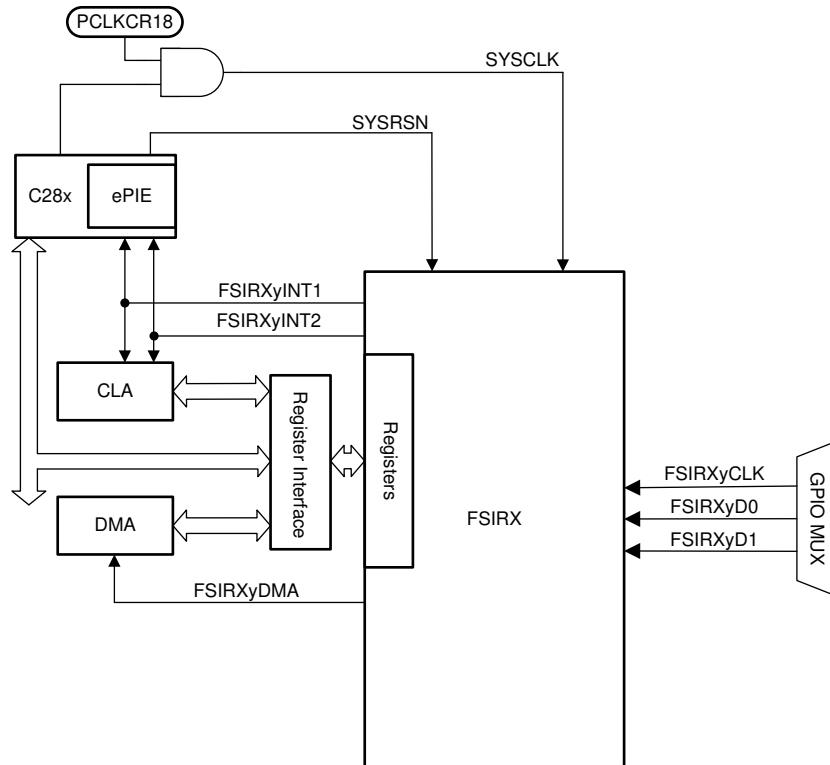


图 6-90. FSIRX CPU 接口

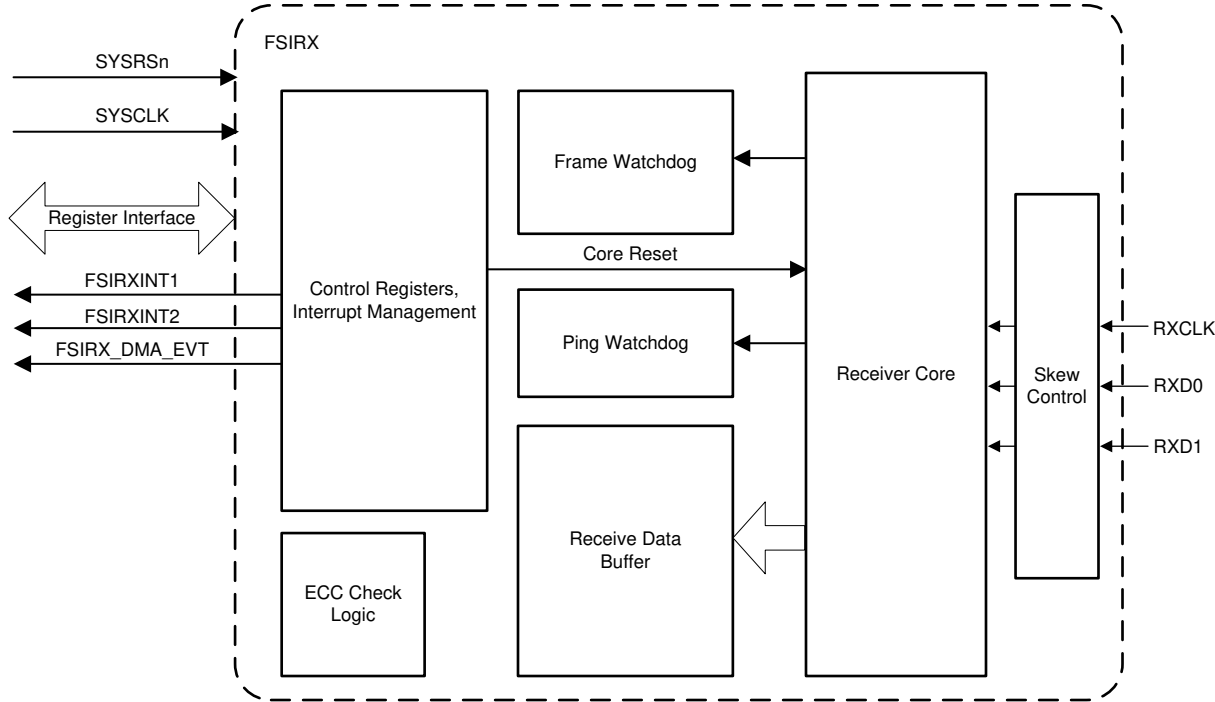


图 6-91. FSIRX 方框图

6.15.3.2.1 FSIRX 电气数据和时序

6.15.3.2.1.1 FSIRX 时序要求

编号			最小值	最大值	单位
1	$t_c(\text{RXCLK})$	周期时间, RXCLK	19.417		ns
2	$t_w(\text{RXCLK})$	RXCLK 低电平或 RXCLK 高电平的脉冲宽度。	$0.35t_c(\text{RXCLK})$	$0.65t_c(\text{RXCLK})$	ns
3	$t_{su}(\text{RXCLK} - \text{RXD})$	相对于 RXCLK 的设置时间, 应用于时钟的两个边沿	1.7		ns
4	$t_h(\text{RXCLK} - \text{RXD})$	相对于 RXCLK 的保持时间, 应用于时钟的两个边沿	2		ns

6.15.3.2.1.2 FSIRX 开关特性

编号		参数 ⁽¹⁾	最小值	最大值	单位
1	$t_d(\text{RXCLK})$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 RXCLK 延迟补偿	9.7	30	ns
2	$t_d(\text{RXD0})$	RX_DLYLINE_CTRL[RXD0_DLY]=31 时的 RXD0 延迟补偿	9.7	30	ns
3	$t_d(\text{RXD1})$	RX_DLYLINE_CTRL[RXD1_DLY]=31 时的 RXD1 延迟补偿	9.7	30	ns
4	$t_d(\text{DELAY_ELEMENT})$	每个延迟线路元件的 RXCLK、RXD0 和 RXD1 增量延迟	0.29	1	ns
TDM1	$t_{\text{skew}}(\text{TDM_CLK-TDM_Dx})$	RXCLK-TDM_CLK 延迟和 RXDx-TDM_Dx 延迟之间引入的延迟偏移	-3	3	ns
TDM1	$t_d(\text{RXCLK-TDM_CLK})$	延时时间、RXCLK 输入到 TDM_CLK 输出的时间	2	14.5	ns
TDM2	$t_d(\text{RXD0-TXD0})$	延时时间、RXD0 输入到 TXD0 输出的时间	2	14.5	ns

6.15.3.2.1.2 FSIRX 开关特性 (续)

编号	参数 ⁽¹⁾		最小值	最大值	单位
TDM3	$t_{d(RXD1-TXD1)}$	延时时间、RXD1 输入到 TXD1 输出的时间	2	14.5	ns

(1) 引脚上的 10pF 负载。

6.15.3.2.1.3 FSIRX 时序

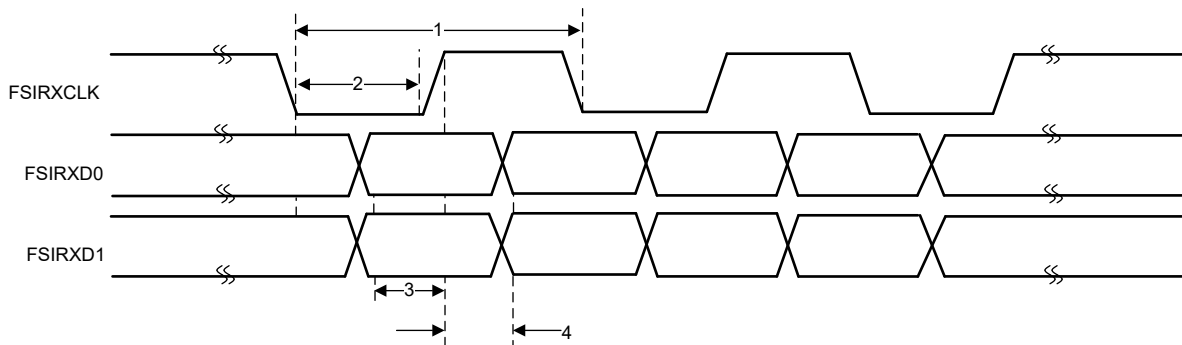


图 6-92. FSIRX 时序

6.15.3.3 FSI SPI 兼容模式

FSI 支持 SPI 兼容模式以实现与可编程 SPI 器件的通信。在此模式下，FSI 发送数据的方式与 SPI 在单时钟配置模式下发送数据的方式相同。虽然 FSI 在此模式下能够通过物理方式连接 SPI，但外部器件必须能够对 FSI 帧进行编码和解码才能成功进行通信。这是因为 FSI 会发送除前同步码和后同步码之外的所有 SPI 帧相位。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，从而在不占用 CPU 周期的情况下实现更稳健的通信。为此，需要使用外部 SPI 来发送所有相关信息，并可用于访问标准 FSI 功能，例如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。SPI 兼容模式的特性如下：

- 将在时钟的上升沿发送数据，并在下降沿接收数据。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效片选信号一样被驱动。信号在整个帧发送期间将处于低电平。
- 无需接收器片选输入。不使用 RXD1。数据在每个有效时钟边沿转移到接收器中。
- 不会发送前同步码或后同步码时钟。帧相位结束后，所有信号都恢复到空闲状态。
- 由于 FSI TXCLK 不能采用外部时钟源，因此无法在 SPI 外设备配置下进行发送。

6.15.3.3.1 FSITX SPI 信令模式电气数据和时序

在 SPI 信令模式下，FSIRX 不需要特殊时序。*FSIRX 时序要求* 表中列出的 FSIRX 时序适用于 SPI 兼容模式。设置和保持时间仅在 FSIRXCLK 的下降沿有效，因为这是 SPI 信令模式中的有效边沿。

6.15.3.3.1.1 FSITX SPI 信令模式开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数 ⁽¹⁾		最小值	最大值	单位
1	$t_c(\text{TXCLK})$	周期时间，TXCLK	19.417		ns
2	$t_w(\text{TXCLK})$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLKH} - \text{TXD0})$	TXCLK 高电平之后 TXD0 有效的延迟时间		3	ns
4	$t_d(\text{TXD1-TXCLK})$	TXD1 低电平之后 TXCLK 高电平的延迟时间	$t_w(\text{TXCLK}) - 3$		ns
5	$t_d(\text{TXCLK-TXD1})$	TXCLK 低电平之后 TXD1 高电平的延迟时间	$t_w(\text{TXCLK})$		ns

(1) 引脚上的 10pF 负载

6.15.3.3.1.2 FSITX SPI 信令模式时序

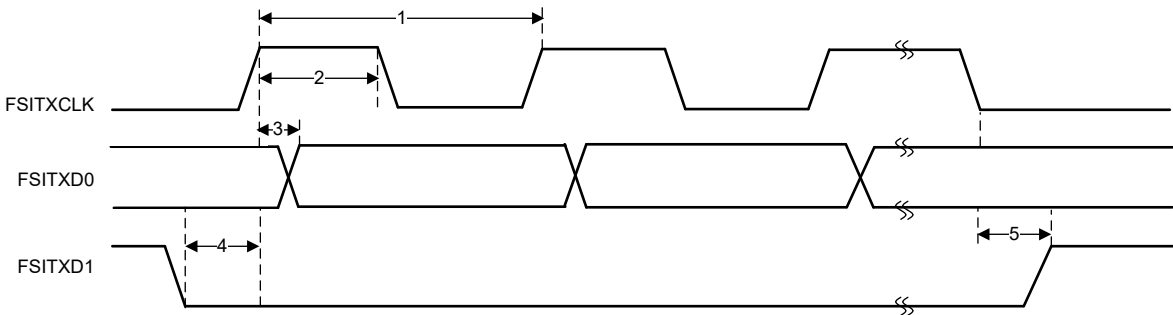


图 6-93. FSITX SPI 信令模式时序

6.15.4 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I²C 总线规范 (版本 2.1) :
 - 支持 8 位格式传输
 - 7 位和 10 位寻址模式
 - 常规调用
 - START 字节模式
 - 支持多个控制器-发送器和目标-接收器
 - 支持多个目标-发送器和控制器-接收器
 - 组合控制器发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400Kbps (快速模式)
- 支持与以下兼容的电压阈值：
 - SMBus 2.0 及更低版本
 - PMBus 1.2 及更低版本
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个中断
 - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
 - 发送就绪
 - 接收就绪
 - 寄存器访问就绪
 - 无确认
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为目标
 - I2Cx FIFO 中断：
 - 发送 FIFO 中断
 - 接收 FIFO 中断
- 模块启用和禁用能力
- 自由数据格式模式

图 6-94 显示了 I2C 外设模块如何在器件内连接。

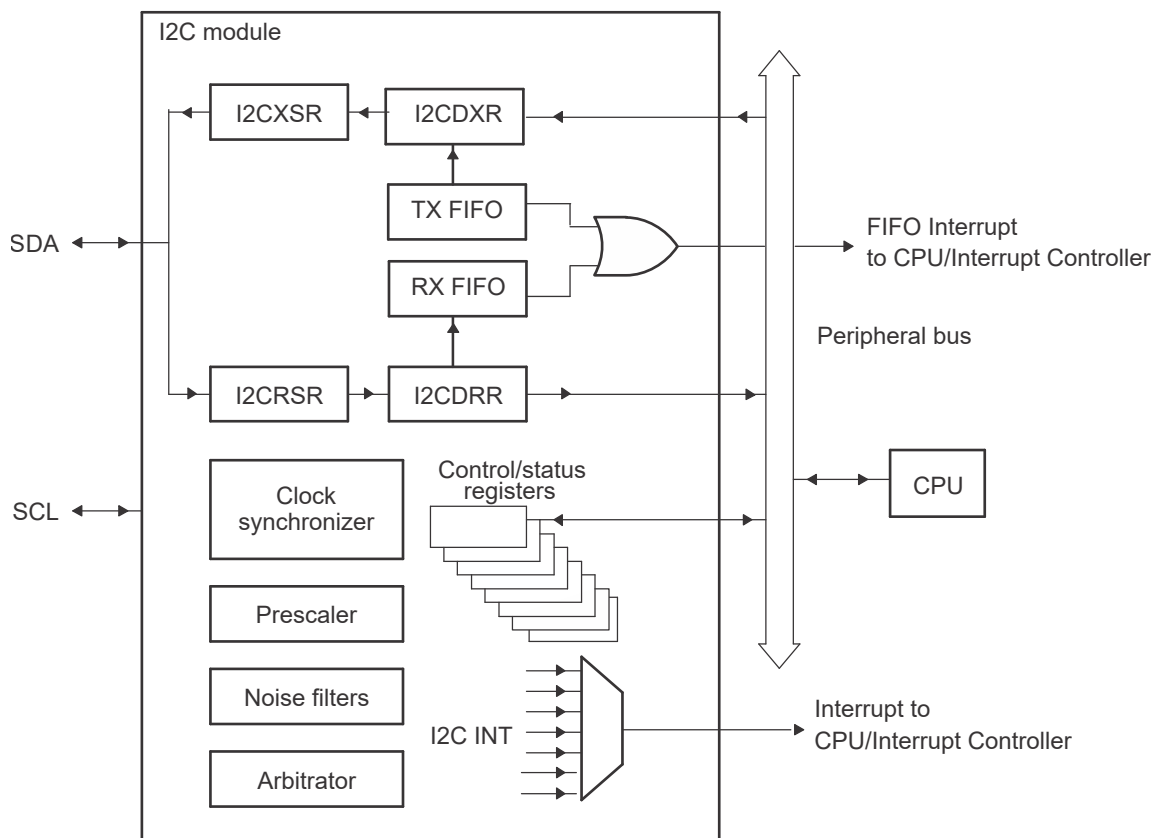


图 6-94. I2C 外设模块接口

6.15.4.1 I2C 电气数据和时序

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

必须选择符合 I2C 标准时序的上拉电阻。在大多数情况下，2.2k Ω 的总线至 VDDIO 总线电阻是足够的。要评估特定设计的上拉电阻器阻值，请参阅 [I2C 总线上拉电阻器计算](#) 应用手册。

6.15.4.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f _{mod}	I2C 模块频率	7	12	MHz
T1	t _h (SDA-SCL)START	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		μ s
T2	t _{su} (SCL-SDA)START	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0		μ s
T3	t _h (SCL-DAT)	保持时间，SCL 下降后的数据	0		μ s
T4	t _{su} (DAT-SCL)	设置时间，SCL 上升前的数据	250 ⁽²⁾		ns
T5	t _r (SDA)	上升时间，SDA		1000 ⁽¹⁾	ns
T6	t _r (SCL)	上升时间，SCL		1000 ⁽¹⁾	ns
T7	t _f (SDA)	下降时间，SDA		300	ns
T8	t _f (SCL)	下降时间，SCL		300	ns
T9	t _{su} (SCL-SDA)STOP	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		μ s
T10	t _w (SP)	一个 I2C 模块时钟	0	50	ns
T11	C _b	每条总线上的电容负载		400	pF
快速模式					
T0	f _{mod}	I2C 模块频率	7	12	MHz
T1	t _h (SDA-SCL)START	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		μ s
T2	t _{su} (SCL-SDA)START	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		μ s
T3	t _h (SCL-DAT)	保持时间，SCL 下降后的数据	0		μ s
T4	t _{su} (DAT-SCL)	设置时间，SCL 上升前的数据	100		ns
T5	t _r (SDA)	上升时间，SDA	20	300	ns
T6	t _r (SCL)	上升时间，SCL	20	300	ns
T7	t _f (SDA)	下降时间，SDA	11.4	300	ns
T8	t _f (SCL)	下降时间，SCL	11.4	300	ns
T9	t _{su} (SCL-SDA)STOP	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		μ s
T10	t _w (SP)	一个 I2C 模块时钟	0	50	ns
T11	C _b	每条总线上的电容负载		400	pF

(1) 为更大幅度地缩短上升时间，TI 建议在 SDA 和 SCL 总线线路上使用大约 2.2k Ω 网络上拉电阻的强上拉电阻。还建议匹配 SCL 和 SDA 引脚上使用的上拉电阻的值。

(2) C2000 I2C 是一种快速模式器件。在标准模式主机上将 I2C 用作目标发送器时存在限制。更多详细信息，请参阅 [TMS320F28P65x 实时 MCU 器件勘误表](#)。

6.15.4.1.2 I2C 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数	测试条件	最小值	最大值	单位
标准模式					
S1	f _{SCL}	SCL 时钟频率	0	100	kHz

6.15.4.1.2 I2C 开关特性 (续)

在建议运行条件下测得 (除非另有说明)

编号	参数		测试条件	最小值	最大值	单位
S2	T _{SCL}	SCL 时钟周期		10		μs
S3	t _w (SCLL)	脉冲持续时间，SCL 时钟低电平		4.7		μs
S4	t _w (SCLH)	脉冲持续时间，SCL 时钟高电平		4.0		μs
S5	t _{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	t _v (SCL-DAT)	有效时间，SCL 下降后的数据			3.45	μs
S7	t _v (SCL-ACK)	有效时间，SCL 下降后的确认			3.45	μs
	V _{IL}	有效低电平输入电压		-0.3	0.3 * V _{DDIO}	V
	V _{IH}	有效高电平输入电压		0.7 * V _{DDIO}	V _{DDIO} + 0.3	V
	V _{OL}	低电平输出电压	灌电流 3mA	0	0.4	V
S8	I _I	引脚上的输入电流	0.1 V _{bus} < V _i < 0.9 V _{bus}	-10	10	μA
快速模式						
S1	f _{SCL}	SCL 时钟频率		0	400	kHz
S2	T _{SCL}	SCL 时钟周期		2.5		μs
S3	t _w (SCLL)	脉冲持续时间，SCL 时钟低电平		1.3		μs
S4	t _w (SCLH)	脉冲持续时间，SCL 时钟高电平		0.6		μs
S5	t _{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	t _v (SCL-DAT)	有效时间，SCL 下降后的数据			0.9	μs
S7	t _v (SCL-ACK)	有效时间，SCL 下降后的确认			0.9	μs
	V _{IL}	有效低电平输入电压		-0.3	0.3 * V _{DDIO}	V
	V _{IH}	有效高电平输入电压		0.7 * V _{DDIO}	V _{DDIO} + 0.3	V
	V _{OL}	低电平输出电压	灌电流 3mA	0	0.4	V
S8	I _I	引脚上的输入电流	0.1 V _{bus} < V _i < 0.9 V _{bus}	-10	10	μA

6.15.4.1.3 I2C 时序图

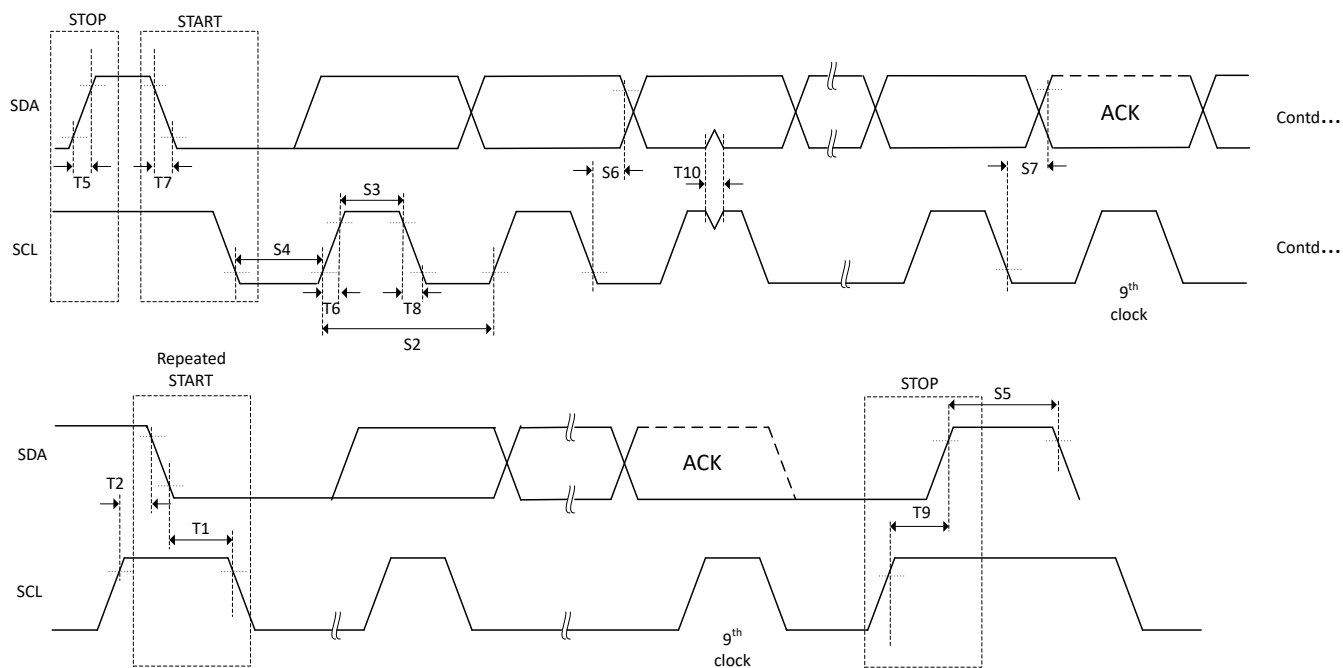


图 6-95. I2C 时序图

6.15.5 电源管理总线 (PMBus) 接口

PMBus 模块具有以下特性：

- 符合 SMI Forum PMBus 规范 (第 I 部分 v1.0 和第 II 部分 v1.1)
- 支持与以下兼容的电压阈值：
 - PMBus 及更低版本
 - SMBus 及更低版本
- 支持 控制器和目标
- 支持 I2C 模式
- 支持速度：
 - 标准模式：高达 100kHz
 - 快速模式：400kHz
- 数据包错误检查
- 控制和警报信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲器
- 一个可屏蔽中断，可由以下几个条件生成：
 - 接收数据就绪
 - 发送缓冲器为空
 - 接收到目标地址
 - 消息结束
 - 警报输入被置为有效
 - 时钟低超时
 - 时钟高电平超时
 - 总线空闲

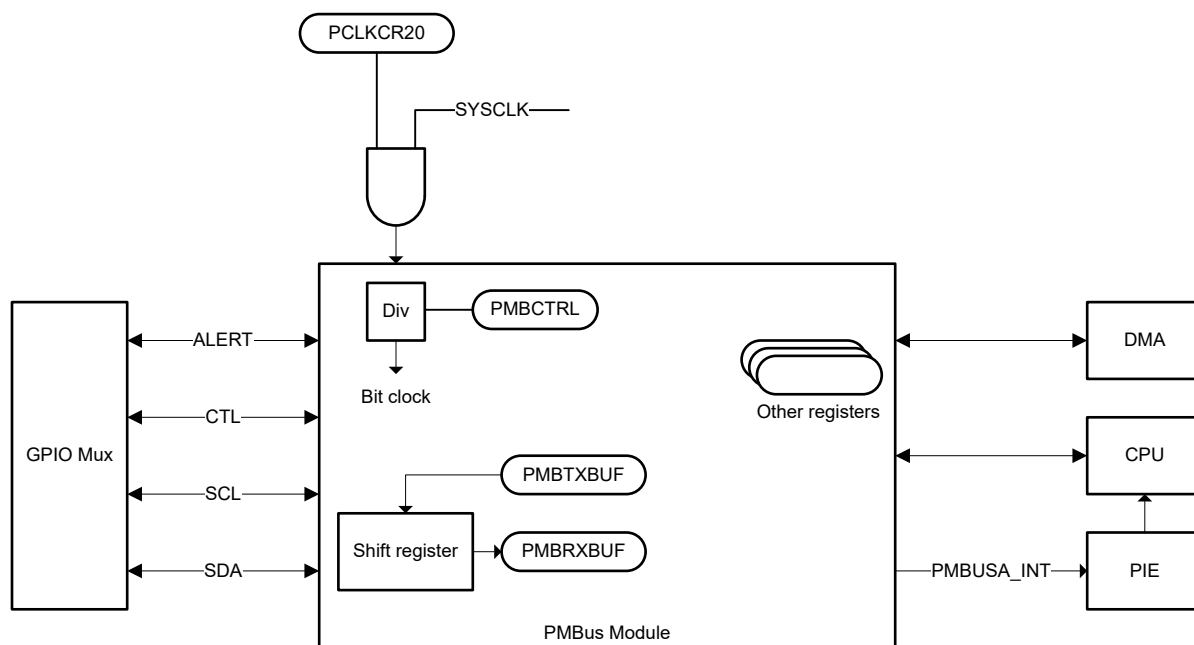


图 6-96. PMBus 方框图

6.15.5.1 PMBus 电气数据和时序

6.15.5.1.1 PMBus 电气特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
V_{IL}	有效低电平输入电压			0.8	V
V_{IH}	有效高电平输入电压	2.1		VDDIO	V
V_{OL}	低电平输出电压	在 $I_{pullup} = 4mA$ 时		0.4	V
I_{OL}	低电平输出电流	$V_{OL} \leq 0.4V$		4	mA
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度	0		50	ns
I_i	每个引脚上的输入漏电流	$0.1V_{bus} < V_i < 0.9V_{bus}$		-10	μA
C_i	每个引脚上的电容			10	pF
V_{noise}	10MHz 至 100MHz 的信号抗扰度	300			mV p-p

6.15.5.1.2 PMBus 快速模式开关特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
F_{MOD}	PMBUS 模块时钟频率	6.25		10	MHz
f_{SCL}	SCL 时钟频率	10		400	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间	1.3			μs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟	0.6			μs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟	0.6			μs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟	0.6			μs
$t_{HD;DAT}$	SCL 下降后的数据保持时间	300			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间	100			ns
$t_{Timeout}$	时钟低超时	25		35	ms
t_{LOW}	SCL 时钟的低电平周期	1.3			μs
t_{HIGH}	SCL 时钟的高电平周期	0.6		50	μs
$t_{LOW;SEXT}$	累计时钟低电平延长时间 (目标器件)	从启动到停止		25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间 (控制器器件)	在每个字节内		10	ms
t_r	SDA 和 SCL 的上升时间	5% 至 95%		20	ns
t_f	SDA 和 SCL 的下降时间	95% 至 5%		20	ns

6.15.5.1.3 PMBus 标准模式开关特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
F_{MOD}	PMBUS 模块时钟频率	6.25		10	MHz
f_{SCL}	SCL 时钟频率	10		100	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间	4.7			μs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟	4			μs

6.15.5.1.3 PMBus 标准模式开关特性 (续)

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
$t_{SU,STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		4.7			μs
$t_{SU,STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		4			μs
$t_{HD,DAT}$	SCL 下降后的数据保持时间		300			ns
$t_{SU,DAT}$	SCL 上升前的数据设置时间		250			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		4.7			μs
t_{HIGH}	SCL 时钟的高电平周期		4		50	μs
$t_{LOW,SEXT}$	累计时钟低电平延长时间 (目标器件)	从启动到停止			25	ms
$t_{LOW,MEXT}$	累计时钟低电平延长时间 (控制器器件)	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间				1000	ns
t_f	SDA 和 SCL 的下降时间				300	ns

6.15.6 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和组帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：
 - SCITXD：SCI 发送-输出引脚
 - SCIRXD：SCI 接收-输入引脚
 - 波特率可编程为 64K 不同速率
- 数据字格式
 - 1 个起始位
 - 数据字长度可在 1 至 8 位之间编程
 - 可选偶数/奇数/无奇偶校验位
 - 1 个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
 - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
 - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

图 6-97 展示了 SCI 方框图。

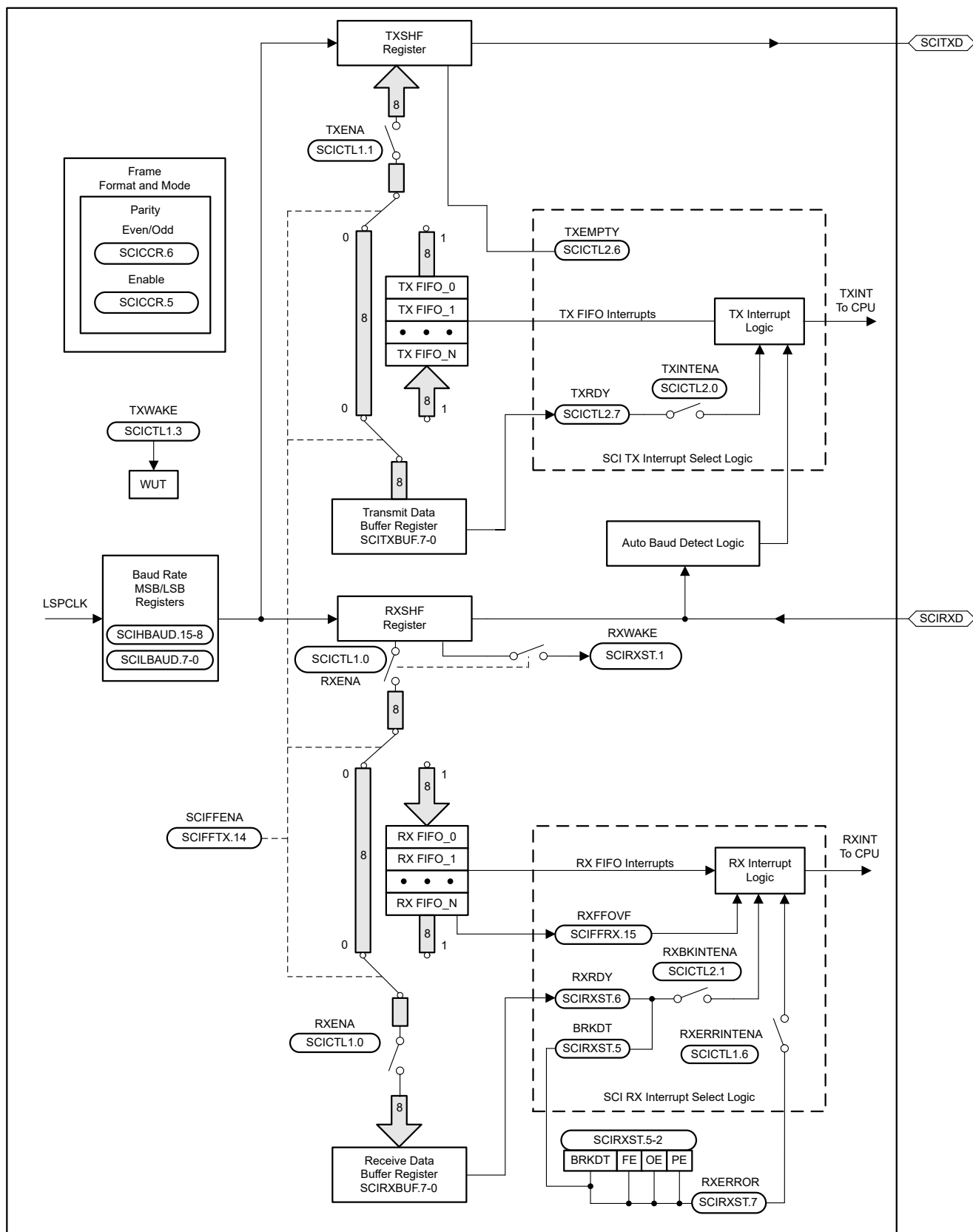


图 6-97. SCI 方框图

6.15.7 串行外设接口 (SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度 (1 至 16 位) 的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的控制器或外设运行时支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的功能包括：

- SPIPOCI：SPI 外设输出/控制器输入引脚
- SPIPICO：SPI 外设输入/控制器输出引脚
- $\overline{\text{SPIPTE}}$ ：SPI 外设发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两种工作模式：控制器和外设
- 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
- 数据字长度：1 至 16 数据位
- 四种时钟方案 (由时钟极性和时钟相位的位控制) 包含：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作 (可在软件中禁用发送功能)
- 发送器和接收器操作通过中断驱动或轮询算法完成
- 16 级发送/接收 FIFO
- 高速模式
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPIPTE}}$ 反转

图 6-98 所示为 SPI CPU 接口。

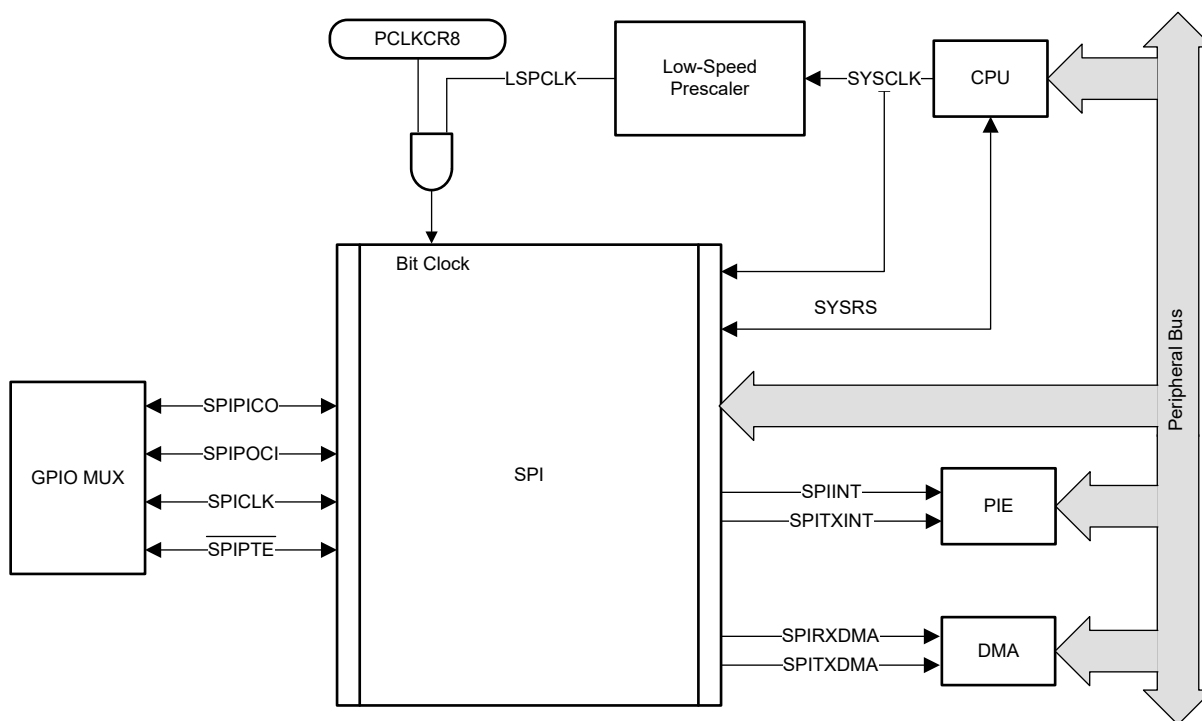


图 6-98. SPI CPU 接口

6.15.7.1 SPI 控制器模式时序

以下各节介绍了 SPI 控制器模式时序。更多有关 SPI 高速模式的信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“串行外设接口 (SPI)”一章。

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPIPICO 和 SPIPOCI 上的负载电容为 5pF。在 HS_MODE 下，最大支持 50MHz 的时钟。

更多有关 SPI 高速模式的信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“串行外设接口 (SPI)”一章。

要在高速模式下使用 SPI，应用必须使用启用高速的 GPIO (请参阅 [高速 SPI 引脚多路复用](#) 部分)。表 6-29 列出了支持高速模式的 SPI 时钟。

表 6-29. 支持高速模式的 SPI 时钟

SPI 时钟	GPIO 引脚编号
SPICLKA	GPIO60
SPICLKB	GPIO65
SPICLKC	GPIO71
SPICLKD	GPIO93

6.15.7.1.1 SPI 控制器模式开关特性 - 时钟相位为 0

在建议运行条件下测得 (除非另有说明)

编号	参数 ^{(1) (2)}		(BRR + 1) 条件 ⁽³⁾	最小值		最大值	单位
通用							
1	t _c (SPC) _M	周期时间，SPICLK	偶数	4t _c (LSPCLK)		128t _c (LSPCLK)	ns
			奇数	5t _c (LSPCLK)		127t _c (LSPCLK)	
2	t _w (SPC1) _M	脉冲持续时间，SPICLK，第一个脉冲	偶数	0.5t _c (SPC) _M - 1		0.5t _c (SPC) _M + 1	ns
			奇数	0.5t _c (SPC) _M + 0.5t _c (LSPCLK) - 1		0.5t _c (SPC) _M + 0.5t _c (LSPCLK) + 1	
3	t _w (SPC2) _M	脉冲持续时间，SPICLK，第二个脉冲	偶数	0.5t _c (SPC) _M - 1		0.5t _c (SPC) _M + 1	ns
			奇数	0.5t _c (SPC) _M - 0.5t _c (LSPCLK) - 1		0.5t _c (SPC) _M - 0.5t _c (LSPCLK) + 1	
23	t _d (SPC) _M	延迟时间，SPIPTE 有效至 SPICLK 的时间	偶数	1.5t _c (SPC) _M - 3t _c (SYSCLK) - 3		1.5t _c (SPC) _M - 3t _c (SYSCLK) + 3	ns
			奇数	1.5t _c (SPC) _M - 4t _c (SYSCLK) - 3		1.5t _c (SPC) _M - 4t _c (SYSCLK) + 3	
24	t _v (PTE) _M	有效时间，SPICLK 至 SPIPTE 无效的时间	偶数	0.5t _c (SPC) _M - 3		0.5t _c (SPC) _M + 3	ns
			奇数	0.5t _c (SPC) _M - 0.5t _c (LSPCLK) - 3		0.5t _c (SPC) _M - 0.5t _c (LSPCLK) + 3	
高速模式							
4	t _d (PICO) _M	延时时间，SPICLK 至 SPIPICO 有效的时间	偶数，奇数			1	ns
5	t _v (PICO) _M	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	0.5t _c (SPC) _M - 1		ns	
			奇数	0.5t _c (SPC) _M - 0.5t _c (LSPCLK) - 1			
正常模式							
4	t _d (PICO) _M	延时时间，SPICLK 至 SPIPICO 有效的时间	偶数，奇数			5	ns
5	t _v (PICO) _M	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	0.5t _c (SPC) _M - 3		ns	
			奇数	0.5t _c (SPC) _M - 0.5t _c (LSPCLK) - 3			

(1) 高速模式下引脚上的负载为 5pF。

(2) 正常模式下引脚上的负载为 20pF。

(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

6.15.7.1.2 SPI 控制器模式开关特性 - 时钟相位为 1

在建议运行条件下测得 (除非另有说明)

编号	参数 ^{(1) (2)}		(BRR + 1) 条件 ⁽³⁾	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间, $\overline{SPIPTE}$ 有效至 SPICLK 的时间	偶数, 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCCLK)} + 3$	ns
24	$t_{v(PTE)M}$	有效时间, SPICLK 至 $\overline{SPIPTE}$ 无效的时间	偶数	- 3	+3	ns
			奇数	- 3	+3	
高速模式						
4	$t_{d(PICO)M}$	延时时间, SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(PICO)M}$	有效时间, SPICLK 之后 SPIPICO 有效的的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
正常模式						
4	$t_{d(PICO)M}$	延时时间, SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 5$		
5	$t_{v(PICO)M}$	有效时间, SPICLK 之后 SPIPICO 有效的的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 高速模式下引脚上的负载为 5pF。

(2) 正常模式下引脚上的负载为 20pF。

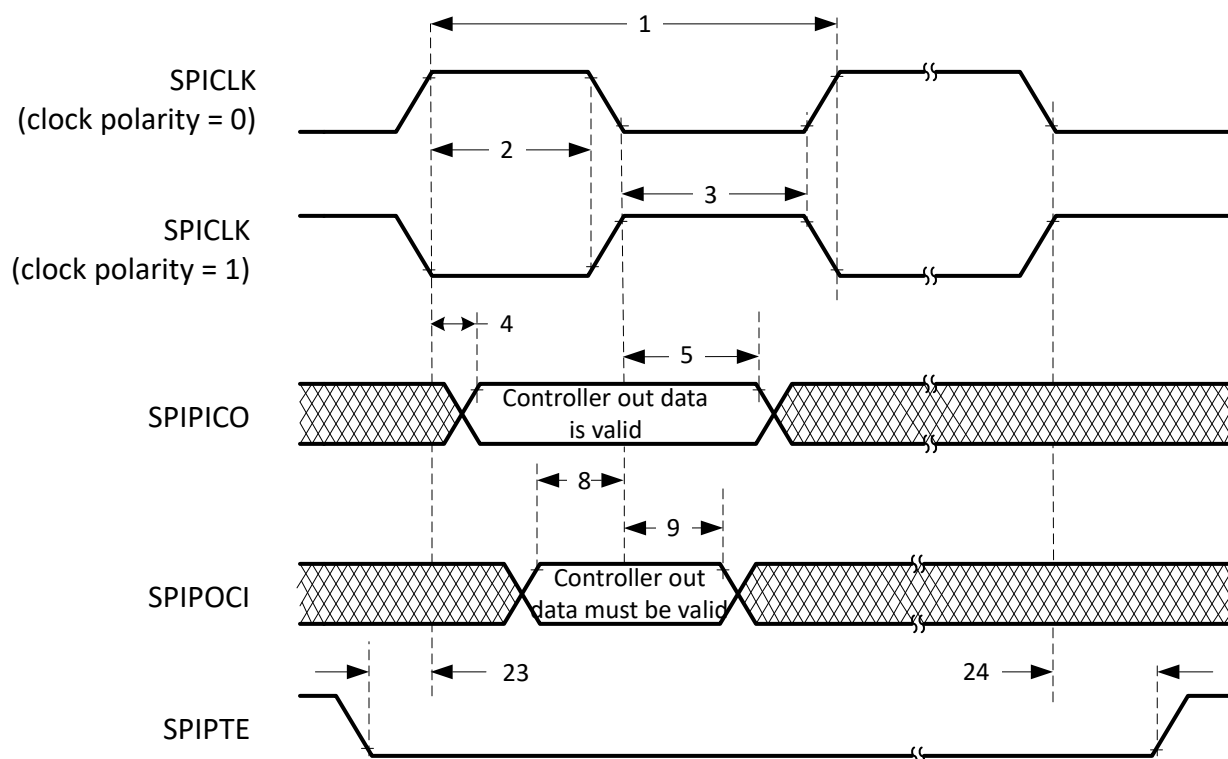
(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

6.15.7.1.3 SPI 控制器模式时序要求

编号	(BRR + 1) 条件 ⁽¹⁾			最小值	最大值	单位
高速模式						
8	t _{su(POCI)M}	SPICLK 之前 SPIPOCI 有效的设置时间	偶数, 奇数	1		ns
9	t _{h(POCI)M}	SPICLK 之后 SPIPOCI 有效的保持时间	偶数, 奇数	5		ns
正常模式						
8	t _{su(POCI)M}	SPICLK 之前 SPIPOCI 有效的设置时间	偶数, 奇数	20		ns
9	t _{h(POCI)M}	SPICLK 之后 SPIPOCI 有效的保持时间	偶数, 奇数	0		ns

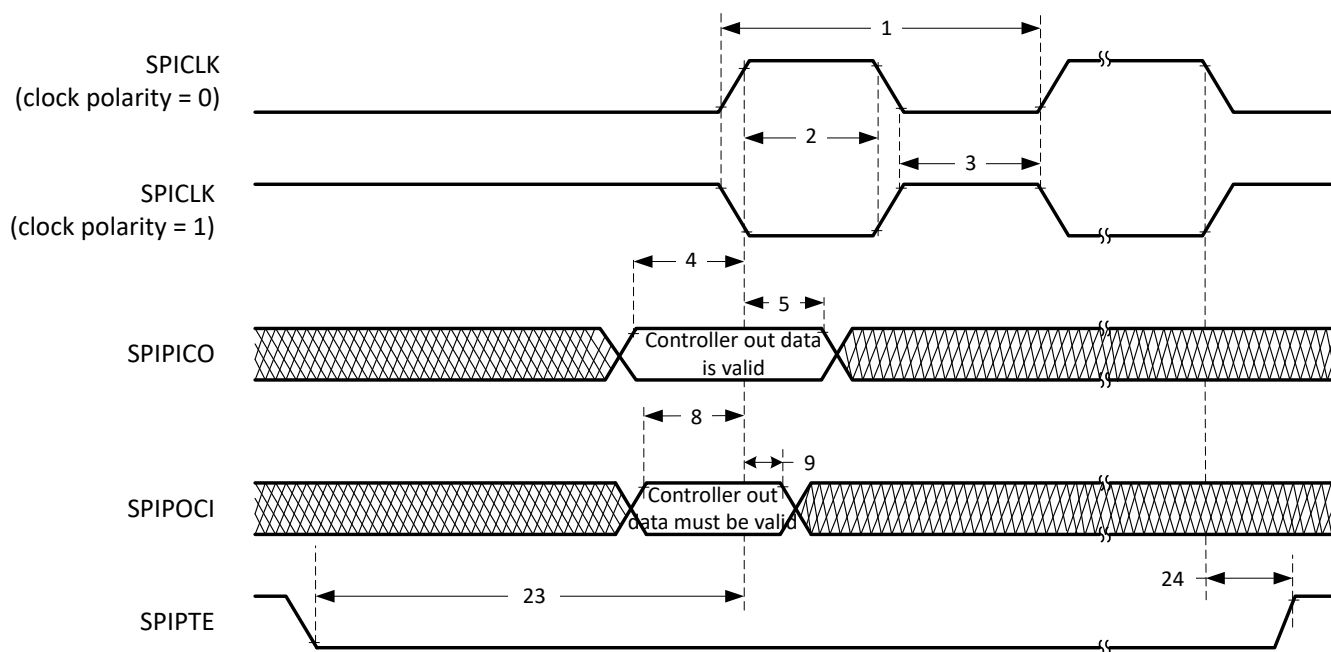
(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

6.15.7.1.4 SPI 控制器模式时序图



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端， $\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-99. SPI 控制器模式外部时序 (时钟相位 = 0)



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端， $\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-100. SPI 控制器模式外部时序 (时钟相位 = 1)

6.15.7.2 SPI 外设模式时序

以下各节介绍了 SPI 外设模式时序。更多有关 SPI 高速模式的信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“串行外设接口 (SPI)”一章。

6.15.7.2.1 SPI 外设模式开关特性

在建议运行条件下测得（除非另有说明）

编号	参数 ⁽¹⁾ ⁽²⁾		最小值	最大值	单位
高速模式					
15	t _{d(POCI)} S	延时时间，SPICLK 至 SPIPOCI 有效的时间		9	ns
16	t _{v(POCI)} S	有效时间，SPICLK 之后 SPIPOCI 有效的时间	0		ns
正常模式					
15	t _{d(POCI)} S	延时时间，SPICLK 至 SPIPOCI 有效的时间		20	ns
16	t _{v(POCI)} S	有效时间，SPICLK 之后 SPIPOCI 有效的时间	0		ns

- (1) 高速模式下引脚上的负载为 5pF。
(2) 正常模式下引脚上的负载为 20pF。

6.15.7.2.2 SPI 外设模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(PICO)S}$	SPICLK 之前 SPIPICO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(PICO)S}$	SPICLK 之后 SPIPICO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(PTE)S}$	SPICLK 之前 $\overline{SPIPTE}$ 有效的设置时间（时钟相位 = 0）	$2t_{c(SYSCLK)} + 11$		ns
		SPICLK 之前 $\overline{SPIPTE}$ 有效的设置时间（时钟相位 = 1）	$2t_{c(SYSCLK)} + 20$		ns
26	$t_{h(PTE)S}$	SPICLK 之后 $\overline{SPIPTE}$ 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

6.15.7.2.3 SPI 外设模式时序图

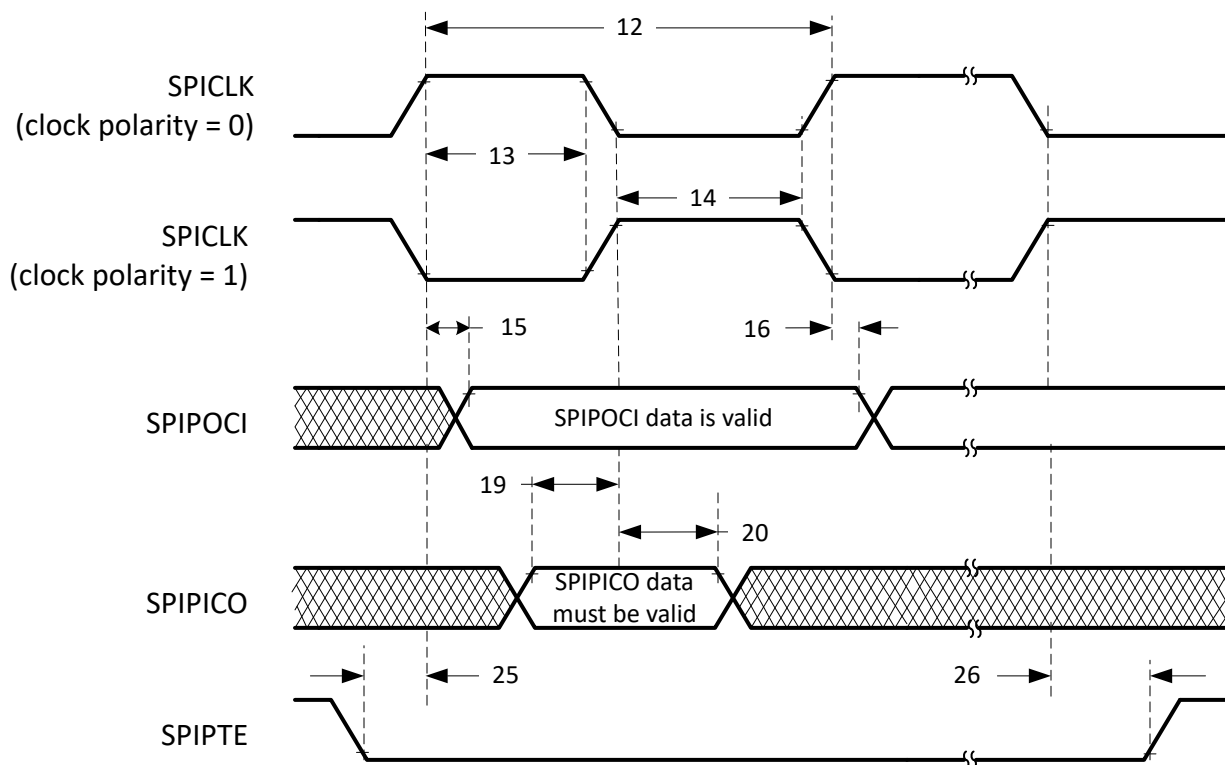


图 6-101. SPI 外设模式外部时序 (时钟相位 = 0)

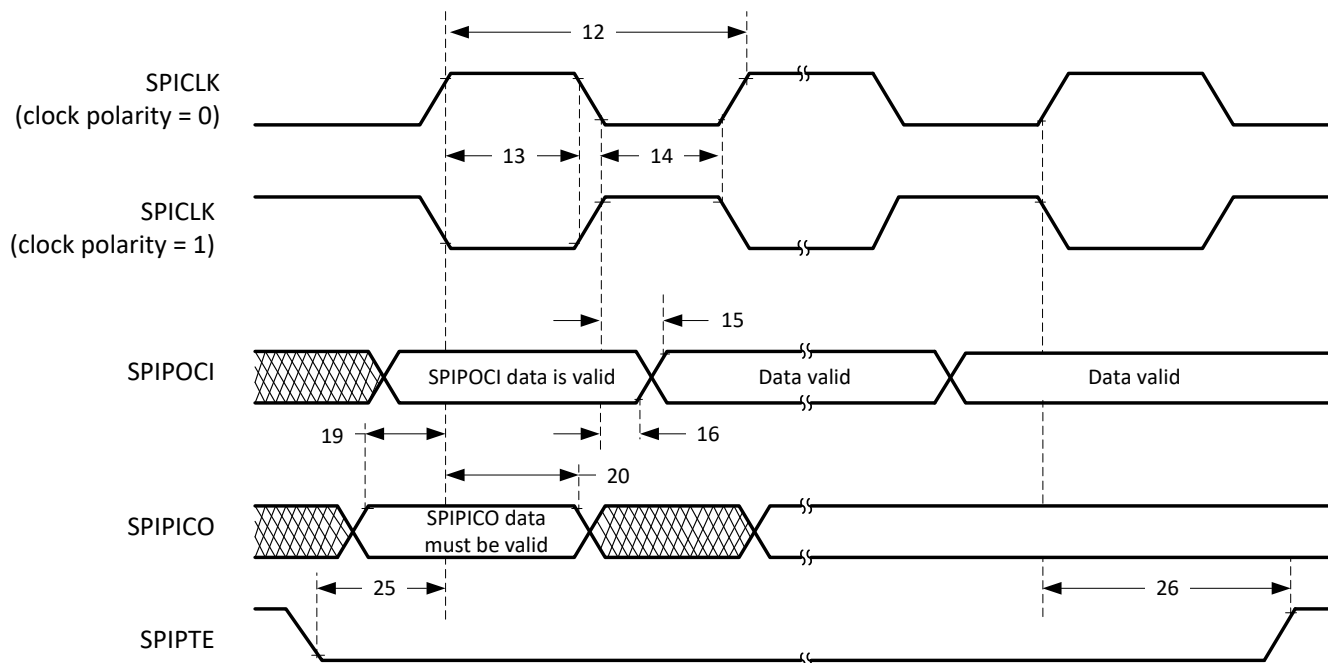


图 6-102. SPI 外设模式外部时序 (时钟相位 = 1)

6.15.8 本地互连网络 (LIN)

此器件包含一个本地互连网络 (LIN) 模块。LIN 模块遵循 *LIN 规范包修订版 2.1* 定义的 LIN 2.1 标准。LIN 是一种低成本串行接口，专为 CAN 协议实施成本太高的应用而设计，例如用于汽车应用中车内照明或车窗控制等舒适功能的小型子网。

LIN 标准基于 SCI (UART) 串行数据链路格式。通信原理是单个指挥官和多个响应者通过消息识别在任何网络节点之间实现多播传输。

LIN 模块可以编程作为一个 SCI 或作为一个 LIN 运行，因为此模块的内核为 SCI。SCI 的硬件特性得到增强以实现 LIN 兼容性。SCI 模块是一个通用异步收发器 (UART)，可实现标准的非归零格式。

虽然 LIN 和 SCI 的寄存器是通用的，但是寄存器说明中有相应注释指出不同模式下的寄存器/位用法。因此，为该模块编写的代码无法直接移植到独立 SCI 模块，反之亦然。

LIN 模块具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 波特率最高可配置为 20kbps (根据 LIN 2.1 协议)
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动生成指挥官头文件
 - 可编程同步中断域
 - 同步域
 - 标识符域
- 响应者自动同步
 - 同步中断检测
 - 可选波特率更新
 - 同步验证
- 使用 7 个分数位支持 2^{31} 个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
 - 唤醒信号生成
 - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
 - 位错误
 - 总线错误
 - 无响应错误
 - 校验和错误
 - 同步域错误
 - 奇偶校验错误
- 两个中断线路带有以下项目的优先级编码：
 - 接收
 - 发送
 - ID、错误和状态
- 支持 LIN 2.0 校验和
- 增强型同步器有限状态机 (FSM) 支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 更新唤醒/进入睡眠模式

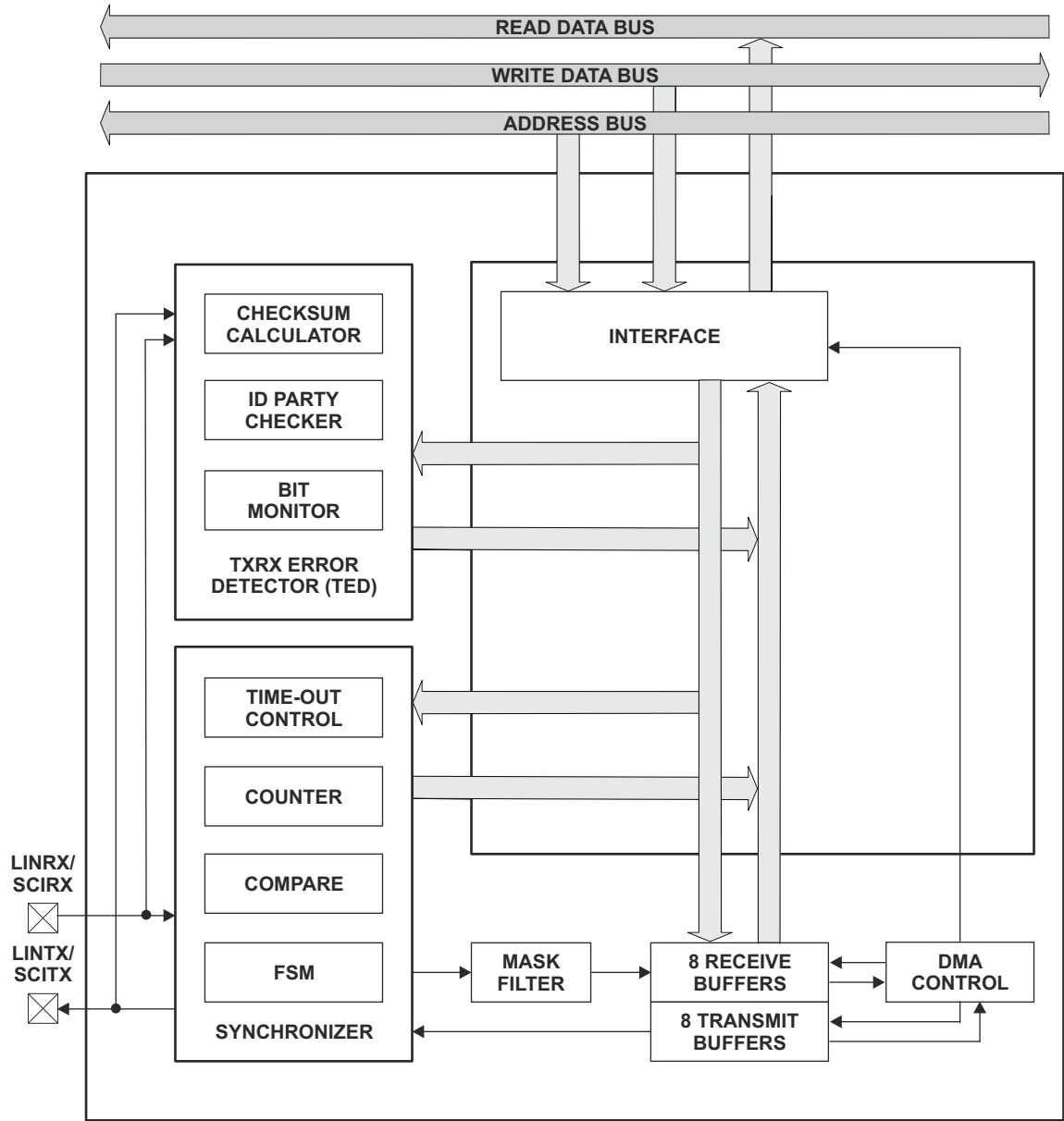


图 6-103. LIN 方框图

6.15.9 EtherCAT 从属器件控制器 (ESC)

用于控制自动化技术的以太网 (EtherCAT®) 是一种基于以太网的现场总线系统，由 Beckhoff Automation 发明，并在 IEC 61158 中进行了标准化。连接到总线的所有从属器件 (或 SubDevice) 节点均可快速解释、处理和修改发送给它们的数据，而无需在节点内缓冲帧。这种实时行为、帧处理和转发要求由 EtherCAT SubDevice 控制器 (ESC) 硬件实现。EtherCAT 不需要软件交互即可在 SubDevice 内部进行数据传输。EtherCAT 仅定义 MAC 层，而更高层协议和堆栈在连接到 ESC 的微控制器上的软件中实现。

EtherCAT :

- 涉及主器件 (或 MDevice) 和 SubDevice 设置，其中 SubDevice 节点在物理上采用菊花链式连接，但在逻辑上采用环路运行
- 专门用于在 SubDevice 节点间实现精确、低抖动同步
- 使用 IEEE 802.3 以太网物理层和标准以太网帧

6.15.9.1 ESC 特性

此 MCU 上的 ESC 具有以下功能：

- 最多 2 个 MII 端口，用于连接 EtherCAT PHY
- 通过 16 位异步接口处理数据接口
- 64 位分布式时钟
 - 同步器件事件的同步输出信号和支持事件时间戳的锁存输入信号
 - SYNC0/1 (o/ps) 和 LATCH0/1 的分布式时钟功能能够同步 GPIO，允许来自任何 GPIO 的输入以及用于内部器件事件的其他多路复用选项
- 8 个现场总线存储器管理单元 (FMMU)
 - 支持 RD/、WR/、RDWR 的所有本机类型以及位寻址和字节寻址的内置特性
- 8 个同步管理器
- I2C EEPROM 接口
- 多达 32 个通用输入 (GPI) 和 32 个通用输出 (GPO)
- 2 个 SYNC 信号和 2 个 LATCH 信号连接到 GPIO 焊盘
- 支持奇偶校验的 16KB RAM

6.15.9.2 ESC 子系统集成特性

除了 ESC 特性外，以下是通过集成 ESC 和 MCU 提供的特定于器件的特性：

- 在初始化期间向 CPU1 子系统分配 ESC 访问权限
- 来自 MDevice 的 EtherCAT 复位请求可路由到 MCU 上的 NMI 或通用中断控制器
- RAM 奇偶校验错误路由到 MCU 上的 NMI
- DMA 访问 EtherCAT RAM
- 具有多达 32 个 GPI 和多达 32 个 GPO，可集成到 16 位异步 PDI 接口
- 用于连接 CLB 的接口
- SYNC0/1 的分布式时钟特性能够同步 PWM、产生中断/DMA 请求或触发 eCAP 捕捉，从而允许通过 GPIO 访问权限执行外部元件操作
- EtherCAT SYNC0/1 脉冲可以触发 CLA 任务
- LATCH0/1 的分布式时钟特性允许来自任何 GPIO 或 PWM 交叉开关触发器的输入

图 6-104 展示了 EtherCAT IP 的一般功能。



6.15.9.4 EtherCAT 电气数据和时序

6.15.9.4.1 EtherCAT 时序要求

编号			最小值	标称值	最大值	单位
EtherCAT						
	$t_c(\text{ECATCLK})$	ECATCLK 周期时间		10		ns
MII1	$t_c(\text{TXCLK})$	ESC_TXy_CLK 周期时间		40		ns
MII2/MII3	$t_w(\text{TXCK})$	ESC_TXy_CLK 高电平或低电平的脉冲持续时间	16		24	ns
MII4	$t_c(\text{RXCK})$	ESC_RXy_CLK 周期时间		40		ns
MII5/MII6	$t_w(\text{RXCK})$	ESC_RXy_CLK 高电平或低电平的脉冲持续时间	16		24	ns
MII8	$t_{su}(\text{RXDV-RXCKH})$	ESC_RXy_CLK 高电平之前接收信号有效的建立时间	10			ns
MII9	$t_h(\text{RXCKH-RXDV})$	ESC_RXy_CLK 高电平之后接收信号有效的保持时间	2			ns
MDIO						
MDIO4	$t_{su}(\text{MDV-MCKH})$	ESC_MDIO_CLK 高电平之前 ESC_MDIO_DATA 有效的建立时间	20			ns
MDIO5	$t_h(\text{MCKH-MDV})$	ESC_MDIO_CLK 高电平之后 ESC_MDIO_DATA 有效的保持时间	-1			ns

6.15.9.4.2 EtherCAT 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	典型值	最大值	单位
自动移位补偿						
MII7	t _d (TXCLK-TXDV)	ESC_TXy_CLK 至 ESC_TXy_DATA[3:0] 和 ESC_TXy_ENA 的延迟时间	0 + input_dly + output_dly + TX_SHIFT*t_c(CLK_100) 10 + input_dly + output_dly + TX_SHIFT*t_c(CLK_100)			ns
MDIO						
MDIO1	t _c (MCK)	ESC_MDIO_CLK 周期时间	400			ns
MDIO2/MDIO3	t _w (MCK)	ESC_MDIO_CLK 高电平或低电平的 脉冲持续时间	160		240	ns
MDIO7	t _d (MCKH-MDV)	ESC_MDIO_CLK 高电平至 ESC_MDIO_DATA 有效的延迟时间			0.5t _c (MCK) + 30	ns
	t _v (MCKH-MDV)	ESC_MDIO_CLK 高电平之后 ESC_MDIO_DATA 有效的有效时间	0.5t _c (MCK) - 3.0			ns

6.15.9.4.3 EtherCAT 时序图

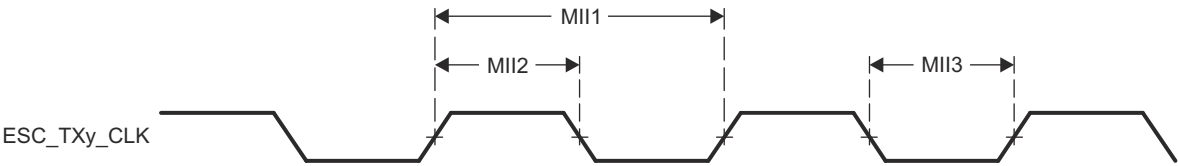


图 6-105. EtherCAT 发送时钟时序 (MII 运行模式)

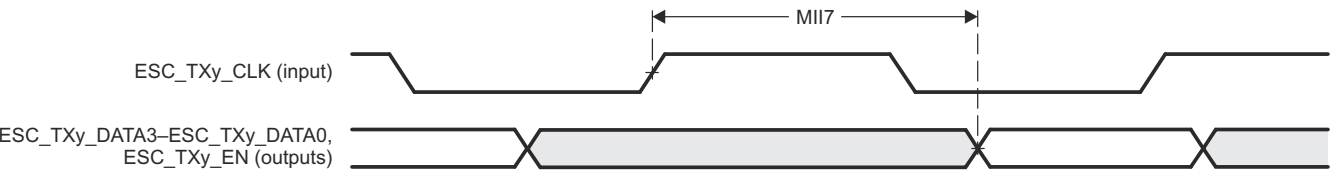


图 6-106. EtherCAT 发送接口时序 (MII 运行模式)

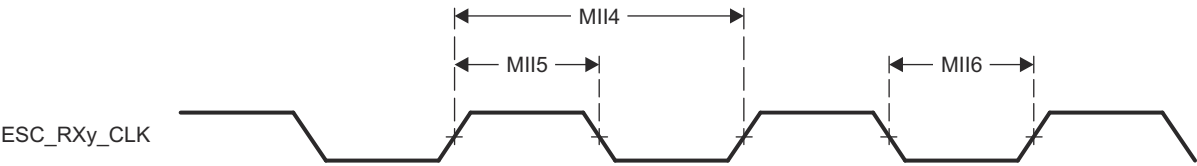


图 6-107. EtherCAT 接收时钟时序 (MII 运行模式)

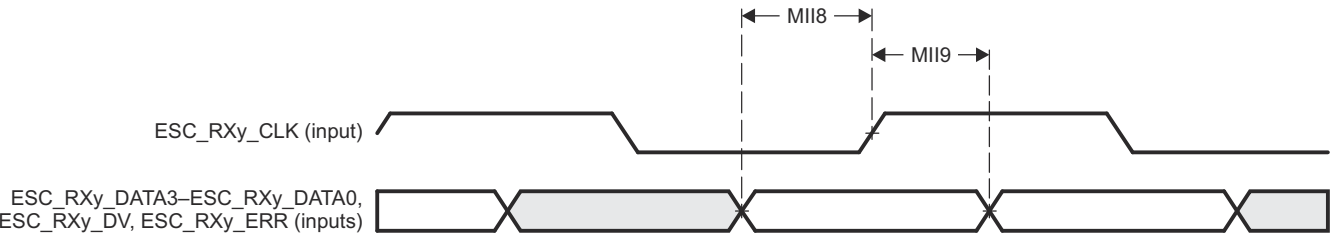


图 6-108. EtherCAT 接收接口时序 (MII 运行模式)

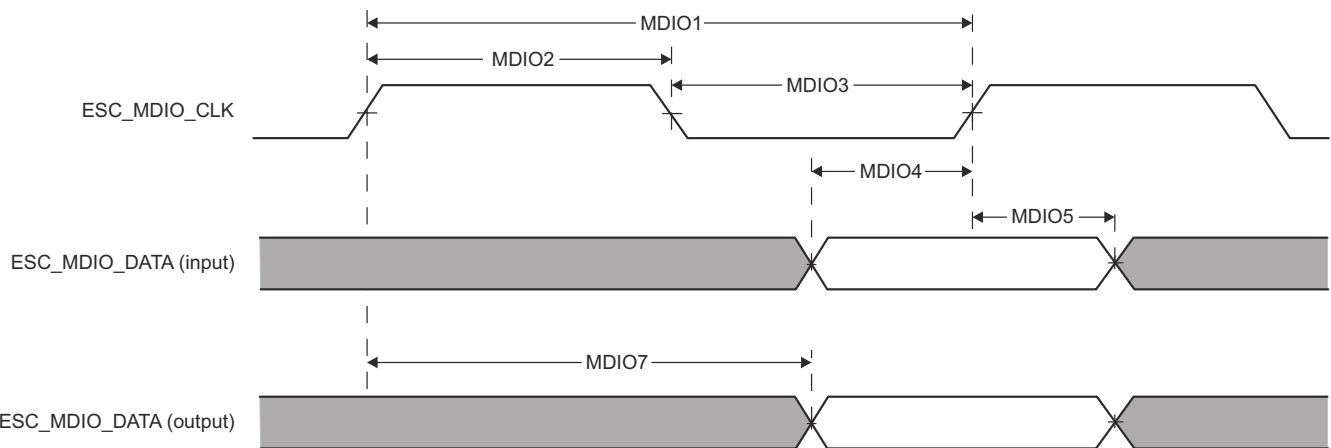


图 6-109. EtherCAT MDIO 时序图

6.15.10 通用串行总线 (USB)

在与 USB 主机或器件功能进行点对点通信过程中，USB 控制器作为全速或低速功能控制器工作。

USB 模块具有以下特性：

- USB 2.0 全速和低速运行
- 集成式 PHY
- 三种传输类型：控制传输、中断传输和批量传输
- 32 个端点
 - 一个专用的控制输入端点和一个专用的控制输出端点
 - 15 个可配置输入端点和 15 个可配置输出端点
- 4KB 专用端点内存

图 6-110 显示了 USB 方框图。

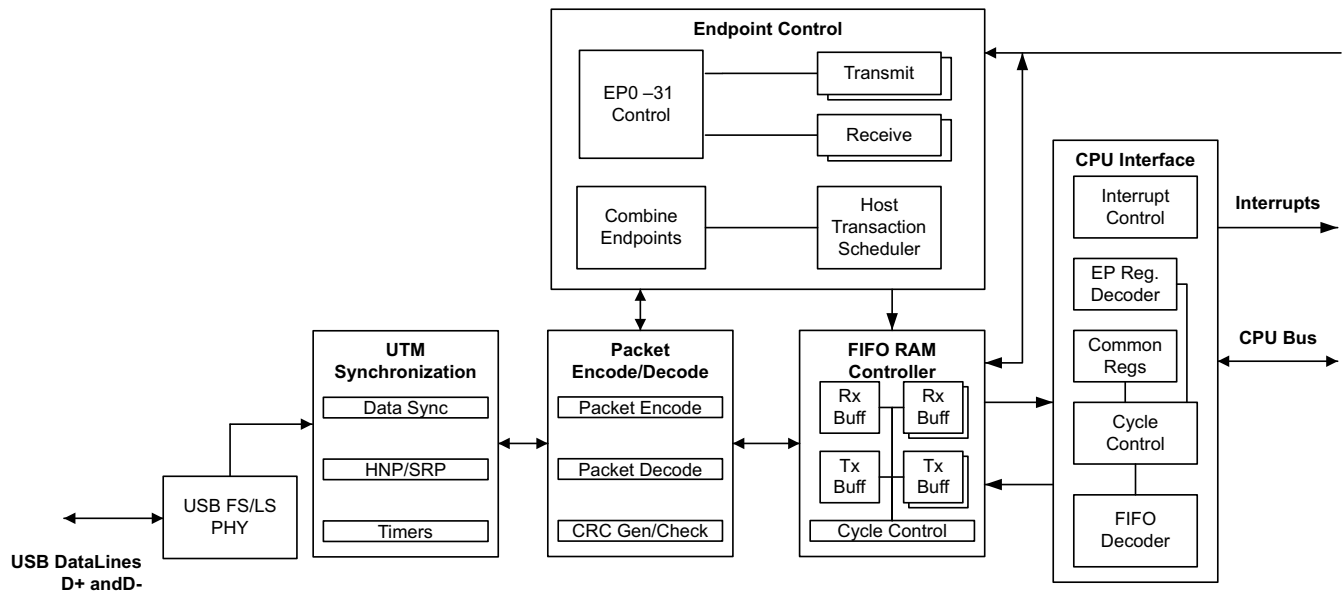


图 6-110. USB 方框图

备注

片上零引脚振荡器的精度（请参阅 *INTOSC* 特性部分）将无法满足 USB 协议的精度要求。对于使用 USB 的应用，必须使用外部时钟源。有关使用 USB 引导模式的应用，请参阅 *引导 ROM* 和 *外设引导* 部分了解时钟频率要求。

6.15.10.1 USB 电气数据和时序

6.15.10.1.1 USB 输入端口 DP 和 DM 时序要求

		最小值	最大值	单位
V(CM)	差分输入共模范围	0.8	2.5	V
Z(IN)	输入阻抗	300		k Ω
VCRS	交叉电压	1.3	2.0	V
V _{IL}	静态 SE 输入逻辑低电平	0.8		V
V _{IH}	静态 SE 输入逻辑高电平		2.0	V
VDI	差分输入电压	0.2		V

6.15.10.1.2 USB 输出端口 DP 和 DM 开关特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	最大值	单位
V _{OH}	D+, D- 单端	USB 2.0 负载条件	2.8	3.6	V
V _{OL}	D+, D- 单端	USB 2.0 负载条件	0	0.3	V
Z(DRV)	D+, D- 阻抗		28	44	Ω
t _r	上升时间	全速, 差分, C _L = 50pF, 10%/90%, R _{pu} 处于 D+ 上	4	20	ns
t _f	下降时间	全速, 差分, C _L = 50pF, 10%/90%, R _{pu} 处于 D+ 上	4	20	ns

6.15.11 通用异步接收器/发送器 (UART)

此器件中的通用异步接收器/发送器 (UART) 模块包含以下特性：

- 可编程的波特率发生器，在常规模式 (16 分频) 下最高可达 12.5Mbps，在高速模式 (8 分频) 下最高可达 25Mbps
- 独立的 16 级深度和 8 位宽发送 (TX) FIFO 和接收 (RX) FIFO 可减少 CPU 中断服务负载
- FIFO 长度可编程，包括提供传统双缓冲接口的 1 字节深的操作 (非 FIFO 模式)
- FIFO 触发级别为 $\frac{1}{8}$ 、 $\frac{1}{4}$ 、 $\frac{1}{2}$ 、 $\frac{3}{4}$ 和 $\frac{7}{8}$
- 标准的异步通讯位：起始位、停止位、奇偶校验位
- 线中止的产生与检测；
- 完全可编程的串行接口特性
 - 可包含 5、6、7 或 8 个数据位
 - 偶校验、奇校验、固定校验或无奇偶校验位生成与检测
 - 可产生 1 或 2 个停止位
- IrDA 串行 IR (SIR) 编码器和解码器提供：
 - 可编程使用 IrDA SIR 或 UART 输入/输出
 - 支持 IrDA SIR 编码器和解码器功能，半双工时数据传输率最高 115.2Kbps
 - 支持正常 3/16 和低功耗 (1.41 μ s 至 2.23 μ s) 位持续时间
 - 可编程的内部时钟发生器，能够对参考时钟进行 1 至 256 分频，以实现低功耗模式位持续时间
- 支持 EIA-485 (9 位)
- 提供标准的基于 FIFO 深度的中断以及发送结束 (EOT) 中断
- 使用直接存储器存取 (DMA) 控制器进行高效传输
 - 相互独立的发送通道和接收通道
 - 接收 FIFO 达到预设触发深度时产生的猝发请求
 - 发送 FIFO 达到预设触发深度时产生的猝发请求

图 6-111 显示了 UART 模块方框图。

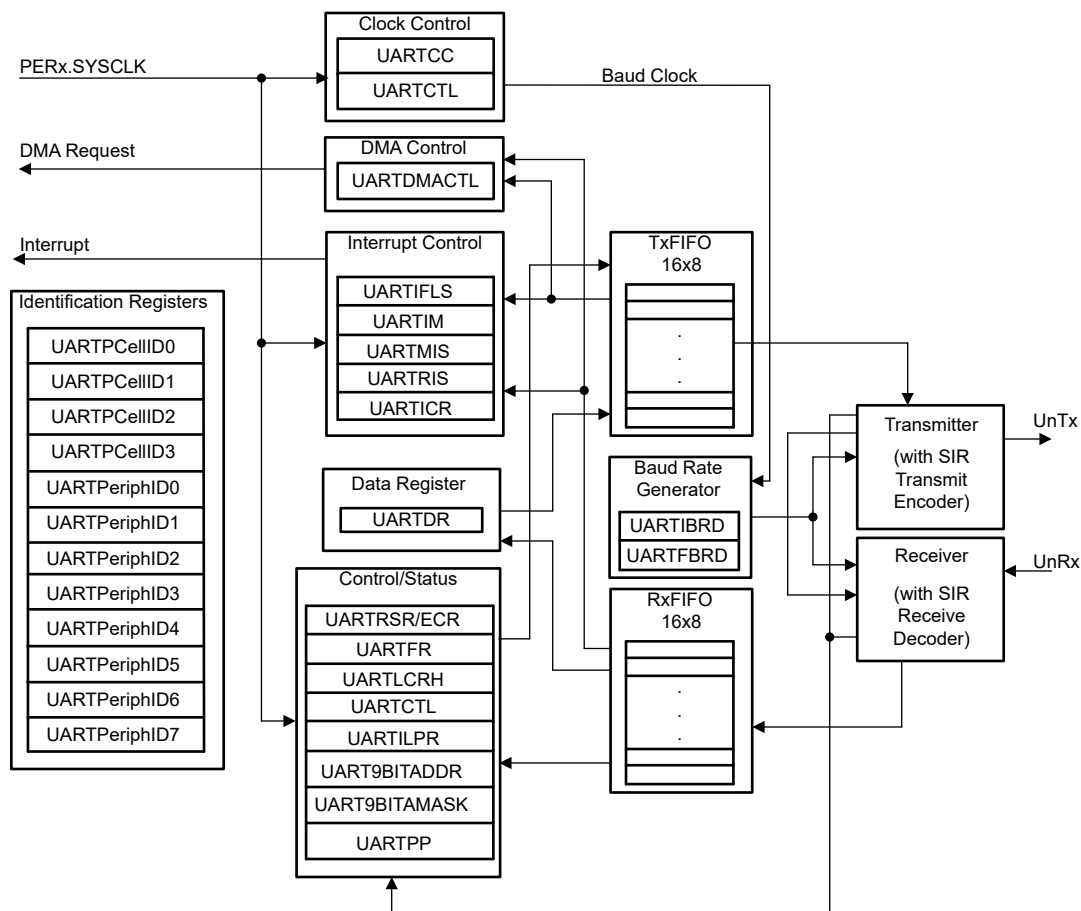


图 6-111. UART 模块方框图

7 详细说明

7.1 概述

TMS320F28P65x (F28P65x) 是 C2000™ 实时微控制器系列中的一款可扩展、超低延迟器件，旨在提高电力电子设备的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。

这些应用包括：

- [工业电机驱动](#)
- 电机控制
 - [牵引逆变器电机控制](#)
 - [HVAC 电机控制](#)
 - [移动机器人电机控制](#)
- 光伏逆变器
 - [中央逆变器](#)
 - [微型逆变器](#)
 - [串式逆变器](#)
- [数字电源](#)
- [HEV/EV 动力总成](#)
- [电动汽车充电基础设施](#)
- [储能系统](#)
- [工业与协作机器人](#)
- [工业机械和机床](#)
- [工业移动机器人](#)

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码在每个内核中提供 200MIPS 的信号处理性能。这相当于基于 Cortex®-M7 的器件上的 400MHz 处理能力 (C28x DSP 内核提供的性能比 Cortex®-M7 内核高两倍)。三角函数加速器 (TMU) 和循环冗余校验 (VCRC) 扩展指令集进一步增强了 C28x CPU 的性能，从而加快了对实时控制系统很关键的常用算法的速度。利用扩展指令集实现 IEEE 双精度 64 位浮点数学。最后，控制律加速器 (CLA) 使每个内核具有额外 200MIPS 的独立处理能力。这相当于基于 Cortex®-M7 的器件上的 280MHz 处理能力 (CLA CPU 提供比 Cortex®-M7 内核高 40% 的性能)。

次级 C28x CPU 中添加了锁步双 CPU 比较器选项以及 ePIE 和 DMA，用于检测永久性和瞬态故障。为了实现从现有固件到新固件的快速上下文切换，已将实时固件更新 (LFU) 的硬件增强功能添加到 F28P65x 中。

高性能模拟块与处理单元和控制单元紧密集成，可提供出色的实时信号链性能。模数转换器 (ADC) 经过增强，具有多达 40 个模拟通道，其中 22 个具有通用输入/输出 (GPIO) 功能。通过硬件改进，极大地简化了过采样实施。对于安全关键型 ADC 转换，添加了一个硬件冗余校验器，并可以在不增加 CPU 周期的情况下比较多个 ADC 模块的 ADC 转换结果来实现一致性。三十六个与频率无关的 PWM 均具有高分辨率，支持控制从三相逆变器到高级多级电源拓扑的多个功率级。通过最小死区逻辑 (MINDL) 和非法组合逻辑 (ICL) 特性增强了 PWM。

通过加入可配置逻辑块 (CLB)，用户可以添加自定义逻辑，还可将集成类似 FPGA 的功能到 C2000 实时 MCU 中。

EtherCAT 子器件控制器和其他业界通用协议 (如 CAN FD 和 USB 2.0) 均可在该器件上使用。快速串行接口 (FSI) 可跨隔离边界实现高达 200Mbps 的稳健通信。

作为高度互联的器件，F28P65x 还提供各种信息安全机制，帮助设计人员实施网络安全策略，并支持硬件加密、安全 JTAG 和安全启动等功能。

从安全的角度来看，F28P65x 支持多种信息安全机制。有关详细信息，请参阅 [C2000™ 实时微控制器的工业功能安全](#) 和 [C2000™ 实时微控制器的汽车功能安全](#)。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 [使用 C2000™ 实时微控制器的基本开发指南](#)，并访问 [C2000™ 实时控制 MCU](#) 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 [TMDSCNCD28P65X](#) 评估板并下载 [C2000Ware](#)。

7.2 功能方框图

图 7-1 显示了 CPU 系统及相关外设。

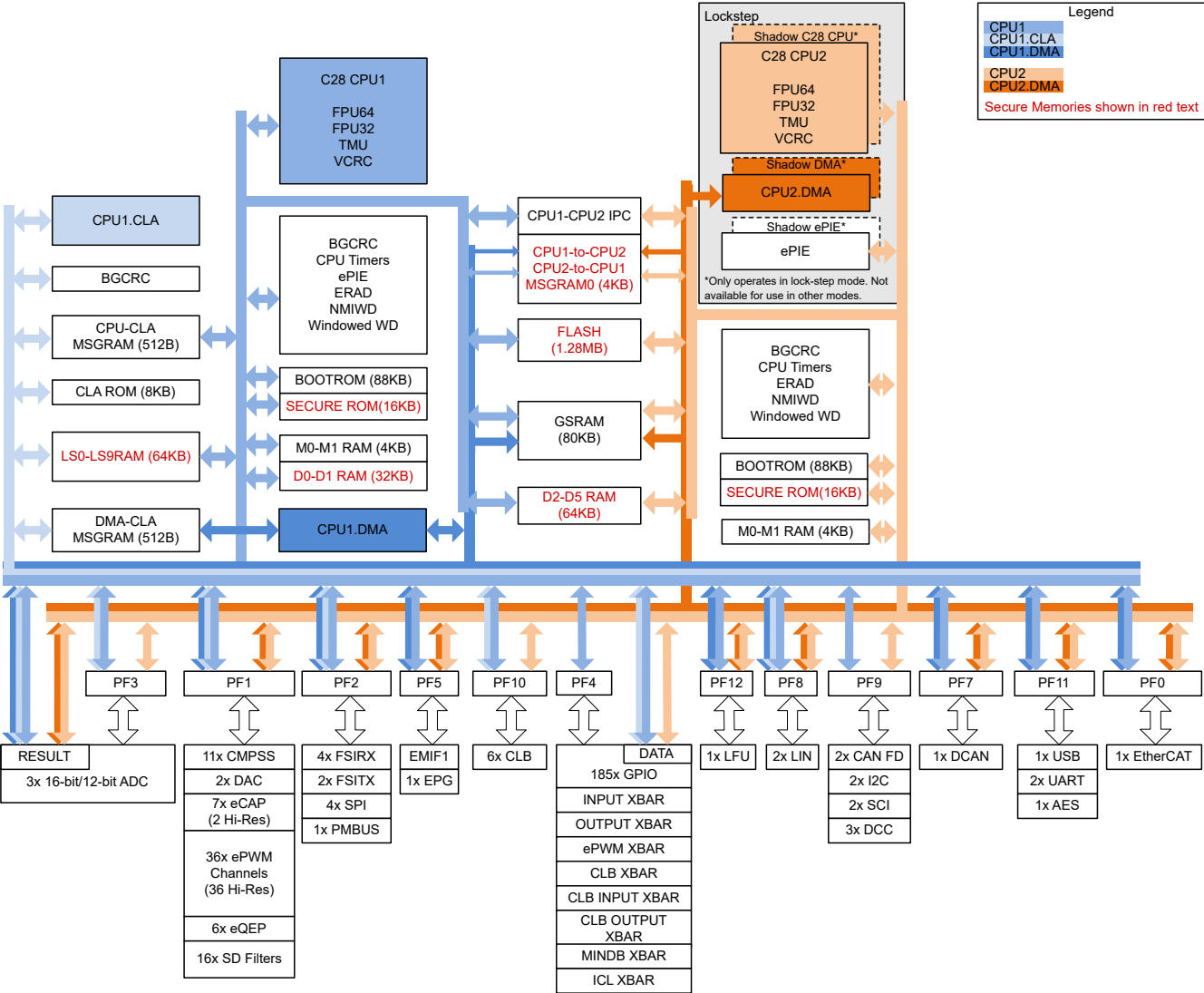


图 7-1. 功能方框图

7.3 存储器

7.3.1 C28x 存储器映射

“C28x 存储器映射”表描述了 C28x 存储器映射。请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中“系统控制”一章的“存储器控制器模块”一节。

表 7-1. C28x 存储器映射

起始地址	尺寸	CLA 存储器	CPU1 MEMORY	CPU2 MEMORY	CLA 存取	DMA 存取	ECC/奇偶校验	访问保护	安全
0x0000 0000	1K x 16	-	M0 RAM	M0 RAM			ECC	是	
0x0000 0400	1K x 16	-	M1 RAM	M1 RAM			ECC	是	
0x0000 0800	512 x 16	-	保留						
0x0000 0A00	768 x 16	-	外设 (ADC、计时器)		是				
0x0000 0D00	512 x 16	-	PieVectTable	PieVectTable					
0x0000 1480	128 x 16	CPU1.CLA 至 CPU1 MSGRAM		-	是		奇偶校验		
0x0000 1500	128 x 16	CPU1 至 CPU1.CLA MSGRAM		-	是		奇偶校验		
0x0000 1680	128 x 16	CPU1.CLA 至 CPU1.DMA MSGRAM		-	是	是	奇偶校验		
0x0000 1700	128 x 16	CPU1.DMA 至 CPU1.CLA MSGRAM		-	是	是	奇偶校验		
0x0000 1800	10K x 16	-	外设 (CLB、控制、模拟、通信、XBAR、GPIO)		是				
0x0000 4000	8K x 16	LS8 RAM(CLA1Prog) ⁽³⁾			是		奇偶校验	是	是
0x0000 6000	8K x 16	LS9 RAM(CLA1Prog) ⁽³⁾			是		奇偶校验	是	是
0x0000 8000	2K x 16	LS0 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)		D2 RAM (CPU2 映射) ⁽²⁾	是		奇偶校验	是	是
0x0000 8800	2K x 16	LS1 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)			是		奇偶校验	是	是
0x0000 9000	2K x 16	LS2 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)			是		奇偶校验	是	是
0x0000 9800	2K x 16	LS3 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)			是		奇偶校验	是	是
0x0000 A000	2K x 16	LS4 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)		D3 RAM (CPU2 映射) ⁽²⁾	是		奇偶校验	是	是
0x0000 A800	2K x 16	LS5 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)			是		奇偶校验	是	是
0x0000 B000	2K x 16	LS6 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)			是		奇偶校验	是	是
0x0000 B800	2K x 16	LS7 RAM (可用作 CLA 程序/数据或 CPU1 本地存储器)			是		奇偶校验	是	是
0x0000 C000	8K x 16	-	D0 RAM	D4 RAM (CPU2 映射) ⁽²⁾			奇偶校验	是	是
0x0000 E000	8K x 16	-	D1 RAM	D5 RAM (CPU2 映射) ⁽²⁾			奇偶校验	是	是
0x0000 F000	4K x 16	CLA1 数据 ROM			是		奇偶校验		
0x0001 0000	8K x 16	-	GS0 RAM ⁽¹⁾			是	奇偶校验	是	
0x0001 2000	8K x 16	-	GS1 RAM ⁽¹⁾			是	奇偶校验	是	
0x0001 4000	8K x 16	-	GS2 RAM ⁽¹⁾			是	奇偶校验	是	

表 7-1. C28x 存储器映射 (续)

起始地址	尺寸	CLA 存储器	CPU1 MEMORY	CPU2 MEMORY	CLA 存取	DMA 存取	ECC/奇偶校验	访问保护	安全
0x0001 6000	8K x 16	-	GS3 RAM ⁽¹⁾			是	奇偶校验	是	
0x0001 8000	8K x 16	-	GS4 RAM ⁽¹⁾			是	奇偶校验	是	
0x0001 A000	8K x 16	-	D2 RAM (CPU1 映射) ⁽²⁾	-			奇偶校验	是	是
0x0001 C000	8K x 16	-	D3 RAM (CPU1 映射) ⁽²⁾	-			奇偶校验	是	是
0x0001 E000	8K x 16	-	D4 RAM (CPU1 映射) ⁽²⁾	-			奇偶校验	是	是
0x0002 0000	8K x 16	-	D5 RAM (CPU1 映射) ⁽²⁾	-			奇偶校验	是	是
0x0002 2000	8K x 16	-	LS8 RAM (CPU1 映射)	-			奇偶校验	是	是
0x0002 4000	8K x 16	-	LS9 RAM (CPU1 映射)	-			奇偶校验	是	是
0x0003 0800	8K x 16	-	EtherCAT RAM (直接访问)			是	奇偶校验		
0x0003 A000	1K x 16	-	CPU1 至 CPU2 MSGRAM0			是	奇偶校验	是	是
0x0003 B000	1K x 16	-	CPU2 至 CPU1 MSGRAM0			是	奇偶校验	是	是
0x0004 1000	2K x 16	-	USB RAM			是			
0x0004 9000	2K x 16	-	CAN-A MSGRAM			是	奇偶校验		
0x0005 9000	4K x 16	-	MCAN-A MSGRAM			是	ECC		
0x0005 B000	4K x 16	-	MCAN-B MSGRAM			是	ECC		
0x0007 2000	7.5K x 16	-	TI OTP ⁽⁴⁾				ECC		
0x0007 8000	1K x 16	-	用户 DCSM OTP				ECC		是
0x0007 8800	1K x 16	-	用户 OTP 组 1				ECC		
0x0007 9000	1K x 16	-	用户 OTP 组 2				ECC		
0x0007 9800	1K x 16	-	用户 OTP 组 3				ECC		
0x0007 A000	1K x 16	-	用户 OTP 组 4				ECC		
0x0008 0000	640K x 16	-	闪存				ECC		是
0x003F 3000	8K x 16	-	安全 ROM	安全 ROM			奇偶校验		是
0x003F 5000	45K x 16	-	引导 ROM	引导 ROM			奇偶校验		
0x003F FFBE	1 x 16	-	饼图向量获取错误 (引导 ROM 的一部分)	饼图向量获取错误 (引导 ROM 的一部分)			奇偶校验		
0x003F FFC0	64 x 16	-	默认向量 (引导 ROM 的一部分)	默认向量 (引导 ROM 的一部分)			奇偶校验		
0x0101 1000	4K x 16	-	CLA 数据 ROM				奇偶校验		

(1) 在 CPU 子系统之间共享。

(2) 存储器可映射到 CPU1 或 CPU2。

(3) 仅用作 CLA 程序存储器。CLA 程序从 LS8/LS9 获取数据。CLA 数据访问会前往此地址范围上的外设帧。有关映射详细信息，请参阅 MSEL_LS8 和 MSEL_LS9 的 LSxMSEL 寄存器说明。

(4) TI OTP 仅供 TI 内部使用。

7.3.2 控制律加速器 (CLA) 存储器映射

表 7-2 显示了 CLA 数据 ROM 存储器映射。有关 CLA 程序 ROM 的信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 中的“CLA 程序 ROM (CLAPROMCRC)”一章。

表 7-2. CLA 数据 ROM 存储器映射

存储器	起始地址	结束地址	长度
FFT 表 (加载)	0x0101 1070	0x0101 186F	0x0800
数据 (加载)	0x0101 1870	0x0101 1FF9	0x078A
版本 (加载)	0x0101 1FFA	0x0101 1FFF	0x0006
FFT 表 (运行)	0x0000 F070	0x0000 F86F	0x0800
数据 (运行)	0x0000 F870	0x0000 FFF9	0x078A
版本 (运行)	0x0000 FFFA	0x0000 FFFF	0x0006

7.3.3 闪存映射

F28P65x 器件上有五个闪存组 (1.3MB [640KW])。但不应从正在进行擦除/编程操作的闪存组进行任何读取/获取访问。否则，必须从 RAM 或没有正在进行的活动擦除/编程操作的闪存存储体，执行对闪存进行编程的代码。“闪存映射”表列出了每个型号器件中闪存扇区的地址。

7.3.3.1 闪存扇区的地址

表 7-3. 闪存映射

器件型号	扇区	地址			ECC 地址		
		尺寸	开始	结束	尺寸	开始	结束
全部	TI OTP 组 0 (供 TI 使用)	1536 x 16	0x0007 2000	0x0007 25FF	128 x 16	0x0107 0400	0x0107 04BF
	TI OTP 组 1 (供 TI 使用)	1536 x 16	0x0007 3000	0x0007 35FF	128 x 16	0x0107 0600	0x0107 06BF
	TI OTP 组 2 (供 TI 使用)	1536 x 16	0x0007 4000	0x0007 45FF	128 x 16	0x0107 0800	0x0107 08BF
	TI OTP 组 3 (供 TI 使用)	1536 x 16	0x0007 5000	0x0007 55FF	128 x 16	0x0107 0A00	0x0107 0ABF
	TI OTP 组 4 (供 TI 使用)	1536 x 16	0x0007 6000	0x0007 65FF	128 x 16	0x0107 0C00	0x0107 0CBF
	用户组 0 (DCSM OTP)	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
	用户 OTP 存储体 1	1K x 16	0x0007 8800	0x0007 8BFF	128 x 16	0x0107 1080	0x0107 10FF
	用户 OTP 存储体 2	1K x 16	0x0007 9000	0x0007 93FF	128 x 16	0x0107 1100	0x0107 117F
	用户 OTP 存储体 3	1K x 16	0x0007 9800	0x0007 9BFF	128 x 16	0x0107 1180	0x0107 11FF
	用户 OTP 存储体 4	1K x 16	0x0007 A000	0x0007 A3FF	128 x 16	0x0107 1200	0x0107 127F
全部	组 0 ⁽¹⁾						
	扇区 0 至 127	128K x 16	0x0008 0000	0x0009 FFFF	16K x 16	0x0108 0000	0x0108 3FFF
	组 1 ⁽¹⁾						
F28P65xDKx、 F28P65xSKx、 F28P65xSHx	组 2 ⁽¹⁾						
	扇区 0 至 127	128K x 16	0x000C 0000	0x000D FFFF	16K x 16	0x0108 8000	0x0108 BFFF
F28P65xDKx、 F28P65xSKx	组 3 ⁽¹⁾						
	扇区 0 至 127	128K x 16	0x000E 0000	0x000F FFFF	16K x 16	0x0108 C000	0x0108 FFFF
F28P65xDKx、 F28P65xSKx、 F28P65xDHx	组 4 ⁽¹⁾						
	扇区 0 至 127	128K x 16	0x0010 0000	0x0011 FFFF	16K x 16	0x0109 0000	0x0109 3FFF

(1) 有关扇区的详细信息，请参阅“闪存扇区偏移”表。

表 7-4. 闪存扇区偏移

扇区	相对于闪存组起始地址的偏移		相对于闪存组 ECC 起始地址的偏移	
	尺寸	偏移	尺寸	偏移
扇区 0	1K x 16	0x0000 0000	128 x 16	0x0000 0000
扇区 1	1K x 16	0x0000 0400	128 x 16	0x0000 0080
扇区 2	1K x 16	0x0000 0800	128 x 16	0x0000 0100
扇区 3	1K x 16	0x0000 0C00	128 x 16	0x0000 0180
扇区 4	1K x 16	0x0000 1000	128 x 16	0x0000 0200
扇区 5	1K x 16	0x0000 1400	128 x 16	0x0000 0280
扇区 6	1K x 16	0x0000 1800	128 x 16	0x0000 0300
扇区 7	1K x 16	0x0000 1C00	128 x 16	0x0000 0380
扇区 8	1K x 16	0x0000 2000	128 x 16	0x0000 0400

表 7-4. 闪存扇区偏移 (续)

扇区	相对于闪存组起始地址的偏移		相对于闪存组 ECC 起始地址的偏移	
	尺寸	偏移	尺寸	偏移
扇区 9	1K x 16	0x0000 2400	128 x 16	0x0000 0480
扇区 10	1K x 16	0x0000 2800	128 x 16	0x0000 0500
扇区 11	1K x 16	0x0000 2C00	128 x 16	0x0000 0580
扇区 12	1K x 16	0x0000 3000	128 x 16	0x0000 0600
扇区 13	1K x 16	0x0000 3400	128 x 16	0x0000 0680
扇区 14	1K x 16	0x0000 3800	128 x 16	0x0000 0700
扇区 15	1K x 16	0x0000 3C00	128 x 16	0x0000 0780
扇区 16	1K x 16	0x0000 4000	128 x 16	0x0000 0800
扇区 17	1K x 16	0x0000 4400	128 x 16	0x0000 0880
扇区 18	1K x 16	0x0000 4800	128 x 16	0x0000 0900
扇区 19	1K x 16	0x0000 4C00	128 x 16	0x0000 0980
扇区 20	1K x 16	0x0000 5000	128 x 16	0x0000 0A00
扇区 21	1K x 16	0x0000 5400	128 x 16	0x0000 0A80
扇区 22	1K x 16	0x0000 5800	128 x 16	0x0000 0B00
扇区 23	1K x 16	0x0000 5C00	128 x 16	0x0000 0B80
扇区 24	1K x 16	0x0000 6000	128 x 16	0x0000 0C00
扇区 25	1K x 16	0x0000 6400	128 x 16	0x0000 0C80
扇区 26	1K x 16	0x0000 6800	128 x 16	0x0000 0D00
扇区 27	1K x 16	0x0000 6C00	128 x 16	0x0000 0D80
扇区 28	1K x 16	0x0000 7000	128 x 16	0x0000 0E00
扇区 29	1K x 16	0x0000 7400	128 x 16	0x0000 0E80
扇区 30	1K x 16	0x0000 7800	128 x 16	0x0000 0F00
扇区 31	1K x 16	0x0000 7C00	128 x 16	0x0000 0F80
扇区 32	1K x 16	0x0000 8000	128 x 16	0x0000 1000
扇区 33	1K x 16	0x0000 8400	128 x 16	0x0000 1080
扇区 34	1K x 16	0x0000 8800	128 x 16	0x0000 1100
扇区 35	1K x 16	0x0000 8C00	128 x 16	0x0000 1180
扇区 36	1K x 16	0x0000 9000	128 x 16	0x0000 1200
扇区 37	1K x 16	0x0000 9400	128 x 16	0x0000 1280
扇区 38	1K x 16	0x0000 9800	128 x 16	0x0000 1300
扇区 39	1K x 16	0x0000 9C00	128 x 16	0x0000 1380
扇区 40	1K x 16	0x0000 A000	128 x 16	0x0000 1400
扇区 41	1K x 16	0x0000 A400	128 x 16	0x0000 1480
扇区 42	1K x 16	0x0000 A800	128 x 16	0x0000 1500
扇区 43	1K x 16	0x0000 AC00	128 x 16	0x0000 1580
扇区 44	1K x 16	0x0000 B000	128 x 16	0x0000 1600
扇区 45	1K x 16	0x0000 B400	128 x 16	0x0000 1680
扇区 46	1K x 16	0x0000 B800	128 x 16	0x0000 1700
扇区 47	1K x 16	0x0000 BC00	128 x 16	0x0000 1780
扇区 48	1K x 16	0x0000 C000	128 x 16	0x0000 1800
扇区 49	1K x 16	0x0000 C400	128 x 16	0x0000 1880
扇区 50	1K x 16	0x0000 C800	128 x 16	0x0000 1900
扇区 51	1K x 16	0x0000 CC00	128 x 16	0x0000 1980
扇区 52	1K x 16	0x0000 D000	128 x 16	0x0000 1A00
扇区 53	1K x 16	0x0000 D400	128 x 16	0x0000 1A80

表 7-4. 闪存扇区偏移 (续)

扇区	相对于闪存组起始地址的偏移		相对于闪存组 ECC 起始地址的偏移	
	尺寸	偏移	尺寸	偏移
扇区 54	1K x 16	0x0000 D800	128 x 16	0x0000 1B00
扇区 55	1K x 16	0x0000 DC00	128 x 16	0x0000 1B80
扇区 56	1K x 16	0x0000 E000	128 x 16	0x0000 1C00
扇区 57	1K x 16	0x0000 E400	128 x 16	0x0000 1C80
扇区 58	1K x 16	0x0000 E800	128 x 16	0x0000 1D00
扇区 59	1K x 16	0x0000 EC00	128 x 16	0x0000 1D80
扇区 60	1K x 16	0x0000 F000	128 x 16	0x0000 1E00
扇区 61	1K x 16	0x0000 F400	128 x 16	0x0000 1E80
扇区 62	1K x 16	0x0000 F800	128 x 16	0x0000 1F00
扇区 63	1K x 16	0x0000 FC00	128 x 16	0x0000 1F80
扇区 64	1K x 16	0x0001 0000	128 x 16	0x0000 2000
扇区 65	1K x 16	0x0001 0400	128 x 16	0x0000 2080
扇区 66	1K x 16	0x0001 0800	128 x 16	0x0000 2100
扇区 67	1K x 16	0x0001 0C00	128 x 16	0x0000 2180
扇区 68	1K x 16	0x0001 1000	128 x 16	0x0000 2200
扇区 69	1K x 16	0x0001 1400	128 x 16	0x0000 2280
扇区 70	1K x 16	0x0001 1800	128 x 16	0x0000 2300
扇区 71	1K x 16	0x0001 1C00	128 x 16	0x0000 2380
扇区 72	1K x 16	0x0001 2000	128 x 16	0x0000 2400
扇区 73	1K x 16	0x0001 2400	128 x 16	0x0000 2480
扇区 74	1K x 16	0x0001 2800	128 x 16	0x0000 2500
扇区 75	1K x 16	0x0001 2C00	128 x 16	0x0000 2580
扇区 76	1K x 16	0x0001 3000	128 x 16	0x0000 2600
扇区 77	1K x 16	0x0001 3400	128 x 16	0x0000 2680
扇区 78	1K x 16	0x0001 3800	128 x 16	0x0000 2700
扇区 79	1K x 16	0x0001 3C00	128 x 16	0x0000 2780
扇区 80	1K x 16	0x0001 4000	128 x 16	0x0000 2800
扇区 81	1K x 16	0x0001 4400	128 x 16	0x0000 2880
扇区 82	1K x 16	0x0001 4800	128 x 16	0x0000 2900
扇区 83	1K x 16	0x0001 4C00	128 x 16	0x0000 2980
扇区 84	1K x 16	0x0001 5000	128 x 16	0x0000 2A00
扇区 85	1K x 16	0x0001 5400	128 x 16	0x0000 2A80
扇区 86	1K x 16	0x0001 5800	128 x 16	0x0000 2B00
扇区 87	1K x 16	0x0001 5C00	128 x 16	0x0000 2B80
扇区 88	1K x 16	0x0001 6000	128 x 16	0x0000 2C00
扇区 89	1K x 16	0x0001 6400	128 x 16	0x0000 2C80
扇区 90	1K x 16	0x0001 6800	128 x 16	0x0000 2D00
扇区 91	1K x 16	0x0001 6C00	128 x 16	0x0000 2D80
扇区 92	1K x 16	0x0001 7000	128 x 16	0x0000 2E00
扇区 93	1K x 16	0x0001 7400	128 x 16	0x0000 2E80
扇区 94	1K x 16	0x0001 7800	128 x 16	0x0000 2F00
扇区 95	1K x 16	0x0001 7C00	128 x 16	0x0000 2F80
扇区 96	1K x 16	0x0001 8000	128 x 16	0x0000 3000
扇区 97	1K x 16	0x0001 8400	128 x 16	0x0000 3080
扇区 98	1K x 16	0x0001 8800	128 x 16	0x0000 3100

表 7-4. 闪存扇区偏移 (续)

扇区	相对于闪存组起始地址的偏移		相对于闪存组 ECC 起始地址的偏移	
	尺寸	偏移	尺寸	偏移
扇区 99	1K x 16	0x0001 8C00	128 x 16	0x0000 3180
扇区 100	1K x 16	0x0001 9000	128 x 16	0x0000 3200
扇区 101	1K x 16	0x0001 9400	128 x 16	0x0000 3280
扇区 102	1K x 16	0x0001 9800	128 x 16	0x0000 3300
扇区 103	1K x 16	0x0001 9C00	128 x 16	0x0000 3380
扇区 104	1K x 16	0x0001 A000	128 x 16	0x0000 3400
扇区 105	1K x 16	0x0001 A400	128 x 16	0x0000 3480
扇区 106	1K x 16	0x0001 A800	128 x 16	0x0000 3500
扇区 107	1K x 16	0x0001 AC00	128 x 16	0x0000 3580
扇区 108	1K x 16	0x0001 B000	128 x 16	0x0000 3600
扇区 109	1K x 16	0x0001 B400	128 x 16	0x0000 3680
扇区 110	1K x 16	0x0001 B800	128 x 16	0x0000 3700
扇区 111	1K x 16	0x0001 BC00	128 x 16	0x0000 3780
扇区 112	1K x 16	0x0001 C000	128 x 16	0x0000 3800
扇区 113	1K x 16	0x0001 C400	128 x 16	0x0000 3880
扇区 114	1K x 16	0x0001 C800	128 x 16	0x0000 3900
扇区 115	1K x 16	0x0001 CC00	128 x 16	0x0000 3980
扇区 116	1K x 16	0x0001 D000	128 x 16	0x0000 3A00
扇区 117	1K x 16	0x0001 D400	128 x 16	0x0000 3A80
扇区 118	1K x 16	0x0001 D800	128 x 16	0x0000 3B00
扇区 119	1K x 16	0x0001 DC00	128 x 16	0x0000 3B80
扇区 120	1K x 16	0x0001 E000	128 x 16	0x0000 3C00
扇区 121	1K x 16	0x0001 E400	128 x 16	0x0000 3C80
扇区 122	1K x 16	0x0001 E800	128 x 16	0x0000 3D00
扇区 123	1K x 16	0x0001 EC00	128 x 16	0x0000 3D80
扇区 124	1K x 16	0x0001 F000	128 x 16	0x0000 3E00
扇区 125	1K x 16	0x0001 F400	128 x 16	0x0000 3E80
扇区 126	1K x 16	0x0001 F800	128 x 16	0x0000 3F00
扇区 127	1K x 16	0x0001 FC00	128 x 16	0x0000 3F80

7.3.4 EMIF 芯片选择存储器映射

EMIF1 存储器映射对于两个 CPU 子系统是相同的。“EMIF 芯片选择存储器映射”表中显示了 EMIF 存储器映射。

表 7-5. EMIF 芯片选择存储器映射

EMIF CS	尺寸 ⁽²⁾	起始地址	结束地址	CLA 存取	DMA 存取
EMIF1 CS0n - 数据 ⁽¹⁾	256M x 16	0x8000 0000	0x8FFF FFFF		是
EMIF1 CS0n - 程序 + 数据 ⁽¹⁾	512K x 16	0x0028 0000	0x002F FFFF		是
EMIF1 CS2n - 程序 + 数据	256K x 16	0x0030 0000	0x0033 FFFF		是
EMIF1 CS3n - 程序 + 数据	256K x 16	0x0034 0000	0x0037 FFFF		是
EMIF1 CS4n - 程序 + 数据	393K x 16	0x0038 0000	0x003D FFFF		是

- (1) 双映射 - 当 EMIF1 CS0n 映射到地址 0x2x_xxxx 时，只能提供从 0x30_0000 到 0x33_FFFF (512K x 16) 的 EMIF1 CS2n。
(2) 此表中列出的可用内存大小是假设 32 位内存的最大可能大小。由于引脚多路复用设置的原因，这可能不适用于其他内存大小。

7.3.5 外设寄存器内存映射

表 7-6. 外设寄存器内存映射

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
外设帧 0 (PF0)								
ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0A00	是	是	是	是	是	-
ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_0A80	是	是	是	是	是	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B00	是	是	是	是	是	-
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	是	-	-	是	-	-
CLA_ONLY_REGS	CLA1_ONLY_BASE	0x0000_0C00	-	-	是	-	-	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	是	-	-	是	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	是	-	-	是	-	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	是	-	-	是	-	-
CLA_SOFTINT_REGS	CLA1_SOFTINT_BASE	0x0000_0CE0	-	-	是	-	-	-
PIE_VECT_TABLE	PIEVECTTABLEMAIN_BASE	0x0000_0D00	是	-	-	是	-	-
PIE_VECT_TABLE	PIEVECTTABLEEXTENSION_BASE	0x0000_0E00	是	-	-	是	-	-
DMA_REGS	DMA_BASE	0x0000_1000	是	-	-	是	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	是	-	-	是	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	是	-	-	是	-	-
DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	是	-	-	是	-	-
DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	是	-	-	是	-	-
DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	是	-	-	是	-	-
DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	是	-	-	是	-	-
CLA_REGS	CLA1_BASE	0x0000_1400	是	-	-	-	-	-
ESCSS_REGS	ESC_SS_BASE	0x0005_7E00	是	-	-	是	-	是
ESCSS_CONFIG_REGS	ESC_SS_CONFIG_BASE	0x0005_7F00	是	-	-	是	-	是
PCTRACE_BUFFER_REGS	ERAD_PCTRACE_BUFFER_BASE	0x0005_FE00	是	-	-	是	-	是
UID_REGS	UID_BASE	0x0007_2168	是	-	-	-	-	-
DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	是	-	-	-	-	-
DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	是	-	-	-	-	-
外设帧 1 (PF1)								
EPWM_REGS	EPWM17_BASE	0x0000_2C00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM17XCMP_BASE	0x0000_2D00	是	是	是	是	是	是
DE_REGS	EPWM17DE_BASE	0x0000_2DC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM17MINDBLUT_BASE	0x0000_2DE0	是	是	是	是	是	是
EPWM_REGS	EPWM18_BASE	0x0000_2E00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM18XCMP_BASE	0x0000_2F00	是	是	是	是	是	是
DE_REGS	EPWM18DE_BASE	0x0000_2FC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM18MINDBLUT_BASE	0x0000_2FE0	是	是	是	是	是	是
EPWM_REGS	EPWM1_BASE	0x0000_3000	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM1XCMP_BASE	0x0000_3100	是	是	是	是	是	是
DE_REGS	EPWM1DE_BASE	0x0000_31C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM1MINDBLUT_BASE	0x0000_31E0	是	是	是	是	是	是

表 7-6. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
EPWM_REGS	EPWM2_BASE	0x0000_3200	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM2XCMP_BASE	0x0000_3300	是	是	是	是	是	是
DE_REGS	EPWM2DE_BASE	0x0000_33C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM2MINDBLUT_BASE	0x0000_33E0	是	是	是	是	是	是
EPWM_REGS	EPWM3_BASE	0x0000_3400	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM3XCMP_BASE	0x0000_3500	是	是	是	是	是	是
DE_REGS	EPWM3DE_BASE	0x0000_35C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM3MINDBLUT_BASE	0x0000_35E0	是	是	是	是	是	是
EPWM_REGS	EPWM4_BASE	0x0000_3600	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM4XCMP_BASE	0x0000_3700	是	是	是	是	是	是
DE_REGS	EPWM4DE_BASE	0x0000_37C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM4MINDBLUT_BASE	0x0000_37E0	是	是	是	是	是	是
EPWM_REGS	EPWM5_BASE	0x0000_3800	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM5XCMP_BASE	0x0000_3900	是	是	是	是	是	是
DE_REGS	EPWM5DE_BASE	0x0000_39C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM5MINDBLUT_BASE	0x0000_39E0	是	是	是	是	是	是
EPWM_REGS	EPWM6_BASE	0x0000_3A00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM6XCMP_BASE	0x0000_3B00	是	是	是	是	是	是
DE_REGS	EPWM6DE_BASE	0x0000_3BC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM6MINDBLUT_BASE	0x0000_3BE0	是	是	是	是	是	是
EPWM_REGS	EPWM7_BASE	0x0000_3C00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM7XCMP_BASE	0x0000_3D00	是	是	是	是	是	是
DE_REGS	EPWM7DE_BASE	0x0000_3DC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM7MINDBLUT_BASE	0x0000_3DE0	是	是	是	是	是	是
EPWM_REGS	EPWM8_BASE	0x0000_3E00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM8XCMP_BASE	0x0000_3F00	是	是	是	是	是	是
DE_REGS	EPWM8DE_BASE	0x0000_3FC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM8MINDBLUT_BASE	0x0000_3FE0	是	是	是	是	是	是
EPWM_REGS	EPWM9_BASE	0x0000_4000	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM9XCMP_BASE	0x0000_4100	是	是	是	是	是	是
DE_REGS	EPWM9DE_BASE	0x0000_41C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM9MINDBLUT_BASE	0x0000_41E0	是	是	是	是	是	是
EPWM_REGS	EPWM10_BASE	0x0000_4200	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM10XCMP_BASE	0x0000_4300	是	是	是	是	是	是
DE_REGS	EPWM10DE_BASE	0x0000_43C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM10MINDBLUT_BASE	0x0000_43E0	是	是	是	是	是	是
EPWM_REGS	EPWM11_BASE	0x0000_4400	是	是	是	是	是	是

表 7-6. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
EPWM_XCMP_REGS	EPWM11XCMP_BASE	0x0000_4500	是	是	是	是	是	是
DE_REGS	EPWM11DE_BASE	0x0000_45C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM11MINDBLUT_BASE	0x0000_45E0	是	是	是	是	是	是
EPWM_REGS	EPWM12_BASE	0x0000_4600	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM12XCMP_BASE	0x0000_4700	是	是	是	是	是	是
DE_REGS	EPWM12DE_BASE	0x0000_47C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM12MINDBLUT_BASE	0x0000_47E0	是	是	是	是	是	是
EPWM_REGS	EPWM13_BASE	0x0000_4800	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM13XCMP_BASE	0x0000_4900	是	是	是	是	是	是
DE_REGS	EPWM13DE_BASE	0x0000_49C0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM13MINDBLUT_BASE	0x0000_49E0	是	是	是	是	是	是
EPWM_REGS	EPWM14_BASE	0x0000_4A00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM14XCMP_BASE	0x0000_4B00	是	是	是	是	是	是
DE_REGS	EPWM14DE_BASE	0x0000_4BC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM14MINDBLUT_BASE	0x0000_4BE0	是	是	是	是	是	是
EPWM_REGS	EPWM15_BASE	0x0000_4C00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM15XCMP_BASE	0x0000_4D00	是	是	是	是	是	是
DE_REGS	EPWM15DE_BASE	0x0000_4DC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM15MINDBLUT_BASE	0x0000_4DE0	是	是	是	是	是	是
EPWM_REGS	EPWM16_BASE	0x0000_4E00	是	是	是	是	是	是
EPWM_XCMP_REGS	EPWM16XCMP_BASE	0x0000_4F00	是	是	是	是	是	是
DE_REGS	EPWM16DE_BASE	0x0000_4FC0	是	是	是	是	是	是
MINDB_LUT_REGS	EPWM16MINDBLUT_BASE	0x0000_4FE0	是	是	是	是	是	是
EQEP_REGS	EQEP1_BASE	0x0000_5080	是	是	是	是	是	是
EQEP_REGS	EQEP2_BASE	0x0000_50C0	是	是	是	是	是	是
EQEP_REGS	EQEP3_BASE	0x0000_5100	是	是	是	是	是	是
EQEP_REGS	EQEP4_BASE	0x0000_5140	是	是	是	是	是	是
EQEP_REGS	EQEP5_BASE	0x0000_5180	是	是	是	是	是	是
EQEP_REGS	EQEP6_BASE	0x0000_51C0	是	是	是	是	是	是
ECAP_REGS	ECAP1_BASE	0x0000_5200	是	是	是	是	是	是
ECAP_SIGNAL_MONITORING	ECAP1SIGNALMONITORING_BASE	0x0000_5240	是	是	是	是	是	是
ECAP_REGS	ECAP2_BASE	0x0000_5300	是	是	是	是	是	是
ECAP_SIGNAL_MONITORING	ECAP2SIGNALMONITORING_BASE	0x0000_5340	是	是	是	是	是	是
ECAP_REGS	ECAP3_BASE	0x0000_5400	是	是	是	是	是	是
ECAP_SIGNAL_MONITORING	ECAP3SIGNALMONITORING_BASE	0x0000_5440	是	是	是	是	是	是
ECAP_REGS	ECAP4_BASE	0x0000_5500	是	是	是	是	是	是
ECAP_SIGNAL_MONITORING	ECAP4SIGNALMONITORING_BASE	0x0000_5540	是	是	是	是	是	是
ECAP_REGS	ECAP5_BASE	0x0000_5600	是	是	是	是	是	是

表 7-6. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
ECAP_SIGNAL_M ONITORING	ECAP5SIGNALMONITORING_BASE	0x0000_5640	是	是	是	是	是	是
ECAP_REGS	ECAP6_BASE	0x0000_5700	是	是	是	是	是	是
HRCAP_REGS	HRCAP6_BASE	0x0000_5720	是	是	是	是	是	是
ECAP_SIGNAL_M ONITORING	ECAP6SIGNALMONITORING_BASE	0x0000_5740	是	是	是	是	是	是
ECAP_REGS	ECAP7_BASE	0x0000_5800	是	是	是	是	是	是
HRCAP_REGS	HRCAP7_BASE	0x0000_5820	是	是	是	是	是	是
ECAP_SIGNAL_M ONITORING	ECAP7SIGNALMONITORING_BASE	0x0000_5840	是	是	是	是	是	是
CMPSS_REGS	CMPSS1_BASE	0x0000_5900	是	是	是	是	是	是
CMPSS_REGS	CMPSS2_BASE	0x0000_5940	是	是	是	是	是	是
CMPSS_REGS	CMPSS3_BASE	0x0000_5980	是	是	是	是	是	是
CMPSS_REGS	CMPSS4_BASE	0x0000_59C0	是	是	是	是	是	是
CMPSS_REGS	CMPSS5_BASE	0x0000_5A00	是	是	是	是	是	是
CMPSS_REGS	CMPSS6_BASE	0x0000_5A40	是	是	是	是	是	是
CMPSS_REGS	CMPSS7_BASE	0x0000_5A80	是	是	是	是	是	是
CMPSS_REGS	CMPSS8_BASE	0x0000_5AC0	是	是	是	是	是	是
CMPSS_REGS	CMPSS9_BASE	0x0000_5B00	是	是	是	是	是	是
CMPSS_REGS	CMPSS10_BASE	0x0000_5B40	是	是	是	是	是	是
CMPSS_REGS	CMPSS11_BASE	0x0000_5B80	是	是	是	是	是	是
DAC_REGS	DACA_BASE	0x0000_5C00	是	是	是	是	是	是
DAC_REGS	DACC_BASE	0x0000_5C20	是	是	是	是	是	是
HRPWMCAL_REG S	HRPWMCAL1_BASE	0x0000_5C80	是	是	是	是	是	是
HRPWMCAL_REG S	HRPWMCAL2_BASE	0x0000_5CC0	是	是	是	是	是	是
HRPWMCAL_REG S	HRPWMCAL3_BASE	0x0000_5D00	是	是	是	是	是	是
SDFM_REGS	SDFM1_BASE	0x0000_5E00	是	是	是	是	是	是
SDFM_REGS	SDFM2_BASE	0x0000_5E80	是	是	是	是	是	是
SDFM_REGS	SDFM3_BASE	0x0000_5F00	是	是	是	是	是	是
SDFM_REGS	SDFM4_BASE	0x0000_5F80	是	是	是	是	是	是
外设帧 2 (PF2)								
SPI_REGS	SPIA_BASE	0x0000_6100	是	是	是	是	是	是
SPI_REGS	SPIB_BASE	0x0000_6110	是	是	是	是	是	是
SPI_REGS	SPIC_BASE	0x0000_6120	是	是	是	是	是	是
SPI_REGS	SPID_BASE	0x0000_6130	是	是	是	是	是	是
BGCRC_REGS	BGCRC_CPU_BASE	0x0000_6340	是	-	-	是	-	是
BGCRC_REGS	BGCRC_CLA_BASE	0x0000_6380	是	-	是	-	-	是
PMBUS_REGS	PMBUSA_BASE	0x0000_6400	是	是	是	是	是	是
FSI_TX_REGS	FSITXA_BASE	0x0000_6600	是	是	是	是	是	是
FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	是	是	是	是	是	是
FSI_TX_REGS	FSITXB_BASE	0x0000_6700	是	是	是	是	是	是
FSI_RX_REGS	FSIRXB_BASE	0x0000_6780	是	是	是	是	是	是
FSI_RX_REGS	FSIRXC_BASE	0x0000_6880	是	是	是	是	是	是
FSI_RX_REGS	FSIRXD_BASE	0x0000_6980	是	是	是	是	是	是
外设帧 3 (PF3)								
ADC_REGS	ADCA_BASE	0x0000_7400	是	-	是	是	-	是
ADC_REGS	ADCB_BASE	0x0000_7500	是	-	是	是	-	是

表 7-6. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
ADC_REGS	ADCC_BASE	0x0000_7600	是	-	是	是	-	是
外设 4 (PF4)								
EPWM_XBAR_REGS	EPWMXBARB_BASE	0x0000_7800	是	-	-	-	-	是
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_78F8	是	-	-	-	-	是
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	是	-	-	-	-	是
XBAR_REGS	XBAR_BASE	0x0000_7920	是	-	-	-	-	是
INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	是	-	-	-	-	是
CPU1_DMA_CLA_SRC_SEL_REGS 、 CPU2_DMA_CLA_SRC_SEL_REGS	CPU1DMACLASRCSEL_BASE、 CPU2DMACLASRCSEL_BASE	0x0000_7980	是	-	-	是	-	是
MINDB_XBAR_REGS	MINDBXBAR_BASE	0x0000_79C0	是	-	-	-	-	是
ICL_XBAR_REGS	ICLXBAR_BASE	0x0000_79E0	是	-	-	-	-	是
EPWM_XBAR_REGS	EPWMXBARA_BASE	0x0000_7A00	是	-	-	-	-	是
CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A80	是	-	-	-	-	是
OUTPUT_XBAR_EXT64_REGS	OUTPUTXBAR_BASE	0x0000_7B00	是	-	-	-	-	是
OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7B80	是	-	-	-	-	是
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	是	-	-	-	-	是
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	是	-	是	是	-	是
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	是	-	是	是	-	是
外设 5 (PF5)								
EMIF_REGS	EMIF1_BASE	0x0004_7000	是	-	-	是	-	是
CPU1TOCPU2_IPC_REGS_CPU2VIEW	IPC_CPUXTOCPUX_BASE	0x0005_CE00	-	-	-	是	-	是
CPU1TOCPU2_IPC_REGS_CPU1VIEW	IPC_CPUXTOCPUX_BASE	0x0005_CE00	是	-	-	-	-	是
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	是	-	-	是	-	是
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	是	-	-	是	-	是
CPU1_SYS_REGS 、 CPU2_SYS_REGS	CPU1SYS_BASE、CPU2SYS_BASE	0x0005_D300	是	-	-	是	-	是
CPU1_SYS_STATUS_REGS、 CPU2_SYS_STATUS_REGS	CPU1SYSSTATUS_BASE、 CPU2SYSSTATUS_BASE	0x0005_D400	是	-	-	是	-	是
CPU1_PERIPH_AC_REGS、 CPU2_PERIPH_AC_REGS	CPU1PERIPHAC_BASE、 CPU2PERIPHAC_BASE	0x0005_D500	是	-	-	是	-	是
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	是	-	-	-	-	是
ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	是	-	-	是	-	是

表 7-6. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	是	-	-	是	-	是
ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	是	-	-	是	-	是
ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	是	-	-	是	-	是
ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	是	-	-	是	-	是
ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	是	-	-	是	-	是
ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	是	-	-	是	-	是
ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	是	-	-	是	-	是
ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	是	-	-	是	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	是	-	-	是	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	是	-	-	是	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	是	-	-	是	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	是	-	-	是	-	是
ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	是	-	-	是	-	是
ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	是	-	-	是	-	是
PCTRACE_REGS	ERAD_PCTRACE_BASE	0x0005_EAD0	是	-	-	是	-	是
EPG_REGS	EPG_BASE	0x0005_EC00	是	-	-	是	-	是
EPG_MUX_REGS	EPGMUX_BASE	0x0005_ECD0	是	-	-	是	-	是
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYINTEVTAGG1_BASE	0x0005_EE00	是	-	-	-	-	是
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYINTEVTAGG2_BASE	0x0005_EE40	-	-	-	是	-	是
ADC_SAFECHECK_REGS	ADCSAFETYCHK1_BASE	0x0005_EE80	是	-	-	是	-	是
ADC_SAFECHECK_REGS	ADCSAFETYCHK2_BASE	0x0005_EE90	是	-	-	是	-	是
ADC_SAFECHECK_REGS	ADCSAFETYCHK3_BASE	0x0005_EEA0	是	-	-	是	-	是
ADC_SAFECHECK_REGS	ADCSAFETYCHK4_BASE	0x0005_EEB0	是	-	-	是	-	是

表 7-6. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
ADC_SAFECHECK_REGS	ADCSAFETYCHK5_BASE	0x0005_EEC0	是	-	-	是	-	是
ADC_SAFECHECK_REGS	ADCSAFETYCHK6_BASE	0x0005_EED0	是	-	-	是	-	是
ADC_SAFECHECK_REGS	ADCSAFETYCHK7_BASE	0x0005_EEE0	是	-	-	是	-	是
ADC_SAFECHECK_REGS	ADCSAFETYCHK8_BASE	0x0005_EEF0	是	-	-	是	-	是
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	是	-	-	是	-	是
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	是	-	-	是	-	是
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	是	-	-	是	-	是
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	是	-	-	是	-	是
EMIF1_CONFIG_REGS	EMIF1CONFIG_BASE	0x0005_F4C0	是	-	-	是	-	是
ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	是	-	-	是	-	是
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	是	-	-	是	-	是
ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE	0x0005_F580	是	-	-	是	-	是
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	是	-	-	是	-	是
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	是	-	-	是	-	是
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	是	-	-	是	-	是
外设帧 7 (PF7)								
CAN_REGS	CANA_BASE	0x0004_8000	是	是	-	是	是	是
LCM_REGS	LCM_CPU2_BASE	0x0004_C800	-	-	-	是	-	是
LCM_REGS	LCM_CPU2.DMA1_BASE	0x0004_E800	-	-	-	是	-	是
MCANSS_REGS	MCANASS_BASE	0x0005_A400	是	-	-	是	-	是
MCAN_REGS	MCANA_BASE	0x0005_A600	是	-	-	是	-	是
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_A800	是	-	-	是	-	是
MCANSS_REGS	MCANBSS_BASE	0x0005_C400	是	-	-	是	-	是
MCAN_REGS	MCANB_BASE	0x0005_C600	是	-	-	是	-	是
MCAN_ERROR_REGS	MCANB_ERROR_BASE	0x0005_C800	是	-	-	是	-	是
DCC_REGS	DCC0_BASE	0x0005_E700	是	-	-	是	-	是
DCC_REGS	DCC1_BASE	0x0005_E740	是	-	-	是	-	是
DCC_REGS	DCC2_BASE	0x0005_E780	是	-	-	是	-	是
外设帧 8 (PF8)								
LIN_REGS	LINA_BASE	0x0000_6E00	是	是	是	是	是	是
LIN_REGS	LINB_BASE	0x0000_6F00	是	是	是	是	是	是
外设帧 9 (PF9)								
WD_REGS	WD_BASE	0x0000_7000	是	-	-	是	-	是
NMI_INTERRUPT_REGS	NMI_BASE	0x0000_7060	是	-	-	是	-	是
XINT_REGS	XINT_BASE	0x0000_7070	是	-	-	是	-	是
SCI_REGS	SCIA_BASE	0x0000_7200	是	-	-	是	-	是
SCI_REGS	SCIB_BASE	0x0000_7210	是	-	-	是	-	是
I2C_REGS	I2CA_BASE	0x0000_7300	是	-	-	是	-	是

表 7-6. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	受流水线保护
I2C_REGS	I2CB_BASE	0x0000_7340	是	-	-	是	-	是
外设帧 10 (PF10)								
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_2000	是	-	是	是	-	是
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_2100	是	-	是	是	-	是
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_2180	是	-	是	是	-	是
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_2200	是	-	是	是	-	是
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x0000_2300	是	-	是	是	-	是
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_2380	是	-	是	是	-	是
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_2400	是	-	是	是	-	是
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x0000_2500	是	-	是	是	-	是
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_2580	是	-	是	是	-	是
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_2600	是	-	是	是	-	是
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x0000_2700	是	-	是	是	-	是
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_2780	是	-	是	是	-	是
CLB_LOGIC_CONFIG_REGS	CLB5_LOGICCFG_BASE	0x0000_2800	是	-	是	是	-	是
CLB_LOGIC_CONTROL_REGS	CLB5_LOGICCTRL_BASE	0x0000_2900	是	-	是	是	-	是
CLB_DATA_EXCHANGE_REGS	CLB5_DATAEXCH_BASE	0x0000_2980	是	-	是	是	-	是
CLB_LOGIC_CONFIG_REGS	CLB6_LOGICCFG_BASE	0x0000_2A00	是	-	是	是	-	是
CLB_LOGIC_CONTROL_REGS	CLB6_LOGICCTRL_BASE	0x0000_2B00	是	-	是	是	-	是
CLB_DATA_EXCHANGE_REGS	CLB6_DATAEXCH_BASE	0x0000_2B80	是	-	是	是	-	是
外设帧 11 (PF11)								
USB_REGS	USBA_BASE	0x0004_0000	是	是	-	是	是	是
AES_REGS	AESA_BASE	0x0004_2000	是	是	-	是	是	是
AES_SS_REGS	AESA_SS_BASE	0x0004_2C00	是	是	-	是	是	是
UART_REGS、 UART_REGS_WRITE	UARTA_BASE、UARTAWRITE_BASE	0x0006_A000	是	是	-	是	是	是
UART_REGS、 UART_REGS_WRITE	UARTB_BASE、UARTBWRITE_BASE	0x0006_A800	是	是	-	是	是	是
外设帧 12 (PF12)								
CPU1_LFU_REGS、 CPU2_LFU_REGS	CPU1LFU_BASE、CPU2LFU_BASE	0x0000_7FE0	是	-	是	是	-	是

7.3.6 存储器类型

7.3.6.1 专用 RAM (Mx 和 Dx RAM)

CPU 子系统有支持 ECC 功能的专用 RAM 模块：M0、M1 和 Dx。M0/M1 存储器是与 CPU 紧密耦合的小型非安全块（那就是只有 CPU 可以访问这些存储器）。Dx 存储器是安全块，还具有访问保护功能（CPU 写入/CPU 获取保护）。D2-D5 存储器块可映射到任一 CPU。映射到 CPU1 时，CPU2 无法访问 D2-D5 存储器。相反，当 D2-D5 存储器映射到 CPU2 时，CPU1 将无法访问这些存储器块。

7.3.6.2 本地共享 RAM (LSx RAM)

专用于每个子系统且仅对其 CPU 和 CLA 进行访问的 RAM 块被称为本地共享 RAM (LSx RAM)。

所有 LSx RAM 块都具有 ECC。这些存储器都是安全的，且具有访问保护（CPU 写入/CPU 获取）特性。

默认情况下，这些存储器仅供 CPU 使用，用户可以通过适当地配置 LSxMSEL 寄存器中的 MSEL_LSx 位字段来选择与 CLA 共享这些存储器。

表 7-7 列出了启动器对 LSx RAM 的访问权限。

表 7-7. 启动器对 LSx RAM 的访问权限
(假设禁用所有其他访问保护)

MSEL_LSx1	CLAPGM_LSx	CPU 允许访问	CLA 允许访问	注释
00	X	全部	-	LSx 存储器被配置为 CPU 专用 RAM。
01	0	全部	数据读取 数据写入	LSx 存储器在 CPU 和 CLA1 之间共享。
01	1	仿真读取 仿真写入	仅获取	LSx 存储器是 CLA1 程序存储器。

1. MSEL_LS8 和 MSEL_LS9 没有相应的 CLAPGM_LSx 位。如果 MSEL_LS8 或 MSEL_LS9 位为“1”，则这些存储块仅分配给 CLA 程序存储器

7.3.6.3 全局共享 RAM (GSx RAM)

可从 CPU 和 DMA 访问的 RAM 块被称为全局共享 RAM (GSx RAM)。每个共享 RAM 块可由任一 CPU 子系统拥有，具体取决于 GSxMSEL 寄存器中各个位的配置。

所有 GSx RAM 块都具有奇偶校验功能。

当 CPU 子系统拥有 GSx RAM 块时，CPUx 和 CPUx.DMA 将拥有对该 RAM 块的完全访问权限，而 CPUy 和 CPUy.DMA 将仅拥有读取访问权限（无获取/写入访问权限）。

表 7-8 列出了启动器对 GSx RAM 的访问权限。

表 7-8. 启动器对 GSx RAM 的访问权限
(假设禁用所有其他访问保护)

GSxMSEL	CPU	指令获取	读取	写入	CPUx.DMA 读取	CPUx.DMA 写入
0	CPU1	是	是	是	是	是
	CPU2	-	是	-	是	-
1	CPU1	-	是	-	是	-
	CPU2	是	是	是	是	是

GSx RAM 具有访问保护 (CPU 写入/CPU 获取/DMA 写入)。

7.3.6.4 CPU 消息 RAM (CPU MSGRAM)

这些 RAM 块可用于在 CPU1 和 CPU2 之间共享数据。由于这些 RAM 用于处理器间的通信，因此也被称为 IPC RAM。CPU MSGRAM 具有源自其自身 CPU 子系统的 CPU/DMA 读取/写入访问权限，以及源自其他子系统的 CPU/DMA 只读权限。

该 RAM 具有奇偶校验功能。

7.3.6.5 CLA 消息 RAM (CLA MSGRAM)

这类 RAM 块可用于在 CPU 和 CLA 之间共享数据。CLA 具有对“CLA 到 CPU MSGRAM”的读写访问权限。CPU 具有对“CPU 到 CLA MSGRAM”的读写访问权限。CPU 和 CLA 都具有对两个 MSGRAM 的读取权限。该 RAM 具有奇偶校验功能。

7.3.6.6 CLA - DMA 消息 RAM (CLA-DMA MSGRAM)

这类 RAM 块可用于在 DMA 和 CLA 之间共享数据。CLA 具有对“CLA 到 DMA MSGRAM”的读写访问权限。DMA 具有对“DMA 到 CLA MSGRAM”的读写访问权限。DMA 和 CLA 都具有对两个 MSGRAM 的读取权限。该 RAM 具有奇偶校验功能。

7.4 标识

表 7-9 列出了器件标识寄存器。有关这些器件标识寄存器的其他信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#)。请参阅 PARTIDH 和 PARTIDL 的寄存器说明，了解量产状态的标识 (TMX 或 TMS) 以及其他器件信息。

表 7-9. 器件标识寄存器

名称	地址	大小 (x16)	说明
PARTIDH	0x0005 D00A	2	器件型号标识号
			TMS320F28P650DK9 0x08FF 0800
			TMS320F28P650DK7 0x08FE 0800
			TMS320F28P650DK8 0x08FD 0800
			TMS320F28P659DK8 0x08FD 0800
			TMS320F28P650SK7 0x08FC 0800
			TMS320F28P650DK6 0x08FB 0800
			TMS320F28P650SK6 0x08FA 0800
			TMS320F28P659DH8 0x08F9 0800
			TMS320F28P650SH6 0x08F8 0800
			TMS320F28P659SH6 0x08F8 0800
			TMS320F28P650DH6 0x08F7 0800
			TMS320F28P650SH7 0x08F6 0800
REVID	0x0005 D00C	2	器件修订版本号
			修订版 0 0x0000 0001
			修订版 A 0x0000 0002
UID_UNIQUE	0x0007 2168	4	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。此编号仅存在于 TMS 器件上。

7.5 总线架构 - 外设连接

“C28x 总线控制器对外设的访问”表总结了 C28x 上每个总线控制器对外设和配置寄存器的可访问性。外设可以单独分配给 CPU1 或 CPU2 子系统 (例如, ePWM 可以分配给 CPU1, eQEP 可以分配给 CPU2)。

表 7-10. C28x 总线控制器对外设的访问

外设 (按总线访问类型)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.DMA
可分配给 CPU1 或 CPU2 且具有辅助控制器的外设					
外设帧 1 : - ePWM - SDFM - eCAP - eQEP - CMPSS - DAC - HRPWM	Y	Y	Y	Y	Y
外设帧 2 : - SPI - FSI - PMBus	Y	Y	Y	Y	Y
可分配给 CPU1 或 CPU2 子系统的外设					
SCI			Y	Y	
I2C			Y	Y	
DCAN	Y		Y	Y	Y
CAN-FD			Y	Y	
ADC 配置		Y	Y	Y	
EMIF1	Y		Y	Y	Y
EPG	Y		Y	Y	Y
USB	Y		Y	Y	Y
UART	Y		Y	Y	Y
EtherCAT	Y		Y	Y	Y
DCC			Y	Y	
仅可在 CPU1 上访问外设					
外设复位、外设 CPU 选择			Y		
GPIO 引脚映射和配置			Y		
模拟系统控制			Y		
复位配置			Y		
使用 Semaphore 一次只能由一个 CPU 访问					
时钟和 PLL 配置			Y	Y	
外设和寄存器, 每个 CPU 和 CLA 都有唯一的寄存器副本					
系统配置 (WD、NMIWD、LPM、外设时钟门控)			Y	Y	
闪存配置			Y	Y	
CPU 计时器			Y	Y	
DMA 和 CLA 触发源选择			Y	Y	

表 7-10. C28x 总线控制器对外设的访问 (续)

外设 (按总线访问类型)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.DMA
ERAD			Y	Y	
GPIO 数据		Y	Y	Y	
ADC 结果	Y	Y	Y	Y	Y

7.6 引导 ROM

每次复位时，该器件都会执行 ROM 中的引导序列，具体取决于复位类型和引导配置。这个序列会初始化器件以运行应用程序代码。对于 CPU，引导 ROM 还包含可用于将应用程序加载到 RAM 中的外设引导加载程序。出于安全目的，可以禁用这些引导加载程序。

表 7-11 展示了 C28x CPU 提供的引导功能。此外，表 7-12 展示了器件上各种 ROM 的大小。

表 7-11. 引导系统概况

引导特性	CPU
初始引导过程	器件复位
引导模式选择	GPIO
支持的引导模式	闪存引导 安全闪存引导 RAM 引导 FWU 引导 等待引导
支持外设引导加载程序	并行 IO SCI/等待 CAN CANFD I2C SPI

表 7-12. ROM 存储器

ROM	CPU 大小
安全和不安全引导 ROM	64KB

7.6.1 器件引导

本节介绍每次 CPU 内核复位时的一般引导 ROM 过程。CPU1 始终首先引导。CPU1 引导至应用程序后，CPU1 中的用户应用程序代码即可配置 CPU2，并将 CPU2 从复位状态释放到引导状态。表 7-13 和 表 7-14 列出了每个内核的一般引导过程。

在引导期间，每个 CPU 的引导 ROM 代码会更新 RAM 中的引导状态位置，其中详细说明了在此过程中采取的操作。此外，CPU2 将引导状态写入 CPU2TOCPU1IPCB00TSTS 寄存器，以便将状态告知 CPU1。

更多详细信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“引导状态信息”一节。

表 7-13. CPU1 引导 ROM 过程

STEP	CPU1 ACTION
1	初始化器件 C28x CPU 以及 M0/M1 RAM 配置。
2	初始化器件以使用堆栈寻址模式，将 DP 初始化为低 64k，并清除溢出模式位。
3	从 OTP 加载修整，并对器件配置寄存器进行编程
4	在 POR 时，所有 CPU RAM (包括 GSxRAM) 都会初始化。2KBRAM 初始化完成后，引导继续进行
5	启用不可屏蔽中断 (NMI) 处理，同时执行 DCSM 初始化
6	如果已启用，则运行 MPOST POR 存储器测试。在执行 MPOST 后，不会恢复原始时钟频率
7	在未绑定的 IO 上启用上拉
8	执行器件校准，设置模拟修整。然后处理复位，并检查 RAM 初始化完成状态
9	系统会轮询引导模式 GPIO 引脚以确定要运行的引导模式。引导加载程序根据引导模式/配置执行。有关引导序列的流程图，请参阅 TMS320F28P65x 实时微控制器技术参考手册 中的引导流程图
10	应用程序加载完毕后，先启用看门狗，然后再执行应用程序

表 7-14. CPU2 引导 ROM 过程

STEP	CPU1 ACTION
1	CPU1 应用程序将 CPU2 从复位状态释放
2	设置 CPU1TOCPU2IPCFLG0 后，读取 CPU1TOCPU2IPCBOOTMODE 寄存器。如果未正确设置或设置的值无效，则将 IPC 发送到 CPU1，同时 CPU2 将无限等待。用户必须复位 CPU2 并设置有效值
3	闪存已上电，并等待上电完成
4	在 POR 时，所有 CPU2 RAM (不包括 GSxRAM) 将初始化 (这些 RAM 拆分为两个初始化组)
5	启用 NMI
6	初始化器件以配置锁步模式 (未启用)。此步骤用于初始化器件中未初始化的触发器
7	已处理复位
8	使用 CPU2 CPU1TOCPU2IPCBOOTMODE 寄存器中的值，如果指定了“等待命令”模式，则进入等待循环，直到 CPU1 C28x 更新引导模式并设置 IPCFLG0。如果指定了引导模式，引导 ROM 将启用看门狗并引导至指定的引导模式位置
9	当 IPCFLG0 设置为“等待命令”模式时，将启用看门狗，然后引导 ROM 在 CPU1TOCPU2IPCBOOTMODE 中运行指定的引导模式

7.6.2 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。引导 ROM 使用引导模式选择、通用输入/输出 (GPIO) 引脚来确定引导模式配置。

表 7-15 展示了可供默认引导模式选择引脚选择的引导模式选项。用户可以选择对器件进行编程，以自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。

所有支持的外设引导模式都使用外设模块 (SCIA、SPIA、I2CA、CANA 等) 的第一个实例。凡是本章提到的这些引导模式 (例如 SCI 引导) 时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

请参阅 复位 $XRSn$ 开关特性 部分和 $t_{boot-flash}$ (在闪存中第一次取指令之前的引导 ROM 执行时间) 的“上电复位”图。

表 7-15. 器件默认引导模式

引导模式	GPIO72 (默认引导模式选择引脚 1)	GPIO84 (默认引导模式选择引脚 0)
并行 IO	0	0
SCI/等待引导 ⁽¹⁾	0	1
CAN	1	0
闪存/USB ⁽²⁾	1	1

(1) 只要 SCI 在 SCI 自动波特率锁定过程中继续等待“A”或“a”，SCI 引导模式就会用作等待引导模式。

(2) 在未编程的器件上，如果在未编程默认闪存入口地址时选择闪存引导，则会将引导模式从闪存引导切换到 USB 引导。有关更多详细信息，请参阅表 7-16。

表 7-16. CPU1 闪存至 USB 引导决策表

闪存入口点地址处的值	出现该值的原因	实现的引导模式
0x00000000	闪存被锁定/保护	引导至闪存
0xFFFFFFFF	闪存未编程	USB 引导
任何其他值	闪存已编程	引导至闪存

备注

所有支持的外设引导模式都使用外设模块 (SCIA、SPIA、I2CA、CANA 等) 的第一个实例。凡是本章提到的这些引导模式 (例如 SCI 引导)，该模式实际均指第一个模块实例，即 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导模式。

7.6.3 器件引导配置

本节详细介绍了可用的引导配置以及如何对其进行配置。该器件支持 0 引导模式选择引脚到 3 个引导模式选择引脚，以及 1 种配置的引导模式到 8 种配置的引导模式。

要更改器件并将其从默认设置配置为适合应用程序的自定义设置，请遵从以下过程：

1. 确定您希望应用程序能够引导的所有各种方式。（例如：用于主应用程序的闪存引导的主要引导选项、用于固件更新的 CAN 引导的次级引导选项、用于调试的 SCI 引导的三级引导选项等）
2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择。（例如：需要 2 个 BMSP 来在 3 个引导模式选项之间进行选择）
3. 将所需的 BMSP 分配到物理 GPIO 引脚（例如，BMSP0 到 GPIO10，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态。）有关执行这些配置的所有详细信息，请参阅 *TMS320F28P65x 实时微控制器技术参考手册* 的“配置引导模式引脚”部分。
4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引例如，BOOTDEF0=引导至闪存，BOOTDEF1=CAN 引导，BOOTDEF2=SCI 引导；所有其他 BOOTDEFx 保留为默认值/无。有关设置和配置自定义引导模式表的所有详细信息，请参阅 *TMS320F28P65x 实时微控制器技术参考手册* 的“配置引导模式表选项”。

此外，*TMS320F28P65x 实时微控制器技术参考手册* 的“引导模式示例用例”一节提供了一些有关如何配置 BMSP 和自定义引导表的示例用例。

备注

CAN 引导模式打开 XTAL。在使用 CAN 引导模式之前，请确保在应用中安装了 XTAL。

7.6.4 GPIO 分配

本节详细介绍了用于在位于 Z1-OTP-BOOTDEF-LOW/ Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/ Z2-OTP-BOOTDEF-HIGH 的 BOOT_DEF 存储器位置中设置引导模式的 GPIO 和引导选项值。请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“配置引导模式表选项”一节，了解如何配置 BOOT_DEFx。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

默认引导模式 GPIO 引脚：

- 引导模式引脚 0 - GPIO84
- 引导模式引脚 1 - GPIO72

关于引导引脚选择的指南：

- 避免使用具有 PWM 功能的引脚。
- 不能是模拟引脚或 USB 引脚。
- 所有封装上都可以使用引导模式选择引脚和默认引导外设引脚。
- 避免使用 JTAG 仿真引脚和晶振引脚。
- 引导模式选择引脚可以是输入。
- 引脚不能具备 PHY 自举功能。

表 7-17. SCI 引导选项

选项	BOOTDEF 值	SCITXDA GPIO	SCIRXDA GPIO	受支持的封装
0 (默认值)	0x01	GPIO12	GPIO13	全部
1	0x21	GPIO84	GPIO85	全部
2	0x41	GPIO36	GPIO35	176-QFP、169-BGA、256-BGA
3	0x61	GPIO42	GPIO43	全部
4	0x81	GPIO65	GPIO64	全部
5	0xA1	GPIO29	GPIO28	176-QFP、169-BGA、256-BGA
6	0xC1	GPIO8	GPIO9	176-QFP、169-BGA、256-BGA

表 7-18. CAN 引导选项

选项	BOOTDEF 值	CANTXA GPIO	CANRXA GPIO	受支持的封装
0 (默认值)	0x02	GPIO59	GPIO58	全部
1	0x22	GPIO4	GPIO5	176-QFP、169-BGA、256-BGA
3	0x42	GPIO19	GPIO18	176-QFP、169-BGA、256-BGA
4	0x62	GPIO37	GPIO36	176-QFP、169-BGA、256-BGA
5	0x82	GPIO63	GPIO62	全部

表 7-19. CAN FD 引导选项

选项	BOOTDEF 值	MCAN TX	MCAN RX	受支持的封装
0	0x08	GPIO4	GPIO10	全部
1	0x18	GPIO8	GPIO10	176-QFP、169-BGA、256-BGA
2	0x28	GPIO19	GPIO18	176-QFP、169-BGA、256-BGA
3	0x38	GPIO4	GPIO5	176-QFP、169-BGA、256-BGA

表 7-19. CAN FD 引导选项 (续)

选项	BOOTDEF 值	MCAN TX	MCAN RX	受支持的封装
4	0x48	GPIO74	GPIO75	176-QFP、169-BGA、256-BGA

表 7-20. USB 引导选项

选项	引导模式值	USB0 DM	USB0 DP	受支持的封装
0 (默认值)	0x09	GPIO42	GPIO43	全部

表 7-21. I2C 引导选项

选项	BOOTDEF 值	SDAA GPIO	SCLA GPIO	受支持的封装
0	0x07	GPIO0	GPIO1	全部
1	0x27	GPIO42	GPIO43	全部
2	0x47	GPIO91	GPIO92	全部
3	0x67	GPIO104	GPIO105	176-QFP、169-BGA、256-BGA

表 7-22. SPI 引导选项

选项	BOOTDEF 值	SPIPCOA	SPIPCIA	SPICLKA	SPIPTA	受支持的封装
0	0x06	GPIO58	GPIO59	GPIO34	GPIO35	全部
1	0x26	GPIO198	GPIO203	GPIO204	GPIO205	176-QFP、169-BGA、256-BGA
2	0x46	GPIO16	GPIO17	GPIO18	GPIO19	176-QFP、169-BGA、256-BGA
3	0x66	GPIO54	GPIO55	GPIO56	GPIO57	176-QFP、169-BGA、256-BGA

表 7-23. 并行引导选项

选项	BOOTDEF 值	D0-D7 GPIO	C28x (DSP) 控制 GPIO	主机控制 GPIO	受支持的封装
0 (默认值)	0x00	D0 - GPIO0 D1 - GPIO1 D2 - GPIO2 D3 - GPIO3 D4 - GPIO4 D5 - GPIO5 D6 - GPIO6 D7 - GPIO7	GPIO10	GPIO11	全部
1	0x20	D0 - GPIO89 D1 - GPIO90 D2 - GPIO58 D3 - GPIO59 D4 - GPIO60 D5 - GPIO61 D6 - GPIO62 D7 - GPIO88	GPIO91	GPIO92	176-QFP、256-BGA

7.7 安全性

安全功能由双代码安全模块 (DCSM) 强制执行。主要的防御层是保护芯片边界，该功能应始终启用。此外，还提供了双区域安全功能以支持代码分区。

7.7.1 保护芯片边界

应使用以下两项功能以及固件更新代码中的身份验证来帮助防止未经授权的代码在器件上运行。

7.7.1.1 JTAGLOCK

在 USER OTP 中启用 JTAGLOCK 功能会禁用对器件资源的 JTAG 访问（例如调试探针）。

7.7.1.2 零引脚引导

在 USER OTP 中启用零引脚引导选项以及闪存引导会阻止所有基于引脚的外部引导加载程序选项（例如：SCI、CAN 以及并行）。

7.7.2 双区域安全

双区域安全机制为两个区域提供保护：区域 1 (Z1) 和区域 2 (Z2)。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源（OTP 存储器和安全 ROM）和分配的安全资源（LSx RAM 和闪存扇区）。

7.7.3 免责声明

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行密码保护，并且由德州仪器 (TI) 根据其标准条款和条件保证以符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述内容外，TI 也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

7.8 高级加密标准 (AES) 加速器

AES 模块可基于二进制密钥提供硬件加速的数据加密和解密操作。AES 是一种对称的密码模块，支持用于加密和解密的 128 位、192 位或 256 位硬件密钥。AES 模块基于对称算法，这表示加密与解密密钥相同。加密数据意味着将数据从明文转换为难以理解的形式，即所谓密文。密文解密是将之前加密的数据转换回其原始形式，即明文。下面介绍了 AES 加速器的主要特性。

基本的 AES 加密和解密操作受到以下各项的支持：

- 带基本 GHASH 操作的伽罗瓦/计数器模式 (GCM)
- 带 CBC-MAC 的计数器模式 (CCM)
- XTS 模式

以下反馈工作模式可用：

- 电子源码书模式 (ECB)
- 密码块链接 (CBC)
- 计数器模式 (CTR)
- 密码反馈模式 (CFB)，128 位
- F8 模式
- 密钥大小：128、192 和 256 位
- 支持 CBC_MAC 和 Fedora 9 (F9) 验证模式
- 基本的 GHASH 操作（选择不加密时）
- 硬件中的密钥调度
- 支持 μ DMA 传输
- 全同步设计

图 7-2 展示了 AES 方框图。

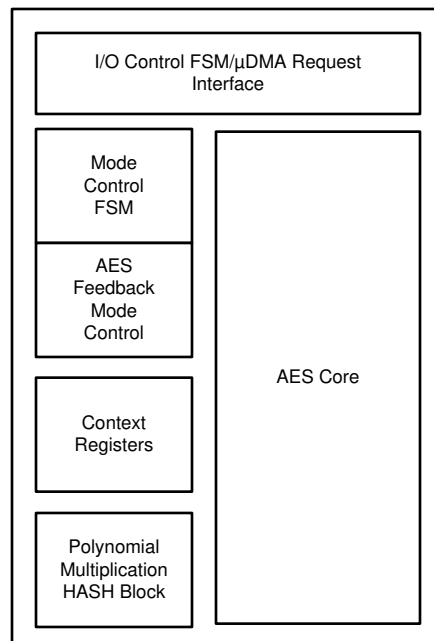


图 7-2. AES 方框图

有关 AES 加速器的更多信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“高级加密标准加速器 (AES)”一章。

7.9 C28x (CPU1/CPU2) 子系统

7.9.1 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

有关 CPU 架构和指令集的更多信息，请参阅 [TMS320C28x CPU 和指令集参考指南](#)。

7.9.1.1 浮点单元 (FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH (其中 n=0 - 7)
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

有关 C28x 浮点单元 (FPU) 的更多信息，请参阅 [TMS320C28x 扩展指令集技术参考手册](#)。

7.9.1.2 快速整数除法单元

C28x CPU 的快速整数除法 (FINTDIV) 单元独特地支持三种类型的整数除法 (截断、模数、欧几里德)，这些整数除法具有不同的数据类型大小 (16/16、32/16、32/32、64/32、64/64)，采用无符号或有符号格式。

- C 语言天然支持截断整数除法 (/、% 运算符)。
- 模数除法和欧几里德除法是更高效的控制算法，并受 C 内在函数支持。

所有三种类型的整数除法都会产生商和余数分量，具有可中断特性，并在最小数量的确定性周期内执行 (32/32 除法为 10 个周期)。此外，C28x CPU 的快速除法功能独特地支持浮点 32 位 (5 个周期内) 和 64 位 (20 个周期内) 除法的快速执行。

更多有关快速整数除法的信息，请参阅 [快速整数除法 - C2000™ 产品系列特性应用报告](#)。

7.9.1.3 三角函数数学单元 (TMU)

三角函数加速器 (TMU) 通过增加指令和利用可加速执行常见三角函数和表 7-24 中所列算术运算的现有 FPU 指令来扩展 C28x+FPU 的功能。

表 7-24. TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2\pi$	2/3
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \text{sqrt}(b)$	5
SINPUF32 RaH,RbH	$a = \sin(b * 2\pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b * 2\pi)$	4
ATANPUF32 RaH,RbH	$a = \text{atan}(b)/2\pi$	4
QUADF32 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

已添加指数指令 IEXP2F32 和对数指令 LOG2F32，可支持针对 C2000 数字控制库的非线性比例积分微分控制 (NLPID) 组件计算浮点幂函数。添加的这两条指令将幂函数计算从使用库仿真时的典型 300 个周期减少到不到 10 个周期。

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集 (R0H 至 R7H) 来执行运算。

更多信息，请参阅 [TMS320C28x 扩展指令集技术参考手册](#)。

7.9.1.4 VCRC 单元

循环冗余校验 (CRC) 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。C28x+VCRC 可执行 8 位、16 位、24 位和 32 位 CRC。例如，VCRC 可以在 10 个周期内计算出块长度为 10 字节的 CRC。CRC 结果寄存器包含当前 CRC，每次执行 CRC 指令时，该 CRC 都会更新。

以下是 VCRC 的 CRC 计算逻辑使用的 CRC 多项式：

- CRC8 多项式 = 0x07
- CRC16 多项式 1 = 0x8005
- CRC16 多项式 2 = 0x1021
- CRC24 多项式 = 0x5d6dcb
- CRC32 多项式 1 = 0x04c11db7
- CRC32 多项式 2 = 0x1edc6f41

该模块可以在单个周期内为一个字节的数据计算 CRC。CRC8、CRC16、CRC24 和 CRC32 的 CRC 计算是按字节完成的（而不是计算 C28x 内核读取的完整 16 位或 32 位数据），以便与各种标准规定的按字节计算要求保持一致。

VCRC 单元还允许用户提供任何多项式的大小 (1b-32b) 和值，来满足自定义 CRC 要求。使用自定义多项式时，CRC 执行时间会增加到三个周期。

有关循环冗余校验 (VCRC) 指令集的更多信息，请参阅 [TMS320C28x 扩展指令集技术参考手册](#)。

7.9.1.5 锁步比较模块 (LCM)

运行时期的硬件模块完整性是一项关键的功能安全要求。由锁步 CPU 架构 (两个 CPU 执行相同功能, 并且不断比较 CPU 的输出) 实现的硬件冗余是一种经过验证的方法, 可实现对永久故障和瞬态故障的高诊断覆盖率。实施的锁步比较器模块 (LCM) 用于比较 CPU 的输出, 从而检测永久故障和瞬态故障。

LCM 可实现下列特性:

- 流水线架构
- 冗余比较
- 自检能力
 - 匹配和不匹配测试
 - 错误强制功能
- 时间冗余: 两个模块的运行错开两个周期, 以解决时钟、电源等常见原因故障问题。这可确保时间冗余。
- 空间冗余: 在锁步架构中, 模块实例被冗余地实例化, 并对输出进行比较。冗余实例化提供空间冗余。
- 非延迟功能输出路径, 可为系统提供非延迟 CPU 执行 (同时仍然具有时间冗余) 。
- 使用奇偶校验方案对模块的关键存储器映射寄存器进行寄存器保护。

图 7-3 展示了 LCM 方框图。

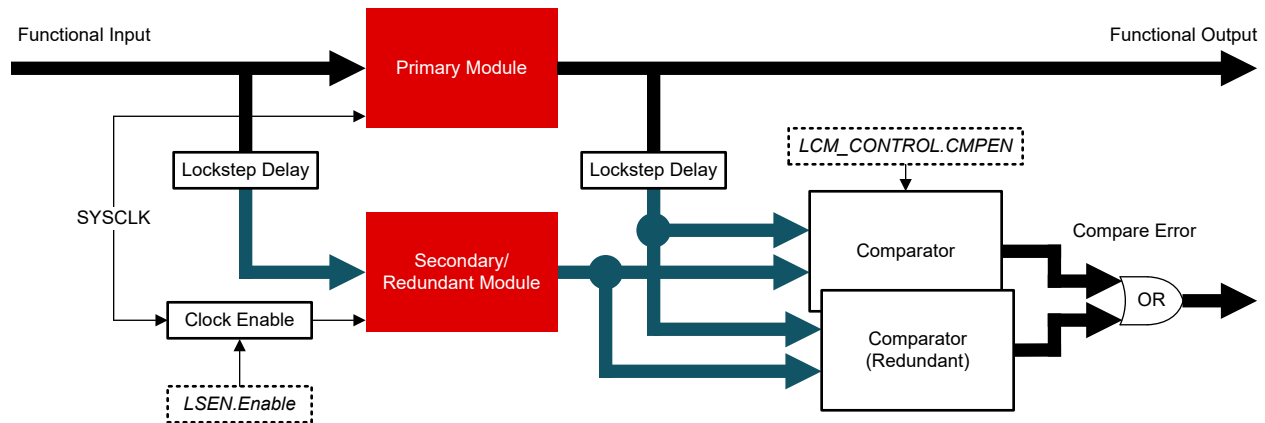


图 7-3. LCM 方框图

备注

此方框图中描述的模块可以是 CPU (例如 CPU1) 或外设 (例如 DMA) , 具体取决于使用的器件。

7.9.2 控制律加速器 (CLA)

CLA 2 类是一款独立、完全可编程的 32 位浮点数学处理器，为 C28x 系列实现了并发控制环路执行。CLA 的低中断延迟使其能够“及时”读取 ADC 样本。这显著降低了 ADC 采样到输出延迟，从而实现了更快的系统响应和更高 MHz 的控制环路。通过利用 CLA 为时间关键型控制环路提供服务，可腾出主 CPU 来执行其他系统任务，如通信和诊断。

控制律加速器通过添加并行处理来扩展 C28x CPU 的功能。CLA 处理的时间关键控制环路可实现低 ADC 采样输出延迟。因此，CLA 支持更快速的系统响应和可高频率的控制环路。将 CLA 用于时间关键型任务可释放主 CPU 以同时执行其他系统和通信功能。

以下是 CLA 主要特性的列表。

- 可使用 C 编译程序进行 CLA 软件开发
- 时钟速率与主 CPU 一致 (SYSCLKOUT)。
- 一个独立的架构使得 CLA 能够独立于主 C28x CPU 之外执行算法。
 - 完整的总线架构：
 - 程序地址总线 (PAB) 和程序数据总线 (PDB)
 - 数据读取地址总线 (DRAB)、数据读取数据总线 (DRDB)、数据写入地址总线 (DWAB) 和数据写入数据总线 (DWDB)
 - 独立的 8 级流水线。
 - 16 位程序计数器 (MPC)
 - 四个 32 位结果寄存器 (MR0 至 MR3)
 - 两个 16 位辅助寄存器 (MAR0、MAR1)
 - 状态寄存器 (MSTF)
- 指令集包括：
 - IEEE 单精度 (32 位) 浮点数学运算
 - 涉及并行载入或者存储的浮点数学
 - 涉及并行加法或者减法的浮点乘法
 - $1/X$ 和 $1/\sqrt{X}$ 估值
 - 数据类型转换
 - 条件分支指令和调用
 - 数据载入/存储操作
- CLA 程序代码可包含多达 8 个任务或中断服务例程，或者 7 个任务和一个主后台任务。
 - 每一个任务的开始地址由 MVECT 寄存器指定。
 - 只要任务适合可配置的 CLA 程序内存空间，任务大小就有限制。
 - 每次处理并完成一个任务。无任务嵌套。
 - 任务完成时，在 PIE 内标志一个任务专用中断。
 - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始。
 - 2 类 CLA 可以有一个在后台连续运行的主任务，而其他高优先级事件则触发前台任务。
- 任务触发机制：
 - 借助于 IACK 指令的 C28x CPU
 - 任务 1 到任务 8：最多 256 个可能的触发源，来自连接到共享总线的外设，CLA 在共享总线上承担二级所有权。
 - 任务 8 可以设置为后台任务，而任务 1 至 7 采用外设触发。
- 内存和共用外设：
 - 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信。
 - C28x CPU 能够将 CLA 程序和数据内存映射到主 CPU 空间或者 CLA 空间。
 - 两个专用消息 RAM 用于 CLA 和 DMA 间的通信

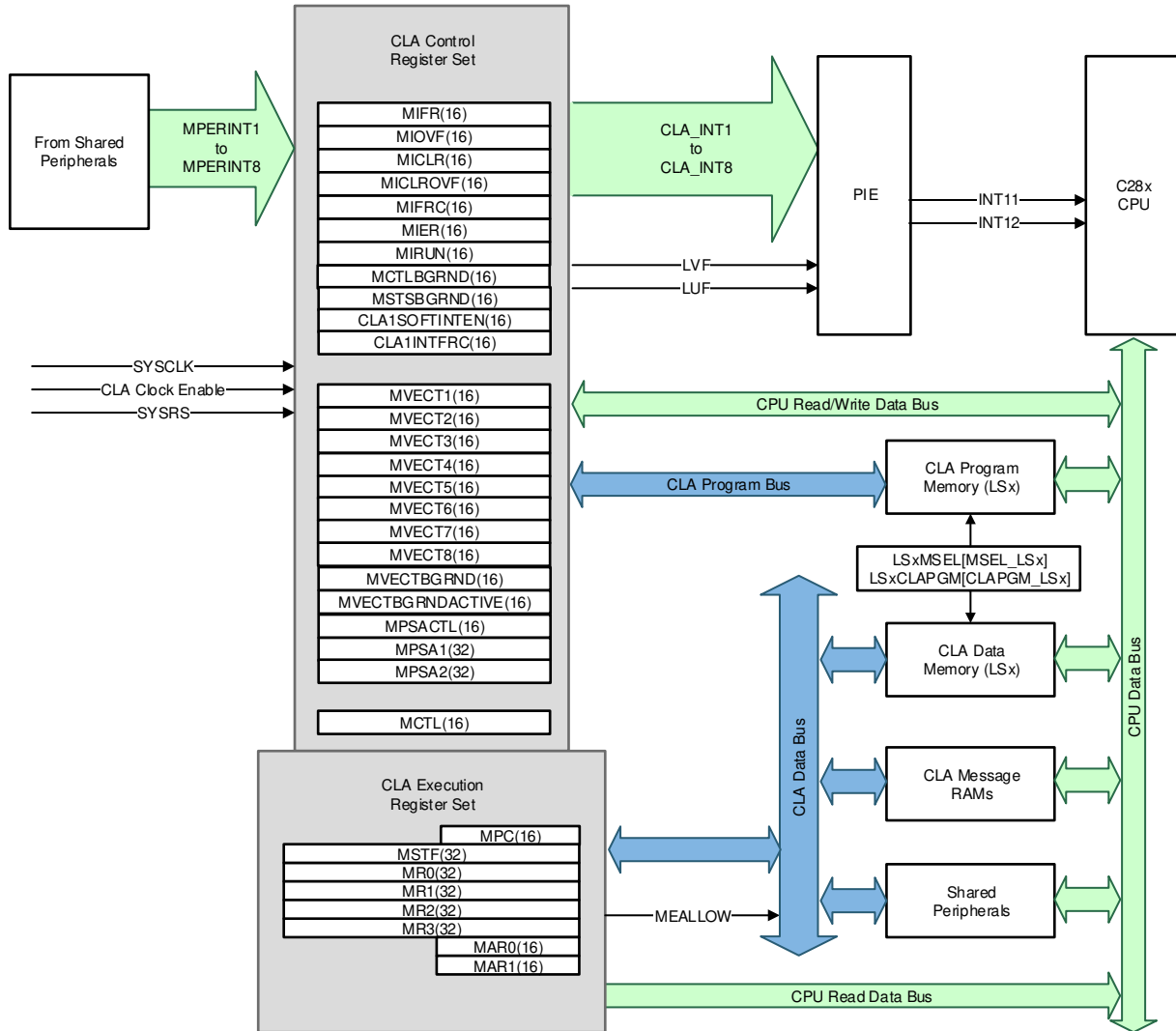


图 7-4. CLA 方框图

7.9.3 嵌入式实时分析和诊断 (ERAD)

ERAD 模块增强了器件的调试和系统分析功能。ERAD 模块提供的调试和系统分析增强功能在 CPU 之外完成。ERAD 模块由增强型总线比较器单元和系统事件计数器单元组成。增强型总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。系统事件计数器单元用于分析和评测系统。ERAD 模块可由调试器和应用软件访问，这显著提高了许多实时系统的调试功能，尤其是在调试器未连接的情况下。ERAD 模块具有可以跟踪 PC 不连续情况的程序计数器跟踪 (PC 跟踪) 功能。在 TMS320F28P65x 器件中，ERAD 模块包含八个增强型总线比较器单元 (将硬件断点数量从 2 个增加到 10 个) 和四个基准测试系统事件计数器单元。

7.9.4 背景 CRC-32 (BGCRRC)

背景 CRC (BGCRRC) 模块在可配置的存储器块上计算 CRC-32。这是通过在 CPU、CLA 或 DMA 不存取指定的存储块的空闲周期中获取该存储块来实现的。计算出的 CRC-32 值与黄金 CRC-32 值进行比较以指示通过还是未通过。本质上，BGCRRC 有助于识别内存故障和损坏。

BGCRRC 模块具有以下特性：

- 关于 32 位数据的一个周期 CRC-32 运算
- 对于零等待状态存储器，CPU 带宽不受影响
- 对于非零等待状态存储器，CPU 带宽受到的影响极小
- 两种工作模式 (CRC-32 模式和清理模式)
- 通过看门狗计时器对 CRC-32 完成时间进行计时
- 能够暂停和恢复 CRC-32 计算

7.9.5 直接存储器存取 (DMA)

DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。图 7-5 显示了 DMA 的器件级方框图。

DMA 模块特性包括：

- 具有独立 ePIE 中断的六个通道
- 外设中断触发源
 - ADC 中断和 EVT 信号
 - 外部中断
 - ePWM SOC 信号
 - CPU 计时器
 - eCAP
 - SPI 发送和接收
 - UART 发送和接收
 - CAN 发送和接收
 - LIN 发送和接收
- 数据源和目标：
 - GSx RAM
 - ADC 结果寄存器
 - 控制外设寄存器 (ePWM、eQEP、eCAP)
 - 通信外设寄存器 (SPI , LIN , CAN , PMBus , UART , FSI)
- 字大小：16 位或 32 位 (SPI 限制到 16 位)
- 吞吐量：每个字三个周期，无需仲裁

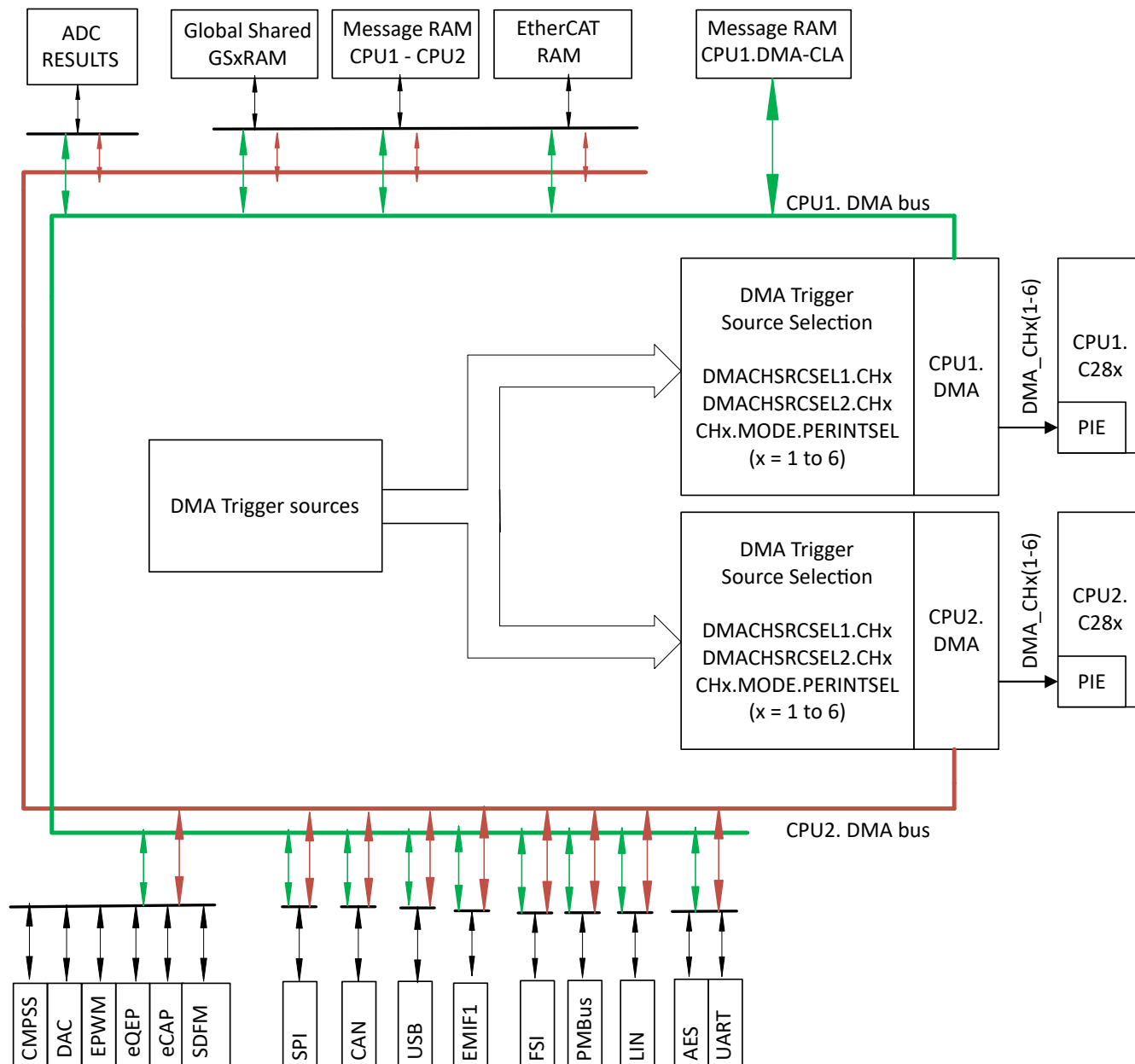


图 7-5. DMA 方框图

7.9.6 处理器间通信 (IPC) 模块

处理器间通信 (IPC) 模块可实现 CPU 子系统之间的通信。

IPC 模块特性包括：

- 消息 RAM
- IPC 标志和中断
- IPC 命令寄存器
- 闪存泵信标
- 时钟配置信标
- 自由运行的计数器

所有 IPC 特性彼此独立，大多数不需要任何特定的数据格式。还有两个用于引导模式和状态通信的寄存器。有关这些寄存器的更多信息，请参阅 [TMS320F28P65x 实时微控制器技术参考手册](#) 的“ROM 代码和外设引导”一章。

该器件具有两个 C28x 内核 (CPU1、CPU2) 和一个 IPC 模块：

- CPU1_TO_CPU2 IPC 架构 (请参阅图 7-6)



7.9.7 C28x 计时器

CPU 计时器 0, 1, 和 2 是完全一样的 32 位计时器, 具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器, 该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时, 则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途, 并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS, CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时:

- SYSCLK (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- X1 (XTAL)

7.9.8 双路时钟比较器(DCC)

DCC 模块用于根据第二个时钟评估和监测时钟输入，第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障，从而增强系统的安全性指标。

7.9.8.1 特性

DCC 具有以下特性：

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视，而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源，从而产生几种特定的用例。

7.9.8.2 DCCx 时钟源中断的映射

表 7-25. DCCx 时钟源 0 表

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (输入 xbar 的输出 16)
其它	保留

表 7-26. DCCx 时钟源 1 表

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	输入 XBAR (输入 xbar 的输出 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
其它	保留

7.9.9 带有看门狗计时器的非可屏蔽中断 (NMIWD)

NMIWD 模块用于处理系统级错误。每个 CPU 都有一个 NMIWD 模块。监测的条件为：

- 由于振荡器故障导致系统时钟丢失
- CPU 访问闪存时出现不可纠正的 ECC 错误
- CPU、CLA 或 DMA 访问 RAM 时出现不可纠正的 ECC 错误或奇偶校验错误
- CPU 访问 ROM 时出现奇偶校验错误
- 另一个 CPU 上的矢量获取错误
- 来自 BGCRC 模块的 CRC 故障错误
- 来自 EtherCAT 主器件的复位请求或访问 EtherCAT RAM 时出现不可纠正的错误
- CPU1/CPU2 HWBIST 错误
- 来自 ERAD 模块的 NMI
- 仅 CPU1：看门狗或 NMI 看门狗在 CPU2 上复位

如果 CPU 未对锁存错误条件做出响应，NMI 看门狗将在一个可编程时间间隔后触发复位。默认时间为 65536 个 SYSCLK 周期。

7.9.10 看门狗

该看门狗模块与之前的 **TMS320C2000** 器件上的模块相同，但针对计数器的软件复位之间的时间提供了一个可选的下限。默认情况下禁用此窗口倒计时，因此看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-7 展示了看门狗模块内的各种功能块。

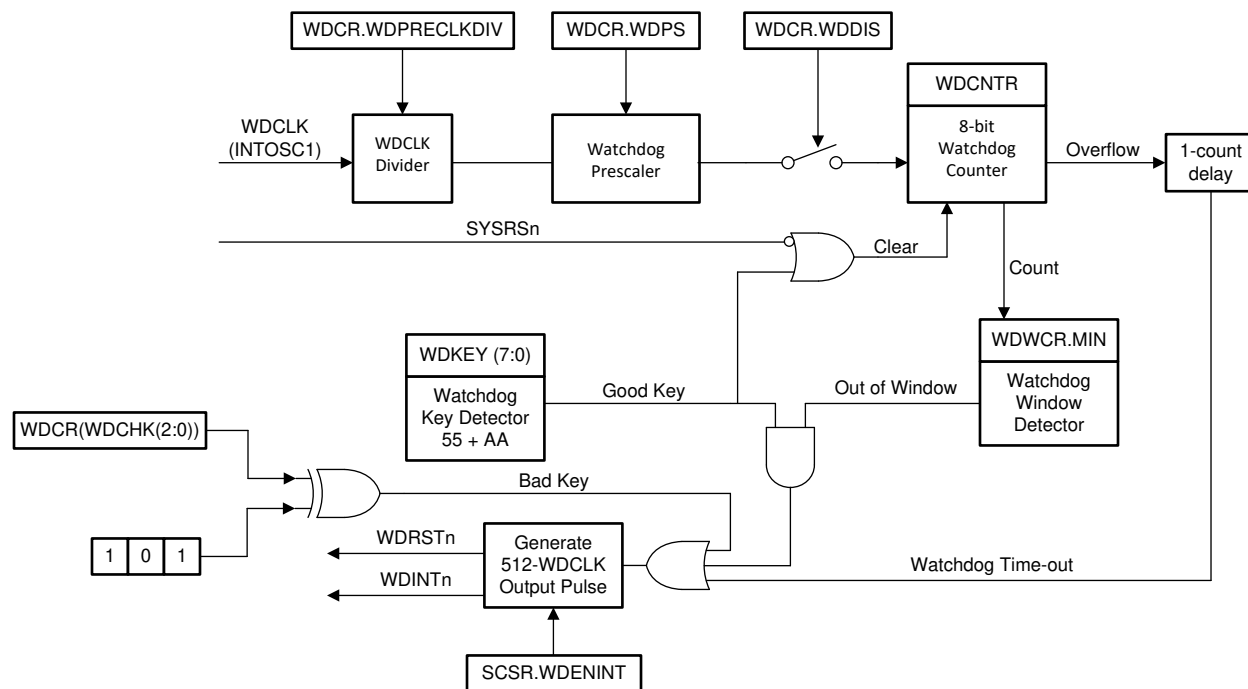


图 7-7. 窗口看门狗

7.9.11 可配置逻辑块 (CLB)

C2000 可配置逻辑块 (CLB) 是一组模块的集合，这些模块使用软件进行互连，以实现自定义数字逻辑功能或增强现有的片上外设。CLB 能够通过一组交叉开关互连来增强现有的外设，为现有的控制外设（例如增强型脉宽调制器 (ePWM)、增强型采集模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)）提供高度连接性。交叉开关还允许将 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以配置为与器件外设交互以执行小型逻辑功能（例如比较器），或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑器件实现的功能现在可在 MCU 内实现。

CLB 外设是通过 CLB 工具进行配置的。更多有关 CLB 工具、可用示例、应用手册和用户指南的信息，请参阅[适用于 C2000 MCU 的 C2000Ware](#) 软件包（C2000Ware_2_00_00_03 及更高版本）中的以下位置：

- **C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc**
- [CLB 工具用户指南](#)
- [使用 C2000™ 可配置逻辑块 \(CLB\) 进行设计](#) 应用手册
- [如何将自定义逻辑从 FPGA/CPLD 迁移到 C2000™ 微控制器](#) 应用手册

CLB 模块及其互连如图 7-8 所示。

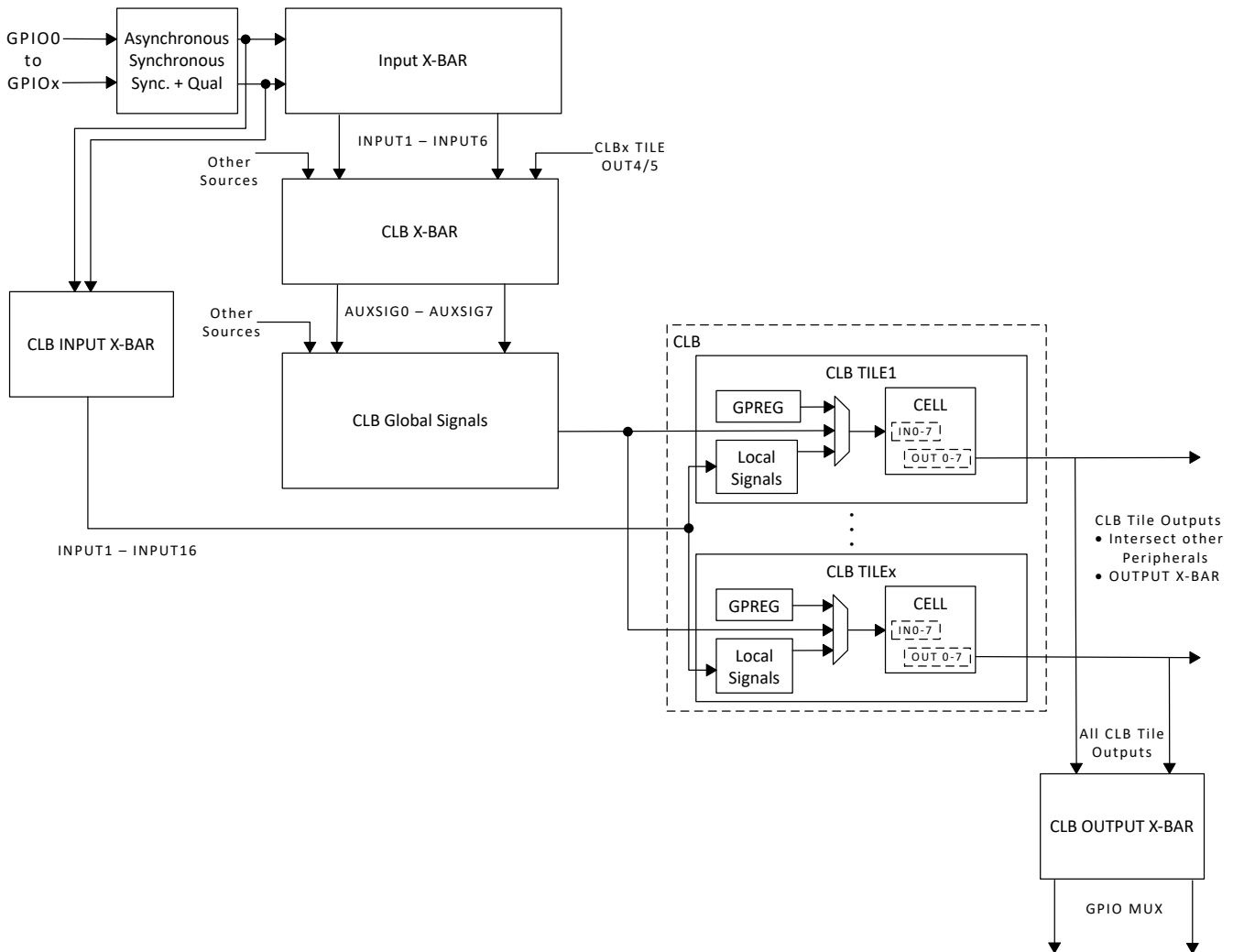


图 7-8. GPIO 到 CLB 逻辑块的连接

绝对编码器协议接口现在作为 C2000Ware MotorControl SDK 中的 [Position Manager](#) 解决方案提供。
[C2000Ware MotorControl SDK](#) 提供了此类解决方案的配置文件、应用程序接口 (API) 和使用示例。在某些解决方案中，TI 配置的 CLB 与其他片上资源（例如 SPI 端口或 C28x CPU）一起使用，以执行更复杂的功能。

8 应用、实施和布局

8.1 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.2 器件主要特性

表 8-1. 器件主要特性

模块	特性	系统优势
C28x 处理		
实时控制 CPU	多达 600 个 MIPS 两个 C28x 内核：400MIPS (2 x 200MIPS) 一个 CLA 内核：200MIPS 闪存：高达 1.28MB (在 C28x CPU 之间共享) RAM：高达 248 KB 64 位浮点单元 (FPU64) 三角函数单元加速器 (TMU) CRC 引擎和指令 (VCRC) 快速整数除法 (FINTDIV)	TI 的两个 32 位 C28x DSP 内核可为从片上闪存或 SRAM 运行的浮点或定点代码提供 400MHz 的信号处理性能。 为从片上闪存或 SRAM 运行的浮点或定点代码提供 400 MHz 的信号处理性能。 CLA：允许用户与主 CPU 同时执行时间关键型控制环路 FPU64：原生硬件支持 IEEE-754 双精度浮点运算 TMU：使用加速器加快三角函数和算术运算执行速度，从而提高控制应用的计算速度 (例如 PLL 和 DQ 变换)。有助于实现更快的控制环路，从而提高效率和优化元件尺寸。 特殊指令支持非线性 PID 控制算法 VCRC：提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。 FINTDIV：支持线性除法运算，例如控制算法中使用的欧几里得和模数除法 请参阅展示 C2000™ 控制 MCU 优化信号链的实时基准测试。
检测		
模数转换器 (ADC) (可配置 12 位或 16 位)	三个 ADC 模块 16 位模式：(1.1MSPS) 单端模式：高达 40 通道 差分模式：高达 19 通道 12 位模式：(3.8MSPS) 单端模式：高达 40 通道 差分模式：高达 19 通道	ADC 对全部三相电流和直流总线进行精准并行采样，且具有零抖动。 ADC 后处理 - 片上硬件将降低 ADC ISR 复杂度并缩短电流环路周期。 增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS (过采样) 和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (CMPSS)	CMPSS 11 个具有 12 位数模转换器 (DAC) 的窗口比较器 两个 12 位缓冲 DAC 输出 60ns 跳闸检测时间 DAC 斜坡生成 外部引脚上提供低 DAC 输出 数字滤波器 斜率补偿	系统保护无报错： 比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能，PWM 跳闸触发和消除不必要噪声变得非常容易。 提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (CMPSS) 控制 PWM。 使用同一引脚实现保护和控制。

表 8-1. 器件主要特性 (续)

模块	特性	系统优势
Σ - Δ 滤波器模块 (SDFM)	多达 16 个独立可配置的数字比较器滤波器通道 多达 16 个独立可配置的数字数据滤波器通道	通过增强型 Δ - Σ 调制器实现电隔离。 SDFM 与外部 Δ - Σ 调制器 ADC 相连接, 非常适合需要隔离的信号。 比较器滤波器支持过流和欠流保护, 但无需 CPU 干预即可使 PWM 跳闸。 数字数据滤波器可提供更高的 ENOB, 从而实现更好的控制环路性能。
增强型正交编码器脉冲 (eQEP)	6 个 eQEP 模块	用于与线性或旋转增量编码器进行直接连接, 以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。另外, 也可以在其他应用中用于对来自外部器件 (例如传感器) 的输入脉冲进行计数。
增强型捕获 (eCAP)	6 个 eCAP 模块 测量事件之间经过的时间 (最多 4 个带时间戳的事件)。 通过输入 X-BAR 连接到任何 GPIO。 当未用于捕获模式时, eCAP 模块可配置为单通道 PWM 输出 (APWM)。	eCAP 的应用包含: 旋转机械的速度测量 (例如, 通过霍尔传感器感应齿状链轮) 位置传感器脉冲之间的持续时间测量 脉冲序列信号的周期和占空比测量 对来自占空比编码电流/电压传感器的电流或电压幅度进行解码

表 8-1. 器件主要特性 (续)

模块	特性	系统优势
驱动		
增强型脉宽调制 (ePWM)/高分辨率脉宽调制 (HRPWM)	多达 36 个 ePWM 通道 能够生成具有死区的高侧/低侧 PWM 支持谷底开关 (能够在谷点切换 PWM 输出) 以及消隐窗口等特性	灵活的 PWM 波形生成功能, 具有出色的电源拓扑覆盖范围。 影子化死区本身和影子化动作限定器可实现自适应 PWM 生成和保护, 从而提高控制精度并降低功率损耗。 可改善功率因数 (PF) 和总谐波失真 (THD), 这在功率因数校正 (PFC) 应用中尤为重要。可提高轻载效率。
	HRPWM 功能: 所有 36 个通道均提供高分辨率功能 (150ps) 为占空比、周期、死区以及相位偏移提供 150ps 的步长, 精度提高 99%	有利于精确控制并实现性能更佳的高频功率转换。 实现更干净的波形并避免输出端产生振荡/限制周期。
	一次性和全局重新加载功能	对于变频和多相直流/直流应用至关重要, 有助于实现高频控制环路 (>2MHz)。 能够在高频下控制交错式 LLC 拓扑
	针对逐周期 (CBC) 跳闸事件和一次性跳闸 (OST) 触发事件进行独立 PWM 操作	提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC 或直流/直流控制。
	在 SYNC 时加载 (支持在发生 SYNC 事件时的“影子到活动”加载)	支持变频应用 (允许在功率转换中进行 LLC 控制)。
	无需软件干预即可关闭 PWM (无 ISR 延迟)	在出现故障时提供快速保护
	延迟跳闸功能	有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) 直流/直流转换器轻松实现死区, 无需占用大量 CPU 资源 (即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此)。
	死区发生器 (DB) 子模块	通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟, 防止高侧和低侧栅极同时导通。
	灵活的 PWM 相位关系和计时器同步	每个 ePWM 模块都能与其他 ePWM 模块或其他外设同步。可使 PWM 边沿与特定事件完全保持同步。 支持采用特定采样窗口实现灵活的 ADC 调度, 与功率器件切换保持同步。
	二极管仿真	二极管仿真逻辑提供硬件特性, 并与其他 IP 模块进行必要的连接, 以便在有噪声的环境中实现可靠的二极管模式检测与控制
连接		
串行外设接口 (SPI)	4 个高速 SPI 端口	支持 50 MHz
串行通信接口 (SCI)	2 个 SCI (UART) 模块	与控制器连接
控制器局域网 (CAN/DCAN)	1 个 DCAN 模块	能够兼容经典 CAN 模块
控制器局域网 (FD/MCAN)	2 个 MCAN 模块	MCAN 模块支持经典 CAN 和 CAN FD 协议
内部集成电路 (I2C)	2 个 I2C 模块	与外部 EEPROM、传感器或控制器连接
支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)	一个 EMIF 模块	连接外部 ASRAM 和 SDRAM
其他系统特性		

表 8-1. 器件主要特性 (续)

模块	特性	系统优势
可配置逻辑块 (CLB)	一组可配置的块, 可使用软件互连这些块以实现自定义数字逻辑功能	用户自定义的 PWM 保护特性, 用于减少复杂算法/状态机的自定义逻辑, 自定义外设, 以及在伺服驱动器中实现绝对编码器。 用户还用于保护多级逆变器/PFC 或多级直流/直流转换器。 提供围绕现有 IP (如 ETPWM、ECAP、QEP 和 GPIO) 来构建逻辑的功能。 支持开发独特的 IP (例如 PWM 安全模块、编码器引擎等)。
安全增强功能	双区域代码安全模块 (DCSM) 安全启动 JTAGLOCK 后台 CRC (BGCRG) 通用 CRC (GCRG) 看门狗 寄存器受写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验	DCSM : 防止对专有代码进行复制和逆向工程 安全启动 : 使用 AES128 CMAC 算法来确保器件上运行的代码真实可靠 JTAGLOCK : 能够阻止器件仿真 AES 加速 : 硬件加速器显著缩短了处理加密消息的周期时间, 同时释放了 CPU 带宽 BGCRG : 在无 CPU 开销且不影响系统性能的情况下检查存储器完整性 GCRG : 指定连接管理器模块用于计算可配置存储块上的 CRC 值 看门狗 : 如果 CPU 陷入无休止的执行循环, 则会产生复位 寄存器受写保护 : 针对系统配置寄存器进行锁定保护 防止虚假 CPU 写入 MCD : 自动时钟故障检测 ECC 和奇偶校验 : single-bit 纠错和 double-bit 错误检测
交叉开关 (XBAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 • 输入 X-BAR • 输出 X-BAR • ePWM X-BAR • CLB 输入 X-BAR • CLB 输出 X-BAR • CLB X-BAR	增强硬件设计的通用性 : 输入 X-BAR : 将信号从任何 GPIO 路由到芯片内的多个 IP 块 输出 XBAR : 将内部信号路由到指定的 GPIO 引脚上 ePWM X-BAR : 将内部信号从各种 IP 块路由到 ePWM CLB 输入 X-BAR : 允许用户将信号直接从任何 GPIO 路由到可配置逻辑块 (CLB) CLB 输出 X-BAR : 允许用户将信号从 CLB 逻辑块传输到指定的 GPIO 引脚 CLB X-BAR : 允许用户将信号从各种 IP 块传输到 CLB
直接存储器访问 (DMA) 控制器	2 个 6 通道直接存储器存取 (DMA) 控制器	直接存储器访问 (DMA) 模块提供了一种在外设和/或存储器之间传输数据而无需 CPU 干预的硬件方法, 从而释放 CPU 带宽供其他系统功能使用。
USB		可用于系统数据记录以及引导至 USB 以更新片上闪存

8.3 应用信息

8.3.1 典型应用

典型应用 一节将详细介绍该器件的一些应用。如需查看更详细的应用列表, 请参阅本数据表的 *应用* 一节。

8.3.1.1 伺服驱动器控制模块

伺服驱动器需要高精度电流和电压检测功能以实现精确的扭矩控制, 并且通常支持用于多种编码器类型的接口以及通信接口。此 C2000 器件既可用于独立伺服驱动器的单芯片解决方案 (如图 8-1 所示), 也可用于分散式系统 (如图 8-2 所示)。在后一种情况下, F28P65x C2000 器件充当控制器, 对所有电压和电流输入进行采样并为逆变器生成正确的 PWM 信号。每个 C2000 器件均作为目标轴的实时控制器, 用于控制电机的电流控制环。通过使用快速串行接口 (FSI) 外设, 一个 C2000 器件最多可管理 16 个轴。C2000 器件作为外部环路控制器执行主轴电机控制, 控制通过 FSI 与所有副轴的数据交换, 并通过 EtherCAT 与主机或 PLC 进行通信。

8.3.1.1.1 系统方框图

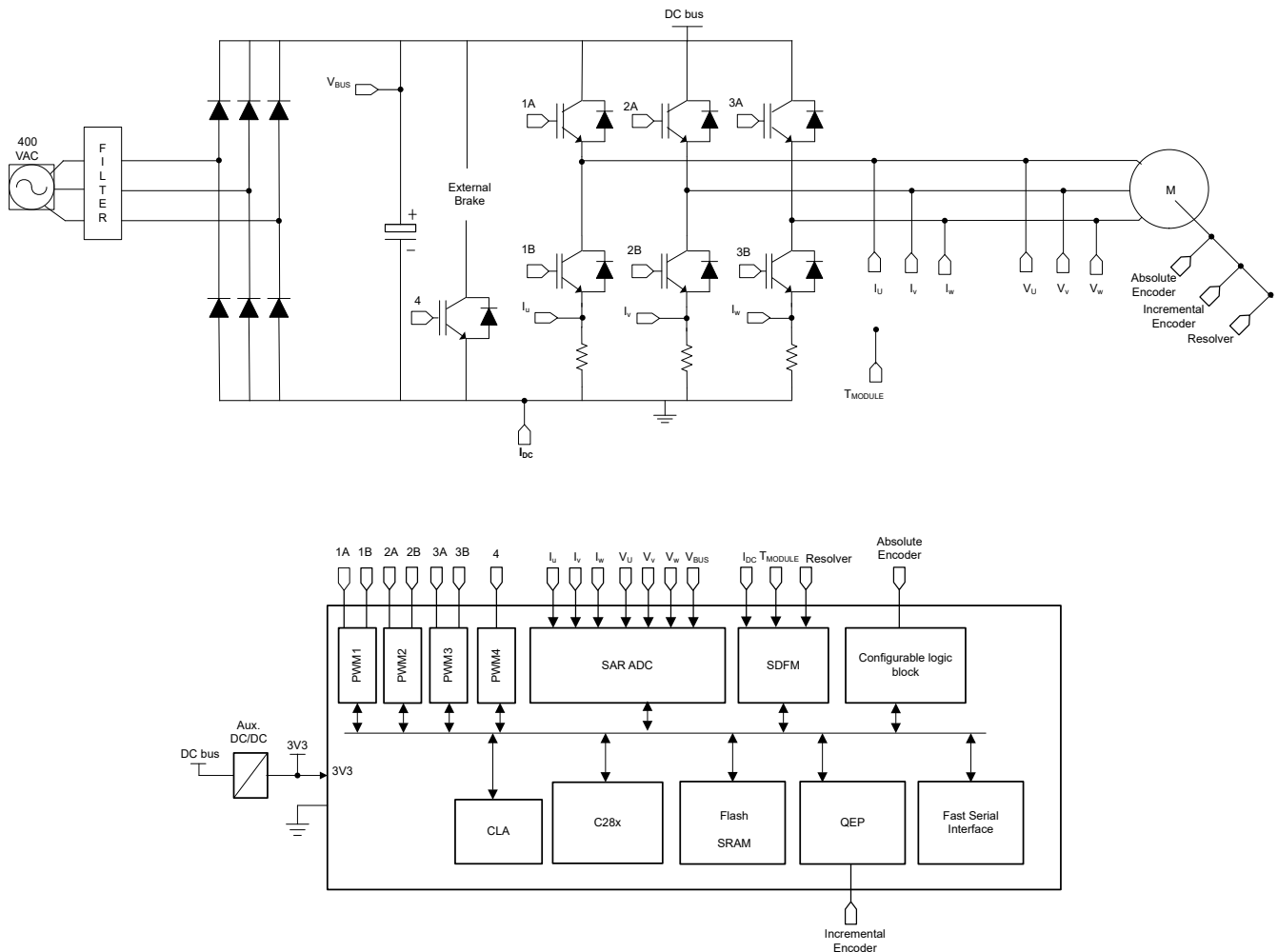


图 8-1. 伺服驱动器控制模块

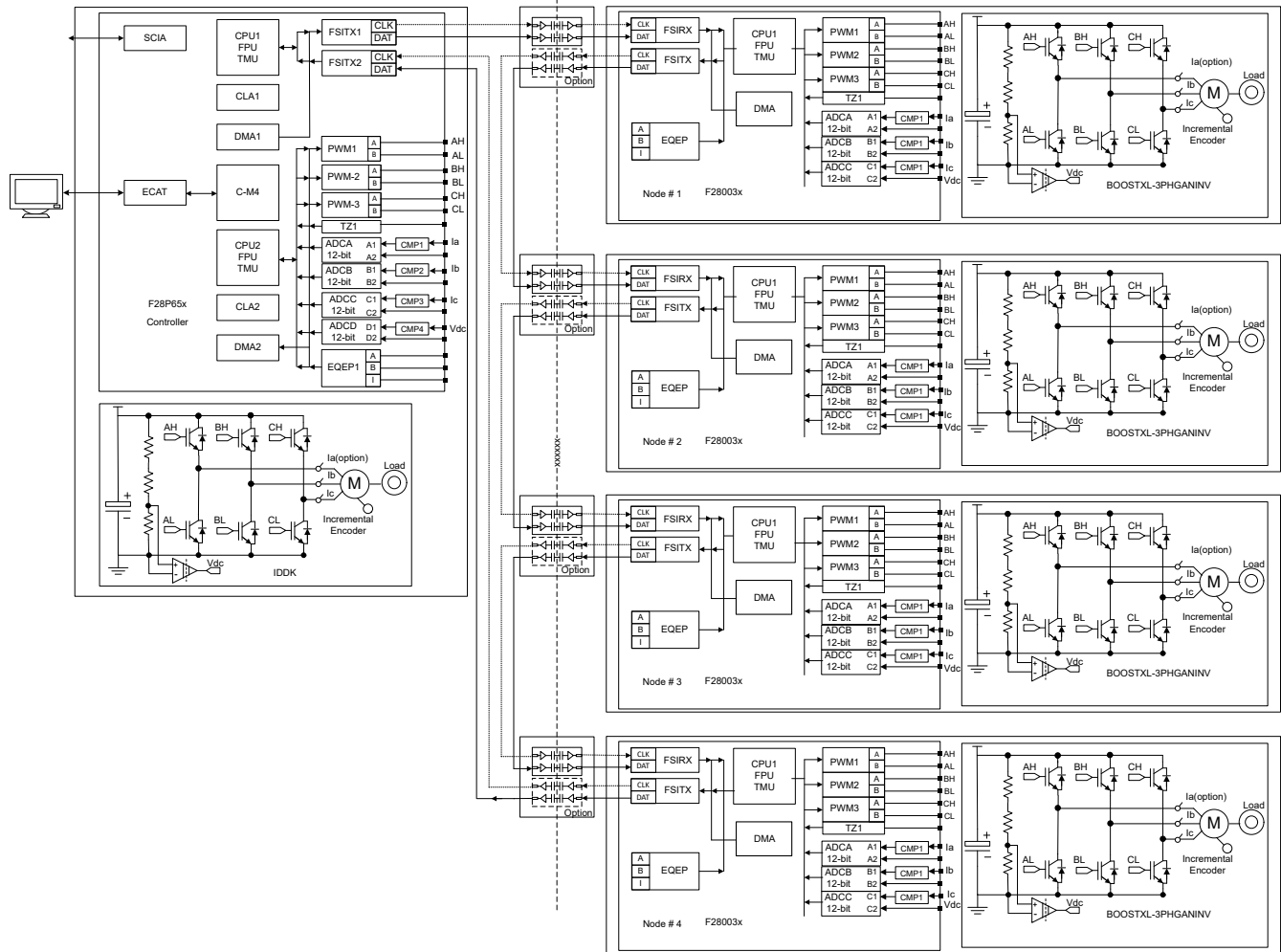


图 8-2. 分布式多轴伺服驱动器

8.3.1.1.2 伺服驱动器控制模块资源

参考设计和相关培训视频

具有基于采样电阻的内嵌式电机相电流采样的 **48V 三相逆变器评估模块**

BOOSTXL-3PHGANINV 评估模块采用 48V/10A 三相 GaN 逆变器，具备基于分流器的精密直列式相电流检测功能，从而对精密驱动器（例如，伺服驱动器）进行精准控制。

用于工业电机控制的 **C2000 DesignDRIVE 开发套件**

DesignDRIVE 开发套件 (IDDK) 硬件提供了可驱动高电压三相电机的全功率级集成伺服驱动器设计，并简化了对各种位置反馈、电流检测和控制拓扑的评估。

C2000 DesignDRIVE Position Manager BoosterPack™ 插件模块

PositionManager BoosterPack 是一个用于评估绝对编码器和模拟传感器（如旋转变压器和 SinCos 传感器）接口的灵活低电压平台。与 DesignDRIVE Position Manager 软件解决方案结合使用时，这种低成本评估模块成为用于将许多流行的位置编码器类型（如 EnDat、BiSS 和 T-Format）与 C2000 实时控制器件连接的强大工具。C2000 Position Manager 技术将流行的数字和模拟位置传感器接口集成到 C2000 实时控制器上，因此无需外部 FPGA 来实现这些功能。

C2000Ware MotorControl SDK

适用于 C2000™ 微控制器 (MCU) 的 MotorControl SDK 包含一套全面的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 实时控制器的电机控制系统开发时间，适用于各种三相电机控制应用。该软件包括在 C2000 电机控制评估模块 (EVM) 和针对工业驱动器、机器人、电器和汽车应用的 TI Designs (TID) 上运行的固件。MotorControl SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

TIDM-02006 基于快速串行接口 (FSI) 的分布式多轴伺服驱动器参考设计

此参考设计展示了使用 C2000™ 实时控制器通过快速串行接口 (FSI) 实现的分布式或分散式多轴伺服驱动器示例。多轴伺服驱动器用于工厂自动化和机器人等多种应用。凭借每轴成本、性能和易用性等特性，该驱动器受到上述系统的高度青睐。FSI 是一种可靠的成本优化型高速通信接口，具有低抖动，能以菊花链形式连接多个 C2000 微控制器。在此设计中，每个 TMS320F280049 或 TMS320F280025 实时控制器均作为分布式轴的实时控制器，控制电机的电流控制环。单个 TMS320F28388D 控制各轴的位置和速度控制环。上述 F2838x 还通过充分利用多个内核，执行集中式电机控制轴和 EtherCAT 通信。该设计采用我们的现有 EVM 套件，软件随附 C2000WARE MotorControl SDK 发布。

TIDM-02007 在单个 MCU 上使用快速电流环路 (FCL) 和 SFRA 的双轴电机驱动器参考设计

此参考设计展示了在单个 C2000 控制器上使用快速电流环路 (FCL) 和软件频率响应分析器 (SFRA) 技术的双轴电机驱动器。FCL 可利用双核 (CPU、CLA) 并行处理技术来显著改善控制带宽和相位裕度，降低反馈采样和 PWM 更新之间的延迟，实现更高的控制带宽和最大调制指数，提高驱动器的直流总线利用率和电机的转速范围。开发人员可通过集成的 SFRA 工具快速测量应用的频率响应，以调整转速和电流控制器。鉴于 C2000 系列 MCU 的系统级集成和高性能，此系列器件能够同时支持双轴电机驱动器要求，以更高的性能提供非常强大的位置控制。相关软件在 C2000Ware MotorControl SDK 中发布。

EtherCAT 协议：C2000™ TMS320F2838x 器件系列上的 EtherCAT (视频)

此视频详细介绍了 TMS320F2838x 器件 EtherCAT 从站控制器特性、TMS320F2838x 器件 EtherCAT 从站控制器子系统和器件集成，以及 TMS320F2838x 器件 EtherCAT IP 与 Beckhoff Automation ET1100 EtherCAT ASIC 的比较。

“PMSM 上使用快速电流环路、基于 EtherCAT 的互联伺服驱动器”应用报告

此应用报告有助于评估 EtherCAT® 通信，并使用 TI 的 TMS320F28388D 实时控制器对互联伺服驱动器中启用了快速电流环路 (FCL) 的控制环路执行频率响应分析。

8.3.1.2 微型光伏逆变器

微型光伏逆变器包含直流/交流逆变器功率级以及一个或多个最大功率点跟踪 (MPPT) 直流/直流功率级。逆变器 (直流/交流) 的典型开关频率介于 20kHz-50kHz 之间，而直流/直流侧的开关频率范围可在 100kHz-200kHz 之间。可以使用各种功率级拓扑来实现这一目的，该图仅描述了典型的功率级以及控制和通信要求。C2000 微控制器采用片上 EPWM、ADC 和模拟比较器模块来实现此类微型逆变器系统的完全数字控制。

8.3.1.2.1 系统方框图

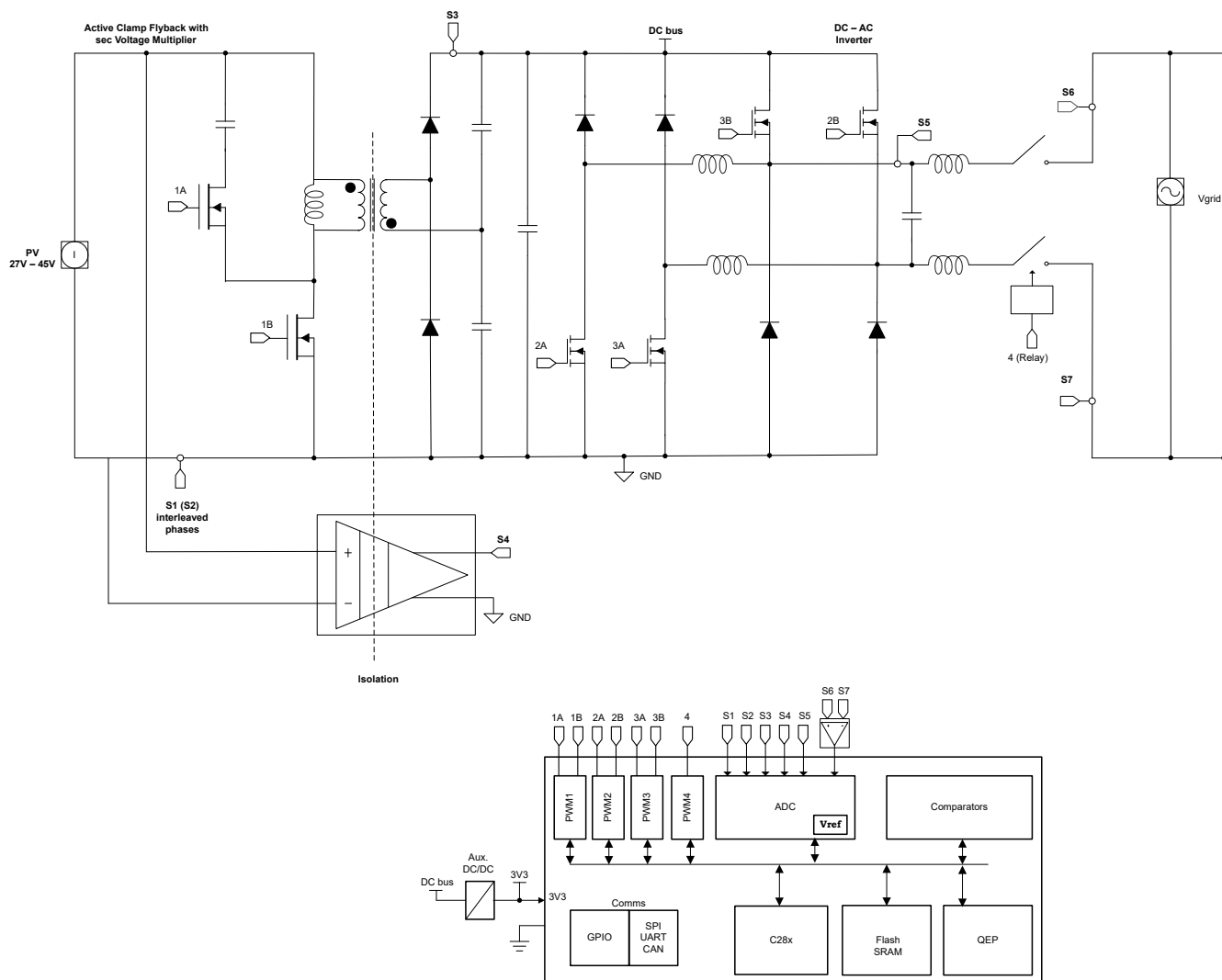


图 8-3. 微型光伏逆变器

8.3.1.2.2 微型光伏逆变器资源

参考设计和相关培训视频

C2000™ MCU - 数字电源 (视频)

此培训系列介绍了数字电源控制的基础知识，以及如何在 C2000 微控制器上实施数字电源控制。

向太阳能电网添加储能系统的四大设计注意事项

此白皮书探讨了并网太阳能装置集成储能系统的设计注意事项

实时控制技术如何实现可靠且可扩展的高压设计 技术文章

C2000WARE-DIGITALPOWER-SDK

适用于 C2000™ 微控制器 (MCU) 的 DigitalPower SDK 包含一套全面的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统开发时间，适用于各种交流/直流、直流/直流和直流/交流电源应用。该软件包含可运行于 C2000 数字电源评估模块 (EVM) 的固件和适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用的 TI Designs (TID)。DigitalPower SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源

[使用 C2000™ Piccolo 微控制器的数字控制微型光伏逆变器设计](#)

本文档介绍了使用 C2000 微控制器的数字控制微型光伏逆变器的实现细节。250W 隔离式微型逆变器设计采用 Piccolo-B (F28035) 控制卡提供所有必要的 PV 逆变器功能。此文档介绍了微型逆变器电路板上的功率级，以及一个通过验证开环运行情况和闭环运行情况来构建软件的增量式构建级别系统。此指南介绍了用于控制功率流、最大化 PV 电池板功率 (MPPT) 以及使用锁相环 (PLL) 锁定到电网的控制结构和算法，同时还介绍了德州仪器 (TI) 微型光伏逆变器套件 (TMSOLARUINVKIT) 的硬件详细信息。

[TIDU405B 具有 MPPT 功能的并网微型光伏逆变器](#)

此 C2000 微型光伏逆变器 EVM 硬件包含两个级。分别是：(1) 具有次级倍压器的有源钳位反激式直流/直流转换器和 (2) 直流/交流逆变器。该系统的方框图如图 1b 所示。此直流/直流转换器从 PV 电池板汲取直流电流，这样，此电池板运行在其最大功率传输点上。这要求将电池板输出，也就是 DC-DC 转换器输入保持在一个由 MPPT 算法决定的电平上。MPPT 算法可以确定用于最大功率传输的电池板输出电流（基准电流）。然后，反激式转换器的电流控制环路可确保转换器输入电流会跟踪 MPPT 基准电流。反激式转换器还为直流/直流级提供高频隔离。反激式级的输出是一条可驱动直流/交流逆变器的高压直流总线。逆变器级将直流总线保持在所需的设定点，并将受控的正弦波电流注入电网。逆变器还实现电网同步，以便保持其电流波形锁定到电网电压的相位和频率。一个具有片上 PWM、ADC 和模拟比较器模块的 C2000 Piccolo 微控制器能够实现这种微型逆变器系统的完全数字控制。

[适用于单相并网逆变器并采用 C2000™ 微控制器的软件锁相环设计应用报告](#)

并网应用需要准确估算电网角度才能将电力同步馈入电网。为此需要使用一个软件锁相环 (PLL)。此应用报告讨论了软件锁相环设计中的不同挑战，并介绍了使用 C2000 控制器为单相并网应用设计锁相环的方法。

[基于霍尔效应电流传感器的 CLLC 转换器中的同步整流控制](#) 应用简报

8.3.1.3 电动汽车充电站电源模块

直流充电站中的电源模块包含交流/直流功率级和直流/直流功率级。每个与其功率级相关的转换器都包含多个开关管和一个栅极驱动器、电流和电压检测以及实时微控制器。输入侧有三相交流电源，连接到交流/直流功率级。该块将传入的交流电压转换为约 800V 的固定直流电压。该电压用作直流/直流功率级的输入，直流/直流功率级处理功率并直接与电动汽车上的电池连接。每个功率级都有一个独立的实时微控制器，该微控制器负责处理模拟信号并提供快速控制操作。

交流/直流级（也称为 PFC 级）是电动汽车充电站中的第一级功率转换。它将从电网传入的交流功率 (380-415 VAC) 转换为大约 800V 的稳定直流链路电压。PFC 级保持正弦输入电流（THD 通常小于 5%），并提供高于线间输入电压幅度的受控直流输出电压。直流/直流级是电动汽车充电站中的第二级功率转换。它将 800V 的传入直流链路电压（对于三相系统）转换为较低的直流电压，以便为电动汽车的电池充电。直流/直流转换器必须能够在宽范围内为电池提供额定功率，并且能够根据电池的荷电状态 (SOC) 以恒流或恒压模式为电池充电。

8.3.1.3.1 系统方框图

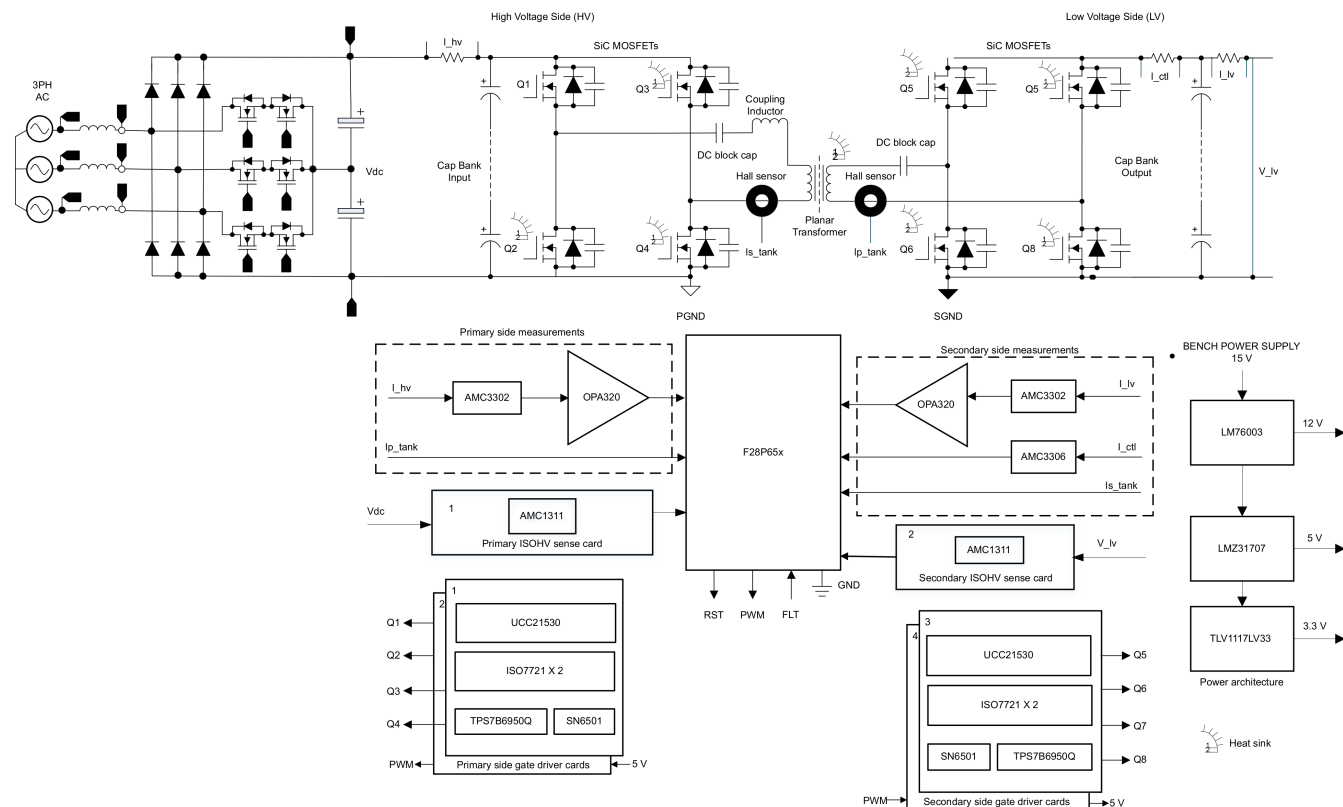


图 8-4. 双有源电桥直流/直流转换器

8.3.1.3.2 电动汽车充电站电源模块资源

参考设计和相关培训视频

TIDA-01606 10kW 双向三相三级 (T 型) 逆变器和 PFC 参考设计

此参考设计概述了如何实现基于 SiC 的双向三相有源前端 (AFE) 逆变器和 PFC 级。此设计使用 50kHz 开关频率和 LCL 输出滤波器来减小磁性元件的尺寸。峰值效率达到了 99%。此设计展示了如何在 DQ 域中实现完整的三相 AFE 控制。控制和软件在实际硬件上和“硬件在环” (HIL) 设置中经过了验证。

TIDA-010210 基于 GaN 的 11kW 双向三相 ANPC 参考设计

此参考设计提供了用于实现基于三级三相氮化镓 (GaN) 的 ANPC 逆变器功率级的设计模板。使用快速开关型功率器件可实现 100kHz 的更高开关频率，不仅减小了滤波器磁性元件的尺寸，还提高了功率级的功率密度。多级拓扑允许在高达 1000V 的较高直流母线电压下使用额定电压为 600V 的功率器件。较低的开关电压应力可降低开关损耗，从而使峰值效率达到 98.5%

TIDA-010054 适用于 3 级电动汽车充电站的双向双有源电桥参考设计

此参考设计概述了单相双有源电桥 (DAB) 直流/直流转换器的实现。DAB 拓扑具有软开关换向、器件数量减少和效率高等优势。当功率密度、成本、重量、电隔离、高电压转换比和可靠性是关键因数时，该设计大有裨益，使其成为电动汽车充电站和能量存储应用的理想之选。DAB 中的模块化和对称结构支持堆叠转换器实现高功率吞吐量和双向运行模式，从而支持电池充电和放电应用。

C2000™ MCU - 电动汽车 (EV) 培训视频 (视频)

此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

更大限度地提高 3 级电动汽车充电站的功率

这说明了 C2000 丰富的产品系列如何提供出色解决方案，帮助工程师解决设计难题并实施高级电源拓扑。

“电动汽车充电站的电源拓扑注意事项”应用报告

本应用报告讨论了设计用作快速直流充电站设计构建块的电源模块的拓扑注意事项。

TIDUEG2C TIDM-02002 针对 HEV/EV 车载充电器的双向 CLLLC 谐振双有源电桥 (DAB) 参考设计

具有双向功率流功能和软开关特性的 CLLLC 谐振 DAB 是混合动力电动汽车/电动汽车 (HEV/EV) 车载充电器和能量存储应用的理想候选器件。此设计演示了在闭合电压和闭合电流环路模式中使用 C2000™ MCU 控制此电源拓扑。采用此设计的硬件和软件可帮助您缩短产品上市时间。

TIDM-1000 基于 Vienna 整流器且采用 C2000 MCU 的三相功率因数校正参考设计

高功率三相功率因数校正应用（例如非车载电动汽车充电和通信电源整流器）中使用了 Vienna 整流器电源拓扑。此设计说明了如何使用 C2000 MCU 控制 Vienna 整流器。

8.3.1.4 车载充电器 (OBC)

车载充电器 (OBC) 由两个功率级组成：一个交流/直流电源转换器和一个后续直流/直流电源转换器级。OBC 可通过使用单个 MCU 来控制交流/直流和直流/直流电源转换器来实现。例如：可以通过使用三个 3.7kW 单相 OBC 模块来实现 11kW OBC，如图 8-5 所示。这种方法使我们能够轻松支持单相 240 交流（北美）和三相交流（世界其他地区）。

OBC 充电设计要求如下：

- 高性能快速数字控制环路，可实现高效的功率变换并提高功率密度。
- 通过高带宽和快速响应电流检测，在过流情况下实现精确控制和快速关断。
- 安全高效地控制和保护电源开关 [绝缘栅双极晶体管/碳化硅 (IGBT/SiC)]。

8.3.1.4.1 系统方框图

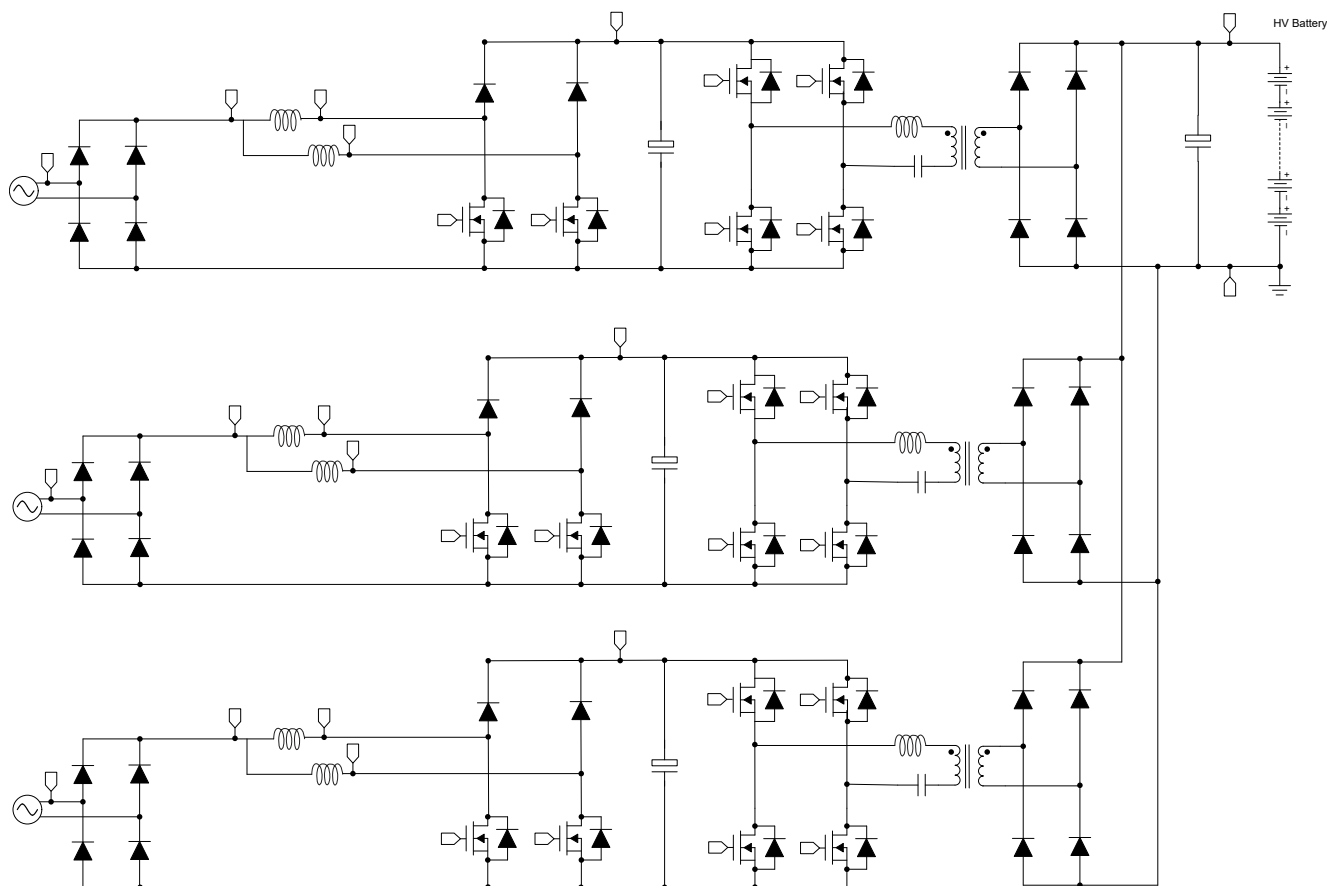


图 8-5. 11kW 模块化 OBC 电源拓扑 (单向、桥式 PFC)

8.3.1.4.2 OBC 资源

参考设计和相关培训视频

[高频谐振转换器设计注意事项，第 1 部分](#)

[高频谐振转换器设计注意事项，第 2 部分应用报告](#)

[6.6kW 双向车载充电器 \(OBC\)：简介和概述 \(视频 \)](#)

[TIDM-02002 适用于混合动力汽车/电动汽车车载充电器的 CLLLC 谐振双有源电桥 \(视频 \)](#)

具有双向功率流功能和软开关特性的 CLLLC 谐振 DAB 是混合动力电动汽车/电动汽车 (HEV/EV) 车载充电器和能量存储应用的理想候选器件。此设计演示了在闭合电压和闭合电流环路模式中使用 C2000™ MCU 控制此电源拓扑。采用此设计的硬件和软件可帮助您缩短产品上市时间。

[借助实时微控制器优化电力电子的功率效率和密度后获得的应用报告](#)

[6.6kW 双向 OBC_CLLLC 谐振 DAB 转换器 \(视频 \)](#)

[C2000™ MCU - 电动汽车 \(EV\) 培训视频 \(视频 \)](#)

此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

[对电动汽车车载充电器中的 CLLLC 和 DAB 进行比较后 获得的应用报告](#)

[利用 CLB 进行基于硬件的同步整流控制后获得的应用报告](#)

使用 TI GaN 和 C2000 实时 MCU 的高压车载充电器 (视频)

PMP22650 基于 GaN 的 6.6kW 双向车载充电器参考设计

PMP22650 参考设计是 6.6kW 双向车载充电器。该设计采用两相图腾柱 PFC 和带有同步整流功能的全桥 CLLLC 转换器。CLLLC 采用频率和相位调制在所需的调节范围内调节输出。该设计采用 TMS320F28388D 微控制器内的单个处理内核来控制 PFC 和 CLLLC。使用配有 Rogowski 线圈电流传感器的相同微控制器来实现同步整流。通过高速 GaN 开关 (LMG3522) 实现高密度。PFC 的工作频率为 120kHz，而 CLLLC 在 200kHz 至 800kHz 的可变频率范围内运行。峰值系统效率为 96.5%，该数值在 3.8kW/L 开放式框架功率密度下实现。虽然该设计是针对 6.6kW 输出功率进行计算，但也可以将此设计作为基础，设计出额定功率为 7.xkW (如 7.2kW 至 7.4kW)、工作输入电压为 240V 并配有 32A 断路器的 OBC。

TIDUEG2C TIDM-02002 针对 HEV/EV 车载充电器的双向 CLLLC 谐振双有源电桥 (DAB) 参考设计

具有双向功率流功能和软开关特性的 CLLLC 谐振 DAB 是混合动力电动汽车/电动汽车 (HEV/EV) 车载充电器和能量存储应用的理想候选器件。此设计演示了在闭合电压和闭合电流环路模式中使用 C2000™ MCU 控制此电源拓扑。采用此设计的硬件和软件可帮助您缩短产品上市时间。

TIDM-02013：具有 CCM 推挽输出电路 PFC 和 CLLLC 直流/直流的 7.4kW 车载充电器参考设计

TIDM-02013 是一种双向车载充电器参考设计。该设计由交错式连续导通模式 (CCM) 图腾柱 (TTPL) 无桥功率因数校正 (PFC) 功率级以及 CLLLC 直流/直流功率级组成，所有这些功率级均通过单个 C2000™ 实时控制微控制器 (MCU) 进行控制，同时使用 TI 氮化镓 (GaN) 电源模块。此电源拓扑支持双向功率流 (PFC 和并网逆变器) 且使用 GaN 器件，可提高效率并减小电源尺寸。此参考设计中的硬件和软件可帮助您缩短产品上市时间。

TIDUEG3A TIDM-1022 谷底开关升压功率因数校正 (PFC) 参考设计

该参考设计说明了一种数字控制方法，可显著提高升压功率因数校正 (PFC) 转换器性能，例如难以满足效率和总谐波失真 (THD) 标准的轻负载条件下的效率和总谐波失真 (THD)。这是通过 C2000™ 微控制器 (MCU) 的集成数字控制功能实现的。此设计支持不同负载和瞬时输入电压条件下的切相、谷底开关、谷底跳跃和零电压开关 (ZVS)。此参考设计中的软件可帮助您缩短产品上市时间。

8.3.1.5 高压牵引逆变器

牵引驱动子系统旨在驱动交流感应电机或者驱动内置永磁同步电机 (IPMSM) 与同步磁阻电机 (SynRM) 的某种组合。具有动态解耦功能的高带宽磁场定向控制 (FOC) 方案通过将 C2000 实时控制 MCU 与弱磁和过调制技术结合在一起来实现，将电机驱动至高达 20,000RPM 的超高转速，这可以降低牵引电机的成本和重量。

牵引驱动系统通常使用与电机极数匹配的可变磁阻 (VR) 旋转变压器来直接测量转子的电角。使用旋转变压器信号测量位置和速度时需要用到旋转变压器数字转换 (RDC)。传统的 RDC，例如 PGA411-Q1，采用单独的 IC 进行处理。有了 C2000 MCU，高速牵引逆变器的 RDC 可以集成到主控 MCU 中，在其中可以使用 DMA 来处理励磁的产生，无需 CPU 参与，而反馈通过 ADC 读取并使用 CPU 进行解码。

相移全桥 (PSFB) 拓扑允许开关器件以零电压开关 (ZVS) 进行开关，从而降低开关损耗并提高效率。峰值电流模式控制 (PCMC) 是电源转换器非常需要的控制方案，因为它具有固有的电压前馈、自动逐周期限流、磁通平衡和其他优点，这需要生成复杂的 PWM 驱动波形以及快速高效的控制环路计算。借助于诸如 PWM 模块、带有 DAC 和斜率补偿硬件的模拟比较器以及与高效 32 位 CPU 耦合的 12 位高速 ADC 等先进片上控制外设，可在 C2000 微控制器上实现这一目标。

图 8-6 展示了单个 C2000™ 实时 MCU 的简要方框图，该 MCU 同时控制混合动力汽车/电动汽车 (HEV/EV) 牵引逆变器和双向直流/直流转换器。

[illegible]

图 8-6. 牵引逆变器 (高压)

8.3.1.5.2 高压牵引逆变器资源

参考设计和相关培训视频

[TIDM-02009 经过 ASIL D 等级功能安全认证的高速牵引和双向直流/直流转换参考设计](#)

此参考设计演示了如何通过一个 TMS320F28388D 实时 C2000™ MCU 控制混合动力汽车/电动汽车牵引逆变器和双向直流/直流转换器。牵引控制利用基于软件的旋转变压器数字转换器 (RDC)，使电机转速高达 20,000RPM。直流/直流转换器结合了峰值电流模式控制 (PCMC) 技术、相移全桥 (PSFB) 拓扑以及同步整流 (SR) 机制。牵引逆变器级采用碳化硅 (SiC) 功率级，由 UCC5870-Q1 智能栅极驱动器驱动。利用比较器子系统 (CMPSS) 中先进的 PWM 模块和内置斜坡补偿功能，可生成 PCMC 波形。该系统基于 ASIL 分解的功能安全概念已通过 TÜV SÜD 认证，说明整个系统的安全完整性等级可达 ISO 26262 ASIL D 等级，符合典型的安全目标。

[C2000™ MCU - 电动汽车 \(EV\) | 德州仪器 TI.com.cn 培训系列 \(视频\)](#)

此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

[“使用 C2000 微控制器实现 PSFB 控制” 应用报告](#)

此应用报告介绍了在德州仪器 (TI) 高压移相全桥 (HVPSFB) 套件上实施的数控 PSFB 系统的实施细节。这个套件将一个 400V 直流输入转换为一个经稳压的 12V 直流输出，并且适用于高达 600W 的运行。应用报告中对峰值电流模式控制 (PCMC) 和电压模式控制 (VMC) 都进行了介绍。

[TIDA-BIDIR-400-12 双向直流/直流转换器](#)

此文档详细介绍了这种基于微控制器的隔离式双向直流/直流转换器实施方案。具有同步整流功能的相移全桥 (PSFB) 在降压模式下控制从 400V 总线或电池到 12V 电池的能流，而推挽级在升压模式下控制从低压电池到高压总线或电池的反向能流。此设计在任一模式下的额定输出功率均高达 300W。

[TIDM-02014 大功率、高性能汽车类 SiC 牵引逆变器参考设计](#)

TIDM-02014 是一款由德州仪器 (TI) 和 Wolfspeed 开发的基于 SiC 的 800V、300kW 牵引逆变器系统参考设计，该参考设计为设计工程师创建高性能、高效率的牵引逆变器系统并更快地将其推向市场提供了基础。该解决方案展示了 TI 和 Wolfspeed 的牵引逆变器系统技术 (包括用于驱动 Wolfspeed SiC 电源模块、具有实时可变栅极驱动强度的高性能隔离式栅极驱动器) 如何通过降低电压过冲来提高系统效率。TI 的高控制性能 MCU 具有紧密集成的创新实时外设，即使在速度超过 20,000RPM 时，也能实现有效的牵引电机控制。快速电流环路实现有助于尽可能地减少电机扭矩纹波，并提供平滑的速度-扭矩曲线。系统的机械和热设计由 Wolfspeed 提供。

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 入门和后续步骤

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

9.2 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 TMS320 MCU 器件和支持工具的器件型号分配了前缀。每个 TMS320™ MCU 商用产品系列成员都具有以下三个前缀之一：TMX、TMP 或 TMS（例如，**TMS320F28P659DK-Q1**）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品从工程原型（其中 TMX 针对器件，而 TMDX 针对工具）直到完全合格的生产器件和工具（其中 TMS 针对器件，而 TMDS 针对工具）的产品开发演变阶段。

器件开发演变流程：

TMX 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

TMP 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

TMS 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

TMX 和 TMP 器件和 TMDX 开发支持工具供货时附带如下免责条款：

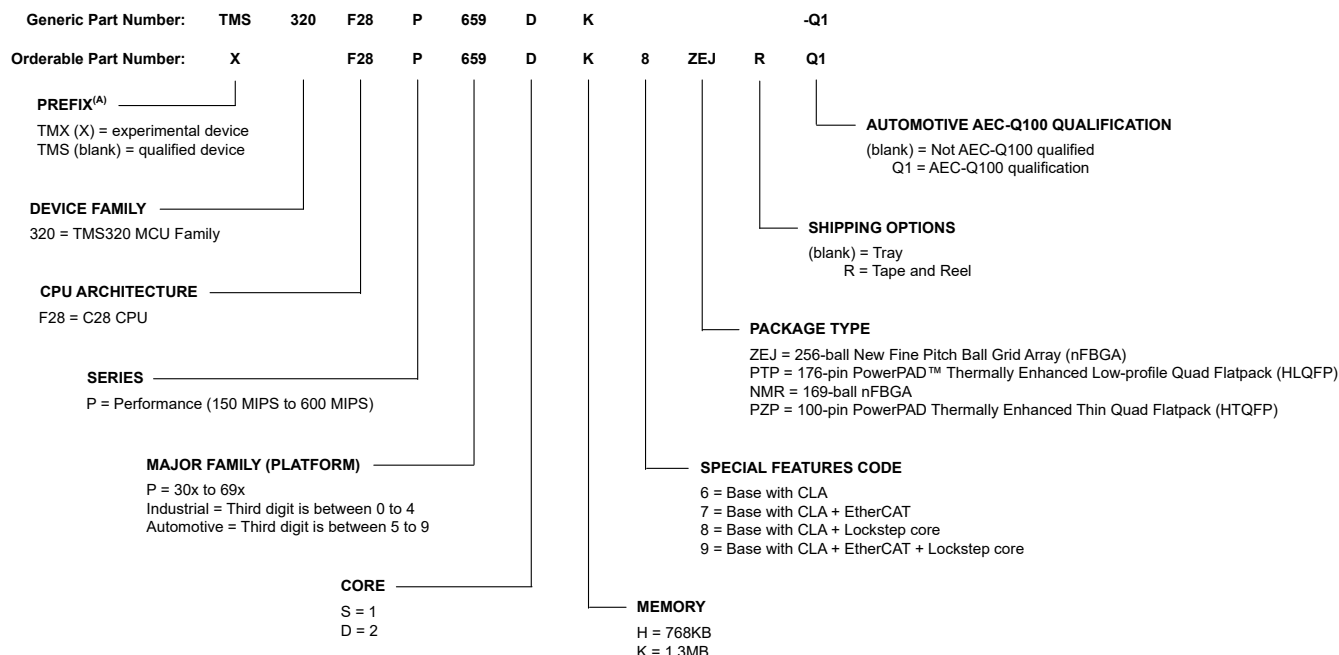
“开发的产品用于内部评估用途。”

生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。此后缀表示封装类型（例如 ZEJ）。

若要获取器件型号以及更多订购信息，请访问 TI 网站 (www.ti.com.cn) 或者联系您的 TI 销售代表。



A. 可订购器件型号使用前缀 X。

图 9-1. 器件命名规则

9.3 标识

图 9-2、图 9-3、图 9-4、图 9-5、图 9-6、图 9-7 和 图 9-8 展示了封装编号法。表 9-1 列出了器件修订版本代码。

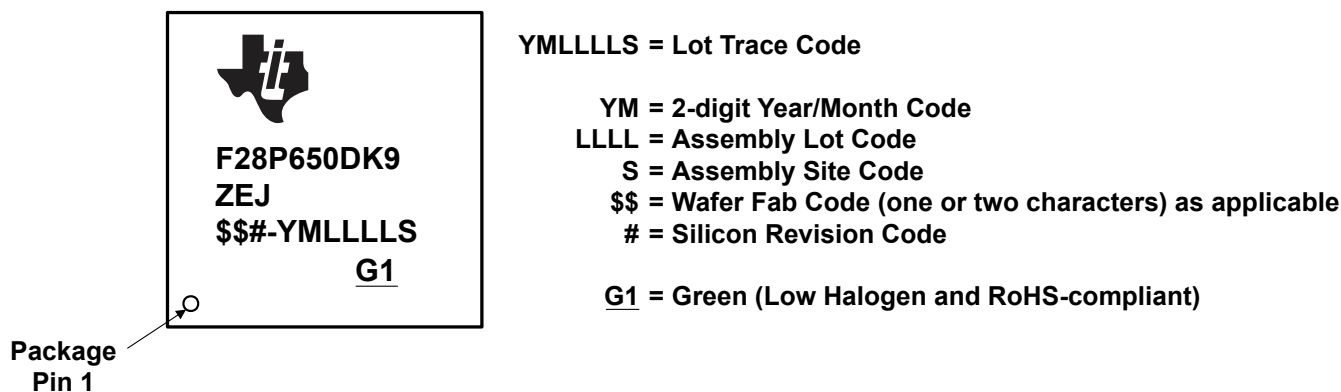
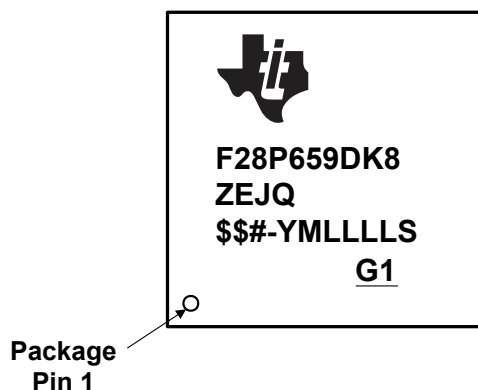


图 9-2. ZEJ 封装的封装编号法 - 非汽车

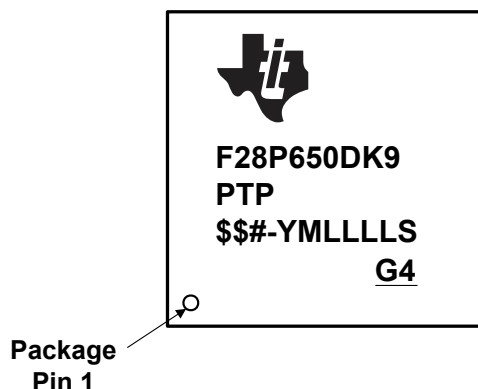


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G1 = Green (Low Halogen and RoHS-compliant)

图 9-3. ZEJ 封装的封装编号法 - 汽车

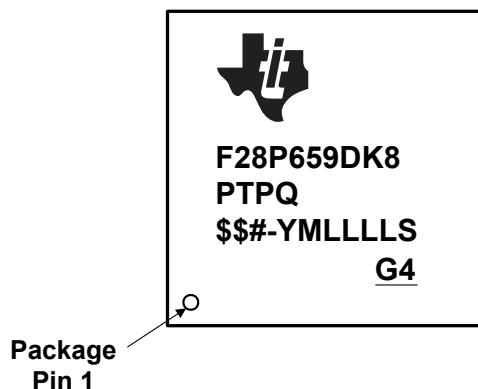


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-4. PTP 封装的封装编号法 - 非汽车



YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-5. PTP 封装的封装编号法 - 汽车

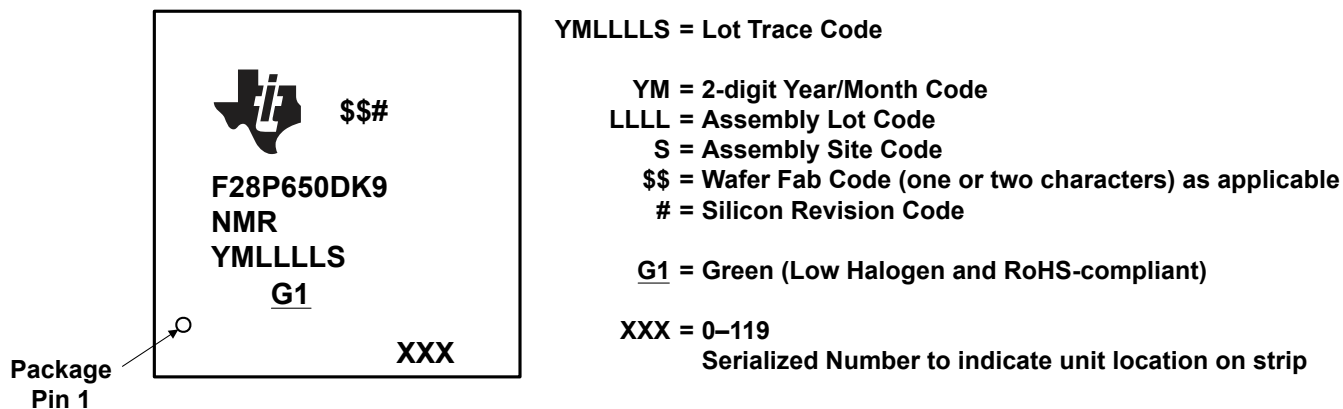


图 9-6. NMR 封装的封装编号法 - 非汽车

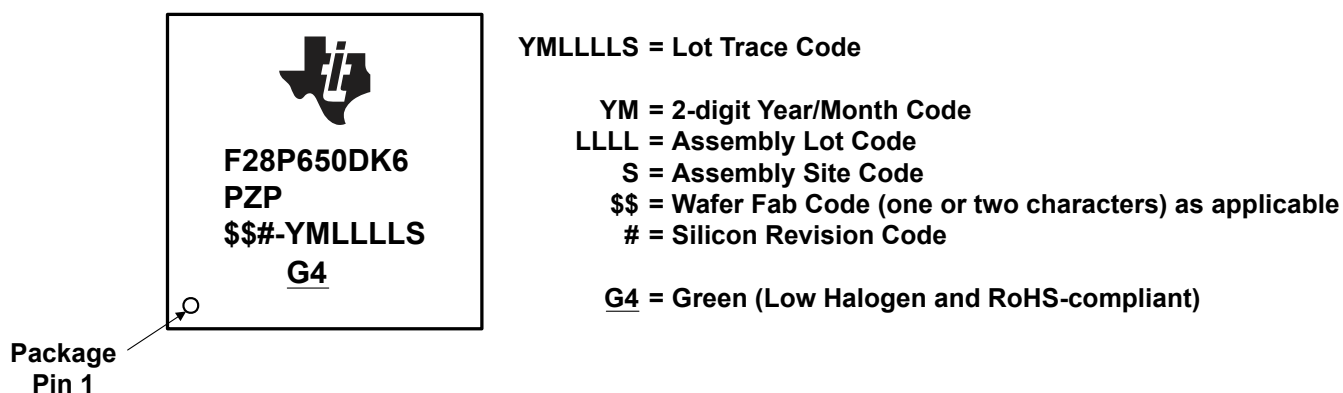


图 9-7. PZP 封装的封装编号法 - 非汽车

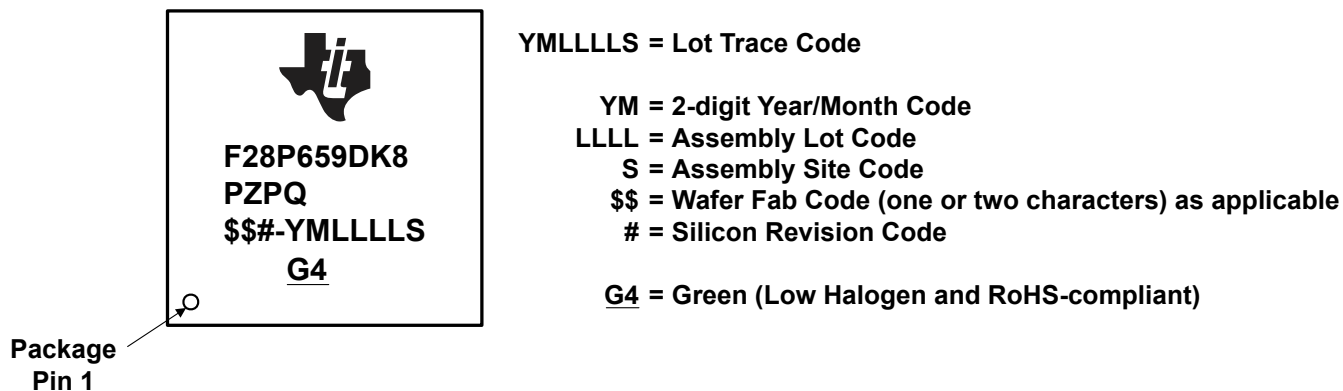


图 9-8. PZP 封装的封装编号法 - 汽车

表 9-1. 版本标识

器件修订版本代码	器件修订版本	REVID ⁽¹⁾ 地址：0x5D00C	注释
空白	0	0x0000 0001	该器件修订版本以 TMX 形式提供。
A	A	0x0000 0002	该器件修订版本以 TMS 形式提供。

(1) 器件修订版本 ID

9.4 工具与软件

TI 提供广泛的开发工具。下面是部分用于评估器件性能、生成代码和开发解决方案的工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 [C2000 实时控制 MCU - 设计和开发](#) 页面。

开发工具

F28P65X controlCARD

TMDSCNCD28P65X 是一款适用于 TI C2000™ MCU 系列 F28P65x 器件的低成本评估和开发板。它附带一个 HSEC180 (180 引脚高速边缘连接器)，是一款非常适合初始评估和原型设计的 controlCARD。进行 TMDSCNCD28P65X 评估时，需要一个 180 引脚扩展坞 TMDSHSECDOCK，后者可单独购买或捆绑在套件中。

LAUNCHXL-F28P65X

LAUNCHXL-F28P65X 是一款适用于 TI C2000™ 实时微控制器系列 F28P65x 器件的低成本开发板。该板不仅适用于初始评估和原型设计，还提供易于使用的标准化平台来开发未来的应用。该扩展版本 LaunchPad™ 开发套件可提供额外引脚用于开发，并支持连接两个 BoosterPack™ 插件模块。作为庞大的 TI MCU LaunchPad 生态系统的一部分，该器件还与各种插件模块交叉兼容。

TI Resource Explorer

要增强您的体验，请务必查看 TI Resource Explorer 以浏览应用的示例、库和文档。

软件工具

用于 C2000 MCU 的 C2000Ware

用于 C2000™ MCU 的 C2000Ware 是一系列紧密相关的软件和文档，旨在尽可能缩短软件开发时间。它包括特定于器件的驱动程序、库和外设示例。

DigitalPower SDK

DigitalPower SDK 包含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统的开发时间，可适用于各种交流/直流、直流/直流和直流/交流电源应用。该软件包含可运行于 C2000 数字电源评估模块 (EVM) 的固件和适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用的 TI Designs (TID)。DigitalPower SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源。

MotorControl SDK

MotorControl SDK 包含一系列紧密相关的软件架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。软件包含可运行于 C2000 电机控制评估模块 (EVM) 的固件和适用于工业驱动和其他电机控制的 TI Designs (TID)。MotorControl SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

Code Composer Studio™ 集成开发环境 (IDE)

Code Composer Studio 是一款适用于 TI 微控制器和处理器的集成开发环境 (IDE)。它包含一整套用于开发和调试嵌入式应用的工具。Code Composer Studio 可在 Windows®、Linux® 和 macOS® 桌面上下载。此外，可以通过访问 <https://dev.ti.com>，在云中使用它。Code Composer Studio 包含用于优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、性能分析器以及很多其他功能。直观的 IDE 将引导您完成应用开发流程的每个步骤熟悉的工具和界面让您能够比以前更快地上手。Code Composer Studio 的桌面版本将 Eclipse 软件框架的优势与 TI 先进的功能相结合，提供了一种功能丰富的优异开发环境。基于云的 Code Composer Studio 利用 Theia 应用程序框架，无需下载和安装大量软件即可在云中进行开发。

SysConfig 系统配置工具

SysConfig 是一个全面的图形实用程序集合，用于配置引脚、外设、无线电、子系统和其他组件。SysConfig 可助您直观地管理、发现和解决冲突，以便您有更多时间创建差异化应用。该工具的输出包括 C 头文件和代码文件，这些文件可与软件开发套件 (SDK) 示例配合使用，或用于配置定制软件。SysConfig 工具会自动选择满足输入要求的 pinmux 设置。SysConfig 工具作为独立安装程序集成在 CCS 中，也可以通过 dev.ti.com 云工具门户使用。有关 SysConfig 系统配置工具的更多信息，请访问 [系统配置工具](#) 页面。

C2000 第三方搜索工具

TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

UniFlash 独立闪存工具

UniFlash 是一个独立工具，用于通过 GUI、命令行或脚本接口对片上闪存进行编程。

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的“设计与开发”页面的“设计工具与仿真”部分。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料 and 可下载的实操技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 [C2000™ 实时控制 MCU - 支持和培训](#) 站点。

9.5 文档支持

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

勘误

[TMS320F28P65x 实时 MCU 器件勘误表](#) 介绍了有关器件的已知公告，并给出了权变措施。

技术参考手册

[TMS320F28P65x 实时微控制器技术参考手册](#) 详述了 F28P65x 实时微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

[TMS320C28x CPU 和指令集参考指南](#)介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理单元 (CPU) 和汇编语言指令。此参考指南还介绍了这些 DSP 上可用的仿真特性。

[TMS320C28x 扩展指令集技术参考手册](#)介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

[C2000 实时微控制器外设参考指南](#)介绍了适用于 TMS320x28x 和 F29x 器件的所有外设。此参考指南介绍了每个器件使用的外设，并提供了外设的说明。

工具指南

[TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南](#)介绍了用于 TMS320C28x 器件的汇编语言工具 (用于开发汇编语言代码的汇编器和其他工具)、汇编器指令、宏、通用目标文件格式和符号调试指令。

[TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南](#)介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

应用手册

[SMT 和封装应用手册](#)网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

[半导体包装方法](#)介绍了向最终用户发货时对半导体器件使用的包装方法。

[计算嵌入式处理器的有效使用寿命](#)介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

[IBIS \(I/O 缓冲器信息规范\) 建模简介](#)讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

[C2000™ 微控制器的串行闪存编程](#)介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

[使用 C2000™ 实时微控制器的基本开发指南](#)更深入探究了使与实时控制系统相关的 C2000 微控制器 (MCU) 脱颖而出的器件。

[将软件从 8 位 \(字节\) 可寻址 CPU 迁移到 C28x CPU](#)讨论了将软件从 8 位 (字节) 可寻址 CPU 迁移到 C28x CPU 的常见场景，并提供了有关如何开发应用程序而不考虑可寻址性的指南。

[“F2800x C2000™ 实时 MCU 系列的硬件设计指南”应用手册](#)是使用 C2000 器件的硬件开发人员的基本指南，有助于简化设计过程，同时降低设计故障的可能性。论述的主要主题包括：电源要求、通用输入/输出 (GPIO) 连接、模拟输入和 ADC、时钟生成和要求以及 JTAG 调试等。

9.6 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.7 商标

PowerPAD™, C2000™, TMS320™, LaunchPad™, BoosterPack™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.

Bosch® is a registered trademark of Robert Bosch GmbH Corporation.

Windows® is a registered trademark of Microsoft Corporation.

Linux® is a registered trademark of Linus Torvalds.

macOS® is a registered trademark of Apple Inc.

所有商标均为其各自所有者的财产。

9.8 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.9 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from APRIL 8, 2025 to AUGUST 19, 2025

Page

• 此“修订历史记录”列出了从 SPRSP69C 到 SPRSP69D 的更改。	1
• 通篇：TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。对于 SPI，所有旧术语实例均已更改为控制器和外设。所有旧引脚名称的实例均已更改为：POCI（外设输出控制器输入）；PICO（外设输入控制器输出）和 CS（芯片选择）。对于 I2C 总线接口，所有旧术语实例均已更改为控制器和目标。对于 CAN 和 LIN 接口/总线，所有旧术语实例均已更改为指挥官和响应者。对于 EtherCAT 控制器，所有旧术语实例均已更改为主器件（或 MDevice）和子器件（或 SubDevice）	1
• 特性部分：将“硬件内置自检 (HWBIST)”特性更改为“非锁步器件上的硬件内置自检 (HWBIST)”	1
• 器件信息表：更新了表	3
• 器件比较表：更新了表	7
• 绝对最大额定值表：更新了输入钳位电流。更新并添加了脚注。	102
• 建议工作条件表：更新了“器件电源电压，VDD”。将 MIN VDD 从 1.19V 更改成了 1.14V。将 NOM VDD 从 1.25V 更改成了 1.2V。将 MAX VDD 从 1.31V 更改成了 1.32V。	102
• I/O POR（上电复位）监视器部分：添加了“注释”	120
• I/O BOR（欠压复位）监视器部分：删除了有关 I/O POR 跳闸的注释。	120
• 外部监控器使用情况部分：更新了“VDDIO 监控”段落。	120
• 信号引脚电源序列部分：更新了此部分。	122
• 上电复位图：更新了图表。	130
• APLL 特性表：添加了时钟输出精度。	135
• eQEP 方框图：更新了图	229
• SDFM 电气数据和时序（同步 GPIO）部分：更新了此部分。	233
• 使用异步 GPIO SYNC 选项时的 SDFM 时序要求表格：添加了此表	233
• EtherCAT 开关特性表：更新了参数 MI17 ($t_d(TXCLK-TXDV)$) 的最小值和最大值。	269
• 闪存存储器映射部分：更新了此部分。	280
• 嵌入式实时分析和诊断 (ERAD) 章节：更新了此部分。	310
• 直接存储器存取 (DMA) 部分：将“吞吐量：每个字四个周期，无需仲裁”更改为“吞吐量：每个字三个周期，无需仲裁”。	311
• 微型光伏逆变器资源部分：更新了此部分。	324
• 电动汽车充电站电源模块资源部分：更新了此部分。	324
• OBC 资源部分：更新了此部分。	324

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

要了解关于 TI 封装的更多信息，请访问[封装信息](#)网站。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DH6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 NMR
F28P650DH6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 NMR
F28P650DH6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 NMR
F28P650DH6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PTP
F28P650DH6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PTP
F28P650DH6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PTP
F28P650DH6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PZP
F28P650DH6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PZP
F28P650DH6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PZP
F28P650DH6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 ZEJ
F28P650DH6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 ZEJ
F28P650DH6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 ZEJ
F28P650DK6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 NMR
F28P650DK6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 NMR
F28P650DK6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 NMR
F28P650DK6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PTP

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DK6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PTP
F28P650DK6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PTP
F28P650DK6PZP	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZP.A	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZP.B	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 ZEJ
F28P650DK6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 ZEJ
F28P650DK6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 ZEJ
F28P650DK7NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 NMR
F28P650DK7NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 NMR
F28P650DK7NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 NMR
F28P650DK7PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 PTP
F28P650DK7PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 PTP
F28P650DK7PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 PTP

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DK7ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 ZEJ
F28P650DK7ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 ZEJ
F28P650DK7ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 ZEJ
F28P650DK8NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 NMR
F28P650DK8NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 NMR
F28P650DK8NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 NMR
F28P650DK8PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 PTP
F28P650DK8PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 PTP
F28P650DK8PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 PTP
F28P650DK8ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 ZEJ
F28P650DK8ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 ZEJ
F28P650DK8ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 ZEJ
F28P650DK9NMR	Active	Production	NFBGA (NMR) 169	260 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMR.A	Active	Production	NFBGA (NMR) 169	260 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMR.B	Active	Production	NFBGA (NMR) 169	260 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DK9NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 PTP
F28P650DK9PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 PTP
F28P650DK9PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 PTP
F28P650DK9ZEJ	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJ.A	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJ.B	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650SH6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 NMR
F28P650SH6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 NMR
F28P650SH6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 NMR
F28P650SH6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PTP
F28P650SH6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PTP
F28P650SH6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PTP
F28P650SH6PZP	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PZP

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650SH6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PZP
F28P650SH6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PZP
F28P650SH6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PZP
F28P650SH6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 ZEJ
F28P650SH6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 ZEJ
F28P650SH6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 ZEJ
F28P650SH7NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 NMR
F28P650SH7NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 NMR
F28P650SH7NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 NMR
F28P650SH7PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 PTP
F28P650SH7PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 PTP
F28P650SH7PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 PTP
F28P650SH7ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 ZEJ
F28P650SH7ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 ZEJ
F28P650SH7ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 ZEJ
F28P650SK6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 NMR
F28P650SK6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 NMR

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650SK6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 NMR
F28P650SK6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PTP
F28P650SK6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PTP
F28P650SK6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PTP
F28P650SK6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PZP
F28P650SK6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PZP
F28P650SK6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PZP
F28P650SK6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 ZEJ
F28P650SK6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 ZEJ
F28P650SK6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 ZEJ
F28P650SK7NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 NMR
F28P650SK7NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 NMR
F28P650SK7NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 NMR
F28P650SK7PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 PTP
F28P650SK7PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 PTP
F28P650SK7PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 PTP
F28P650SK7ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 ZEJ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650SK7ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 ZEJ
F28P650SK7ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 ZEJ
F28P659DH8PZPRQ1	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DH8 PZPQ
F28P659DH8PZPRQ1.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DH8 PZPQ
F28P659DH8PZPRQ1.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DH8 PZPQ
F28P659DK8PTPQ1	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PTPQ
F28P659DK8PTPQ1.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PTPQ
F28P659DK8PTPQ1.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PTPQ
F28P659DK8PZPQ1	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPQ1.A	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPQ1.B	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPRQ1	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPRQ1.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPRQ1.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8ZEJQ1	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJQ1.A	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJQ1.B	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P659DK8ZEJRQ1	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJRQ1.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJRQ1.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659SH6PTPQ1	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PTPQ
F28P659SH6PTPQ1.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PTPQ
F28P659SH6PTPQ1.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PTPQ
F28P659SH6PZPRQ1	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PZPQ
F28P659SH6PZPRQ1.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PZPQ
F28P659SH6PZPRQ1.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PZPQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

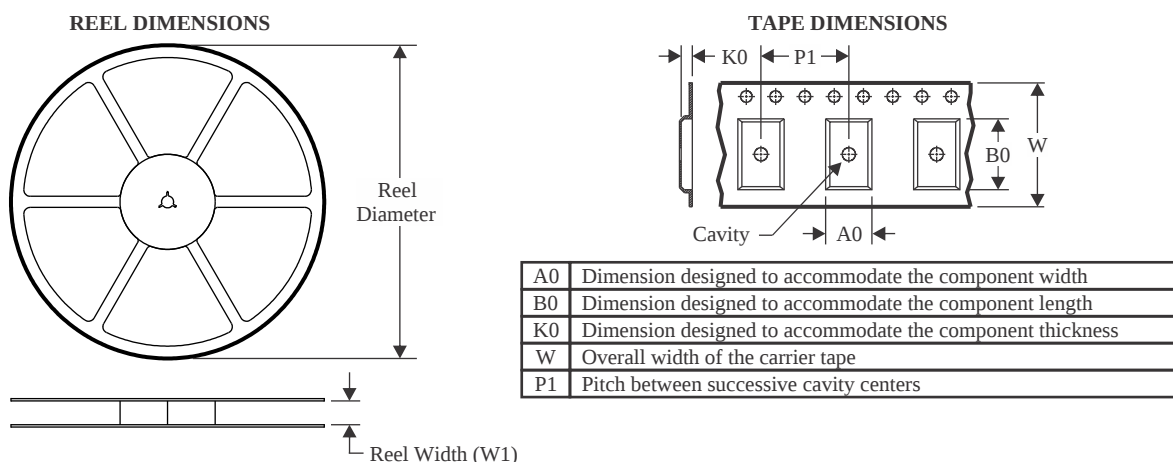
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

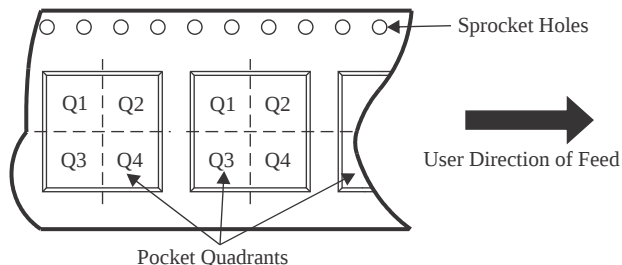
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

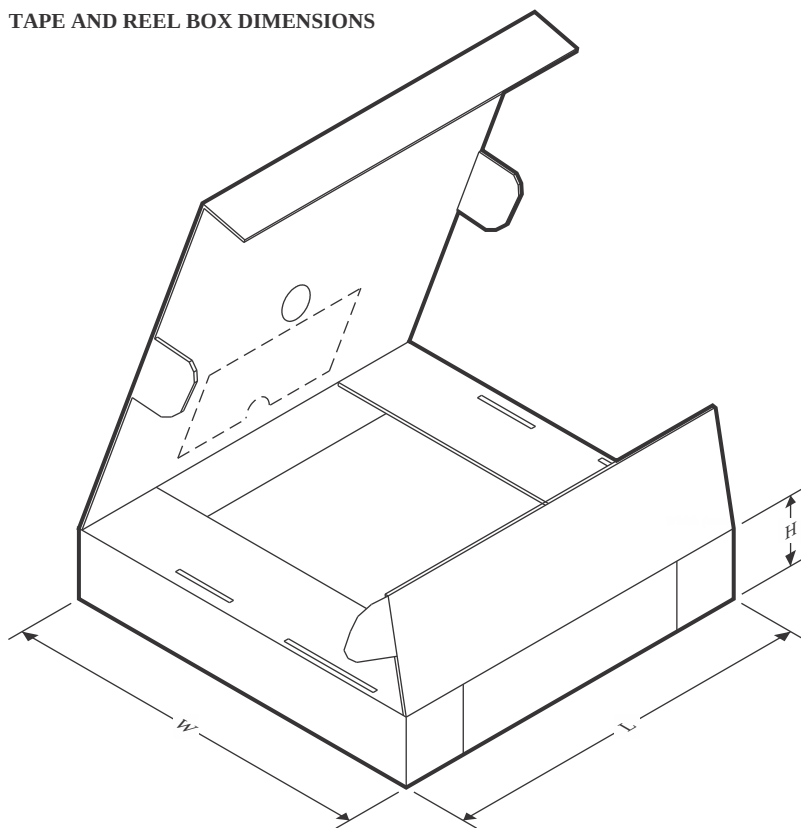


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28P650DH6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DH6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650DH6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650DK6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK7NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK7ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK8NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK8ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK9NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK9ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SH6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650SH6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650SH6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SH7NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28P650SH7ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SK6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650SK6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650SK6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SK7NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650SK7ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P659DH8PZPRQ1	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P659DK8PZPRQ1	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P659DK8ZEJRQ1	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P659SH6PZPRQ1	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28P650DH6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DH6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650DH6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650DK6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK7NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK7ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK8NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK8ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK9NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK9ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SH6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650SH6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650SH6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SH7NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650SH7ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SK6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28P650SK6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650SK6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SK7NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650SK7ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P659DH8PZPRQ1	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P659DK8PZPRQ1	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P659DK8ZEJRQ1	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P659SH6PZPRQ1	HTQFP	PZP	100	1000	367.0	367.0	55.0

GENERIC PACKAGE VIEW

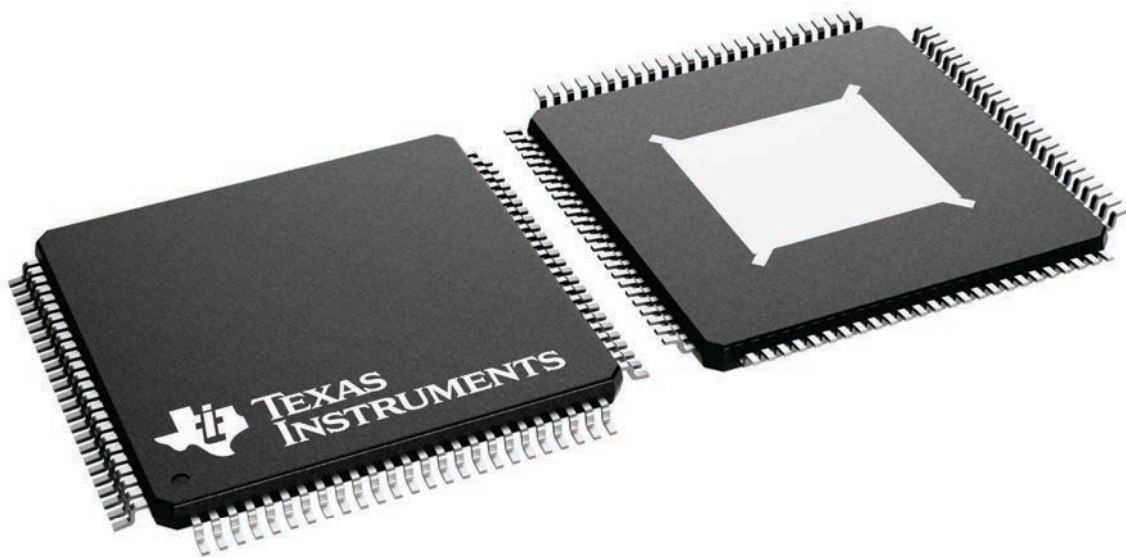
PZP 100

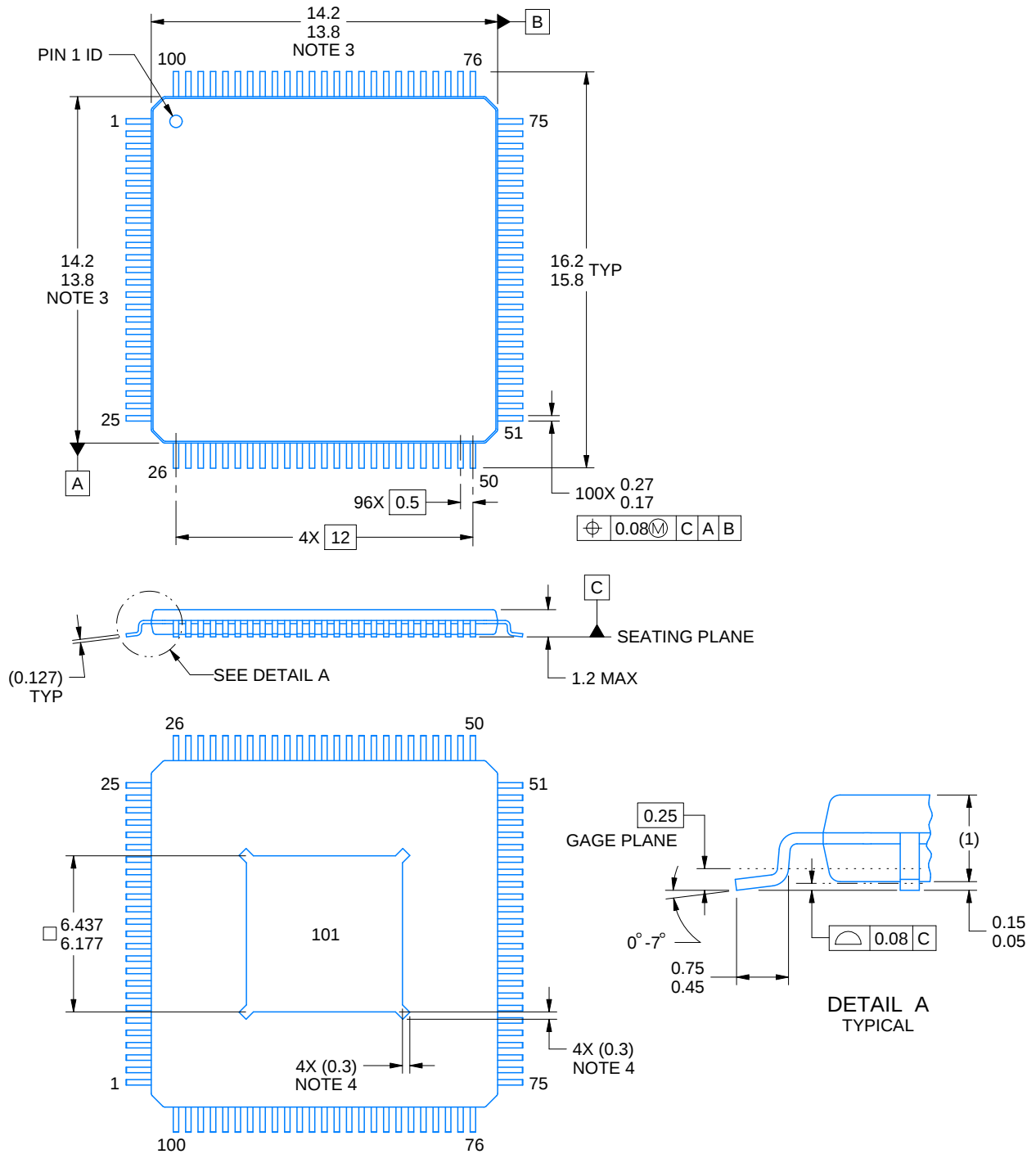
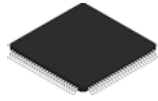
PowerPAD™ TQFP - 1.2 mm max height

14 x 14 mm Pkg Body, 0.5 mm pitch
16 x 16 mm Pkg Area

PLASTIC QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4228494/B 08/2022

NOTES:

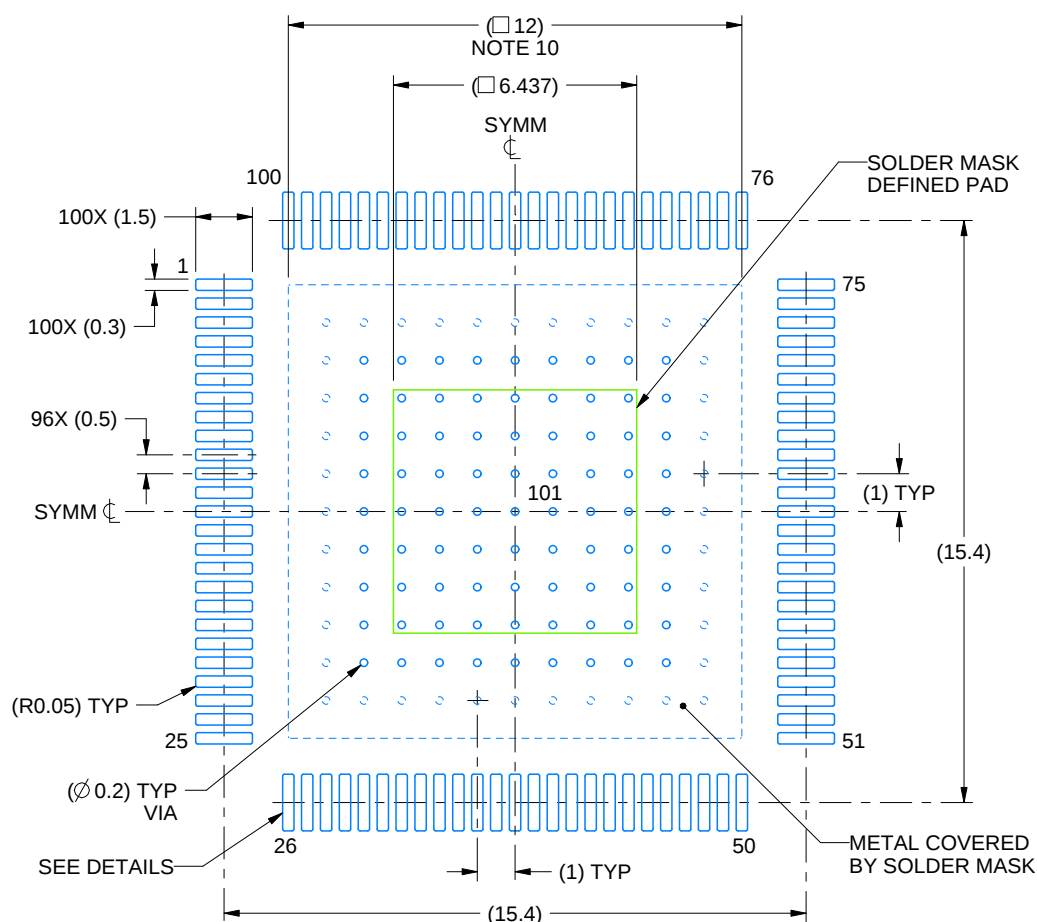
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

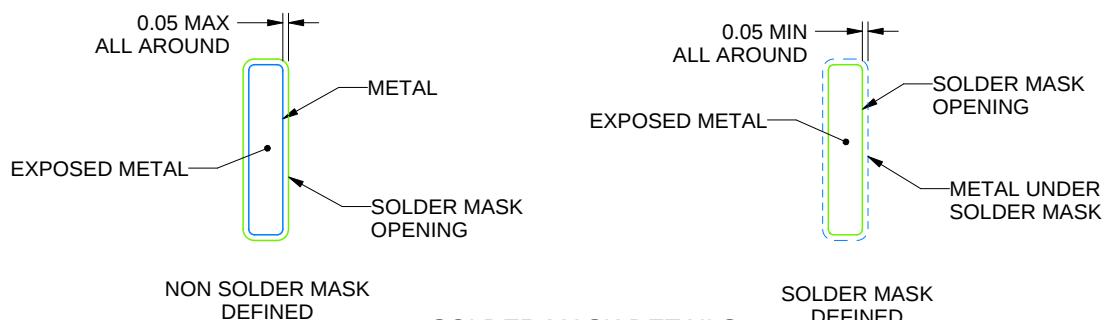
PZP0100T

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:5X



SOLDER MASK DETAILS

4228494/B 08/2022

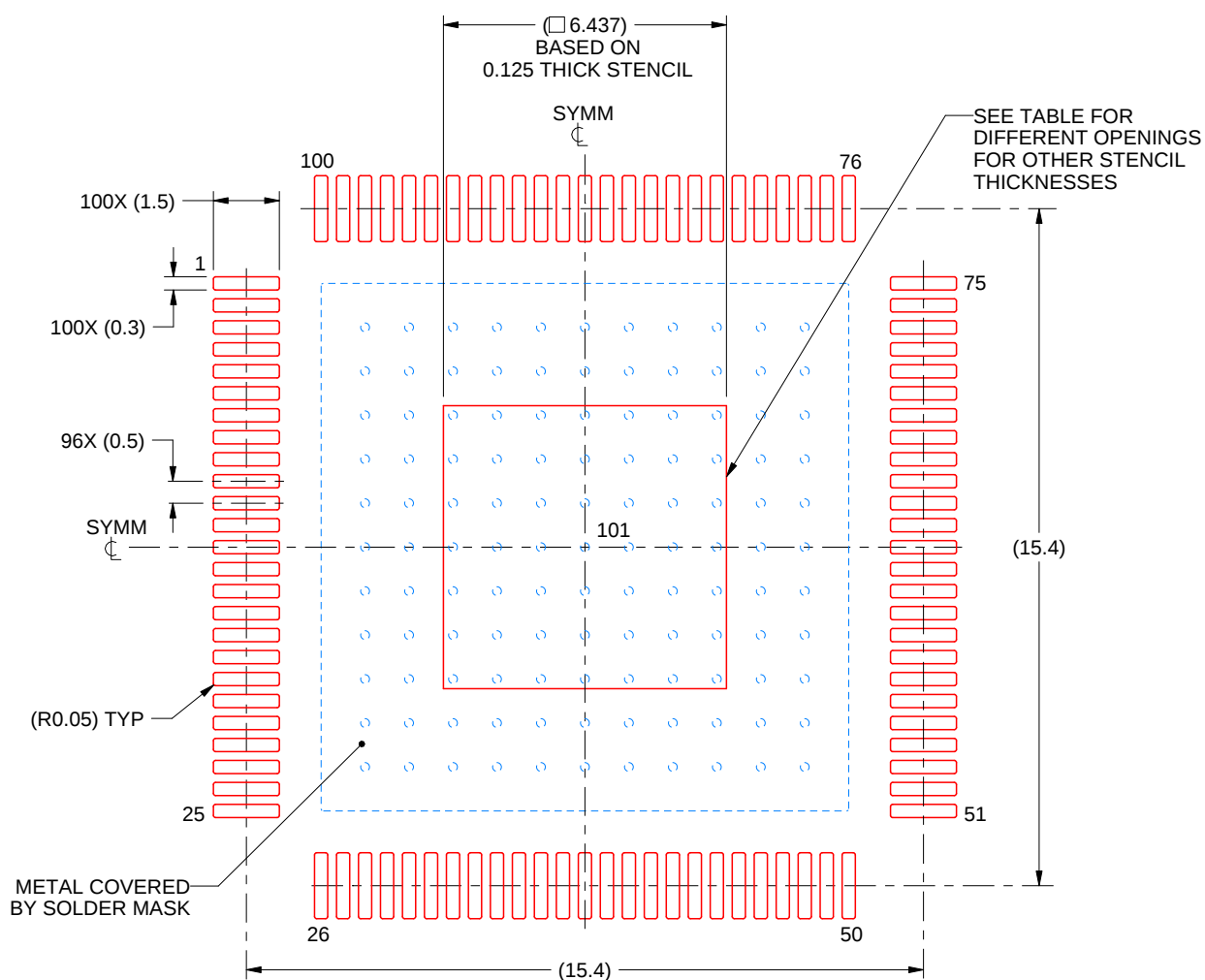
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

PZP0100T

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



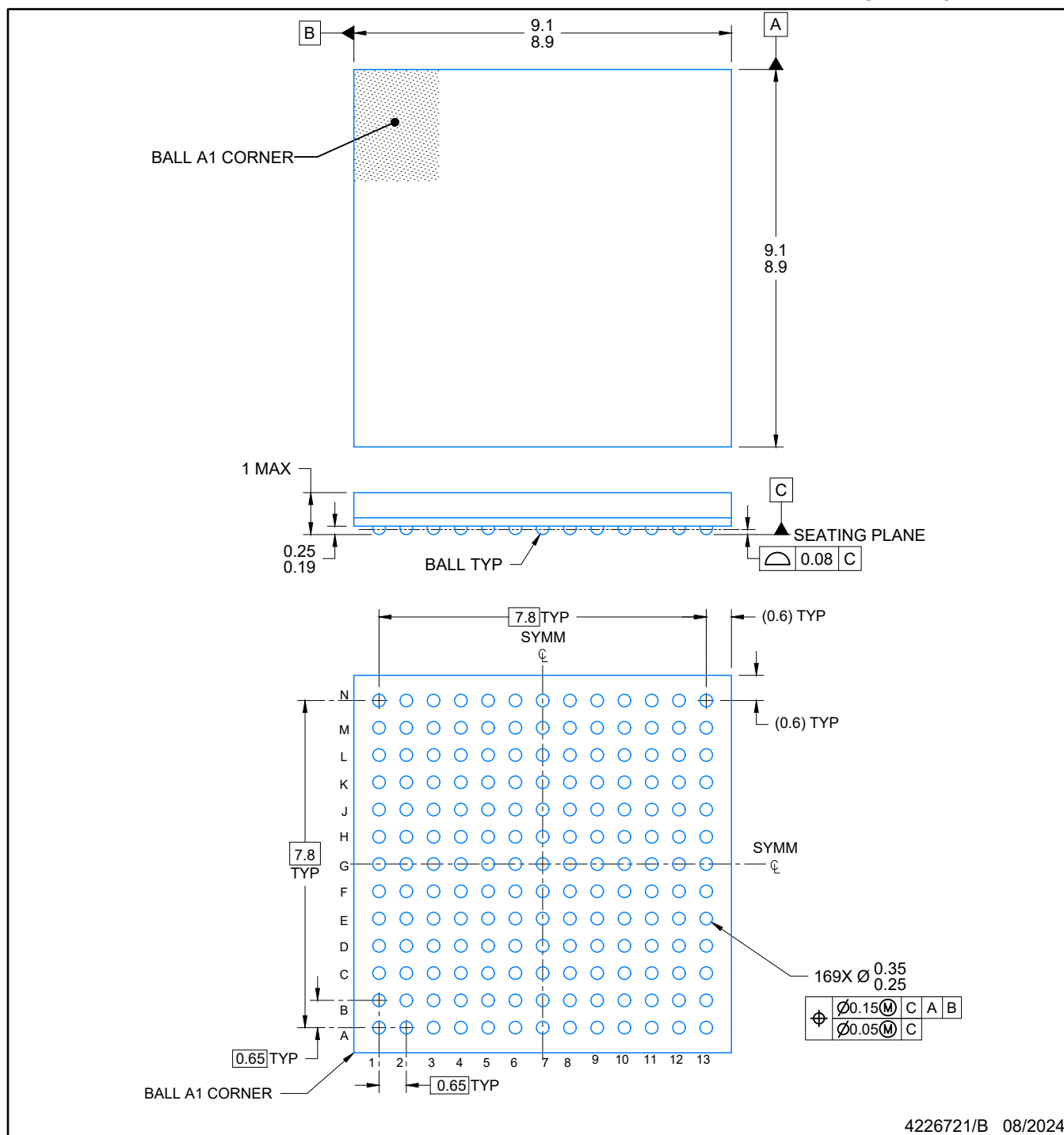
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	7.197 X 7.197
0.125	6.437 X 6.437 (SHOWN)
0.150	5.876 X 5.876
0.175	5.440 X 5.440

4228494/B 08/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

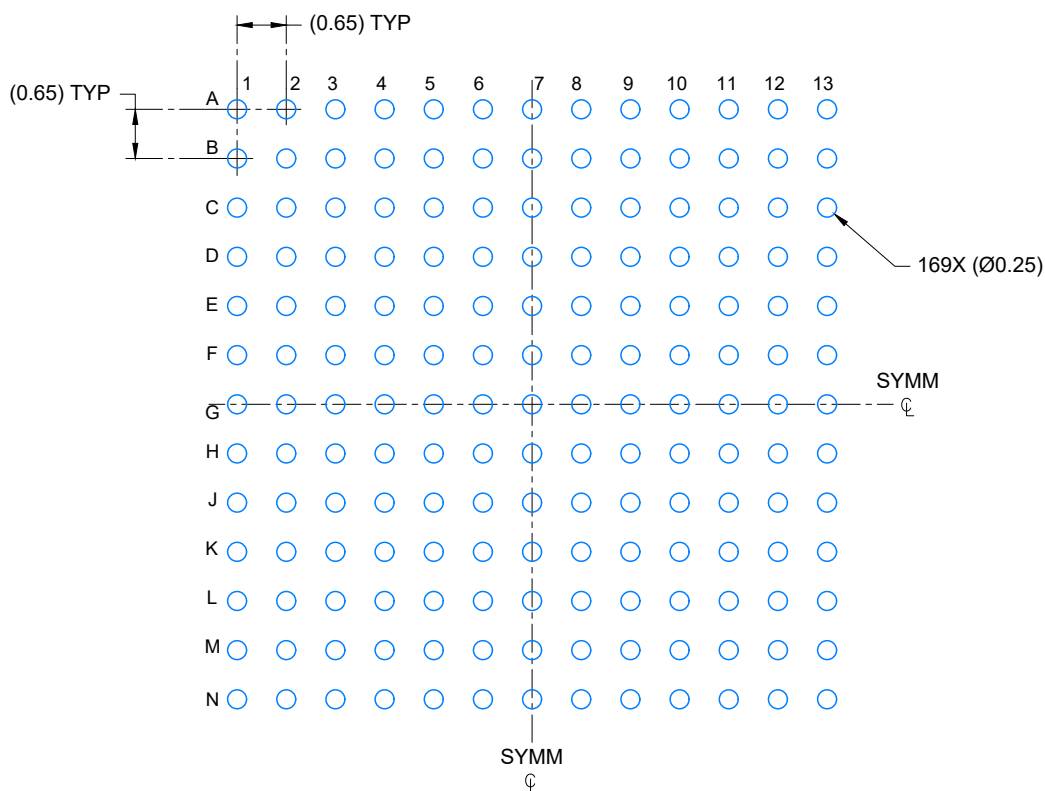


4226721/B 08/2024

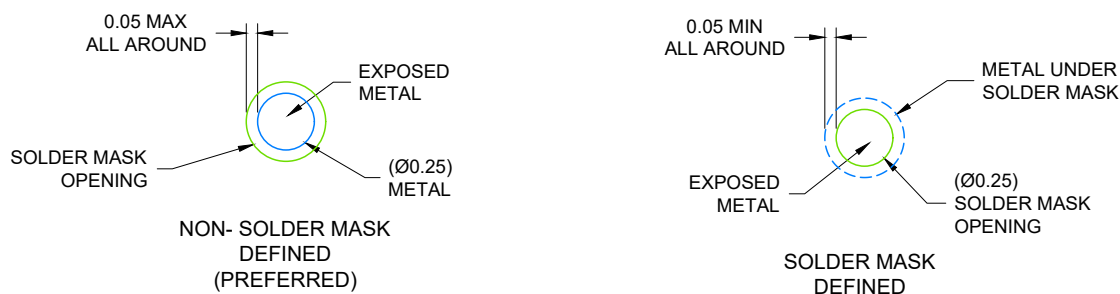
NOTES:

NanoFree is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 10X



SOLDER MASK DETAILS
NOT TO SCALE

4226721/B 08/2024

NOTES: (continued)

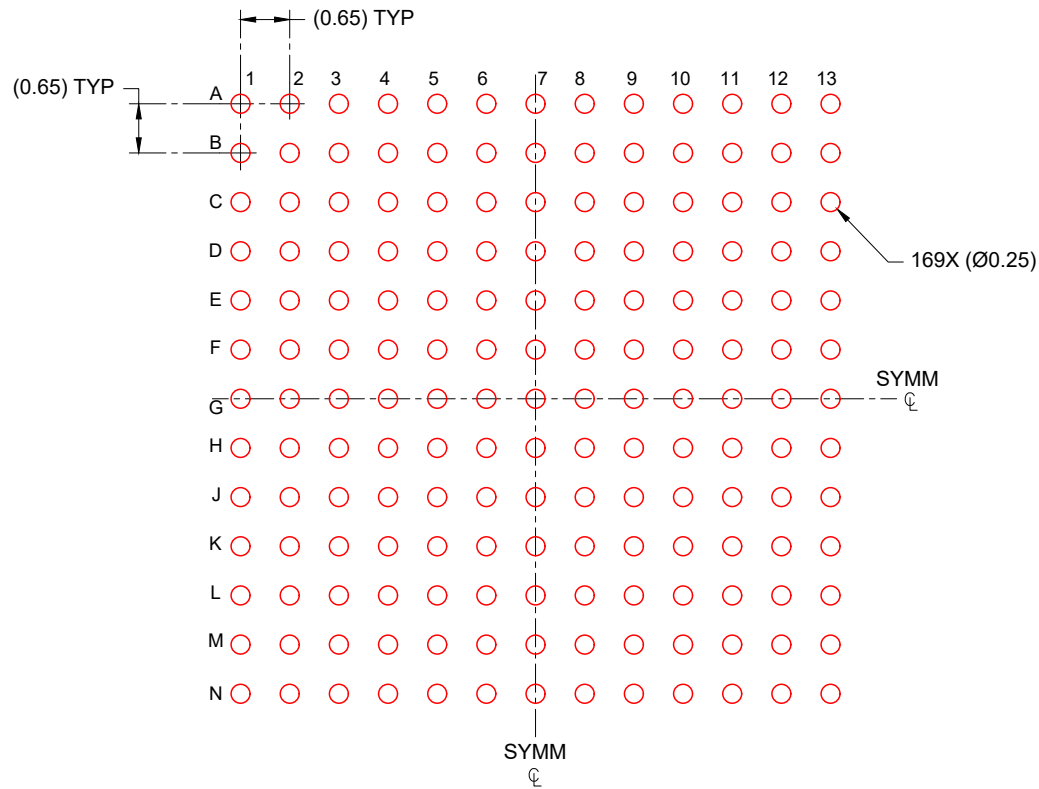
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

NMR0169A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY

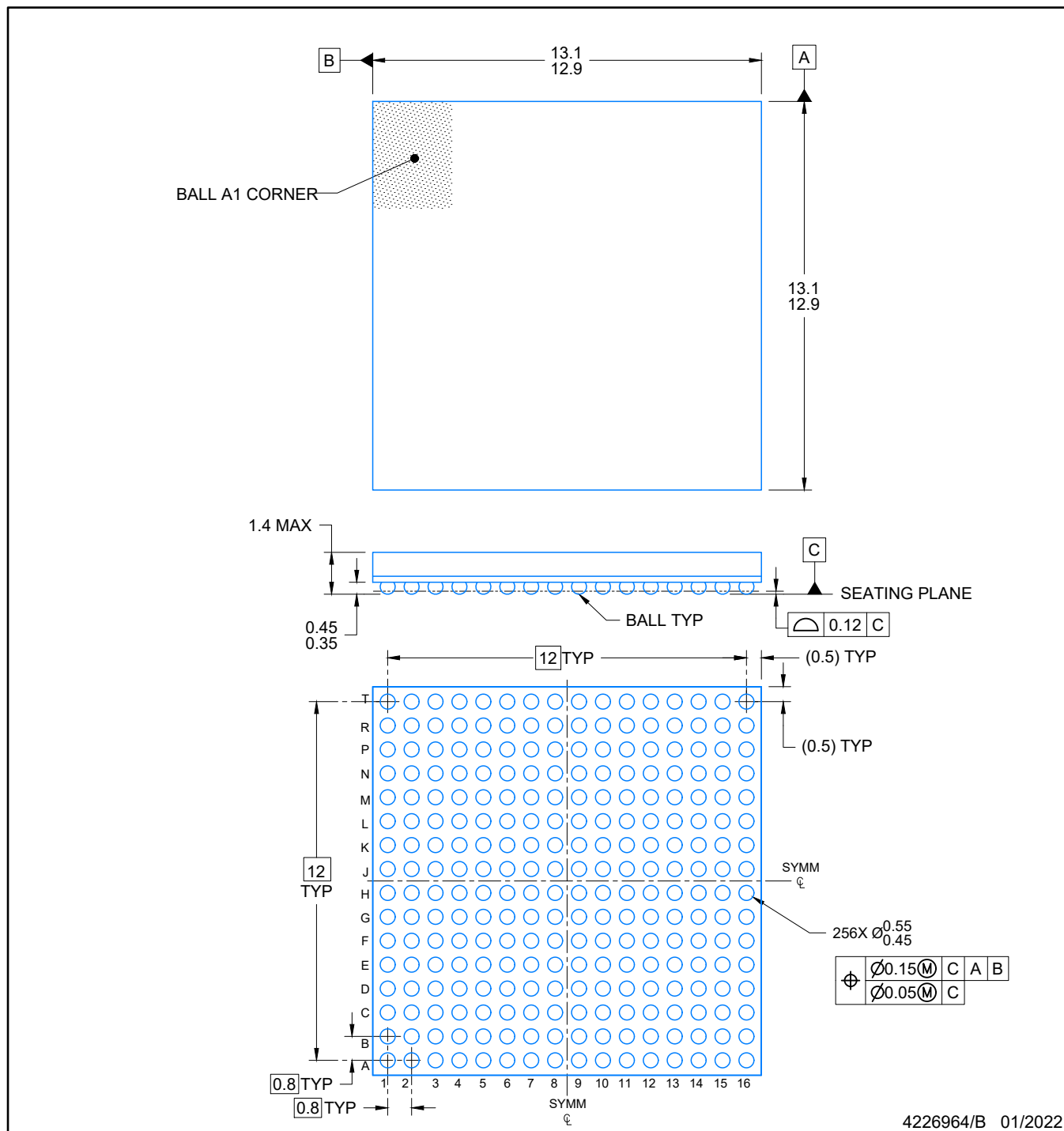


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4226721/B 08/2024

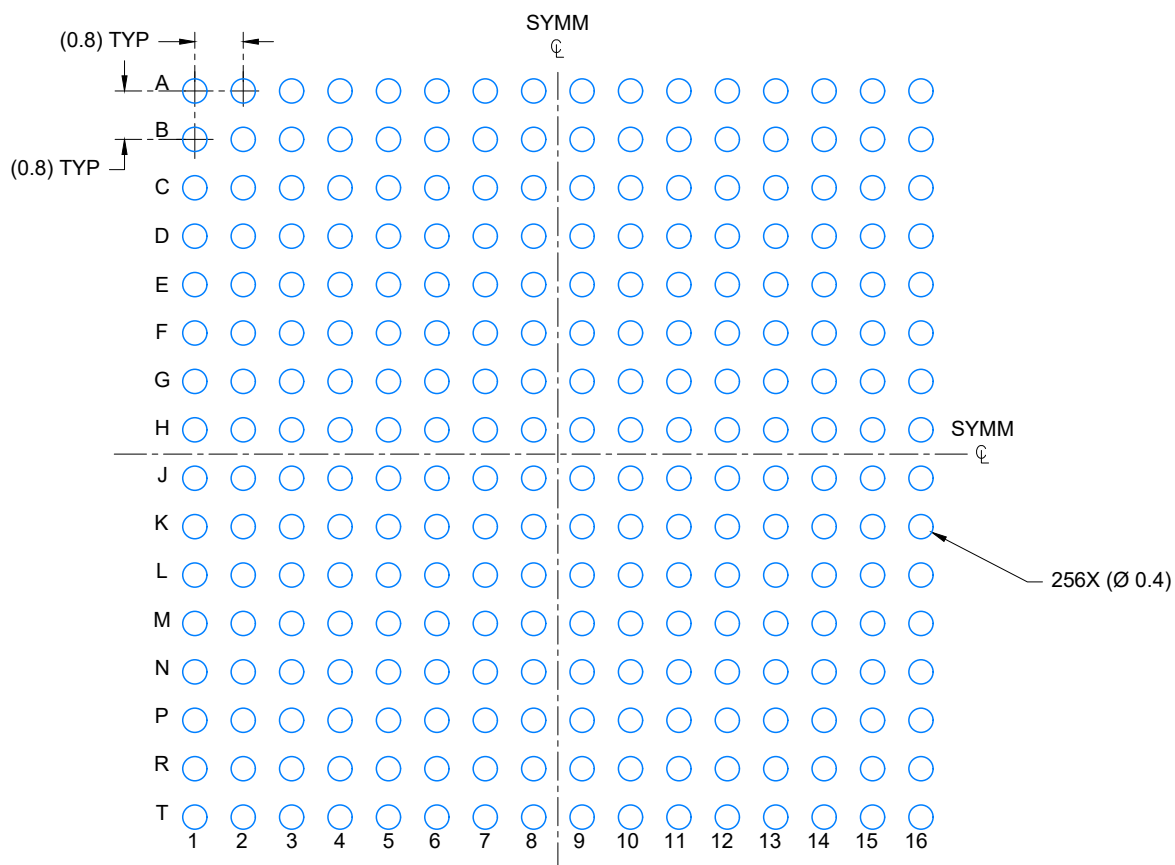
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.



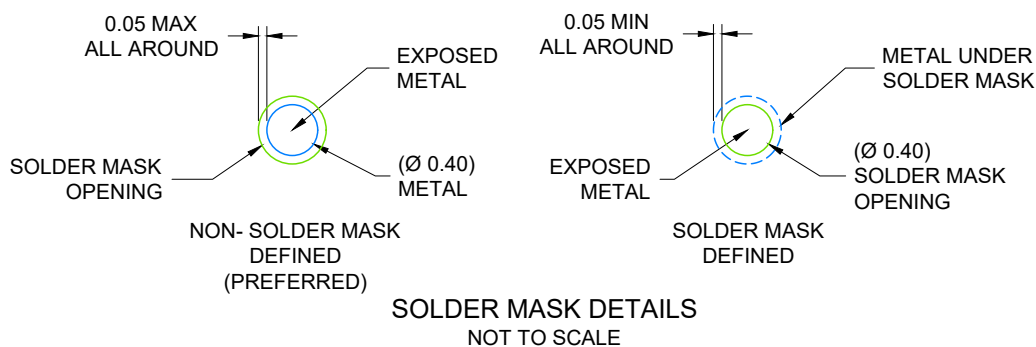
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

SCALE: 8X



4226964/B 01/2022

NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4226964/B 01/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

GENERIC PACKAGE VIEW

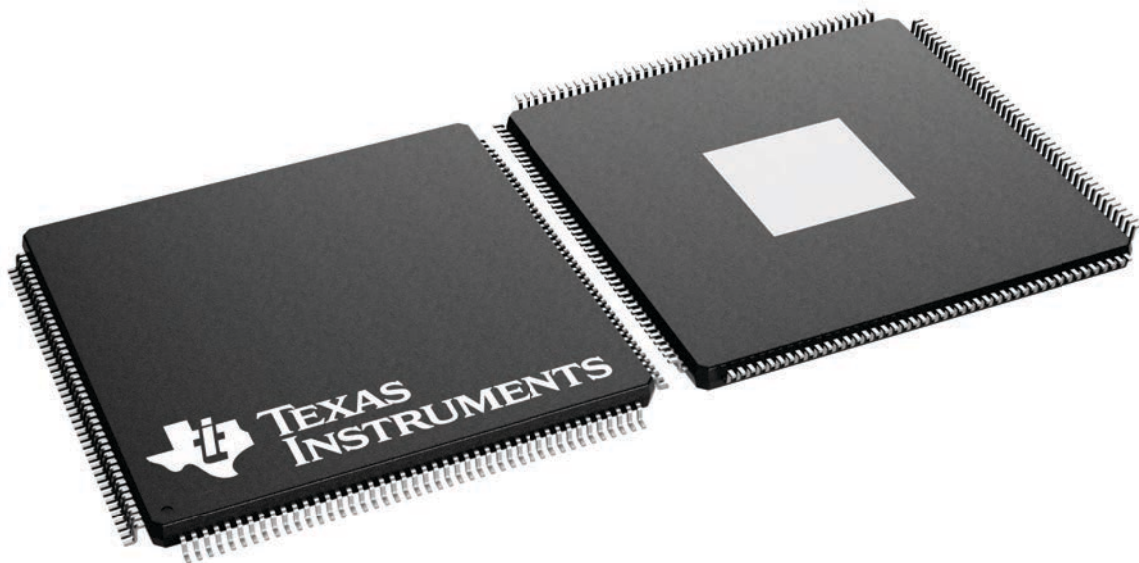
PTP 176

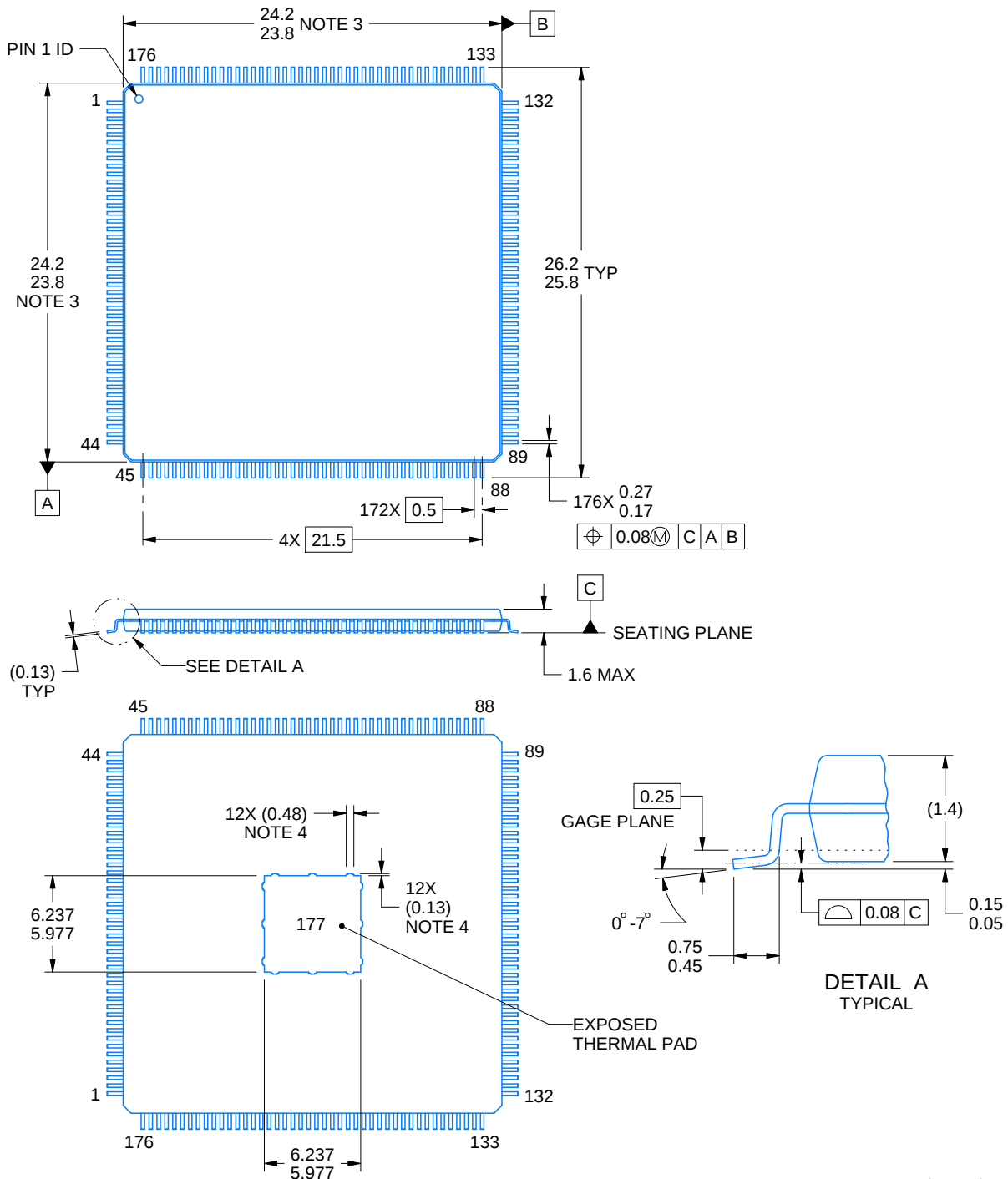
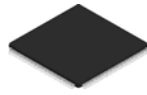
HLQFP - 1.6 mm max height

24 x 24, 0.5 mm pitch

PLASTIC QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4228495/B 08/2022

NOTES:

PowerPAD is a trademark of Texas Instruments.

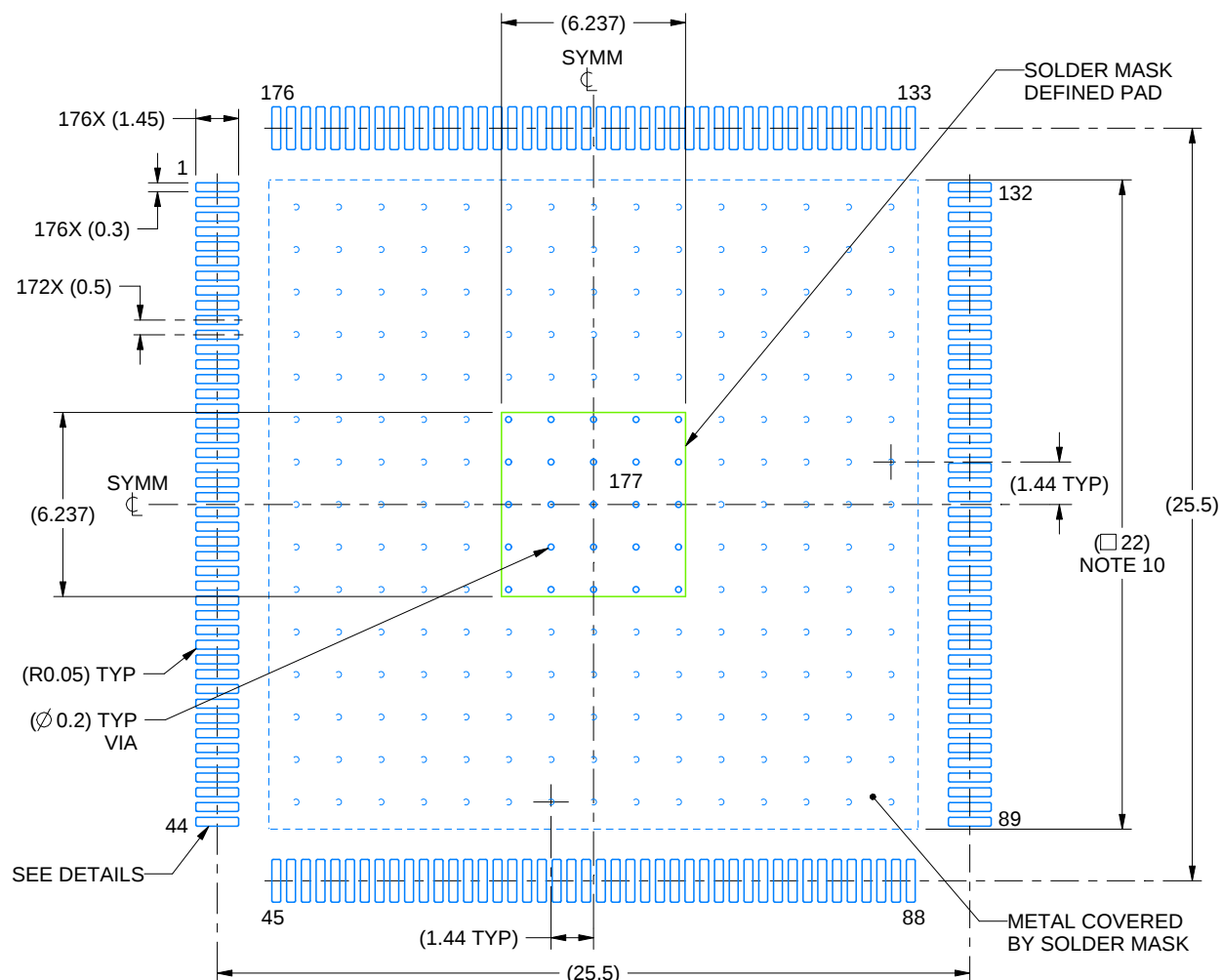
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

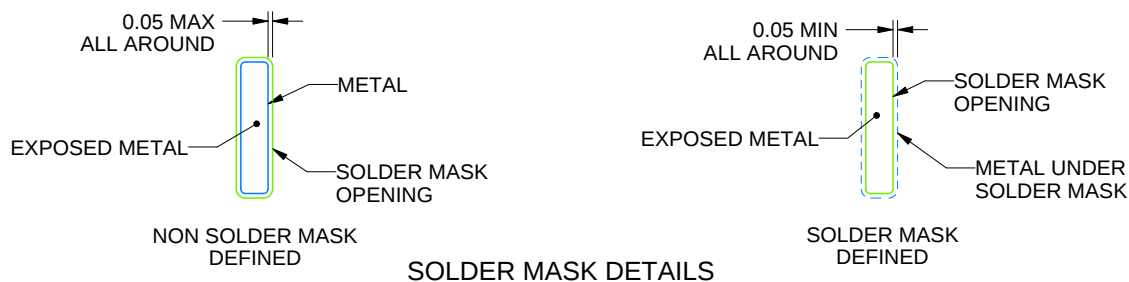
PTP0176H

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:4X



4228495/B 08/2022

NOTES: (continued)

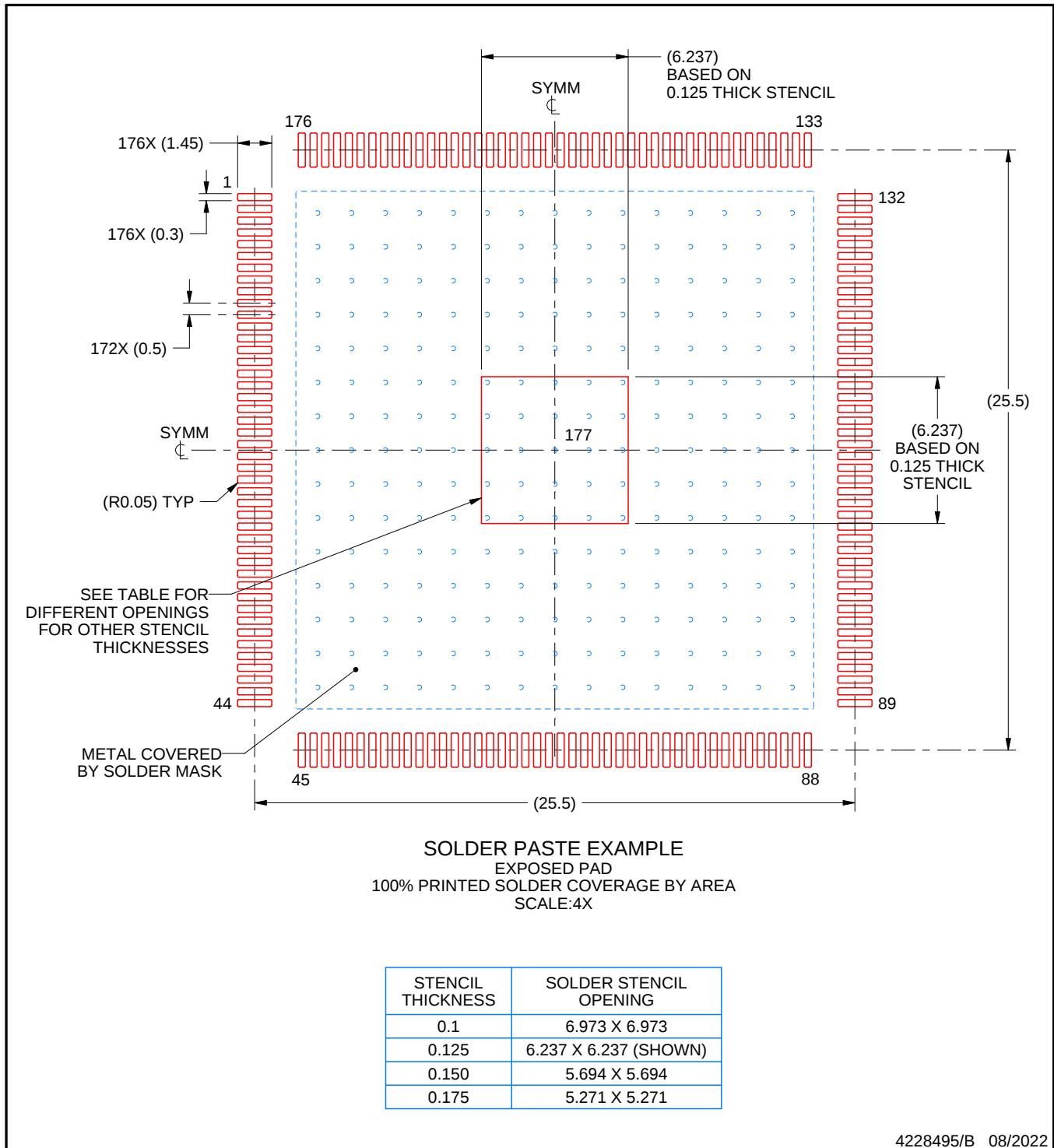
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PTP0176H

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



4228495/B 08/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月