TMS320F28P551、TMS320F28P552 和 TMS320F28P558 实时微控制器

1 特性

- 实时处理：
  - 160MHz C28x 32 位 DSP CPU
  - 在实时信号链性能方面相当于基于 320MHz Arm® Cortex®-M7 的器件（请参阅*展示 C2000™ 控制 MCU 优化信号链的实时基准测试*应用手册）
  - IEEE 754 单精度浮点单元 (FPU32)
  - 三角函数运算单元 (TMU)
    - 支持非线性比例积分微分 (NLPID) 控制
  - CRC 引擎和指令 (VCRC)
- 可编程控制律加速器 (CLA)
  - 160MHz
  - 在实时信号链性能方面相当于基于 210MHz Arm® Cortex®-M7 的器件（请参阅*展示 C2000™ 控制 MCU 优化信号链的实时基准测试*应用手册）
  - IEEE 754 单精度浮点指令
  - 独立于主 CPU 执行代码
- 片上存储器
  - 在五个独立存储体上提供 576KB 的闪存（ECC 保护）
    - 两个 256KB 存储体
    - 1 个 64KB 存储体，非常适合 LFU/引导加载程序/数据
  - 2KB OTP（一次性可编程闪存存储器）
  - 101KB RAM（ECC/奇偶校验保护）
- 安全性
  - 安全启动
  - JTAG 锁定
  - 高级加密标准 (AES) 加速器
  - 唯一标识 (UID) 号
- 时钟和系统控制
  - 2 个内部 10MHz 振荡器
  - 晶体振荡器或外部时钟输入
  - 窗口化看门狗计时器模块
  - 丢失时钟检测电路
  - 双时钟比较器 (DCC)
- 3.3V I/O 支持
  - 内部 VREG 生成允许进行单电源设计
  - 欠压复位 (BOR) 电路
  - 4 个 GPIO 上具有 5V 失效防护和容差功能，支持 PMBUS/I2C
  - 可在 4 个 GPIO 上配置 1.35V V_{IH}
- 系统外设
  - 6 通道直接存储器存取 (DMA) 控制器
  - 66 个独立可编程多路复用通用输入/输出 (GPIO) 引脚（19 个与模拟共享）
  - 在模拟引脚上提供 16 路数字输入
  - 增强型外设中断扩展 (ePIE)
  - 支持多个低功耗模式 (LPM)
- 通信外设
  - 一个电源管理总线 (PMBus) 接口
    - 超快模式支持 - 1MHz SCL
    - 部分引脚上支持 5V/3.3V/1.35V V_{IH}
  - 两个内部集成电路 (I2C) 端口
  - 一个具有灵活数据速率的控制器局域网 (CAN FD/MCAN) 总线端口
    - 每个 MCAN 模块 4KB 消息 RAM，独立于系统内存
    - 如果 MCAN 未被使用，能够将 RAM 重复用于 CPU 数据变量
  - 2 个串行外设接口 (SPI) 端口
  - 三个 UART 兼容的串行通信接口 (SCI)
  - 一个与 UART 兼容的本地互连网络 (LIN) 接口
  - 带一个发送器和一个接收器的快速串行接口 (FSI)（最高 200Mbps）
- 模拟系统
  - 5 个 3.9MSPS 12 位模数转换器 (ADC)
    - 最多 35 个外部通道（包括一个 gpdac 输出）
    - 每个 ADC 具有四个集成后处理块 (PPB)
  - 四个带 12 位参考数模转换器 (DAC) 的窗口比较器 (CMPSS)
    - 数字干扰滤波器
    - CMPSS1 上的低 DAC 输出到引脚功能
  - 两个 12 位缓冲 DAC 输出
  - 三个可编程增益放大器 (PGA)
    - 单位增益支持
    - 反相和同相增益模式支持
    - 可编程输出滤波
- 增强型控制外设
  - 24 个 ePWM 通道，包含 12 个具有高分辨率功能（100ps 分辨率）的通道
    - 集成式死区支持
    - 集成式硬件触发区 (TZ)
  - 2 个增强型捕获 (eCAP) 模块
  - 三个支持 CW/CCW 运行模式的增强型正交编码器脉冲 (eQEP) 模块
  - 8 个 Σ-Δ 滤波器模块 (SDFM) 输入通道，每个通道 2 个独立滤波器
  - 嵌入式图形发生器 (EPG)
- 可配置逻辑块 (CLB)
  - 4 个逻辑块

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

  - 增强现有外设功能
  - 支持位置管理器解决方案
- 实时固件更新 (LFU)
- 诊断特性
  - 存储器开机自检 (MPOST)
- 以功能安全合规型为目标
  - 专为功能安全应用开发
  - 可提供用于 ISO 26262 和 IEC 61508 系统设计的文档
  - 系统功能符合 ASIL D 和 SIL 3 等级
  - 以硬件完整性高达 ASIL B 级为目标
- 安全相关认证
  - 计划通过 TÜV SÜD 高达 ASIL B 等级的 ISO 26262 认证
- 封装选项：
  - 100 引脚 Low-profile Quad Flatpack (LQFP) [后缀 PZ]
  - 80 引脚 LQFP [后缀 PN]
  - 80 引脚 LQFP [后缀 PNA]
  - 64 引脚 LQFP [后缀 PM]
  - 56 引脚 Very Thin Quad Flatpack No-Lead (VQFN) [RSH 后缀]
  - 49 焊球晶圆芯片级封装 (WCSP) [YAF 后缀]
  - 32 引脚 Very Thin Quad Flatpack No-Lead (VQFN) [ZNG 后缀]
- 温度选项：
  - 结温 (T_J)：-40°C 至 150°C

2 应用

- 电器
  - 空调室外机
- 楼宇自动化
  - 电梯门自动启闭装置驱动控制
- 工业机械和机床
  - 自动分拣设备
  - 纺织机
- 交流逆变器和变频驱动器
  - 交流驱动器控制模块
  - 交流驱动器位置反馈
  - 交流驱动器功率级模块
- 线性电机运输系统
  - 线性电机功率级
- 单轴及多轴伺服驱动器
  - 伺服驱动器位置反馈
  - 伺服驱动器功率级模块
- 速度控制 BLDC 驱动器
  - 交流输入 BLDC 电机驱动器
  - 直流输入 BLDC 电机驱动器
- 工厂自动化
  - 机器人伺服驱动器
  - 移动机器人电机控制
  - 位置传感器
- 工业电源
  - 工业交流-直流
- UPS
  - 三相 UPS
  - 单相在线式 UPS
- 电信和服务器电源
  - 商用直流/直流
  - 商用网络和服务器 PSU
  - 商用通信电源整流器
- 混合动力、电动和动力总成系统
  - 直流/直流转换器
  - 逆变器和电机控制
  - 车载充电器 (OBC) 和无线充电器
  - 虚拟引擎声浪系统 (VESS)
  - 发动机风扇
  - 电子涡轮/增压器
  - 泵
  - 电动助力转向 (EPS)
- 信息娱乐系统与仪表组
  - 抬头显示
  - 汽车音响主机
  - 汽车外部放大器
- 车身电子装置和照明
  - 汽车 HVAC 压缩机模块
  - 直流/交流逆变器
  - 前灯
- ADAS
  - 机械扫描激光雷达
- 电动汽车充电基础设施
  - 交流充电（桩）站
  - 直流充电（桩）站
  - 电动汽车充电站电源模块
  - 无线电动汽车充电站
- 可再生能源存储
  - 能量存储电源转换系统 (PCS)
  - 移动式发电站
- 太阳能
  - 中央逆变器
  - 微型逆变器
  - 太阳能电源优化器
  - 太阳能电弧保护
  - 快速关断
  - 串式逆变器

Copyright © 2026 Texas Instruments Incorporated

3 说明

TMS320F28P55x (F28P55x) 是 C2000™ 实时微控制器系列中的一款器件，该可扩展、超低延迟器件系列旨在提高电力电子设备的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。

这些应用包括：

- 电机驱动器
- 电器
- 混合动力、电动和动力总成系统
- 太阳能和电动汽车充电
- 数字电源
- 车身电子装置与照明
- 测试与测量

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码提供 160MHz 的信号处理性能。浮点单元 (FPU)、三角函数加速器 (TMU) 和 VCRC（循环冗余校验）扩展指令集进一步增强了 C28x CPU 的性能，从而加快了实时控制系统关键常用算法的速度。

CLA 能够将大量的常见任务从主 C28x CPU 上卸载。CLA 是一款与 CPU 并行执行的独立 32 位浮点数学加速器。此外，CLA 自带专用存储资源，它可以直接访问典型控制系统中所需的关键外设。与硬件断点和硬件任务切换等主要特性一样，ANSI C 子集支持是标准配置。

F28P55x 支持高达 576KB 的闪存存储器，这些闪存存储器分为两个 256KB 存储体和一个 64KB 存储体，可支持对一个存储体编程的同时，在另一个存储体中执行。高达 101KB 的片上 SRAM 也可作为闪存存储器的补充。

F28P55x 上的实时固件更新硬件增强允许从旧固件到新固件的快速上下文切换，以尽可能减少更新器件固件时的应用停机时间。

高性能模拟模块集成在 F28P55x 实时微控制器 (MCU) 上，并与处理单元和 PWM 单元紧密耦合，以提供更好的实时信号链性能。24 个 PWM 通道均支持与频率无关的分辨率模式，可控制从三相逆变器到功率因数校正和高级多级电源拓扑的各种功率级。

通过加入可配置逻辑块 (CLB)，用户可以添加自定义逻辑，还可将集成类似 FPGA 的功能到 C2000 实时 MCU 中。

各种业界通用通信端口（如 SPI、SCI、I2C、PMBus、LIN 和 CAN）不仅支持连接，还提供了多个引脚复用选项，可实现出色的信号布局。

是否想详细了解 C2000 实时 MCU 适用于实时控制系统的特性？查看 *使用 C2000™ 实时微控制器的基本开发指南*，并访问 C2000™ 实时控制 MCU 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 TMDSCNCD28P551X 评估板并下载 C2000Ware。

Copyright © 2026 Texas Instruments Incorporated

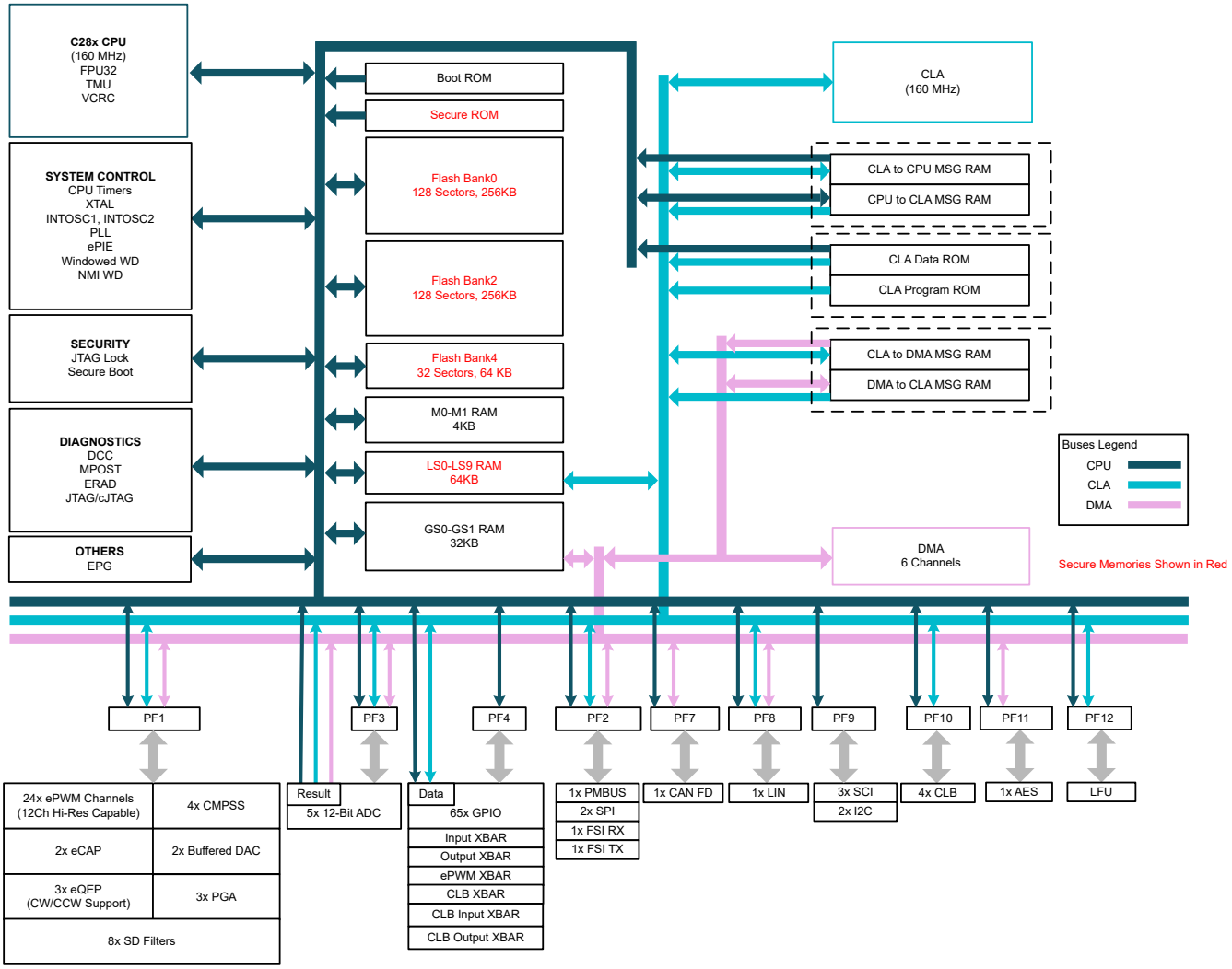
封装信息

器件型号(1)	封装(2)	封装尺寸(3)
TMS320F28P558SG-Q1	PZ（QFP，100）	16mm x 16mm
	PNA（QFP，80）	12mm x 12mm
	PM（QFP，64）	12mm x 12mm
TMS320F28P551SG	PZ（QFP，100）	16mm x 16mm
	PN（QFP，80）	14mm x 14mm
	PNA（QFP，80）	12mm x 12mm
	PM（QFP，64）	12mm x 12mm
	RSH（VQFN，56）	7mm x 7mm
	YAF（WCSP、49）	3.6mm x 3.6mm
	ZNG（VQFN、32）	4mm x 4mm
TMS320F28P552SG	PZ（QFP，100）	16mm x 16mm
	PN（QFP，80）	14mm x 14mm
	PNA（QFP，80）	12mm x 12mm
TMS320F28P551SD	PZ（QFP，100）	16mm x 16mm
	PN（QFP，80）	14mm x 14mm
	PM（QFP，64）	12mm x 12mm
	RSH（VQFN，56）	7mm x 7mm
TMS320F28P552SD	PZ（QFP，100）	16mm x 16mm
	PN（QFP，80）	14mm x 14mm

(1) 如需更多有关这些器件的信息，请参阅*器件比较*表。
(2) 如需更多信息，请参阅*机械、封装和可订购信息*部分。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

Copyright © 2026 Texas Instruments Incorporated

3.1 功能方框图



A. CMPSS 模块之一的内部 DAC 可以配置为输出 DAC。

B. LIN 模块还可以用作 SCI 模块。

图 3-1. 功能方框图

内容

1 特性 1
2 应用 2
3 说明 3
3.1 功能方框图 5
4 器件比较 7
4.1 相关产品 9
5 引脚配置和功能 10
5.1 引脚图 10
5.2 引脚属性 17
5.3 信号说明 37
5.4 引脚多路复用 50
5.5 带有内部上拉和下拉的引脚 61
5.6 未使用引脚的连接 62
6 规格 64
6.1 绝对最大额定值 64
6.2 ESD 等级 - 商用 65
6.3 ESD 等级 - 汽车 66
6.4 IC 闩锁测试：JESD78F.02 66
6.5 建议运行条件 67
6.6 功耗摘要 68
6.7 电气特性 75
6.8 5V 失效防护引脚的特殊注意事项 76
6.9 PZ 封装的热阻特性 78
6.10 PN 和 PNA 封装的热阻特性 78
6.11 PM 封装的热阻特性 78
6.12 RSH 封装的热阻特性 79
6.13 YAF 封装的热阻特性 80
6.14 ZNG 封装的热阻特性 81
6.15 散热设计注意事项 81
6.16 系统 82
6.17 模拟外设 123
6.18 控制外设 166
6.19 通信外设 181
7 详细说明 209
7.1 概述 209
7.2 功能方框图 210
7.3 存储器 211
7.4 标识 221
7.5 总线架构 - 外设连接 222
7.6 C28x 处理器 223
7.7 控制律加速器 (CLA) 224
7.8 嵌入式实时分析和诊断 (ERAD) 227
7.9 直接存储器存取 (DMA) 228
7.10 器件引导模式 230
7.11 安全性 236
7.12 看门狗 238
7.13 C28x 计时器 239
7.14 双时钟比较器 (DCC) 239
7.15 可配置逻辑块 (CLB) 241
8 应用、实施和布局 243
8.1 典型应用 243
9 器件和文档支持 245
9.1 器件命名规则 245
9.2 标识 247
9.3 工具与软件 251
9.4 文档支持 252
9.5 支持资源 254
9.6 商标 254
9.7 静电放电警告 254
9.8 术语表 254
10 修订历史记录 254
11 机械、封装和可订购信息 255
卷带包装信息 259
托盘 261

Copyright © 2026 Texas Instruments Incorporated

4 器件比较

表 4-1. 器件比较

特性(1)(4)		F28P558SG-Q1(3)	F28P551SG	F28P552SG	F28P551SD	F28P552SD
C28x 子系统						
频率 (MHz)		160				
C28x	32 位浮点单元 (FPU)	是				
	VCRC	是				
	TMU - 1 类	是 - 1 类 - 支持 NLPID 指令				
CLA – 2 类	编号	1：F28P558SG5-Q1 和 F28P558SG3-Q1 0：F28P558SG2-Q1	1			
	频率 (MHz)	160				
6 通道 DMA - 0 类		1				
外部中断		5				
MIPS		320 (CPU + CLA)：F28P558SG5-Q1 160 F28P558SG2-Q1	320 (CPU + CLA)			
内存						
闪存	主阵列	512KB (2 个 256KB 存储体)			256KB (2 个 128KB 存储体)	
	64KB 存储体	全部，但 F28P558SG2-Q1 除外				
	用户 OTP	2KB				
RAM	专用	4KB				
	本地共享 RAM	64KB				
	消息	1KB				
	全局共享 RAM	32KB				
	总 RAM	101KB				
消息 RAM 类型	C28x CPU 和 CLA	512 字节 (每个方向 256 字节)				
	DMA 和 CLA	512 字节 (每个方向 256 字节)				
ECC		闪存，Mx RAM				
奇偶校验		ROM、CAN RAM、消息 RAM、LSx RAM、GSx RAM				
系统						
可配置逻辑块 (CLB)		4 个逻辑块：F28P558SG5-Q1 2 个逻辑块：F28P558SG3-Q1 0 个逻辑块：F28P558SG2-Q1	4 个逻辑块	4 个逻辑块：F28P552SG4 0 个逻辑块：F28P552SG3	4 个逻辑块	-
嵌入式图形发生器 (EPG)		1				
32 位 CPU 计时器		3				
高级加密标准 (AES) 加速器		1				
实时固件更新 (LFU) 支持		是，具有增强功能并改进了闪存组擦除时间				
片上闪存和 RAM 的安全性		是				
零引脚引导		是				
安全启动		是				
JTAG 锁定		是				
MPOST		是				
嵌入式实时分析和诊断 (ERAD) - 2 类		1				
不可屏蔽中断看门狗 (NMIWD) 计时器		1				
看门狗 (WD) 计时器		1				
晶体振荡器/外部时钟输入		1				
内部振荡器 (可选外部精密电阻)		2				

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性[1][4]		F28P558SG-Q1[3]	F28P551SG	F28P552SG	F28P551SD	F28P552SD
数字和模拟引脚计数						
GPIO	100 引脚 PZ	43				
	80 引脚 PN/PNA	PNA：32	PN：33 PNA：32			
	64 引脚 PM	17		-	17	-
	56 引脚 RSH	-	15	-	15	-
	49 焊球 YAF	-	12	-	-	-
	32 引脚 ZNG	-	7	-	-	-
	附加 GPIO	4（2 个来自 cJTAG，2 个来自 X1/X2）				
AIO（具有数字输入的模拟）	100 引脚 PZ	16				
	80 引脚 PN/PNA	12				
	64 引脚 PM	13		-	13	-
	56 引脚 RSH	-	13	-	13	-
	49 焊球 YAF	-	12	-	-	-
	32 引脚 ZNG	-	9	-	-	-
AGPIO（具有数字输入和输出的模拟）	100 引脚 PZ	19				
	80 引脚 PN/PNA	17				
	64 引脚 PM	17		-	17	-
	56 引脚 RSH	-	15	-	15	-
	49 焊球 YAF	-	8	-	-	-
	32 引脚 ZNG	-	5	-	-	-
C28x 模拟外设[5]						
模数转换器 (ADC)（12 位）- 6 类	ADC 数量	5：F28P558SG5-Q1 3：F28P558SG3-Q1 和 F28P558SG2-Q1	5	4	5	4
	MSPS	3.9				
	转换时间 (ns)[2]	187				
ADC 输入通道（单端）（包括两个 DAC 输出）	100 引脚 PZ	35				
	80 引脚 PN/PNA	28				
	64 引脚 PM	28		-	28	-
	56 引脚 RSH	-	26	-	26	-
	49 焊球 YAF	-	18	-	-	-
	32 引脚 ZNG	-	12	-	-	-
PGA - 2 类		3				
温度传感器		1				
比较器子系统 (CMPSS)（每个 CMPSS 都有两个比较器和两个内部 DAC）- 6 类		4				
缓冲数模转换器 (DAC) - 2 类		1	2			
CMPSS 的 DAC 输出		1				
C28x 控制外设[5]						
eCAP - 2 类	总输入	2				
ePWM/HRPWM – 6 类	总通道数	24：F28P558SG5-Q1 ：18：F28P558SG3-Q1 和 F28P558SG2-Q1	24[8][9]	16：F28P552SG4 22：F28P552SG3	24	22
	具有高分辨率功能的通道[7]	12：F28P558SG5-Q1 0：F28P558SG3-Q1 和 F28P558SG2-Q1	12[8]	-	12	-
eQEP 模块 - 2 类		3		3：F28P552SG4 1：F28P552SG3	3	1
SDFM 通道 – 2 类		8	8	8：F28P552SG4 0：F28P552SG3	8	-

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 器件比较（续）

特性(1)(4)		F28P558SG-Q1(3)	F28P551SG	F28P552SG	F28P551SD	F28P552SD
C28x 通信外设(5)						
具有灵活数据速率的 CAN (CAN-FD) - 2 类		1				
快速串行接口 (FSI) RX – 2 类		1	1	1：F28P552SG4 0：F28P552SG3	1	-
快速串行接口 (FSI) TX – 2 类		1	1(6)	1：F28P552SG4 0：F28P552SG3	1	-
内部集成电路 (I2C) - 2 类		2	2	1	2	1
本地互连网络 (LIN) - 1 类		1				-
电源管理总线 (PMBus) – 1 类		1		-	1	-
串行通信接口 (SCI) - 0 类（UART 兼容）		3				
串行外设接口 (SPI) - 2 类		2				
温度和合格认证						
结温 (T_J)		-40°C 至 150°C				
自然通风温度 (T_A)		-40°C 至 125°C				
封装选项	100 引脚 PZ	F28P558SG5-Q1 F28P558SG3-Q1 F28P558SG2-Q1	F28P551SG5	F28P552SG4 F28P552SG3	F28P551SD5	F28P552SD3
	80 引脚 PN	-	F28P551SG5	F28P552SG4 F28P552SG3	F28P551SD5	F28P552SD3
	80 引脚 PNA	F28P558SG5-Q1 F28P558SG3-Q1 F28P558SG2-Q1	F28P551SG5	F28P552SG4	-	-
	64 引脚 PM	F28P558SG5-Q1 F28P558SG3-Q1 F28P558SG2-Q1	F28P551SG5	-	F28P551SD5	-
	56 引脚 RSH	-	F28P551SG5	-	F28P551SD5	-
	49 焊球 YAF	-	F28P551SG5	-	-	-
	32 引脚 ZNG	-	F28P551SG5	-	-	-

(1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。有关更多信息，请参阅 *C2000 实时控制外设参考指南*。
(2) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
(3) 后缀 -Q1 是指针对汽车应用的 AEC Q100 认证。
(4) 特性条目上的“-”表示对应的软件包类型不可用。
(5) 对于采用多个封装的器件，较小封装中列出的外设数量会减少，因为较小封装中的可用器件引脚较少。与器件型号内提供的最大封装相比，器件内部存在的外设数量并未减少。
(6) 必须使用输入和输出 X-bar 来在 49 焊球和 32 引脚封装上实现完整的 FSI 引脚功能
(7) HRPWM 功能仅在 ePWM 1-6 上可用
(8) ePWM4B 在 32 引脚封装上不可用
(9) ePWM9B 在 49 焊球或 32 引脚封装上均不可用

4.1 相关产品

TMS320F280013x 实时微控制器

F280013x 具有 F28P551/552/558 系列器件的常见引脚排列。除了更快的 CPU 时钟速度和更大的内存大小之外，F28P551/552/558 系列增加了 CLA 和 DMA 支持。此外，F28P55x 还具有可编程增益放大器 (PGA)、 和 CLB，并支持实时固件更新。

TMS320F280015x 实时微控制器

F280015x 具有 F28P551/552/558 系列器件的常见引脚排列。除了更快的 CPU 时钟速度和更大的内存大小之外，F28P551/552/558 系列增加了 CLA 和 DMA 支持。此外，F28P55x 还具有可编程增益放大器 (PGA)、 和 CLB，并支持实时固件更新。F280015x 系列具有适用于安全相关系统的锁步 C28x CPU。

TMS320F28003x 实时微控制器

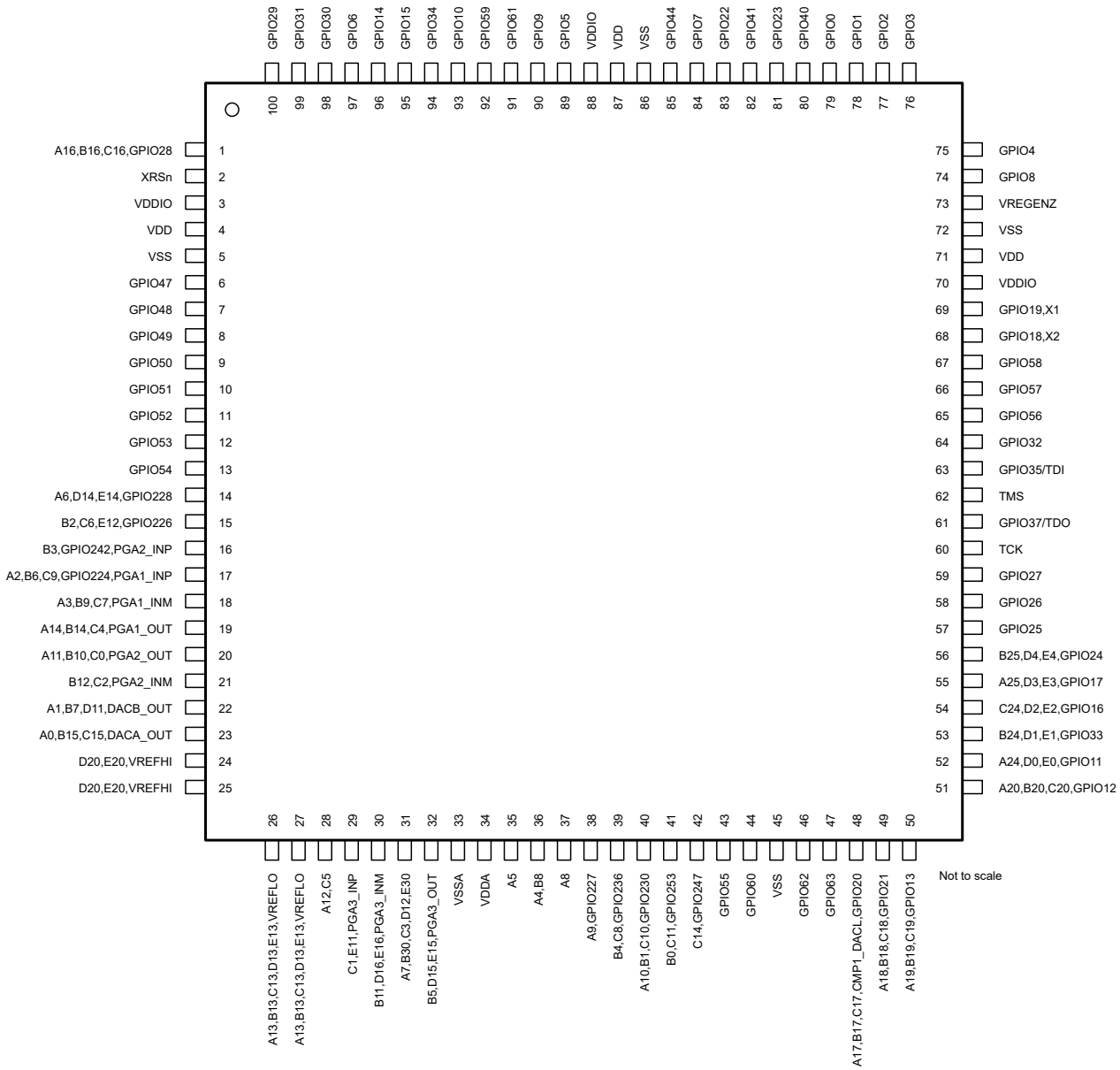
F28003x 具有 F28P551/552/558 系列器件的常见引脚排列。除了可编程增益放大器 (PGA) 和 外，F28P551/552/558 系列具有更快的总体 CPU 时钟和更多的存储器选项。F28003x 系列提供对 BGCRC 和 HWBIST 以及 SDFM 的支持。

Copyright © 2026 Texas Instruments Incorporated

5 引脚配置和功能

5.1 引脚图

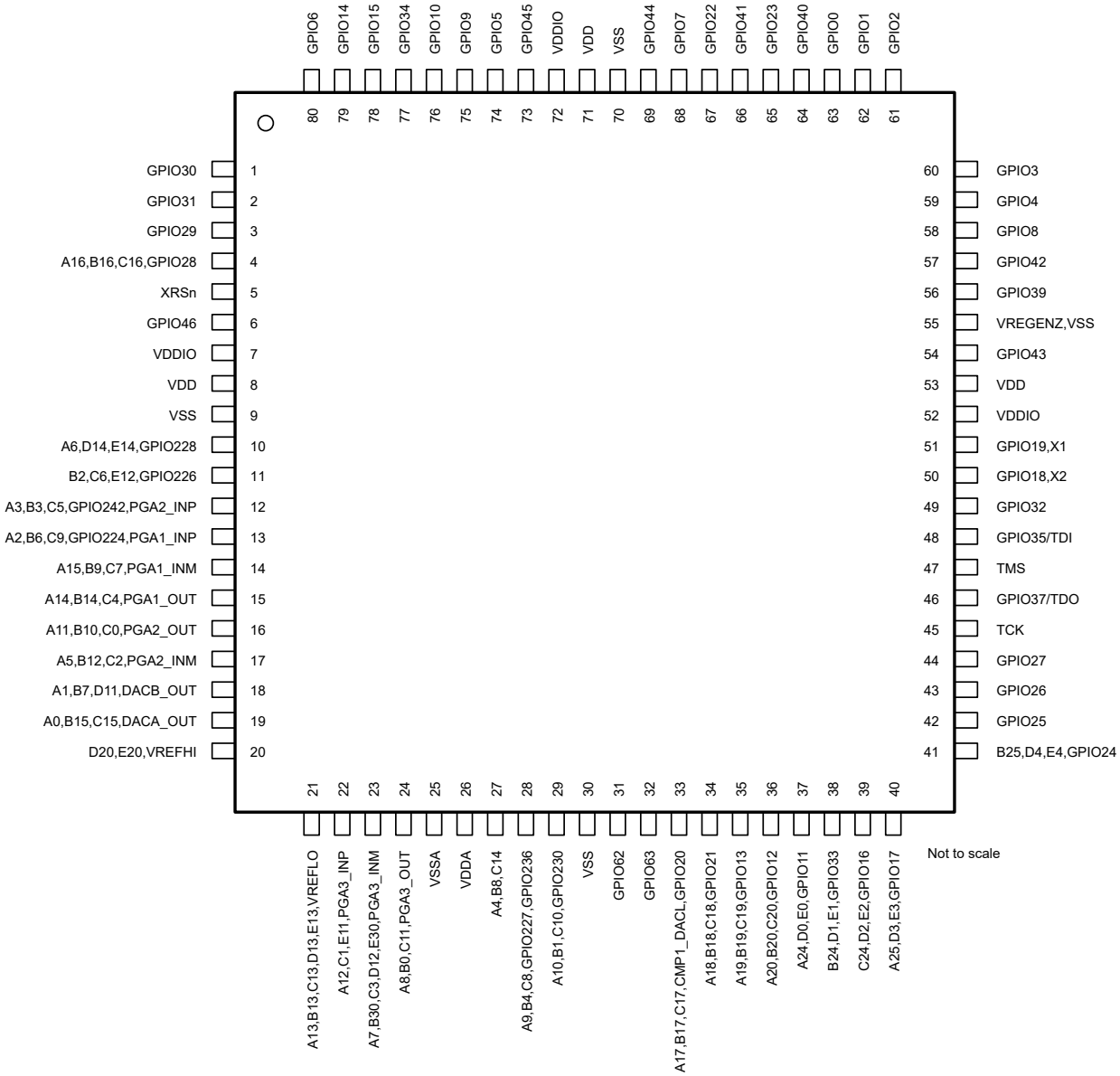
图 5-1 展示了 100 引脚 PZ Low-Profile Quad Flatpack 封装上的引脚分配。图 5-2 展示了 80 引脚 PNA thin Quad Flatpack 封装上的引脚分配。图 5-4 展示了 64 引脚 PM Low-Profile Quad Flatpack 封装上的引脚分配。图 5-5 展示了 56 引脚 RSH 超薄型四方扁平无铅封装上的引脚分配。图 5-6 展示了 49 焊球 YAF 晶圆芯片级封装的引脚分配。图 5-7 显示了 32 引脚 ZNG Very Thin Quad Flatpack No-Lead 封装上的引脚分配。



A. GPIO 引脚上仅显示 GPIO 功能。请参阅 *引脚属性* 表以了解完整的多路复用信号名称。

图 5-1. 100 引脚 PZ 薄型四方扁平封装（顶视图）

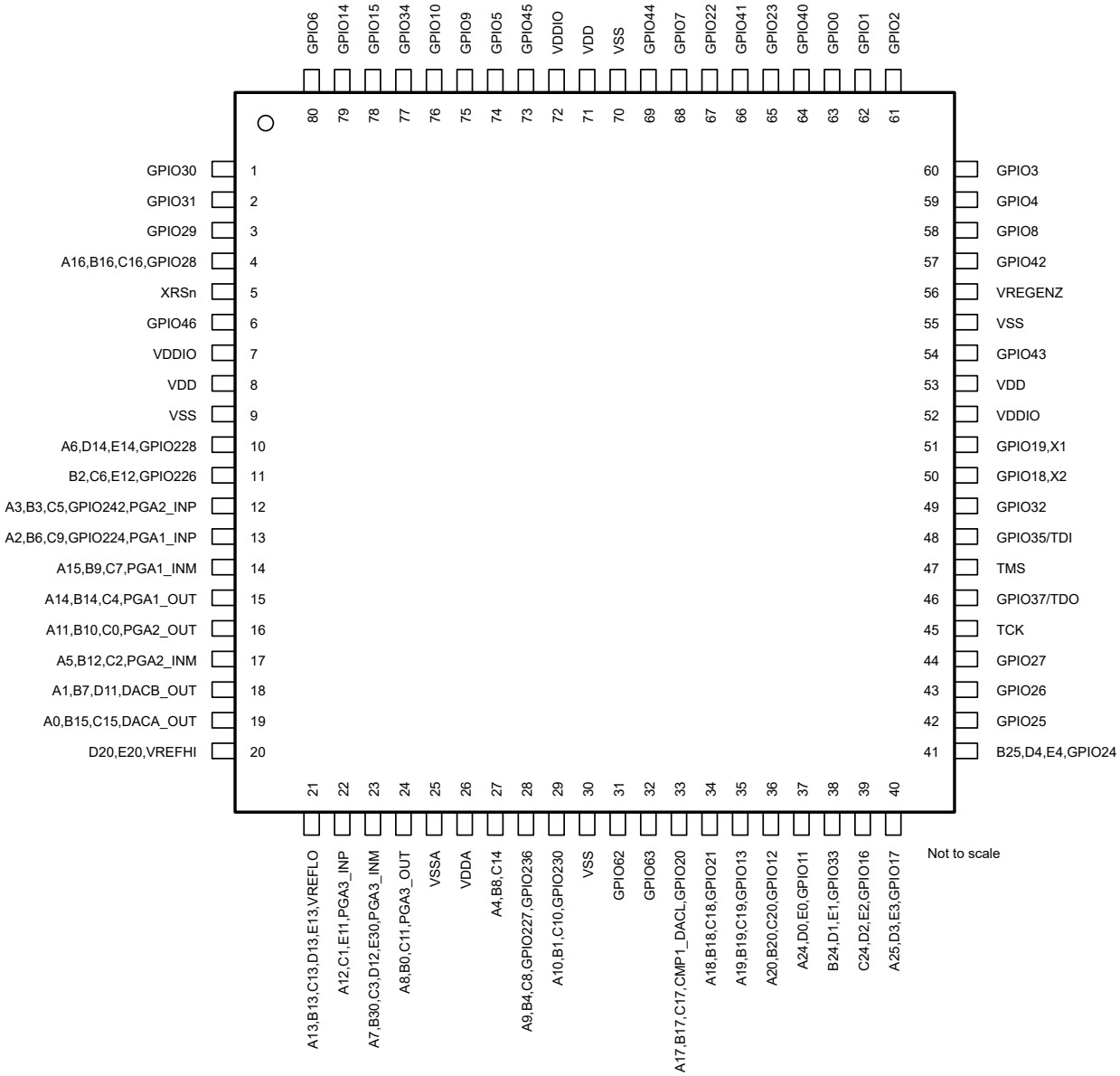
Copyright © 2026 Texas Instruments Incorporated



A. GPIO 引脚上仅显示 GPIO 功能。请参阅 *引脚属性* 表以了解完整的多路复用信号名称。

图 5-2. 80 引脚 PN Thin Quad Flatpack（顶视图）

Copyright © 2026 Texas Instruments Incorporated

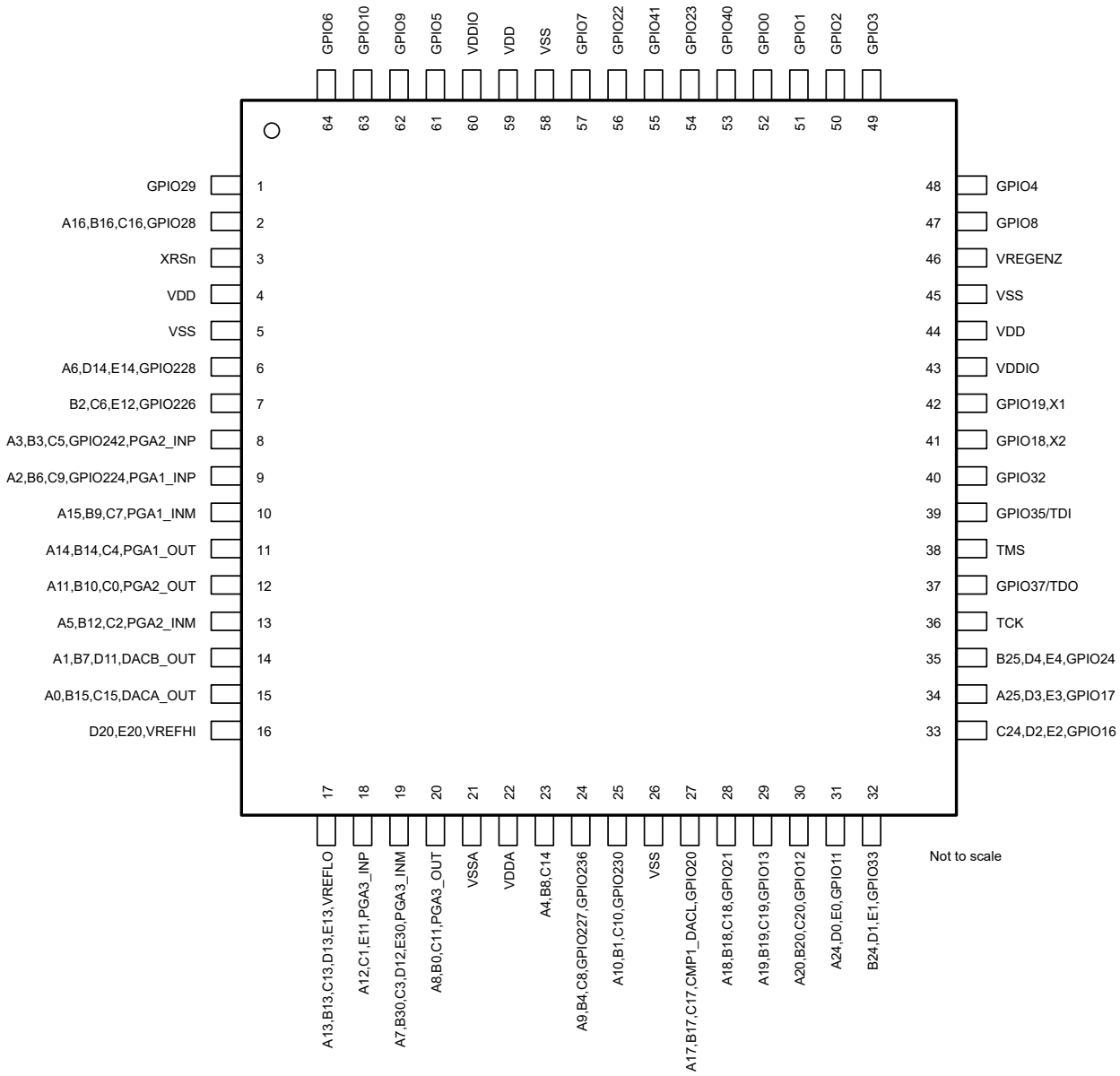


备注

GPIO 引脚上仅显示 GPIO 功能。请参阅*引脚属性*表以了解完整的多路复用信号名称。

图 5-3. 80 引脚 PNA Low-Profile Quad Flatpack (顶视图)

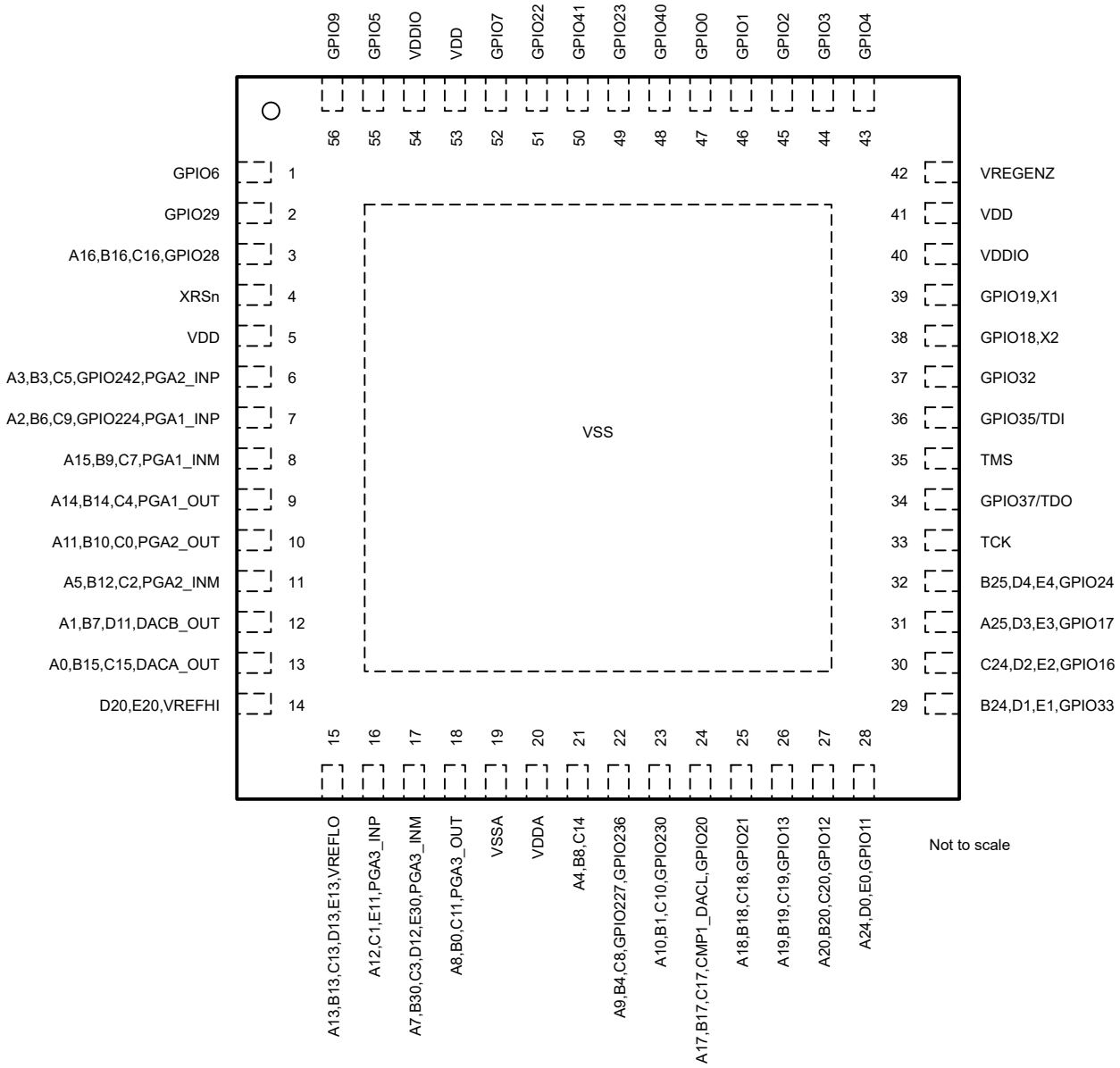
Copyright © 2026 Texas Instruments Incorporated



A. GPIO 引脚上仅显示 GPIO 功能。请参阅 *引脚属性* 表以了解完整的多路复用信号名称。

图 5-4. 64 引脚 PM Low-Profile Quad Flatpack (顶视图)

Copyright © 2026 Texas Instruments Incorporated

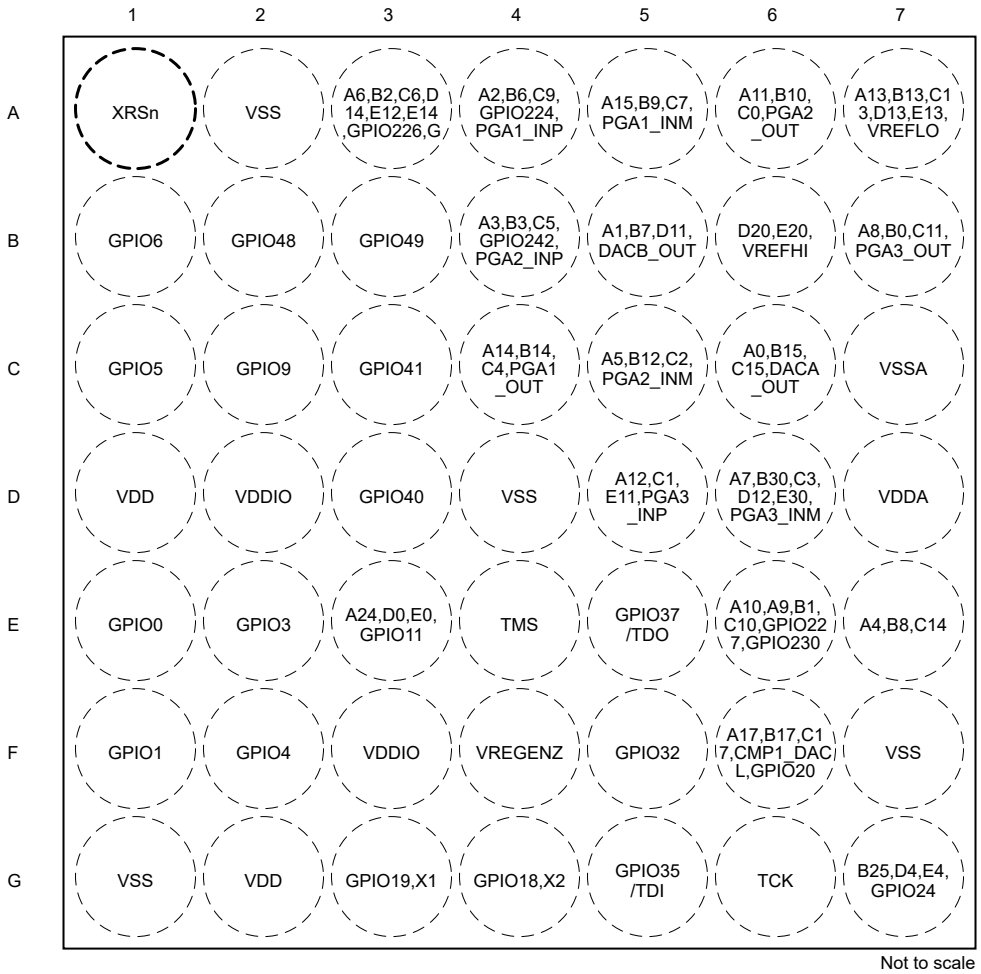


A. GPIO 引脚上仅显示 GPIO 功能。请参阅 *引脚属性* 表以了解完整的多路复用信号名称。

图 5-5. 56 引脚 RSH Very Thin Quad Flatpack No-Lead（顶视图）

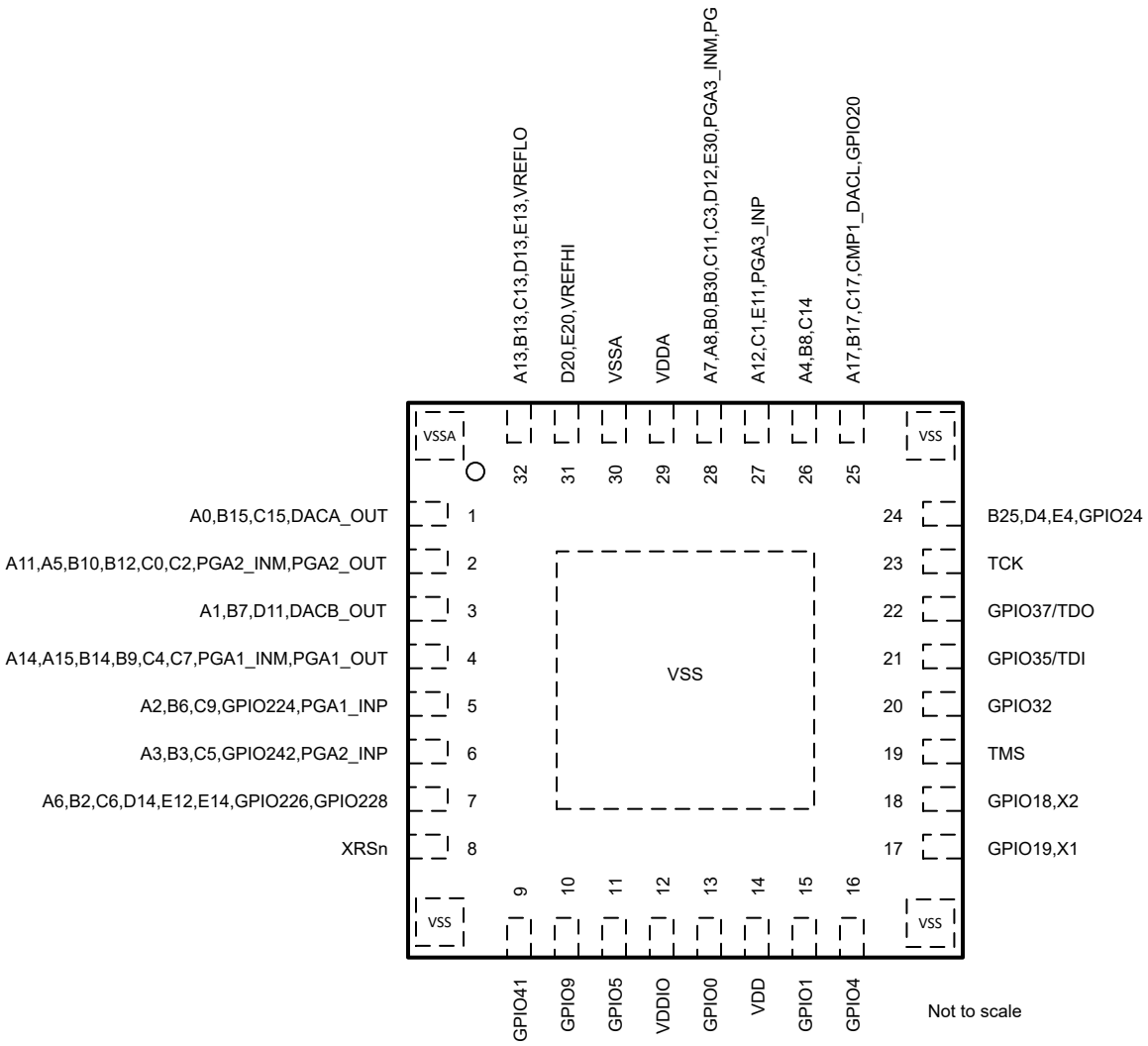
Copyright © 2026 Texas Instruments Incorporated

备注



引脚上仅显示 GPIO 功能。请参阅*引脚属性*表以了解完整的多路复用信号名称。

图 5-6. 49 焊球 YAF 晶圆芯片级封装（顶视图）



备注

GPIO 引脚上仅显示 GPIO 功能。请参阅 *引脚属性* 表以了解完整的多路复用信号名称。

图 5-7. 32 引脚 ZNG 超薄型四方扁平无铅封装（顶视图）

Copyright © 2026 Texas Instruments Incorporated

5.2 引脚属性

表 5-1. 引脚属性

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
模拟										
A0									I	ADC-A 输入 0
B15									I	ADC-B 输入 15
C15									I	ADC-C 输入 15
CMP3_HP2		23	19	19	15	13	C6	1	I	CMPSS-3 高电平比较器正输入 2
CMP3_LP2									I	CMPSS-3 低电平比较器正输入 2
DACA_OUT									O	缓冲 DAC-A 输出。
AIO231	0、4、8、12								I	用于数字输入 231 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A1									I	ADC-A 输入 1
B7									I	ADC-B 输入 7
CMP1_HP4									I	CMPSS-1 高电平比较器正输入 4
CMP1_LP4		22	18	18	14	12	B5	3	I	CMPSS-1 低电平比较器正输入 4
D11									I	ADC-D 输入 11
DACB_OUT									O	缓冲 DAC-B 输出。
AIO232	0、4、8、12								I	用于数字输入 232 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A2									I	ADC-A 输入 2
B6									I	ADC-B 输入 6
C9									I	ADC-C 输入 9
CMP1_HP0		17	13	13	9	7	A4	5	I	CMPSS-1 高电平比较器正输入 0
CMP1_LP0									I	CMPSS-1 低电平比较器正输入 0
GPIO224									I/O	通用输入/输出 224。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
PGA1_INP									I	PGA-1 Plus
A3									I	ADC-A 输入 3
CMP3_HP5		18							I	CMPSS-3 高电平比较器正输入 5
CMP3_LP5									I	CMPSS-3 低电平比较器正输入 5
AIO229	0、4、8、12								I	用于数字输入 229 的模拟引脚
A3									I	ADC-A 输入 3
CMP3_HP5			12	12	8	6	B4	6	I	CMPSS-3 高电平比较器正输入 5
CMP3_LP5									I	CMPSS-3 低电平比较器正输入 5
A4									I	ADC-A 输入 4
B8									I	ADC-B 输入 8
CMP2_HP0		36	27	27	23	21	E7	26	I	CMPSS-2 高电平比较器正输入 0
CMP2_LP0									I	CMPSS-2 低电平比较器正输入 0
AIO225	0、4、8、12								I	用于数字输入 225 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A5									I	ADC-A 输入 5
CMP2_HP5		35							I	CMPSS-2 高电平比较器正输入 5
CMP2_LP5									I	CMPSS-2 低电平比较器正输入 5
AIO249	0、4、8、12								I	用于数字输入 249 的模拟引脚
A5									I	ADC-A 输入 5
CMP2_HP5			17	17	13	11	C5	2	I	CMPSS-2 高电平比较器正输入 5
CMP2_LP5									I	CMPSS-2 低电平比较器正输入 5
A6									I	ADC-A 输入 6
CMP1_HP2									I	CMPSS-1 高电平比较器正输入 2
CMP1_LP2									I	CMPSS-1 低电平比较器正输入 2
D14		14	10	10	6		A3	7	I	ADC-D 输入 14
E14									I	ADC-E 输入 14
GPIO228									I/O	通用输入/输出 228。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
A7									I	ADC-A 输入 7
B30									I	ADC-B 输入 30
C3									I	ADC-C 输入 3
CMP4_HN1									I	CMPSS-4 高电平比较器负输入 1
CMP4_HP1									I	CMPSS-4 高电平比较器正输入 1
CMP4_LN1		31	23	23	19	17	D6	28	I	CMPSS-4 低电平比较器负输入 1
CMP4_LP1									I	CMPSS-4 低电平比较器正输入 1
D12									I	ADC-D 输入 12
E30									I	ADC-E 输入 30
AIO245	0、4、8、12								I	用于数字输入 245 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A8									I	ADC-A 输入 8
CMP4_HP4									I	CMPSS-4 高电平比较器正输入 4
CMP4_LP4		37							I	CMPSS-4 低电平比较器正输入 4
AIO240	0、4、8、12								I	用于数字输入 240 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A8									I	ADC-A 输入 8
B0									I	ADC-B 输入 0
C11									I	ADC-C 输入 11
CMP4_HP4			24	24	20	18	B7	28	I	CMPSS-4 高电平比较器正输入 4
CMP4_LP4									I	CMPSS-4 低电平比较器正输入 4
AIO241	0、4、8、12								I	用于数字输入 241 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A9									I	ADC-A 输入 9
CMP2_HP2									I	CMPSS-2 高电平比较器正输入 2
CMP2_LP2		38	28	28	24	22	E6		I	CMPSS-2 低电平比较器正输入 2
GPIO227									I/O	通用输入/输出 227。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A10									I	ADC-A 输入 10
B1									I	ADC-B 输入 1
C10									I	ADC-C 输入 10
CMP2_HN0									I	CMPSS-2 高电平比较器负输入 0
CMP2_HP3		40	29	29	25	23	E6		I	CMPSS-2 高电平比较器正输入 3
CMP2_LN0									I	CMPSS-2 低电平比较器负输入 0
CMP2_LP3									I	CMPSS-2 低电平比较器正输入 3
GPIO230									I/O	通用输入/输出 230。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A11									I	ADC-A 输入 11
B10									I	ADC-B 输入 10
C0									I	ADC-C 输入 0
CMP1_HN1									I	CMPSS-1 高电平比较器负输入 1
CMP1_HP1		20	16	16	12	10	A6	2	I	CMPSS-1 高电平比较器正输入 1
CMP1_LN1									I	CMPSS-1 低电平比较器负输入 1
CMP1_LP1									I	CMPSS-1 低电平比较器正输入 1
PGA2_OUT									O	PGA-2 输出
AIO237	0、4、8、12								I	用于数字输入 237 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A12									I	ADC-A 输入 12
CMP2_HN1									I	CMPSS-2 高电平比较器负输入 1
CMP2_HP1									I	CMPSS-2 高电平比较器正输入 1
CMP2_LN1		28	22	22	18	16	D5	27	I	CMPSS-2 低电平比较器负输入 1
CMP2_LP1									I	CMPSS-2 低电平比较器正输入 1
AIO238	0、4、8、12								I	用于数字输入 238 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
A13									I	ADC-A 输入 13
B13									I	ADC-B 输入 13
C13									I	ADC-C 输入 13
D13		26	21	21	17	15	A7	32	I	ADC-D 输入 13
E13									I	ADC-E 输入 13
VREFLO									I	ADC 低基准电压
AIO235	0、4、8、12								I	用于数字输入 235 的模拟引脚
A13									I	ADC-A 输入 13
B13									I	ADC-B 输入 13
C13									I	ADC-C 输入 13
D13		26、27	21	21	17	15	A7	32	I	ADC-D 输入 13
E13									I	ADC-E 输入 13
VREFLO									I	ADC 低基准电压
AIO235	ALT								I	用于数字输入 235 的模拟引脚
A14									I	ADC-A 输入 14
B14									I	ADC-B 输入 14
C4									I	ADC-C 输入 4
CMP3_HP4		19	15	15	11	9	C4	4	I	CMPSS-3 高电平比较器正输入 4
CMP3_LP4									I	CMPSS-3 低电平比较器正输入 4
PGA1_OUT									O	PGA-1 输出
AIO239	0、4、8、12								I	用于数字输入 239 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A15									I	ADC-A 输入 15
CMP1_HN0									I	CMPSS-1 高电平比较器负输入 0
CMP1_HP3									I	CMPSS-1 高电平比较器正输入 3
CMP1_LN0			14	14	10	8	A5	4	I	CMPSS-1 低电平比较器负输入 0
CMP1_LP3									I	CMPSS-1 低电平比较器正输入 3
AIO233	0、4、8、12								I	用于数字输入 233 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A16									I	ADC-A 输入 16
B16									I	ADC-B 输入 16
C16		1	4	4	2	3			I	ADC-C 输入 16
GPIO28									I/O	通用输入/输出 28。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A17									I	ADC-A 输入 17
B17									I	ADC-B 输入 17
C17		48	33	33	27	24	F6	25	I	ADC-C 输入 17
CMP1_DACL									I	CMPSS-1 低电平 DAC 输出
GPIO20									I/O	通用输入/输出 20。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A18									I	ADC-A 输入 18
B18									I	ADC-B 输入 18
C18		49	34	34	28	25			I	ADC-C 输入 18
GPIO21									I/O	通用输入/输出 21。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A19									I	ADC-A 输入 19
B19									I	ADC-B 输入 19
C19		50	35	35	29	26			I	ADC-C 输入 19
GPIO13									I/O	通用输入/输出 13。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A20									I	ADC-A 输入 20
B20									I	ADC-B 输入 20
C20		51	36	36	30	27			I	ADC-C 输入 20
GPIO12									I/O	通用输入/输出 12。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
A24									I	ADC-A 输入 24
D0									I	ADC-D 输入 0
E0		52	37	37	31	28	E3		I	ADC-E 输入 0
GPIO11									I/O	通用输入/输出 11。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
A25									I	ADC-A 输入 25
D3									I	ADC-D 输入 3
E3		55	40	40	34	31			I	ADC-E 输入 3
GPIO17									I/O	通用输入/输出 17。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B0									I	ADC-B 输入 0
C11									I	ADC-C 输入 11
CMP2_HP4		41							I	CMPSS-2 高电平比较器正输入 4
CMP2_LP4									I	CMPSS-2 低电平比较器正输入 4
GPIO231									I/O	通用输入/输出 231。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B2									I	ADC-B 输入 2
C6									I	ADC-C 输入 6
CMP3_HP0									I	CMPSS-3 高电平比较器正输入 0
CMP3_LP0		15	11	11	7		A3	7	I	CMPSS-3 低电平比较器正输入 0
E12									I	ADC-E 输入 12
GPIO226									I/O	通用输入/输出 226。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B3									I	ADC-B 输入 3
CMP3_HN0									I	CMPSS-3 高电平比较器负输入 0
CMP3_HP3									I	CMPSS-3 高电平比较器正输入 3
CMP3_LN0		16	12	12	8	6	B4	6	I	CMPSS-3 低电平比较器负输入 0
CMP3_LP3									I	CMPSS-3 低电平比较器正输入 3
GPIO242									I/O	通用输入/输出 242。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
PGA2_INP									I	PGA-2 Plus
B4									I	ADC-B 输入 4
C8									I	ADC-C 输入 8
CMP4_HP0		39	28	28	24	22			I	CMPSS-4 高电平比较器正输入 0
CMP4_LP0									I	CMPSS-4 低电平比较器正输入 0
GPIO236	0、4、8、12								I/O	通用输入/输出 236。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B5									I	ADC-B 输入 5
CMP1_HP5									I	CMPSS-1 高电平比较器正输入 5
CMP1_LP5									I	CMPSS-1 低电平比较器正输入 5
D15		32							I	ADC-D 输入 15
E15									I	ADC-E 输入 15
AIO252	0、4、8、12								I	用于数字输入 252 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B9									I	ADC-B 输入 9
C7		18	14	14	10	8	A5	4	I	ADC-C 输入 7
PGA1_INM									I	PGA-1 Minus
B11									I	ADC-B 输入 11
CMP4_HP5									I	CMPSS-4 高电平比较器正输入 5
CMP4_LP5		30							I	CMPSS-4 低电平比较器正输入 5
D16									I	ADC-D 输入 16
E16									I	ADC-E 输入 16
AIO251	0、4、8、12								I	用于数字输入 251 的模拟引脚

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
B12									I	ADC-B 输入 12
C2									I	ADC-C 输入 2
CMP3_HN1									I	CMPSS-3 高电平比较器负输入 1
CMP3_HP1									I	CMPSS-3 高电平比较器正输入 1
CMP3_LN1		21	17	17	13	11	C5	2	I	CMPSS-3 低电平比较器负输入 1
CMP3_LP1									I	CMPSS-3 低电平比较器正输入 1
PGA2_INM									I	PGA-2 Minus
AIO244	0、4、8、12								I	用于数字输入 244 的模拟引脚。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B24									I	ADC-B 输入 24
D1									I	ADC-D 输入 1
E1		53	38	38	32	29			I	ADC-E 输入 1
GPIO33									I/O	通用输入/输出 33。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
B25									I	ADC-B 输入 25
D4									I	ADC-D 输入 4
E4		56	41	41	35	32	G7	24	I	ADC-E 输入 4
GPIO24									I/O	通用输入/输出 24。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C1									I	ADC-C 输入 1
CMP4_HP2									I	CMPSS-4 高电平比较器正输入 2
CMP4_LP2									I	CMPSS-4 低电平比较器正输入 2
E11		29	22	22	18	16	D5	27	I	ADC-E 输入 11
PGA3_INP									I	PGA-3 Plus
AIO248	0、4、8、12								I	用于数字输入 248 的模拟引脚
C5		28	12	12	8	6	B4	6	I	ADC-C 输入 5
C14									I	ADC-C 输入 14
CMP4_HN0									I	CMPSS-4 高电平比较器负输入 0
CMP4_HP3									I	CMPSS-4 高电平比较器正输入 3
CMP4_LN0		42							I	CMPSS-4 低电平比较器负输入 0
CMP4_LP3									I	CMPSS-4 低电平比较器正输入 3
GPIO247									I/O	通用输入/输出 247。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
C14									I	ADC-C 输入 14
CMP4_HN0									I	CMPSS-4 高电平比较器负输入 0
CMP4_HP3			27	27	23	21	E7	26	I	CMPSS-4 高电平比较器正输入 3
CMP4_LN0									I	CMPSS-4 低电平比较器负输入 0
CMP4_LP3									I	CMPSS-4 低电平比较器正输入 3
C24									I	ADC-C 输入 24
D2									I	ADC-D 输入 2
E2		54	39	39	33	30			I	ADC-E 输入 2
GPIO16									I/O	通用输入/输出 16。该引脚还具有数字多路复用器功能（此表的“GPIO”部分对这些功能进行了介绍）。
D20									I	ADC-D 输入 20
E20									I	ADC-E 输入 20
VREFHI		24	20	20	16	14	B6	31	I	ADC 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2µF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。
AIO234	0、4、8、12								I	用于数字输入 234 的模拟引脚

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
D20		25	20	20	16	14	B6	31	I	ADC-D 输入 20
E20									I	ADC-E 输入 20
VREFHI									I	ADC 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。
AIO234	ALT								I	用于数字输入 234 的模拟引脚
PGA3_INM		30	23	23	19	17	D6	28	I	PGA-3 Minus
PGA3_OUT		32	24	24	20	18	B7	28	O	PGA-3 输出
GPIO										
AIO231	0、4、8、12	23	19	19	15	13	C6	1	I	用于数字输入 231 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C1	2								I	SDFM-1 通道 1 时钟输入
AIO232	0、4、8、12	22	18	18	14	12	B5	3	I	用于数字输入 232 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D4	2								I	SDFM-1 通道 4 数据输入
AIO225	0、4、8、12	36	27	27	23	21	E7	26	I	用于数字输入 225 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C2	2								I	SDFM-2 通道 2 时钟输入
AIO245	0、4、8、12	31	23	23	19	17	D6	28	I	用于数字输入 245 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_C2	2								I	SDFM-1 通道 2 时钟输入
AIO240	0、4、8、12	37							I	用于数字输入 240 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C1	2								I	SDFM-2 通道 1 时钟输入
AIO241	0、4、8、12		24	24	20	18	B7	28	I	用于数字输入 241 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C1	2								I	SDFM-2 通道 1 时钟输入
AIO237	0、4、8、12	20	16	16	12	10	A6	2	I	用于数字输入 237 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D2	2								I	SDFM-1 通道 2 数据输入
AIO238	0、4、8、12	28	22	22	18	16	D5	27	I	用于数字输入 238 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C3	2								I	SDFM-2 通道 3 时钟输入
AIO239	0、4、8、12	19	15	15	11	9	C4	4	I	用于数字输入 239 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D1	2								I	SDFM-1 通道 1 数据输入
AIO233	0、4、8、12		14	14	10	8	A5	4	I	用于数字输入 233 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_D1	2								I	SDFM-2 通道 1 数据输入
GPIO236	0、4、8、12	39	28	28	24	22			I/O	通用输入/输出 236。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM7_A	1								O	ePWM-7 输出 A
EQEP1_INDEX	5								I/O	eQEP-1 索引
EPWM12_A	9								O	ePWM-12 输出 A
AIO252	0、4、8、12	32							I	用于数字输入 252 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD2_C4	2								I	SDFM-2 通道 4 时钟输入
AIO244	0、4、8、12	21	17	17	13	11	C5	2	I	用于数字输入 244 的模拟引脚。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SD1_D3	2								I	SDFM-1 通道 3 数据输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO0	0、4、8、12								I/O	通用输入/输出 0
EPWM1_A	1								O	ePWM-1 输出 A
OUTPUTXBAR7	3								O	输出 X-BAR 输出 7
SCIA_RX	5								I	SCI-A 接收数据
I2CA_SDA	6								I/OD	I2C-A 开漏双向数据
SPIA_PTE	7	79	63	63	52	47	E1	13	I/O	SPI-A 外设发送使能 (PTE)
FSIRXA_CLK	9								I	FSIRX-A 输入时钟
MCANA_RX	10								I	CAN/CAN FD 接收
CLB_OUTPUTXBAR8	11								O	CLB 输出 X-BAR 输出 8
EQEP1_INDEX	13								I/O	eQEP-1 索引
EPWM3_A	15								O	ePWM-3 输出 A
GPIO1	0、4、8、12								I/O	通用输入/输出 1
EPWM1_B	1								O	ePWM-1 输出 B
SCIA_TX	5								O	SCI-A 发送数据
I2CA_SCL	6								I/OD	I2C-A 开漏双向时钟
SPIA_POCI	7	78	62	62	51	46	F1	15	I/O	SPI-A 外设输出控制器输入 (POCI)
EQEP1_STROBE	9								I/O	eQEP-1 选通
MCANA_TX	10								O	CAN/CAN FD 传输
CLB_OUTPUTXBAR7	11								O	CLB 输出 X-BAR 输出 7
EPWM10_B	13								O	ePWM-10 输出 B
EPWM3_B	15								O	ePWM-3 输出 B
GPIO2	0、4、8、12								I/O	通用输入/输出 2
EPWM2_A	1								O	ePWM-2 输出 A
OUTPUTXBAR1	5								O	输出 X-BAR 输出 1
PMBUSA_SDA	6								I/OD	PMBus-A 开漏双向数据
SPIA_PICO	7	77	61	61	50	45			I/O	SPI-A 外设输入控制器输出 (PICO)
SCIA_TX	9								O	SCI-A 发送数据
FSIRXA_D1	10								I	FSIRX-A 可选附加数据输入
I2CB_SDA	11								I/OD	I2C-B 开漏双向数据
EPWM10_A	13								O	ePWM-10 输出 A
EPWM4_A	15								O	ePWM-4 输出 A
GPIO3	0、4、8、12								I/O	通用输入/输出 3
EPWM2_B	1								O	ePWM-2 输出 B
OUTPUTXBAR2	2、5								O	输出 X-BAR 输出 2
PMBUSA_SCL	6								I/OD	PMBus-A 开漏双向时钟
SPIA_CLK	7	76	60	60	49	44	E2		I/O	SPI-A 时钟
SCIA_RX	9								I	SCI-A 接收数据
FSIRXA_D0	10								I	FSIRX-A 主数据输入
I2CB_SCL	11								I/OD	I2C-B 开漏双向时钟
EPWM4_B	15								O	ePWM-4 输出 B
GPIO4	0、4、8、12								I/O	通用输入/输出 4
EPWM3_A	1								O	ePWM-3 输出 A
I2CA_SCL	2								I/OD	I2C-A 开漏双向时钟
MCANA_TX	3								O	CAN/CAN FD 传输
OUTPUTXBAR3	5								O	输出 X-BAR 输出 3
SPIB_CLK	7	75	59	59	48	43	F2	16	I/O	SPI-B 时钟
EQEP2_STROBE	9								I/O	eQEP-2 选通
FSIRXA_CLK	10								I	FSIRX-A 输入时钟
CLB_OUTPUTXBAR6	11								O	CLB 输出 X-BAR 输出 6
EPWM11_B	13								O	ePWM-11 输出 B
SPIA_POCI	14								I/O	SPI-A 外设输出控制器输入 (POCI)
EPWM1_A	15								O	ePWM-1 输出 A

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO5	0、4、8、12	89	74	74	61	55	C1	11	I/O	通用输入/输出 5
EPWM3_B	1								O	ePWM-3 输出 B
I2CA_SDA	2								I/OD	I2C-A 开漏双向数据
OUTPUTXBAR3	3								O	输出 X-BAR 输出 3
MCANA_RX	5								I	CAN/CAN FD 接收
SPIA_PTE	7								I/O	SPI-A 外设发送使能 (PTE)
FSITXA_D1	9								O	FSITX-A 可选附加数据输出
CLB_OUTPUTXBAR5	10								O	CLB 输出 X-BAR 输出 5
SCIA_RX	11								I	SCI-A 接收数据
EPWM1_B	15								O	ePWM-1 输出 B
GPIO6	0、4、8、12	97	80	80	64	1	B1		I/O	通用输入/输出 6
EPWM4_A	1								O	ePWM-4 输出 A
OUTPUTXBAR4	2								O	输出 X-BAR 输出 4
SYNCOUT	3								O	外部 ePWM 同步脉冲
EQEP1_A	5								I	eQEP-1 输入 A
SPIB_POCI	7								I/O	SPI-B 外设输出控制器输入 (POCI)
FSITXA_D0	9								O	FSITX-A 主数据输出
FSITXA_D1	11								O	FSITX-A 可选附加数据输出
CLB_OUTPUTXBAR8	14								O	CLB 输出 X-BAR 输出 8
EPWM2_A	15								O	ePWM-2 输出 A
GPIO7	0、4、8、12	84	68	68	57	52			I/O	通用输入/输出 7
EPWM4_B	1								O	ePWM-4 输出 B
EPWM2_A	2								O	ePWM-2 输出 A
OUTPUTXBAR5	3								O	输出 X-BAR 输出 5
EQEP1_B	5								I	eQEP-1 输入 B
SPIB_PICO	7								I/O	SPI-B 外设输入控制器输出 (PICO)
FSITXA_CLK	9								O	FSITX-A 输出时钟
CLB_OUTPUTXBAR2	10								O	CLB 输出 X-BAR 输出 2
SCIA_TX	11								O	SCI-A 发送数据
MCANA_TX	14								O	CAN/CAN FD 传输
EPWM2_B	15								O	ePWM-2 输出 B
GPIO8	0、4、8、12	74	58	58	47				I/O	通用输入/输出 8
EPWM5_A	1								O	ePWM-5 输出 A
ADCSOCAO	3								O	外部 ADC 的 ADC 转换启动 A
EQEP1_STROBE	5								I/O	eQEP-1 选通
SCIA_TX	6								O	SCI-A 发送数据
SPIA_PICO	7								I/O	SPI-A 外设输入控制器输出 (PICO)
I2CA_SCL	9								I/OD	I2C-A 开漏双向时钟
FSITXA_D1	10								O	FSITX-A 可选附加数据输出
CLB_OUTPUTXBAR5	11								O	CLB 输出 X-BAR 输出 5
EPWM11_A	13								O	ePWM-11 输出 A

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO9	0、4、8、12								I/O	通用输入/输出 9
EPWM5_B	1								O	ePWM-5 输出 B
SCIB_TX	2								O	SCI-B 发送数据
OUTPUTXBAR6	3								O	输出 X-BAR 输出 6
EQEP1_INDEX	5								I/O	eQEP-1 索引
SCIA_RX	6								I	SCI-A 接收数据
SPIA_CLK	7	90	75	75	62	56	C2	10	I/O	SPI-A 时钟
I2CA_SCL	9								I/OD	I2C-A 开漏双向时钟
FSITXA_D0	10								O	FSITX-A 主数据输出
LINA_RX	11								I	LIN-A 接收
PMBUSA_SCL	13								I/OD	PMBus-A 开漏双向时钟
I2CB_SCL	14								I/OD	I2C-B 开漏双向时钟
EQEP3_B	15								I	eQEP-3 输入 B
GPIO10	0、4、8、12								I/O	通用输入/输出 10
EPWM6_A	1								O	ePWM-6 输出 A
ADCSOCBO	3								O	外部 ADC 的 ADC 转换启动 B
EQEP1_A	5								I	eQEP-1 输入 A
SCIB_TX	6								O	SCI-B 发送数据
SPIA_POCI	7	93	76	76	63				I/O	SPI-A 外设输出控制器输入 (POCI)
I2CA_SDA	9								I/OD	I2C-A 开漏双向数据
FSITXA_CLK	10								O	FSITX-A 输出时钟
LINA_TX	11								O	LIN-A 发送
EQEP3_STROBE	13								I/O	eQEP-3 选通
CLB_OUTPUTXBAR4	15								O	CLB 输出 X-BAR 输出 4
GPIO11	0、4、8、12								I/O	通用输入/输出 11。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM6_B	1								O	ePWM-6 输出 B
MCANA_RX	2								I	CAN/CAN FD 接收
OUTPUTXBAR7	3								O	输出 X-BAR 输出 7
EQEP1_B	5								I	eQEP-1 输入 B
SCIB_RX	6	52	37	37	31	28	E3		I	SCI-B 接收数据
SPIA_PTE	7								I/O	SPI-A 外设发送使能 (PTE)
FSIRXA_D1	9								I	FSIRX-A 可选附加数据输入
LINA_RX	10								I	LIN-A 接收
EQEP2_A	11								I	eQEP-2 输入 A
SPIA_PICO	13								I/O	SPI-A 外设输入控制器输出 (PICO)
EQEP3_INDEX	15								I/O	eQEP-3 索引
GPIO12	0、4、8、12								I/O	通用输入/输出 12。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM7_A	1								O	ePWM-7 输出 A
MCANA_RX	3								I	CAN/CAN FD 接收
EQEP1_STROBE	5								I/O	eQEP-1 选通
SCIB_TX	6	51	36	36	30	27			O	SCI-B 发送数据
PMBUSA_CTL	7								I/O	PMBus-A 控制信号 - 目标输入/控制器输出
FSIRXA_D0	9								I	FSIRX-A 主数据输入
LINA_TX	10								O	LIN-A 发送
SPIA_CLK	11								I/O	SPI-A 时钟

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO13	0、4、8、12								I/O	通用输入/输出 13。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM7_B	1								O	ePWM-7 输出 B
MCANA_TX	3								O	CAN/CAN FD 传输
EQEP1_INDEX	5								I/O	eQEP-1 索引
SCIB_RX	6	50	35	35	29	26			I	SCI-B 接收数据
PMBUSA_ALERT	7								I/OD	PMBus-A 开漏双向警报信号
FSIRXA_CLK	9								I	FSIRX-A 输入时钟
LINA_RX	10								I	LIN-A 接收
SPIA_POCI	11								I/O	SPI-A 外设输出控制器输入 (POCI)
GPIO14	0、4、8、12								I/O	通用输入/输出 14
EPWM8_A	1								O	ePWM-8 输出 A
SCIB_TX	2								O	SCI-B 发送数据
I2CB_SDA	5								I/OD	I2C-B 开漏双向数据
OUTPUTXBAR3	6								O	输出 X-BAR 输出 3
PMBUSA_SDA	7	96	79	79					I/OD	PMBus-A 开漏双向数据
SPIB_CLK	9								I/O	SPI-B 时钟
EQEP2_A	10								I	eQEP-2 输入 A
LINA_TX	11								O	LIN-A 发送
EPWM3_A	13								O	ePWM-3 输出 A
CLB_OUTPUTXBAR7	14								O	CLB 输出 X-BAR 输出 7
GPIO15	0、4、8、12								I/O	通用输入/输出 15
EPWM8_B	1								O	ePWM-8 输出 B
SCIB_RX	2								I	SCI-B 接收数据
I2CB_SCL	5								I/OD	I2C-B 开漏双向时钟
OUTPUTXBAR4	6								O	输出 X-BAR 输出 4
PMBUSA_SCL	7	95	78	78					I/OD	PMBus-A 开漏双向时钟
SPIB_PTE	9								I/O	SPI-B 外设发送使能 (PTE)
EQEP2_B	10								I	eQEP-2 输入 B
LINA_RX	11								I	LIN-A 接收
EPWM3_B	13								O	ePWM-3 输出 B
CLB_OUTPUTXBAR6	14								O	CLB 输出 X-BAR 输出 6
GPIO16	0、4、8、12								I/O	通用输入/输出 16。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIA_PICO	1								I/O	SPI-A 外设输入控制器输出 (PICO)
OUTPUTXBAR7	3								O	输出 X-BAR 输出 7
EPWM9_A	5								O	ePWM-9 输出 A
SCIA_TX	6								O	SCI-A 发送数据
SD1_D1	7	54	39	39	33	30			I	SDFM-1 通道 1 数据输入
EQEP1_STROBE	9								I/O	eQEP-1 选通
PMBUSA_SCL	10								I/OD	PMBus-A 开漏双向时钟
XCLKOUT	11								O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
EQEP2_B	13								I	eQEP-2 输入 B
SPIB_POCI	14								I/O	SPI-B 外设输出控制器输入 (POCI)
EQEP3_STROBE	15								I/O	eQEP-3 选通

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO17	0、4、8、12								I/O	通用输入/输出 17。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SPIA_POCI	1								I/O	SPI-A 外设输出控制器输入 (POCI)
OUTPUTXBAR8	3								O	输出 X-BAR 输出 8
EPWM9_B	5								O	ePWM-9 输出 B
SCIA_RX	6	55	40	40	34	31			I	SCI-A 接收数据
SD1_C1	7								I	SDFM-1 通道 1 时钟输入
EQEP1_INDEX	9								I/O	eQEP-1 索引
PMBUSA_SDA	10								I/OD	PMBus-A 开漏双向数据
MCANA_TX	11								O	CAN/CAN FD 传输
EPWM6_A	14								O	ePWM-6 输出 A
GPIO18	0、4、8、12								I/O	通用输入/输出 18
SPIA_CLK	1								I/O	SPI-A 时钟
SCIB_TX	2								O	SCI-B 发送数据
EPWM6_A	5								O	ePWM-6 输出 A
I2CA_SCL	6								I/OD	I2C-A 开漏双向时钟
SD1_D2	7	68	50	50	41	38	G4	18	I	SDFM-1 通道 2 数据输入
EQEP2_A	9								I	eQEP-2 输入 A
PMBUSA_CTL	10								I/O	PMBus-A 控制信号 - 目标输入/控制器输出
XCLKOUT	11								O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
LINA_TX	13								O	LIN-A 发送
EQEP3_INDEX	15								I/O	eQEP-3 索引
X2	ALT								I/O	晶体振荡器输出。
GPIO19	0、4、8、12								I/O	通用输入/输出 19
SPIA_PTE	1								I/O	SPI-A 外设发送使能 (PTE)
SCIB_RX	2								I	SCI-B 接收数据
EPWM6_B	5								O	ePWM-6 输出 B
I2CA_SDA	6								I/OD	I2C-A 开漏双向数据
SD1_C2	7								I	SDFM-1 通道 2 时钟输入
EQEP2_B	9	69	51	51	42	39	G3	17	I	eQEP-2 输入 B
PMBUSA_ALERT	10								I/OD	PMBus-A 开漏双向警报信号
CLB_OUTPUTXBAR1	11								O	CLB 输出 X-BAR 输出 1
LINA_RX	13								I	LIN-A 接收
X1	ALT								I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
GPIO20	0、4、8、12								I/O	通用输入/输出 20。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EQEP1_A	1								I	eQEP-1 输入 A
EPWM12_A	5								O	ePWM-12 输出 A
SPIB_PICO	6								I/O	SPI-B 外设输入控制器输出 (PICO)
SD1_D3	7	48	33	33	27	24	F6	25	I	SDFM-1 通道 3 数据输入
MCANA_TX	9								O	CAN/CAN FD 传输
ADCE_EXTMUXSEL0	10								O	位置 0 的 ADCE 外部多路复用器选择引脚
I2CA_SCL	11								I/OD	I2C-A 开漏双向时钟
SCIC_TX	15								O	SCI-C 发送数据

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO21	0、4、8、12								I/O	通用输入/输出 21。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EQEP1_B	1								I	eQEP-1 输入 B
EPWM12_B	5								O	ePWM-12 输出 B
SPIB_POCI	6								I/O	SPI-B 外设输出控制器输入 (POCI)
SD1_C3	7	49	34	34	28	25			I	SDFM-1 通道 3 时钟输入
MCANA_RX	9								I	CAN/CAN FD 接收
ADCE_EXTMUXSEL1	10								O	位置 1 的 ADCE 外部多路复用器选择引脚
I2CA_SDA	11								I/OD	I2C-A 开漏双向数据
SCIC_RX	15								I	SCI-C 接收数据
GPIO22	0、4、8、12								I/O	通用输入/输出 22
EQEP1_STROBE	1								I/O	eQEP-1 选通
SCIB_TX	3								O	SCI-B 发送数据
SPIB_CLK	6								I/O	SPI-B 时钟
SD1_D4	7	83	67	67	56	51			I	SDFM-1 通道 4 数据输入
LINA_TX	9、11								O	LIN-A 发送
CLB_OUTPUTXBAR1	10								O	CLB 输出 X-BAR 输出 1
EPWM4_A	14								O	ePWM-4 输出 A
EQEP3_A	15								I	eQEP-3 输入 A
GPIO23	0、4、8、12								I/O	通用输入/输出 23
EQEP1_INDEX	1								I/O	eQEP-1 索引
SCIB_RX	3								I	SCI-B 接收数据
SPIB_PTE	6								I/O	SPI-B 外设发送使能 (PTE)
SD1_C4	7	81	65	65	54	49			I	SDFM-1 通道 4 时钟输入
LINA_RX	9、11								I	LIN-A 接收
CLB_OUTPUTXBAR3	10								O	CLB 输出 X-BAR 输出 3
EPWM12_A	13								O	ePWM-12 输出 A
EPWM4_B	14								O	ePWM-4 输出 B
GPIO24	0、4、8、12								I/O	通用输入/输出 24。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
OUTPUTXBAR1	1								O	输出 X-BAR 输出 1
EQEP2_A	2								I	eQEP-2 输入 A
SPIA_PTE	3								I/O	SPI-A 外设发送使能 (PTE)
EPWM8_A	5								O	ePWM-8 输出 A
SPIB_PICO	6	56	41	41	35	32	G7	24	I/O	SPI-B 外设输入控制器输出 (PICO)
SD2_D1	7								I	SDFM-2 通道 1 数据输入
LINA_TX	9								O	LIN-A 发送
PMBUSA_SCL	10								I/OD	PMBus-A 开漏双向时钟
SCIA_TX	11								O	SCI-A 发送数据
ERRORSTS	13								O	错误状态输出。该信号需要一个外部下拉电阻。
EPWM9_A	14								O	ePWM-9 输出 A
GPIO25	0、4、8、12								I/O	通用输入/输出 25
OUTPUTXBAR2	1								O	输出 X-BAR 输出 2
EQEP2_B	2								I	eQEP-2 输入 B
EQEP1_A	5								I	eQEP-1 输入 A
SPIB_POCI	6	57	42	42					I/O	SPI-B 外设输出控制器输入 (POCI)
SD2_C1	7								I	SDFM-2 通道 1 时钟输入
FSITXA_D1	9								O	FSITX-A 可选附加数据输出
PMBUSA_SDA	10								I/OD	PMBus-A 开漏双向数据
SCIA_RX	11								I	SCI-A 接收数据
EQEP3_A	13								I	eQEP-3 输入 A

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO26	0、4、8、12								I/O	通用输入/输出 26
OUTPUTXBAR3	1、5								O	输出 X-BAR 输出 3
EQEP2_INDEX	2								I/O	eQEP-2 索引
SPIB_CLK	6								I/O	SPI-B 时钟
SD2_D2	7	58	43	43					I	SDFM-2 通道 2 数据输入
FSITXA_D0	9								O	FSITX-A 主数据输出
PMBUSA_CTL	10								I/O	PMBus-A 控制信号 - 目标输入/控制器输出
I2CA_SDA	11								I/OD	I2C-A 开漏双向数据
EQEP3_B	13								I	eQEP-3 输入 B
GPIO27	0、4、8、12								I/O	通用输入/输出 27
OUTPUTXBAR4	1、5								O	输出 X-BAR 输出 4
EQEP2_STROBE	2								I/O	eQEP-2 选通
SPIB_PTE	6								I/O	SPI-B 外设发送使能 (PTE)
SD2_C2	7	59	44	44					I	SDFM-2 通道 2 时钟输入
FSITXA_CLK	9								O	FSITX-A 输出时钟
PMBUSA_ALERT	10								I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	11								I/OD	I2C-A 开漏双向时钟
EQEP3_STROBE	13								I/O	eQEP-3 选通
GPIO28	0、4、8、12								I/O	通用输入/输出 28。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
SCIA_RX	1								I	SCI-A 接收数据
EPWM7_A	3								O	ePWM-7 输出 A
OUTPUTXBAR5	5								O	输出 X-BAR 输出 5
EQEP1_A	6								I	eQEP-1 输入 A
SD2_D3	7	1	4	4	2	3			I	SDFM-2 通道 3 数据输入
EQEP2_STROBE	9								I/O	eQEP-2 选通
LINA_TX	10								O	LIN-A 发送
SPIB_CLK	11								I/O	SPI-B 时钟
ERRORSTS	13								O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SDA	14								I/OD	I2C-B 开漏双向数据
GPIO29	0、4、8、12								I/O	通用输入/输出 29
SCIA_TX	1								O	SCI-A 发送数据
EPWM7_B	3								O	ePWM-7 输出 B
OUTPUTXBAR6	5								O	输出 X-BAR 输出 6
EQEP1_B	6								I	eQEP-1 输入 B
SD2_C3	7								I	SDFM-2 通道 3 时钟输入
EQEP2_INDEX	9	100	3	3	1	2			I/O	eQEP-2 索引
LINA_RX	10								I	LIN-A 接收
SPIB_PTE	11								I/O	SPI-B 外设发送使能 (PTE)
ERRORSTS	13								O	错误状态输出。该信号需要一个外部下拉电阻。
I2CB_SCL	14								I/OD	I2C-B 开漏双向时钟
AUXCLKIN	ALT								I	辅助时钟输入
GPIO30	0、4、8、12								I/O	通用输入/输出 30
SPIB_PICO	3								I/O	SPI-B 外设输入控制器输出 (PICO)
OUTPUTXBAR7	5								O	输出 X-BAR 输出 7
EQEP1_STROBE	6								I/O	eQEP-1 选通
SD2_D4	7	98	1	1					I	SDFM-2 通道 4 数据输入
FSIRXA_CLK	9								I	FSIRX-A 输入时钟
MCANA_RX	10								I	CAN/CAN FD 接收
EPWM1_A	11								O	ePWM-1 输出 A
EQEP3_INDEX	13								I/O	eQEP-3 索引

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO31	0、4、8、12	99	2	2					I/O	通用输入/输出 31
SPIB_POCI	3								I/O	SPI-B 外设输出控制器输入 (POCI)
OUTPUTXBAR8	5								O	输出 X-BAR 输出 8
EQEP1_INDEX	6								I/O	eQEP-1 索引
SD2_C4	7								I	SDFM-2 通道 4 时钟输入
FSIRXA_D1	9								I	FSIRX-A 可选附加数据输入
MCANA_TX	10								O	CAN/CAN FD 传输
EPWM1_B	11								O	ePWM-1 输出 B
GPIO32	0、4、8、12	64	49	49	40	37	F5	20	I/O	通用输入/输出 32
I2CA_SDA	1								I/OD	I2C-A 开漏双向数据
EQEP1_INDEX	2								I/O	eQEP-1 索引
SPIB_CLK	3								I/O	SPI-B 时钟
EPWM8_B	5								O	ePWM-8 输出 B
LINA_TX	6								O	LIN-A 发送
SD1_D2	7								I	SDFM-1 通道 2 数据输入
FSIRXA_D0	9								I	FSIRX-A 主数据输入
PMBUSA_SDA	11								I/OD	PMBus-A 开漏双向数据
ADCSOCBO	13								O	外部 ADC 的 ADC 转换启动 B
GPIO33	0、4、8、12	53	38	38	32	29			I/O	通用输入/输出 33。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
I2CA_SCL	1								I/OD	I2C-A 开漏双向时钟
SPIB_PTE	3								I/O	SPI-B 外设发送使能 (PTE)
OUTPUTXBAR4	5								O	输出 X-BAR 输出 4
LINA_RX	6								I	LIN-A 接收
SD1_C2	7								I	SDFM-1 通道 2 时钟输入
FSIRXA_CLK	9								I	FSIRX-A 输入时钟
EQEP2_B	11								I	eQEP-2 输入 B
ADCSOCAO	13								O	外部 ADC 的 ADC 转换启动 A
SD1_C1	14								I	SDFM-1 通道 1 时钟输入
SCIC_RX	15								I	SCI-C 接收数据
GPIO34	0、4、8、12	94	77	77					I/O	通用输入/输出 34
OUTPUTXBAR1	1								O	输出 X-BAR 输出 1
PMBUSA_SDA	6								I/OD	PMBus-A 开漏双向数据
I2CB_SDA	14								I/OD	I2C-B 开漏双向数据
GPIO35	0、4、8、12	63	48	48	39	36	G5	21	I/O	通用输入/输出 35
SCIA_RX	1								I	SCI-A 接收数据
SPIA_POCI	2								I/O	SPI-A 外设输出控制器输入 (POCI)
I2CA_SDA	3								I/OD	I2C-A 开漏双向数据
PMBUSA_SCL	6								I/OD	PMBus-A 开漏双向时钟
LINA_RX	7								I	LIN-A 接收
EQEP1_A	9								I	eQEP-1 输入 A
PMBUSA_CTL	10								I/O	PMBus-A 控制信号 - 目标输入/控制器输出
EPWM5_B	11								O	ePWM-5 输出 B
SD2_C1	13								I	SDFM-2 通道 1 时钟输入
TDI	15								I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO37	0、4、8、12								I/O	通用输入/输出 37
OUTPUTXBAR2	1								O	输出 X-BAR 输出 2
SPIA_PTE	2								I/O	SPI-A 外设发送使能 (PTE)
I2CA_SCL	3								I/OD	I2C-A 开漏双向时钟
SCIA_TX	5								O	SCI-A 发送数据
LINA_TX	7								O	LIN-A 发送
EQEP1_B	9	61	46	46	37	34	E5	22	I	eQEP-1 输入 B
PMBUSA_ALERT	10								I/OD	PMBus-A 开漏双向警报信号
EPWM5_A	11								O	ePWM-5 输出 A
TDO	15								O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。
GPIO39	0、4、8、12								I/O	通用输入/输出 39
MCANA_RX	6								I	CAN/CAN FD 接收
FSIRXA_CLK	7								I	FSIRX-A 输入时钟
EQEP2_INDEX	9			56					I/O	eQEP-2 索引
CLB_OUTPUTXBAR2	11								O	CLB 输出 X-BAR 输出 2
SYNCOUT	13								O	外部 ePWM 同步脉冲
EQEP1_INDEX	14								I/O	eQEP-1 索引
GPIO40	0、4、8、12								I/O	通用输入/输出 40
SPIB_PICO	1								I/O	SPI-B 外设输入控制器输出 (PICO)
EPWM2_B	5								O	ePWM-2 输出 B
PMBUSA_SDA	6								I/OD	PMBus-A 开漏双向数据
FSIRXA_D0	7								I	FSIRX-A 主数据输入
SCIB_TX	9	80	64	64	53	48	D3		O	SCI-B 发送数据
EQEP1_A	10								I	eQEP-1 输入 A
LINA_TX	11								O	LIN-A 发送
CLB_OUTPUTXBAR4	14								O	CLB 输出 X-BAR 输出 4
EQEP3_STROBE	15								I/O	eQEP-3 选通
GPIO41	0、4、8、12								I/O	通用输入/输出 41
EPWM7_A	1								O	ePWM-7 输出 A
EPWM2_A	5								O	ePWM-2 输出 A
PMBUSA_SCL	6								I/OD	PMBus-A 开漏双向时钟
FSIRXA_D1	7								I	FSIRX-A 可选附加数据输入
SCIB_RX	9	82	66	66	55	50	C3	9	I	SCI-B 接收数据
EQEP1_B	10								I	eQEP-1 输入 B
LINA_RX	11								I	LIN-A 接收
EPWM12_B	13								O	ePWM-12 输出 B
SPIB_POCI	14								I/O	SPI-B 外设输出控制器输入 (POCI)
GPIO42	0、4、8、12								I/O	通用输入/输出 42
LINA_RX	2								I	LIN-A 接收
OUTPUTXBAR5	3								O	输出 X-BAR 输出 5
PMBUSA_CTL	5								I/O	PMBus-A 控制信号 - 目标输入/控制器输出
I2CA_SDA	6		57	57					I/OD	I2C-A 开漏双向数据
SCIC_RX	7								I	SCI-C 接收数据
EQEP1_STROBE	10								I/O	eQEP-1 选通
CLB_OUTPUTXBAR3	11								O	CLB 输出 X-BAR 输出 3

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO43	0、4、8、12								I/O	通用输入/输出 43
OUTPUTXBAR6	3								O	输出 X-BAR 输出 6
PMBUSA_ALERT	5、9								I/OD	PMBus-A 开漏双向警报信号
I2CA_SCL	6		54	54					I/OD	I2C-A 开漏双向时钟
SCIC_TX	7								O	SCI-C 发送数据
EQEP1_INDEX	10								I/O	eQEP-1 索引
CLB_OUTPUTXBAR4	11								O	CLB 输出 X-BAR 输出 4
SD2_D3	13								I	SDFM-2 通道 3 数据输入
GPIO44	0、4、8、12								I/O	通用输入/输出 44
OUTPUTXBAR7	3								O	输出 X-BAR 输出 7
EQEP1_A	5								I	eQEP-1 输入 A
PMBUSA_SDA	6								I/OD	PMBus-A 开漏双向数据
FSITXA_CLK	7	85	69	69					O	FSITX-A 输出时钟
PMBUSA_CTL	9								I/O	PMBus-A 控制信号 - 目标输入/控制器输出
CLB_OUTPUTXBAR3	10								O	CLB 输出 X-BAR 输出 3
FSIRXA_D0	11								I	FSIRX-A 主数据输入
LINA_TX	14								O	LIN-A 发送
GPIO45	0、4、8、12								I/O	通用输入/输出 45
OUTPUTXBAR8	3								O	输出 X-BAR 输出 8
FSITXA_D0	7		73	73					O	FSITX-A 主数据输出
PMBUSA_ALERT	9								I/OD	PMBus-A 开漏双向警报信号
CLB_OUTPUTXBAR4	10								O	CLB 输出 X-BAR 输出 4
SD2_C3	13								I	SDFM-2 通道 3 时钟输入
GPIO46	0、4、8、12								I/O	通用输入/输出 46
LINA_TX	3								O	LIN-A 发送
MCANA_TX	5		6	6					O	CAN/CAN FD 传输
FSITXA_D1	7								O	FSITX-A 可选附加数据输出
PMBUSA_SDA	9								I/OD	PMBus-A 开漏双向数据
SD2_C4	13								I	SDFM-2 通道 4 时钟输入
GPIO47	0、4、8、12								I/O	通用输入/输出 47
LINA_RX	3								I	LIN-A 接收
MCANA_RX	5	6							I	CAN/CAN FD 接收
CLB_OUTPUTXBAR2	7								O	CLB 输出 X-BAR 输出 2
PMBUSA_SCL	9								I/OD	PMBus-A 开漏双向时钟
SD2_D4	13								I	SDFM-2 通道 4 数据输入
GPIO48	0、4、8、12								I/O	通用输入/输出 48
OUTPUTXBAR3	1								O	输出 X-BAR 输出 3
MCANA_TX	5	7					B2		O	CAN/CAN FD 传输
SCIA_TX	6								O	SCI-A 发送数据
SD1_D1	7								I	SDFM-1 通道 1 数据输入
PMBUSA_SDA	9								I/OD	PMBus-A 开漏双向数据
GPIO49	0、4、8、12								I/O	通用输入/输出 49
OUTPUTXBAR4	1								O	输出 X-BAR 输出 4
MCANA_RX	5								I	CAN/CAN FD 接收
SCIA_RX	6	8					B3		I	SCI-A 接收数据
SD1_C1	7								I	SDFM-1 通道 1 时钟输入
LINA_RX	9								I	LIN-A 接收
SD2_D1	13								I	SDFM-2 通道 1 数据输入
FSITXA_D0	14								O	FSITX-A 主数据输出

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO50	0、4、8、12	9							I/O	通用输入/输出 50
EQEP1_A	1								I	eQEP-1 输入 A
MCANA_TX	5								O	CAN/CAN FD 传输
SPIB_PICO	6								I/O	SPI-B 外设输入控制器输出 (PICO)
SD1_D2	7								I	SDFM-1 通道 2 数据输入
I2CB_SDA	9								I/OD	I2C-B 开漏双向数据
SD2_D2	13								I	SDFM-2 通道 2 数据输入
FSITXA_D1	14								O	FSITX-A 可选附加数据输出
GPIO51	0、4、8、12	10							I/O	通用输入/输出 51
EQEP1_B	1								I	eQEP-1 输入 B
MCANA_RX	5								I	CAN/CAN FD 接收
SPIB_POCI	6								I/O	SPI-B 外设输出控制器输入 (POCI)
SD1_C2	7								I	SDFM-1 通道 2 时钟输入
I2CB_SCL	9								I/OD	I2C-B 开漏双向时钟
SD2_D3	13								I	SDFM-2 通道 3 数据输入
FSITXA_CLK	14								O	FSITX-A 输出时钟
GPIO52	0、4、8、12	11							I/O	通用输入/输出 52
EQEP1_STROBE	1								I/O	eQEP-1 选通
CLB_OUTPUTXBAR5	5								O	CLB 输出 X-BAR 输出 5
SPIB_CLK	6								I/O	SPI-B 时钟
SD1_D3	7								I	SDFM-1 通道 3 数据输入
SYNCOUT	9								O	外部 ePWM 同步脉冲
SD2_D4	13								I	SDFM-2 通道 4 数据输入
FSIRXA_D0	14								I	FSIRX-A 主数据输入
GPIO53	0、4、8、12	12							I/O	通用输入/输出 53
EQEP1_INDEX	1								I/O	eQEP-1 索引
CLB_OUTPUTXBAR6	5								O	CLB 输出 X-BAR 输出 6
SPIB_PTE	6								I/O	SPI-B 外设发送使能 (PTE)
SD1_C3	7								I	SDFM-1 通道 3 时钟输入
ADCSOCAO	9								O	外部 ADC 的 ADC 转换启动 A
SD1_C1	13								I	SDFM-1 通道 1 时钟输入
FSIRXA_D1	14								I	FSIRX-A 可选附加数据输入
GPIO54	0、4、8、12	13							I/O	通用输入/输出 54
SPIA_PICO	1								I/O	SPI-A 外设输入控制器输出 (PICO)
EQEP2_A	5								I	eQEP-2 输入 A
OUTPUTXBAR2	6								O	输出 X-BAR 输出 2
SD1_D4	7								I	SDFM-1 通道 4 数据输入
ADCSOCBO	9								O	外部 ADC 的 ADC 转换启动 B
LINA_TX	10								O	LIN-A 发送
SD1_C2	13								I	SDFM-1 通道 2 时钟输入
FSIRXA_CLK	14								I	FSIRX-A 输入时钟
GPIO55	0、4、8、12	43							I/O	通用输入/输出 55
SPIA_POCI	1								I/O	SPI-A 外设输出控制器输入 (POCI)
EQEP2_B	5								I	eQEP-2 输入 B
OUTPUTXBAR3	6								O	输出 X-BAR 输出 3
SD1_C4	7								I	SDFM-1 通道 4 时钟输入
ERRORSTS	9								O	错误状态输出。该信号需要一个外部下拉电阻。
LINA_RX	10								I	LIN-A 接收
SD1_C3	13								I	SDFM-1 通道 3 时钟输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO56	0、4、8、12								I/O	通用输入/输出 56
SPIA_CLK	1								I/O	SPI-A 时钟
CLB_OUTPUTXBAR7	2								O	CLB 输出 X-BAR 输出 7
MCANA_TX	3								O	CAN/CAN FD 传输
EQEP2_STROBE	5								I/O	eQEP-2 选通
SCIB_TX	6	65							O	SCI-B 发送数据
SD2_D1	7								I	SDFM-2 通道 1 数据输入
SPIB_PICO	9								I/O	SPI-B 外设输入控制器输出 (PICO)
I2CA_SDA	10								I/OD	I2C-A 开漏双向数据
EQEP1_A	11								I	eQEP-1 输入 A
SD1_C4	13								I	SDFM-1 通道 4 时钟输入
FSIRXA_D1	14								I	FSIRX-A 可选附加数据输入
GPIO57	0、4、8、12								I/O	通用输入/输出 57
SPIA_PTE	1								I/O	SPI-A 外设发送使能 (PTE)
CLB_OUTPUTXBAR8	2								O	CLB 输出 X-BAR 输出 8
MCANA_RX	3								I	CAN/CAN FD 接收
EQEP2_INDEX	5								I/O	eQEP-2 索引
SCIB_RX	6	66							I	SCI-B 接收数据
SD2_C1	7								I	SDFM-2 通道 1 时钟输入
SPIB_POCI	9								I/O	SPI-B 外设输出控制器输入 (POCI)
I2CA_SCL	10								I/OD	I2C-A 开漏双向时钟
EQEP1_B	11								I	eQEP-1 输入 B
FSIRXA_CLK	14								I	FSIRX-A 输入时钟
GPIO58	0、4、8、12								I/O	通用输入/输出 58
OUTPUTXBAR1	5								O	输出 X-BAR 输出 1
SPIB_CLK	6								I/O	SPI-B 时钟
SD2_D2	7	67							I	SDFM-2 通道 2 数据输入
LINA_TX	9								O	LIN-A 发送
EQEP1_STROBE	11								I/O	eQEP-1 选通
SD2_C2	13								I	SDFM-2 通道 2 时钟输入
FSIRXA_D0	14								I	FSIRX-A 主数据输入
GPIO59	0、4、8、12								I/O	通用输入/输出 59
OUTPUTXBAR2	5								O	输出 X-BAR 输出 2
SPIB_PTE	6								I/O	SPI-B 外设发送使能 (PTE)
SD2_C2	7	92							I	SDFM-2 通道 2 时钟输入
LINA_RX	9								I	LIN-A 接收
EQEP1_INDEX	11								I/O	eQEP-1 索引
SD2_C3	13								I	SDFM-2 通道 3 时钟输入
GPIO60	0、4、8、12								I/O	通用输入/输出 60
EPWM12_B	1								O	ePWM-12 输出 B
MCANA_TX	3								O	CAN/CAN FD 传输
OUTPUTXBAR3	5	44							O	输出 X-BAR 输出 3
SPIB_PICO	6								I/O	SPI-B 外设输入控制器输出 (PICO)
SD2_D3	7								I	SDFM-2 通道 3 数据输入
SD2_C4	13								I	SDFM-2 通道 4 时钟输入
GPIO61	0、4、8、12								I/O	通用输入/输出 61
MCANA_RX	3								I	CAN/CAN FD 接收
OUTPUTXBAR4	5	91							O	输出 X-BAR 输出 4
SPIB_POCI	6								I/O	SPI-B 外设输出控制器输入 (POCI)
SD2_C3	7								I	SDFM-2 通道 3 时钟输入

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO62	0、4、8、12	46	31	31					I/O	通用输入/输出 62
EPWM10_A	1								O	ePWM-10 输出 A
OUTPUTXBAR3	2								O	输出 X-BAR 输出 3
MCANA_TX	5								O	CAN/CAN FD 传输
SCIA_TX	6								O	SCI-A 发送数据
PMBUSA_SDA	9								I/OD	PMBus-A 开漏双向数据
GPIO63	0、4、8、12	47	32	32					I/O	通用输入/输出 63
EPWM10_B	1								O	ePWM-10 输出 B
OUTPUTXBAR4	2								O	输出 X-BAR 输出 4
MCANA_RX	5								I	CAN/CAN FD 接收
SCIA_RX	6								I	SCI-A 接收数据
LINA_RX	9								I	LIN-A 接收
GPIO224	0、4、8、12	17	13	13	9	7	A4	5	I/O	通用输入/输出 224。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM11_B	1								O	ePWM-11 输出 B
SD2_D3	2								I	SDFM-2 通道 3 数据输入
OUTPUTXBAR3	5								O	输出 X-BAR 输出 3
SPIA_PICO	6								I/O	SPI-A 外设输入控制器输出 (PICO)
EPWM1_A	9								O	ePWM-1 输出 A
MCANA_TX	10								O	CAN/CAN FD 传输
EQEP1_A	11								I	eQEP-1 输入 A
ADCE_EXTMUXSEL3	13								O	位置 3 的 ADCE 外部多路复用器选择引脚
SCIC_TX	14								O	SCI-C 发送数据
GPIO226	0、4、8、12	15	11	11	7		A3	7	I/O	通用输入/输出 226。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM10_B	1								O	ePWM-10 输出 B
SD2_D4	2								I	SDFM-2 通道 4 数据输入
LINA_RX	3								I	LIN-A 接收
EPWM6_A	5								O	ePWM-6 输出 A
SPIA_CLK	6								I/O	SPI-A 时钟
EPWM1_B	9								O	ePWM-1 输出 B
EQEP1_STROBE	11								I/O	eQEP-1 选通
ADCE_EXTMUXSEL1	13								O	位置 1 的 ADCE 外部多路复用器选择引脚
SCIC_RX	14								I	SCI-C 接收数据
GPIO227	0、4、8、12	38	28	28	24	22	E6		I/O	通用输入/输出 227。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
I2CB_SCL	1								I/OD	I2C-B 开漏双向时钟
SD1_C3	2								I	SDFM-1 通道 3 时钟输入
EPWM3_A	3								O	ePWM-3 输出 A
OUTPUTXBAR1	5								O	输出 X-BAR 输出 1
EPWM2_B	6								O	ePWM-2 输出 B
GPIO228	0、4、8、12	14	10	10	6		A3	7	I/O	通用输入/输出 228。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM10_A	1								O	ePWM-10 输出 A
ADCSOCAO	3								O	外部 ADC 的 ADC 转换启动 A
MCANA_TX	5								O	CAN/CAN FD 传输
SPIA_POCI	6								I/O	SPI-A 外设输出控制器输入 (POCI)
SD2_C1	7								I	SDFM-2 通道 1 时钟输入
EPWM2_B	9								O	ePWM-2 输出 B
EQEP1_B	11								I	eQEP-1 输入 B
ADCE_EXTMUXSEL0	13								O	位置 0 的 ADCE 外部多路复用器选择引脚

Copyright © 2026 Texas Instruments Incorporated

表 5-1. 引脚属性（续）

信号名称	多路复用器位置	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG	引脚类型	说明
GPIO230	0、4、8、12	40	29	29	25	23	E6		I/O	通用输入/输出 230。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
I2CB_SDA	1								I/OD	I2C-B 开漏双向数据
SD1_C4	2								I	SDFM-1 通道 4 时钟输入
EPWM3_B	3								O	ePWM-3 输出 B
MCANA_RX	5								I	CAN/CAN FD 接收
EPWM2_A	6								O	ePWM-2 输出 A
I2CA_SDA	7								I/OD	I2C-A 开漏双向数据
PMBUSA_SCL	9								I/OD	PMBus-A 开漏双向时钟
GPIO242	0、4、8、12	16	12	12	8	6	B4	6	I/O	通用输入/输出 242。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM11_A	1								O	ePWM-11 输出 A
SD2_D2	2								I	SDFM-2 通道 2 数据输入
OUTPUTXBAR2	5								O	输出 X-BAR 输出 2
SPIA_PTE	6								I/O	SPI-A 外设发送使能 (PTE)
EPWM4_A	9								O	ePWM-4 输出 A
MCANA_RX	10								I	CAN/CAN FD 接收
EQEP1_INDEX	11								I/O	eQEP-1 索引
ADCE_EXTMUXSEL2	13								O	位置 2 的 ADCE 外部多路复用器选择引脚
GPIO247	0、4、8、12	42							I/O	通用输入/输出 247。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
EPWM12_B	1								O	ePWM-12 输出 B
GPIO253	0、4、8、12	41							I/O	通用输入/输出 253
EPWM12_A	1								O	ePWM-12 输出 A
测试、JTAG 和复位										
TCK		60	45	45	36	33	G6	23	I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		62	47	47	38	35	E4	19	I/O	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器（建议 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
XRSn		2	5	5	3	4	A1	8	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
电源和接地										
VDD		4、71、87	8、53、71	8、53、71	4、44、59	5、41、53	D1、G2	14		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 10μF 的去耦电容器。此外，当使用内部 VREG 时，建议所有 VDD 引脚在外部互相连接。
VDDA		34	26	26	22	20	D7	29		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 的去耦电容器。
VDDIO		3、70、88	7、52、72	7、52、72	43、60	40、54	D2，F3	12		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。
VREGENZ		73	56		46	42	F4		I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。
VSS		5、45、72、86	9、30、55、70	9、30、55、70	5、26、45、58	PAD	A2、D4、F7、G1	A2、A3、A4、PAD		数字接地
VSSA		33	25	25	21	19	C7	30、A1		模拟接地

Copyright © 2026 Texas Instruments Incorporated

5.3 信号说明

5.3.1 模拟信号

表 5-2. 模拟信号

信号名称	引脚类型	说明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
A0	I	ADC-A 输入 0	23	19	19	15	13	C6	1
A1	I	ADC-A 输入 1	22	18	18	14	12	B5	3
A2	I	ADC-A 输入 2	17	13	13	9	7	A4	5
A3	I	ADC-A 输入 3	18	12	12	8	6	B4	6
A4	I	ADC-A 输入 4	36	27	27	23	21	E7	26
A5	I	ADC-A 输入 5	35	17	17	13	11	C5	2
A6	I	ADC-A 输入 6	14	10	10	6		A3	7
A7	I	ADC-A 输入 7	31	23	23	19	17	D6	28
A8	I	ADC-A 输入 8	37	24	24	20	18	B7	28
A9	I	ADC-A 输入 9	38	28	28	24	22	E6	
A10	I	ADC-A 输入 10	40	29	29	25	23	E6	
A11	I	ADC-A 输入 11	20	16	16	12	10	A6	2
A12	I	ADC-A 输入 12	28	22	22	18	16	D5	27
A13	I	ADC-A 输入 13	26、27	21	21	17	15	A7	32
A14	I	ADC-A 输入 14	19	15	15	11	9	C4	4
A15	I	ADC-A 输入 15		14	14	10	8	A5	4
A16	I	ADC-A 输入 16	1	4	4	2	3		
A17	I	ADC-A 输入 17	48	33	33	27	24	F6	25
A18	I	ADC-A 输入 18	49	34	34	28	25		
A19	I	ADC-A 输入 19	50	35	35	29	26		
A20	I	ADC-A 输入 20	51	36	36	30	27		
A24	I	ADC-A 输入 24	52	37	37	31	28	E3	
A25	I	ADC-A 输入 25	55	40	40	34	31		
AIO225	I	用于数字输入 225 的模拟引脚	36	27	27	23	21	E7	26
AIO229	I	用于数字输入 229 的模拟引脚	18						
AIO231	I	用于数字输入 231 的模拟引脚	23	19	19	15	13	C6	1
AIO232	I	用于数字输入 232 的模拟引脚	22	18	18	14	12	B5	3
AIO233	I	用于数字输入 233 的模拟引脚		14	14	10	8	A5	4
AIO234	I	用于数字输入 234 的模拟引脚	24、25	20	20	16	14	B6	31
AIO235	I	用于数字输入 235 的模拟引脚	26、27	21	21	17	15	A7	32
AIO237	I	用于数字输入 237 的模拟引脚	20	16	16	12	10	A6	2
AIO238	I	用于数字输入 238 的模拟引脚	28	22	22	18	16	D5	27
AIO239	I	用于数字输入 239 的模拟引脚	19	15	15	11	9	C4	4
AIO240	I	用于数字输入 240 的模拟引脚	37						
AIO241	I	用于数字输入 241 的模拟引脚		24	24	20	18	B7	28
AIO244	I	用于数字输入 244 的模拟引脚	21	17	17	13	11	C5	2
AIO245	I	用于数字输入 245 的模拟引脚	31	23	23	19	17	D6	28
AIO248	I	用于数字输入 248 的模拟引脚	29	22	22	18	16	D5	27
AIO249	I	用于数字输入 249 的模拟引脚	35						
AIO251	I	用于数字输入 251 的模拟引脚	30						
AIO252	I	用于数字输入 252 的模拟引脚	32						
B0	I	ADC-B 输入 0	41	24	24	20	18	B7	28
B1	I	ADC-B 输入 1	40	29	29	25	23	E6	
B2	I	ADC-B 输入 2	15	11	11	7		A3	7

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 模拟信号（续）

信号名称	引脚类型	说明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
B3	I	ADC-B 输入 3	16	12	12	8	6	B4	6
B4	I	ADC-B 输入 4	39	28	28	24	22		
B5	I	ADC-B 输入 5	32						
B6	I	ADC-B 输入 6	17	13	13	9	7	A4	5
B7	I	ADC-B 输入 7	22	18	18	14	12	B5	3
B8	I	ADC-B 输入 8	36	27	27	23	21	E7	26
B9	I	ADC-B 输入 9	18	14	14	10	8	A5	4
B10	I	ADC-B 输入 10	20	16	16	12	10	A6	2
B11	I	ADC-B 输入 11	30						
B12	I	ADC-B 输入 12	21	17	17	13	11	C5	2
B13	I	ADC-B 输入 13	26、27	21	21	17	15	A7	32
B14	I	ADC-B 输入 14	19	15	15	11	9	C4	4
B15	I	ADC-B 输入 15	23	19	19	15	13	C6	1
B16	I	ADC-B 输入 16	1	4	4	2	3		
B17	I	ADC-B 输入 17	48	33	33	27	24	F6	25
B18	I	ADC-B 输入 18	49	34	34	28	25		
B19	I	ADC-B 输入 19	50	35	35	29	26		
B20	I	ADC-B 输入 20	51	36	36	30	27		
B24	I	ADC-B 输入 24	53	38	38	32	29		
B25	I	ADC-B 输入 25	56	41	41	35	32	G7	24
B30	I	ADC-B 输入 30	31	23	23	19	17	D6	28
C0	I	ADC-C 输入 0	20	16	16	12	10	A6	2
C1	I	ADC-C 输入 1	29	22	22	18	16	D5	27
C2	I	ADC-C 输入 2	21	17	17	13	11	C5	2
C3	I	ADC-C 输入 3	31	23	23	19	17	D6	28
C4	I	ADC-C 输入 4	19	15	15	11	9	C4	4
C5	I	ADC-C 输入 5	28	12	12	8	6	B4	6
C6	I	ADC-C 输入 6	15	11	11	7		A3	7
C7	I	ADC-C 输入 7	18	14	14	10	8	A5	4
C8	I	ADC-C 输入 8	39	28	28	24	22		
C9	I	ADC-C 输入 9	17	13	13	9	7	A4	5
C10	I	ADC-C 输入 10	40	29	29	25	23	E6	
C11	I	ADC-C 输入 11	41	24	24	20	18	B7	28
C13	I	ADC-C 输入 13	26、27	21	21	17	15	A7	32
C14	I	ADC-C 输入 14	42	27	27	23	21	E7	26
C15	I	ADC-C 输入 15	23	19	19	15	13	C6	1
C16	I	ADC-C 输入 16	1	4	4	2	3		
C17	I	ADC-C 输入 17	48	33	33	27	24	F6	25
C18	I	ADC-C 输入 18	49	34	34	28	25		
C19	I	ADC-C 输入 19	50	35	35	29	26		
C20	I	ADC-C 输入 20	51	36	36	30	27		
C24	I	ADC-C 输入 24	54	39	39	33	30		
CMP1_DACL	I	CMPSS-1 低电平 DAC 输出	48	33	33	27	24	F6	25
CMP1_HN0	I	CMPSS-1 高电平比较器负输入 0		14	14	10	8	A5	4
CMP1_HN1	I	CMPSS-1 高电平比较器负输入 1	20	16	16	12	10	A6	2
CMP1_HP0	I	CMPSS-1 高电平比较器正输入 0	17	13	13	9	7	A4	5

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 模拟信号（续）

信号名称	引脚类型	说明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
CMP1_HP1	I	CMPSS-1 高电平比较器正输入 1	20	16	16	12	10	A6	2
CMP1_HP2	I	CMPSS-1 高电平比较器正输入 2	14	10	10	6		A3	7
CMP1_HP3	I	CMPSS-1 高电平比较器正输入 3		14	14	10	8	A5	4
CMP1_HP4	I	CMPSS-1 高电平比较器正输入 4	22	18	18	14	12	B5	3
CMP1_HP5	I	CMPSS-1 高电平比较器正输入 5	32						
CMP1_LN0	I	CMPSS-1 低电平比较器负输入 0		14	14	10	8	A5	4
CMP1_LN1	I	CMPSS-1 低电平比较器负输入 1	20	16	16	12	10	A6	2
CMP1_LP0	I	CMPSS-1 低电平比较器正输入 0	17	13	13	9	7	A4	5
CMP1_LP1	I	CMPSS-1 低电平比较器正输入 1	20	16	16	12	10	A6	2
CMP1_LP2	I	CMPSS-1 低电平比较器正输入 2	14	10	10	6		A3	7
CMP1_LP3	I	CMPSS-1 低电平比较器正输入 3		14	14	10	8	A5	4
CMP1_LP4	I	CMPSS-1 低电平比较器正输入 4	22	18	18	14	12	B5	3
CMP1_LP5	I	CMPSS-1 低电平比较器正输入 5	32						
CMP2_HN0	I	CMPSS-2 高电平比较器负输入 0	40	29	29	25	23	E6	
CMP2_HN1	I	CMPSS-2 高电平比较器负输入 1	28	22	22	18	16	D5	27
CMP2_HP0	I	CMPSS-2 高电平比较器正输入 0	36	27	27	23	21	E7	26
CMP2_HP1	I	CMPSS-2 高电平比较器正输入 1	28	22	22	18	16	D5	27
CMP2_HP2	I	CMPSS-2 高电平比较器正输入 2	38	28	28	24	22	E6	
CMP2_HP3	I	CMPSS-2 高电平比较器正输入 3	40	29	29	25	23	E6	
CMP2_HP4	I	CMPSS-2 高电平比较器正输入 4	41						
CMP2_HP5	I	CMPSS-2 高电平比较器正输入 5	35	17	17	13	11	C5	2
CMP2_LN0	I	CMPSS-2 低电平比较器负输入 0	40	29	29	25	23	E6	
CMP2_LN1	I	CMPSS-2 低电平比较器负输入 1	28	22	22	18	16	D5	27
CMP2_LP0	I	CMPSS-2 低电平比较器正输入 0	36	27	27	23	21	E7	26
CMP2_LP1	I	CMPSS-2 低电平比较器正输入 1	28	22	22	18	16	D5	27
CMP2_LP2	I	CMPSS-2 低电平比较器正输入 2	38	28	28	24	22	E6	
CMP2_LP3	I	CMPSS-2 低电平比较器正输入 3	40	29	29	25	23	E6	
CMP2_LP4	I	CMPSS-2 低电平比较器正输入 4	41						
CMP2_LP5	I	CMPSS-2 低电平比较器正输入 5	35	17	17	13	11	C5	2
CMP3_HN0	I	CMPSS-3 高电平比较器负输入 0	16	12	12	8	6	B4	6
CMP3_HN1	I	CMPSS-3 高电平比较器负输入 1	21	17	17	13	11	C5	2
CMP3_HP0	I	CMPSS-3 高电平比较器正输入 0	15	11	11	7		A3	7
CMP3_HP1	I	CMPSS-3 高电平比较器正输入 1	21	17	17	13	11	C5	2
CMP3_HP2	I	CMPSS-3 高电平比较器正输入 2	23	19	19	15	13	C6	1
CMP3_HP3	I	CMPSS-3 高电平比较器正输入 3	16	12	12	8	6	B4	6
CMP3_HP4	I	CMPSS-3 高电平比较器正输入 4	19	15	15	11	9	C4	4
CMP3_HP5	I	CMPSS-3 高电平比较器正输入 5	18	12	12	8	6	B4	6
CMP3_LN0	I	CMPSS-3 低电平比较器负输入 0	16	12	12	8	6	B4	6
CMP3_LN1	I	CMPSS-3 低电平比较器负输入 1	21	17	17	13	11	C5	2
CMP3_LP0	I	CMPSS-3 低电平比较器正输入 0	15	11	11	7		A3	7
CMP3_LP1	I	CMPSS-3 低电平比较器正输入 1	21	17	17	13	11	C5	2
CMP3_LP2	I	CMPSS-3 低电平比较器正输入 2	23	19	19	15	13	C6	1
CMP3_LP3	I	CMPSS-3 低电平比较器正输入 3	16	12	12	8	6	B4	6
CMP3_LP4	I	CMPSS-3 低电平比较器正输入 4	19	15	15	11	9	C4	4
CMP3_LP5	I	CMPSS-3 低电平比较器正输入 5	18	12	12	8	6	B4	6
CMP4_HN0	I	CMPSS-4 高电平比较器负输入 0	42	27	27	23	21	E7	26

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 模拟信号（续）

信号名称	引脚类型	说明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
CMP4_HN1	I	CMPSS-4 高电平比较器负输入 1	31	23	23	19	17	D6	28
CMP4_HP0	I	CMPSS-4 高电平比较器正输入 0	39	28	28	24	22		
CMP4_HP1	I	CMPSS-4 高电平比较器正输入 1	31	23	23	19	17	D6	28
CMP4_HP2	I	CMPSS-4 高电平比较器正输入 2	29	22	22	18	16	D5	27
CMP4_HP3	I	CMPSS-4 高电平比较器正输入 3	42	27	27	23	21	E7	26
CMP4_HP4	I	CMPSS-4 高电平比较器正输入 4	37	24	24	20	18	B7	28
CMP4_HP5	I	CMPSS-4 高电平比较器正输入 5	30						
CMP4_LN0	I	CMPSS-4 低电平比较器负输入 0	42	27	27	23	21	E7	26
CMP4_LN1	I	CMPSS-4 低电平比较器负输入 1	31	23	23	19	17	D6	28
CMP4_LP0	I	CMPSS-4 低电平比较器正输入 0	39	28	28	24	22		
CMP4_LP1	I	CMPSS-4 低电平比较器正输入 1	31	23	23	19	17	D6	28
CMP4_LP2	I	CMPSS-4 低电平比较器正输入 2	29	22	22	18	16	D5	27
CMP4_LP3	I	CMPSS-4 低电平比较器正输入 3	42	27	27	23	21	E7	26
CMP4_LP4	I	CMPSS-4 低电平比较器正输入 4	37	24	24	20	18	B7	28
CMP4_LP5	I	CMPSS-4 低电平比较器正输入 5	30						
D0	I	ADC-D 输入 0	52	37	37	31	28	E3	
D1	I	ADC-D 输入 1	53	38	38	32	29		
D2	I	ADC-D 输入 2	54	39	39	33	30		
D3	I	ADC-D 输入 3	55	40	40	34	31		
D4	I	ADC-D 输入 4	56	41	41	35	32	G7	24
D11	I	ADC-D 输入 11	22	18	18	14	12	B5	3
D12	I	ADC-D 输入 12	31	23	23	19	17	D6	28
D13	I	ADC-D 输入 13	26、27	21	21	17	15	A7	32
D14	I	ADC-D 输入 14	14	10	10	6		A3	7
D15	I	ADC-D 输入 15	32						
D16	I	ADC-D 输入 16	30						
D20	I	ADC-D 输入 20	24、25	20	20	16	14	B6	31
DACA_OUT	O	缓冲 DAC-A 输出。	23	19	19	15	13	C6	1
DACB_OUT	O	缓冲 DAC-B 输出。	22	18	18	14	12	B5	3
E0	I	ADC-E 输入 0	52	37	37	31	28	E3	
E1	I	ADC-E 输入 1	53	38	38	32	29		
E2	I	ADC-E 输入 2	54	39	39	33	30		
E3	I	ADC-E 输入 3	55	40	40	34	31		
E4	I	ADC-E 输入 4	56	41	41	35	32	G7	24
E11	I	ADC-E 输入 11	29	22	22	18	16	D5	27
E12	I	ADC-E 输入 12	15	11	11	7		A3	7
E13	I	ADC-E 输入 13	26、27	21	21	17	15	A7	32
E14	I	ADC-E 输入 14	14	10	10	6		A3	7
E15	I	ADC-E 输入 15	32						
E16	I	ADC-E 输入 16	30						
E20	I	ADC-E 输入 20	24、25	20	20	16	14	B6	31
E30	I	ADC-E 输入 30	31	23	23	19	17	D6	28
PGA1_INM	I	PGA-1 Minus	18	14	14	10	8	A5	4
PGA1_INP	I	PGA-1 Plus	17	13	13	9	7	A4	5
PGA1_OUT	O	PGA-1 输出	19	15	15	11	9	C4	4
PGA2_INM	I	PGA-2 Minus	21	17	17	13	11	C5	2
PGA2_INP	I	PGA-2 Plus	16	12	12	8	6	B4	6

Copyright © 2026 Texas Instruments Incorporated

表 5-2. 模拟信号（续）

信号名称	引脚类型	说明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
PGA2_OUT	O	PGA-2 输出	20	16	16	12	10	A6	2
PGA3_INM	I	PGA-3 Minus	30	23	23	19	17	D6	28
PGA3_INP	I	PGA-3 Plus	29	22	22	18	16	D5	27
PGA3_OUT	O	PGA-3 输出	32	24	24	20	18	B7	28
VREFHI	I	ADC 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上放置至少一个 2.2μF 电容器。此电容器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。	24、25	20	20	16	14	B6	31
VREFLO	I	ADC 低基准电压	26、27	21	21	17	15	A7	32

Copyright © 2026 Texas Instruments Incorporated

5.3.2 数字信号

表 5-3. 数字信号

信号名称	引脚类型	说明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
ADCE_EXTMUXSEL 0	O	位置 0 的 ADCE 外部多路复用器选择引脚	20 , 228	14、48	10、33	10、33	6、27	24	A3、F6	7、25
ADCE_EXTMUXSEL 1	O	位置 1 的 ADCE 外部多路复用器选择引脚	21 , 226	15、49	11、34	11、34	7、28	25	A3	7
ADCE_EXTMUXSEL 2	O	位置 2 的 ADCE 外部多路复用器选择引脚	242	16	12	12	8	6	B4	6
ADCE_EXTMUXSEL 3	O	位置 3 的 ADCE 外部多路复用器选择引脚	224	17	13	13	9	7	A4	5
ADCSOCAO	O	外部 ADC 的 ADC 转换启动 A	8、33、53、228	12、14、53、74	10、38、58	10、38、58	6、32、47	29	A3	7
ADCSOCBO	O	外部 ADC 的 ADC 转换启动 B	10、32、54	13、64、93	49、76	49、76	40、63	37	F5	20
AUXCLKIN	I	辅助时钟输入	29	100	3	3	1	2		
CLB_OUTPUTXBAR1	O	CLB 输出 X-BAR 输出 1	19、22	69、83	51、67	51、67	42、56	39、51	G3	17
CLB_OUTPUTXBAR2	O	CLB 输出 X-BAR 输出 2	7、39、47	6、84	68	56、68	57	52		
CLB_OUTPUTXBAR3	O	CLB 输出 X-BAR 输出 3	23、42、44	81、85	57、65、69	57、65、69	54	49		
CLB_OUTPUTXBAR4	O	CLB 输出 X-BAR 输出 4	10、40、43、45	80、93	54、64、73、76	54、64、73、76	53、63	48	D3	
CLB_OUTPUTXBAR5	O	CLB 输出 X-BAR 输出 5	5、8、52	11、74、89	58、74	58、74	47、61	55	C1	11
CLB_OUTPUTXBAR6	O	CLB 输出 X-BAR 输出 6	4、15、53	12、75、95	59、78	59、78	48	43	F2	16
CLB_OUTPUTXBAR7	O	CLB 输出 X-BAR 输出 7	1、14、56	65、78、96	62、79	62、79	51	46	F1	15
CLB_OUTPUTXBAR8	O	CLB 输出 X-BAR 输出 8	0、6、57	66、79、97	63、80	63、80	52、64	1、47	B1、E1	13
EPWM1_A	O	ePWM-1 输出 A	0、4、30、224	17、75、79、98	1、13、59、63	1、13、59、63	9、48、52	7、43、47	A4、E1、F2	5、13、16
EPWM1_B	O	ePWM-1 输出 B	1、5、31、226	15、78、89、99	2、11、62、74	2、11、62、74	7、51、61	46、55	A3、C1、F1	7、11、15
EPWM2_A	O	ePWM-2 输出 A	2、6、7、41、230	40、77、82、84、97	29、61、66、68、80	29、61、66、68、80	25、50、55、57、64	1、23、45、50、52	B1、C3、E6	9
EPWM2_B	O	ePWM-2 输出 B	3、7、40、227、228	14、38、76、80、84	10、28、60、64、68	10、28、60、64、68	6、24、49、53、57	22、44、48、52	A3、D3、E2、E6	7
EPWM3_A	O	ePWM-3 输出 A	0、4、14、227	38、75、79、96	28、59、63、79	28、59、63、79	24、48、52	22、43、47	E1、E6、F2	13、16
EPWM3_B	O	ePWM-3 输出 B	1、5、15、230	40、78、89、95	29、62、74、78	29、62、74、78	25、51、61	23、46、55	C1、E6、F1	11、15
EPWM4_A	O	ePWM-4 输出 A	2、6、22、242	16、77、83、97	12、61、67、80	12、61、67、80	8、50、56、64	1、6、45、51	B1、B4	6
EPWM4_B	O	ePWM-4 输出 B	3、7、23	76、81、84	60、65、68	60、65、68	49、54、57	44、49、52	E2	
EPWM5_A	O	ePWM-5 输出 A	8、37	61、74	46、58	46、58	37、47	34	E5	22
EPWM5_B	O	ePWM-5 输出 B	9、35	63、90	48、75	48、75	39、62	36、56	C2、G5	10、21
EPWM6_A	O	ePWM-6 输出 A	10、17、18、226	15、55、68、93	11、40、50、76	11、40、50、76	7、34、41、63	31、38	A3、G4	7、18
EPWM6_B	O	ePWM-6 输出 B	11、19	52、69	37、51	37、51	31、42	28、39	E3、G3	17
EPWM7_A	O	ePWM-7 输出 A	12、28、41、236	1、39、51、82	4、28、36、66	4、28、36、66	2、24、30、55	3、22、27、50	C3	9
EPWM8_A	O	ePWM-8 输出 A	14、24	56、96	3、35	41、79	35	32	G7	24
EPWM9_A	O	ePWM-9 输出 A	16、24	54、56	39、41	39、41	33、35	30、32	G7	24
EPWM9_B	O	ePWM-9 输出 B	17	55	40	40	34	31		
EPWM10_A	O	ePWM-10 输出 A	2、62、228	14、46、77	10、31、61	10、31、61	6、50	45	A3	7
EPWM10_B	O	ePWM-10 输出 B	1、63、226	15、47、78	11、32、62	11、32、62	7、51	46	A3、F1	7、15
EPWM11_A	O	ePWM-11 输出 A	8、242	16、74	12、58	12、58	8、47	6	B4	6

Copyright © 2026 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
EPWM11_B	O	ePWM-11 输出 B	4、224	17、75	13、59	13、59	9、48	7、43	A4、F2	5、16
EPWM12_A	O	ePWM-12 输出 A	20、23、236、253	39、41、48、81	28、33、65	28、33、65	24、27、54	22、24、49	F6	25
EPWM12_B	O	ePWM-12 输出 B	21、41、60、247	42、44、49、82	34、66	34、66	28、55	25、50	C3	9
EQEP1_A	I	eQEP-1 输入 A	6、10、20、25、28、35、40、44、50、56、224	1、9、17、48、57、63、65、80、85、93、97	4、13、33、42、48、64、69、76、80	4、13、33、42、48、64、69、76、80	2、9、27、39、53、63、64	1、3、7、24、36、48	A4、B1、D3、F6、G5	5、21、25
EQEP1_B	I	eQEP-1 输入 B	7、11、21、29、37、41、51、57、228	10、14、49、52、61、66、82、84、100	3、10、34、37、46、66、68	3、10、34、37、46、66、68	1、6、28、31、37、55、57	2、25、28、34、50、52	A3、C3、E3、E5	7、9、22
EQEP1_INDEX	I/O	eQEP-1 索引	0、9、13、17、23、31、32、39、43、53、59、236、242	12、16、39、50、55、64、79、81、90、92、99	2、12、28、35、40、49、54、63、65、75	2、12、28、35、40、49、54、56、63、65、75	8、24、29、34、40、52、54、62	6、22、26、31、37、47、49、56	B4、C2、E1、F5	6、10、13、20
EQEP1_STROBE	I/O	eQEP-1 选通	1、8、12、16、22、30、42、52、58、226	11、15、51、54、67、74、78、83、98	1、11、36、39、57、58、62、67	1、11、36、39、57、58、62、67	7、30、33、47、51、56	27、30、46、51	A3、F1	7、15
EQEP2_A	I	eQEP-2 输入 A	11、14、18、24、54	13、52、56、68、96	37、41、50、79	37、41、50、79	31、35、41	28、32、38	E3、G4、G7	18、24
EQEP2_B	I	eQEP-2 输入 B	15、16、19、25、33、55	43、53、54、57、69、95	38、39、42、51、78	38、39、42、51、78	32、33、42	29、30、39	G3	17
EQEP2_INDEX	I/O	eQEP-2 索引	26、29、39、57	58、66、100	3、43	3、43、56	1	2		
EQEP2_STROBE	I/O	eQEP-2 选通	4、27、28、56	1、59、65、75	4、44、59	4、44、59	2、48	3、43	F2	16
EQEP3_B	I	eQEP-3 输入 B	9、26	58、90	42、67	43、75	62	56	C2	10
EQEP3_INDEX	I/O	eQEP-3 索引	11、18、30	52、68、98	1、37、50	1、37、50	31、41	28、38	E3、G4	18
EQEP3_STROBE	I/O	eQEP-3 选通	10、16、27、40	54、59、80、93	39、44、64、76	39、44、64、76	33、53、63	30、48	D3	
ERRORSTS	O	错误状态输出。该信号需要一个外部下拉电阻。	24、28、29、55	1、43、56、100	3、4、41	3、4、41	1、2、35	2、3、32	G7	24
FSIRXA_CLK	I	FSIRX-A 输入时钟	0、4、13、30、33、39、54、57	13、50、53、66、75、79、98	1、35、38、59、63	1、35、38、56、59、63	29、32、48、52	26、29、43、47	E1、F2	13、16
FSIRXA_D0	I	FSIRX-A 主数据输入	3、12、32、40、44、52、58	11、51、64、67、76、80、85	36、49、60、64、69	36、49、60、64、69	30、40、49、53	27、37、44、48	D3、E2、F5	20
FSIRXA_D1	I	FSIRX-A 可选附加数据输入	2、11、31、41、53、56	12、52、65、77、82、99	2、37、61、66	2、37、61、66	31、50、55	28、45、50	C3、E3	9
FSITXA_CLK	O	FSITX-A 输出时钟	7、10、27、44、51	10、59、84、85、93	44、68、69、76	44、68、69、76	57、63	52		
FSITXA_D0	O	FSITX-A 主数据输出	6、9、26、45、49	8、58、90、97	43、73、75、80	43、73、75、80	62、64	1、56	B1、B3、C2	10
FSITXA_D1	O	FSITX-A 可选附加数据输出	5、6、8、25、46、50	9、57、74、89、97	6、42、58、74、80	6、42、58、74、80	47、61、64	1、55	B1、C1	11
GPIO0	I/O	通用输入/输出 0	0	79	63	63	52	47	E1	13
GPIO1	I/O	通用输入/输出 1	1	78	62	62	51	46	F1	15
GPIO2	I/O	通用输入/输出 2	2	77	61	61	50	45		
GPIO3	I/O	通用输入/输出 3	3	76	60	60	49	44	E2	

Copyright © 2026 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
GPIO4	I/O	通用输入/输出 4	4	75	59	59	48	43	F2	16
GPIO5	I/O	通用输入/输出 5	5	89	74	74	61	55	C1	11
GPIO6	I/O	通用输入/输出 6	6	97	80	80	64	1	B1	
GPIO7	I/O	通用输入/输出 7	7	84	68	68	57	52		
GPIO8	I/O	通用输入/输出 8	8	74	58	58	47			
GPIO9	I/O	通用输入/输出 9	9	90	75	75	62	56	C2	10
GPIO10	I/O	通用输入/输出 10	10	93	76	76	63			
GPIO11	I/O	通用输入/输出 11	11	52	37	37	31	28	E3	
GPIO12	I/O	通用输入/输出 12	12	51	36	36	30	27		
GPIO13	I/O	通用输入/输出 13	13	50	35	35	29	26		
GPIO14	I/O	通用输入/输出 14	14	96	79	79				
GPIO15	I/O	通用输入/输出 15	15	95	78	78				
GPIO16	I/O	通用输入/输出 16	16	54	39	39	33	30		
GPIO17	I/O	通用输入/输出 17	17	55	40	40	34	31		
GPIO18	I/O	通用输入/输出 18	18	68	50	50	41	38	G4	18
GPIO19	I/O	通用输入/输出 19	19	69	51	51	42	39	G3	17
GPIO20	I/O	通用输入/输出 20	20	48	33	33	27	24	F6	25
GPIO21	I/O	通用输入/输出 21	21	49	34	34	28	25		
GPIO22	I/O	通用输入/输出 22	22	83	67	67	56	51		
GPIO23	I/O	通用输入/输出 23	23	81	65	65	54	49		
GPIO24	I/O	通用输入/输出 24	24	56	41	41	35	32	G7	24
GPIO25	I/O	通用输入/输出 25	25	57	42	42				
GPIO26	I/O	通用输入/输出 26	26	58	43	43				
GPIO27	I/O	通用输入/输出 27	27	59	44	44				
GPIO28	I/O	通用输入/输出 28	28	1	4	4	2	3		
GPIO29	I/O	通用输入/输出 29	29	100	3	3	1	2		
GPIO30	I/O	通用输入/输出 30	30	98	1	1				
GPIO31	I/O	通用输入/输出 31	31	99	2	2				
GPIO32	I/O	通用输入/输出 32	32	64	49	49	40	37	F5	20
GPIO33	I/O	通用输入/输出 33	33	53	38	38	32	29		
GPIO34	I/O	通用输入/输出 34	34	94	77	77				
GPIO35	I/O	通用输入/输出 35	35	63	48	48	39	36	G5	21
GPIO37	I/O	通用输入/输出 37	37	61	46	46	37	34	E5	22
GPIO39	I/O	通用输入/输出 39	39		56	56				
GPIO40	I/O	通用输入/输出 40	40	80	64	64	53	48	D3	
GPIO41	I/O	通用输入/输出 41	41	82	66	66	55	50	C3	9
GPIO42	I/O	通用输入/输出 42	42		57	57				
GPIO43	I/O	通用输入/输出 43	43		54	54				
GPIO44	I/O	通用输入/输出 44	44	85	69	69				
GPIO45	I/O	通用输入/输出 45	45		73	73				
GPIO46	I/O	通用输入/输出 46	46		6	6				
GPIO47	I/O	通用输入/输出 47	47	6						
GPIO48	I/O	通用输入/输出 48	48	7					B2	
GPIO49	I/O	通用输入/输出 49	49	8					B3	
GPIO50	I/O	通用输入/输出 50	50	9						
GPIO51	I/O	通用输入/输出 51	51	10						
GPIO52	I/O	通用输入/输出 52	52	11						
GPIO53	I/O	通用输入/输出 53	53	12						
GPIO54	I/O	通用输入/输出 54	54	13						
GPIO55	I/O	通用输入/输出 55	55	43						
GPIO56	I/O	通用输入/输出 56	56	65						
GPIO57	I/O	通用输入/输出 57	57	66						

Copyright © 2026 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
GPIO58	I/O	通用输入/输出 58	58	67						
GPIO59	I/O	通用输入/输出 59	59	92						
GPIO60	I/O	通用输入/输出 60	60	44						
GPIO61	I/O	通用输入/输出 61	61	91						
GPIO62	I/O	通用输入/输出 62	62	46	31	31				
GPIO63	I/O	通用输入/输出 63	63	47	32	32				
GPIO224	I/O	通用输入/输出 224	224	17	13	13	9	7	A4	5
GPIO226	I/O	通用输入/输出 226	226	15	11	11	7		A3	7
GPIO227	I/O	通用输入/输出 227	227	38	28	28	24	22	E6	
GPIO228	I/O	通用输入/输出 228	228	14	10	10	6		A3	7
GPIO230	I/O	通用输入/输出 230	230	40	29	29	25	23	E6	
GPIO236	I/O	通用输入/输出 236	236	39	28	28	24	22		
GPIO242	I/O	通用输入/输出 242	242	16	12	12	8	6	B4	6
GPIO247	I/O	通用输入/输出 247	247	42						
GPIO253	I/O	通用输入/输出 253	253	41						
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	1、4、8、9、18、20、27、33、37、43、57	48、53、59、61、66、68、74、75、78、90	33、38、44、46、50、54、58、59、62、75	33、38、44、46、50、54、58、59、62、75	27、32、37、41、47、48、51、62	24、29、34、38、43、46、56	C2、E5、F1、F2、F6、G4	10、15、16、18、22、25
I2CA_SDA	I/OD	I2C-A 开漏双向数据	0、5、10、19、21、26、32、35、42、56、230	40、49、58、63、64、65、69、79、89、93	29、34、43、48、49、51、57、63、74、76	29、34、43、48、49、51、57、63、74、76	25、28、39、40、42、52、61、63	23、25、36、37、39、47、55	C1、E1、E6、F5、G3、G5	11、13、17、20、21、未键合
I2CB_SCL	I/OD	I2C-B 开漏双向时钟	3、9、15、29、51、227	10、38、76、90、95、100	3、28、60、75、78	3、28、60、75、78	1、24、49、62	2、22、44、56	C2、E2、E6	10
I2CB_SDA	I/OD	I2C-B 开漏双向数据	2、14、28、34、50、230	1、9、40、77、94、96	4、29、61、77、79	4、29、61、77、79	2、25、50	3、23、45	E6	
LINA_RX	I	LIN-A 接收	9、11、13、15、19、23、29、33、35、41、42、47、49、55、59、63、226	6、8、15、43、47、50、52、53、63、69、81、82、90、92、95、100	3、11、32、35、37、38、48、51、57、65、66、75、78	3、11、32、35、37、38、48、51、57、65、66、75、78	1、7、29、31、32、39、42、54、55、62	2、26、28、29、36、39、49、50、56	A3、B3、C2、C3、E3、G3、G5	7、9、10、17、21
LINA_TX	O	LIN-A 发送	10、12、14、18、22、24、28、32、37、40、44、46、54、58	1、13、51、56、61、64、67、68、80、83、85、93、96	4、6、36、41、46、49、50、64、67、69、76、79	4、6、36、41、46、49、50、64、67、69、76、79	2、30、35、37、40、41、53、56、63	3、27、32、34、37、38、48、51	D3、E5、F5、G4、G7	18、20、22、24
MCANA_RX	I	CAN/CAN FD 接收	0、5、11、12、21、30、39、47、49、51、57、61、63、230、242	6、8、10、16、40、47、49、51、52、66、79、89、91、98	1、12、29、32、34、36、37、56、63、74	1、12、29、32、34、36、37、56、63、74	8、25、28、30、31、52、61	6、23、25、27、28、47、55	B3、B4、C1、E1、E3、E6	6、11、13
MCANA_TX	O	CAN/CAN FD 传输	1、4、7、13、17、20、31、46、48、50、56、60、62、224、228	7、9、14、17、44、46、48、50、55、65、75、78、84、99	2、6、10、13、31、33、35、40、59、62、68	2、6、10、13、31、33、35、40、59、62、68	6、9、27、29、34、48、51、57	7、24、26、31、43、46、52	A3、A4、B2、F1、F2、F6	5、7、15、16、25
OUTPUTXBAR1	O	输出 X-BAR 输出 1	2、24、34、58、227	38、56、67、77、94	28、41、61、77	28、41、61、77	24、35、50	22、32、45	E6、G7	24
OUTPUTXBAR2	O	输出 X-BAR 输出 2	3、25、37、54、59、242	13、16、57、61、76、92	12、42、46、60	12、42、46、60	8、37、49	6、34、44	B4、E2、E5	6、22

Copyright © 2026 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
OUTPUTXBAR3	O	输出 X-BAR 输出 3	4、5、14、26、48、55、60、62、224	7、17、43、44、46、58、75、89、96	13、31、43、59、74、79	13、31、43、59、74、79	9、48、61	7、43、55	A4、B2、C1、F2	5、11、16
OUTPUTXBAR4	O	输出 X-BAR 输出 4	6、15、27、33、49、61、63	8、47、53、59、91、95、97	32、38、44、78、80	32、38、44、78、80	32、64	1、29	B1、B3	
OUTPUTXBAR5	O	输出 X-BAR 输出 5	7、28、42	1、84	4、57、68	4、57、68	2、57	3、52		
OUTPUTXBAR6	O	输出 X-BAR 输出 6	9、29、43	90、100	3、54、75	3、54、75	1、62	2、56	C2	10
OUTPUTXBAR7	O	输出 X-BAR 输出 7	0、11、16、30、44	52、54、79、85、98	1、37、39、63、69	1、37、39、63、69	31、33、52	28、30、47	E1、E3	13
OUTPUTXBAR8	O	输出 X-BAR 输出 8	17、31、45	55、99	2、40、73	2、40、73	34	31		
PMBUSA_ALERT	I/OD	PMBus-A 开漏双向警报信号	13、19、27、37、43、45	50、59、61、69	35、44、46、51、54、73	35、44、46、51、54、73	29、37、42	26、34、39	E5、G3	17、22
PMBUSA_CTL	I/O	PMBus-A 控制信号 - 目标输入/控制器输出	12、18、26、35、42、44	51、58、63、68、85	36、43、48、50、57、69	36、43、48、50、57、69	30、39、41	27、36、38	G4、G5	18、21
PMBUSA_SCL	I/OD	PMBus-A 开漏双向时钟	3、9、15、16、24、35、41、47、230	6、40、54、56、63、76、82、90、95	29、39、41、48、60、66、75、78	29、39、41、48、60、66、75、78	25、33、35、39、49、55、62	23、30、32、36、44、50、56	C2、C3、E2、E6、G5、G7	9、10、21、24
PMBUSA_SDA	I/OD	PMBus-A 开漏双向数据	2、14、17、25、32、34、40、44、46、48、62	7、46、55、57、64、77、80、85、94、96	6、31、40、42、49、61、64、69、77、79	6、31、40、42、49、61、64、69、77、79	34、40、50、53	31、37、45、48	B2、D3、F5	20
SCIA_RX	I	SCI-A 接收数据	0、3、5、9、17、25、28、35、49、63	1、8、47、55、57、63、76、79、89、90	4、32、40、42、48、60、63、74、75	4、32、40、42、48、60、63、74、75	2、34、39、49、52、61、62	3、31、36、44、47、55、56	B3、C1、C2、E1、E2、G5	10、11、13、21
SCIA_TX	O	SCI-A 发送数据	1、2、7、8、16、24、29、37、48、62	7、46、54、56、61、74、77、78、84、100	3、31、39、41、46、58、61、62、68	3、31、39、41、46、58、61、62、68	1、33、35、37、47、50、51、57	2、30、32、34、45、46、52	B2、E5、F1、G7	15、22、24
SCIB_RX	I	SCI-B 接收数据	11、13、15、19、23、41、57	50、52、66、69、81、82、95	35、37、51、65、66、78	35、37、51、65、66、78	29、31、42、54、55	26、28、39、49、50	C3、E3、G3	9、17
SCIB_TX	O	SCI-B 发送数据	9、10、12、14、18、22、40、56	51、65、68、80、83、90、93、96	36、50、64、67、75、76、79	36、50、64、67、75、76、79	30、41、53、56、62、63	27、38、48、51、56	C2、D3、G4	10、18
SCIC_RX	I	SCI-C 接收数据	21、33、42、226	15、49、53	11、34、38、57	11、34、38、57	7、28、32	25、29	A3	7
SCIC_TX	O	SCI-C 发送数据	20、43、224	17、48	13、33、54	13、33、54	9、27	7、24	A4、F6	5、25
SD1_C1	I	SDFM-1 通道 1 时钟输入	17、33、49、53	8、12、23、53、55	19、38、40	19、38、40	15、32、34	13、29、31	B3、C6	1
SD1_C2	I	SDFM-1 通道 2 时钟输入	19、33、51、54	10、13、31、53、69	23、38、51	23、38、51	19、32、42	17、29、39	D6、G3	17、28
SD1_C3	I	SDFM-1 通道 3 时钟输入	21、53、55、227	12、38、43、49	28、34	28、34	24、28	22、25	E6	
SD1_C4	I	SDFM-1 通道 4 时钟输入	23、55、56、230	40、43、65、81	29、65	29、65	25、54	23、49	E6	
SD1_D1	I	SDFM-1 通道 1 数据输入	16、48	7、19、54	15、39	15、39	11、33	9、30	B2、C4	4
SD1_D2	I	SDFM-1 通道 2 数据输入	18、32、50	9、20、64、68	16、49、50	16、49、50	12、40、41	10、37、38	A6、F5、G4	2、18、20
SD1_D3	I	SDFM-1 通道 3 数据输入	20、52	11、21、48	17、33	17、33	13、27	11 , 24	C5、F6	2、25

Copyright © 2026 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
SD1_D4	I	SDFM-1 通道 4 数据输入	22、54	13、22、83	18、67	18、67	14、56	12、51	B5	3
SD2_C1	I	SDFM-2 通道 1 时钟输入	25、35、57、228	14、37、57、63、66	10、24、42、48	10、24、42、48	6、20、39	18、36	A3、B7、G5	7、21、28
SD2_C2	I	SDFM-2 通道 2 时钟输入	27、58、59	36、59、67、92	27、44	27、44	23	21	E7	26
SD2_C3	I	SDFM-2 通道 3 时钟输入	29、45、59、61	28、91、92、100	3、22、73	3、22、73	1、18	2、16	D5	27
SD2_C4	I	SDFM-2 通道 4 时钟输入	31、46、60	32、44、99	2、6	2、6				
SD2_D1	I	SDFM-2 通道 1 数据输入	24、49、56	8、56、65	14、41	14、41	10、35	8、32	A5、B3、G7	4、24
SD2_D2	I	SDFM-2 通道 2 数据输入	26、50、58、242	9、16、58、67	12、43	12、43	8	6	B4	6
SD2_D3	I	SDFM-2 通道 3 数据输入	28、43、51、60、224	1、10、17、44	4、13、54	4、13、54	2、9	3、7	A4	5
SD2_D4	I	SDFM-2 通道 4 数据输入	30、47、52、226	6、11、15、98	1、11	1、11	7		A3	7
SPIA_CLK	I/O	SPI-A 时钟	3、9、12、18、56、226	15、51、65、68、76、90	11、36、50、60、75	11、36、50、60、75	7、30、41、49、62	27、38、44、56	A3、C2、E2、G4	7、10、18
SPIA_PICO	I/O	SPI-A 外设输入控制器输出 (PICO)	2、8、11、16、54、224	13、17、52、54、74、77	13、37、39、58、61	13、37、39、58、61	9、31、33、47、50	7、28、30、45	A4、E3	5
SPIA_POCI	I/O	SPI-A 外设输出控制器输入 (POCI)	1、4、10、13、17、35、55、228	14、43、50、55、63、75、78、93	10、35、40、48、59、62、76	10、35、40、48、59、62、76	6、29、34、39、48、51、63	26、31、36、43、46	A3、F1、F2、G5	7、15、16、21
SPIA_PTE	I/O	SPI-A 外设发送使能 (PTE)	0、5、11、19、24、37、57、242	16、52、56、61、66、69、79、89	12、37、41、46、51、63、74	12、37、41、46、51、63、74	8、31、35、37、42、52、61	6、28、32、34、39、47、55	B4、C1、E1、E3、E5、G3、G7	6、11、13、17、22、24
SPIB_CLK	I/O	SPI-B 时钟	4、14、22、26、28、32、52、58	1、11、58、64、67、75、83、96	4、43、49、59、67、79	4、43、49、59、67、79	2、40、48、56	3、37、43、51	F2、F5	16、20
SPIB_PICO	I/O	SPI-B 外设输入控制器输出 (PICO)	7、20、24、30、40、50、56、60	9、44、48、56、65、80、84、98	1、33、41、64、68	1、33、41、64、68	27、35、53、57	24、32、48、52	D3、F6、G7	24、25
SPIB_POCI	I/O	SPI-B 外设输出控制器输入 (POCI)	6、16、21、25、31、41、51、57、61	10、49、54、57、66、82、91、97、99	2、34、39、42、66、80	2、34、39、42、66、80	28、33、55、64	1、25、30、50	B1、C3	9
SPIB_PTE	I/O	SPI-B 外设发送使能 (PTE)	15、23、27、29、33、53、59	12、53、59、81、92、95、100	3、38、44、65、78	3、38、44、65、78	1、32、54	2、29、49		
SYNCOUT	O	外部 ePWM 同步脉冲	6、39、52	11、97	56、80	56、80	64	1	B1	
TDI	I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。	35	63	48	48	39	36	G5	21
TDO	O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	37	61	46	46	37	34	E5	22
X1	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	19	69	51	51	42	39	G3	17
X2	I/O	晶体振荡器输出。	18	68	50	50	41	38	G4	18

Copyright © 2026 Texas Instruments Incorporated

表 5-3. 数字信号（续）

信号名称	引脚类型	说明	GPIO	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	16、18	54、68	39、50	39、50	33、41	30、38	G4	18

Copyright © 2026 Texas Instruments Incorporated

5.3.3 电源和接地

表 5-4. 电源和接地

信号名称	引脚类型	说明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
VDD		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 10μF 的去耦电容器。此外，当使用内部 VREG 时，建议所有 VDD 引脚在外部互相连接。	4、71、87	8、53、71	8、53、71	4、44、59	5、41、53	D1、G2	14
VDDA		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 的去耦电容器。	34	26	26	22	20	D7	29
VDDIO		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。	3、70、88	7、52、72	7、52、72	43、60	40、54	D2、F3	12
VREGENZ	I	具有内部下拉电阻的内部稳压器使能。将低电平连接到 VSS 以启用内部 VREG。将高电平连接到 VDDIO 以使用外部电源。	73	56		46	42	F4	
VSS		数字接地	5、45、72、86	9、30、55、70	9、30、55、70	5、26、45、58	PAD	A2、D4、F7、G1	A2、A3、A4、PAD
VSSA		模拟接地	33	25	25	21	19	C7	30、A1

Copyright © 2026 Texas Instruments Incorporated

5.3.4 测试、JTAG 和复位

表 5-5. 测试、JTAG 和复位

信号名称	引脚类型	说明	100 PZ	80 PNA	80 PN	64 PM	56 RSH	49 YAF	32 ZNG
TCK	I	带有内部上拉电阻的 JTAG 测试时钟。	60	45	45	36	33	G6	23
TMS	I/O	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器（建议 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。	62	47	47	38	35	E4	19
XRSn	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	2	5	5	3	4	A1	8

5.4 引脚多路复用

Copyright © 2026 Texas Instruments Incorporated

5.4.1 GPIO 多路复用引脚

表 5-6. GPIO 多路复用引脚

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A		OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_PTE	FSIRXA_CLK	MCANA_RX	CLB_OUTPUTXBAR8	EQEP1_INDEX		EPWM3_A	
GPIO1	EPWM1_B			SCIA_TX	I2CA_SCL	SPIA_POCI	EQEP1_STROBE	MCANA_TX	CLB_OUTPUTXBAR7	EPWM10_B		EPWM3_B	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_PICO	SCIA_TX	FSIRXA_D1	I2CB_SDA	EPWM10_A		EPWM4_A	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX	FSIRXA_D0	I2CB_SCL			EPWM4_B	
GPIO4	EPWM3_A	I2CA_SCL	MCANA_TX	OUTPUTXBAR3		SPIB_CLK	EQEP2_STROBE	FSIRXA_CLK	CLB_OUTPUTXBAR6	EPWM11_B	SPIA_POCI	EPWM1_A	
GPIO5	EPWM3_B	I2CA_SDA	OUTPUTXBAR3	MCANA_RX		SPIA_PTE	FSITXA_D1	CLB_OUTPUTXBAR5	SCIA_RX			EPWM1_B	
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A		SPIB_POCI	FSITXA_D0		FSITXA_D1		CLB_OUTPUTXBAR8	EPWM2_A	
GPIO7	EPWM4_B	EPWM2_A	OUTPUTXBAR5	EQEP1_B		SPIB_PICO	FSITXA_CLK	CLB_OUTPUTXBAR2	SCIA_TX		MCANA_TX	EPWM2_B	
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_PICO	I2CA_SCL	FSITXA_D1	CLB_OUTPUTXBAR5	EPWM11_A			
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK	I2CA_SCL	FSITXA_D0	LINA_RX	PMBUSA_SCL	I2CB_SCL	EQEP3_B	
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_POCI	I2CA_SDA	FSITXA_CLK	LINA_TX	EQEP3_STROBE		CLB_OUTPUTXBAR4	
GPIO11	EPWM6_B	MCANA_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_PTE	FSIRXA_D1	LINA_RX	EQEP2_A	SPIA_PICO		EQEP3_INDEX	
GPIO12	EPWM7_A		MCANA_RX	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL	FSIRXA_D0	LINA_TX	SPIA_CLK				
GPIO13	EPWM7_B		MCANA_TX	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT	FSIRXA_CLK	LINA_RX	SPIA_POCI				
GPIO14	EPWM8_A	SCIB_TX		I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA	SPIB_CLK	EQEP2_A	LINA_TX	EPWM3_A	CLB_OUTPUTXBAR7		
GPIO15	EPWM8_B	SCIB_RX		I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL	SPIB_PTE	EQEP2_B	LINA_RX	EPWM3_B	CLB_OUTPUTXBAR6		
GPIO16	SPIA_PICO		OUTPUTXBAR7	EPWM9_A	SCIA_TX	SD1_D1	EQEP1_STROBE	PMBUSA_SCL	XCLKOUT	EQEP2_B	SPIB_POCI	EQEP3_STROBE	
GPIO17	SPIA_POCI		OUTPUTXBAR8	EPWM9_B	SCIA_RX	SD1_C1	EQEP1_INDEX	PMBUSA_SDA	MCANA_TX		EPWM6_A		
GPIO18	SPIA_CLK	SCIB_TX		EPWM6_A	I2CA_SCL	SD1_D2	EQEP2_A	PMBUSA_CTL	XCLKOUT	LINA_TX		EQEP3_INDEX	X2
GPIO19	SPIA_PTE	SCIB_RX		EPWM6_B	I2CA_SDA	SD1_C2	EQEP2_B	PMBUSA_ALERT	CLB_OUTPUTXBAR1	LINA_RX			X1
GPIO20	EQEP1_A			EPWM12_A	SPIB_PICO	SD1_D3	MCANA_TX	ADCE_EXTMUXSEL0	I2CA_SCL			SCIC_TX	
GPIO21	EQEP1_B			EPWM12_B	SPIB_POCI	SD1_C3	MCANA_RX	ADCE_EXTMUXSEL1	I2CA_SDA			SCIC_RX	
GPIO22	EQEP1_STROBE		SCIB_TX		SPIB_CLK	SD1_D4	LINA_TX	CLB_OUTPUTXBAR1	LINA_TX		EPWM4_A	EQEP3_A	
GPIO23	EQEP1_INDEX		SCIB_RX		SPIB_PTE	SD1_C4	LINA_RX	CLB_OUTPUTXBAR3	LINA_RX	EPWM12_A	EPWM4_B		

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO 多路复用引脚（续）

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO24	OUTPUTXBAR1	EQEP2_A	SPIA_PTE	EPWM8_A	SPIB_PICO	SD2_D1	LINA_TX	PMBUSA_SCL	SCIA_TX	ERRORSTS	EPWM9_A		
GPIO25	OUTPUTXBAR2	EQEP2_B		EQEP1_A	SPIB_POCI	SD2_C1	FSITXA_D1	PMBUSA_SDA	SCIA_RX	EQEP3_A			
GPIO26	OUTPUTXBAR3	EQEP2_INDEX		OUTPUTXBAR3	SPIB_CLK	SD2_D2	FSITXA_D0	PMBUSA_CTL	I2CA_SDA	EQEP3_B			
GPIO27	OUTPUTXBAR4	EQEP2_STROBE		OUTPUTXBAR4	SPIB_PTE	SD2_C2	FSITXA_CLK	PMBUSA_ALERT	I2CA_SCL	EQEP3_STROBE			
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A	SD2_D3	EQEP2_STROBE	LINA_TX	SPIB_CLK	ERRORSTS	I2CB_SDA		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B	SD2_C3	EQEP2_INDEX	LINA_RX	SPIB_PTE	ERRORSTS	I2CB_SCL		AUXCLKIN
GPIO30			SPIB_PICO	OUTPUTXBAR7	EQEP1_STROBE	SD2_D4	FSIRXA_CLK	MCANA_RX	EPWM1_A	EQEP3_INDEX			
GPIO31			SPIB_POCI	OUTPUTXBAR8	EQEP1_INDEX	SD2_C4	FSIRXA_D1	MCANA_TX	EPWM1_B				
GPIO32	I2CA_SDA	EQEP1_INDEX	SPIB_CLK	EPWM8_B	LINA_TX	SD1_D2	FSIRXA_D0		PMBUSA_SDA	ADCSOCBO			
GPIO33	I2CA_SCL		SPIB_PTE	OUTPUTXBAR4	LINA_RX	SD1_C2	FSIRXA_CLK		EQEP2_B	ADCSOCAO	SD1_C1	SCIC_RX	
GPIO34	OUTPUTXBAR1				PMBUSA_SDA						I2CB_SDA		
GPIO35	SCIA_RX	SPIA_POCI	I2CA_SDA		PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL	EPWM5_B	SD2_C1		TDI	
GPIO37	OUTPUTXBAR2	SPIA_PTE	I2CA_SCL	SCIA_TX		LINA_TX	EQEP1_B	PMBUSA_ALERT	EPWM5_A			TDO	
GPIO39					MCANA_RX	FSIRXA_CLK	EQEP2_INDEX		CLB_OUTPUTXBAR2	SYNCOUT	EQEP1_INDEX		
GPIO40	SPIB_PICO			EPWM2_B	PMBUSA_SDA	FSIRXA_D0	SCIB_TX	EQEP1_A	LINA_TX		CLB_OUTPUTXBAR4	EQEP3_STROBE	
GPIO41	EPWM7_A			EPWM2_A	PMBUSA_SCL	FSIRXA_D1	SCIB_RX	EQEP1_B	LINA_RX	EPWM12_B	SPIB_POCI		
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA	SCIC_RX		EQEP1_STROBE	CLB_OUTPUTXBAR3				
GPIO43			OUTPUTXBAR6	PMBUSA_ALERT	I2CA_SCL	SCIC_TX	PMBUSA_ALERT	EQEP1_INDEX	CLB_OUTPUTXBAR4	SD2_D3			
GPIO44			OUTPUTXBAR7	EQEP1_A	PMBUSA_SDA	FSITXA_CLK	PMBUSA_CTL	CLB_OUTPUTXBAR3	FSIRXA_D0		LINA_TX		
GPIO45			OUTPUTXBAR8			FSITXA_D0	PMBUSA_ALERT	CLB_OUTPUTXBAR4		SD2_C3			
GPIO46			LINA_TX	MCANA_TX		FSITXA_D1	PMBUSA_SDA			SD2_C4			
GPIO47			LINA_RX	MCANA_RX		CLB_OUTPUTXBAR2	PMBUSA_SCL			SD2_D4			
GPIO48	OUTPUTXBAR3			MCANA_TX	SCIA_TX	SD1_D1	PMBUSA_SDA						
GPIO49	OUTPUTXBAR4			MCANA_RX	SCIA_RX	SD1_C1	LINA_RX			SD2_D1	FSITXA_D0		
GPIO50	EQEP1_A			MCANA_TX	SPIB_PICO	SD1_D2	I2CB_SDA			SD2_D2	FSITXA_D1		
GPIO51	EQEP1_B			MCANA_RX	SPIB_POCI	SD1_C2	I2CB_SCL			SD2_D3	FSITXA_CLK		

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO 多路复用引脚（续）

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO52	EQEP1_STROBE			CLB_OUTPUTXBAR5	SPIB_CLK	SD1_D3	SYNCOUT			SD2_D4	FSIRXA_D0		
GPIO53	EQEP1_INDEX			CLB_OUTPUTXBAR6	SPIB_PTE	SD1_C3	ADCSOCAO			SD1_C1	FSIRXA_D1		
GPIO54	SPIA_PICO			EQEP2_A	OUTPUTXBAR2	SD1_D4	ADCSOCBO	LINA_TX		SD1_C2	FSIRXA_CLK		
GPIO55	SPIA_POCI			EQEP2_B	OUTPUTXBAR3	SD1_C4	ERRORSTS	LINA_RX		SD1_C3			
GPIO56	SPIA_CLK	CLB_OUTPUTXBAR7	MCANA_TX	EQEP2_STROBE	SCIB_TX	SD2_D1	SPIB_PICO	I2CA_SDA	EQEP1_A	SD1_C4	FSIRXA_D1		
GPIO57	SPIA_PTE	CLB_OUTPUTXBAR8	MCANA_RX	EQEP2_INDEX	SCIB_RX	SD2_C1	SPIB_POCI	I2CA_SCL	EQEP1_B		FSIRXA_CLK		
GPIO58				OUTPUTXBAR1	SPIB_CLK	SD2_D2	LINA_TX		EQEP1_STROBE	SD2_C2	FSIRXA_D0		
GPIO59				OUTPUTXBAR2	SPIB_PTE	SD2_C2	LINA_RX		EQEP1_INDEX	SD2_C3			
GPIO60	EPWM12_B		MCANA_TX	OUTPUTXBAR3	SPIB_PICO	SD2_D3				SD2_C4			
GPIO61			MCANA_RX	OUTPUTXBAR4	SPIB_POCI	SD2_C3							
GPIO62	EPWM10_A	OUTPUTXBAR3		MCANA_TX	SCIA_TX		PMBUSA_SDA						
GPIO63	EPWM10_B	OUTPUTXBAR4		MCANA_RX	SCIA_RX		LINA_RX						
GPIO224	EPWM11_B	SD2_D3		OUTPUTXBAR3	SPIA_PICO		EPWM1_A	MCANA_TX	EQEP1_A	ADCE_EXTMUXSEL3	SCIC_TX		
GPIO226	EPWM10_B	SD2_D4	LINA_RX	EPWM6_A	SPIA_CLK		EPWM1_B		EQEP1_STROBE	ADCE_EXTMUXSEL1	SCIC_RX		
GPIO227	I2CB_SCL	SD1_C3	EPWM3_A	OUTPUTXBAR1	EPWM2_B								
GPIO228	EPWM10_A		ADCSOCAO	MCANA_TX	SPIA_POCI	SD2_C1	EPWM2_B		EQEP1_B	ADCE_EXTMUXSEL0			
GPIO230	I2CB_SDA	SD1_C4	EPWM3_B	MCANA_RX	EPWM2_A	I2CA_SDA	PMBUSA_SCL						
GPIO236	EPWM7_A			EQEP1_INDEX			EPWM12_A						
GPIO242	EPWM11_A	SD2_D2		OUTPUTXBAR2	SPIA_PTE		EPWM4_A	MCANA_RX	EQEP1_INDEX	ADCE_EXTMUXSEL2			
GPIO247	EPWM12_B												
GPIO253	EPWM12_A												
AIO225		SD2_C2											
AIO229													
AIO231		SD1_C1											
AIO232		SD1_D4											
AIO233		SD2_D1											
AIO234													
AIO235													
AIO237		SD1_D2											

Copyright © 2026 Texas Instruments Incorporated

表 5-6. GPIO 多路复用引脚（续）

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
AIO238		SD2_C3											
AIO239		SD1_D1											
AIO240		SD2_C1											
AIO241		SD2_C1											
AIO244		SD1_D3											
AIO245		SD1_C2											
AIO248													
AIO249													
AIO251													
AIO252		SD2_C4											

Copyright © 2026 Texas Instruments Incorporated

5.4.2 ADC 引脚上的数字输入 (AIO)

一些 GPIO 与模拟引脚进行多路复用，仅具有数字输入功能。这也称为 AIO。此端口上只有一个 AIO 选项的引脚只能在输入模式下工作。对于 AIO 信号的列表，请参阅器件数据表。默认情况下，这些引脚将用作模拟引脚，并且 GPIO 处于高阻抗状态。GPyAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

备注

如果将具有尖锐边缘（高 dv/dt）的数字信号连接到 AIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，应限制连接到 AIO 的信号的边沿速率。

5.4.3 ADC 引脚上的数字输入和输出 (AGPIO)

一些 GPIO 与模拟引脚进行多路复用，并具有数字输入和输出功能。这些也称为 AGPIO。与 AIO 不同，AGPIO 具有完整的输入和输出能力。默认情况下，AGPIO 未连接，必须进行配置。表 5-7 显示了如何配置 AGPIO。要启用模拟功能，请设置模拟子系统中的寄存器 AGPIOCTRLx。要启用数字功能，请设置*通用输入/输出 (GPIO)* 一章中的寄存器 GPxAMSEL。

表 5-7. AGPIO 配置

AGPIOCTRLx.GPIOy（默认值 = 0）	GPxAMSEL.GPIOy（默认值 = 1）	引脚连接到：	
		ADC	GPIOy
0	0	-	是
0	**1**	-(1)	-(1)
1	0	-	是
1	1	是	-

(1) 默认情况下，没有信号连接到 AGPIO 引脚。必须选择表中的其他行之一来实现引脚功能。

备注

如果将具有尖锐边缘（高 dv/dt）的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户必须限制连接到 AGPIO 的信号的边沿速率。

Copyright © 2026 Texas Instruments Incorporated

图 5-8 中说明了采用 AGPIO 实现方式的模拟子系统的一般原理图。需要特别注意特定模拟输入引脚的用例组合，如表 5-8 所示。AGPIO 模拟引脚路径包含一个额外的 53Ω 串联开关。这会创建一个由 ADC 和 CMPSS 比较器共享的低电容隔离式节点，如图 5-8 所示。当 ADC 对通道进行采样时，该节点可能会受到干扰（取决于 ADC 采样保持电容器上先前存储的电压），这种干扰可能会导致高达 50ns 的错误 CMPSS 事件。如表 5-8 所示，对于 CMPSS 输入、ADC 采样和 AGPIO 的组合，需要使用特殊注意事项或权变措施。为了适应这种潜在的干扰，可以实施以下权变措施：

1. 对于同时需要 ADC 和 CMPSS 的模拟通道，使用不同的引脚（即 AIO 引脚类型）。
2. 使用设置为 50ns 或更大的 CMPSS 数字滤波器，从而滤除临时干扰。
3. 预处理 ADC 的采样保持电容器，从而使干扰不会导致误跳闸。例如，在读取受影响的通道之前，立即对 ADC 上不同通道的 3.3V 连接执行虚拟读取，从而使干扰为正向，远离误跳闸。如果误跳闸极性反转，则可以使用 0V 信号的相反虚拟读取。

表 5-8. 特定模拟输入引脚的用例组合

特定模拟引脚上使用的功能	使用的元件				
CMPSS 比较器输入	是	-	是	-	是
ADC 采样	是	是	-	是	是
AGPIO 模拟引脚类型	是	是	是	-	-
AIO 模拟引脚类型	-	-	-	是	是
结果	**需要权变措施**	**无需特殊分析或权变措施**			

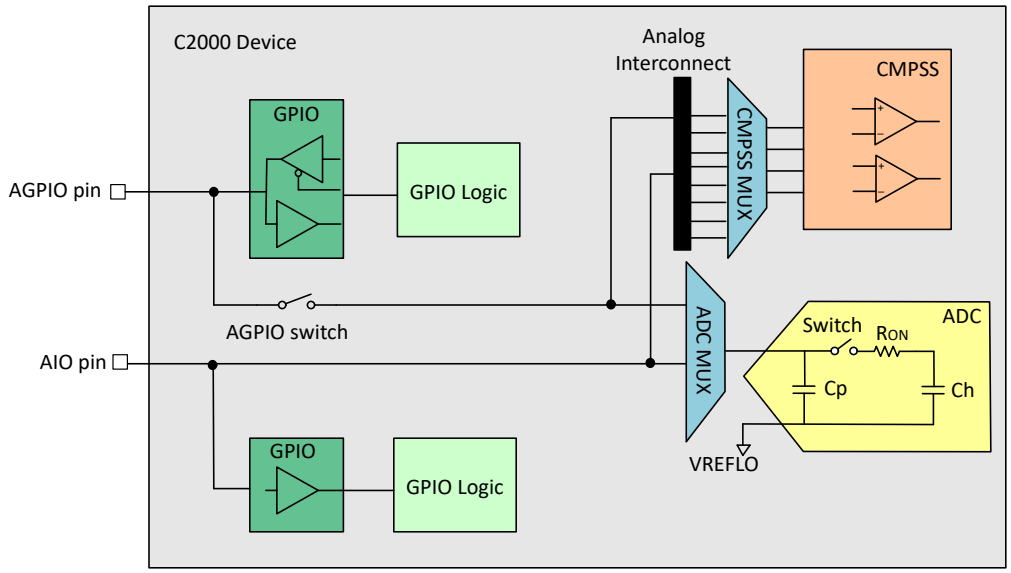


图 5-8. 具有 AGPIO 实现方式的模拟子系统方框图

Copyright © 2026 Texas Instruments Incorporated

5.4.4 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断（请参阅*输入 X-BAR* 图）。*输入 X-BAR 目标* 表列出了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 的“交叉开关 (X-BAR)”一章。

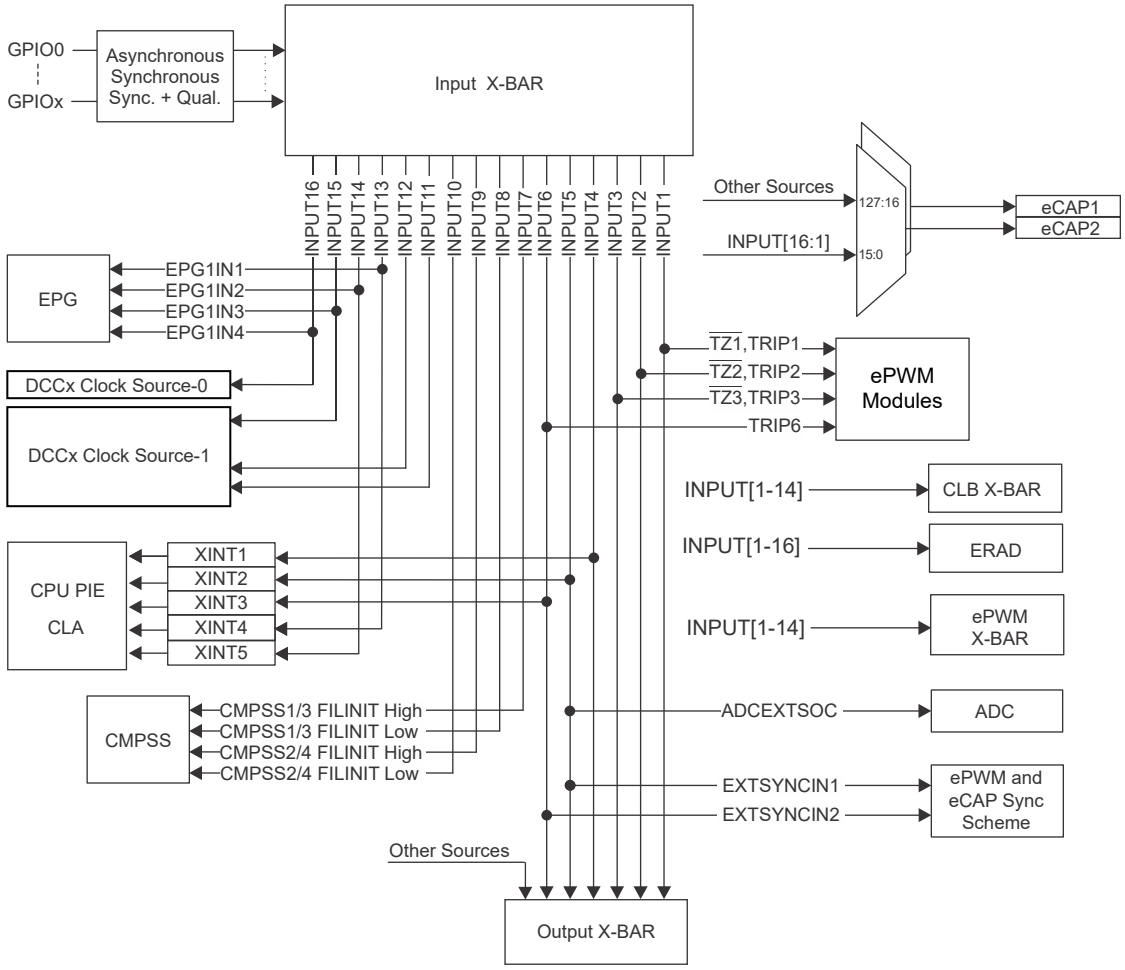


图 5-9. 输入 X-BAR

表 5-9. 输入 X-BAR 目标

输入	ECAP	EPWM XBAR	CLB XBAR	输出 XBAR	EPWM 跳闸	ERAD	CMPSS	DCCx	CPU XINT	EPG	ADC SOC	EPWM/ ECAP 同步
INPUTXBAR1	是	是	是	是	TZ1、TRIP1	是						
INPUTXBAR2	是	是	是	是	TZ2、TRIP2	是						
INPUTXBAR3	是	是	是	是	TZ3、TRIP3	是						
INPUTXBAR4	是	是	是	是		是			XINT1			
INPUTXBAR5	是	是	是	是		是			XINT2		ADCEXTSOC	EXTSYNCIN1
INPUTXBAR6	是	是	是	是	TRIP6	是			XINT3			EXTSYNCIN2

Copyright © 2026 Texas Instruments Incorporated

表 5-9. 输入 X-BAR 目标（续）

输入	ECAP	EPWM XBAR	CLB XBAR	输出 XBAR	EPWM 跳闸	ERAD	CMPSS	DCCx	CPU XINT	EPG	ADC SOC	EPWM/ ECAP 同步
INPUTXBAR7	是	是	是			是	CMPSS1/3 。EXT_FILTIN_H					
INPUTXBAR8	是	是	是			是	CMPSS1/3 。EXT_FILTIN_L					
INPUTXBAR9	是	是	是			是	CMPSS2/4 。EXT_FILTIN_H					
INPUTXBAR10	是	是	是			是	CMPSS2/4 。EXT_FILTIN_L					
INPUTXBAR11	是	是	是			是		CLK1				
INPUTXBAR12	是	是	是			是		CLK1				
INPUTXBAR13	是	是	是			是			XINT4	EPGAIN1		
INPUTXBAR14	是	是	是			是			XINT5	EPGAIN2		
INPUTXBAR15	是					是		CLK1		EPGAIN3		
INPUTXBAR16	是					是		CLK0		EPGAIN4		

Copyright © 2026 Texas Instruments Incorporated

5.4.5 GPIO 输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 OUTPUTXBARx。CLB X-BAR 有 8 个输出作为 AUXSIGx 连接到 CLB 全局多路复用器。CLB 输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 CLB_OUTPUTXBARx。ePWM X-BAR 有 8 个输出与 ePWM 的 TRIPx 输入相连。输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 的源如图 5-10 所示。有关输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 的“交叉开关 (X-BAR)”一章。

Copyright © 2026 Texas Instruments Incorporated

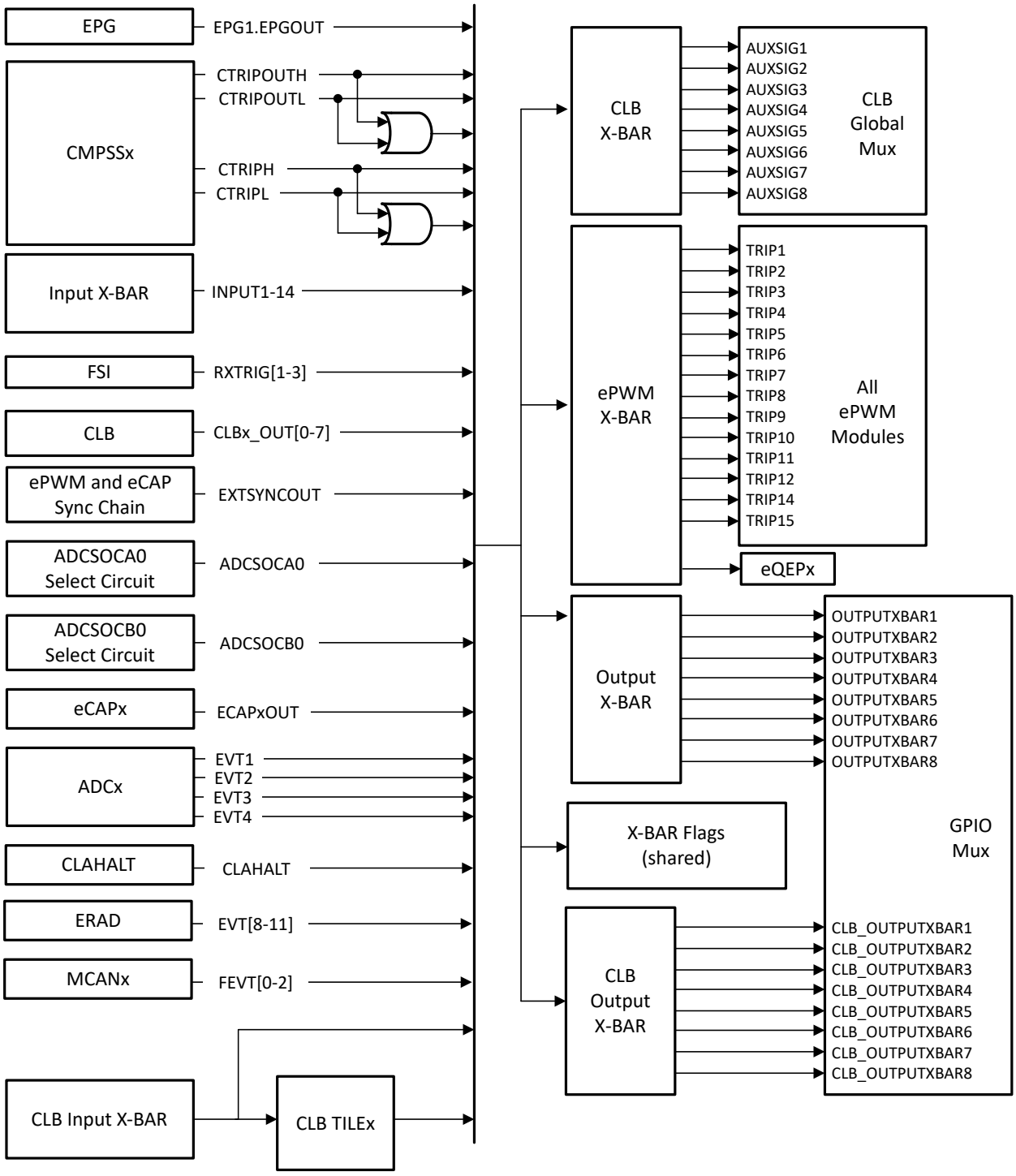


图 5-10. 输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 源

Copyright © 2026 Texas Instruments Incorporated

5.5 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-10 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，引导 ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。表 5-10 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-10. 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx	禁用上拉	禁用上拉(1)	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚（包括 AIO）	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

Copyright © 2026 Texas Instruments Incorporated

5.6 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-11 列出了对任何未使用引脚的可接受条件。当表 5-11 中列出了多个选项时，任何选项都可接受。未在表 5-11 中列出的引脚必须根据*信号配置和功能*部分进行连接。

表 5-11. 未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFHI	连接至 VDDA（仅在应用中未使用 ADC 时适用）
VREFLO	连接至 VSSA
带有 DACx_OUT 的模拟输入引脚	• 无连接 • 通过 4.7kΩ 或更大的电阻连接到 VSSA
模拟输入引脚（DACx_OUT 除外）	• 无连接 • 连接至 VSSA • 通过电阻器连接到 VSSA
模拟输入引脚（与 GPIO 共用）(1)	• 无连接（数字输入模式，启用内部上拉电阻） • 无连接（数字输出模式，禁用内部上拉电阻） • 上拉或下拉电阻（任意值电阻，数字输入模式，禁用内部上拉电阻）
数字	
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
GPIO35/TDI	选择 TDI 多路复用器选项（默认）时，GPIO 处于输入模式。 • 启用内部上拉电阻 • 外部上拉电阻
GPIO37/TDO	当 TDO 多路复用选项被选中时（默认），GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 • 启用内部上拉电阻 • 外部上拉电阻
TCK	• 无连接 • 上拉电阻器
TMS	上拉电阻器
GPIO19/X1	关闭 XTAL 和： • 输入模式，启用内部上拉电阻 • 输入模式，使用外部上拉或下拉电阻 • 输出模式，禁用内部上拉电阻
GPIO18/X2	关闭 XTAL 和： • 输入模式，启用内部上拉电阻 • 输入模式，使用外部上拉或下拉电阻 • 输出模式，禁用内部上拉电阻

Copyright © 2026 Texas Instruments Incorporated

表 5-11. 未使用引脚的连接（续）

信号名称	可接受的做法
电源和接地	
VDD	必须根据*信号描述*部分连接所有 VDD 引脚。不应使用引脚来偏置任何外部电路。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	必须根据*信号描述*部分连接所有 VDDIO 引脚。
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSA	如果未使用模拟接地，则连接到 VSS。

(1) AGPIO 引脚共享模拟和数字功能。此处的操作仅适用于这些引脚也不用于模拟功能的情况。

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在建议运行条件下测得（除非另有说明）(1)(2)

		最小值	最大值	单位
电源电压	VDD，以 VSS 为基准	-0.3	1.5	V
	VDDIO，以 VSS 为基准	-0.3	4.6	
	VDDA，以 VSSA 为基准	-0.3	4.6	
输入电压 (7)	V_{IN} (3.3V)	-0.3	4.6	V
	V_{IN} (5.0V) (5)	-0.3	6.0	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流 - 每引脚 (4) (6)	I_{IK} - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
输入钳位电流 - 每引脚：GPIO2/3/9/32 (4)	I_{IK} - V_{IN} < VSS	-20		mA
输入钳位电流 - 所有输入总计 (6)	$I_{IKTOTAL}$ - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
工作结温	T_J	-40	155	°C
贮存温度(3)	T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 除非另有说明，否则所有电压值均以 VSS 为基准。
(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息，请参阅*“半导体和 IC 封装热指标”应用报告*。
(4) 每个引脚上的持续钳制电流为 ±2mA
(5) 仅 GPIO2、GPIO3、GPIO9、GPIO32
(6) 施加大于 VDDIO/VDDA 或小于 ESD/VSSA 的 V_{IN} 将打开 VSS 电流钳位二极管，从而导致额外的电流流向相应的电源轨。如果发生这种情况，电流必须保持在列出的最小/最大值范围内，以防止对器件造成永久损坏。
(7) 还必须观察输入钳位电流。

Copyright © 2026 Texas Instruments Incorporated

6.2 ESD 等级 - 商用

				值	单位
所有 F28P551/2 器件均采用 100 引脚 PZ 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
			100 引脚 PZ 上的转角引脚：1、25、26、50、51、75、76、100	±750	
所有 F28P551/2 器件均采用 80 引脚 PN/PNA 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
			80 引脚 PNA 上的转角引脚：1、20、21、40、41、60、61、80	±750	
所有 F28P551/2 器件均采用 64 引脚 PM 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
			64 引脚 PM 上的转角引脚：1、16、17、32、33、48、49、64	±750	
所有 F28P551/2S 器件均采用 56 引脚 RSH 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
			56 引脚 RSH 上的转角引脚：1、14、15、28、29、42、43、56	±750	
所有 F28P551 器件均采用 49 焊球 YAF 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
			49 焊球 YAF 上的转角引脚：A1、A7、G1、G7	±750	
所有 F28P551 器件采用 32 引脚 ZNG 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 (2)	所有引脚	±500	
			32 引脚 ZNG 上的转角引脚：1、8、9、10、16、17、24、25、32	±750	

(1) JEDEC 文件 JEP155 指出，500V HBM 可通过标准 ESD 管控流程安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

6.3 ESD 等级 - 汽车

				值	单位
所有 F28P558SGx-Q1 器件均采用 100 引脚 PZ 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			100 引脚 PZ 上的转角引脚：1、25、26、50、51、75、76、100	±750	
所有 F28P558SGx-Q1 器件均采用 80 引脚 PN/PNA 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			80 引脚 PNA 上的转角引脚：1、20、21、40、41、60、61、80	±750	
所有 F28P558SGx-Q1 器件均采用 64 引脚 PM 封装					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			64 引脚 PM 上的转角引脚：1、16、17、32、33、48、49、64	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.4 IC 闩锁测试：JESD78F.02

测试	5V FS IO 除外的所有引脚	5V FS IO (GPIO2/3/9/32)
正信号引脚测试	II.A 类（完全合规）	II.A 类（完全合规）
负信号引脚测试	II.A 类（完全合规）	• 75℃ T_J 下为 I.A 类 [1] • -60mA 下为 II.B 类 [2]
电源测试	II.A 类（完全遵守）	

1. I.A 类满足 JESD78F.02 规定的完整引脚注入目标，但 T_J 完全更低（已列出）
2. II.B 类满足较低的注入目标（已列出），但在 T_J 最大值处

Copyright © 2026 Texas Instruments Incorporated

6.5 建议运行条件

		最小值	标称值	最大值	单位
器件电源电压，VDDIO 和 VDDA	启用内部 BOR(3)	$V_{BOR-VDDIO}$(MAX) + V_{BOR-GB}(2)	3.3	3.63	V
	禁用内部 BOR	2.8	3.3	3.63	
器件电源电压，VDD		1.19	1.25	1.32	V
器件接地，VSS			0		V
模拟接地，VSSA			0		V
SR_{SUPPLY}	VDDIO、VDD、VDDA 相对于 VSS 的电源电压斜升速率。(4)				
V_{IN}	数字输入电压(6)	VSS – 0.3		VDDIO + 0.3	V
	数字输入电压（GPIO2、3、9 和 32）(5)	VSS – 0.3		5.5	V
	模拟输入电压(6)	VSSA – 0.3		VDDA + 0.3	V
结温，T_J(1)		-40		150	°C
自然通风温度，T_A		-40		125	°C

(1) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。有关更多信息，请参阅*计算嵌入式处理器的有效使用寿命*。
(2) 请参阅*电源管理模块 (PMM)* 部分。
(3) 默认情况下会启用内部 BOR。
(4) 请参阅“电源管理模块运行条件”表。
(5) 这些引脚支持在器件上电之前施加的电压
(6) 施加大于 VDDIO/VDDA 或小于 VSS/VSSA 的 VIN 时，会导通 ESD 电流钳位二极管，从而导致额外的电流流向相应的电源轨。VDDIO/VDDA 电压会在内部上升，并可能影响其他电气特性。

Copyright © 2026 Texas Instruments Incorporated

6.6 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。

6.6.1 系统电流消耗 - 启用 VREG - 内部电源

在建议的工作条件下测得（除非另有说明）
典型值： V_{nom}，显示的温度为 T_J

参数		测试条件		最小值 典型值 最大值	单位
工作模式					
I_{DDIO}	运行期间的 VDDIO 电流消耗	这是典型重负载应用中电流的估算值。 实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括启用内部 Vreg 时的内核电源电流。 - CPU 从 RAM 运行 - 闪存加电 - X1/X2 晶振加电 - PLL 被启用，SYSCLK=最大器件频率 - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30℃	92	mA
			85℃	95	mA
			125°C	100	mA
I_{DDA}	运行期间的 VDDA 电流消耗		125°C	14	mA
空闲模式					
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗	- CPU 处于空闲模式 - 闪存断电 - PLL 被启用，SYSCLK=最大器件频率，CPUCLK 被选通 - X1/X2 晶振被加电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C	27	mA
			85°C	32	mA
			125°C	40	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗		125°C	4	mA
待机模式（PLL 启用）					
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被启用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C	8	mA
			85℃	11	mA
			125℃	20	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		125°C	4	mA

Copyright © 2026 Texas Instruments Incorporated

6.6.1 系统电流消耗 - 启用 VREG - 内部电源 （续）

在建议的工作条件下测得（除非另有说明）
典型值： V_{nom}，显示的温度为 T_J

参数		测试条件		最小值	典型值	最大值	单位
待机模式（PLL 禁用）							
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被禁用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		5		mA
			85℃			7	mA
			125℃			15	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		125℃			4	mA
停机模式							
I_{DDIO}	器件处于停机模式时的 VDDIO 电流消耗	- CPU 处于停机模式 - 闪存被断电 - PLL 被禁用，SYSCLK 和 CPUCLK 被选通 - X1/X2 晶振被断电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		5		mA
			85℃			7	mA
			125℃			14	mA
I_{DDA}	器件处于停机模式时的 VDDA 电流消耗		125℃			4	mA
闪存擦除/编程							
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗(1)	- CPU 从 RAM 运行 - 闪存进行连续编程/擦除操作 - PLL 被启用，SYSCLK 处于最大器件频率 - 外设时钟被关闭。 - X1/X2 晶体上电 - 模拟断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平			91	128	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗				0.1	8	mA
复位模式							
I_{DDIO}	复位处于活动状态时的 VDDIO 电流消耗(2)	器件正在复位	30°C		10		mA
			85℃		13		mA
			125℃		20		mA
I_{DDA}	复位处于活动状态时的 VDDA 电流消耗(2)		125℃		0.01		mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。 使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。
(2) 这是复位激活（即 XRSn 为低电平）时的电流消耗。

6.6.2 系统电流消耗 - 禁用 VREG - 外部电源

在建议的工作条件下测得（除非另有说明）
典型值： V_{nom}，显示的温度为 T_J

参数	测试条件	最小值	典型值	最大值	单位
工作模式					

6.6.2 系统电流消耗 - 禁用 VREG - 外部电源（续）

在建议的工作条件下测得（除非另有说明）
典型值： V_{nom}，显示的温度为 T_J

参数		测试条件		最小值	典型值	最大值	单位
I_{DD}	运行期间的 VDD 电流消耗	这是典型重负载应用中电流的估算值。 实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括启用内部 Vreg 时的内核电源电流。 - CPU 从 RAM 运行 - 闪存加电 - X1/X2 晶振加电 - PLL 被启用，SYSCLK=最大器件频率 - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30℃		90		mA
			85℃			100	mA
			125°C			102	mA
I_{DDIO}	运行期间的 VDDIO 电流消耗		30℃		14		mA
			85℃			18	mA
			125°C			19	mA
I_{DDA}	运行期间的 VDDA 电流消耗		125°C			14	mA
空闲模式							
I_{DD}	器件处于空闲模式时的 VDD 电流消耗	- CPU 处于空闲模式 - 闪存断电 - PLL 被启用，SYSCLK=最大器件频率，CPUCLK 被选通 - X1/X2 晶振被加电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		28		mA
			85°C			30	mA
			125°C			40	mA
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗		30°C		4		mA
			85°C			6	mA
			125°C			7	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗		125°C			4	mA
待机模式（PLL 启用）							
I_{DD}	器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被启用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		6		mA
			85°C			11	mA
			125°C			20	mA
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗		30°C		4		mA
			85°C			6	mA
			125°C			7	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		30°C		1		mA
			85°C			2	mA
			125°C			4	mA

Copyright © 2026 Texas Instruments Incorporated

6.6.2 系统电流消耗 - 禁用 VREG - 外部电源（续）

在建议的工作条件下测得（除非另有说明）
典型值： V_{nom}，显示的温度为 T_J

参数		测试条件		最小值	典型值	最大值	单位
待机模式（PLL 禁用）							
I_{DD}	器件处于待机模式时的 VDD 电流消耗	- CPU 处于待机模式 - 闪存断电 - PLL 被禁用，SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电 - 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		3		mA
			85℃			8	mA
			125℃			20	mA
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗		30°C		4		mA
			85℃			5	mA
			125℃			6	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗		125℃			4	mA
停机模式							
I_{DD}	器件处于停机模式时的 VDD 电流消耗	- CPU 处于停机模式 - 闪存被断电 - PLL 被禁用，SYSCLK 和 CPUCLK 被选通 - X1/X2 晶振被断电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		2		mA
			85℃			4	mA
			125℃			15	mA
I_{DDIO}	器件处于停机模式时的 VDDIO 电流消耗		30°C		3		mA
			85℃			5	mA
			125℃			6	mA
I_{DDA}	器件处于停机模式时的 VDDA 电流消耗		125℃			3.5	mA
闪存擦除/编程							
I_{DD}	擦除/编程周期期间的 VDD 电流消耗(1)	- CPU 从 RAM 运行 - 闪存进行连续编程/擦除操作 - PLL 被启用，SYSCLK 处于最大系统频率。 - 外设时钟被关闭。 - X1/X2 晶体上电 - 模拟断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平			80	108	mA
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗(1)				11	20	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗				0.1	8	mA

Copyright © 2026 Texas Instruments Incorporated

6.6.2 系统电流消耗 - 禁用 VREG - 外部电源（续）

在建议的工作条件下测得（除非另有说明）
典型值： V_{nom}，显示的温度为 T_J

参数		测试条件		最小值 典型值 最大值	单位
复位模式					
I_{DD}	复位处于活动状态时的 VDD 电流消耗(2)	器件正在复位	30°C	5	mA
			85℃	8	mA
			125℃	15	mA
I_{DDIO}	复位处于活动状态时的 VDDIO 电流消耗(2)		30°C	5	mA
			85℃	5	mA
			125℃	5	mA
I_{DDA}	复位处于活动状态时的 VDDA 电流消耗(2)		125℃	0.01	mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。 使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。
(2) 这是复位激活（即 XRSn 为低电平）时的电流消耗。

Copyright © 2026 Texas Instruments Incorporated

6.6.3 工作模式测试说明

系统电流消耗 - VREG 启用 - 内部电源 表、*系统电流消耗 - VREG 禁用 - 外部电源* 表和节 6.6.5 列出了器件工作模式下的电流消耗值。工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性：

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- CPU 正在主动执行代码。
- 所有模拟外设均已通电。ADC 和 DAC 会定期转换。

6.6.4 电流消耗图

下面的图显示了器件频率、温度、电源（VREG 启用）与电流消耗之间关系的典型图示。实际结果将因系统实现情况和具体条件而异。

图 6-1 显示了启用内部内核稳压器时整个温度和电源轨范围内的典型工作电流曲线。图 6-2 展示了禁用内部内核稳压器时整个温度和电源轨范围内的典型工作电流曲线。

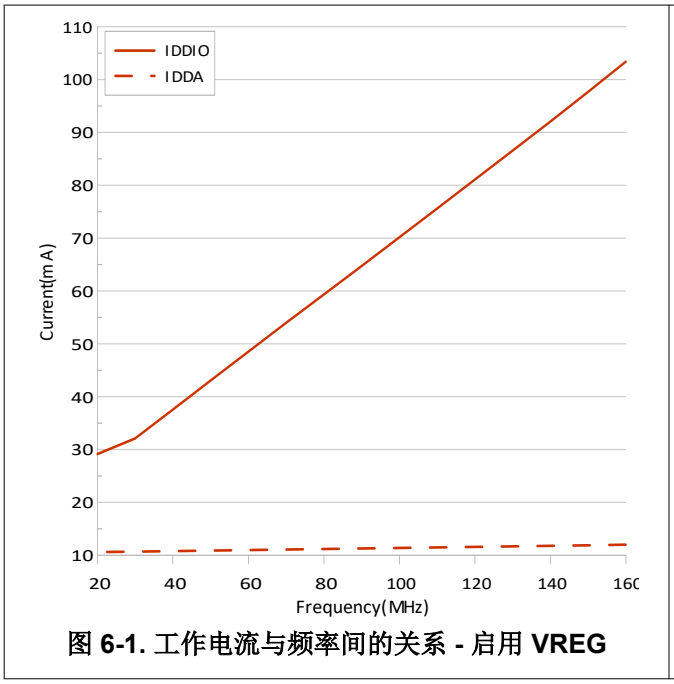


图 6-1. 工作电流与频率间的关系 - 启用 VREG

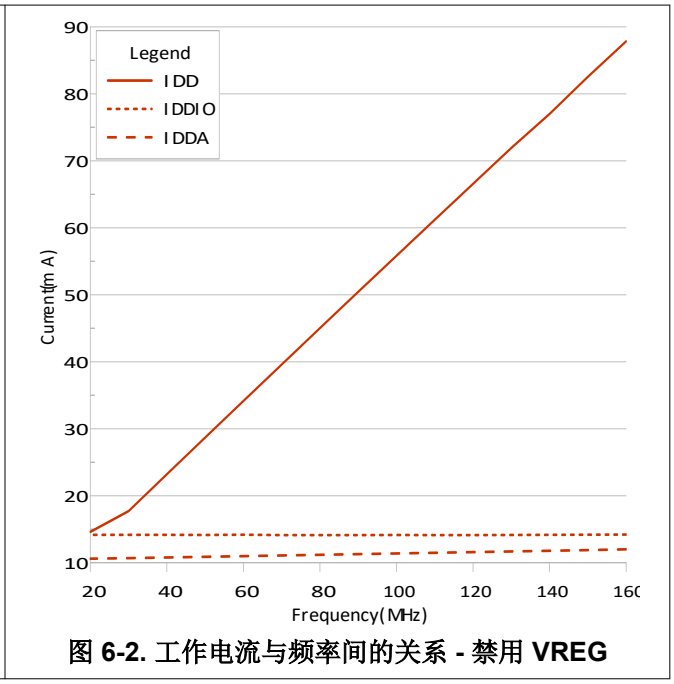


图 6-2. 工作电流与频率间的关系 - 禁用 VREG

6.6.5 减少电流消耗

F28P55x 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。*每个禁用外设的典型电流降低* 表列出了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中的“模数转换器 (ADC)”一章，以确保每个模块也断电。

Copyright © 2026 Texas Instruments Incorporated

6.6.5.1 每个禁用外设的典型电流降低

对于具有多个实例的外设，所引用的电流是针对所有模块的。

外设	I_{DDIO} 电流减少 (mA)
ADC(1)	1.0
CLA	0.56
CLB	1.41
CMPSS(1)	0.31
CPU 计时器	0.06
GPDAC	0.12
MCAN	1.01
DCC	0.08
eCAP	0.12
ERAD	1.56
EPG	0.32
ePWM (针对 1 个 ePWM)	0.95
eQEP	0.18
SCI	0.50
I2C	0.51
SPI	0.11
FSI RX	0.34
FSI TX	0.27
PMBUS	0.28

(1) 此电流代表了每个模块的数字部分汲取的电流。

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性

在建议的工作条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
数字和模拟 IO							
V_{OH}	高电平输出电压		I_{OH} = I_{OH} MIN	VDDIO * 0.8			V
			I_{OH} = – 100 μ A	VDDIO – 0.2			
V_{OL}	低电平输出电压		I_{OL} = I_{OL} 最大值			0.4	V
			I_{OL} = 100μA			0.2	
I_{OH}	所有输出引脚的高电平输出源电流			-4			mA
I_{OL}	所有输出引脚的低电平输出灌电流					4	mA
	GPIO2/3/9/32 的低电平输出灌电流	IO_DRVSEL:DRVSELGPIOx = 0				4	mA
		IO_DRVSEL:DRVSELGPIOx = 1				20	mA
R_{OH}	所有输出引脚的高电平输出阻抗		VOH=VDDS-0.4V	50	66	96	Ω
R_{OL}	所有输出引脚的低电平输出阻抗		VOL = 0.4V	48	60	84	Ω
	GPIO2/3/9/32 的低电平输出阻抗	IO_DRVSEL:DRVSELGPIOx = 0		48	60	84	Ω
		IO_DRVSEL:DRVSELGPIOx = 1		15	21	33	Ω
V_{IH}	高电平输入电压			2.0			V
V_{IH}	高电平输入电压 - GPIO2/3/9/32	IO_MODSEL:MODSELGPIOx = 0		0.7*VDDIO			V
V_{IH}	高电平输入电压 - GPIO2/3/9/32	IO_MODSEL:MODSELGPIOx = 1		1.35			V
V_{IL}	低电平输入电压					0.8	V
	低电平输入电压 - GPIO2/3/9/32	IO_MODSEL:MODSELGPIOx = 0				0.3*VDDIO	V
		IO_MODSEL:MODSELGPIOx = 1				0.8	V
$V_{HYSTERESIS}$	输入迟滞 (AIO)			115			mV
	输入迟滞 (GPIO)			115			
$I_{PULLDOWN}$	输入电流	带有下拉的引脚	VDDIO = 3.3V V_{IN} = VDDIO		120		μA
I_{PULLUP}	输入电流	启用上拉的数字输入(1)	VDDIO = 3.3V V_{IN} = 0V		160		μA
$R_{PULLDOWN}$	弱下拉电阻			22	31	62	kΩ
R_{PULLUP}	弱上拉电阻			19	29	54	kΩ
		GPIO2/3/9/32		20	31	65	kΩ

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性（续）

在建议的工作条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
I_{LEAK}	引脚漏电流	数字输入	上拉和输出被禁用 $0V \leq V_{IN} \leq VDDIO$			0.150	μA
	引脚漏电流（器件通电）。 参阅*“5V 失效防护引脚的特殊注意事项”*部分	数字输入 (GPIO2/3/9/32)	上拉和输出被禁用 $0V \leq V_{IN} \leq 3.3V$ VDDIO = 3.3V			0.150	
			上拉和输出被禁用 $3.3V < V_{IN} \leq 4.0V$ VDDIO = 3.3V		18	24	
			上拉和输出被禁用 $4.0V < V_{IN} \leq 5.5V$ VDDIO = 3.3V		5.5	9.5	
	引脚漏电流（器件未通电）		上拉和输出被禁用 $0V \leq V_{IN} \leq 5.5V$ VDDIO = 0V		5.5	9.5	
	引脚漏电流	模拟引脚	模拟驱动器禁用 $0V \leq V_{IN} \leq VDDA$			0.150	
C_I	输入电容	数字输入			2		pF
		模拟引脚(2)					
VREG 和 BOR							
VREG、POR、BOR(3)							

(1) 有关带有上拉或下拉的引脚列表，请参阅“带有内部上拉和下拉的引脚”表。
(2) 模拟引脚是单独指定的；请参阅“ADC 输入模型”部分中的“每通道寄生电容”表。
(3) 请参阅*电源管理模块 (PMM)* 部分。

6.8 5V 失效防护引脚的特殊注意事项

GPIO2、GPIO3、GPIO9 和 GPIO32 是该器件上的 5V 失效防护 (5V FS) 引脚。这意味着两点：

- 无论电源电压 (VDDIO) 电平如何，这些引脚均可以接受高达 5.5V 的电压输入。
- 这些引脚还具有“失效防护”功能，这意味着它们也可以在器件上电之前被施加电压。

为了实现上述特性，这些 GPIO 的输入缓冲器的结构与该器件上的其他 GPIO 不同。因此，还定义了额外的漏电流参数（未通电时的漏电流）和器件通电时通电漏电流的行为差异。图 6-3 显示了这些引脚的典型漏电流曲线。如图所示，当引脚上的电压超过器件的电源 (VDDIO) 电压时，漏电流会增加。在此转换阶段，可以观察到最高漏电流。一旦输入引脚电压大于约 4V，电流就会在输入电压范围的剩余部分稳定到标称值。

Copyright © 2026 Texas Instruments Incorporated

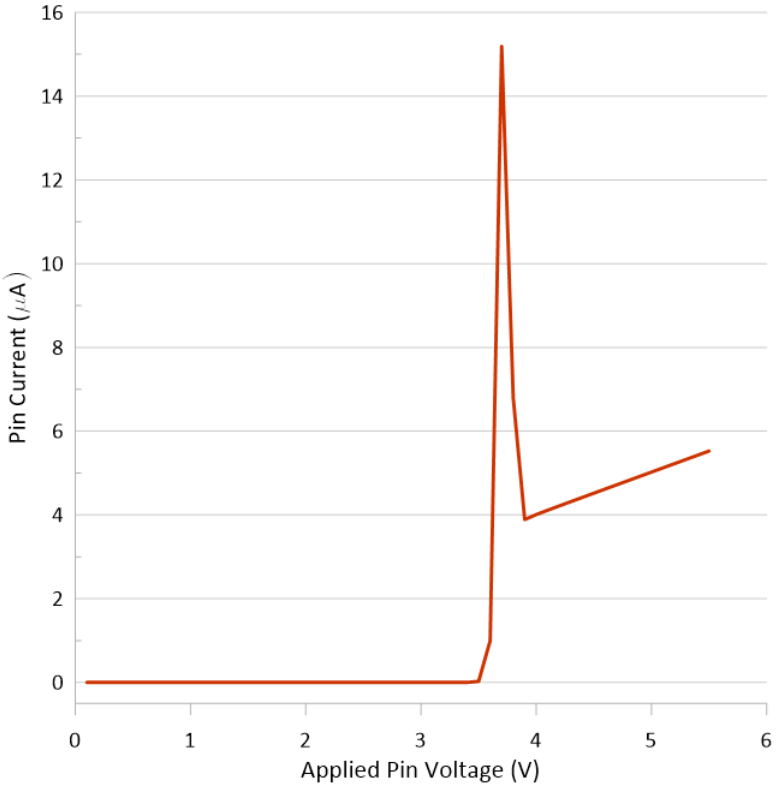


图 6-3. 漏电流与输入电压间的关系（器件已通电）

6.9 PZ 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻	11
$R_{\Theta JB}$	结至电路板热阻	28.8
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	46.4
Psi_{JT}	结至封装顶部	0.4
Psi_{JB}	结点到电路板	28.2

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.10 PN 和 PNA 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻	14.4
$R_{\Theta JB}$	结至电路板热阻	29.5
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	51.7
Psi_{JT}	结至封装顶部	0.5
Psi_{JB}	结点到电路板	29.4

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.11 PM 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻	11.6
$R_{\Theta JB}$	结至电路板热阻	24.9
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	45.0
Psi_{JT}	结至封装顶部	0.4
Psi_{JB}	结点到电路板	24.5

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

Copyright © 2026 Texas Instruments Incorporated

6.12 RSH 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻（顶部）	11.6
	结至外壳热阻（底部）	1.2
$R_{\Theta JB}$	结至电路板热阻	6.7
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	23.7
Psi_{JT}	结至封装顶部	0.1
Psi_{JB}	结点到电路板	6.7

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

Copyright © 2026 Texas Instruments Incorporated

6.13 YAF 封装的热阻特性

		°C/W[1]
$R_{\Theta JC}$	结至外壳热阻（顶部）	0.155
$R_{\Theta JB}$	结至电路板热阻	16.86
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	52.20
Psi_{JT}	结至封装顶部	0.09
Psi_{JB}	结点到电路板	16.70

Copyright © 2026 Texas Instruments Incorporated

6.14 ZNG 封装的热阻特性

		°C/W(1)
$R_{\Theta JC}$	结至外壳热阻（顶部）	待定
$R_{\Theta JB}$	结至电路板热阻	待定
$R_{\Theta JA}$（高 k PCB）	结至大气热阻	待定
Psi_{JT}	结至封装顶部	待定
Psi_{JB}	结点到电路板	待定

6.15 散热设计注意事项

根据最终应用设计和运行情况，I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J。通常在封装顶部表面的中心测量 T_{case}。热应用手册 *半导体和 IC 封装热指标* 有助于理解热指标和相关定义。

Copyright © 2026 Texas Instruments Incorporated

6.16 系统

6.16.1 电源管理模块 (PMM)

6.16.1.1 引言

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

6.16.1.2 概述

在图 6-4 中给出了 PMM 的方框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

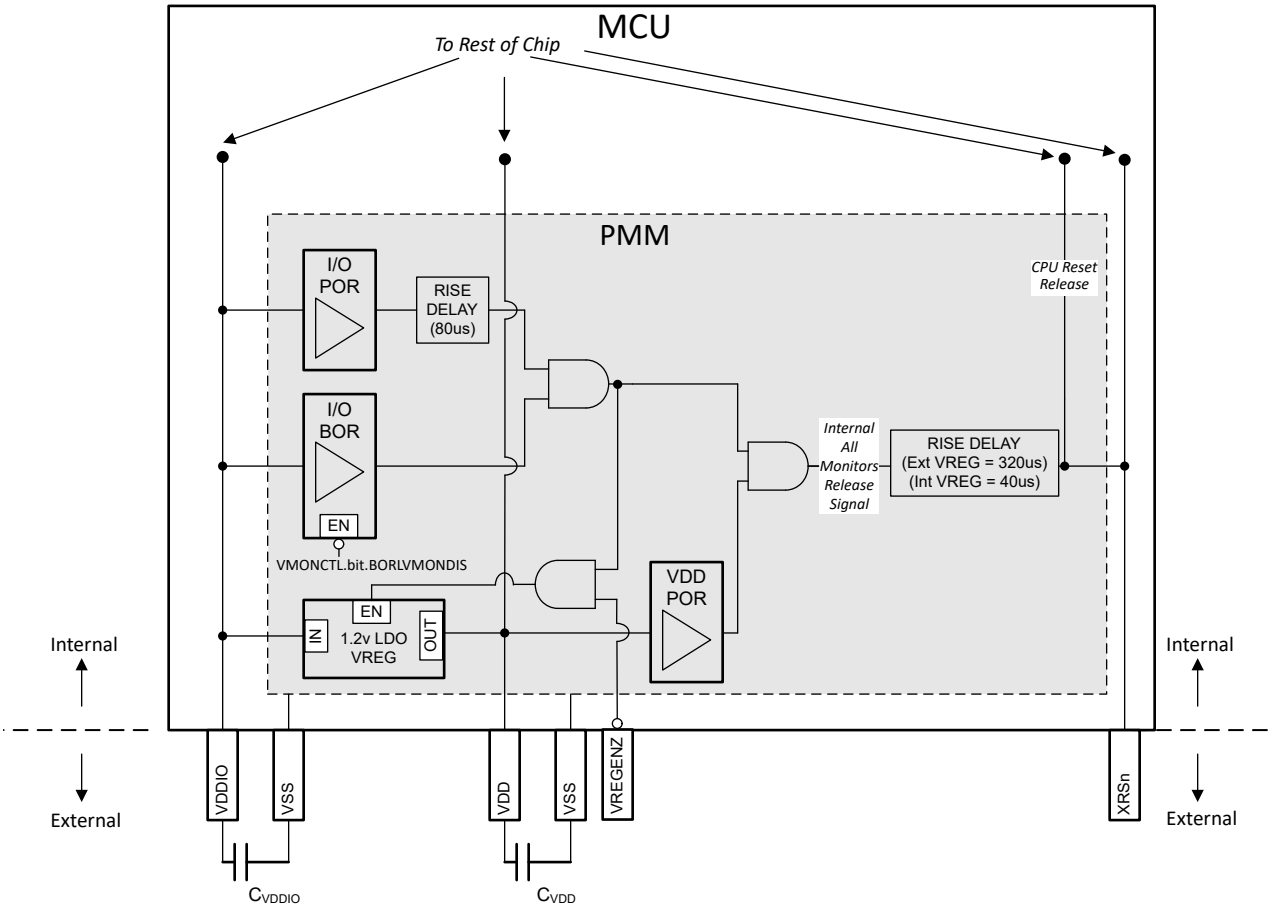


图 6-4. PMM 方框图

6.16.1.2.1 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 XRSn 信号跳闸为低电平。后续各节将介绍各种电压监视器。

备注

启动后，并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。

三个电压监视器（I/O POR、I/O BOR、VDD POR）都必须在器件开始运行（即 XRSn 变为高电平）之前释放各自的输出。但是，如果任何电压监视器跳闸，XRSn 将被驱动为低电平。当任何电压监视器跳闸时，I/O 保持高阻抗。

Copyright © 2026 Texas Instruments Incorporated

6.16.1.2.1.1 I/O POR（上电复位）监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，这是第一个在 VDDIO 上释放的监视器（即第一个要解除跳闸的监视器）。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压，因此不应用于器件监控。

6.16.1.2.1.2 I/O BOR（欠压复位）监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间，这是第二个在 VDDIO 上释放的监视器（即第二个要解除跳闸的监视器）。与 I/O POR 相比，该监视器具有更严格的容差。

只要电压降至低于建议工作电压，都会导致 I/O BOR 跳闸并复位器件，但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后，才能禁用 I/O BOR。如果 I/O BOR 被禁用，I/O POR 将在电压下降时复位器件。

图 6-5 所示为 I/O BOR 的工作区域。

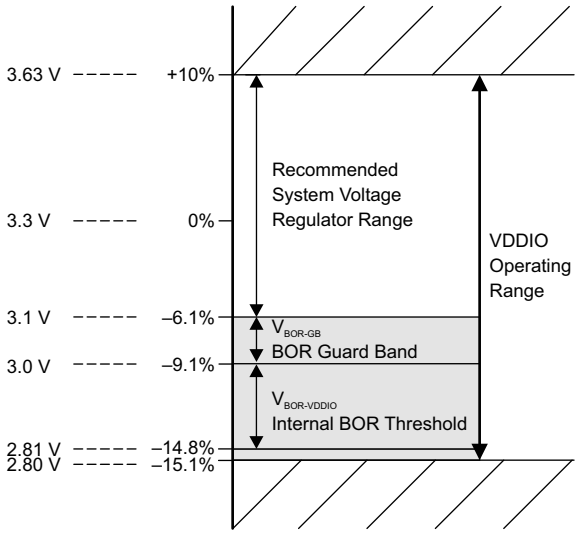


图 6-5. I/O BOR 工作区域

6.16.1.2.1.3 VDD POR（上电复位）监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

VDD POR 编程为低于 VDD 最小建议电压的水平，因此，如果应用中需要 VDD 监控，不应该依赖 VDD POR 来进行此监控。

6.16.1.2.2 外部监控器使用情况

VDDIO 监控：I/O BOR 功能只要满足应用要求，就可用于 I/O 电源轨监控。

Copyright © 2026 Texas Instruments Incorporated

VDD 监控：

- VDD 由内部 VREG 供电：VDD 电源由 VDDIO 电源提供。VREG 的设计方式使有效的 VDDIO 电源（由 IO BOR 监控）意味着有效的 VDD 电源。
- VDD 由外部电源供电：VDD POR 不支持应用使用。如果应用需要 VDD 监控，则可以使用外部监控器监控 VDD 电源轨。

备注

不支持将外部监控器与内部 VREG 一起使用。如果应用需要 VDD 监控，则必须使用具有 VREGENZ 引脚的封装从外部为 VDD 供电。

6.16.1.2.3 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。这是为了确保当 XRSn 释放时电压稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

备注

方框图中指定的延迟数字是典型值。

6.16.1.2.4 内部 VDD LDO 稳压器 (VREG)

内部 VREG 通过 VDDIO 电源轨供电，并且能够生成为 VDD 引脚供电所需的输出。启用它的方法是将 VREGENZ 引脚绑定为低电平。尽管有了内部 VREG 后便不再需要为 VDD 使用外部电源，但 VDD 引脚上仍需要去耦电容器以便确保 VREG 的稳定性与瞬态稳定性。如需了解更多详细信息，可参阅 *"VDD 去耦"* 一节。

6.16.1.2.5 VREGENZ

VREGENZ（VREG 禁用）引脚可控制内部 VREG 的状态。要启用内部 VREG，请将 VREGENZ 引脚连接到逻辑低电压。对于从外部为 VDD 供电（外部 VREG）的应用，通过将 VREGENZ 引脚连接至高电平来禁用内部 VREG。

备注

并非所有器件封装都具有 VREGENZ 引脚输出。对于没有 VREGENZ 的封装，不支持外部 VREG 模式。

6.16.1.3 外部元件

6.16.1.3.1 去耦电容器

VDDIO 与 VDD 需要 去耦电容器才能正常运行。后续章节将概述这些要求。

6.16.1.3.1.1 VDDIO 去耦

在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于电源管理模块电气数据和时序中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1：**根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2：**安装等效于 C_{VDDIO} * VDDIO 引脚的单个去耦电容器。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

Copyright © 2026 Texas Instruments Incorporated

6.16.1.3.1.2 VDD 去耦

在 VDD 上放置最小的去耦电容值。请参阅 C_{VDD} TOTAL 参数（位于电源管理模块电气数据和时序中）。

在外部 VREG 模式下，实际使用的去耦电容值取决于驱动 VDD 的电源。

可接受以下任一配置：

- **配置 1：**对 VDD 引脚上的 C_{VDD} TOTAL 执行除法运算。该选项可用于内部 VREG 模式，在该模式下，可能无法在 PCB 上将所有 VDD 引脚连接在一起。请参阅 电源引脚联动 部分。
- **配置 2：**安装一个容值为 C_{VDD} TOTAL 的去耦电容器。在该配置中，PCB 上的所有 VDD 引脚必须相互连接。

备注

将去耦电容器（一个或多个）靠近器件引脚放置至关重要。

6.16.1.4 电源时序

6.16.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，连接所有电源引脚以避免任何未连接的情况。

在外部 VREG 模式下，VDD 引脚应连接在一起并由单个电源供电。

在内部 VREG 模式下，将 VDD 引脚连接在一起是可选操作，只要每个 VDD 引脚上都有一个电容器连接至引脚即可。如需了解 VDD 去耦配置的更多详细信息，可参阅 *“VDD 去耦”* 一节。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议运行条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推

6.16.1.4.2 信号引脚电源序列

在给器件供电之前，请勿向任何数字引脚施加比 VDDIO 高 0.3V 或比 VSS 低 0.3V 的电压，也不得向任何模拟引脚施加比 VDDA 高 0.3V 或比 VSSA 低 0.3V 的电压（包括 VREFHI）。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

小心

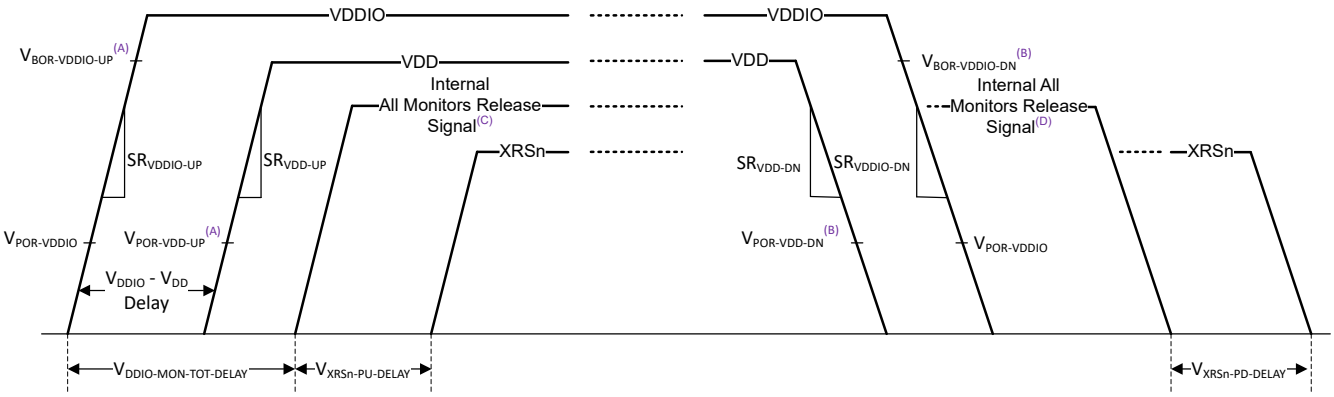
如果违反上述序列，则可能会发生器件故障，甚至可能造成损坏，因为电流将流经器件中的意外寄生路径。

Copyright © 2026 Texas Instruments Incorporated

6.16.1.4.3 电源引脚电源序列

6.16.1.4.3.1 外部 VREG/VDD 模式序列

图 6-6 展示了外部 VREG 模式的电源时序控制要求。所有参数的值可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅*电源管理模块特性*表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅*电源管理模块特性*表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 *PMM 方框图*。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 *PMM 方框图*。

图 6-6. 外部 VREG 上电序列

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应首先以指定的最小压摆率出现。
  2. VDD（即 1.2V 电源轨）应随后以指定的最小压摆率出现。
  3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
  4. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PD-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
  5. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  6. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。
- **在断电期间：**
  1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，有最小压摆率规格。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. 在断电期间跳闸的任何 POR 或 BOR 监视器都会导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平。

备注

*所有监视器释放信号*是一个内部信号。

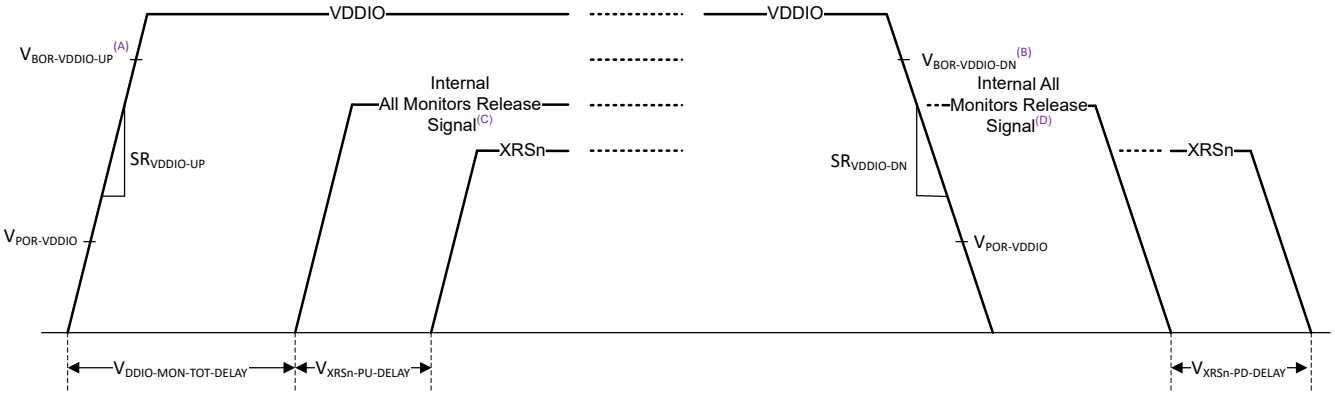
备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

Copyright © 2026 Texas Instruments Incorporated

6.16.1.4.3.2 内部 VREG/VDD 模式序列

图 6-7 展示了内部 VREG 模式的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅*电源管理模块特性*表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅*电源管理模块特性*表。
C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监控器释放后变为高电平。请参阅 *PMM 方框图*。
D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 *PMM 方框图*。

图 6-7. 内部 VREG 上电序列

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应提供指定的最小压摆率。
  2. 在释放 I/O 监视器（I/O POR 和 I/O BOR）后，内部 VREG 将上电。
  3. 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSN-PU-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
  4. I/O BOR 监视器在上电和断电期间具有不同的释放点。
- **在断电期间：**
  1. 在断电期间对 VDDIO 的唯一要求是压摆率。
  2. I/O BOR 监视器在上电和断电期间具有不同的释放点。
  3. I/O BOR 跳闸将导致 XRSn 在 $V_{XRSN-PD-DELAY}$ 之后变为低电平，并使内部 VREG 断电。

备注

*所有监视器释放信号*是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.16.1.4.3.3 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

小心

不可接受的序列会导致可靠性问题并可能导致损坏。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照电源引脚电源序列中的说明进行操作。

Copyright © 2026 Texas Instruments Incorporated

表 6-1. 外部 VREG 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	否
D	2	3	1	否
E	3	2	1	否
F	3	1	2	否
G	1	1	2	是
H	2	2	1	否

表 6-2. 内部 VREG 序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	否
C	1	1	是

备注

应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

6.16.1.4.3.4 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注

XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

VDD 在外部 VREG 模式下具有最低压摆率要求。如果不满足最低压摆率要求，VDD POR 可能会在达到 VDD 最低工作电压之前释放，并且器件可能无法在正确的复位状态下启动。

6.16.1.5 建议运行条件对 PMM 的适用性

如*建议运行条件*表中所述，器件上所有引脚的电压 (V_{IN}) 应保持在 VSS – 0.3V 以上。低于该值的负电压将向器件注入电流，从而可能导致运行异常。应特别注意 PMM 附近的引脚。这些引脚上的负电压可能会导致 POR 或 BOR 模块意外将 XRSn 置为有效或禁用内部 VREG（请参阅 *PMM 方框图*）。下面的 *PMM 附近的引脚*表中显示了该器件上 PMM 附近的引脚。

表 6-3. PMM 附近的引脚

引脚名称	引脚编号					
	100 PZ	80 PNA/PN	64 PM	56 RSH	49 YAF	32 ZNG
GPIO42	–	57	–	–	–	–
GPIO8	74	58	47	–	–	–

避免引脚上出现负噪声的方法包括（按重要性排序）：

1. 从源头降低或消除噪声。
2. 避免这些引脚上的噪声源之间的耦合。

Copyright © 2026 Texas Instruments Incorporated

3. 通过器件引脚附近的滤波器隔离任何噪声。

Copyright © 2026 Texas Instruments Incorporated

6.16.1.6 电源管理模块电气数据和时序

6.16.1.6.1 电源管理模块运行条件

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
通用						
C_{VDDIO}(1)(2)	每个引脚的 VDDIO 电容(7)		0.1			µF
C_{VDDA}(1)(2)	每个引脚的 VDDA 电容(7)		2.2			µF
SR_{VDD33}(3)	3.3V 电源轨（VDDIO、VDDA）的电源电压斜升速率		20		100	mV/us
$V_{BOR-VDDIO-GB}$(5)	VDDIO 欠压复位电压保护带			0.1		V
外部 VREG						
$C_{VDD\ TOTAL}$(1)(4)	总 VDD 电容(7)		10			µF
SR_{VDD12}(3)	1.2V 电源轨 (VDD) 的电源电压斜升速率		10		100	mV/us
V_{DDIO} - V_{DD} 延迟(6)	VDDIO 和 VDD 之间的斜坡延迟		0			us
内部 VREG						
$C_{VDD\ TOTAL}$(1)(4)	总标称 VDD 电容(7)		10		22	µF

(1) 还应使用大容量电容器。去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
(2) 建议将 3.3V 电压轨（VDDIO、VDDA）连接在一起并由单电源供电。
(3) 请参阅*电源压摆率*一节。电源斜坡速率高于最大值会触发片上 ESD 保护。
(4) 请参阅*电源管理模块 (PMM)* 一节，了解总去耦电容的可能配置。
(5) TI 建议使用 $V_{BOR-VDDIO-GB}$，避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR-VDDIO 复位。要防止在器件正常运行期间激活 BOR-VDDIO，良好的系统稳压器设计和去耦电容（符合系统稳压器规格）非常重要。$V_{BOR-VDDIO-GB}$ 的值是一个系统级设计注意事项；此处列出的电压是许多应用的典型值。
(6) 3.3V 电源轨斜升时和 1.2V 电源轨斜升时之间的延迟。请参阅 *VREG 序列摘要*表，了解允许的电源斜坡序列。
(7) 最大电容器容差应为 20%。

6.16.1.6.2 电源管理模块特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{VREG}	内部稳压器输出			1.25		V
$V_{VREG-PU}$	内部稳压器加电时间				350	us
$V_{VREG-INRUSH}$(4)	内部稳压器浪涌电流			650		mA
$V_{POR-VDDIO}$	VDDIO 上电复位电压	XRSn 释放之前和之后		2.3		V
$V_{BOR-VDDIO-UP}$(1)	斜升时的 VDDIO 欠压复位电压	XRSn 释放之前		2.7		V
$V_{BOR-VDDIO-DOWN}$(1)	斜降时的 VDDIO 欠压复位电压	XRSn 释放之后	2.81		3.0	V
$V_{XRSn-PU-DELAY}$(2)	上电期间电源斜升后的 XRSn 释放延迟			40		us
$V_{XRSn-PD-DELAY}$(3)	断电期间电源斜降后的 XRSn 跳闸延迟			2		us
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监视器（POR、BOR）路径中的总延迟			80		us

Copyright © 2026 Texas Instruments Incorporated

6.16.1.6.2 电源管理模块特性（续）

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{XRSn\text{-}MON\text{-}RELEASE\text{-}DELAY}$	VDD POR 事件之后的 XRSn 释放延迟	电源处于工作范围内		40		us
	VDDIO BOR 事件之后的 XRSn 释放延迟			40		us
	VDDIO POR 事件之后的 XRSn 释放延迟			120		us

(1) 请参阅 *I/O BOR 工作区域* 图。
(2) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。
(3) 断电时，任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。
(4) 这是内部 VREG 导通时在 VDDIO 电源轨上汲取的瞬态电流。因此，当 VREG 导通时，VDDIO 电源轨上可能会出现一些压降，这可能导致 VREG 逐步斜升。这不会对器件产生不利影响，但如果需要，可以通过在 VDDIO 上使用足够的去耦电容器或选择能够提供此瞬态电流的 LDO 或直流/直流稳压器来降低影响。

Copyright © 2026 Texas Instruments Incorporated

6.16.2 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间，监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息，请参阅*电源管理模块 (PMM)* 部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚，从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 V_{OL}。图 6-8 展示了推荐的复位电路。

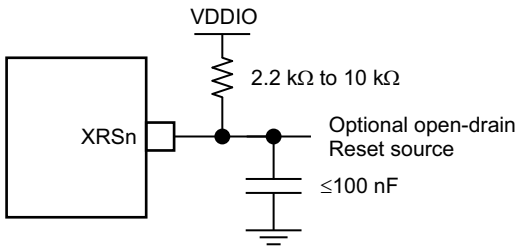


图 6-8. 复位电路

6.16.2.1 复位源

复位信号 表总结了各种复位信号及其对器件的影响。

表 6-4. 复位信号

复位源	CPU 内核复位（C28x、FPU、TMU）	外设复位	JTAG/调试逻辑复位	IOs	$\overline{XRS}$ 输出
POR	是	是	是	高阻态	是
BOR	是	是	是	高阻态	是
$\overline{XRS}$ 引脚	是	是	否	高阻态	-
$\overline{WDRS}$	是	是	否	高阻态	是
$\overline{NMIWDRS}$	是	是	否	高阻态	是
$\overline{SYSRS}$（调试器复位）	是	是	否	高阻态	否
$\overline{SCCRESET}$	是	是	否	高阻态	否
SIMRESET。$\overline{XRS}$	是	是	否	高阻态	是
SIMRESET。$\overline{CPU1RS}$	是	是	否	高阻态	否

参数 $t_{h(boot\text{-}mode)}$ 必须考虑从这些来源启动的复位。

请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中“系统控制”一章的*复位*一节。

小心

有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置规定可更改 OTP 中的引导引脚。

Copyright © 2026 Texas Instruments Incorporated

6.16.2.2 复位电气数据和时序

6.16.2.2.1 复位 - XRSn - 时序要求

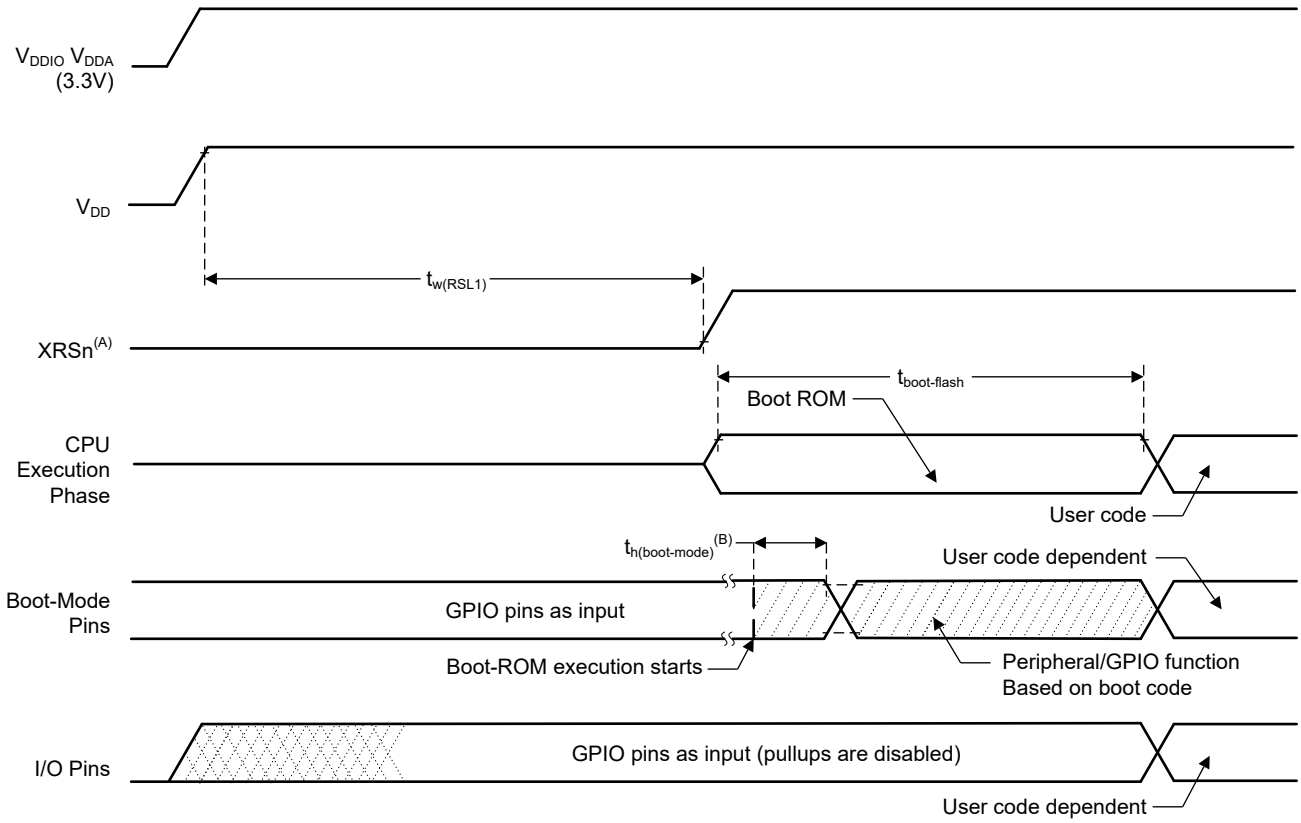
		最小值	最大值	单位
$t_{h(引导模式)}$	引导模式引脚的保持时间	1.5		ms
$t_{w(RSL2)}$	脉冲持续时间，热复位时 XRSn 处于低电平	3.2		μs

6.16.2.2.2 复位 - XRSn - 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(RSL1)}$	脉冲持续时间，XRSn 在电源稳定后由器件驱动为低电平		100		μs
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期
$t_{boot-flash}$	在闪存中第一次取指令之前的引导 ROM 执行时间			1.2	ms

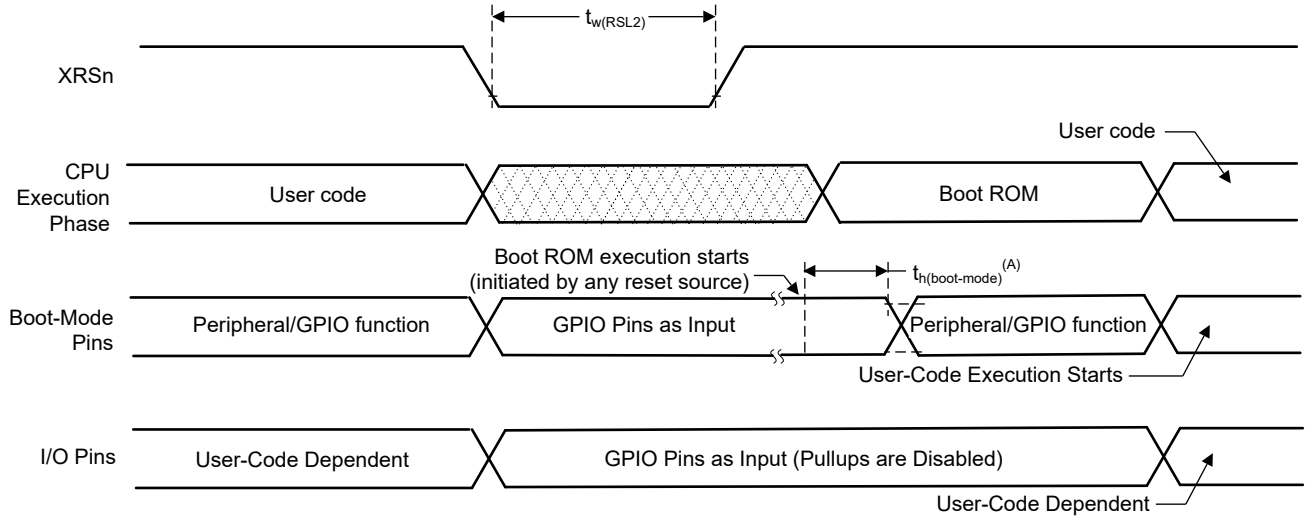
6.16.2.2.3 复位时序图



A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动，请参阅*引脚属性*表。片上监控器将保持该引脚为低电平，直到电源处于有效范围内。

B. 从任何源（参阅*复位源*部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-9. 上电复位



A. 从任何源（参阅*复位源*部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-10. 热复位

Copyright © 2026 Texas Instruments Incorporated

6.16.3 时钟规格

6.16.3.1 时钟源

表 6-5. 可能的基准时钟源

时钟源	说明
INTOSC1	内部振荡器 1。 10MHz 内部振荡器。
INTOSC2(1)	内部振荡器 2。 10MHz 内部振荡器。
X1 (XTAL)	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为 PLL (OSCCLK) 的默认时钟源。

Copyright © 2026 Texas Instruments Incorporated

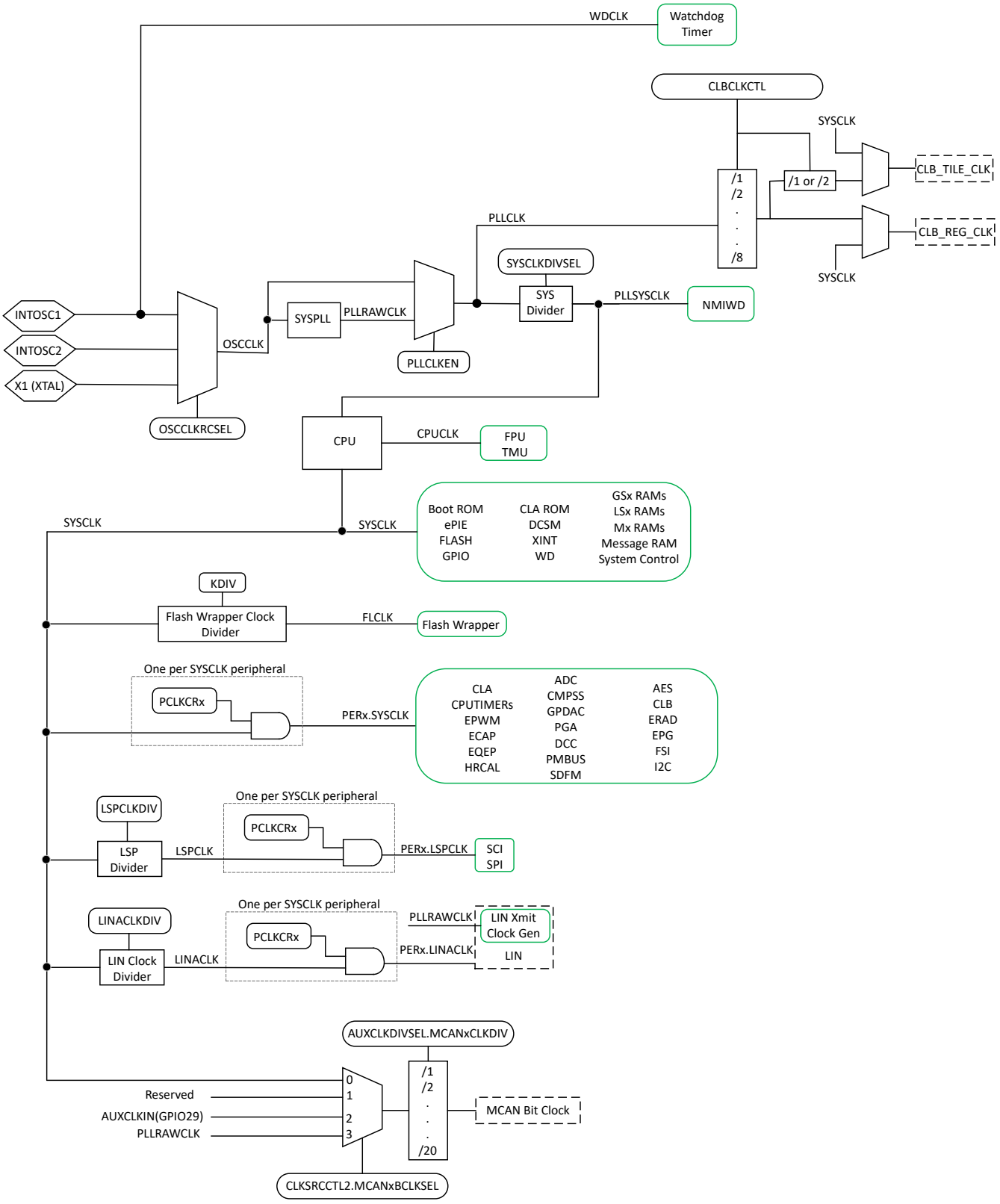


图 6-11. 计时系统

Copyright © 2026 Texas Instruments Incorporated

SYSPLL

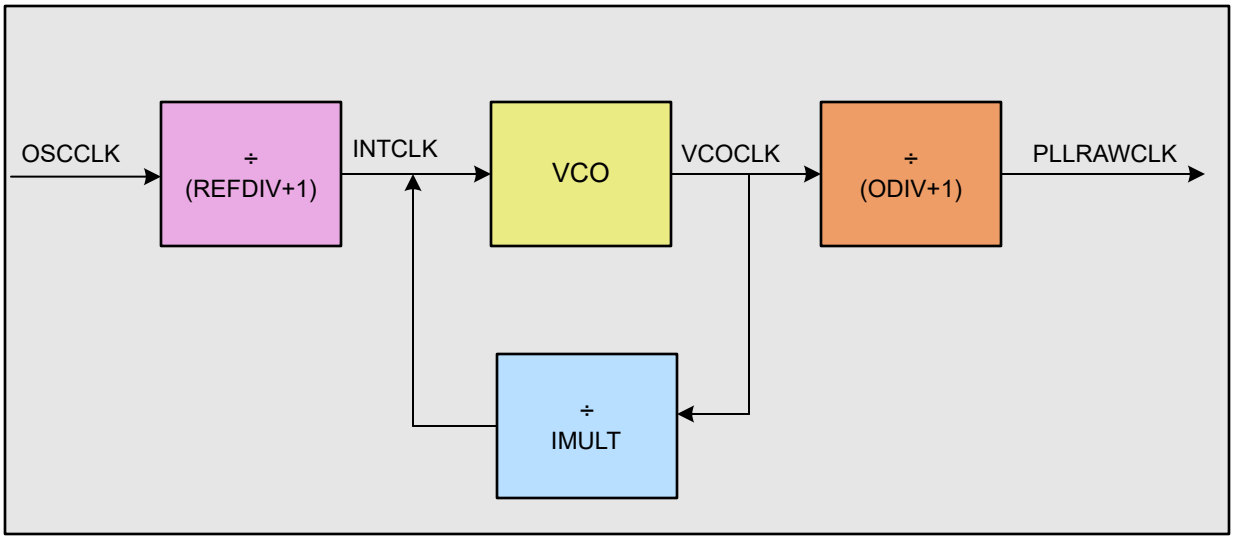


图 6-12. 系统 PLL

在*系统 PLL* 图中，

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

6.16.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

6.16.3.2.1 输入时钟频率和时序要求，PLL 锁定时间

6.16.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	10	25	MHz

6.16.3.2.1.2 XTAL 振荡器特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压	0.7 * VDDIO		VDDIO + 0.3	V

6.16.3.2.1.3 使用外部时钟源（非晶体）时的 X1 输入电平特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
X1 V_{IL}	有效低电平输入电压（缓冲器）	-0.3	0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压（缓冲器）	0.7 * VDDIO	VDDIO + 0.3	V

Copyright © 2026 Texas Instruments Incorporated

6.16.3.2.1.4 X1 时序要求

		最小值	最大值	单位
$t_{f(X1)}$	下降时间，X1		6	ns
$t_{r(X1)}$	上升时间，X1		6	ns
$t_{w(X1L)}$	脉冲持续时间，X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间，X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

6.16.3.2.1.5 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_{f(AUXI)}$	下降时间，AUXCLKIN		6	ns
$t_{r(AUXI)}$	上升时间，AUXCLKIN		6	ns
$t_{w(AUXL)}$	脉冲持续时间，AUXCLKIN 低电平占 $t_{c(XCI)}$ 的百分比	45%	55%	
$t_{w(AUXH)}$	脉冲持续时间，AUXCLKIN 高电平占 $t_{c(XCI)}$ 的百分比	45%	55%	

6.16.3.2.1.6 APLL 特性

在建议运行条件下测得（除非另有说明）

参数	最小值	典型值	最大值	单位
PLL 锁定时间				
SYS PLL 锁定时间(1)			5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	us

(1) 此处的 PLL 锁定时间定义了 PLL 启用 (SYSPLLCTL1[PLLENA]=1) 后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL，请参阅 InitSysPll() 或 SysCtl_setClock()。

6.16.3.2.1.7 XCLKOUT 开关特性 - 旁路或启用 PLL

在建议运行条件下测得（除非另有说明）

参数(1)		最小值	最大值	单位
$t_{f(XCO)}$	下降时间，XCLKOUT		6	ns
$t_{r(XCO)}$	上升时间，XCLKOUT		6	ns
$t_{w(XCOL)}$	脉冲持续时间，XCLKOUT 低电平	H – 2(2)	H + 2(2)	ns
$t_{w(XCOH)}$	脉冲持续时间，XCLKOUT 高电平	H – 2(2)	H + 2(2)	ns
$f_{(XCO)}$	频率，XCLKOUT		50	MHz

(1) 假定这些参数有 6pF 的负载。
(2) H = 0.5$t_{c(XCO)}$

6.16.3.2.1.8 内部时钟频率

		最小值	标称值	最大值	单位
$f_{(SYSCLK)}$	频率，器件（系统）时钟	2		160	MHz
$t_{c(SYSCLK)}$	周期，器件（系统）时钟	6.67		500	ns
$f_{(INTCLK)}$	频率，系统 PLL 输入 VCO（在 REFDIV 之后）	2		20	MHz
$f_{(VCOCLK)}$	频率，系统 PLL VCO（在 ODIV 之前）	220		640	MHz
$f_{(PLLRAWCLK)}$	频率，系统 PLL 输出（在 SYSCLK 分频器之前）	6		320	MHz
$f_{(PLL)}$	频率，PLLSYSCLK	2		160	MHz
$f_{(PLL_LIMP)}$	频率，PLL 跛行频率(1)		45/(ODIV+1)		MHz
$f_{(LSP)}$	频率，LSPCLK	2		160	MHz
$t_{c(LSPCLK)}$	周期，LSPCLK	6.67		500	ns

Copyright © 2026 Texas Instruments Incorporated

6.16.3.2.1.8 内部时钟频率（续）

		最小值	标称值	最大值	单位
$f_{(OSCCLK)}$	频率，OSCCLK（INTOSC1、INTOSC2、XTAL 或 X1）		参阅各自的时钟		MHz
$f_{(EPWM)}$	频率，EPWMCLK			160	MHz
$f_{(HRPWM)}$	频率，HRPWMCLK	60		160	MHz
$f_{(CLB)}$	频率、CLBCLK			160	MHz

(1) OSCCLK 无效时的 PLL 输出频率（OSCCLK 丢失导致 PLL 变为跛行模式）。

6.16.3.3 输入时钟和 PLL

除了内部 0 引脚振荡器外，还支持三种类型的外部时钟源：

- 单端 3.3V 外部时钟。时钟信号应连接到 X1（如图 6-13 所示），且 XTALCR.SE 位设置为 1。
- 外部晶体。如图 6-14 所示，晶体应连接在 X1 和 X2 之间，其负载电容器连接至 VSS。
- 外部谐振器。如图 6-15 所示，谐振器应连接在 X1 和 X2 之间，且其接地端连接至 VSS。

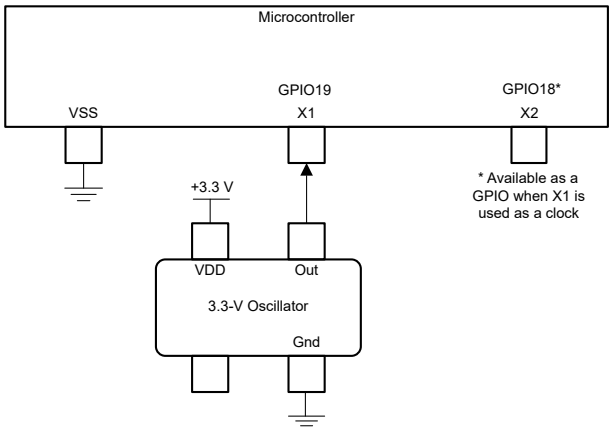


图 6-13. 单端 3.3V 外部时钟

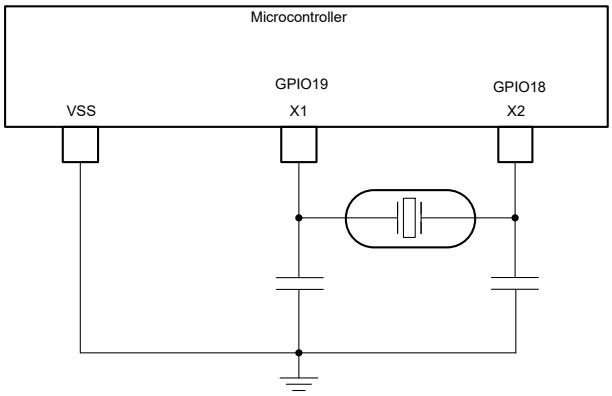


图 6-14. 外部晶体

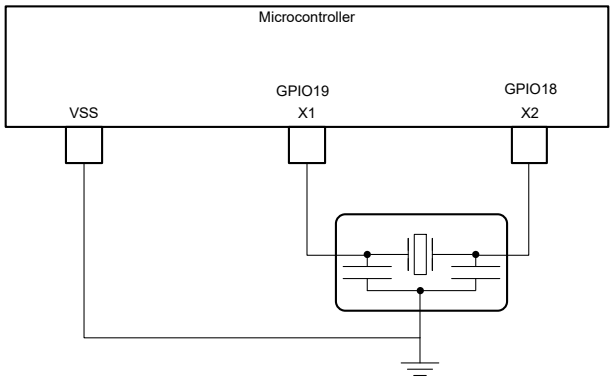


图 6-15. 外部谐振器

6.16.3.4 XTAL 振荡器

6.16.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.16.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.16.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-16 所示为电子振荡器和振荡电路的元件。

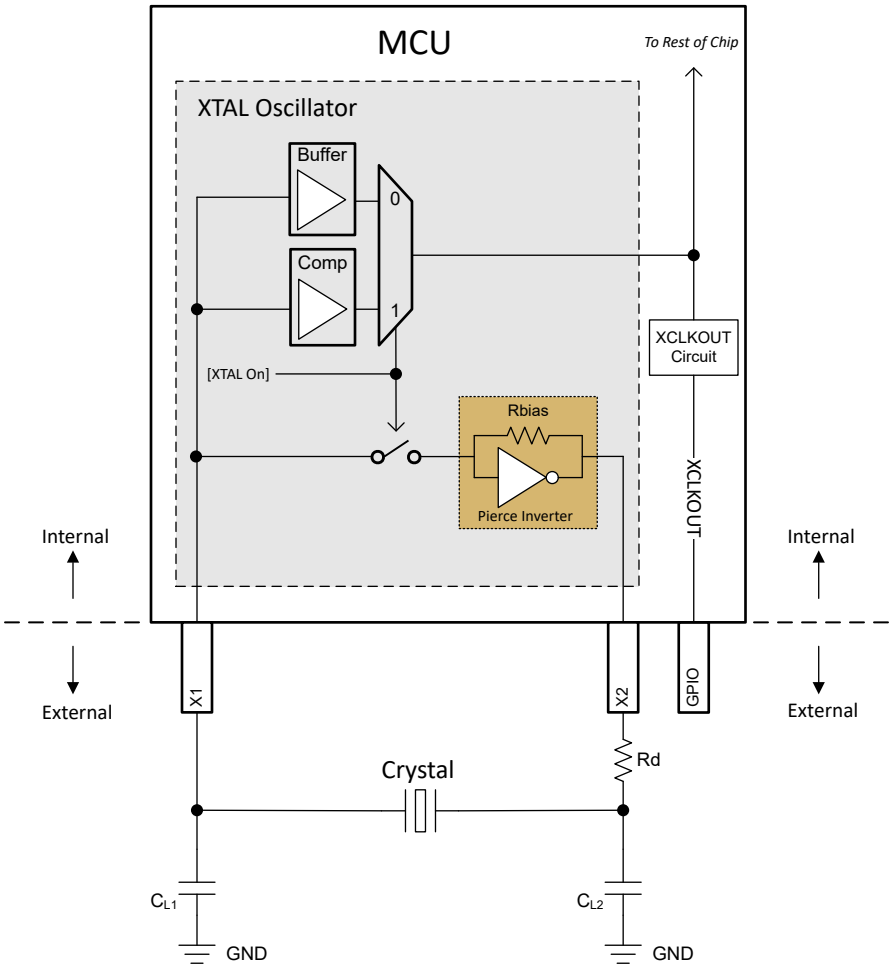


图 6-16. 电子振荡器方框图

6.16.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.16.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 Rbias 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 *XTAL 振荡器特性* 表。

6.16.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

Copyright © 2026 Texas Instruments Incorporated

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅 *使用外部时钟源（非晶体）时的 X1 输入电平特征* 表。

6.16.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅 *GPIO 多路复用引脚* 表。

6.16.3.4.2.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-17 所示，并在下文中有相应说明。

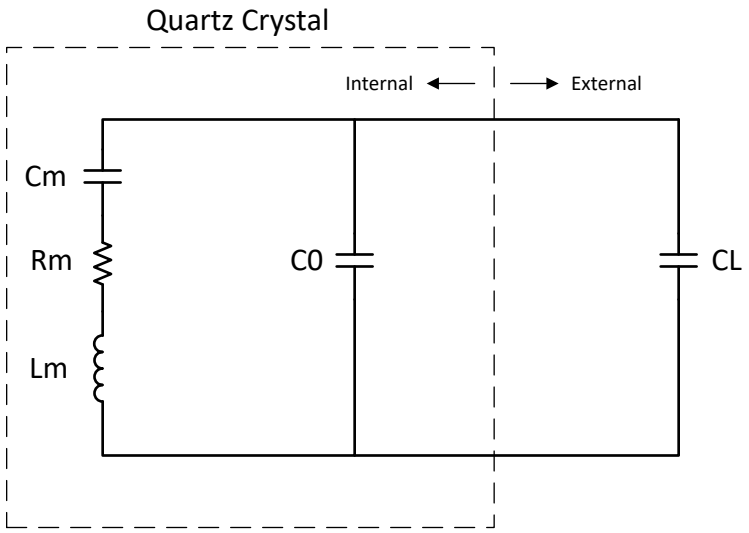


图 6-17. 晶体电气表示

Cm（动态电容）：表示晶体的弹性。

Rm（动态电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

Lm（动态电感）：表示晶体的振动质量。

C0（并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL（负载电容）：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-16，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

Copyright © 2026 Texas Instruments Incorporated

6.16.3.4.2.3 GPIO 运行模式

在此器件上，X1 和 X2 分别可用作 GPIO19 和 GPIO18，具体取决于 XTAL 的工作模式。请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中的*外部振荡器 (XTAL)* 一节。

6.16.3.4.3 正常运行

6.16.3.4.3.1 ESR – 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (2)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

6.16.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-18 和图 6-19 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-6 了解设计中需要注意的最小值和最大值。

6.16.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 *Rneg - 负电阻* 一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅*晶体振荡器规格* 一节。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.16.3.4.3.3.1 X1/X2 前提条件

在该器件上，X1/X2 上的 GPIO19/18 备选功能可用于在需要时缩短晶体的启动时间。此功能是通过将负载电容器 CL1 和 CL2 预调节到 XTAL 开启前的已知状态来实现的。有关详细信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册*。

6.16.3.4.3.4 DL – 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.16.3.4.4 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR <=50Ω，符合 20MHz 的规格。

Copyright © 2026 Texas Instruments Incorporated

3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
   - 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
   - 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容
4. 确认晶体的最大驱动电平 <= 1 mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

6.16.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

Copyright © 2026 Texas Instruments Incorporated

6.16.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览*如何选择晶体*部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.16.3.4.7 晶体振荡器规格

6.16.3.4.7.1 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 6-6. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

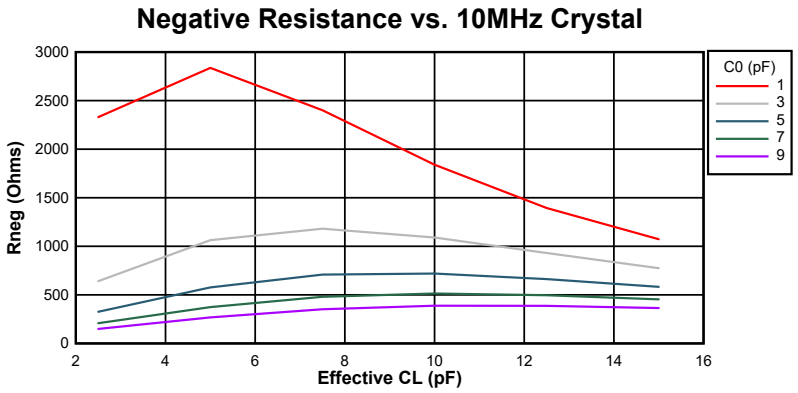


图 6-18. 10MHz 时的负电阻变化

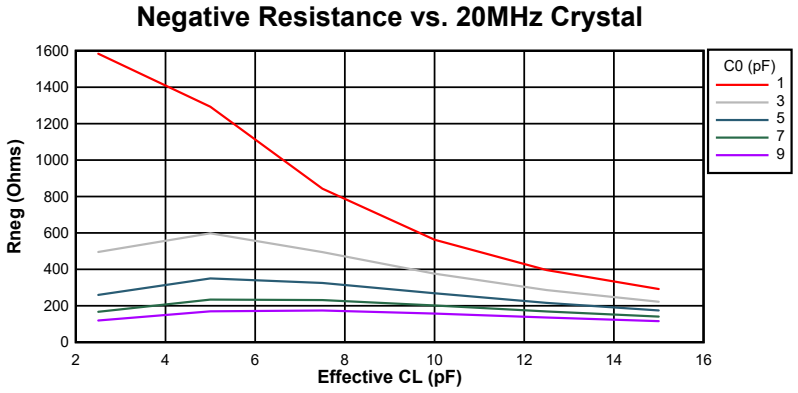


图 6-19. 20MHz 时的负电阻变化

Copyright © 2026 Texas Instruments Incorporated

6.16.3.4.7.2 晶体振荡器参数

		最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶体并联电容		7	pF

6.16.3.4.7.3 晶体振荡器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
启动时间(1)	f = 10MHz	ESR 最大值 = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR 最大值 = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

6.16.3.5 内部振荡器

为了减少电路板生产成本和缩短应用开发时间，所有 器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。

如果应用需要更严格的 **SCI 波特率匹配**，则可以使用 C2000Ware 中提供的 SCI 波特率调优示例 (baud_tune_via_uart)。

备注

内部振荡器 (INTOSC) 频率容易受机械应力和热应力影响。由于将板级应力直接转移到硅片，晶圆芯片级封装 (WCSP) 中的这种敏感性得以提高。可能的频率移位源包括：

- **回流焊：**组装期间的热循环可能会导致暂时性频率移位。回流焊后烘烤可以使器件恢复到标称数据表性能。
- **机械应力：**由 PCB 翘曲、底部填充材料或粘合剂（胶水）应用引起的应力可能会导致 INTOSC 频率持续变化。

设计人员应确保 PCB 机械设计和组装工艺（包括底部填充材料选择）能够尽可能减小器件上的应力，从而保持下表中所示的频率精度。

6.16.3.5.1 INTOSC 特性

在建议运行条件下测得（除非另有说明）

参数		器件	封装后缀	测试条件	最小值	典型值	最大值	单位
f_{INTOSC}	频率，INTOSC1 和 INTOSC2(1)	全部	PZ、PN、PNA、PM、RSH、YAF	-40°C 至 125°C	9.82 (-1.8%)	10	10.1 (1.0%)	MHz
f_{INTOSC}	频率，INTOSC1 和 INTOSC2(1)	全部	PZ、PN、PNA、PM、RSH、YAF	-30°C 至 90°C	9.86 (-1.4%)	10	10.1 (1.0%)	MHz
f_{INTOSC}	频率，INTOSC1 和 INTOSC2(1)	全部	PZ、PN、PNA、PM、RSH、YAF	-10°C 至 85°C	9.9 (-1.0%)	10	10.1 (1.0%)	MHz
f_{INTOSC}	频率，INTOSC1 和 INTOSC2(1)	全部	ZNG	-40°C 至 125°C	9.7 (-3.0%)	10	10.3 (3.0%)	MHz
$f_{INTOSC-STABILITY}$	室温下的频率稳定性	全部	全部	30°C，标称 VDD		±0.1		%

Copyright © 2026 Texas Instruments Incorporated

6.16.3.5.1 INTOSC 特性（续）

在建议运行条件下测得（除非另有说明）

参数		器件	封装后缀	测试条件	最小值	典型值	最大值	单位
$t_{INTOSC-ST}$	启动和稳定时间	全部	全部				20	µs

(1) 由于回流焊的热应力和机械应力，INTOSC 频率可能会发生偏移。回流焊后烘烤可以使器件恢复到原始数据表性能。

Copyright © 2026 Texas Instruments Incorporated

6.16.4 闪存参数

表 6-7 列出了不同时钟源和频率下所需的最低闪存等待状态。等待状态是寄存器 FRDCNTL[RWAIT] 中设置的值。

表 6-7. 不同时钟源和频率下所需的最低闪存等待状态

CPUCLK (MHz)	等待状态 (FRDCNTL[RWAIT](1))
120 < CPUCLK ≤ 160	3
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) 所需的最小 FRDCNTL[RWAIT] 为 1，不支持 RWAIT=0。

F28P55x 器件具有经改进的 128 位预取缓冲器，可在不同等待状态下提供更高的闪存代码执行效率。图 6-20 和图 6-21 展示了该系列器件与采用 64 位预取缓冲器的上一代器件在不同等待状态设置下的典型效率比较情况。使用预取缓冲器时的等待状态执行效率将取决于应用软件中存在的分支数量。此处提供了线性代码和 if-then-else 代码的两个示例。

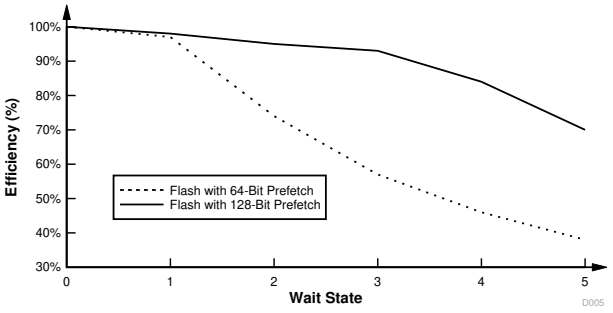


图 6-20. 具有大量 32 位浮点数学指令的应用程序代码

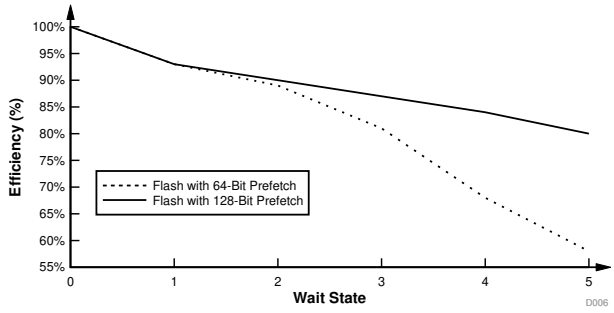


图 6-21. 具有 16 位 If-Else 指令的应用程序代码

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。

6.16.4.1 闪存参数

参数		最小值	典型值	最大值	单位
编程时间[1]	128 数据位 + 16 ECC 位		62.5	625	µs
	2KB（扇区）		8	80	ms
擦除时间[2][3]（< 25 个周期）	2KB（扇区）		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
擦除时间[2][3]（1000 个周期）	2KB（扇区）		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
擦除时间[2][3]（2000 个周期）	2KB（扇区）		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
擦除时间[2][3]（20K 个周期）	2KB（扇区）		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
N_{wec} 整个闪存的写入/擦除周期 [4]				100000	周期
$t_{retention}$ 数据保持持续时间 (T_J = 85ºC)		20			年

(1) 编程时间是最大器件频率下的值。 编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。
编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU 对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。
擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。

(4) 存储体和扇区写入/擦除周期的总和不能超过此数字

Copyright © 2026 Texas Instruments Incorporated

6.16.5 RAM 规格

F28P55x 器件上所有易失性存储器（RAM 和 ROM）的读取和写入均为 0 等待状态，这意味着存储器以与 SYSCLK 相同的速度运行。表 6-8 总结了器件上不同 RAM 实例的特征。

表 6-8. RAM 参数

RAM 类型	尺寸	获取时间(1)（周期数）	读取时间(1)（周期数）	存储时间（周期数）	总线宽度	可用总线数量	等待状态次数	突发访问
LS RAM	64KB	2	2	1	16/32 位	2	0	否
M0	2KB	2	2	1	16/32 位	1	0	否
M1	2KB	2	2	1	16/32 位	1	0	否
GS RAM	32KB	2	2	1	16/32 位	2	0	否
CLA 到 CPU 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CPU 到 CLA 消息 RAM	256B	2	2	1	16/32 位	2	0	否
CLA 到 DMA 消息 RAM	256B	2	2	1	16/32 位	3	0	否
DMA 到 CLA 消息 RAM	256B	2	2	1	16/32 位	3	0	否

(1) 读取/写入/提取之间无需仲裁。访问在 2 个周期内完成；否则，将遵循仲裁优先级（写入/读取/获取）。

Copyright © 2026 Texas Instruments Incorporated

6.16.6 ROM 规格

F28P55x 器件上所有易失性存储器（RAM 和 ROM）的读取和写入均为 0 等待状态，这意味着存储器以与 SYSCLK 相同的速度运行。表 6-9 总结了器件上 ROM 实例的各个方面。

表 6-9. ROM 参数 - F28P55xSG 和 F28P55xSD

ROM 类型	尺寸	获取时间(1)（周期数）	读取时间(1)（周期数）	存储时间（周期数）	总线宽度	可用总线数量	等待状态次数	突发访问
引导 ROM + 安全 ROM	96KB	2	2	1	16/32 位	1	0	否
CLA 数据 ROM	8KB	2	2	1	16/32 位	2	0	否

(1) 读取/写入/提取之间无需仲裁。访问在 2 个周期内完成；否则，将遵循仲裁优先级（写入/读取/获取）。

Copyright © 2026 Texas Instruments Incorporated

6.16.7 仿真/JTAG

JTAG（IEEE 标准 1149.1-1990 标准测试接入端口和边界扫描架构）端口有四个专用引脚：TMS、TDI、TDO 和 TCK。cJTAG（针对简化引脚和增强功能测试接入端口以及边界扫描架构的 IEEE 标准 1149.7-2009）端口，是一个只需要两个引脚（TMS 和 TCK）的紧凑型 JTAG 接口，此接口可实现多路复用为传统 GPIO35 (TDI) 和 GPIO37 (TDO) 引脚的其他器件功能。

通常情况下，当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm)，并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。但是，如果需要高仿真速度（35MHz 左右），则应在每个 JTAG 信号上串联 22Ω 电阻。

JTAG 调试探针头的 PD（电源检测）引脚应连接到电路板 3.3V 电源。接头 GND 引脚应连接至电路板接地。TDIS（电缆断开感应）也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出引脚环回到接头的 RTCK 输入引脚（以通过 JTAG 调试探针检测时钟连续性）。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2kΩ 至 4.7kΩ（取决于调试器端口的驱动强度）的板载上拉电阻在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

接头引脚 $\overline{\text{RESET}}$ 是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位（仅通过 20 引脚接头可用）。图 6-22 展示了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号图 6-23 展示了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头引脚 EMU2、EMU3 和 EMU4 未使用，应接地。

有关硬件断点和观察点的更多信息，请参阅 CCS 中 C2000 器件的硬件断点和观察点。

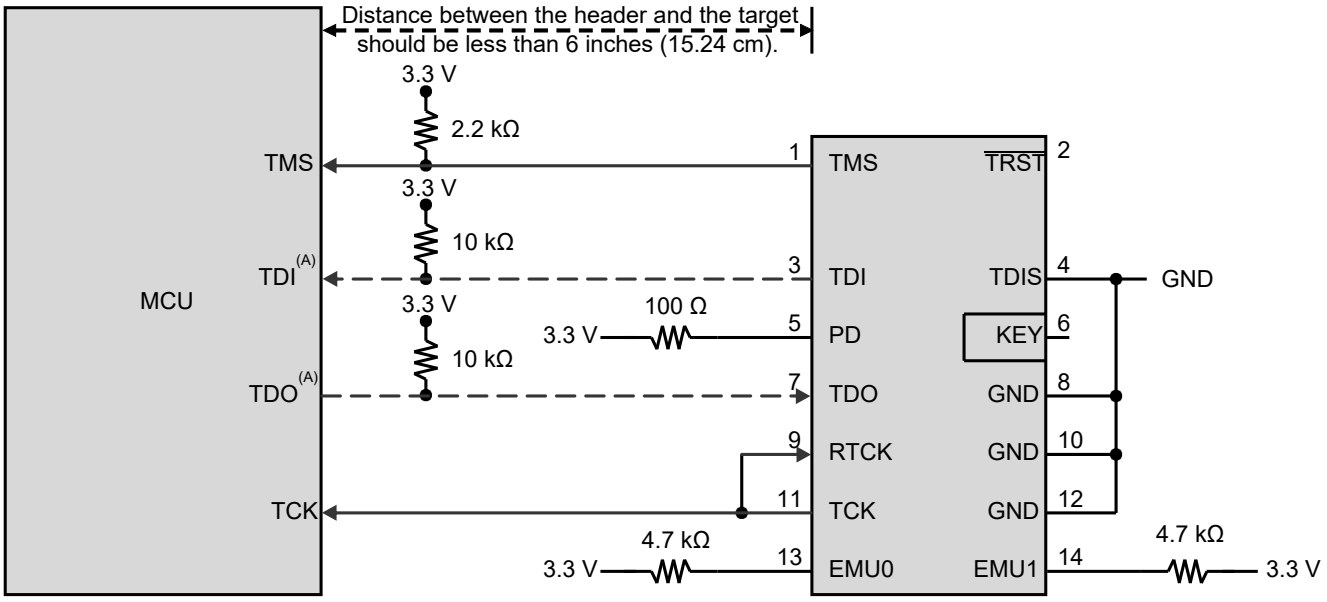
有关 JTAG 仿真的更多信息，请参阅 *XDS 目标连接指南*。

备注

JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果此引脚被用作 JTAG TDI，应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中，此引脚可用作 GPIO。

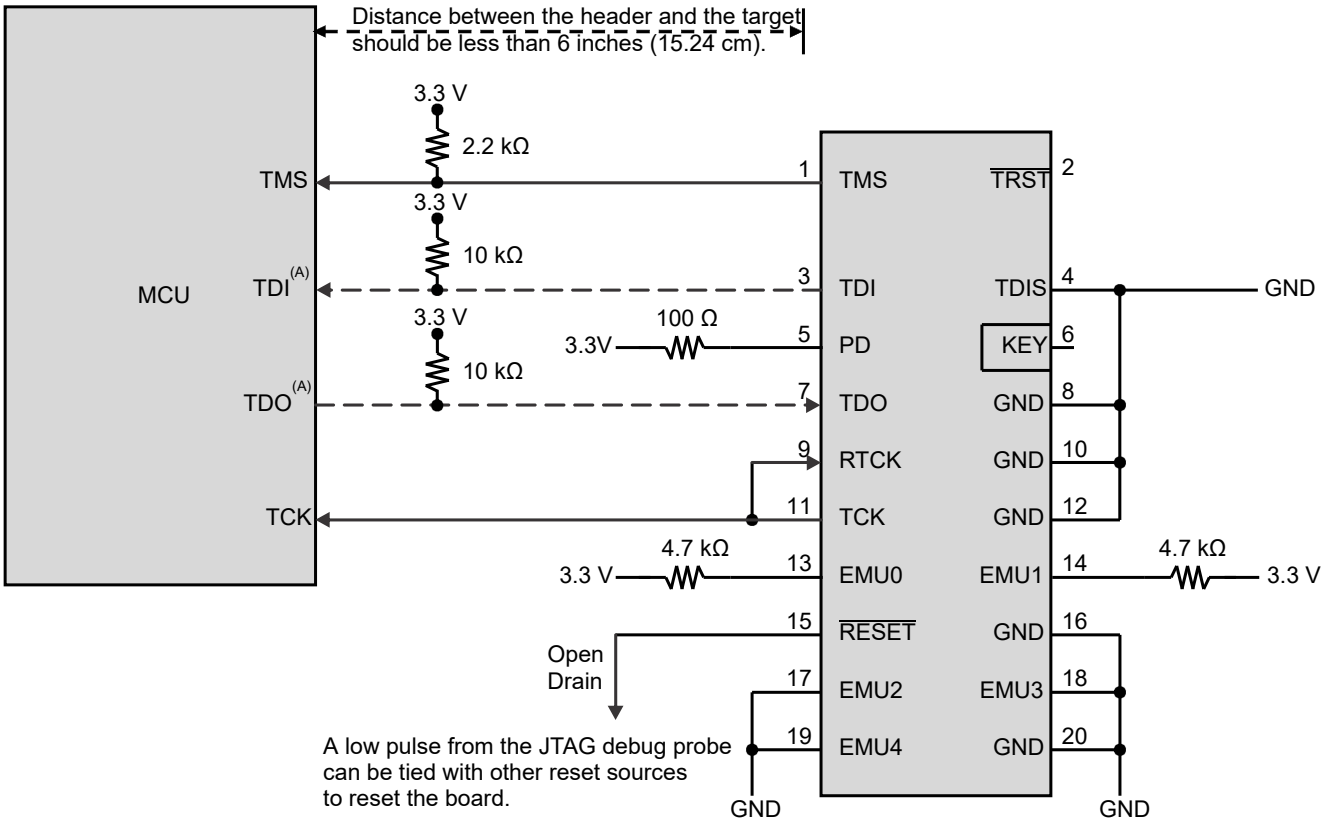
JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 函数将处于三态条件，使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉，以避免 GPIO 输入悬空。在 cJTAG 选项中，此引脚可用作 GPIO。

Copyright © 2026 Texas Instruments Incorporated



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-22. 连接到 14 引脚 JTAG 接头



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-23. 连接到 20 引脚 JTAG 接头

Copyright © 2026 Texas Instruments Incorporated

6.16.7.1 JTAG 电气数据和时序

6.16.7.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	66.66		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	26.66		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	26.66		ns
3	$t_{su(TDI-TCKH)}$	输入建立时间，TDI 有效至 TCK 高电平	7		ns
	$t_{su(TMS-TCKH)}$	输入建立时间，TMS 有效至 TCK 高电平	7		
4	$t_{h(TCKH-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	7		

6.16.7.1.2 JTAG 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TDO)}$	TCK 低电平到 TDO 有效的延迟时间	6	20	ns

6.16.7.1.3 JTAG 时序图

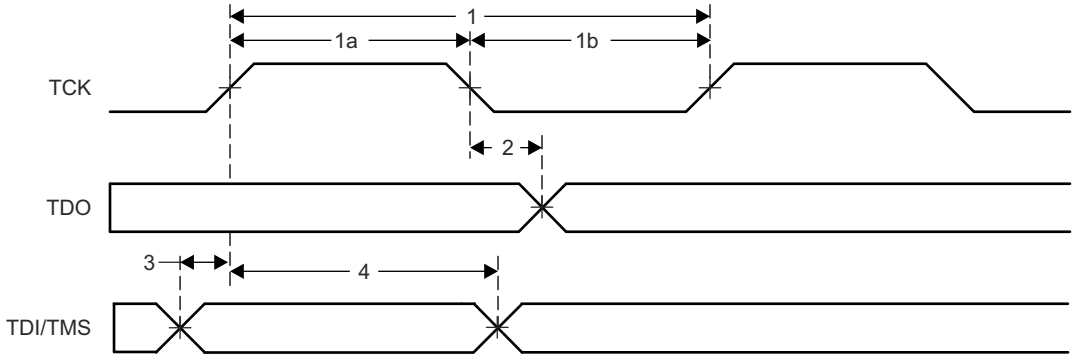


图 6-24. JTAG 时序

6.16.7.2 cJTAG 电气数据和时序

6.16.7.2.1 cJTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	100		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	40		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	40		ns
3	$t_{su(TMS-TCKH)}$	输入建立时间，TMS 有效至 TCK 高电平	7		ns
	$t_{su(TMS-TCKL)}$	输入设置时间，TMS 有效至 TCK 低电平	7		ns
4	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	2		ns
	$t_{h(TCKL-TMS)}$	输入保持时间，从 TCK 低电平至 TMS 有效	2		ns

6.16.7.2.2 cJTAG 开关特性

在建议的工作条件下测得（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TMS)}$	TCK 低电平到 TMS 有效的延迟时间	6	20	ns
5	$t_{dis(TCKH-TMS)}$	延迟时间，TCK 高电平到 TMS 禁用的时间		23	ns

6.16.7.2.3 cJTAG 时序图

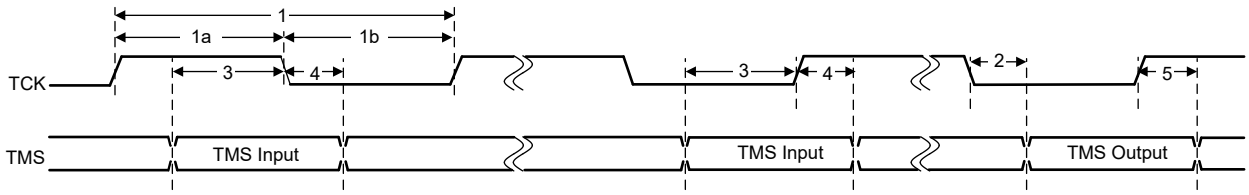


图 6-25. cJTAG 时序

Copyright © 2026 Texas Instruments Incorporated

6.16.8 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

许多 GPIO 都具有用于输出 X-BAR 的多路复用器选项，允许将各种内部信号路由到 GPIO。所有 GPIO 都连接到每个输入 X-BAR，这些输入 X-BAR 可以将 GPIO 的高电平或低电平状态路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。有关更多详细信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中的“X-BAR”一章。

6.16.8.1 GPIO - 输出时序

6.16.8.1.1 通用输出开关特征

在建议运行条件下测得（除非另有说明）

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		6(1)	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		6(1)	ns
t_{fGPO}	切换频率，GPIO 引脚	下面未列出所有 GPIO		50	MHz
		GPIO 2、3、9 和 32		40	
		GPIO 23 和 GPIO 41		25	

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 6pF。

6.16.8.1.2 通用输出时序图

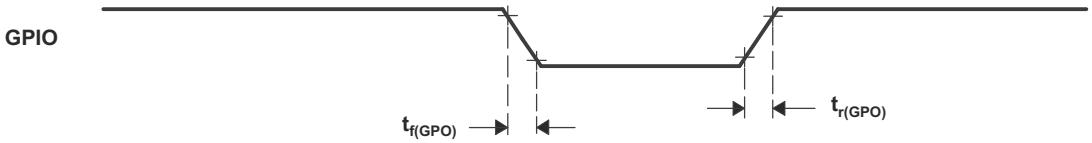


图 6-26. 通用输出时序

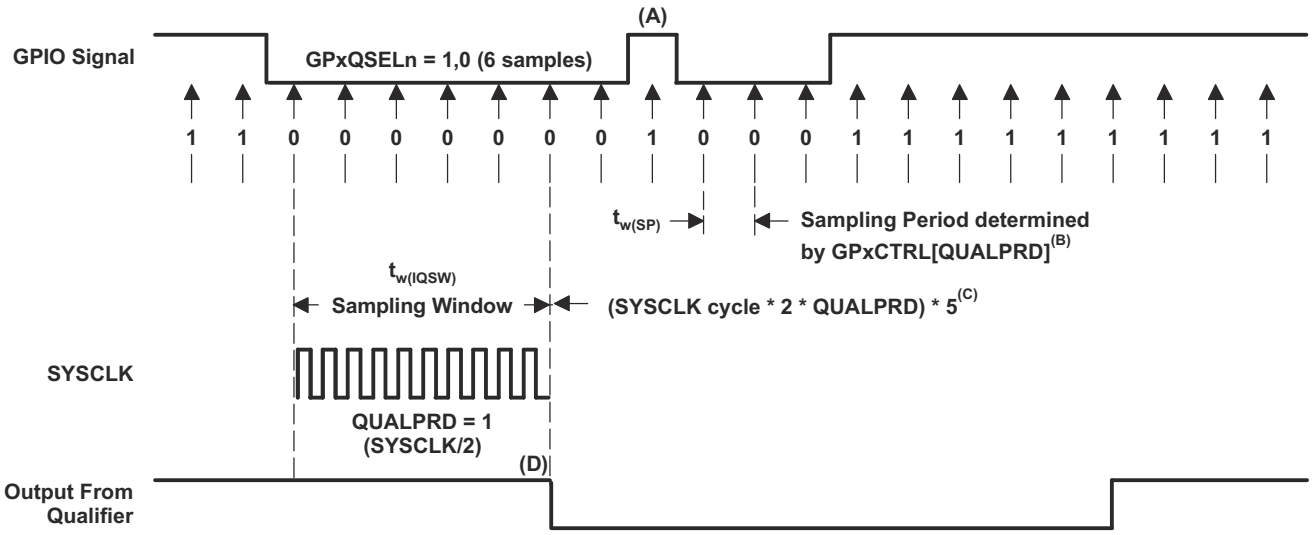
6.16.8.2 GPIO - 输入时序

6.16.8.2.1 通用输入时序要求

			最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SYSCLK)}$		周期
		QUALPRD≠0	$2t_{c(SYSCLK)}$*QUALPRD		周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)}$*(n(1)-1)		周期
$t_{w(GPI)}$ (2)	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SYSCLK)}$		周期
		带输入限定器	$t_{w(IQSW)}$ + $t_{w(SP)}$ + $1t_{c(SYSCLK)}$		周期

(1) “n”代表由 GPxQSELn 寄存器定义的合格样片的数量。
(2) 对于 $t_{w(GPI)}$，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。

6.16.8.2.2 采样模式



A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。

B. 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。

C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。

D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 (5 × QUALPRD × 2) 个 SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-27. 采样模式

Copyright © 2026 Texas Instruments Incorporated

6.16.8.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果 QUALPRD ≠ 0，采样频率 = SYSCLK/(2 × QUALPRD)

如果 QUALPRD=0，则采样频率 = SYSCLK

如果 QUALPRD≠0，则采样周期 = SYSCLK 周期 × 2 × QUALPRD

在上面的等式中，SYSCLK 周期表示 SYSCLK 的时间周期。

如果 QUALPRD=0，则采样周期 = SYSCLK 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 2

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 2

情况 2：

使用 6 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 5

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 5

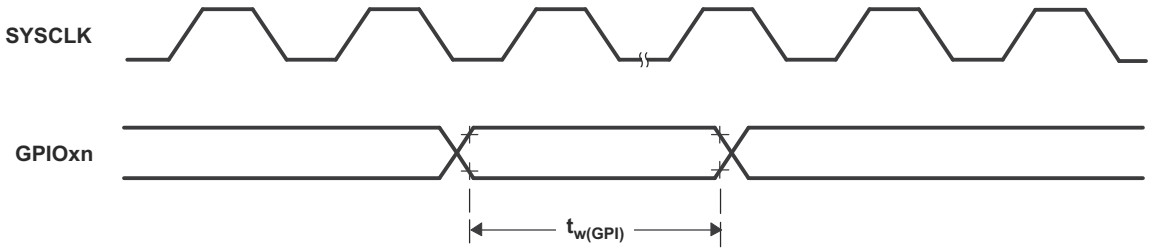


图 6-28. 通用输入时序

Copyright © 2026 Texas Instruments Incorporated

6.16.9 中断

C28x CPU 有 14 条外设中断线路，其中两条（INT13 和 INT14）分别直接连接到 CPU 计时器 1 和 2。其余 12 条通过增强型外设中断扩展 (ePIE) 模块连接到外设中断信号。ePIE 将多达 16 个外设中断多路复用到每条 CPU 中断线路中。它还会扩展矢量表以允许每个中断都有自己的 ISR。这使得 CPU 能够支持大量外设。

中断路径分为三级：外设、ePIE 和 CPU。每一级都有其自身的使能和标志寄存器。该系统允许 CPU 处理一个中断并让其他中断挂起，在软件中实施嵌套中断并确定其优先级，以及在某些关键任务期间禁用中断。

图 6-29 所示为该器件的中断架构。

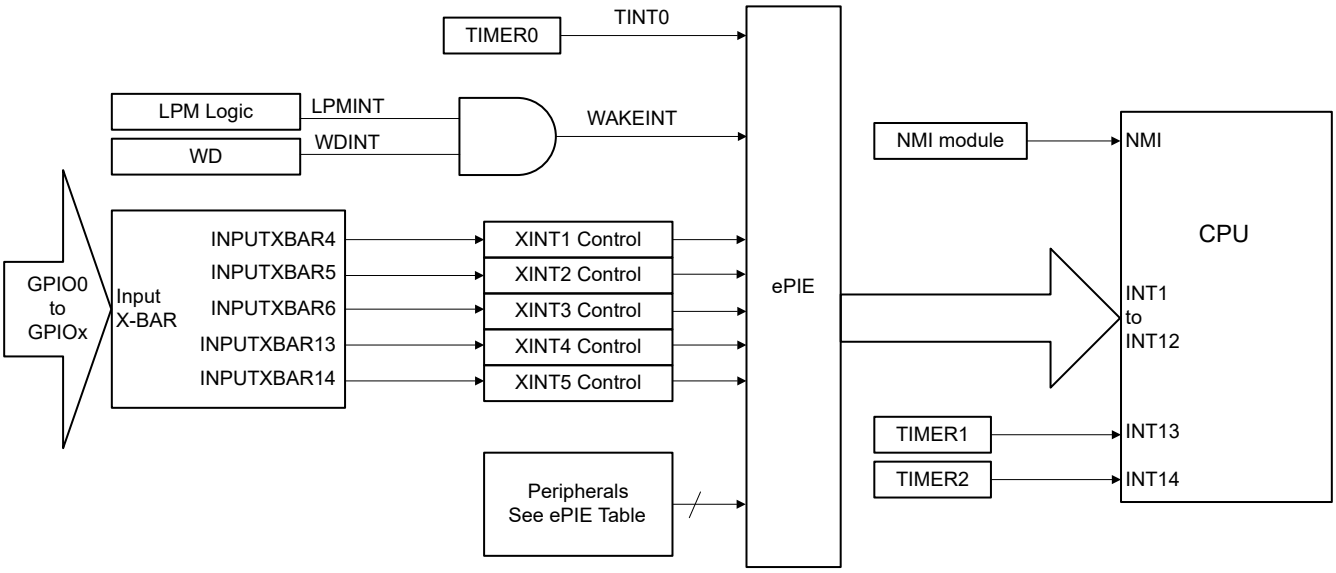


图 6-29. 器件中断架构

Copyright © 2026 Texas Instruments Incorporated

6.16.9.1 外部中断 (XINT) 电气数据和时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.16.9.1.1 外部中断时序要求

			最小值 最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCLK)}$	周期
		带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$	周期

6.16.9.1.2 外部中断开关特性

在建议的工作条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(INT)}$	延时时间，INT 低电平/高电平到中断矢量获取(1)	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	周期

(1) 这是假设 ISR 是在单周期存储器中。

6.16.9.1.3 外部中断时序

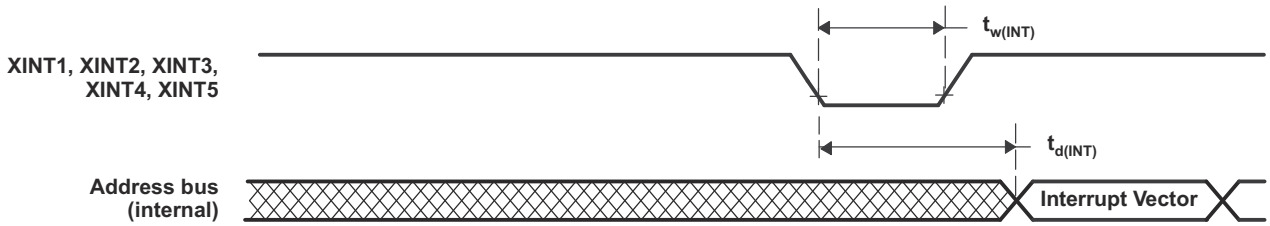


图 6-30. 外部中断时序

6.16.10 低功耗模式

该器件具有停机、空闲和待机三种时钟门控低功耗模式。

有关所有低功耗模式的更多详细信息以及进入和退出过程，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 的*低功耗模式*一节。

6.16.10.1 时钟门控低功耗模式

该器件上的空闲和停机模式与其他 C28x 器件上的类似。表 6-10 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-10. 时钟门控低功耗模式对器件的影响

模块/ 时钟域	空闲	STANDBY	停机
SYSCLK	有效	门控	门控
CPUCLK	门控	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	有效	门控	门控
WDCLK	有效	有效	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
PLL	供电	供电	软件必须在进入 HALT 之前关闭 PLL。
INTOSC1	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
INTOSC2	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
闪存(1)	供电	供电	供电
XTAL(2)	供电	供电	供电

(1) 在任何 LPM 下，闪存模块不会由硬件断电。如果应用需要，可使用软件将其断电。

Copyright © 2026 Texas Instruments Incorporated

(2) 在任何 LPM 下，XTAL 不会由硬件断电。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来断电。如果不需要 XTAL，可以在应用期间的任何时间完成此操作。

6.16.10.2 低功耗模式唤醒时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.16.10.2.1 空闲模式时序要求

			最小值 最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定器	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

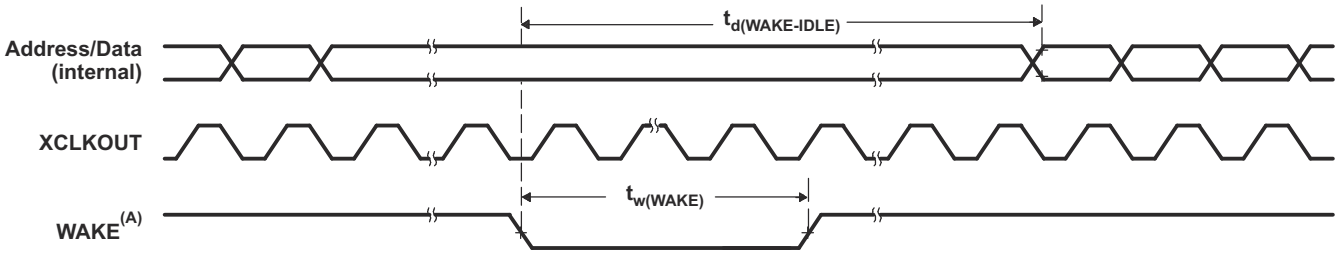
6.16.10.2.2 空闲模式开关特性

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值 最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	来自闪存（活动状态）	无输入限定器	$40t_{c(SYSCLK)}$	周期
			带输入限定器	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	周期
		来自 RAM	无输入限定器	$25t_{c(SYSCLK)}$	周期
			带输入限定器	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

6.16.10.2.3 空闲进入和退出时序图



A. WAKE 可以是任何启用的中断、$\overline{\text{WDINT}}$ 或 XRSn。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

图 6-31. 空闲进入和退出时序图

Copyright © 2026 Texas Instruments Incorporated

6.16.10.2.4 STANDBY 模式时序要求

			最小值 最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	周期
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$(1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

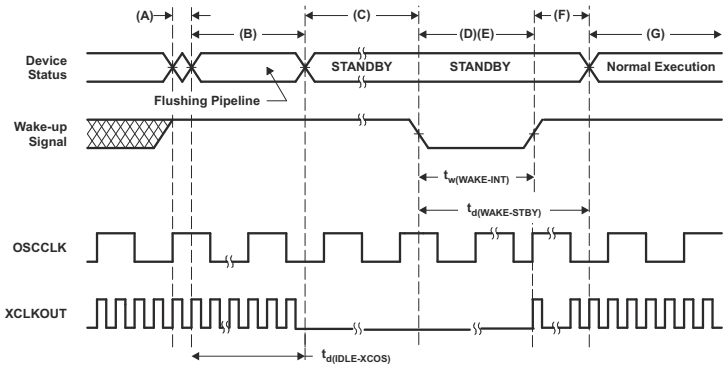
6.16.10.2.5 待机模式开关特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值 最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	从闪存唤醒（闪存模块处于活动状态）	$175t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从 RAM 唤醒	$3t_{c(OSC)}$ + $15t_{c(SYSCLK)}$ + $t_{w(WAKE-INT)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行需要额外延迟。

6.16.10.2.6 待机进入和退出时序图



A. 执行 IDLE 指令将器件置于待机模式。
B. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 外部唤醒信号驱动为有效。
E. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
F. 在延迟周期后，退出待机模式。
G. 执行恢复正常。器件将响应中断（如果启用）。

图 6-32. 待机进入和退出时序图

6.16.10.2.7 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间，GPIO 唤醒信号(1)	t_{oscst} + $2t_{c(OSCCLK)}$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间，$\overline{XRS}$ 唤醒信号(1)	t_{oscst} + $8t_{c(OSCCLK)}$		周期

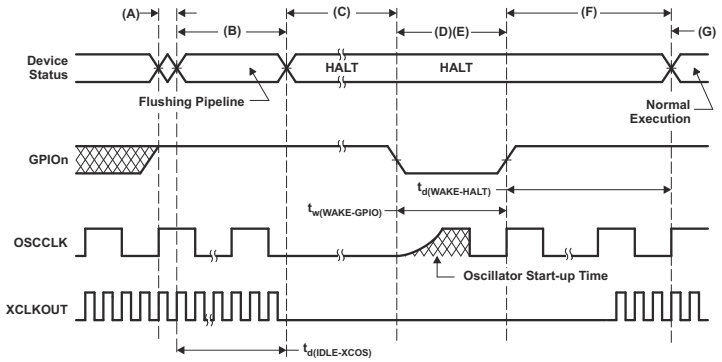
(1) 对于将 X1/X2 用于 OSCCLK 的应用，用户必须表征其特定的振荡器启动时间，因为它取决于器件外部的电路/布局。要了解更多信息，请参阅*晶体振荡器 (XTAL)* 部分。对于使用 INTOSC1 或 INTOSC2 作为 OSCCLK 的应用，请参阅“内部振荡器”部分，了解 t_{oscst}。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用，因为它由器件外部供电。

6.16.10.2.8 停机模式开关特征

在建议的工作条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-HALT)}$	延迟时间，外部唤醒信号结束到 CPU1 程序执行重新开始的时间			周期
	从闪存唤醒 - 闪存模块处于活动状态		$75t_{c(OSCCLK)}$	
	从 RAM 唤醒		$75t_{c(OSCCLK)}$	

6.16.10.2.9 停机模式进入和退出时序图



A. IDLE 指令被执行以将器件置于停机模式。
B. LPM 块响应停机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
C. 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源，内部振荡器也被关断。器件现在处于停机模式，并且功耗非常低。可以在停机模式中保持内部振荡器（INTOSC1 和 INTOSC2）以及看门狗处于活动中。为实现这一点，需要向 CLKSRCCTL1.WDHALTI 写入 1。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 当 GPIOn 引脚（用于使器件脱离停机模式）被驱动为低电平时，振荡器开启并且振荡器唤醒序列被启动。只有当振荡器稳定时，GPIO 才应被驱动为高电平。这样可在 PLL 锁序列期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降沿会以异步方式开始唤醒过程，因此在进入停机模式之前和在此模式期间，应该注意保持低噪声环境。
E. 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
F. 当内核的 CLKIN 已启用时，器件将在一些延迟后响应中断（如果已启用）。现在退出停机模式。
G. 运行恢复正常。
H. 用户必须在停机唤醒时重新锁定 PLL，以确保稳定的 PLL 锁定。

图 6-33. 停机模式进入和退出时序图

Copyright © 2026 Texas Instruments Incorporated

6.17 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括模数转换器 (ADC)、温度传感器、比较器子系统 (CMPSS)、可编程增益放大器 (PGA) 和缓冲数模转换器 (DAC)。

模拟子系统具有以下特性：

- 灵活的电压基准
  - ADC 具有 3 个基准选项：
    1. 内部基准：在该模式下，高基准电压在芯片上产生，并且被引入 V_{REFHI} 引脚进行电容缓冲。V_{REFLO} 引脚用作低侧基准，通常连接至 VSSA。可通过一个 HW 寄存器位，将 ADC 范围配置为 2.5V 或 3.3V。
    2. 外部基准：在该模式下，高基准电压通过 V_{REFHI} 引脚从外部源提供给器件。V_{REFLO} 引脚用作低侧基准，通常连接至 VSSA。可通过一个 HW 寄存器位，将 ADC 范围配置为 1x V_{REFHI} 或 2x V_{REFHI}。
    3. VDDA/VSSA 基准：在该模式下，高基准电压与低基准电压基准来自 VDDA/VSSA 模拟电源。如果所有 ADC 均采用该模式，该等情形下，可根据模拟引脚信号说明，将 V_{REFHI}/V_{REFLO} 引脚用作 ADC 输入通道
  - 缓冲 DAC 以 V_{REFHI} 与 VSSA 为基准。至少要有一个 ADC 必须采用内部基准或外部基准模式，DAC 才能正常工作。
  - 比较器 DAC 以 VDDA 和 VSSA 为基准。
- 灵活地使用引脚
  - 缓冲 DAC 输出、比较器子系统输入和数字输入 (AIO)/输出 (AGPIO) 与 ADC 输入进行多路复用
  - 所有 ADC 上的 V_{REFLO} 的内部连接用于失调电压自我校准

6.17.1 方框图

以下模拟子系统方框图显示了不同集成模拟模块与器件引脚之间的连接。这些引脚分为两类：模拟模块输入/输出引脚和基准引脚。

基准引脚 VREFHI 和 VREFLO 可用于为相关 ADC 提供外部电压基准。VREFHI 还可用于为缓冲 DAC 提供电压基准。对于每个 CMPSS 或缓冲 DAC，基准选择是按模块配置的；使用模块的配置寄存器进行选择。

一些模拟引脚通过多路复用 AIO 和 AGPIO 支持数字功能。AIO 仅支持数字输入功能，而 AGPIO 支持全数字输入和输出功能。

下列注释适用于所有封装：

- 并非所有模拟引脚都适用于所有器件。请参见器件数据表来确定哪些引脚可用。
- 请参阅器件数据手册以确定 VREFHI 和 VREFLO 的允许电压范围。
- 需要在 VREFHI 引脚上连接一个外部电容器。有关所需的具体值，请参阅器件数据手册。

图 6-34 展示了 80 引脚 TQFP、64 引脚 LQFP 和 56 引脚 VQFN 的模拟子系统方框图。

图 6-35 展示了 100 引脚 LQFP 的模拟子系统方框图。

图 6-36 展示了模拟组连接的概览。

节 6.17.2 中给出了模拟引脚和内部连接。节 6.17.3 列出了模拟信号的说明。

Copyright © 2026 Texas Instruments Incorporated

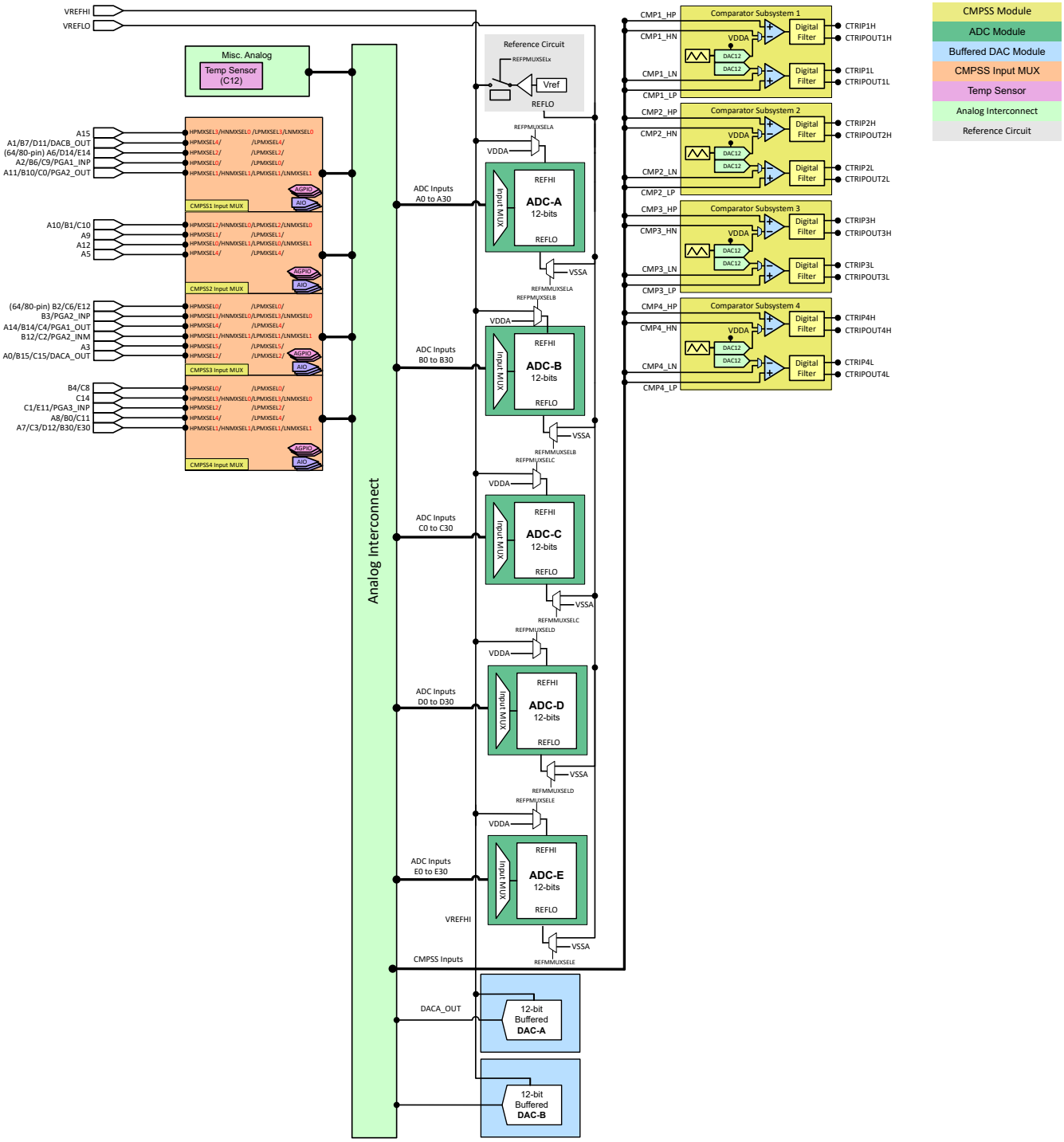


图 6-34. 模拟子系统方框图（80/64/56 引脚封装）

Copyright © 2026 Texas Instruments Incorporated

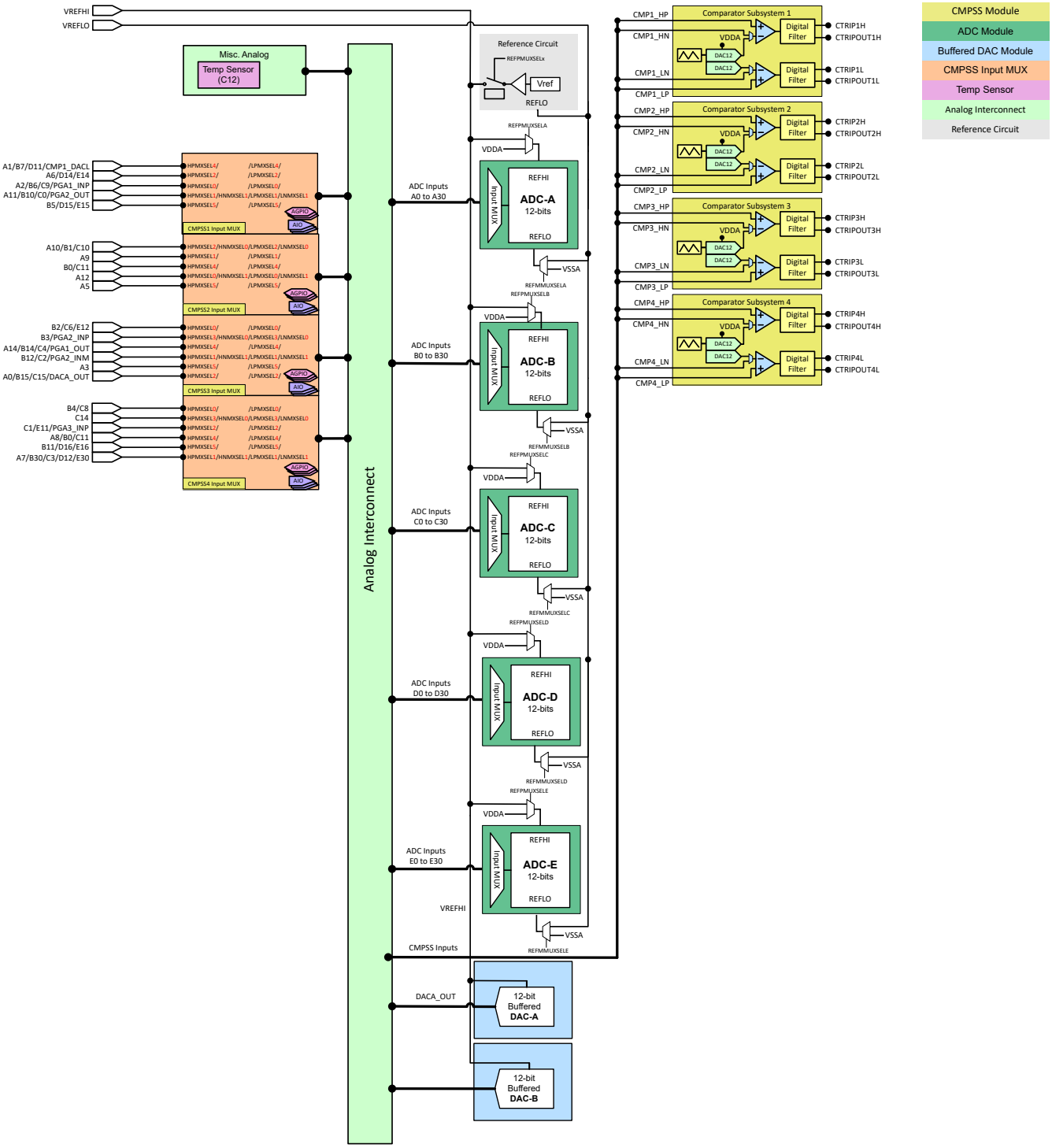


图 6-35. 模拟子系统方框图（100 引脚封装）

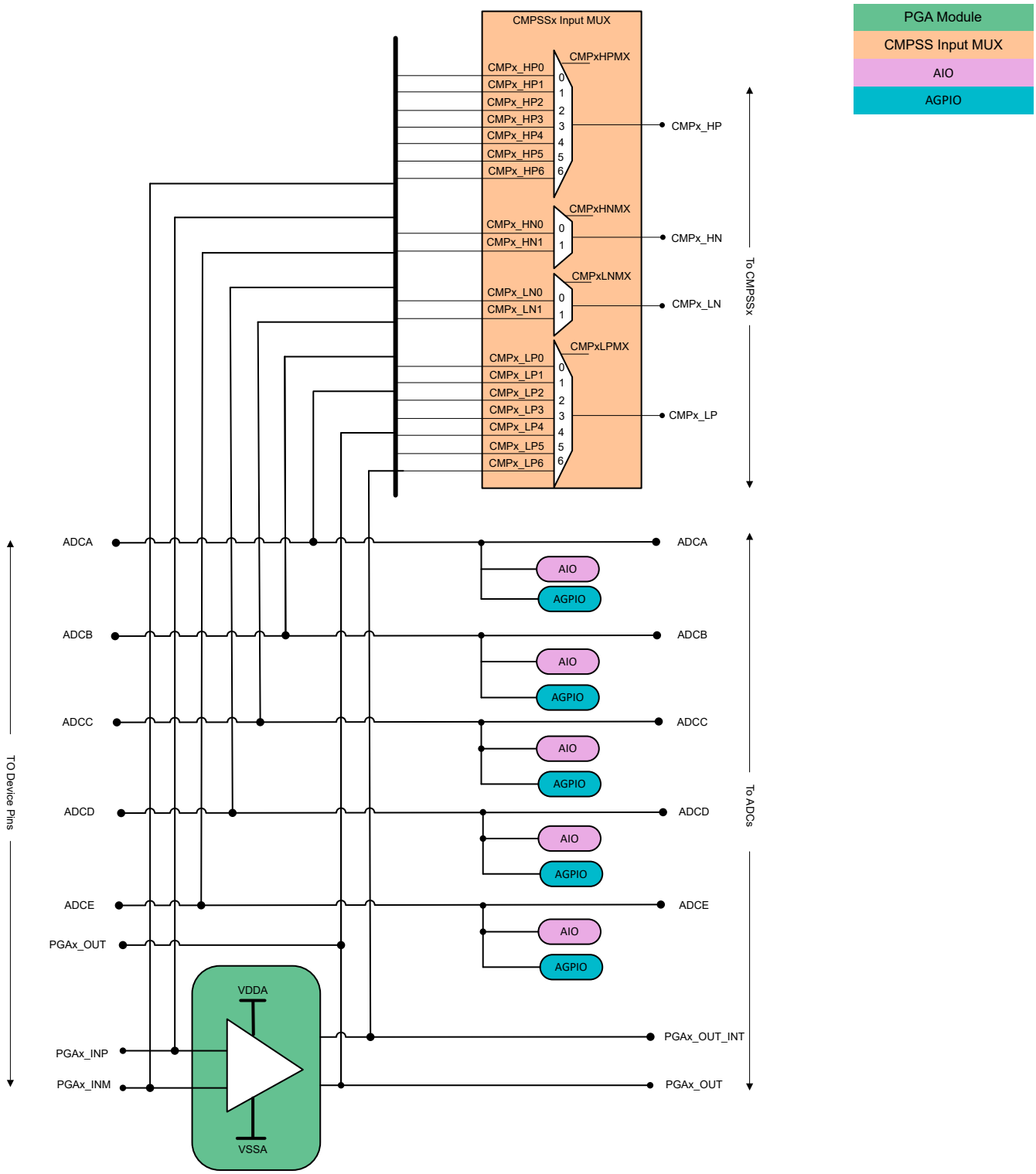


图 6-36. 模拟组连接

Copyright © 2026 Texas Instruments Incorporated

与 CMPSS 模块的输入连接可通过可编程输入多路复用器进行选择。图 6-36 演示了 CMPSS 模块、PGA 模块和 ADC 模块的输入多路复用器之间的连接。表 6-11 展示了 ADC 输入信号和 PGA 输入和输出信号到 CMPSS 多路复用器输入的映射。

- 要为 CMPSSx 配置 CMPx_HP 输入多路复用器，请写入 CMPHPMXSEL 模拟子系统寄存器中的 CMPxHPMXSEL 字段。
- 要为 CMPSSx 配置 CMPx_HN 输入多路复用器，请写入 CMPHNMXSEL 模拟子系统寄存器中的 CMPxHNMXSEL 字段。
- 要为 CMPSSx 配置 CMPx_LP 输入多路复用器，请写入 CMPLPMXSEL 模拟子系统寄存器中的 CMPxLPMXSEL 字段。
- 要为 CMPSSx 配置 CMPx_LN 输入多路复用器，请写入 CMPLNMXSEL 模拟子系统寄存器中的 CMPxLNMXSEL 字段。

表 6-11. CMPSS 输入多路复用器选项

CMPSSx 输入多路复用器	CMP1	CMP2	CMP3	CMP4
HP0	A2、B6、C9、PGA1_INP	A4、B8	B2、C6、E12	B4、C8
HP1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、C3、D12、B30、E30
HP2	A6、D14、E14(3)	A9	A0、B15、C15、DACA_OUT	C1、E11、PGA3_INP
HP3	A15(2)	A10、B1、C10	B3、PGA2_INP	C14
HP4	A1、B7、D11、DACB_OUT	B0、C11(1)	A14、B14、C4、PGA1_OUT	A8 B0、C11(2)
HP5	B5、D15、E15(4)	A5(1)	A3	B11、D16、E16(4)
HP6	PGA1_OUT_INT	PGA3_OUT_INT	PGA2_OUT_INT	
HP7		TEMP SENSOR		
HN0	A15(2)	A10、B1、C10	B3、PGA2_INP	C14
HN1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、B30、C3、D12、E30
LP0	A2、B6、C9、PGA1_INP	A4、B8	B2、C6、E12	B4、C8
LP1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、B30、C3、D12、E30
LP2	A6、D14、E14(3)	A9	A0、B15、C15、DACA_OUT	C1、E11、PGA3_INP
LP3	A15(2)	A10、B1、C10	B3、PGA2_INP	C14
LP4	A1、B7、D11、DACB_OUT	B0、C11(1)	A14、B14、C4、PGA1_OUT	A8 B0、C11(2)
LP5	B5、D15、E15(4)	A5(1)	A3	B11、D16、E16(4)
LP6	PGA1_OUT_INT	PGA3_OUT_INT	PGA2_OUT_INT	
LN0	A15	A10、B1、C10	B3、PGA2_INP	C14
LN1	A11、B10、C0、PGA2_OUT	A12	B12、C2、PGA2_INM	A7、C3、D12、B30、E30

(1) 这些多路复用器选项仅适用于 100 QFP 封装。
(2) 此多路复用器选项仅适用于 56 QFN、64 QFP 和 80 QFP 封装。
(3) 此多路复用器选项仅适用于 64 QFP、80 QFP 和 100 QFP 封装。
(4) 此多路复用器选项仅适用于 100 QFP 封装。

Copyright © 2026 Texas Instruments Incorporated

6.17.2 模拟引脚和内部连接

表 6-12. 模拟引脚和内部连接

引脚名称	引脚/封装						ADC					DAC	PGA	比较器子系统（多路复用器）				AIO 输入/ AGPIO
	100 QFP	80 QFP	64 QFP	56 QFN	49 WCSP	32 QFN	A	B	C	D	E			高 正	高 负	低 正	低 负	
VREFHI	24 25	20	16	14			-	-	-	D20	E20							
VREFLO	26 27	21	17	15			A13	B13	C13	D13	E13							
模拟组 1														**CMP1**				
A6/D14/E14	14	10	6	-	A3	7	A6	-	-	D14	E14			CMP1 (HPMXSEL=2)	-	CMP1 (LPMXSEL=2)	-	AGPIO228 (3)
A2/B6/C9/PGA1_INP	17	13	9	7	A4	5	A2	B6	C9	-	-		PGA1_INP	CMP1 (HPMXSEL=0)	-	CMP1 (LPMXSEL=0)	-	AGPIO224 (3)
A15	-	14	10	8	A5	4	A15	-	-	-	-			CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AGPIO233 (3)
B9/C7/PGA1_INM	18						-	B9	C7				PGA1_INM					
A11/B10/C0/ PGA2_OUT	20	16	12	10	A6	2	A11	B10	C0	-	-		PGA2_OUT	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237
A1/B7/D11/DACB_OUT	22	18	14	12	B5	3	A1	B7	-	D11	-	DACB_OUT		CMP1 (HPMXSEL=4)	-	CMP1 (LPMXSEL=4)	-	AIO232
B5/D15/E15	32	-	-	-	-	-	-	B5	-	D15	E15		-	CMP1 (HPMXSEL=5)	-	CMP1 (LPMXSEL=5)	-	AIO252
PGA3_OUT		24	20	18	B7	28		-		-	-		PGA3_OUT					
模拟组 2														**CMP2**				
A4/B8	36	27	23	21	E7	26	A4	B8	-	-	-			CMP2 (HPMXSEL=0)	-	CMP2 (LPMXSEL=0)	-	AIO225
A12	28	22	18	16	D5	27	A12	-	-	-	-			CMP2 (HPMXSEL=1)	-	CMP2 (LPMXSEL=1)	-	AIO238
A9	38	28	24	22	E6	-	A9	-	-	-	-			CMP2 (HPMXSEL=2)	-	CMP2 (LPMXSEL=2)	-	AGPIO227 (3)
A10/B1/C10	40	29	25	23		-	A10	B1	C10	-	-			CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	AGPIO230 (3)
B0/C11	41	-	-	-	-	-	-	B0	C11					CMP2 (HPMXSEL=3)	-	CMP2 (LPMXSEL=3)	-	AGPIO231 (3)
	35	17	13	11	C5	2	A5	-	-	-	-			CMP2 (HPMXSEL=5)	-	CMP2 (LPMXSEL=5)	-	
A5																		AIO249
模拟组 3														**CMP3**				
B2/C6/E12	15	11	7	-	A3	7	-	B2	C6	-	E12			CMP3 (HPMXSEL=0)	-	CMP3 (LPMXSEL=0)	-	AGPIO226 (3)

Copyright © 2026 Texas Instruments Incorporated

表 6-12. 模拟引脚和内部连接（续）

引脚名称	引脚/封装						ADC					DAC	PGA	比较器子系统（多路复用器）				AIO 输入/AGPIO
	100 QFP	80 QFP	64 QFP	56 QFN	49 WCSP	32 QFN	A	B	C	D	E			高正	高负	低正	低负	
B12/C2/PGA2_INM	21	17	13	11	C5	2	-	B12	C2	-	-		PGA2_INM	CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
A0/B15/C15/ DACA_OUT	23	19	15	13	C6	1	A0	B15	C15	-	-	DACA_OUT		CMP3 (HPMXSEL=2)	-	CMP3 (LPMXSEL=2)	-	AIO231
B3/PGA2_INP	16	12	8	6	B4	6	-	B3	-	-	-		PGA2_INP	CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	AGPIO242 (3)
C5	28							-	C5									
A14/B14/C4/ PGA1_OUT	19	15	11	9	C4	4	A14	B14	C4	-	-		PGA1_OUT	CMP3 (HPMXSEL=4)	-	CMP3 (LPMXSEL=4)	-	AIO239
A3	-	12	8	6	B4	6	A3	-	-	-	-			CMP3 (HPMXSEL=5)	-	CMP3 (LPMXSEL=5)	-	
	18	-	-	-														AIO229
模拟组 4														CMP4				
B4/C8	39	28	24	22	-	-	-	B4	C8	-	-			CMP4 (HPMXSEL=0)	-	CMP4 (LPMXSEL=0)	-	AGPIO236 (3)
C1/E11/PGA3_INP	29	22	18	16	D5	27	-	-	C1	-	E11		PGA3_INP	CMP4 (HPMXSEL=2)	-	CMP4 (LPMXSEL=2)	-	-
C14	42	27	23	21	E7	26	-	-	C14	-	-			CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	AGPIO247 (3)
B0/C11	-	24	20	18	-	-	-	B0	C11	-	-			CMP4 (HPMXSEL=4)	-	CMP4 (LPMXSEL=4)	-	AIO241
A8	37	-	-	-	B7	28	A8	-	-									AIO240
B11/D16/E16	30	-	-	-	-	-	-	B11	-	D16	E16			CMP4 (HPMXSEL=5)	-	CMP4 (LPMXSEL=5)	-	AIO251
PGA3_INM	30(1)	23	19	17	D6	28	-	-	-	-	-		PGA3_INM					
A7/B30/C3/D12/E30	31						A7	B30	C3	D12	E30			CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245
其他模拟																		
温度传感器(2)							-	-	C12	-	-			CMP2 (HPMXSEL=7)	-	-	-	-
PGA1_OUT_INT(2)							A21	B21	-	-	-		PGA1_OUT_INT	CMP1 (HPMXSEL=6)	-	CMP1 (LPMXSEL=6)	-	-
PGA2_OUT_INT(2)							-	B22	C21	-	-		PGA2_OUT_INT	CMP3 (HPMXSEL=6)	-	CMP3 (LPMXSEL=6)	-	-
PGA3_OUT_INT(2)							A22	-	C22	-	-		PGA3_OUT_INT	CMP2 (HPMXSEL=6)	-	CMP2 (LPMXSEL=6)	-	-
INTERNALTEST							A31	B31	C31	D31	E31							

(1) 信号与另一个信号在该封装上作为单个引脚接合在一起。
(2) 仅限内部连接；不连接到器件引脚。

Copyright © 2026 Texas Instruments Incorporated

(3) 仅在 100 QFP 封装上，AGPIO 247 可用。

备注

模拟引脚上的 GPIO 支持完整的数字输入和输出功能，称为 AGPIO。默认情况下，AGPIO 处于未连接状态；也就是说，模拟和数字功能都被禁用。有关配置详细信息，请参阅 *ADC 引脚上的数字输入和输出 (AGPIO)* 部分。

Copyright © 2026 Texas Instruments Incorporated

6.17.3 模拟信号说明

表 6-13. 模拟信号说明

信号名称	说明
AIOx	ADC 引脚上的数字输入
AGPIOx	具有 ADC 功能的数字输入/输出引脚
ADCINAx、Ax	ADC A 输入
ADCINBx、Bx	ADC B 输入
ADCINCx、Cx	ADC C 输入
ADCINDx、Dx	ADC D 输入
ADCINEx、Ex	ADC E 输入
CMPx_HP	比较器子系统高电平比较器正输入
CMPx_HN	比较器子系统高电平比较器负输入
CMPx_LP	比较器子系统低电平比较器正输入
CMPx_LN	比较器子系统低电平比较器负输入
DACA_OUT/DACB_OUT	缓冲 DAC 输出
CMP1_DACL	CMPSS1 DAC 输出
PGAx_INP	PGA 模块同相引脚
PGAx_INM	PGA 模块反相引脚
PGAx_OUT	PGA 模块输出
PGAx_OUT_INT	PGA 模块内部输出连接到 CMPSS 和 ADC 模块
温度传感器，TS	内部温度传感器

Copyright © 2026 Texas Instruments Incorporated

6.17.4 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有 12 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择多路复用器、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC) (参阅“模数转换器 (ADC)”一章的 *SOC 工作原理* 一节，该章节位于 *TMS320F28P551/552/558 实时微控制器技术参考手册*) 。

每个 ADC 具有以下特性：

- 12 位分辨率
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- ADC A 和 B 上的单端信号模式
- 具有多达 32 个通道的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 根据每个 SOC 选择外部模拟输入多路复用器，高达 4 位
- 示例电容器复位功能可降低存储器串扰
- 多个触发源
  - 软件立即启动
  - 所有 ePWM ：ADCSOC A 或 B
  - GPIO XINT2
  - CPU 计时器 0/1/2
  - ADCINT1/2
  - 捕获模式 (CEVT1、CEVT2、CEVT3 和 CEVT4) 和 APWM 模式 (周期匹配、比较匹配或两者) 下的 ECAP 事件。
  - 对多个 ADC 采用全局软件触发器
- 四个灵活的中断
- 突发模式触发选项
- 高达 8 倍的硬件过采样模式，具有可配置的触发器扩展延迟
- 硬件欠采样模式
- 触发器相位延迟功能
- 四个后处理块，每个块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳变功能的高电平、低电平和过零比较
  - 使用可配置的数字滤波器进行上限/下限/过零比较
  - 触发至采样延迟采集
  - 绝对值计算
  - 使用 24 位累加寄存器进行过采样，具有可配置的二进制移位
  - 计算最小/最大值以抑制异常值

备注

并非每个通道都可以从所有 ADC 的引脚输出。请参阅 *引脚配置和功能* 部分以确定哪些通道可用。

Copyright © 2026 Texas Instruments Incorporated

ADC 内核和 ADC 包装器的方框图如图 6-37 所示。

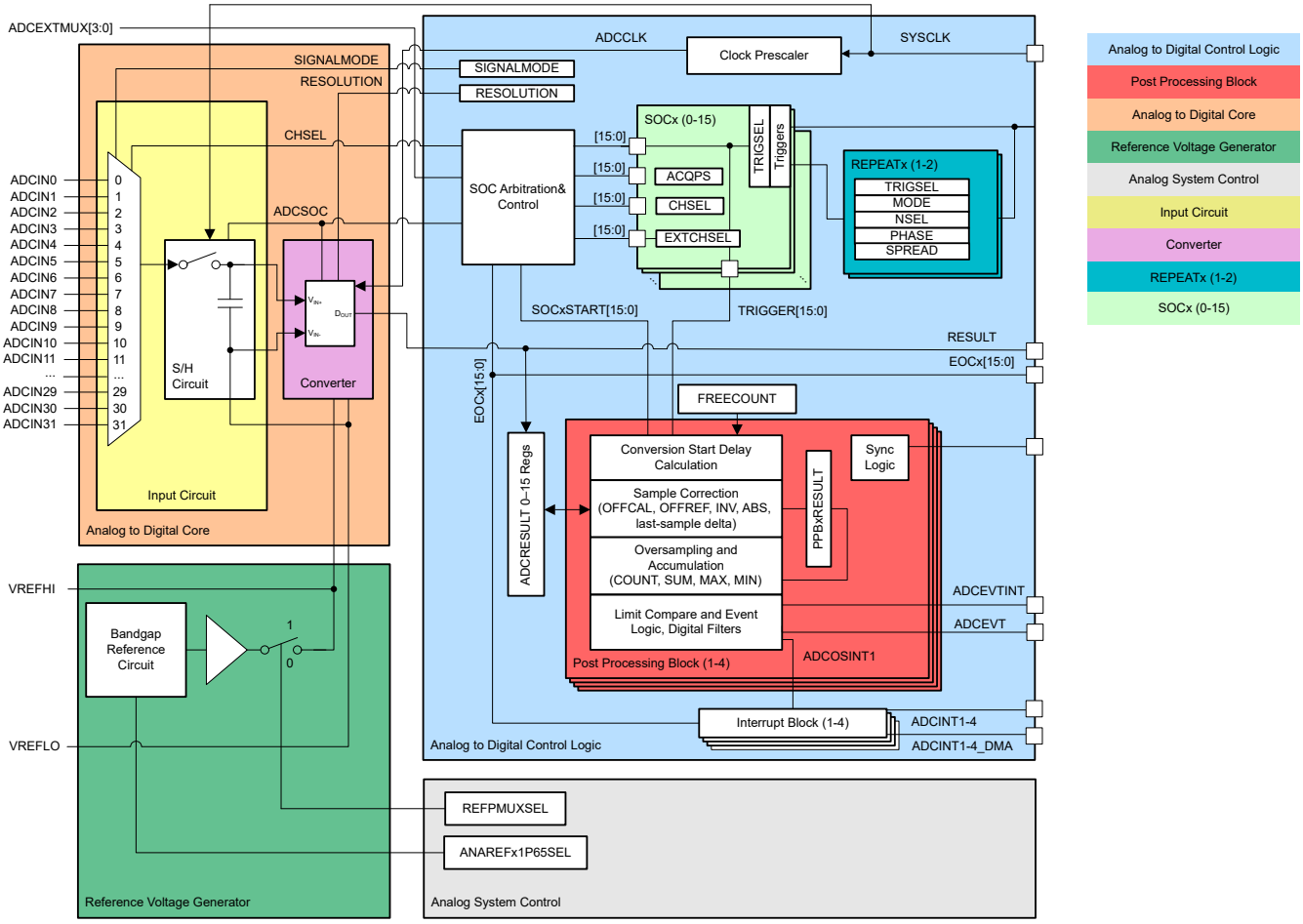


图 6-37. ADC 模块方框图

6.17.4.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 6-14 汇总了基本的 ADC 选项及其可配置性级别。

表 6-14. ADC 选项和配置级别

选项	可配置性
时钟	按照模块(1)
分辨率	不可配置（仅限 12 位分辨率）
信号模式	不可配置（仅限单端信号模式）
基准电压源	对所有模块均为外部或内部
触发源	按照 SOC(1)
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC(1)
EOC 位置	按照模块
突发模式	按照模块(1)

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步运行的指导，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的*确保同步运行*一节。

6.17.4.1.1 信号模式

ADC 支持单端信号模式。以 VREFLO 为基准通过单个引脚 (ADCINx) 对转换器的输入电压进行采样。

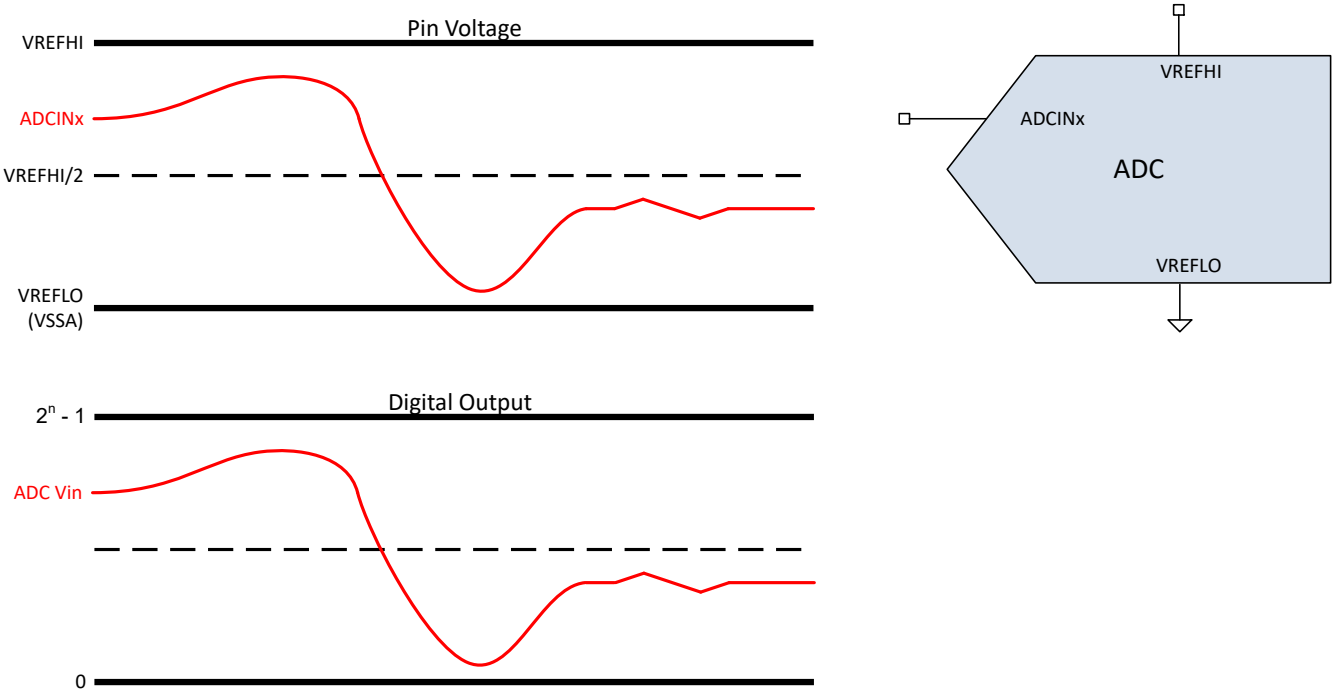


图 6-38. 单端信号模式

Copyright © 2026 Texas Instruments Incorporated

6.17.4.2 ADC 电气数据和时序

备注

ADC 输入应保持低于 VDDA + 0.3V。如果 ADC 输入高于此电平，则 ADC 可能会通过两种机制对其他通道产生干扰：

- ADC 输入过压将过驱 CMPSS 多路复用器，从而干扰所有其他共用一个公共 CMPSS 多路复用器的通道。无论 ADC 是否对过压输入进行采样，这种干扰都会持续存在
- 当 ADC 对过压 ADC 输入进行采样时，VREFHI 将被上拉至更高的电平。这将干扰任何通道上的后续 ADC 转换，直到 V_{REF} 稳定下来

备注

VREFHI 引脚必须保持低于 VDDA + 0.3V，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换不正确。

6.17.4.2.1 ADC 运行条件

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		80	MHz
采样率	160MHz SYSCLK			4.1	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	67			ns
VREFHI	外部基准：ANAREFx1P65SEL = 0 FSR = VREFHI 引脚电压	2.4	2.5 或 3.0	VDDA	V
	外部基准：ANAREFx1P65SEL = 1 FSR = VREFHI 引脚电压 x2	1.55	1.65	VDDA/2	V
VREFHI(2)	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.50		V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
转换范围	内部基准电压 = 2.5V 范围	0		2.5	V
转换范围	外部基准	VREFLO		VREFHI	V
转换范围	模拟电源作为基准	VSSA		VDDA	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。 在此模式下，用户不应将电压驱动到引脚中。

Copyright © 2026 Texas Instruments Incorporated

6.17.4.2.2 ADC 特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期	160MHz SYSCLK			14	ADCCLK
上电时间	外部基准模式			500	µs
	内部基准模式			5000	µs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	µs
VREFHI 输入电流(1)			40		µA
内部基准电容值(2)		2.2			µF
外部基准电容值(2)		2.2			µF
直流特性					
增益误差	内部基准电压	-45		45	LSB
增益误差	内部基准 - 49YAF/32ZNG 封装（仅限预量产）(7)	-160	±80	160	LSB
增益误差	外部基准	-5	±3	5	LSB
偏移量误差		-5	±2	5	LSB
通道间增益误差(4)			2		LSB
通道间偏移量误差(4)			2		LSB
ADC 间增益误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		4		LSB
ADC 间偏移量误差(5)	所有 ADC 的 VREFHI 和 VREFLO 都相同		2		LSB
DNL 误差		>-1	±0.5	1	LSB
INL 误差		-2	±1.5	2	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-1		1	LSB
交流特性					
SNR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		69.2		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC(6)		60.1		
THD(3)	VREFHI = 2.5V，fin = 100kHz		-83		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz		79.2		dB
SINAD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1		68.5		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC(6)		60.0		
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		11.2		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		11		
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC		不支持		

Copyright © 2026 Texas Instruments Incorporated

6.17.4.2.2 ADC 特性（续）

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦（1kHz 时）		105		dB
	VDD = 1.2V 直流 + 100mV 直流至正弦（300kHz 时）		102		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		97		
	VDDA = 3.3V 直流 + 200mV 正弦（900kHz 时）		85		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。 这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。
(4) 同一 ADC 模块的所有通道之间的差异。
(5) 与其他 ADC 模块相比的最坏情况变化。
(6) 考虑到 FFT 的不确定性，INTOSC 在温度范围内的频率容差会导致其具有比外部时钟更低的 SNR
(7) 仅限预量产型号。最终量产的目标是 +/-60LSB 或更好

6.17.4.2.3 ADC INL 和 DNL

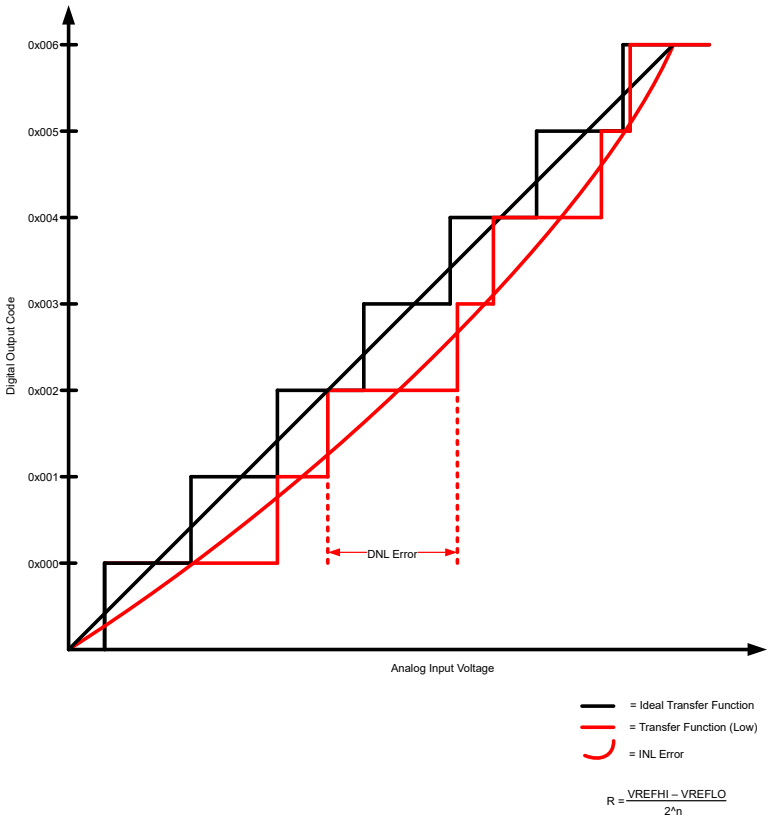


图 6-39. ADC INL 和 DNL

6.17.4.2.4 每个引脚的 ADC 性能

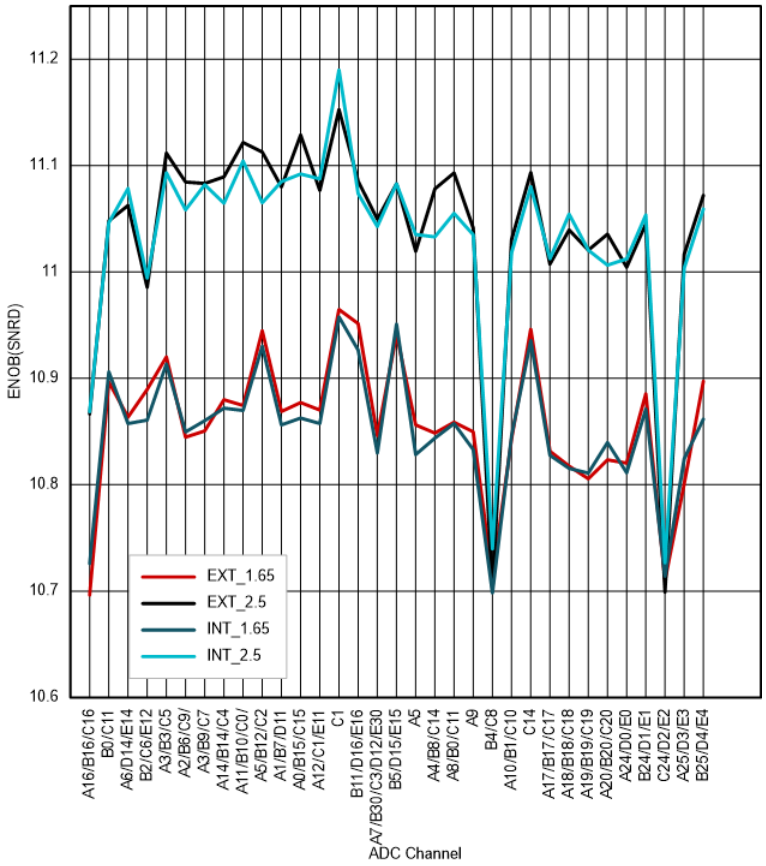


图 6-40. 100 引脚 PZ 的每通道 ENOB

Copyright © 2026 Texas Instruments Incorporated

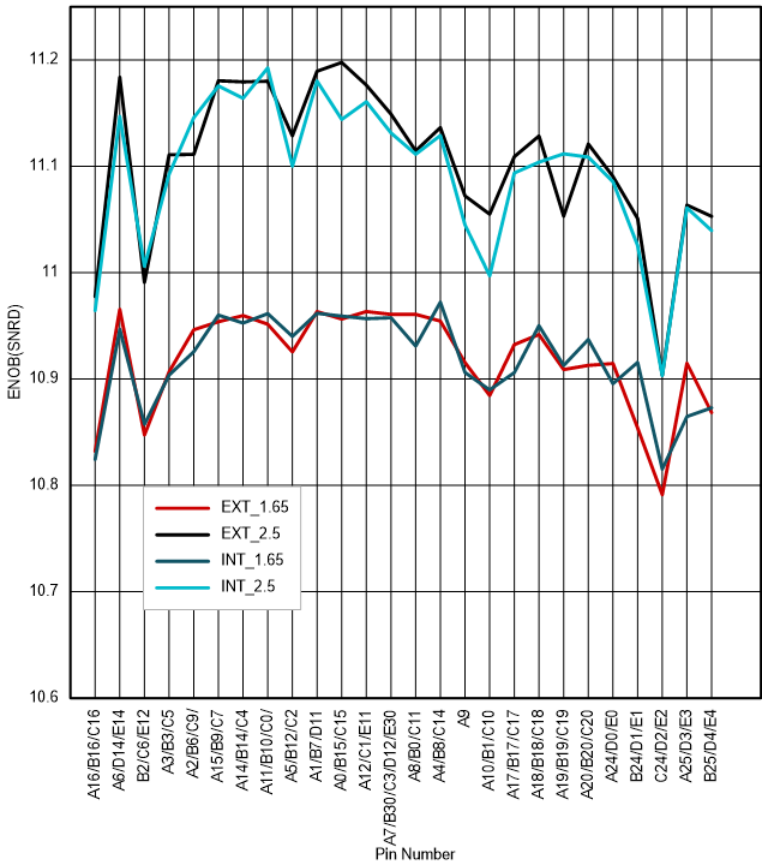


图 6-41. 80 引脚 PNA/PN 的每通道 ENOB

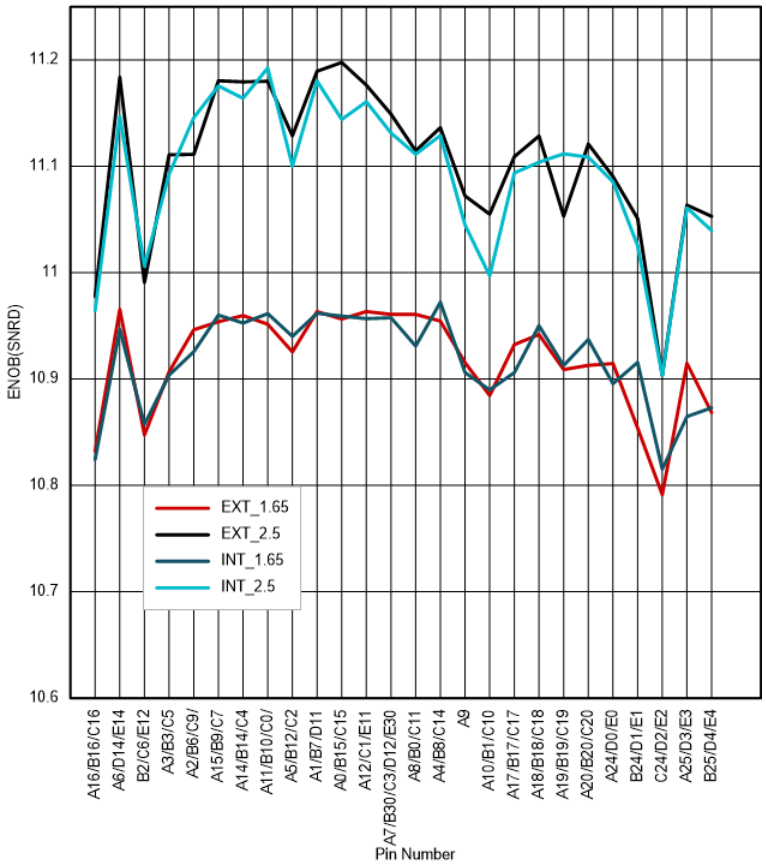


图 6-42. 64 引脚 PM 的每通道 ENOB

Copyright © 2026 Texas Instruments Incorporated

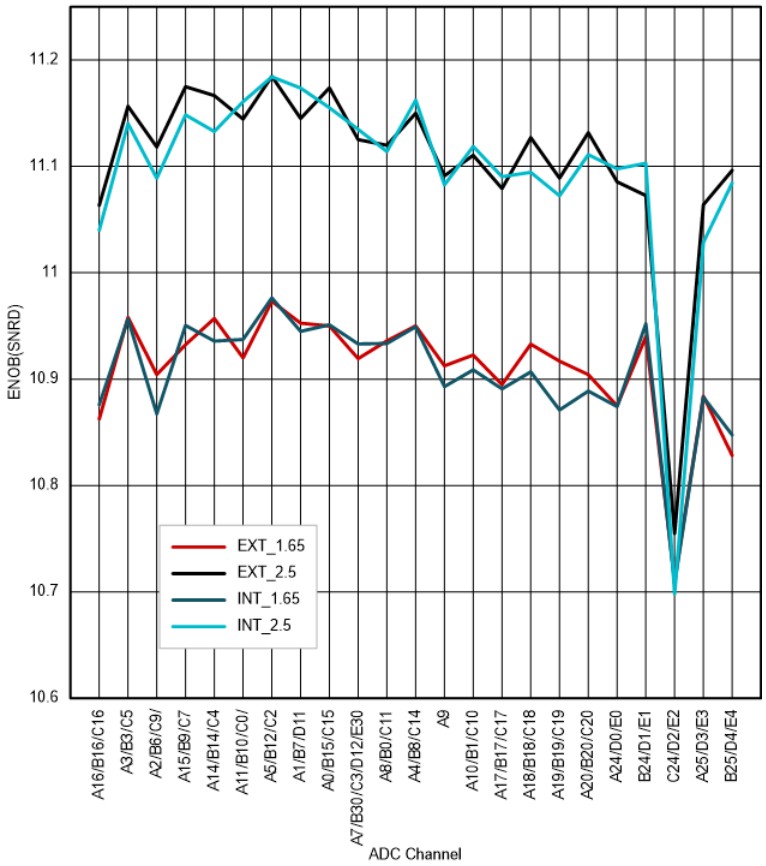


图 6-43. 56 引脚 RSH 的每通道 ENOB

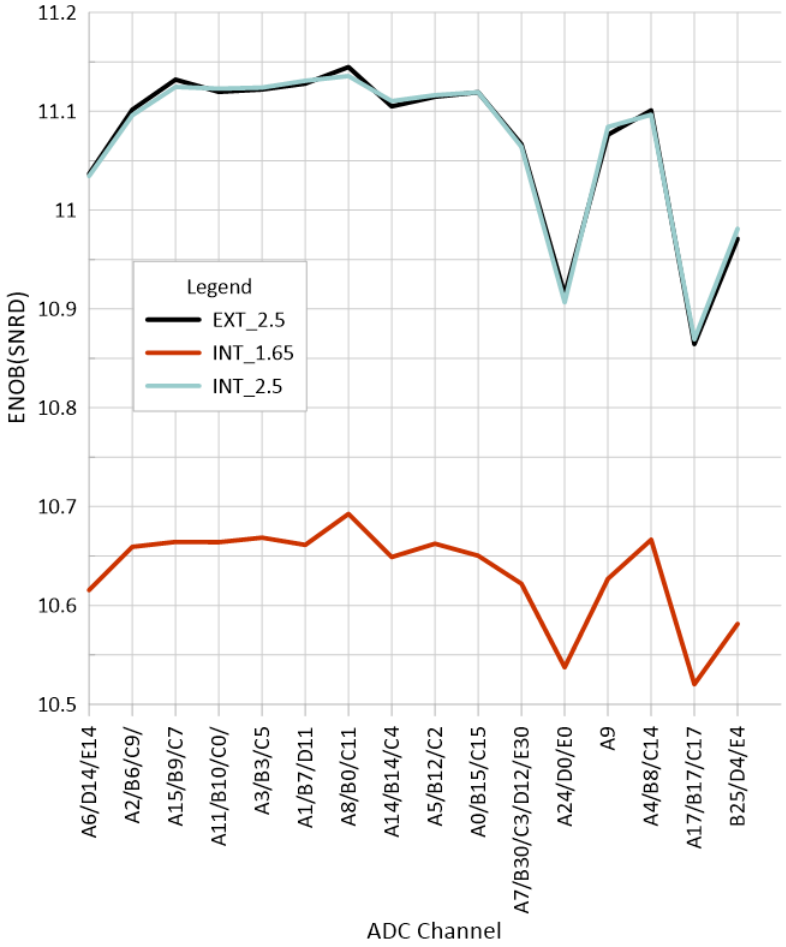


图 6-44. 49 焊球 YAF 的每通道 ENOB

6.17.4.2.5 ADC 输入模型

表 6-15. 编辑模型参数

	说明	基准模式	值
C_p	寄生输入电容	全部	请参阅 表 6-16 至 表 6-19
R_{on}	采样开关电阻	外部基准，2.5V 内部基准	1000Ω
		3.3V 内部基准	1700Ω
C_h	采样电容器	外部基准，2.5V 内部基准	4pF
		3.3V 内部基准	2.5pF
R_s	标称源阻抗	全部	50Ω

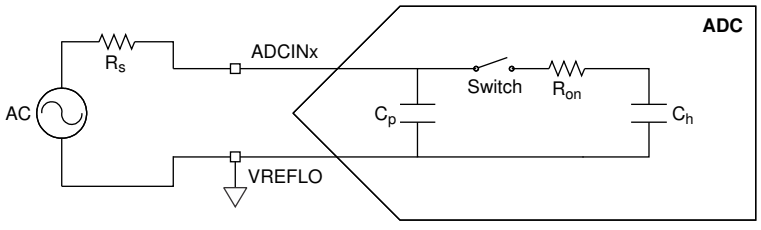


图 6-45. 输入模型

Copyright © 2026 Texas Instruments Incorporated

应将此输入模型与实际信号源阻抗配合使用，来确定采集窗口持续时间。要了解更多信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册*中“模数转换器 (ADC)”一章的*选择采集窗口持续时间*一节。有关改进 ADC 输入电路的建议，请参阅 *C2000 MCU 的 ADC 输入电路评估* 应用手册。

表 6-16. 100 引脚 QFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.4
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A5	4.2	7.6
A6、D14、E14	7.5	10.3
A7、C3、D12、B30、E30	3.4	7.8
A8、B0、C11	3.7	8.7
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11、B10、C0、PGA2_OUT	9.4	13.0
A12	6.5	11.5
A14、B14、C4、PGA1_OUT	5.8	8.0
A16/B16/C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.2
B2、C6、E12	4.6	6.8
B3、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
B5、D15、E15	6.2	8.8
A3、B9、C7、PGA1_INM	7.0	7.6
B11、D16、E16	4.0	7.4
B12、C2、PGA2_INM	8.6	12.8
C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3
D3、E3、A25	6.0	6.6

Copyright © 2026 Texas Instruments Incorporated

表 6-16. 100 引脚 QFP 的每通道寄生电容（续）

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
D4、E4、B25	7.2	7.8

表 6-17. 80 引脚 QFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.6
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A6、D14、E14	4.2	7.6
A7、C3、D12、B30、E30	7.5	10.3
A8、B0、C11	3.4	7.8
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11，B10，C0，PGA2_OUT	9.4	13.0
A14、B14、C4、PGA1_OUT	5.8	8.0
A16/B16/C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.1
B2、C6、E12	4.6	6.8
A3、B3、C9、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
A15、B9、C7、PGA1_INM	3.8	11.2
A5、B12、C2、PGA2_INM	8.6	12.8
A12、C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3
D3、E3、A25	6.0	6.6
D4、E4、B25	7.2	7.8

Copyright © 2026 Texas Instruments Incorporated

表 6-18. 64 引脚 QFP 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.6
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A6、D14、E14	4.2	7.6
A7、C3、D12、B30、E30	7.5	10.3
A8、B0、C11	3.4	7.8
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11，B10，C0，PGA2_OUT	9.4	13.0
A14、B14、C4、PGA1_OUT	5.8	8.0
A16、B16、C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.1
B2、C6、E12	4.6	6.8
A3、B3、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
A15、B9、C7、PGA1_INM	3.8	11.2
A5、B12、C2、PGA2_INM	8.6	12.8
A12、C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3
D3、E3、A25	6.0	6.6
D4、E4、B25	7.2	7.8

Copyright © 2026 Texas Instruments Incorporated

表 6-19. 56 引脚 QFN 的每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
A0、B15、C15、DACA_OUT	6.1	9.6
A1、B7、D11、CMP1_DACL	4.1	7.6
A2、B6、C9、PGA1_INP	6.1	9.4
A4、B8	6.0	7.9
A7、C3、D12、B30、E30	7.5	10.3
A8、B0、C11	3.4	7.8
A9	3.7	8.7
A10、B1、C10	3.2	10.5
A11，B10，C0，PGA2_OUT	9.4	13.0
A14、B14、C4、PGA1_OUT	5.8	8.0
A16、B16、C16	5.0	5.6
A17、B17、C17	6.6	6.8
A18、B18、C18	5.2	5.9
A19、B19、C19	4.6	6.0
A20、B20、C20	6.7	6.1
A3、B3、PGA2_INP	14.0	20.3
B4、C8	4.3	7.9
A15、B9、C7、PGA1_INM	3.8	11.2
A5、B12、C2、PGA2_INM	8.6	12.8
A12、C1、E11、PGA3_INP	10.2	10.2
C5	5.4	5.4
C14	4.9	6.4
D0、E0、A24	5.6	6.3
D1、E1、B24	5.5	6.4
D2、E2、C24	4.2	4.3
D3、E3、A25	6.0	6.6
D4、E4、B25	7.2	7.8

Copyright © 2026 Texas Instruments Incorporated

6.17.4.2.6 ADC 时序图

下图展示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断取决于中断控制器中的配置）。

表 6-20 列出了 ADC 时序参数的说明。表 6-21 和 表 6-22 列出了 ADC 时序。

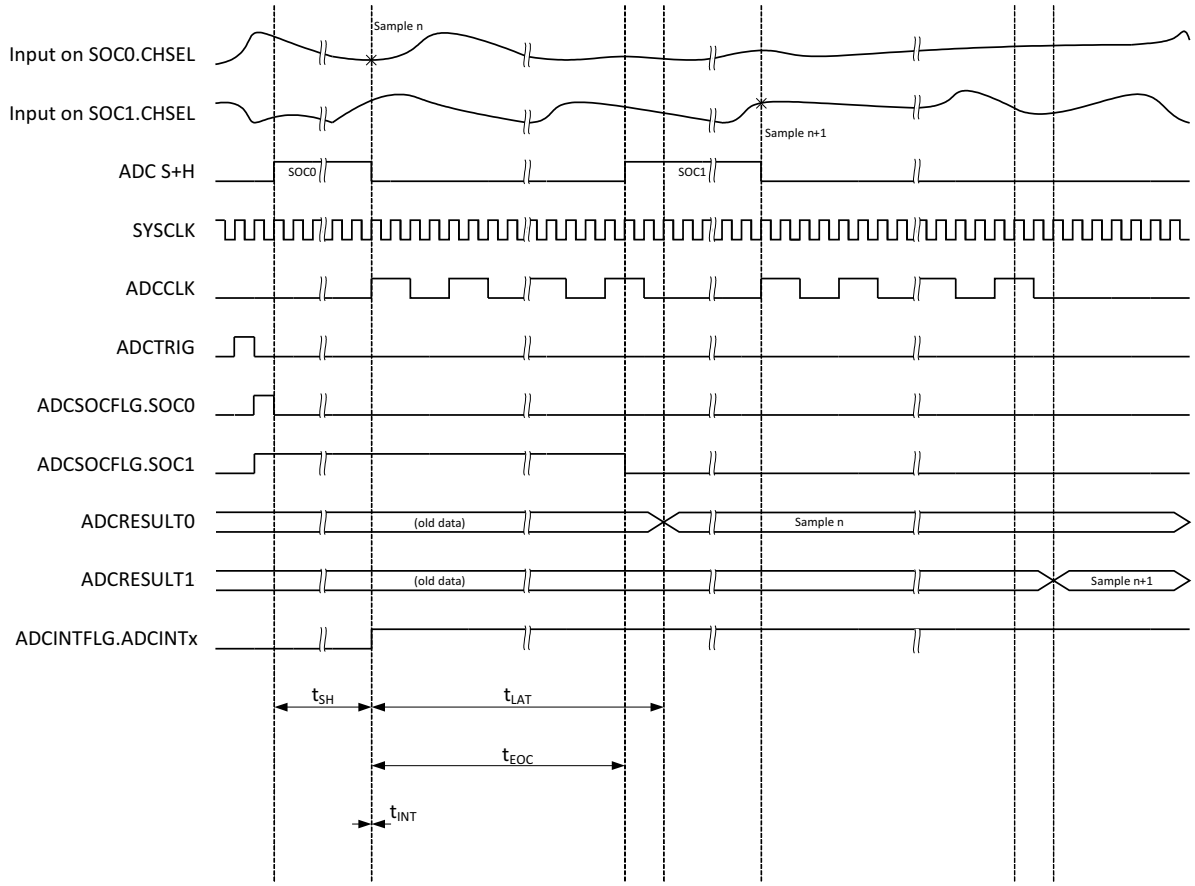


图 6-46. 提前中断模式下 12 位模式的 ADC 时序

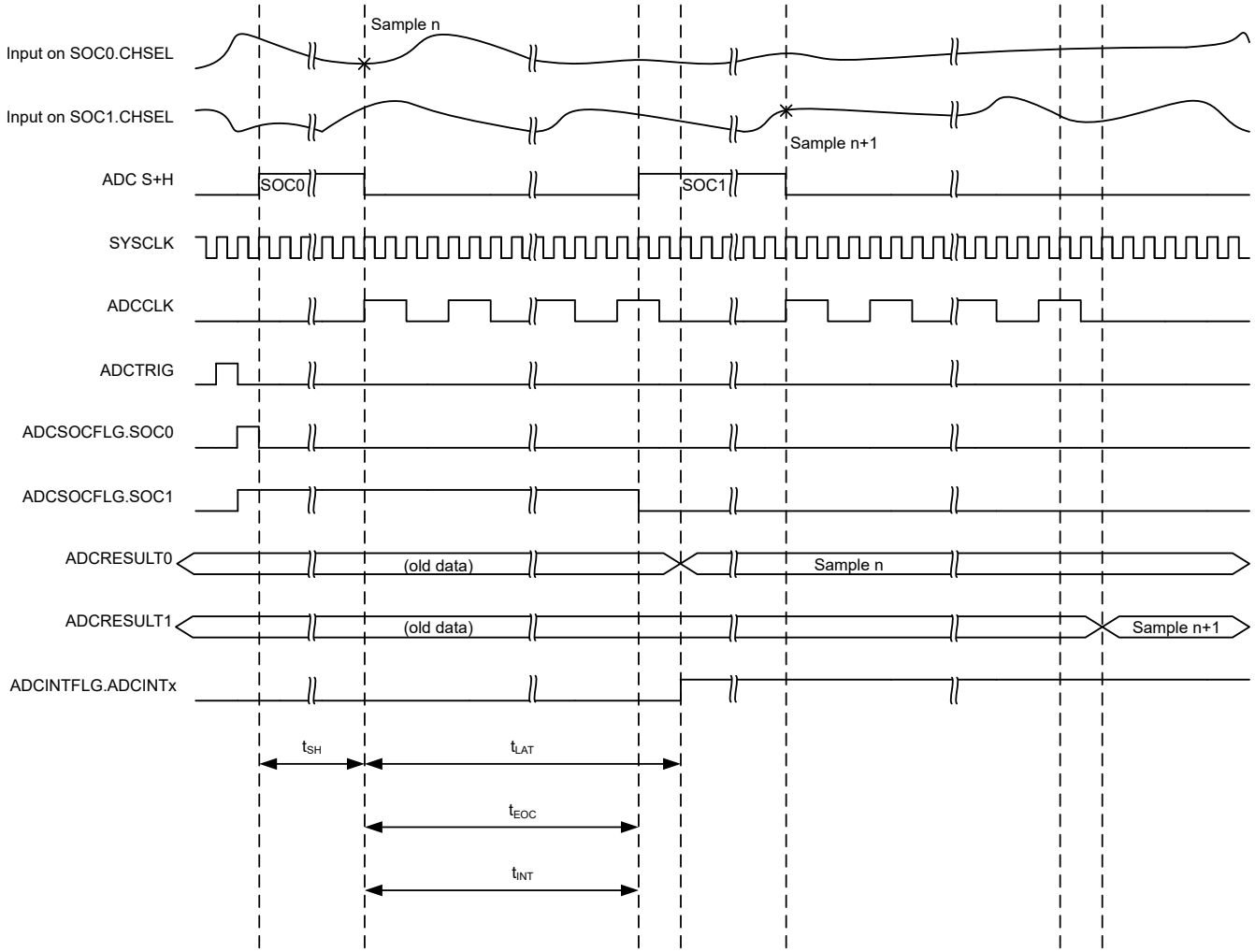


图 6-47. 后期中断模式下 12 位模式的 ADC 时序

Copyright © 2026 Texas Instruments Incorporated

表 6-20. ADC 时序参数说明

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 **注意：**无论器件时钟设置如何，S+H 电容器上的值均在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，返回的是之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被置位，t_{INT} 将与转换结束 (EOC) 信号相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（直接通过 DMA 读取或间接地通过触发读取结果的 ISR 来读取），必须注意确保读取发生在结果锁存之后（否则，读取的是之前的结果）。 如果 INTPULSEPOS 位为 0，并且 ADCINTCYCLE 寄存器中的 OFFSET 字段不为 0，则在设置 ADCINT 标志之前会有 OFFSET SYSCLK 周期的延迟。此延迟可用于在采样准备就绪时进入 ISR 或触发 DMA。
t_{DMA}	当 ADCCTL1.TDMAEN = 1 时，从 S+H 窗口结束到触发 ADC 转换结果的 DMA 读数的时间。

Copyright © 2026 Texas Instruments Incorporated

表 6-21. SAMPCAPRESETSEL = 0 时 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2。预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early)(1)	t_{INT} (Late)	t_{DMA}
0	1	15	20	1	15	20
2	2	30	35	1	30	35
3	2.5	38	46	1	38	46
4	3	45	50	1	45	50
5	3.5	53	58	1	53	58
6	4	60	65	1	60	65
7	4.5	68	73	1	68	73
8	5	75	80	1	75	80
9	5.5	83	88	1	83	88
10	6	90	95	1	90	95
11	6.5	98	103	1	98	103
12	7	105	110	1	105	110
13	7.5	113	118	1	113	118
14	8	120	125	1	120	125
15	8.5	128	133	1	128	133

(1) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

表 6-22. SAMPCAPRESETSEL = 1 时 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2。预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early)(1)	t_{INT} (Late)	t_{DMA}
0	1	14	19	1	14	19
2	2	28	33	1	28	33
3	2.5	35	40	1	35	40
4	3	42	47	1	42	47
5	3.5	49	54	1	49	54
6	4	56	61	1	56	61
7	4.5	63	68	1	63	68
8	5	70	75	1	70	75
9	5.5	77	82	1	77	82
10	6	84	89	1	84	89
11	6.5	91	96	1	91	96
12	7	98	103	1	98	103
13	7.5	105	110	1	105	110
14	8	112	117	1	112	117
15	8.5	119	124	1	119	124

(1) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

Copyright © 2026 Texas Instruments Incorporated

6.17.5 温度传感器

6.17.5.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足*温度传感器特性*表中的采集时间要求。

6.17.5.1.1 温度传感器特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	温度精度	外部基准		±15		°C
$t_{startup}$	启动时间（TSNSCTL[ENABLE] 至采样温度传感器）			500		µs
t_{acq}	ADC 采集时间		450			ns

6.17.6 比较器子系统 (CMPSS)

比较器子系统 (CMPSS) 由模拟比较器和支持电路组成，这些电路对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC。该子系统还包括两个斜坡发生器。斜坡发生器可进行斜升和斜降。比较器在每个模块中用“H”或“L”表示，其中“H”代表高电平，“L”代表低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由一个外部引脚驱动（请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中的“模拟子系统”一章，了解适用于 CMPSS 的多路复用器选项）。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。两个斜坡发生器电路可用于控制该子系统中高电平和低电平比较器的基准 12 位 DAC 值。DAC 及包装器可用于产生斜坡，进而用于峰值电流模式控制 (PCMC) 和其他应用中的斜率补偿。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可独立编程的基准 12 位 DAC
- 两个递减/递增斜坡发生器
- 两个数字滤波器，最大滤波器时钟预分频为 2^{24}
- 能够将各个子模块与 EPWMSYNCPER 同步
- 能够通过 EPWMBLANK 扩展清除信号
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 可选择通过外部信号或 PGA 驱动比较器的正输入
- 可选择在外部引脚上使用低电平比较器 DAC 输出 CMPx_DACL（仅限部分实例，不能与比较功能同时使用）
- 从外部连接到 CMPSS 滤波器
- 斜坡发生器预分频器
- 从待机状态唤醒并停止 LPM（低功耗模式），由 CMPSS 跳闸输出进行触发

6.17.6.1 CMPx_DACL

一些 CMPSS 模块实例支持缓冲到引脚的 DAC 输出。CMPSS 模块的该 CMPx_DACL 输出采用指定的 CMPSS 模块的低侧 DAC。当使用来自 CMPSS 实例的 DAC 输出时，该实例的所有其他 CMPSS 模块功能都不可用。

有关特定器件可用的 CMPx_DACL 实例，请参阅*模拟引脚和内部连接*表的 DAC 列。

Copyright © 2026 Texas Instruments Incorporated

有关 DAC 输出功能，请参阅 *CMPx_DACL 的缓冲输出电气特性* 部分。

6.17.6.2 CMPSS 连接图

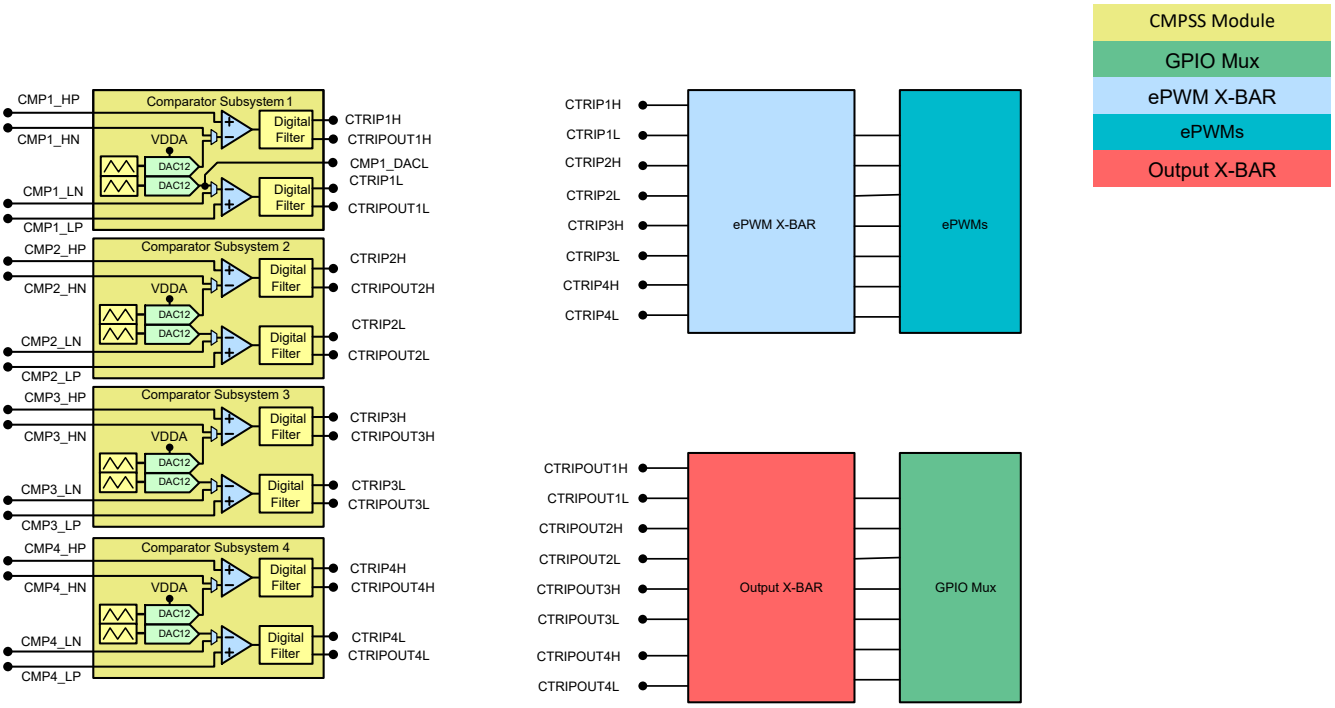


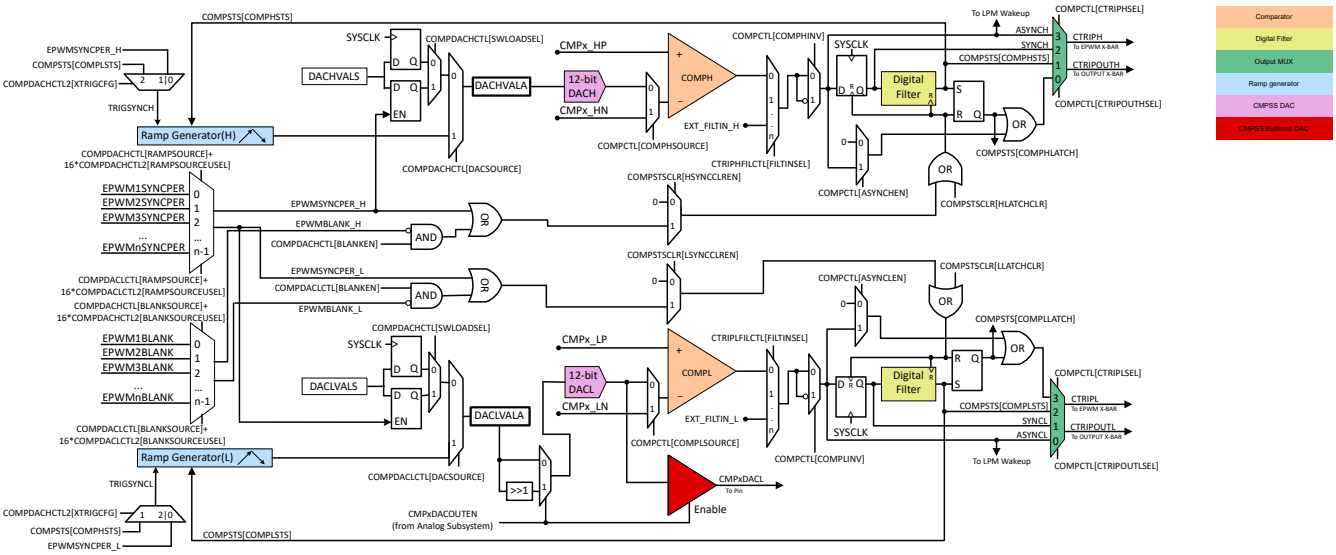
图 6-48. CMPSS 连接

Copyright © 2026 Texas Instruments Incorporated

6.17.6.3 方框图

CMPSS 的方框图如 图 6-49 所示。

- CTRIPx (x= "H" 或 "L") 信号连接至 ePWM X-BAR，用于 ePWM 跳闸响应。有关 ePWM X-BAR mux 配置的更多详细信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册*的“增强型脉宽调制器 (ePWM)”一章。
- CTRIPxOUTx (x=“H”或“L”) 信号连接到输出 X-BAR，用于外部信号。有关输出 X-BAR mux 配置的更多详细信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册*“通用输入/输出 (GPIO)”一章。



A. CMPx_DACL 仅适用于该器件上的 CMPSS 1 模块。

B. 启用 DACL 引脚后，低侧比较器 (CMPL) 的功能将会失效，这种情况下，COMPL 的负输入必须通过器件引脚驱动。

图 6-49. CMPSS 模块方框图

每个基准 12 位 DAC 都可以配置为将基准电压驱动到相应比较器的负输入端。一些 CMPSS 实例还允许将低 DAC 输出路由到一个引脚以用作外部 DAC。这种情况下，COMPL 无法使用 DAC 输出。这种情况下，COMPL 的负输入需要通过器件引脚驱动。基准 12 位 DAC 如图 6-50 所示。

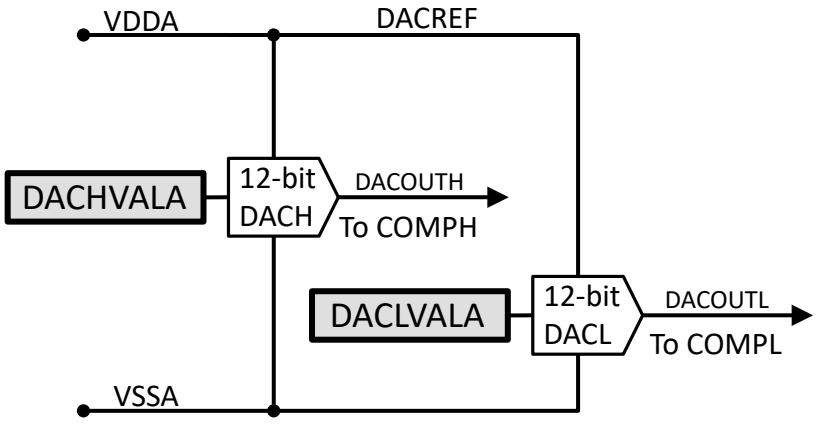


图 6-50. 参考设计方框图

6.17.6.4 CMPSS 电气数据和时序

6.17.6.4.1 CMPSS 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间				500	μs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的失调电压误差		低共模，反相输入设置为 50mV	-20		20	mV
迟滞(1)		1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）		阶跃响应		21	60	ns
		斜坡响应 (1.65V/μs)		26		
		斜坡响应 (8.25mV/μs)		30		ns
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。 因此，迟滞将随 CMPSS DAC 基准电压而变化。 迟滞适用于所有比较器输入源配置。

CMPSS 比较器以输入为基准的偏移量和迟滞

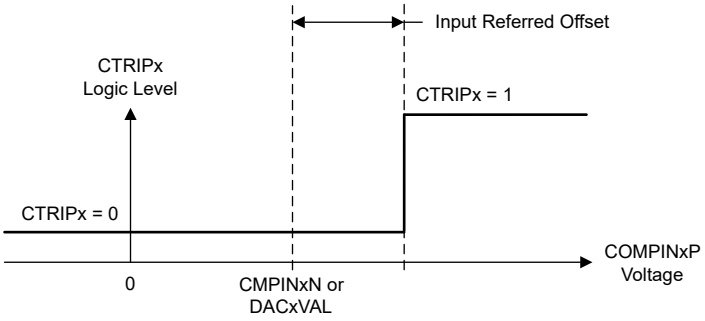


图 6-51. CMPSS 比较器以输入为基准的偏移量

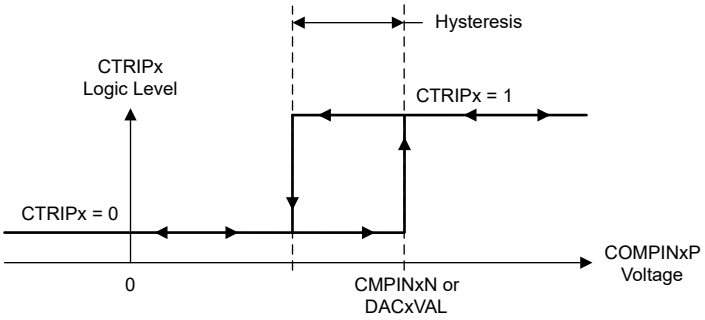


图 6-52. CMPSS 比较器迟滞

Copyright © 2026 Texas Instruments Incorporated

6.17.6.4.2 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
静态失调电压误差(1)		-25		25	mV
静态增益误差(1)		-2		2	FSR 百分比
静态 DNL	已更正端点	>-1		4	LSB
静态 INL	已更正端点	-16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	µs
分辨率			12		位
CMPSS DAC 输出干扰(2)	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	-100		100	LSB
CMPSS DAC 干扰时间(2)				200	ns

(1) 包含以比较器输入为基准的误差。
(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。

6.17.6.4.3 CMPSS 示意图

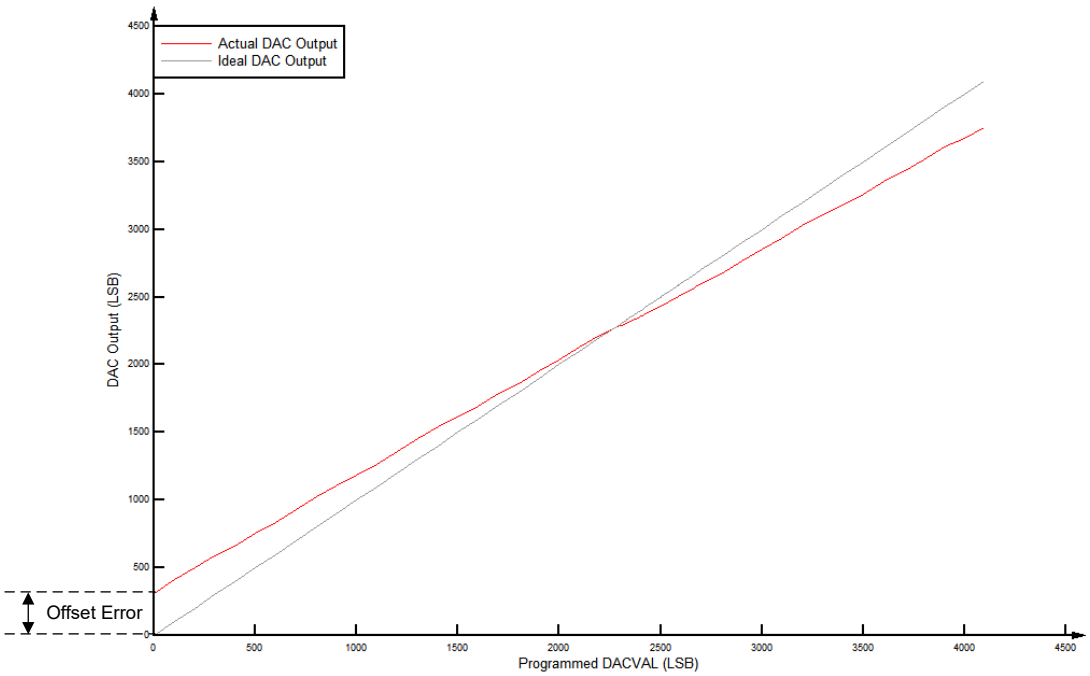


图 6-53. CMPSS DAC 静态偏移量

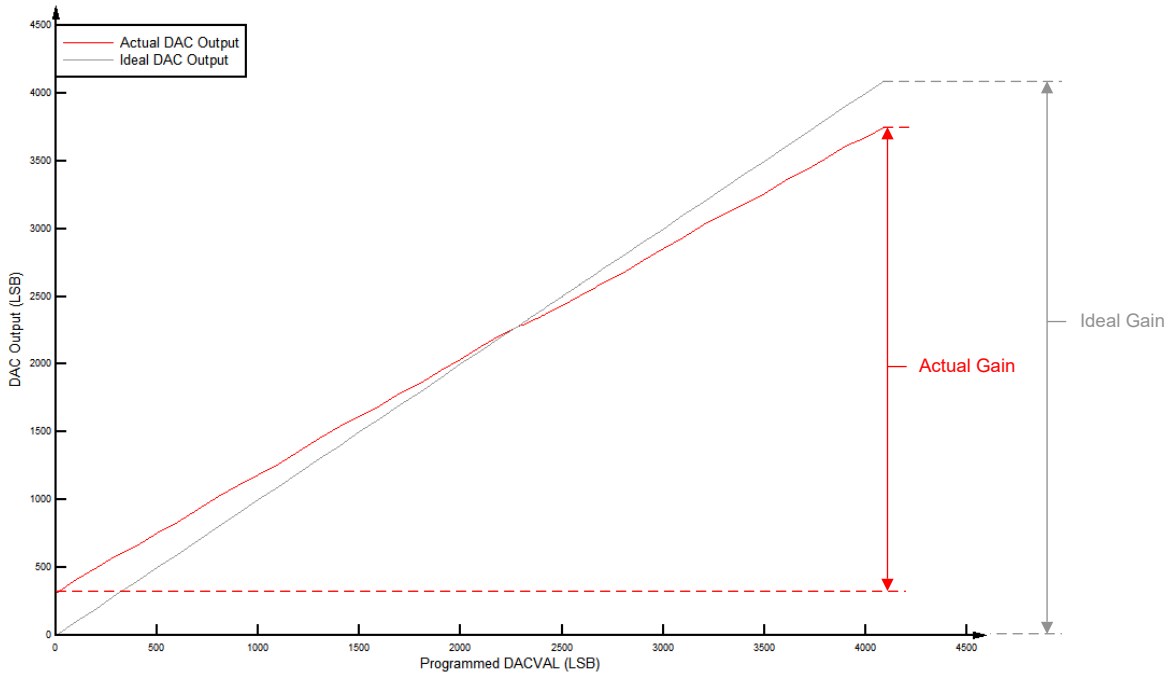


图 6-54. CMPSS DAC 静态增益

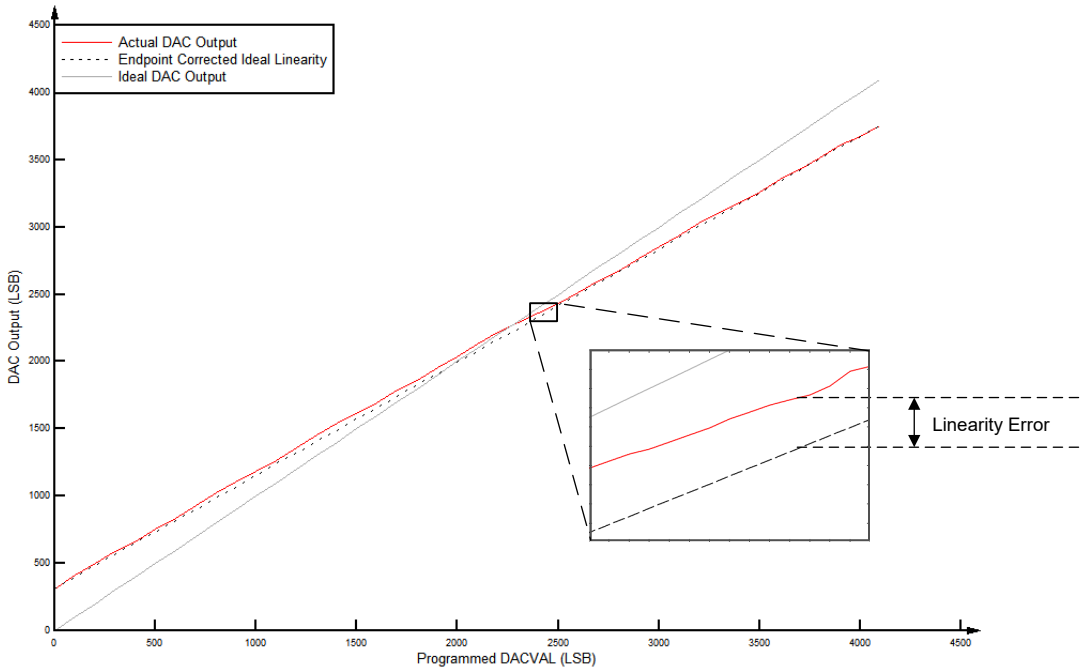


图 6-55. CMPSS DAC 静态线性

6.17.6.4.4 CMPx_DACL 缓冲输出的运行条件

在建议的运行条件下 (除非另有说明) [(1)]

参数		测试条件	最小值	典型值	最大值	单位
R_L	电阻负载[(2)]		5			kΩ
C_L	容性负载				100	pF

Copyright © 2026 Texas Instruments Incorporated

6.17.6.4.4 CMPx_DACL 缓冲输出的运行条件（续）

在建议的运行条件下（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
V_{OUT}	有效输出电压范围(3)	R_L = 5kΩ	0.3		VDDA – 0.3	V
		R_L = 1kΩ	0.6		VDDA – 0.6	V
基准电压(4)		VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) DAC 可以驱动最小 1kΩ 的阻性负载，但输出范围会受到限制。
(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(4) 为了获得卓越 PSRR 性能，VREFHI 应小于 VDDA。

6.17.6.4.5 CMPx_DACL 缓冲输出的电气特性

在建议的运行条件下（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率(4)				12		位
负载调整率			-1		1	mV/V
毛刺脉冲能量				1.5		V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	µs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	µs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/µs
负载瞬态的稳定时间		5kΩ 负载			328	ns
TPU	上电时间	带隙未启用			500	µs
直流特性						
偏移	偏移量误差		-100		100	mV
增益	增益误差(2)		-1.5		1.5	FSR 百分比
DNL	微分非线性(4)	已更正端点	-2		2	LSB（12 位）
INL	积分非线性	已更正端点	-10		10	LSB（12 位）
交流特性						
输出噪声		从 100 Hz 到 100 kHz 的积分噪声		600		µVrms
		10 kHz 时的噪声密度		800		nVrms/√Hz
SNR	信噪比	1kHz，200KSPS		64		dB
THD	总谐波失真	1kHz，200KSPS		-64.2		dB
SFDR	无杂散动态范围	1kHz，200KSPS		66		dB
SINAD	信噪比和失真比	1kHz，200KSPS		61.7		dB
PSRR	电源抑制比(3)	DC		70		dB
		100kHz		30		dB

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) 增益误差是在线性输出范围内计算得出。
(3) VREFHI = 3.2V，VDDA = 3.3V DC + 100mV 正弦。
(4) 11 位有效（单调响应）。

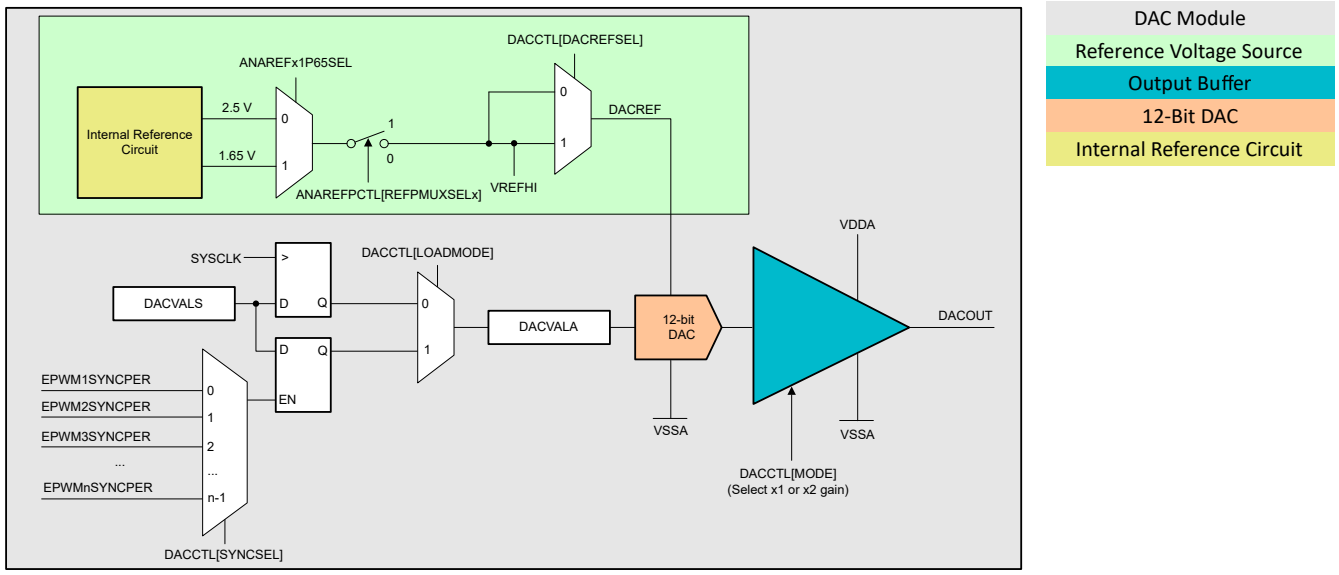
Copyright © 2026 Texas Instruments Incorporated

6.17.7 缓冲数模转换器 (DAC)

缓冲 DAC 模块由一个内部 12 位 DAC 和一个可以驱动外部负载的模拟输出缓冲器组成。为了驱动比典型值更高的负载，可以在负载大小和输出电压摆幅之间进行权衡。对于缓冲 DAC 的负载条件，请参阅*缓冲 DAC 电气数据和时序* 部分。缓冲 DAC 是一种通用 DAC，可用于生成直流电压或交流波形，例如正弦波、方波、三角波等。软件写入 DAC 值寄存器可立即生效，也可以与 EPWMSYNCO 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位分辨率
- 可选择的基准电压源
- 使用内部 VREFHI 时的 X1 和 x2 增益模式
- 能够与 EPWMSYNCPER 同步



A. VDAC 不适用于此器件；因此，VREFHI 和 VSSA 是基准电压。

B. 使用 DAC 时需要 VREFHI 电压，至少有一个 ADC 必须使用 INTREF 或 EXTREF 基准源，DAC 才能够正常工作。

图 6-56. DAC 模块方框图

Copyright © 2026 Texas Instruments Incorporated

6.17.7.1 缓冲 DAC 电气数据和时序

6.17.7.1.1 缓冲 DAC 运行条件

在建议的运行条件下（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
R_L	电阻负载(2)		5			kΩ
C_L	容性负载				100	pF
V_{OUT}	有效输出电压范围(3)	R_L = 5kΩ	0.3		VDDA – 0.3	V
		R_L = 1kΩ	0.6		VDDA – 0.6	V
基准电压(4)		VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) DAC 可以驱动最小 1kΩ 的阻性负载，但输出范围会受到限制。
(3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(4) 为了获得卓越 PSRR 性能，VREFHI 应小于 VDDA。

6.17.7.1.2 缓冲 DAC 电气特性

在建议的运行条件下（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率				12		位
负载调整率			-1		1	mV/V
毛刺脉冲能量				1.5		V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	µs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	µs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/µs
负载瞬态的稳定时间		5kΩ 负载			328	ns
		1kΩ 负载			557	ns
基准输入电阻(2)		VREFHI	160	200	240	kΩ
TPU	上电时间	外部基准模式			500	µs
		内部基准模式			5000	µs
直流特性						
偏移	偏移量误差	中点	-10		10	mV
增益	增益误差(3)		-2.5		2.5	FSR 百分比
DNL	微分非线性(4)	已更正端点	-1	±0.4	1	LSB
INL	积分非线性	已更正端点	-5	±2	5	LSB
交流特性						
输出噪声		从 100 Hz 到 100 kHz 的积分噪声		600		µVrms
		10 kHz 时的噪声密度		800		nVrms/√Hz
SNR	信噪比	1kHz，200KSPS		64		dB
THD	总谐波失真	1kHz，200KSPS		-64.2		dB
SFDR	无杂散动态范围	1kHz，200KSPS		66		dB
SINAD	信噪比和失真比	1kHz，200KSPS		61.7		dB

Copyright © 2026 Texas Instruments Incorporated

6.17.7.1.2 缓冲 DAC 电气特性（续）

在建议的运行条件下（除非另有说明）(1)

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比(5)	DC		70		dB
		100kHz		30		dB

(1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的，除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
(2) 每个有源缓冲 DAC 模块。
(3) 增益误差是在线性输出范围内计算得出。
(4) DAC 输出是单调输出。
(5) VREFHI = 3.2V，VDDA = 3.3V DC + 100mV 正弦。

Copyright © 2026 Texas Instruments Incorporated

6.17.8 可编程增益放大器 (PGA)

可编程增益放大器 (PGA) 用于放大输入电压，以提高下游 ADC 和 CMPSS 模块的有效分辨率。

集成的 PGA 有助于使传统上需要外部独立放大器的许多控制应用降低成本和设计工作量。通过片上集成可确保 PGA 与下游 ADC 及 CMPSS 模块兼容。软件可选增益和滤波器设置使 PGA 能够满足各种性能需求。

该 PGA 具有以下特性：

- VDDA 和 VSSA 范围内的轨到轨输入和输出电压
- 可编程增益模式，包括单位增益和 2X - 64X 范围内的其他值
- 独立增益模式使用片外无源器件
- 使用片上电阻器进行后增益滤波
- 差分输入支持
- 硬件辅助斩波可减少失调电压
- 支持使用 PGA_INM 引脚实现开尔文接地

PGA 中的有源器件是一个嵌入式运算放大器，通过内部反馈电阻配置为同相或反相放大器。这些内部反馈电阻值经过配对以产生软件可选的电压增益。

器件引脚上有三个 PGA 信号：

- PGA_INP 是 PGA 运算放大器的正输入。
- PGA_INM 是 PGA 运算放大器的负输入。更多信息请参阅器件数据手册。
- PGA_OUT 支持使用 RC 元件进行运算放大器输出滤波。经滤波后的信号可由片上 ADC 和 CMPSS 模块进行采样和监控。

PGA_OUT_INT 是运算放大器输出端的内部信号。它可由内部 ADC 和 CMPSS 模块进行采样和监控。图 6-57 展示了 PGA 方框图。

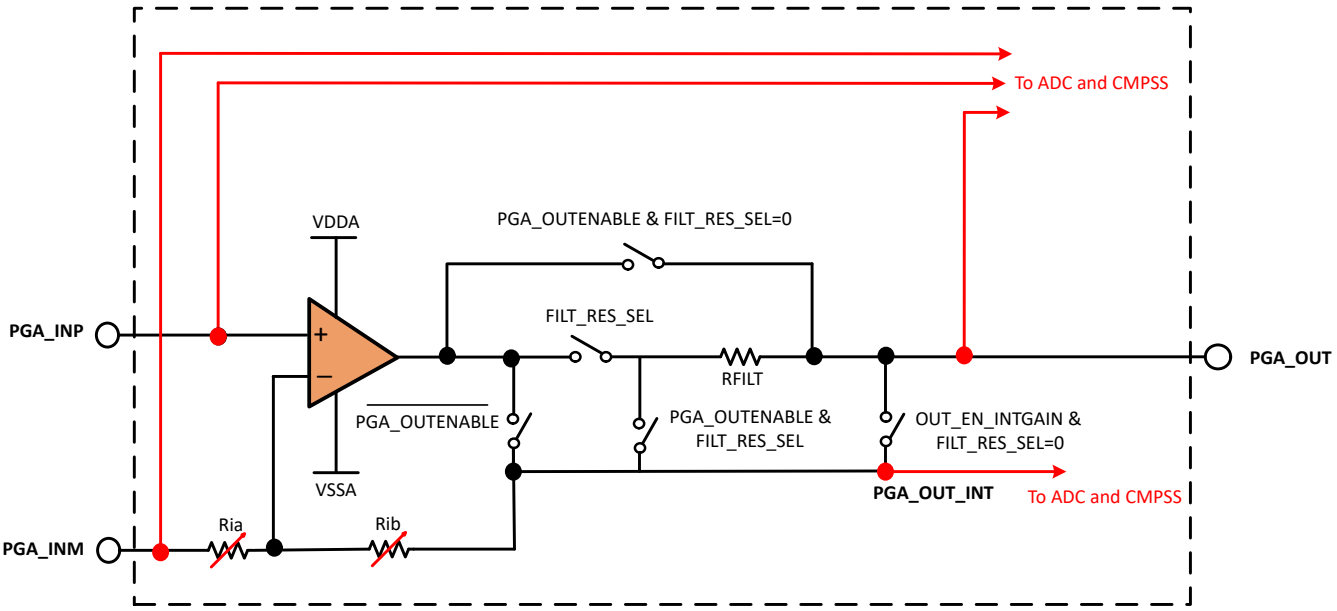


图 6-57. PGA 方框图

6.17.8.1 PGA 电气数据和时序

6.17.8.1.1 PGA 运行条件

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PGA 输出范围 (1)(2)		VSSA+0.025		VDDA-0.025	V
PGA 输出上的负载电容			40		pF

(1) 这是 PGA 的线性输出范围。PGA 可以输出此范围以外的电压，但电压将不呈线性。
(2) 当 PGA 输出 (PGAxOUT) 在 VDDA 或更高 (PGAxOUT≥VDDA) 时饱和，相关的同相 PGA 输入 (PGAxINP) 将表现出约 300μA 的漏电流。这将影响与 PGAxINP 共享引脚的其他 IP。

6.17.8.1.2 PGA 特性

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADC S+H 稳定在 ±1 ADC LSB 精度范围内的最短时间（无滤波器；所有增益设置；单个 ADC 驱动）(4)	增益 = 1		125		ns
	增益 = 2/-1		146		
	增益 = 4/-3		125		
	增益 = 8/-7		154		
	增益 = 16/-15		227		
	增益 = 32/-31		322		
	增益 = 64/-63		380		
ADC S+H 稳定在 ±1 ADC LSB 精度范围内的最短时间（无滤波器；所有增益设置；两个 ADC 驱动）(4)	增益 = 1		146		ns
	增益 = 2/-1		146		
	增益 = 4/-3		113		
	增益 = 8/-7		155		
	增益 = 16/-15		230		
	增益 = 32/-31		352		
	增益 = 64/-63		450		
增益设置			1		
			2、4、8、16、32、64		
			-1、-3、-7、-15、-31、-63		
短路电流 (5)			41		mA
满量程阶跃响应（无滤波器）稳定在 0.05% 精度范围内(4)	G = 64/-63			500	ns
	G < 64			420	ns
稳定时间：增益开关				10	μs
压摆率	裸心 OPA 模式		12		V/μs

Copyright © 2026 Texas Instruments Incorporated

6.17.8.1.2 PGA 特性（续）

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
压摆率	增益 = 1		12		V/μs
	增益 = 2/-1		24		V/μs
	增益 = 4/-3		43		V/μs
	增益 = 8/-7		67		V/μs
	增益 = 16/-15		35		V/μs
	增益 = 32/-31		29		V/μs
	增益 = 64/-63		26		V/μs
R_{ia}	增益 = 1		256		kΩ
	增益 = 2/-1		16		kΩ
	增益 = 4/-3		8		kΩ
	增益 = 8/-7		8		kΩ
	增益 = 16/-15		8		kΩ
	增益 = 32/-31		8		kΩ
	增益 = 64/-63		4		kΩ
R_{ib}	增益 = 1		0		kΩ
	增益 = 2/-1		16		kΩ
	增益 = 4/-3		24		kΩ
	增益 = 8/-7		56		kΩ
	增益 = 16/-15		120		kΩ
	增益 = 32/-31		248		kΩ
	增益 = 64/-63		252		kΩ
滤波电阻目标	R_{FILT} = 800Ω		800		Ω
	R_{FILT} = 400Ω		400		Ω
	R_{FILT} = 200Ω		200		Ω
	R_{FILT} = 100Ω		100		Ω
	R_{FILT} = 50Ω		50	62	Ω
增益带宽积（裸运算放大器模式）	增益=1		7		MHz
闭环 -3db BW	增益=1		15		MHz
	增益 = 2/-1		14		MHz
	增益 = 4/-3		13.5		MHz
	增益 = 8/-7		12		MHz
	增益 = 16/-15		11		MHz
	增益 = 32/-31		5.5		MHz
	增益 = 64/-63		5.0		MHz
直流特性					
增益误差(1)	增益 = 1	-0.18		0.18	%
增益误差(1)	增益 = 2、-1	-0.45		0.45	%
增益误差(1)	增益 = 4、-3	-0.70		0.70	%
增益误差(1)	增益 = 8、-7	-0.84		0.84	%
增益误差(1)	增益 = 16、-15	-0.90		0.90	%

Copyright © 2026 Texas Instruments Incorporated

6.17.8.1.2 PGA 特性（续）

在建议的工作条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
增益误差(1)	增益 = 32、-31	-1.05		1.05	%
增益误差(1)	增益 = 64、-63	-1.82		1.82	%
失调电压误差(2)	以输入为基准	-3.0	+/-1.0	3.0	mV
失调温度系数	以输入为基准	-7.0		7.0	µV/C
失调电压误差 - 斩波		-0.8		0.8	mV
失调温度系数 - 斩波			0.3		µV/C
直流代码扩展	G < 64		2.5		12b LSB
	G = 64/-63		4		12b LSB
交流特性					
相位裕度 裸 OPA	C_{load} = 40pF G = 1		45		度
Aol（开环电压增益） 裸 OPA	R_L = 7.5kΩ 至 GND 0.3V < V_O < VDDA - 0.3V		94		dB
THD + 噪声 (THD + N) 裸 OPA	f_{in} = 1kHz G = 1		82		dB
SNR 10kHz（带 ADC）	增益 = 1		68		dB
	增益 = 2、-1		68		
	增益 = 4、-3		66		
	增益 = 8、-7		62		
	增益 = 16、-15		58		
	增益 = 32、-31		55		
	增益 = 64、-63		51		
THD(3)	DC		-78		dB
THD（高达 100kHz）(3)	增益 = 1		-58		dB
	增益 = 2、-1		-70		
	增益 = 4、-3		-70		
	增益 = 8、-7		-70		
	增益 = 16、-15		-70		
	增益 = 32、-31		-58		
	增益 = 64、-63		-58		
CMRR	直流：V_{IN} <= 1.5V		-86		dB
	直流：满量程输入范围		-77		dB
	高达 100kHz		-50		dB
PSRR(3)	DC		-75		dB
	高达 10kHz		-60		dB
	高达 100kHz		-40		dB
噪声 PSD(3)	1kHz		200		nV/sqrt(Hz)
	10kHz		100		nV/sqrt(Hz)
集成噪声 （以输入为基准）(3)	3Hz 至 30MHz		100		µV

(1) 包含 ADC 增益误差。
(2) 包含 ADC 失调电压误差。
(3) PGA 单独的表现。

Copyright © 2026 Texas Instruments Incorporated

(4) 采用滤波器的阶跃响应时间 = tS + H + 7.6 * R_{filt} * C_{filt}
(5) 假定无滤波器电路

6.18 控制外设

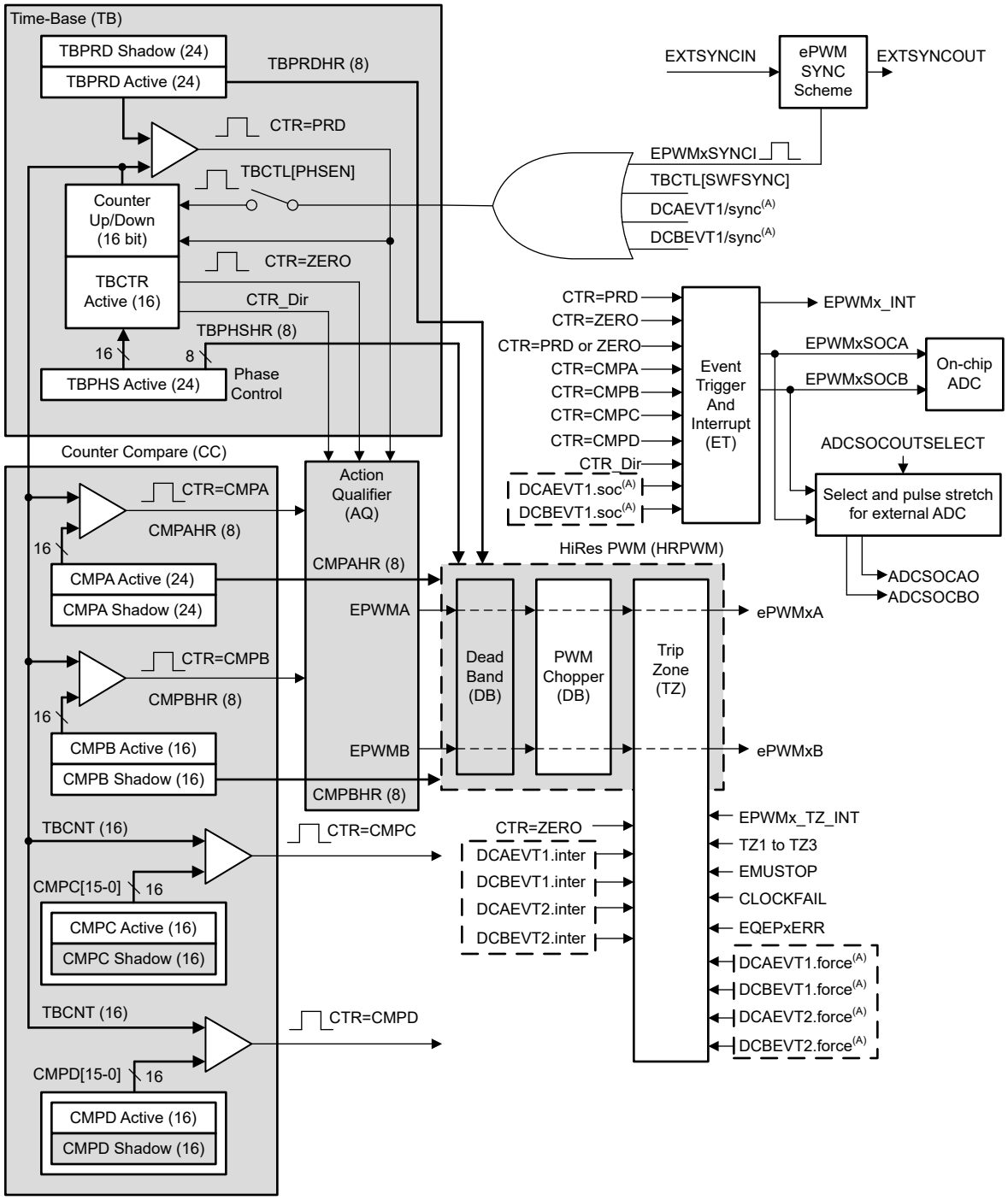
6.18.1 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具备独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，ePWM 4 类 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类 模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

借助 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。

图 6-58 展示了 ePWM 模块。图 6-59 展示了 ePWM 跳变输入连接。

Copyright © 2026 Texas Instruments Incorporated



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 6-58. ePWM 子模块和关键内部信号互连

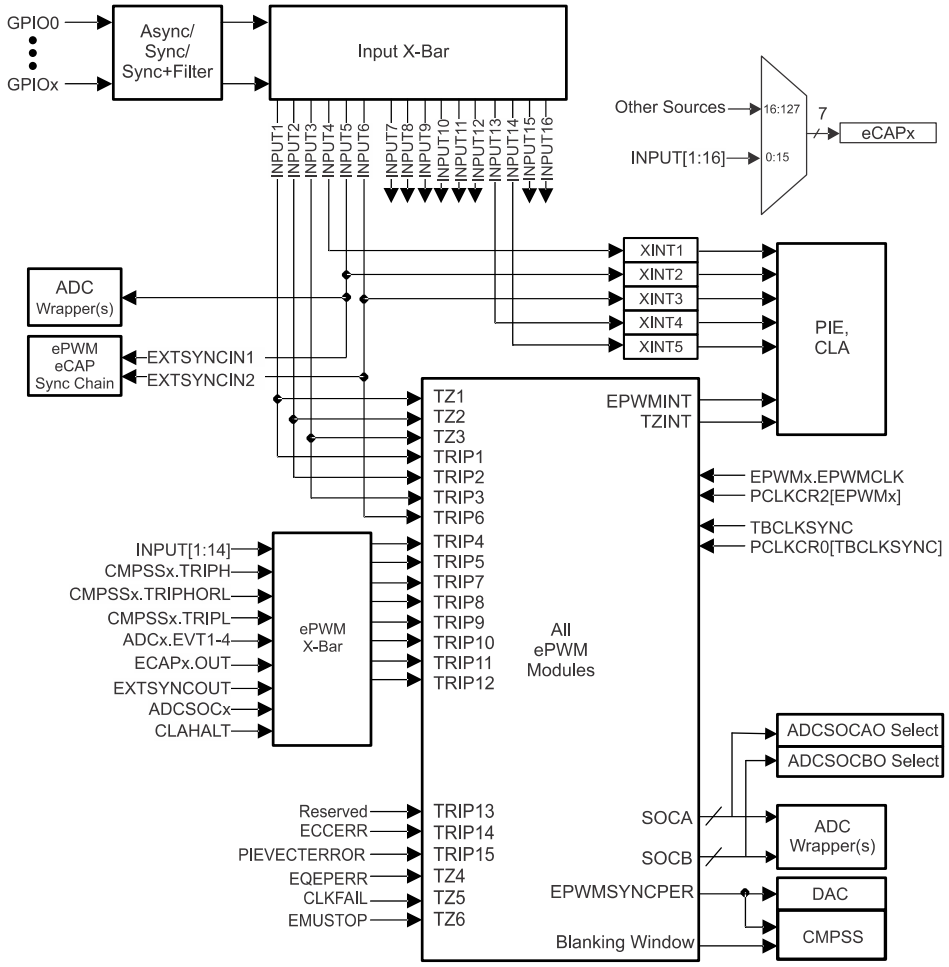


图 6-59. ePWM 跳变输入连接

Copyright © 2026 Texas Instruments Incorporated

6.18.1.1 控制外设同步

借助 ePWM 和 eCAP 同步方案，可灵活地划分 ePWM 和 eCAP 模块，并可在这些模块内进行局部同步。图 6-60 展示了同步方案。

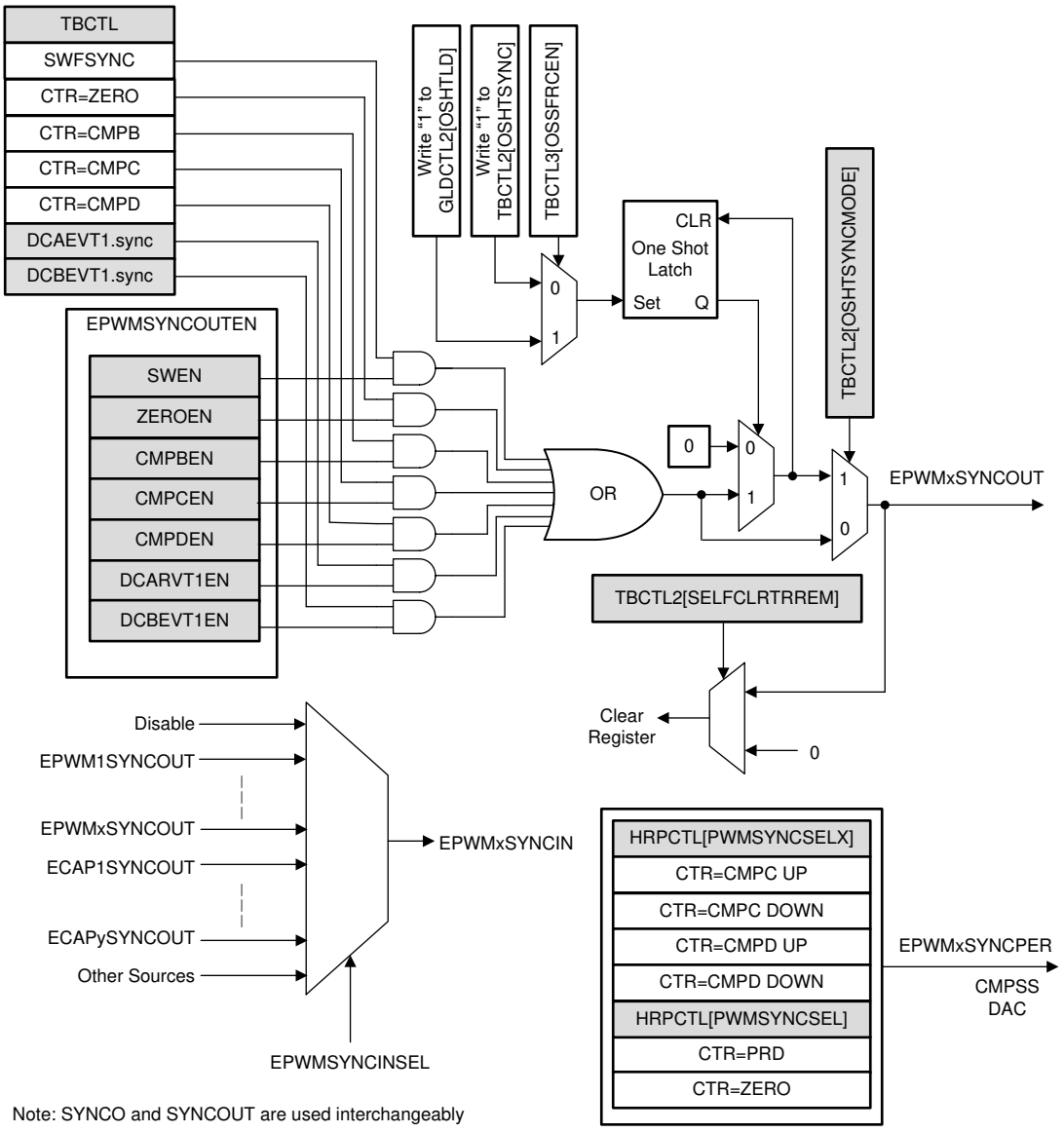


图 6-60. 同步链架构

6.18.1.2 ePWM 电气数据和时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.18.1.2.1 ePWM 时序要求

			最小值	最大值	单位
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		
		带输入限定器	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.18.1.2.2 ePWM 开关特性

在建议运行条件下测得（除非另有说明）

参数(1)		最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平	20		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SYSCLK)}$		周期
$t_{d(TZ-PWM)}$	延迟时间，跳变输入激活到 PWM 强制高电平 延迟时间，跳变输入激活到 PWM 强制低电平 延迟时间，跳变输入激活到 PWM 高阻抗		25	ns

(1) 引脚上 20pF 负载。

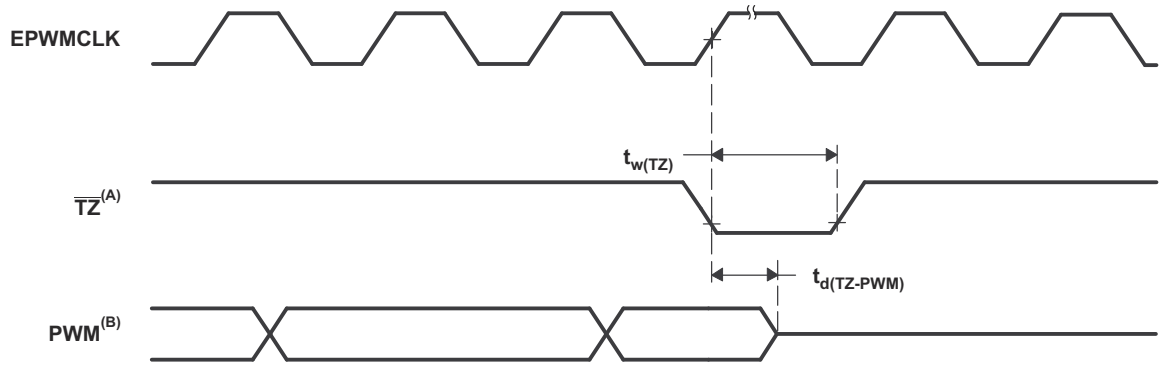
6.18.1.2.3 跳闸区输入时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.18.1.2.3.1 跳闸区域输入时序要求

			最小值	最大值	单位
$t_{w(TZ)}$	脉冲持续时间，$\overline{TZx}$ 输入低电平的时间	异步	$1t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		周期
		带输入限定器	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		周期

6.18.1.2.3.2 PWM 高阻态特征时序图



A. $\overline{TZ}$: $\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1 至 TRIP12

B. PWM 是指器件内的所有 PWM 引脚。$\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-61. PWM Hi-Z 特征

Copyright © 2026 Texas Instruments Incorporated

6.18.2 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

6.18.2.1 HRPWM 电气数据和时序

6.18.2.1.1 高分辨率 PWM 特征

参数		最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长(1)	微边沿定位 (MEP) 步长(1)		75	152	ps

(1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

6.18.3 外部 ADC 转换启动电气数据和时序

6.18.3.1 外部 ADC 转换启动开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间，$\overline{ADCSOCxO}$ 低电平的时间	$32t_{c(SYSCLK)}$		周期

6.18.3.2 $\overline{ADCSOCAO}$ 或 $\overline{ADCSOCBO}$ 时序图

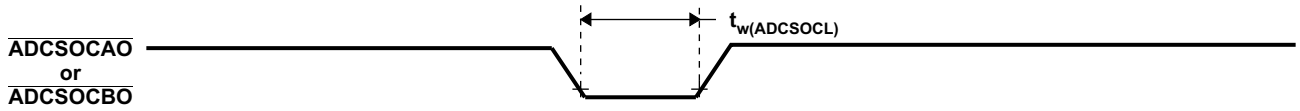


图 6-62. $\overline{ADCSOCAO}$ 或者 $\overline{ADCSOCBO}$ 时序

6.18.4 增强型捕获 (eCAP)

eCAP 模块的特性包括：

- 测量旋转机械的速度（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

本节介绍的 eCAP 模块特性包括：

- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳捕获事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在深度为 4 的循环缓冲器中以连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
  - 向 ECCTL2[CTRFILTRESET] 写入 1 会清零事件过滤器、模数计数器和任何挂起的中断标志。复位该位对于初始化和调试很有用。
- 模数计数器状态位。
  - 模数计数器 (ECCTL2 [MODCNTRSTS]) 指示接下来加载哪个捕捉寄存器。在 0 类 eCAP 中，无法了解模数计数器的当前状态。
- DMA 触发源
  - eCAPxDMA 被添加为一个 DMA 触发器。CEVT[1-4] 可以配置为 eCAPxDMA 的源。
- 输入多路复用器
  - ECCTL0 [INPUTSEL] 选择 128 个输入信号之一，详情请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中“增强型捕捉 (eCAP)”一章的*配置 eCAP 器件引脚* 部分。
- EALLOW 保护
  - EALLOW 保护已添加到关键寄存器。为了维持与 0 类的软件兼容性，请配置 DEV_CFG_REGS.ECAPTYPE 以使这些寄存器不受保护。

2 类 eCAP 的捕捉功能通过 1 类 eCAP 得到增强，增加了以下特性：

- 添加了 ECAPxSYNCINSEL 寄存器
  - 为每个 eCAP 添加了 ECAPxSYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的 SYNCIN 信号。

Copyright © 2026 Texas Instruments Incorporated

6.18.4.1 eCAP 方框图

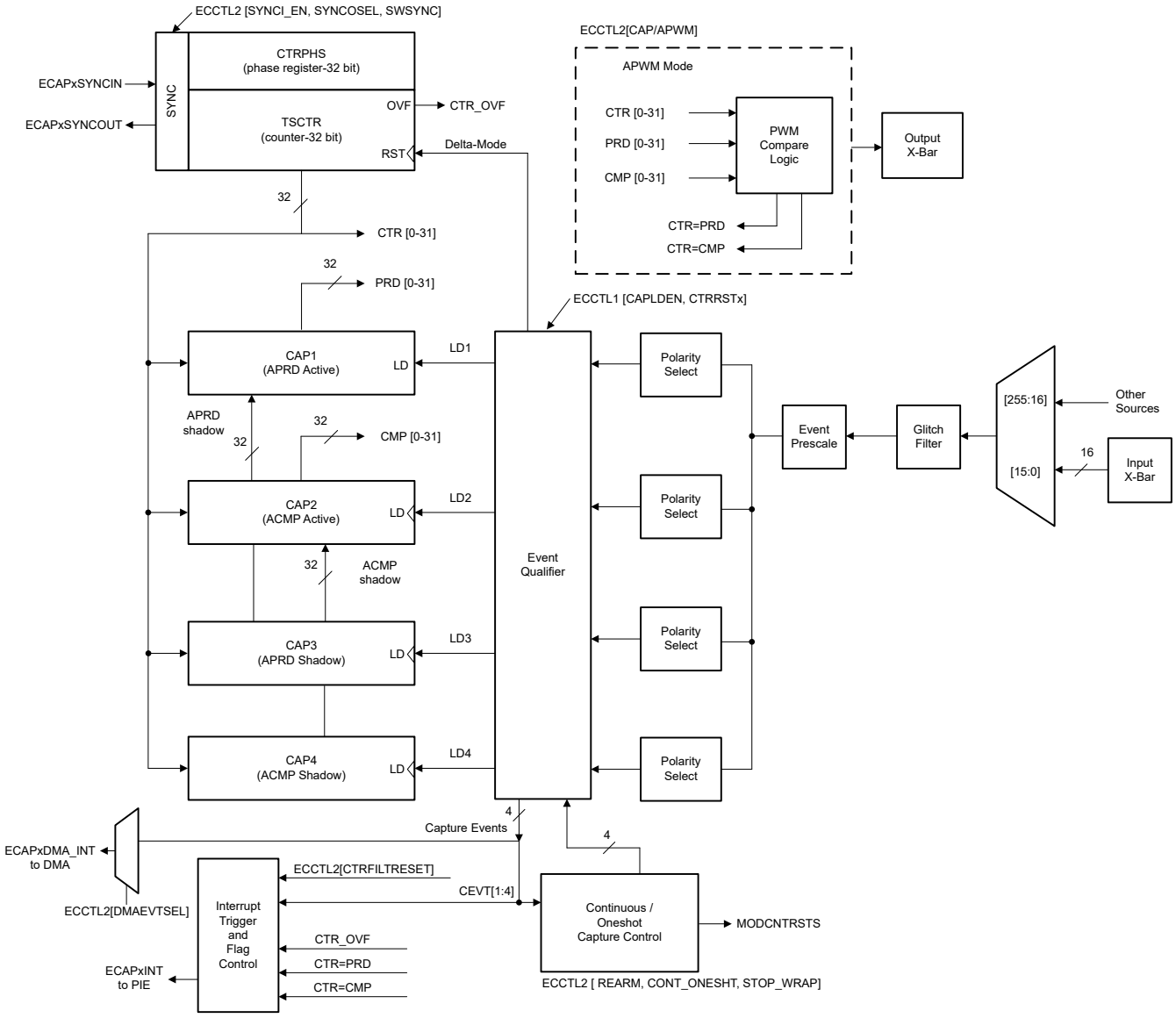


图 6-63. eCAP 方框图

6.18.4.2 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 ePWM、eCAP 或 X-Bar。如图 6-64 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

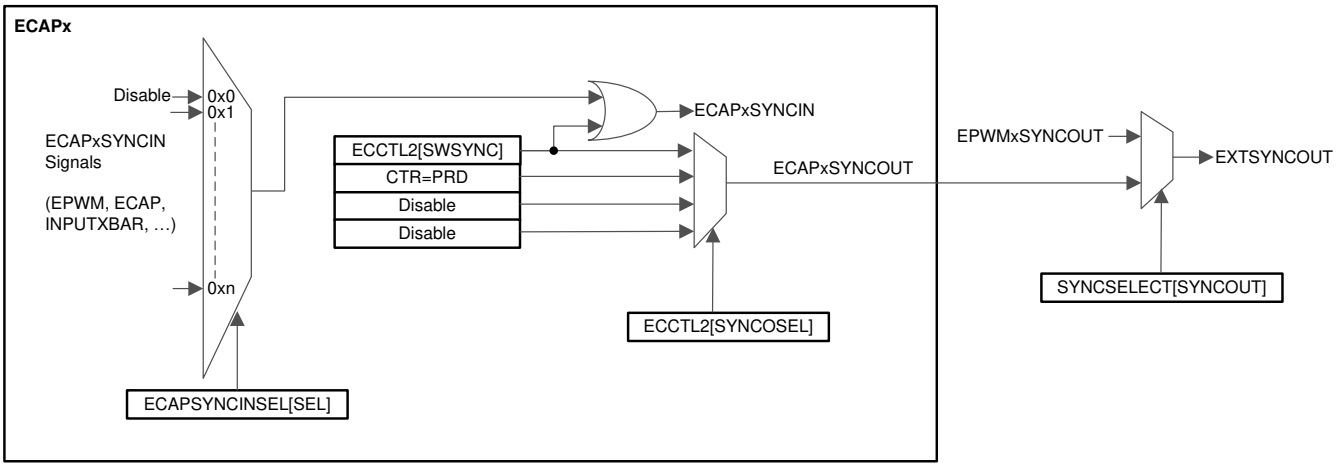


图 6-64. eCAP 同步方案

6.18.4.3 eCAP 电气数据和时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.18.4.3.1 eCAP 时序要求

			最小值	标称值	最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SYSCLK)}$			ns
		同步	$2t_{c(SYSCLK)}$			
		带输入限定器	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.18.4.3.2 eCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

6.18.5 增强型正交编码器脉冲 (eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元（请参阅图 6-65）：

- 针对每个引脚的可编程输入鉴定（GPIO 多路复用器的一部分）
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)

Copyright © 2026 Texas Instruments Incorporated

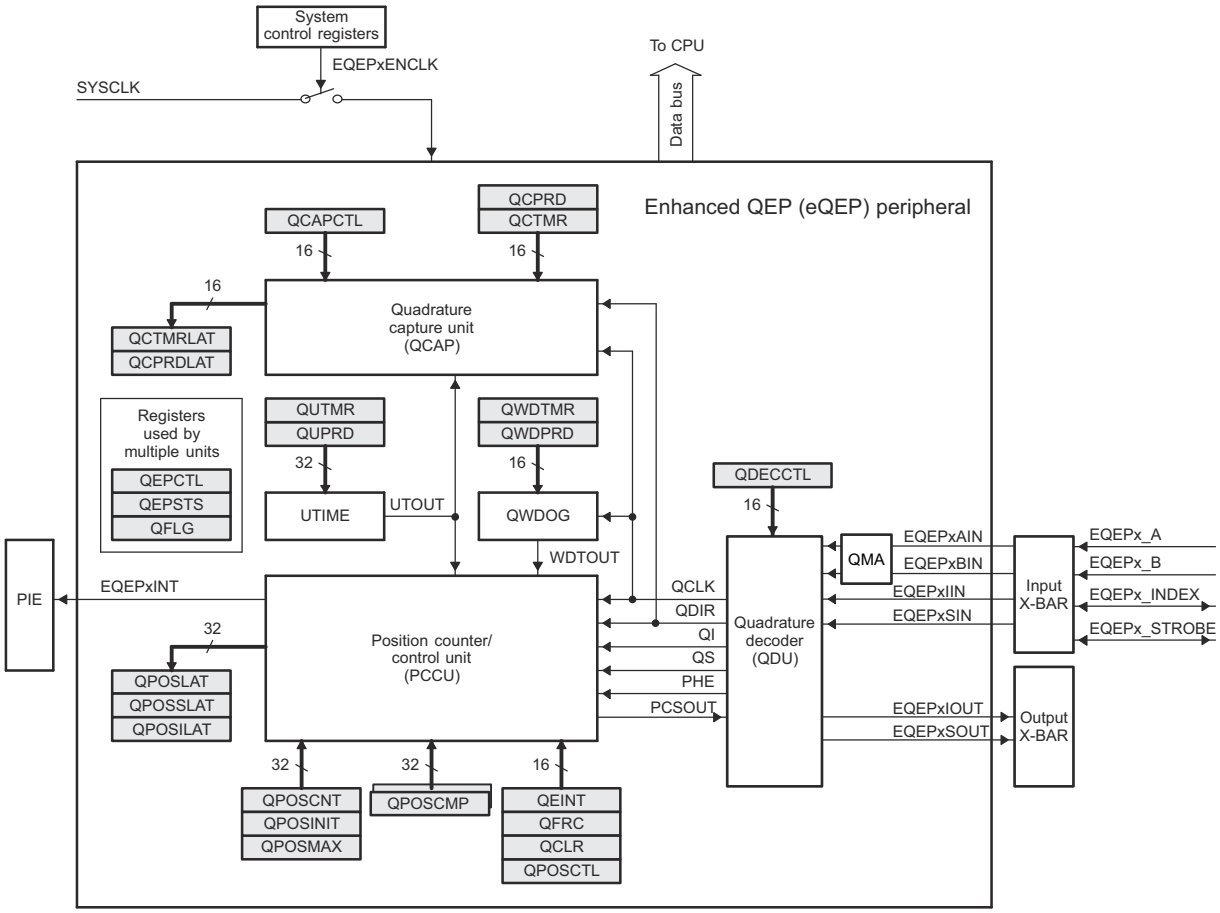


图 6-65. eQEP 方框图

6.18.5.1 eQEP 电气数据和时序

有关输入限定符参数的说明，请参阅*通用输入时序要求*表。

6.18.5.1.1 eQEP 时序要求

			最小值 最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$	
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(STROBH)}$	QEP 选通高电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步(1)	$2t_{c(SYSCLK)}$	周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

6.18.5.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值 最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量	$5t_{c(SYSCLK)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出	$7t_{c(SYSCLK)}$	周期

Copyright © 2026 Texas Instruments Incorporated

6.18.6 Σ-Δ 滤波器模块 (SDFM)

SDFM 模块特性包括：

- 每个 SDFM 模块八个外部引脚
  - 每个 SDFM 模块有四个 Σ-Δ 数据输入引脚（SD-Dx，其中 x = 1 至 4）
  - 每个 SDFM 模块有四个 Σ-Δ 时钟输入引脚（SD-Cx，其中 x = 1 至 4）
- 支持不同的可配置调制器时钟模式：
  - 模式 0：调制器时钟速率等于调制器数据速率。
- 每个 SDFM 模块有四个独立的可配置次级滤波器（比较器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 能够检测超值条件、低值条件和超限条件
    1. 两个独立的上限阈值比较器（用于检测超值条件）
    2. 两个独立的下限阈值比较器（用于检测低值条件）
    3. 一个独立的超限比较器（用于通过 eCAP 测量占空比/频率）
  - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块有四个独立的可配置初级滤波器（数据滤波器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/SincFast/Sinc3) 选项
  - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
  - 能够启用或禁用独立的滤波器模块（或全部两个模块）
  - 能够使用主滤波器使能 (MFE) 位或 PWM 信号来同步 SDFM 模块的所有四个独立滤波器
- 数据滤波器输出可以用 16 位或 32 位表示。
- 数据滤波器单元具有可编程模式 FIFO 来减少中断开销。该 FIFO 具有以下特性：
  - 初级滤波器（数据滤波器）具有一个 16 深 x 32 位 FIFO。
  - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU。
  - FIFO 等待同步功能：能够忽略数据就绪事件，直至接收到 PWM 同步信号 (SDSYNC)。一旦接收到 SDSYNC 事件，就会在每个数据就绪事件时填充 FIFO。
  - 数据滤波器输出可以用 16 位或 32 位表示。
- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDSYNC 源。
- 可使用 PWM 为 Σ-Δ 调制器生成调制器时钟。
- SD-Cx 和 SD-Dx 均可配置输入限定
- 能够使用一个滤波器通道时钟 (SD-C1) 为其他滤波器时钟通道提供时钟。
- 在发生比较器滤波器事件时可以使用可配置的数字滤波器来清除杂散噪声引起的比较器事件

图 6-66 显示了 SDFM 模块方框图。

Copyright © 2026 Texas Instruments Incorporated

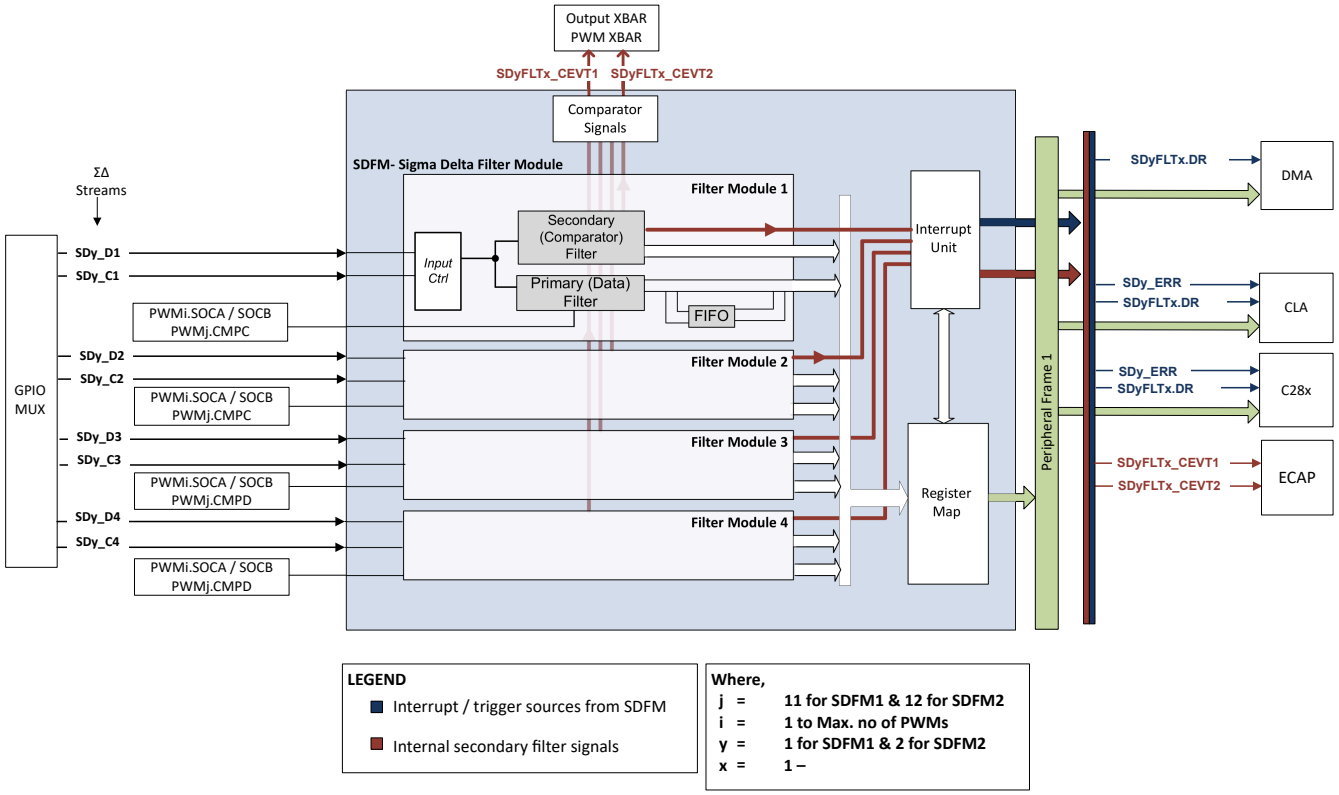


图 6-66. Σ - Δ 滤波器模块 (SDFM) 方框图

Copyright © 2026 Texas Instruments Incorporated

6.18.6.1 SDFM 电气数据和时序

6.18.6.1.1 SDFM 电气数据和时序（同步 GPIO）

使用这种同步 GPIO 模式时，必须满足 $t_{w(GPI)}$ 脉冲持续时间至少为 $2_{tc(SYSCLK)}$ 的时序要求。为 SD-Cx 和 SD-Dx 对配置 SYNC 选项非常重要。本部分列出了使用同步 GPIO (SYNC) 选项时的 SDFM 时序要求。图 6-67 展示了 SDFM 时序图。

使用同步 GPIO SYNC 选项时的 SDFM 时序要求 表列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为同步模式（使用 GPYQSELn = 00b）。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步（使用 SDCTLPARMx.SDDATASYNC / SDCLKSYNC = 0b）。

备注

SDFM 同步 GPIO (SYNC) 选项可以防止 SDFM 模块因 SDx_Cy 引脚上偶尔随机产生的噪声干扰而损坏，这些噪声干扰可能导致错误的比较器跳闸和滤波器输出。

SDFM 同步 GPIO (SYNC) 模式对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

6.18.6.1.2 SDFM 电气数据和时序（使用 ASYNC）

使用异步 GPIO ASYNC 选项时的 SDFM 时序要求 表列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为异步模式（使用 GPYQSELn = 0b11）。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步（使用 SDCTLPARMx 寄存器）。

图 6-67 展示了 SDFM 时序图。

6.18.6.1.3 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	4 * $t_{c(PLLRAWCLK)}$	256 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间，SDx_Dy（高电平/低电平）	2 * $t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	1 * $t_{c(PLLRAWCLK)}$ + 3		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	1 * $t_{c(PLLRAWCLK)}$ + 3		ns

6.18.6.1.4 使用同步 GPIO SYNC 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	5 个 SYSCLK 周期	256 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间，SDx_Dy（高电平/低电平）	2 个 SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	2 个 SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	2 个 SYSCLK 周期		ns

6.18.6.1.5 SDFM 时序图

警告

应该对 SD-Cx 和 SD-Dx 信号采取特殊的预防措施，确保信号干净且无干扰，满足 SDFM 时序要求。建议采取的预防措施包括对时钟驱动器的任何阻抗不匹配而导致的振铃噪声采用串联终端电阻，以及将布线与其他噪声信号隔离开来，等等。

Copyright © 2026 Texas Instruments Incorporated

备注

SDFM SD-Cx 和 SD-Dx 信号与 PLLRAWCLK 同步后可防止由于偶尔出现的随机噪声干扰（这些干扰可能造成比较器跳闸和滤波器输出错误）而导致的 SDFM 模块损坏。但是，这些信号对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

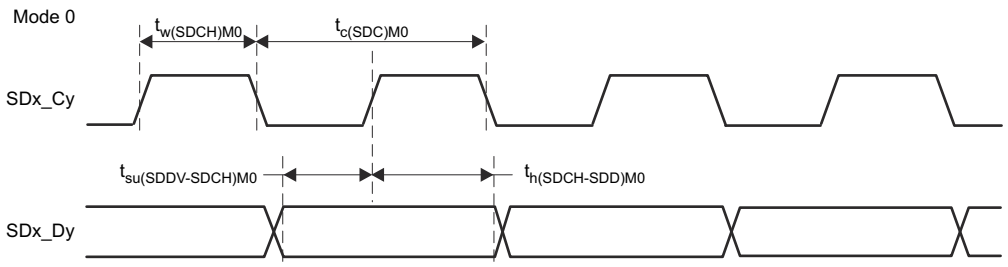


图 6-67. SDFM 时序图 - 模式 0

Copyright © 2026 Texas Instruments Incorporated

6.19 通信外设

6.19.1 模块化控制器局域网 (MCAN)

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高可靠性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力，并且能够检测各种类型的错误。在 CAN 中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持传统 CAN 和 CAN FD（具有灵活数据速率的 CAN）协议。CAN FD 特性可实现更高的吞吐量和增加每个数据帧的有效负载。经典 CAN 和 CAN FD 器件可以在同一网络上共存而不会发生任何冲突，前提是经典 CAN 器件使用部分网络收发器，其中该收发器可以检测和忽略 CAN FD，而不产生总线错误。MCAN 模块符合 ISO 11898-1:2015 标准。

备注

CAN FD 特性的可用性取决于器件型号。

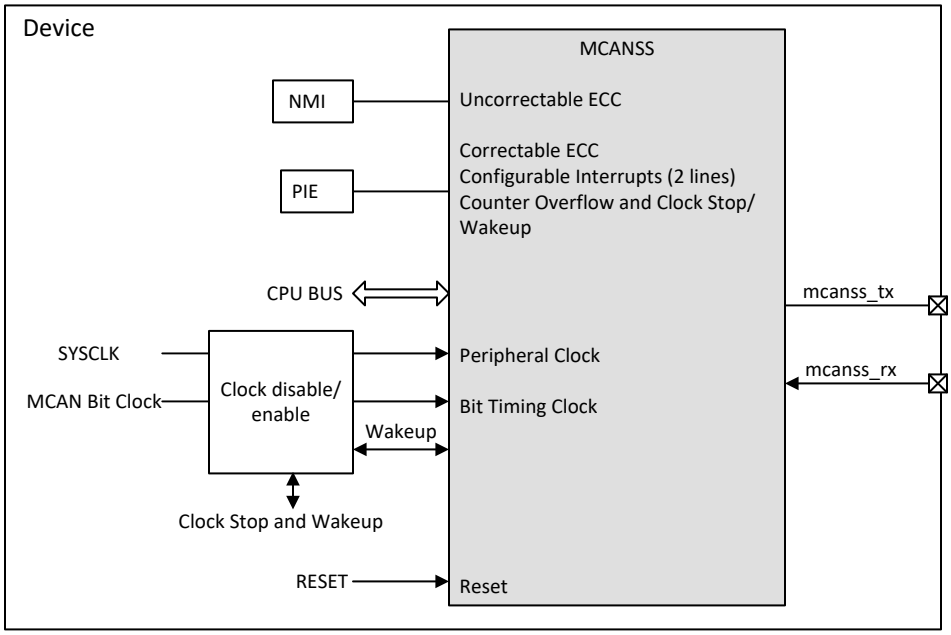


图 6-68. MCAN 模块概述

MCAN 模块可实现以下特性：

- 符合 CAN 协议 2.0A、B 和 ISO 11898-1:2015 标准
- 完全支持 CAN FD（最多 64 个数据字节）
- 支持 AUTOSAR 和 SAE J1939
- 灵活的消息 RAM 分配（以下最大配置适用于具有 4352 32 位字消息 RAM 的器件）
  - 多达 32 个专用发送缓冲器
  - 可配置的发送 FIFO，最多 32 个元素
  - 可配置的发送队列，最多 32 个元素
  - 可配置的发送事件 FIFO，最多 32 个元素
  - 多达 64 个专用接收缓冲器
  - 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
  - 多达 128 个滤波器元素
- 用于自检的环回模式
- 可屏蔽中断（两条可配置的中断线路、可纠正的 ECC、计数器溢出和时钟停止/唤醒）

Copyright © 2026 Texas Instruments Incorporated

- 不可屏蔽中断（不可纠正的 ECC）
- 两个时钟域（CAN 时钟/主机时钟）
- 消息 RAM 的 ECC 检查
- 支持时钟停止和唤醒
- 时间戳计数器

不支持的特性：

- 主机总线防火墙
- 时钟校准
- 通过 CAN 进行调试

6.19.2 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I^2C 总线规范（版本 2.1）：
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个控制器-发送器和目标-接收器
  - 支持多个目标-发送器和控制器-接收器
  - 组合控制器发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到高达 400Kbps（快速模式）
- 支持与以下兼容的电压阈值：
  - SMBus 3.0 及更低版本
  - PMBus 1.3 及更低版本
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个中断
  - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
    - 发送就绪
    - 接收就绪
    - 寄存器访问就绪
    - 无确认
    - 仲裁丢失
    - 检测到停止条件
    - 被寻址为目标
  - I2Cx_FIFO 中断：
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- 模块启用和禁用能力
- 自由数据格式模式

图 6-69 显示了 I2C 外设模块如何在器件内连接。

Copyright © 2026 Texas Instruments Incorporated

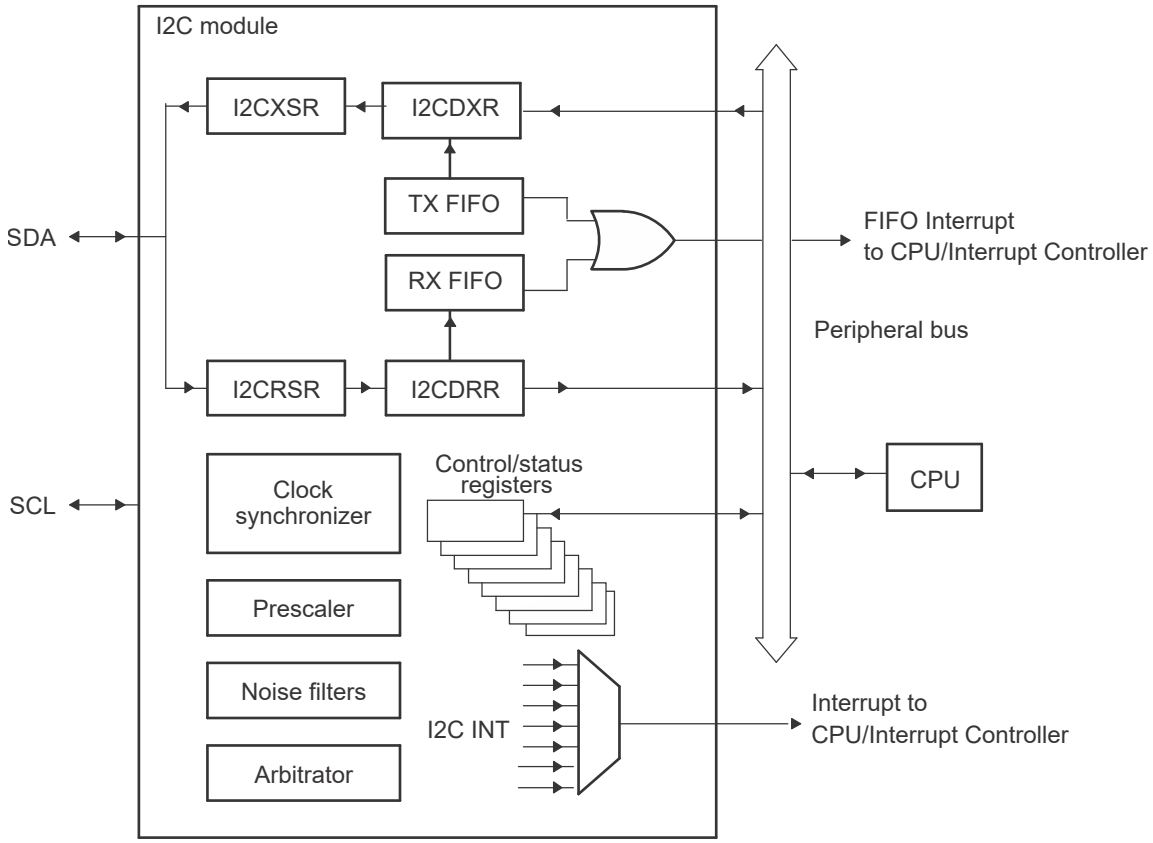


图 6-69. I2C 外设模块接口

6.19.2.1 I2C 电气数据和时序

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

必须选择符合 I2C 标准时序的上拉电阻。在大多数情况下，2.2kΩ 的总线至 VDDIO 总线电阻是足够的。要评估特定设计的上拉电阻器阻值，请参阅 *I2C 总线上拉电阻器计算* 应用手册。

6.19.2.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0		µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250		ns
T5	$t_{r(SDA)}$	上升时间，SDA		1000	ns
T6	$t_{r(SCL)}$	上升时间，SCL		1000	ns
T7	$t_{f(SDA)}$	下降时间，SDA		300	ns
T8	$t_{f(SCL)}$	下降时间，SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		µs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		µs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		µs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		µs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100		ns
T5	$t_{r(SDA)}$	上升时间，SDA	20	300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20	300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		µs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF

6.19.2.1.2 I2C 开关特性

在建议运行条件下测得（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		µs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		µs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		µs

Copyright © 2026 Texas Instruments Incorporated

6.19.2.1.2 I2C 开关特性（续）

在建议运行条件下测得（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	μs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	μA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.9	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.9	μs
S8	I_I	引脚上的输入电流	0.1 V_{bus} < V_i < 0.9 V_{bus}	-10	10	μA

6.19.2.1.3 I2C 时序图

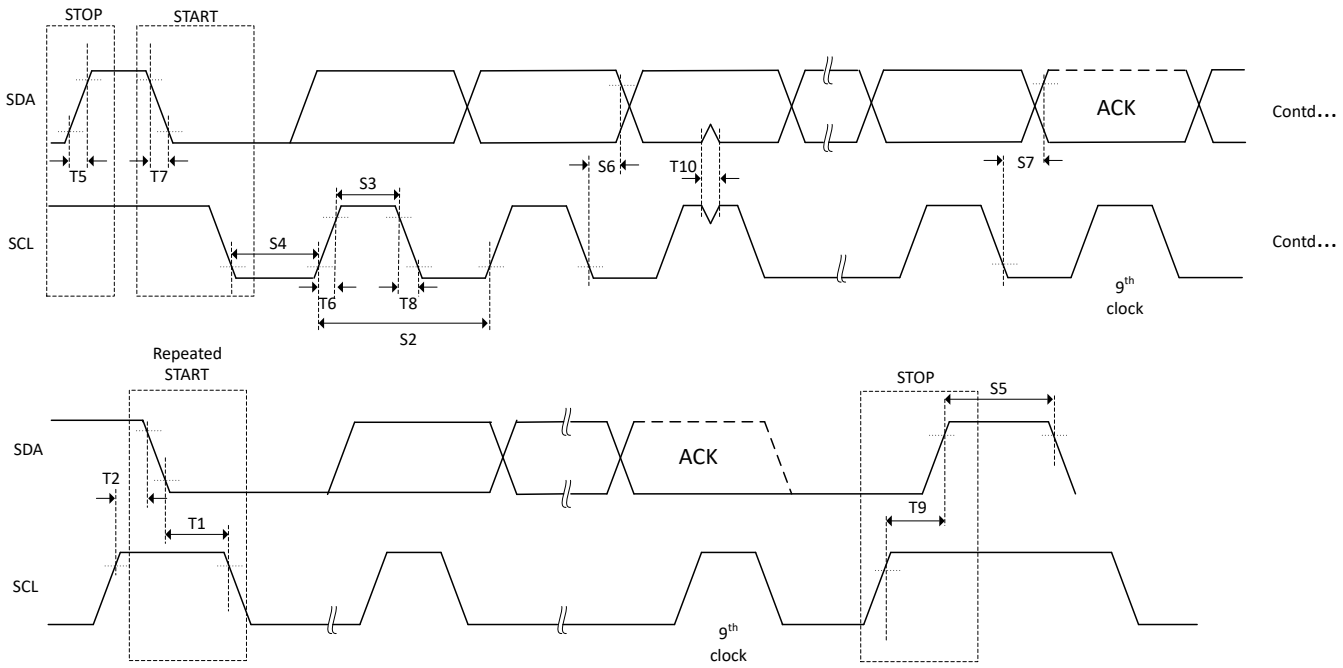


图 6-70. I2C 时序图

6.19.3 电源管理总线 (PMBus) 接口

PMBus 模块具有以下特性：

- 符合 SMI Forum PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）
- 支持与以下兼容的电压阈值：
  - PMBus 1.3 及更低版本
  - SMBus 3.0 及更低版本
- 支持 控制器和目标
- 支持 I2C 模式
- 支持三种速度：
  - 标准模式：高达 100kHz
  - 快速模式：400kHz
  - 快速+ 模式：1MHz
- 数据包错误检查
- 控制和警报信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲器
- 一个可屏蔽中断，可由以下几个条件生成：
  - 接收数据就绪
  - 发送缓冲器为空
  - 接收到目标地址
  - 消息结束
  - 警报输入被置为有效
  - 时钟低超时
  - 时钟高电平超时
  - 总线空闲

备注

请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册*，以确定哪些引脚支持快速+ 模式以及完整的 SMBUS3.0 和 PMBUS1.3 规范。

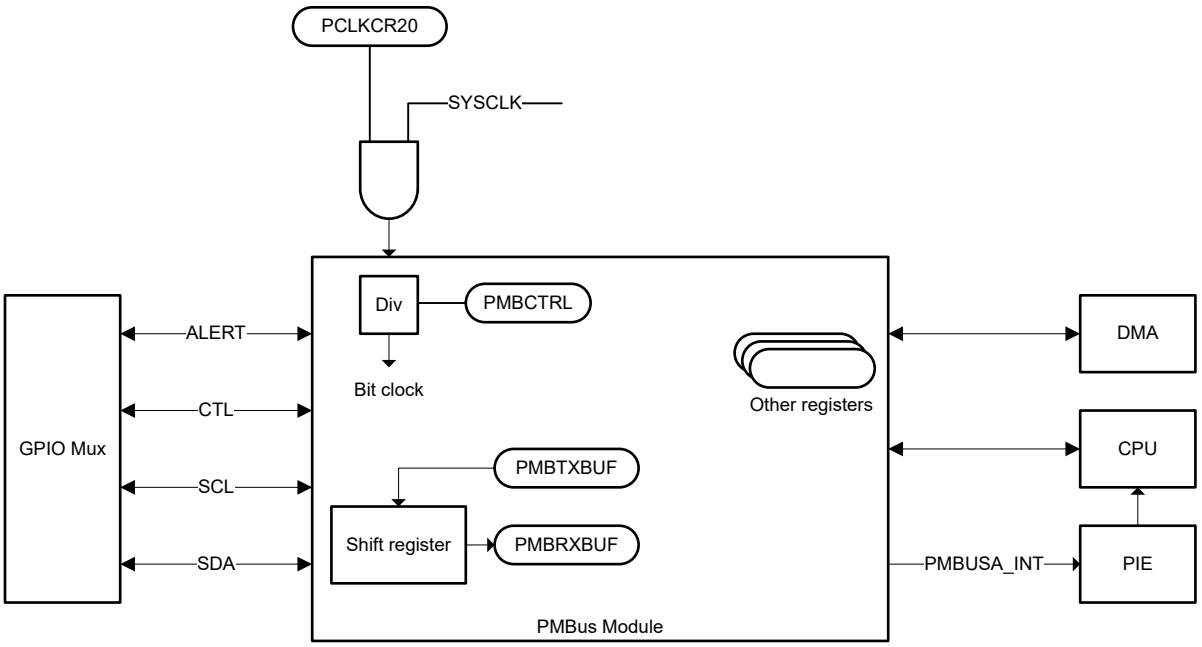


图 6-71. PMBus 方框图

Copyright © 2026 Texas Instruments Incorporated

6.19.3.1 PMBus 电气数据和时序

6.19.3.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	有效低电平输入电压				0.8	V
V_{IH}	有效高电平输入电压	GPIO2/3/9/32：IO_MODSEL：MODSEL GPIOx = 0/所有其他 GPIO	2.1		VDDIO	V
		GPIO2/3/9/32：IO_MODSEL：MODSEL GPIOx = 1	1.35		VDDIO	V
V_{OL}	低电平输出电压	在 I_{pullup} = 4mA 时			0.4	V
		在 I_{pullup} = 20mA GPIO2/3/9/32 时：IO_DRVSEL:DRVSELGPIOx = 1			0.4	V
I_{OL}	低电平输出电流	V_{OL} ≤ 0.4V	4			mA
		V_{OL} ≤ 0.4 V IO_DRVSEL:DRVSELGPIOx = 1	20			mA
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度		0		50	ns
I_i	每个引脚上的输入漏电流	0.1Vbus < Vi < 0.9Vbus	-10		10	µA
C_i	每个引脚上的电容				10	pF

6.19.3.1.2 PMBus 快速+ 模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{mod}	PMBus 模块时钟频率(2)		20		25	MHz
f_{SCL}	SCL 时钟频率	3.3V 标称总线电压	10		1000	kHz
		5.0V 标称总线电压	10		1000	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		0.5			µs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		0.26			µs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		0.26			µs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		0.26			µs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
	SCL 下降后的数据保持时间 PMBCTRL_ZH_EN = 1 (1)		0			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		50			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		0.5			µs
t_{HIGH}	SCL 时钟的高电平周期		0.26		50	µs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（目标器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（控制器器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间	5% 至 95%	20		120	ns
t_f	SDA 和 SCL 的下降时间	95% 至 5%	20		120	ns

(1) 必须设置该位，才能实现 0ns 保持时间/SMBUS3.0 兼容性

Copyright © 2026 Texas Instruments Incorporated

(2) 如果使用最大时钟，则 PMBUS 的默认寄存器配置将满足以下所有时序

6.19.3.1.3 PMBus 快速模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{mod}	PMBus 模块时钟频率(2)		$f_{(SYSCLK)}$ /32		10	MHz
f_{SCL}	SCL 时钟频率		10		400	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		1.3			µs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		0.6			µs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		0.6			µs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		0.6			µs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
	SCL 下降后的数据保持时间，PMBCTRL_INC_1[ZH+EN] = 1(1)		0			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		100			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		1.3			µs
t_{HIGH}	SCL 时钟的高电平周期		0.6		50	µs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（目标器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（控制器器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间	5% 至 95%	20		300	ns
t_f	SDA 和 SCL 的下降时间	95% 至 5%	20		300	ns

(1) 必须设置该位，才能实现 0ns 保持时间/SMBUS3.0 兼容性
(2) 如果使用最大时钟，则 PMBUS 的默认寄存器配置将满足以下所有时序

Copyright © 2026 Texas Instruments Incorporated

6.19.3.1.4 PMBus 标准模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{mod}	PMBus 模块时钟频率(2)		$f_{(SYSCLK)}$ /32		10	MHz
f_{SCL}	SCL 时钟频率		10		100	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		4.7			µs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		4			µs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		4.7			µs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		4			µs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
	SCL 下降后的数据保持时间，PMBCTRL_INC_1[ZH+EN]= 1(1)		0			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		250			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		4.7			µs
t_{HIGH}	SCL 时钟的高电平周期		4		50	µs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（目标器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（控制器器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间				1000	ns
t_f	SDA 和 SCL 的下降时间				300	ns

(1) 必须设置该位，才能实现 0ns 保持时间/SMBUS3.0 兼容性
(2) 如果使用最大时钟，则 PMBUS 的默认寄存器配置将满足以下所有时序

Copyright © 2026 Texas Instruments Incorporated

6.19.4 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和组帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚
  - SCIRXD：SCI 接收-输入引脚
  - 波特率可编程为 64K 不同速率
- 数据字格式
  - 1 个开始位
  - 数据字长度可在 1 至 8 位之间编程
  - 可选偶数/奇数/无奇偶校验位
  - 1 个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
  - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

图 6-72 展示了 SCI 方框图。

Copyright © 2026 Texas Instruments Incorporated

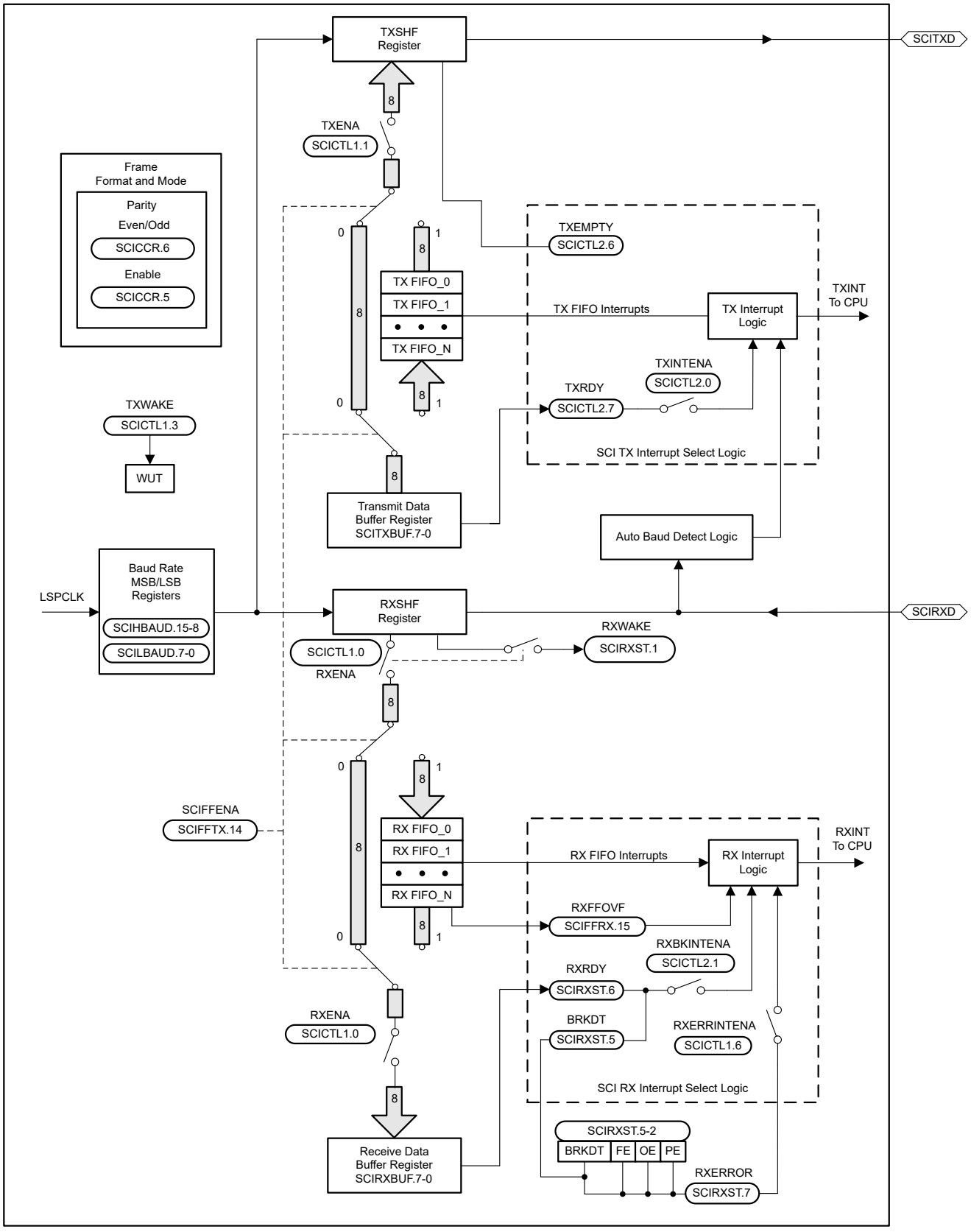

TXSHF Register
SCITXD
8
TXENA
SCICTL1.1
Frame Format and Mode
Parity
Even/Odd
SCICCR.6
Enable
SCICCR.5
TXEMPTY
SCICTL2.6
TX FIFO_0
TX FIFO_1
TX FIFO_N
TX FIFO Interrupts
TX Interrupt Logic
TXINT To CPU
TXINTENA
SCICTL2.0
TXRDY
SCICTL2.7
TXWAKE
SCICTL1.3
WUT
SCI TX Interrupt Select Logic
Transmit Data Buffer Register SCITXBUF.7-0
Auto Baud Detect Logic
Baud Rate MSB/LSB Registers
SCIHBAUD.15-8
SCILBAUD.7-0
LSPCLK
RXSHF Register
SCIRXD
RXWAKE
SCIRXST.1
SCICTL1.0
RXENA
SCIFFENA
SCIFFTX.14
RX FIFO_0
RX FIFO_1
RX FIFO_N
RX FIFO Interrupts
RX Interrupt Logic
RXINT To CPU
RXFFOVF
SCIFFRX.15
RXBKINTENA
SCICTL2.1
RXRDY
SCIRXST.6
BRKDT
SCIRXST.5
RXERRINTENA
SCICTL1.6
SCI RX Interrupt Select Logic
SCIRXST.5-2
BRKDT
FE
OE
PE
RXERROR
SCIRXST.7
Receive Data Buffer Register SCIRXBUF.7-0

图 6-72. SCI 方框图

6.19.5 串行外设接口 (SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度（1 至 16 位）的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的控制器或外设运行时支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的功能包括：

- SPIPOCI：SPI 外设输出/控制器输入引脚
- SPIPICO：SPI 外设输入/控制器输出引脚
- $\overline{\text{SPIPTE}}$：SPI 外设发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两种工作模式：控制器和外设
- 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
- 数据字长度：1 至 16 数据位
- 四种时钟方案（由时钟极性和时钟相位的位控制）包含：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成
- 16 级发送/接收 FIFO
- DMA 支持
- 高速模式
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPIPTE}}$ 反转

图 6-73 所示为 SPI CPU 接口。

Copyright © 2026 Texas Instruments Incorporated

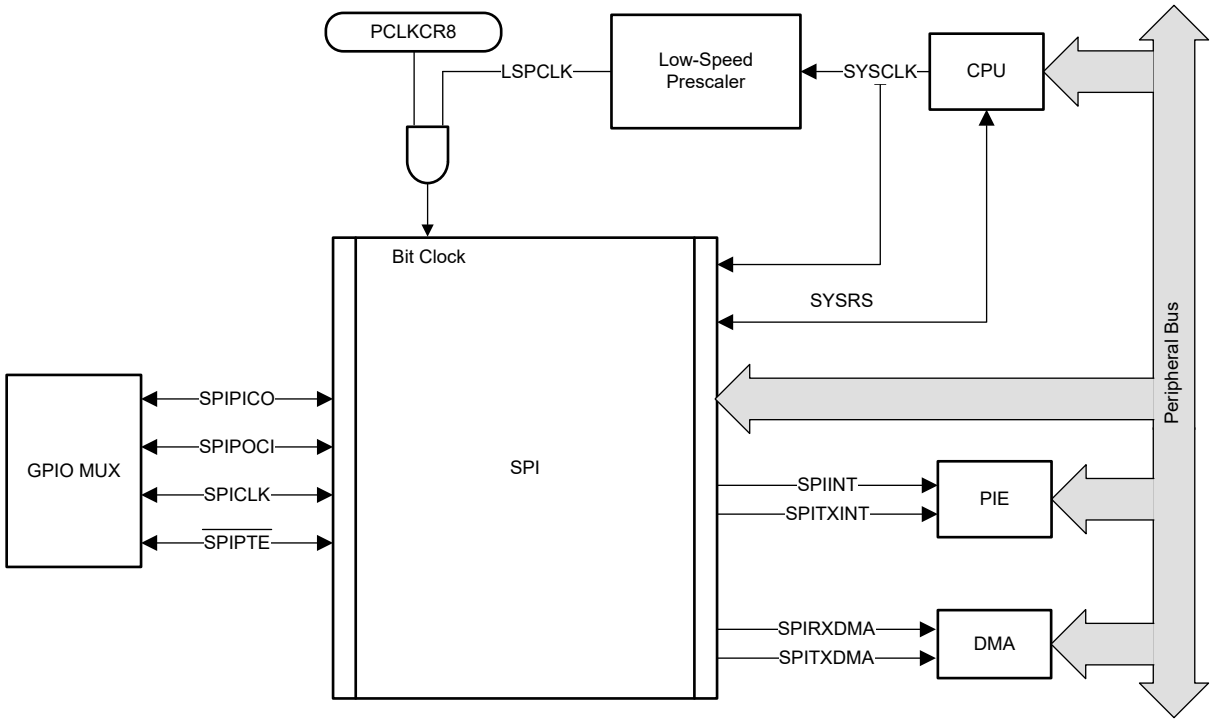


图 6-73. SPI CPU 接口

6.19.5.1 SPI 控制器模式时序

以下各节介绍了 SPI 控制器模式时序。

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPIPICO 和 SPIPOCI 上的负载电容为 5pF。在 HS_MODE 下，最大支持 50MHz 的时钟。

表 6-23. 支持高速模式的 SPI 时钟和引脚

SPI 支持高速	SPICLK GPIO#	SPIPICO GPIO#	SPIPOCI GPIO#	SPIPTE GPIO#
SPIA	GPIO18	GPIO224	GPIO4/GPIO10/GPIO228	GPIO242
SPIA	GPIO226	GPIO224	GPIO4/GPIO10/	GPIO242
SPIA	GPIO12	GPIO224	GPIO10	GPIO242
SPIB	GPIO22	GPIO7/GPIO50	GPIO41/GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO533
SPIB	GPIO28	GPIO7/GPIO50	GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO53
SPIB	GPIO52	GPIO7/GPIO50	GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO53
SPIB	GPIO4	GPIO7/GPIO50	GPIO41/GPIO51/GPIO57	GPIO9/GPIO15/GPIO23/ GPIO53

6.19.5.1.1 SPI 控制器模式时序要求

编号	参数[2]		(BRR + 1)[1]	最小值	最大值	单位
高速模式						
8	$t_{su(POCI)M}$	SPICLK 之前 SPIPOCI 有效的设置时间	偶数，奇数	0.7		ns
9	$t_{h(POCI)M}$	SPICLK 之后 SPIPOCI 有效的保持时间	偶数，奇数	6.5		ns

Copyright © 2026 Texas Instruments Incorporated

6.19.5.1.1 SPI 控制器模式时序要求（续）

编号	参数[2]		(BRR + 1)[1]	最小值	最大值	单位
正常模式						
8	$t_{su(POCI)M}$	SPICLK 之前 SPIPOCI 有效的设置时间	偶数，奇数	15		ns
9	$t_{h(POCI)M}$	SPICLK 之后 SPIPOCI 有效的保持时间	偶数，奇数	0		ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。
(2) GPIO2/3/9/23/32/41 不支持全高速模式 (37.5MHz) SPI 操作

Copyright © 2026 Texas Instruments Incorporated

6.19.5.1.2 SPI 控制器模式开关特性 - 时钟相位为 0

在建议的运行条件下（除非另有说明）

编号	参数 (1)(2)(4)		(BRR + 1)(3)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPIPTE}$ 有效至 SPICLK 的时间	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
23	$t_{d(SPC)M}$	延时时间，$\overline{SPIPTE}$ 有效至 SPICLK 的时间（当用于与 PMBUS - GPIO2/3/9/32 进行多路复用的引脚时）	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 4$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 4$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPIPTE}$ 无效的时间	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPIPTE}$ 无效的时间（当用于与 PMBUS - GPIO2/3/9/32 进行多路复用的引脚时）	偶数	$0.5t_{c(SPC)M} - 4$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 4$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速模式						
4	$t_{d(PICO)M}$	延时时间，SPICLK 至 SPIPICO 有效的时间	偶数，奇数	1		ns
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(PICO)M}$	延时时间，SPICLK 至 SPIPICO 有效的时间	偶数，奇数	3		ns
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 4$		ns
			奇数	0.5tc(SPC)M – 0.5tc(LSPCLK) – 4		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。
(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。
(4) GPIO2/3/9/23/32/41 不支持全高速模式 (37.5MHz) SPI 操作

Copyright © 2026 Texas Instruments Incorporated

6.19.5.1.3 SPI 控制器模式开关特性 - 时钟相位为 1

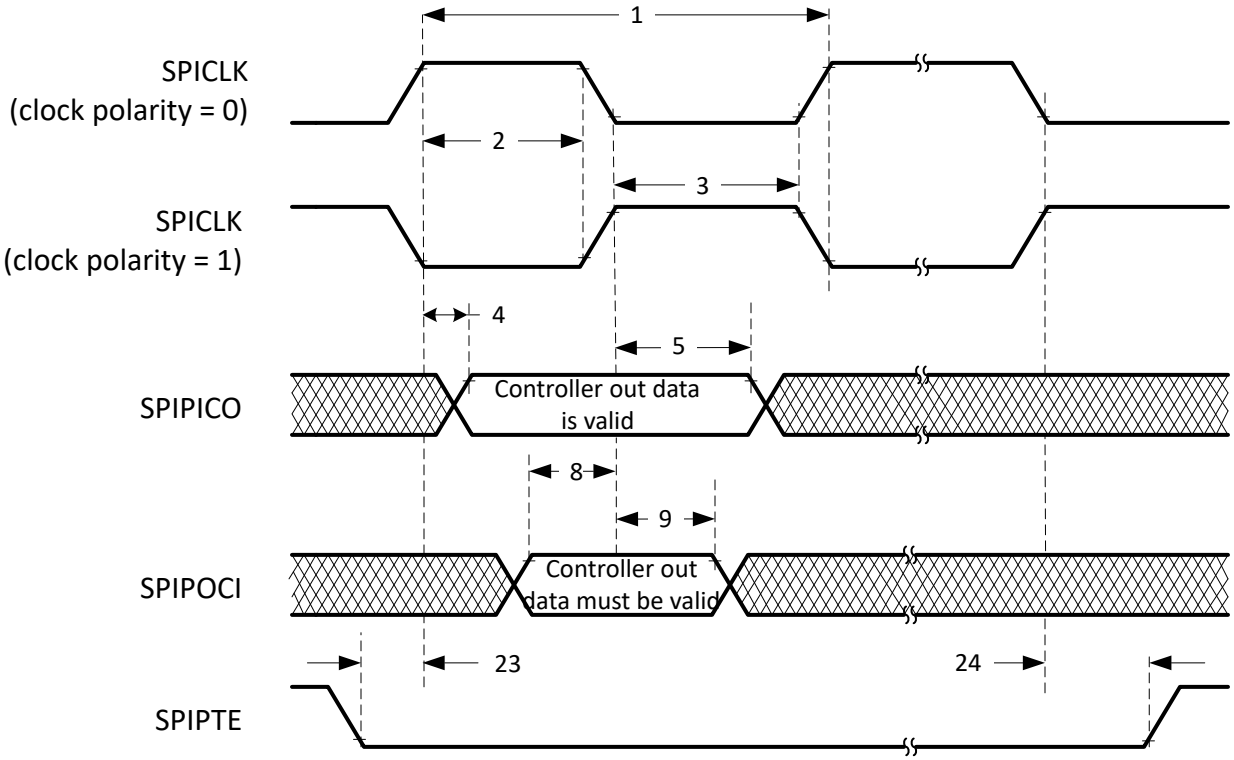
在建议的运行条件下 (除非另有说明)

编号	参数 (1)(2)(4)		(BRR + 1) (3)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPIPTE}$ 有效至 SPICLK 的时间	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
23	$t_{d(SPC)M}$	延时时间，$\overline{SPIPTE}$ 有效至 SPICLK 的时间 (当用于与 PMBUS - GPIO2/3/9/32 进行多路复用的引脚时)	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 4$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{d(STE)M}$	延迟时间，SPICLK 至 $\overline{SPIPTE}$ 无效的时间	偶数	-3	3	ns
			奇数	-3	3	
24	$t_{d(STE)M}$	延时时间，SPICLK 至 $\overline{SPIPTE}$ 无效的时间 (当用于与 PMBUS - GPIO2/3/9/32 进行多路复用的引脚时)	偶数	-4	3	ns
			奇数	-4	3	
高速模式						
4	$t_{d(PICO)M}$	延时时间，SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(PICO)M}$	延时时间，SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 3$		
5	$t_{v(PICO)M}$	有效时间，SPICLK 之后 SPIPICO 有效的时间	偶数	$0.5t_{c(SPC)M} - 4$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 4$		

(1) 高速模式下引脚上的负载为 10pF。
(2) 正常模式下引脚上的负载为 20pF。
(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。
(4) GPIO2/3/9/23/32/41 不支持全高速模式 (37.5MHz) SPI 操作

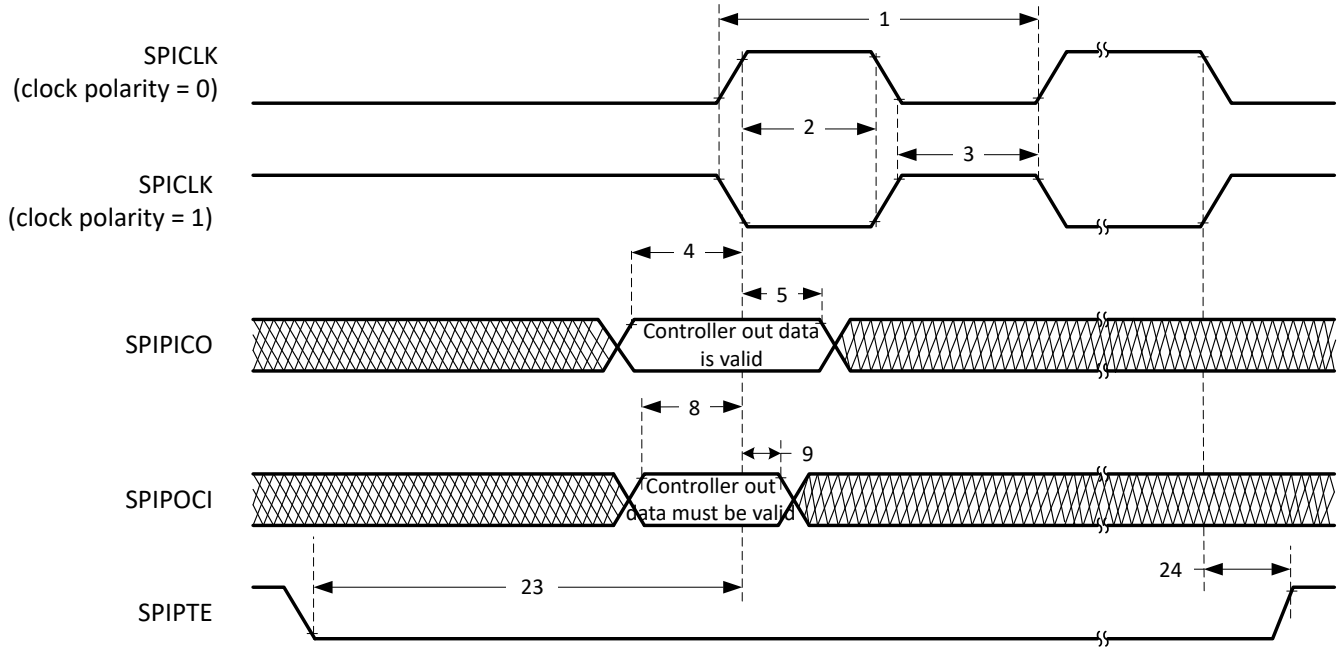
Copyright © 2026 Texas Instruments Incorporated

6.19.5.1.4 SPI 控制器模式时序图



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，$\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-74. SPI 控制器模式外部时序（时钟相位 = 0）



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，$\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-75. SPI 控制器模式外部时序（时钟相位 = 1）

6.19.5.2 SPI 外设模式时序

以下各节介绍了 SPI 外设模式时序。

6.19.5.2.1 SPI 外设模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(PICO)S}$	SPICLK 之前 SPIPICO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(PICO)S}$	SPICLK 之后 SPIPICO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	SPICLK 之前 $\overline{\text{SPIPTE}}$ 有效的设置时间（时钟相位 = 0）	$2t_{c(SYSCLK)} + 15$		ns
		SPICLK 之前 $\overline{\text{SPIPTE}}$ 有效的设置时间（时钟相位 = 1）	$2t_{c(SYSCLK)} + 15$		ns
26	$t_{h(STE)S}$	SPICLK 之后 $\overline{\text{SPIPTE}}$ 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

6.19.5.2.2 SPI 外设模式开关特性

在建议运行条件下测得（除非另有说明）

编号	参数(1)		最小值	最大值	单位
15	$t_{d(POCI)S}$	延时时间，SPICLK 至 SPIPOCI 有效的时间（非高速模式）		17	ns
15	$t_{d(POCI)S}$	延时时间，SPICLK 至 SPIPOCI 有效的时间（高速模式）		12.5	ns
16	$t_{v(POCI)S}$	有效时间，SPICLK 之后 SPIPOCI 有效的时间	0		ns

(1) 引脚上 20pF 负载。

Copyright © 2026 Texas Instruments Incorporated

6.19.5.2.3 SPI 外设模式时序图

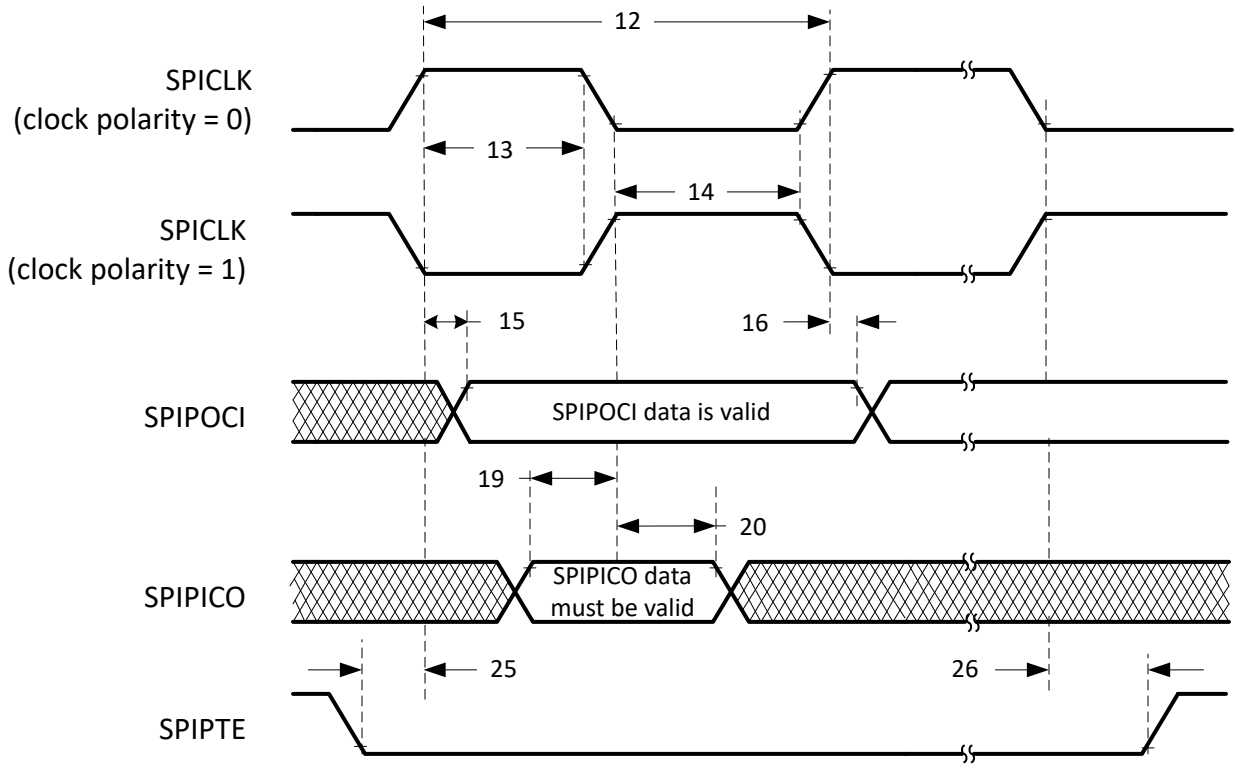


图 6-76. SPI 外设模式外部时序（时钟相位 = 0）

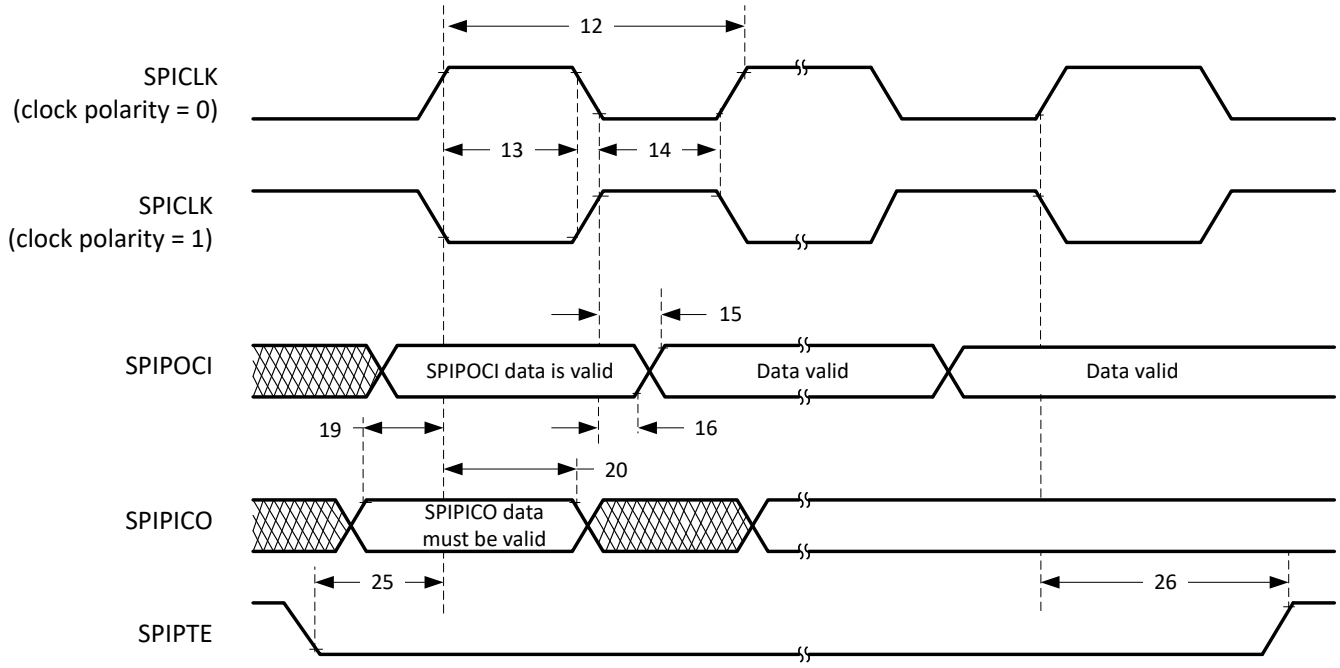


图 6-77. SPI 外设模式外部时序（时钟相位 = 1）

6.19.6 本地互连网络 (LIN)

此器件包含一个本地互连网络 (LIN) 模块。LIN 模块遵循 *LIN 规范包修订版 2.1* 定义的 LIN 2.1 标准。LIN 是一种低成本串行接口，专为 CAN 协议实施成本太高的应用而设计，例如用于汽车应用中车内照明或车窗控制等舒适功能的小型子网。

LIN 标准基于 SCI (UART) 串行数据链路格式。通信原理是单个指挥官和多个响应者通过消息识别在任何网络节点之间实现多播传输。

LIN 模块可以编程作为一个 SCI 或作为一个 LIN 运行，因为此模块的内核为 SCI。SCI 的硬件特性得到增强以实现 LIN 兼容性。SCI 模块是一个通用异步收发器 (UART)，可实现标准的非归零格式。

虽然 LIN 和 SCI 的寄存器是通用的，但是寄存器说明中有相应注释指出不同模式下的寄存器/位用法。因此，为该模块编写的代码无法直接移植到独立 SCI 模块，反之亦然。

LIN 模块具有以下特性：

- 与 LIN 1.3、2.0 和 2.1 协议兼容
- 波特率最高可配置为 20kbps（根据 LIN 2.1 协议）
- 两个外部引脚：LINRX 和 LINTX
- 多缓冲接收和发送单元
- 针对信息过滤的识别掩码
- 自动生成指挥官头文件
  - 可编程同步中断域
  - 同步域
  - 标识符域
- 响应者自动同步
  - 同步中断检测
  - 可选波特率更新
  - 同步验证
- 使用 7 个分数位支持 2^{31} 个可编程传输速率
- 从收发器在 LINRX 主级别上唤醒
- 自动唤醒支持
  - 唤醒信号生成
  - 唤醒信号超期时间
- 自动总线闲置检测
- 错误检测
  - 位错误
  - 总线错误
  - 无响应错误
  - 校验和错误
  - 同步域错误
  - 奇偶校验错误
- 能够使用直接存储器存取 (DMA) 发送和接收数据
- 两个中断线路带有以下项目的优先级编码：
  - 接收
  - 发送
  - ID、错误和状态
- 支持 LIN 2.0 校验和
- 增强型同步器有限状态机 (FSM) 支持帧处理
- 增强对扩展帧的处理能力
- 增强型波特率发生器
- 更新唤醒/进入睡眠模式

Copyright © 2026 Texas Instruments Incorporated

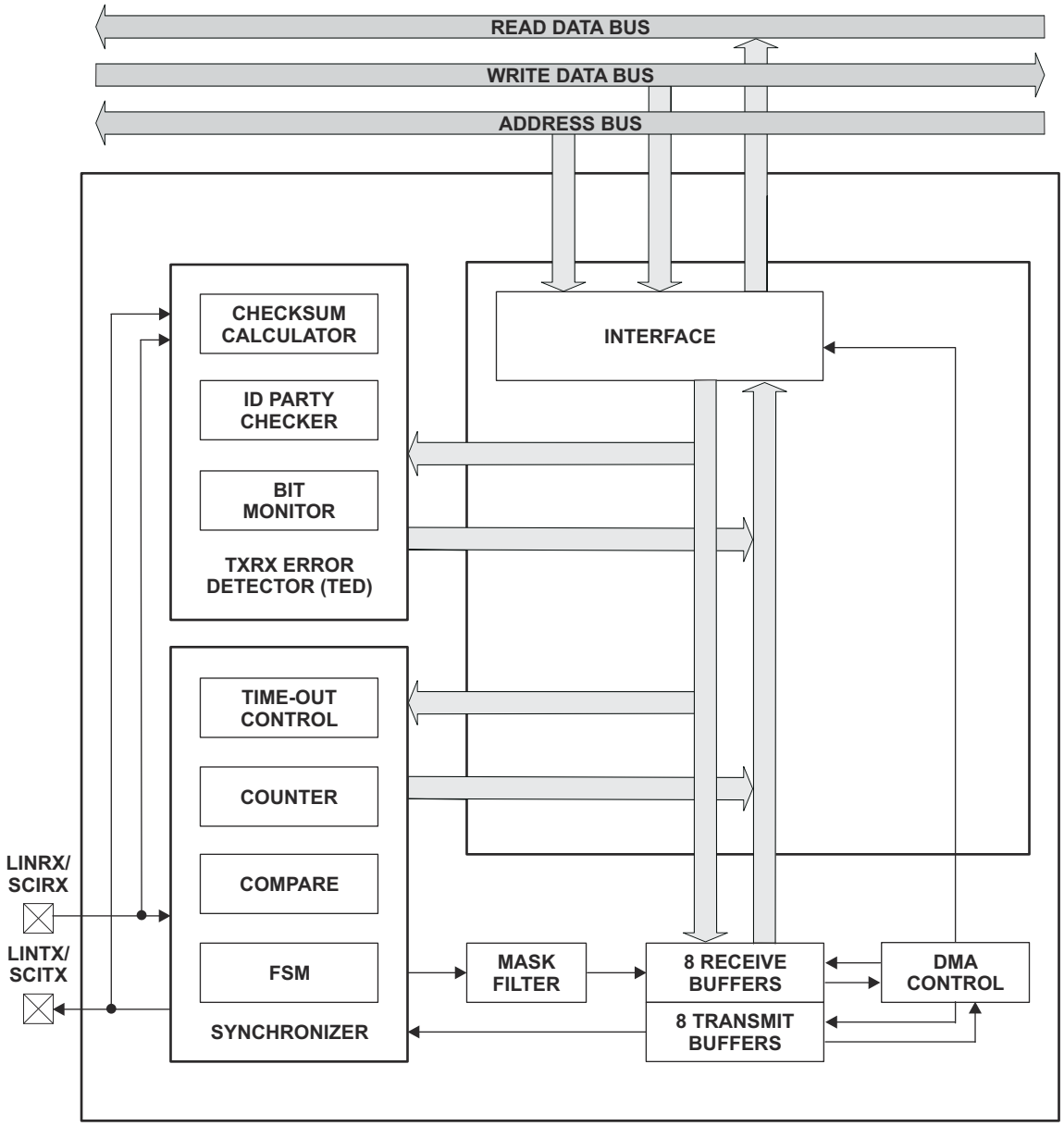

READ DATA BUS
WRITE DATA BUS
ADDRESS BUS
CHECKSUM CALCULATOR
ID PARTY CHECKER
BIT MONITOR
TXRX ERROR DETECTOR (TED)
INTERFACE
TIME-OUT CONTROL
COUNTER
COMPARE
FSM
SYNCHRONIZER
LINRX/ SCIRX
LINTX/ SCITX
MASK FILTER
8 RECEIVE BUFFERS
8 TRANSMIT BUFFERS
DMA CONTROL

图 6-78. LIN 方框图

6.19.7 快速串行接口 (FSI)

快速串行接口 (FSI) 是一种能够进行可靠而稳健的高速通信的串行通信外设。FSI 旨在确保在芯片到芯片之间以及跨越隔离栅的板到板之间等诸多系统条件下实现数据稳健性。CRC、帧起始和结束模式以及用户定义的标签等有效载荷完整性检查在发送前进行编码，然后在接收后进行验证，无需额外的 CPU 交互。可以使用定期发送的方式检测线路中断，所有这些均由硬件管理和监控。FSI 还与器件上的其他控制外设紧密集成。为了确保提供最新的传感器数据或控制参数，可以在每个控制环路周期发送帧。为了处理由于各种因素而在时钟和数据信号之间可能出现的偏移（包括布线长度不匹配和隔离芯片引起的偏移），接收器上添加了一个集成的偏移补偿块。借助嵌入式数据稳健性检查、数据链路完整性检查、偏移补偿以及与控制外设的集成，FSI 可以在任何系统中实现高速、稳健的通信。FSI 除了这些特性，还有许多其他特性，如下所示。

FSI 模块包含以下特性：

- 独立的发送器和接收器内核
- 源同步发送
- 双数据速率 (DDR)
- 一条或两条数据线路
- 可编程数据长度
- 偏移调整块可针对电路板和系统延迟的不匹配部分进行补偿
- 帧错误检测
- 通过可编程的帧标记进行消息过滤
- 通过硬件 ping 检测通信期间的线路中断（ping 看门狗）
- 每个 FSI 内核对应两个中断
- 外部触发帧生成
- 由硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- SPI 兼容模式（可用功能受限）

为了让 FSI 在双数据速率 (120Mbps) 下以最大速度 (60MHz) 运行，可能需要根据具体运行条件逐例配置集成的偏移补偿块。*快速串行接口 (FSI) 偏移补偿* 应用手册通过软件示例介绍了如何在快速串行接口上配置和设置集成偏移补偿块。

FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。有关 FSITX 和 FSIRX 上的可用功能，请相应参见 ***FSI** 发送器* 一节和 ***FSI** 接收器* 小节，其位于 *TMS320F28P551/552/558 实时微控制器技术参考手册*。

Copyright © 2026 Texas Instruments Incorporated

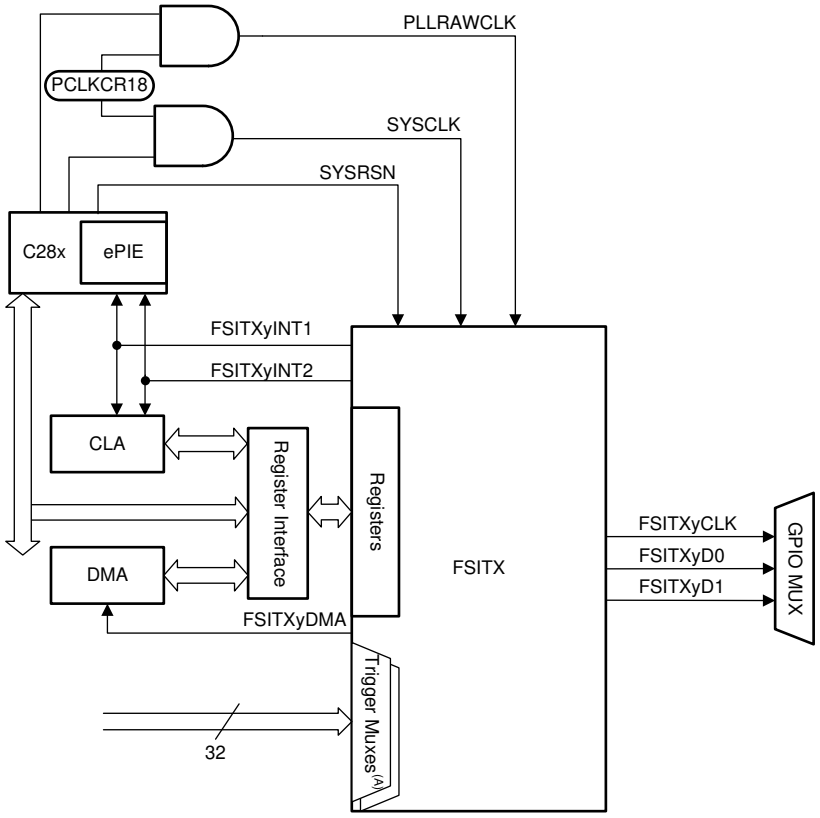
6.19.7.1 FSI 发送器

FSI 发送器模块会处理数据组帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。发送器内核的运行通过可编程控制寄存器进行控制和配置。发送器控制寄存器可让 CPU（或 CLA）对 FSI 发送器的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问发送数据缓冲器。

发送器具有以下特性：

- 自动生成 ping 帧
- 外部触发 ping 帧
- 外部触发数据帧
- 可通过软件配置帧长度
- 16 字数据缓冲器
- 数据缓冲器欠运转和溢出检测
- 硬件生成数据位 CRC
- 使用软件对选定数据进行 ECC 计算
- DMA 支持
- CLA 任务触发

图 6-79 所示为 FSITX CPU 接口。图 6-80 所示为 FSITX 的简要方框图。图中并未显示所有数据路径和内部连接。此图提供了 FSITX 中存在的内部模块的简要概览。



A. *TMS320F28P551/552/558 实时微控制器技术参考手册* 的“快速串行接口 (FSI)”一章中的*外部帧触发器多路复用器*一节介绍了连接到触发器多路复用器的信号。

图 6-79. FSITX CPU 接口

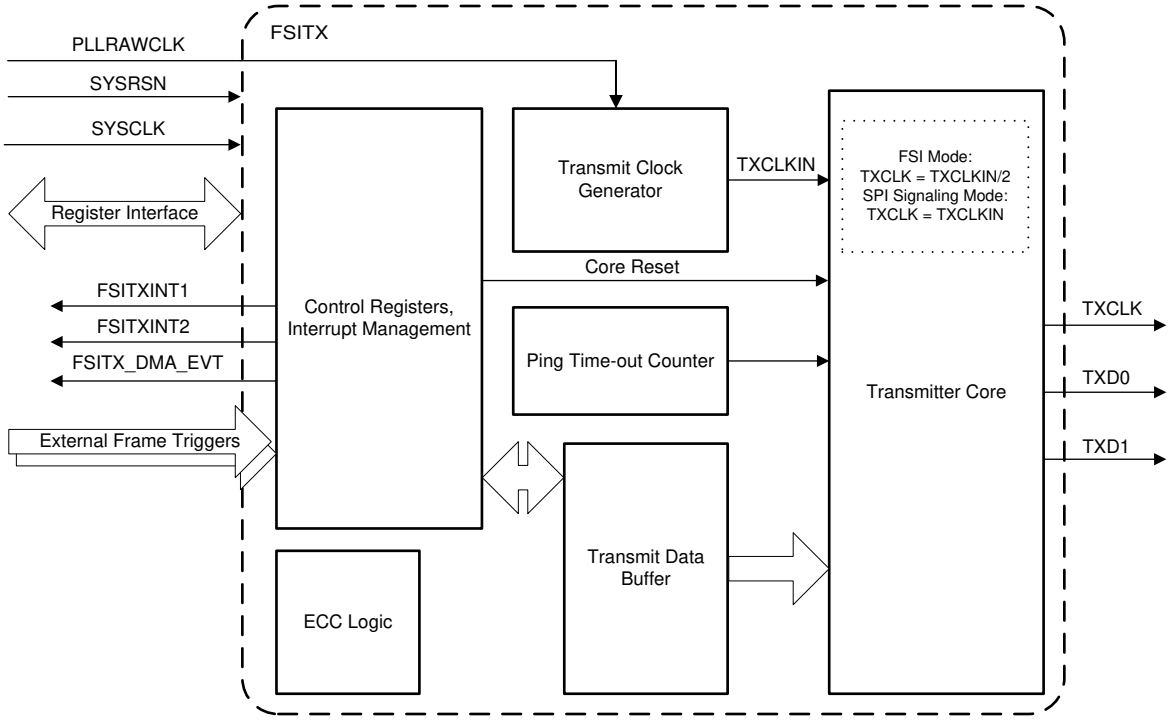


图 6-80. FSITX 方框图

6.19.7.1.1 FSITX 电气数据和时序

6.19.7.1.1.1 FSITX 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数(1)		最小值	最大值	单位
1	$t_{c(TXCLK)}$	周期时间，TXCLK		16.67	ns
1	$t_{c(TXCLK)}$	TXCLK 周期时间（当在与 PMBUS - GPIO2、3、9 或 32 进行多路复用的引脚上使用任何 FSI 信号时）		26.67	ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLK-TXD)}$	延迟时间、TXCLK 上升或下降至 TXD 有效的时间	$(0.25t_{c(TXCLK)})$ – 2	$(0.25t_{c(TXCLK)})$ + 2	ns
3	$t_{d(TXCLK-TXD)}$	延时时间，TXCLK 上升或下降至 TXD 有效的时间（当用于与 PMBUS - GPIO2、3、9 或 32 进行多路复用的引脚时）	$(0.25t_{c(TXCLK)})$ – 2	$(0.25t_{c(TXCLK)})$ + 2.5	ns
4	$t_{d(TXCLK)}$	TX_DLYLINE_CTRL[TXCLK_DLY]=31 时的 TXCLK 延迟补偿	9.4	30	ns
5	$t_{d(TXD0)}$	TX_DLYLINE_CTRL[TXD0_DLY]=31 时的 TXD0 延迟补偿	9.4	30	ns
6	$t_{d(TXD1)}$	TX_DLYLINE_CTRL[TXD1_DLY]=31 时的 TXD1 延迟补偿	9.4	30	ns
7	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 TXCLK、TXD0 和 TXD1 增量延迟	0.29	1	ns

(1) 引脚上的 10pF 负载。

Copyright © 2026 Texas Instruments Incorporated

6.19.7.1.1.2 FSITX 时序

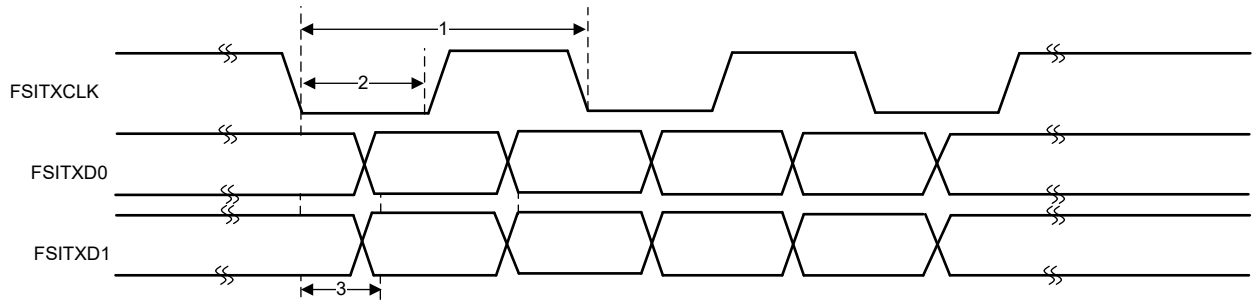


图 6-81. FSITX 时序

6.19.7.2 FSI 接收器

接收器模块在通过可选的可编程延迟线路后连接到 FSI 时钟 (RXCLK) 和数据线路（RXD0 和 RXD1）。接收器内核会处理数据组帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由与器件系统时钟异步的 RXCLK 输入运行。

接收器控制寄存器可让 CPU（或 CLA）对 FSIRX 的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问接收数据缓冲器。

接收器内核具有以下特性：

- 16 字数据缓冲器
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 在硬件中进行 CRC 计算和比较
- ECC 检测
- 针对输入信号的可编程延迟线路控制
- DMA 支持
- SPI 兼容模式
- CLA 任务触发

图 6-82 所示为 FSIRX CPU 接口。图 6-83 提供了 FSIRX 中存在的内部模块的简要概览。图中并未显示所有数据路径和内部连接。

Copyright © 2026 Texas Instruments Incorporated

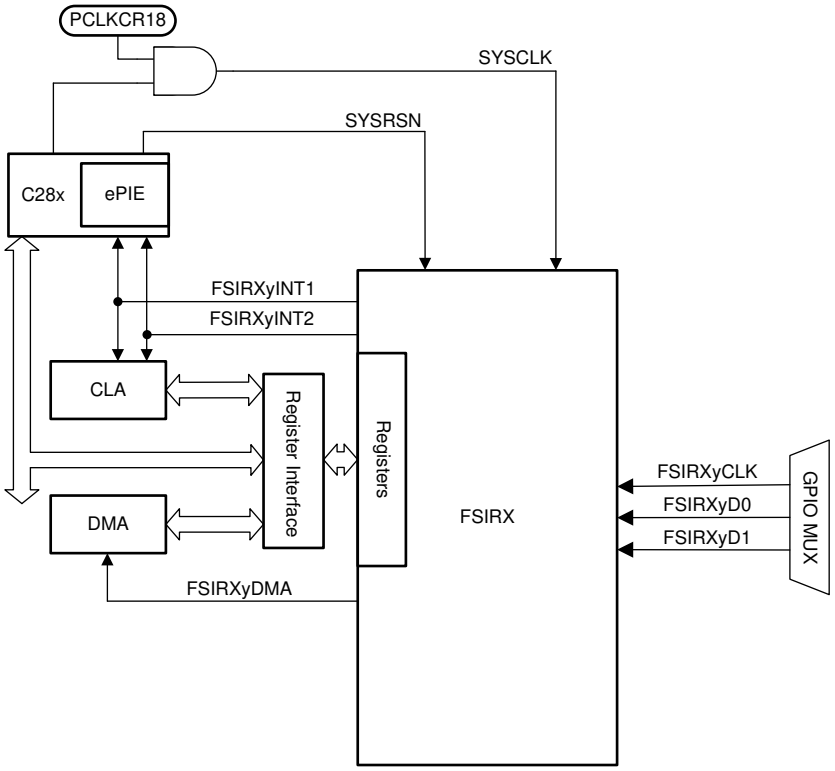


图 6-82. FSIRX CPU 接口

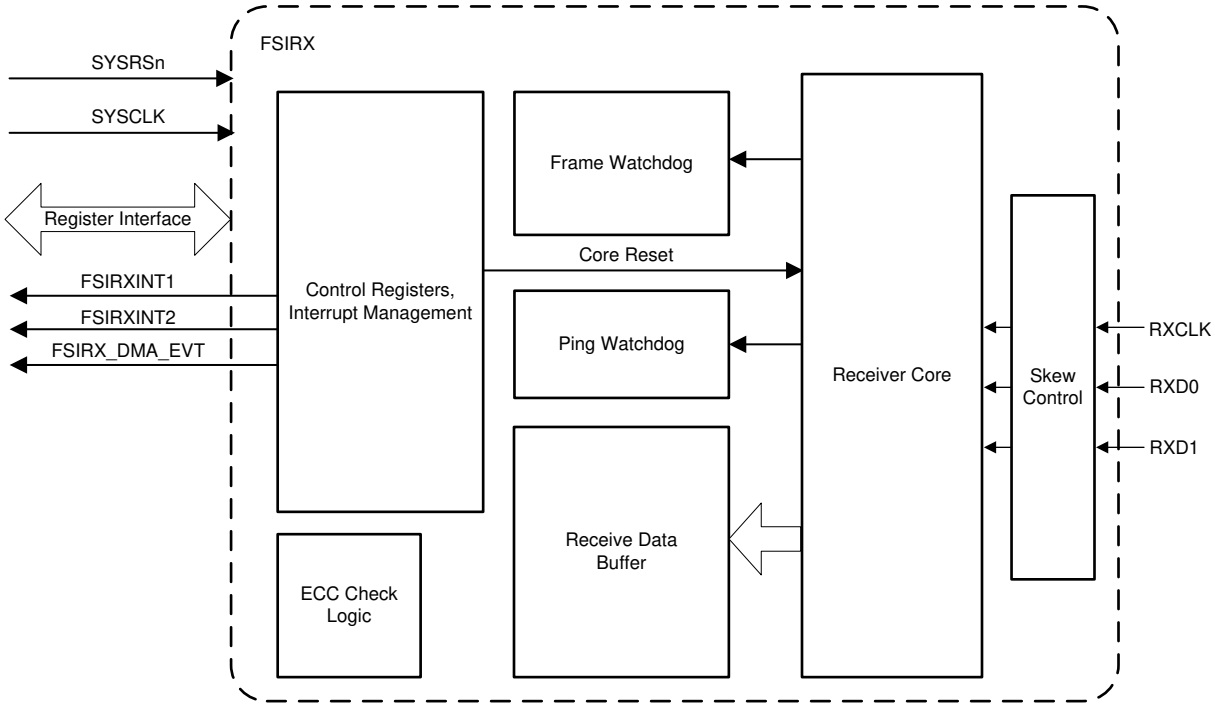


图 6-83. FSIRX 方框图

Copyright © 2026 Texas Instruments Incorporated

6.19.7.2.1 FSIRX 电气数据和时序

6.19.7.2.1.1 FSIRX 时序要求

编号			最小值	最大值	单位
1	$t_{c(RXCLK)}$	周期时间，RXCLK		16.67	ns
1	$t_{c(RXCLK)}$	RXCLK 周期时间（当在与 PMBUS - GPIO2、3、9 或 32 进行多路复用的引脚上使用任何 FSI 信号时）		26.67	ns
2	$t_{w(RXCLK)}$	RXCLK 低电平或 RXCLK 高电平的脉冲宽度。	$0.35t_{c(RXCLK)}$	$0.65t_{c(RXCLK)}$	ns
3	$t_{su(RXCLK - RXD)}$	相对于 RXCLK 的设置时间，应用于时钟的两个边沿	1.7		ns
3	$t_{su(RXCLK - RXD)}$	相对于 RXCLK 的设置时间，应用于时钟的两个边沿（当用于与 PMBUS - GPIO2、3、9 或 32 进行多路复用的引脚时）	2.6		ns
4	$t_{h(RXCLK - RXD)}$	相对于 RXCLK 的保持时间，应用于时钟的两个边沿	2		ns

6.19.7.2.1.2 FSIRX 开关特性

编号	参数(1)		最小值	最大值	单位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 RXCLK 延迟补偿	9.7	30	ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY]=31 时的 RXD0 延迟补偿	9.7	30	ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY]=31 时的 RXD1 延迟补偿	9.7	30	ns
4	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 RXCLK、RXD0 和 RXD1 增量延迟	0.29	1	ns
TDM1	$t_{skew(TDM_CLK-TDM_Dx)}$	RXCLK-TDM_CLK 延迟和 RXDx-TDM_Dx 延迟之间引入的延迟偏移	-3	3	ns
TDM1	$t_{d(RXCLK-TDM_CLK)}$	延时时间、RXCLK 输入到 TDM_CLK 输出的时间	2	14.5	ns
TDM2	$t_{d(RXD0-TXD0)}$	延时时间、RXD0 输入到 TXD0 输出的时间	2	14.5	ns
TDM3	$t_{d(RXD1-TXD1)}$	延时时间、RXD1 输入到 TXD1 输出的时间	2	14.5	ns

(1) 引脚上的 10pF 负载。

6.19.7.2.1.3 FSIRX 时序

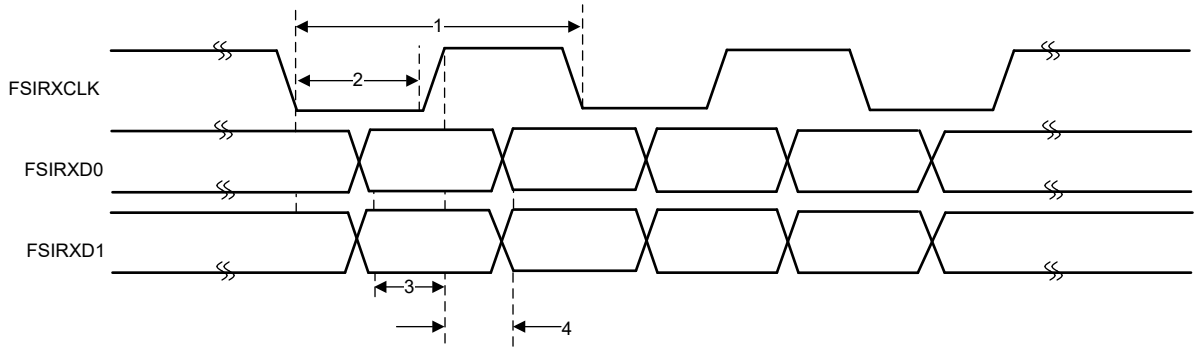


图 6-84. FSIRX 时序

Copyright © 2026 Texas Instruments Incorporated

6.19.7.3 FSI SPI 兼容模式

FSI 支持 SPI 兼容模式以实现与可编程 SPI 器件的通信。在此模式下，FSI 发送数据的方式与 SPI 在单时钟配置模式下发送数据的方式相同。虽然 FSI 在此模式下能够通过物理方式连接 SPI，但外部器件必须能够对 FSI 帧进行编码和解码才能成功进行通信。这是因为 FSI 会发送除前同步码和后同步码之外的所有 SPI 帧相位。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，从而在不占用 CPU 周期的情况下实现更稳健的通信。为此，需要使用外部 SPI 来发送所有相关信息，并可用于访问标准 FSI 功能，例如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。SPI 兼容模式的特性如下：

- 将在时钟的上升沿发送数据，并在下降沿接收数据。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效片选信号一样被驱动。信号在整个帧发送期间将处于低电平。
- 无需接收器片选输入。不使用 RXD1。数据在每个有效时钟边沿转移到接收器中。
- 不会发送前同步码或后同步码时钟。帧相位结束后，所有信号都恢复到空闲状态。
- 由于 FSI TXCLK 不能采用外部时钟源，因此无法在 SPI 外设配置下进行发送。

6.19.7.3.1 FSITX SPI 信令模式电气数据和时序

在 SPI 信令模式下，FSIRX 不需要特殊时序。*FSIRX 时序要求* 表中列出的 FSIRX 时序适用于 SPI 兼容模式。设置和保持时间仅在 FSIRXCLK 的下降沿有效，因为这是 SPI 信令模式中的有效边沿。

6.19.7.3.1.1 FSITX SPI 信令模式开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数(1)		最小值	最大值	单位
1	$t_{c(TXCLK)}$	周期时间，TXCLK		16.67	ns
1	$t_{c(TXCLK)}$	TXCLK 周期时间（当在与 PMBUS - GPIO2、3、9 或 32 进行多路复用的引脚上使用任何 FSI 信号时）		26.67	ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLKH-TXD0)}$	TXCLK 高电平之后 TXD0 有效的延迟时间		3	ns
4	$t_{d(TXD1-TXCLK)}$	TXD1 低电平之后 TXCLK 高电平的延迟时间	$t_{w(TXCLK)}$ – 3		ns
5	$t_{d(TXCLK-TXD1)}$	TXCLK 低电平之后 TXD1 高电平的延迟时间	$t_{w(TXCLK)}$		ns

(1) 引脚上的 10pF 负载

6.19.7.3.1.2 FSITX SPI 信令模式时序

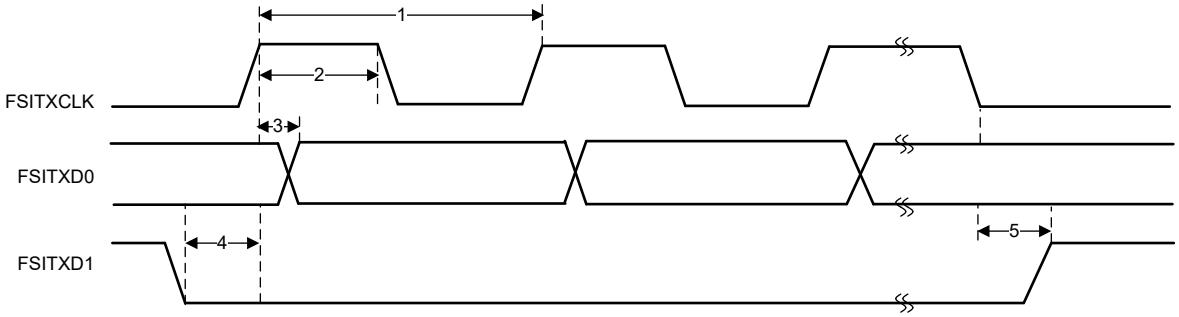


图 6-85. FSITX SPI 信令模式时序

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TMS320F28P551/552/558 是 C2000™ 实时微控制器系列中的一款器件，该可扩展、超低延迟器件系列旨在提高电力电子设备的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。

这些应用包括：

- 工业电机驱动
- 电机控制
  - 牵引逆变器电机控制
  - HVAC 电机控制
  - 移动机器人电机控制
- 光伏逆变器
  - 中央逆变器
  - 微型逆变器
  - 串式逆变器
- 数字电源
- 电动车辆与运输
- 电动汽车充电基础设施

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 工作的浮点或定点代码在每个内核中提供 160MIPS 的信号处理性能。三角函数加速器 (TMU) 和 VCRC（循环冗余校验）扩展指令集进一步增强了 C28x CPU 的性能，从而加快了实时控制系统关键常用算法的速度。利用扩展指令集实现 IEEE 双精度 32 位浮点数学。最后，控制律加速器 (CLA) 使每个内核具有额外 160MIPS 的独立处理能力。

为了实现从现有固件到新固件的快速上下文切换，此器件具有实时固件更新 (LFU) 的硬件增强功能。

高性能模拟块与处理单元和控制单元紧密集成，可提供出色的实时信号链性能。模数转换器 (ADC) 经过增强，具有多达 35 个模拟通道，其中 19 个具有通用输入/输出 (GPIO) 功能。通过硬件改进，极大地简化了过采样实施。对于安全关键型 ADC 转换，添加了硬件冗余校验器。硬件冗余校验器可以在不增加 CPU 周期的情况下比较多个 ADC 模块的 ADC 转换结果来实现一致性。存在三个可编程增益放大器 (PGA)，支持单位增益以及高达 64 倍的同相增益。24 个与频率无关的 PWM，16 个具有高分辨率，支持控制从三相逆变器到高级多级电源拓扑的多个功率级。

通过加入可配置逻辑块 (CLB)，用户可以添加自定义逻辑，还可将集成类似 FPGA 的功能到 C2000 实时 MCU 中。

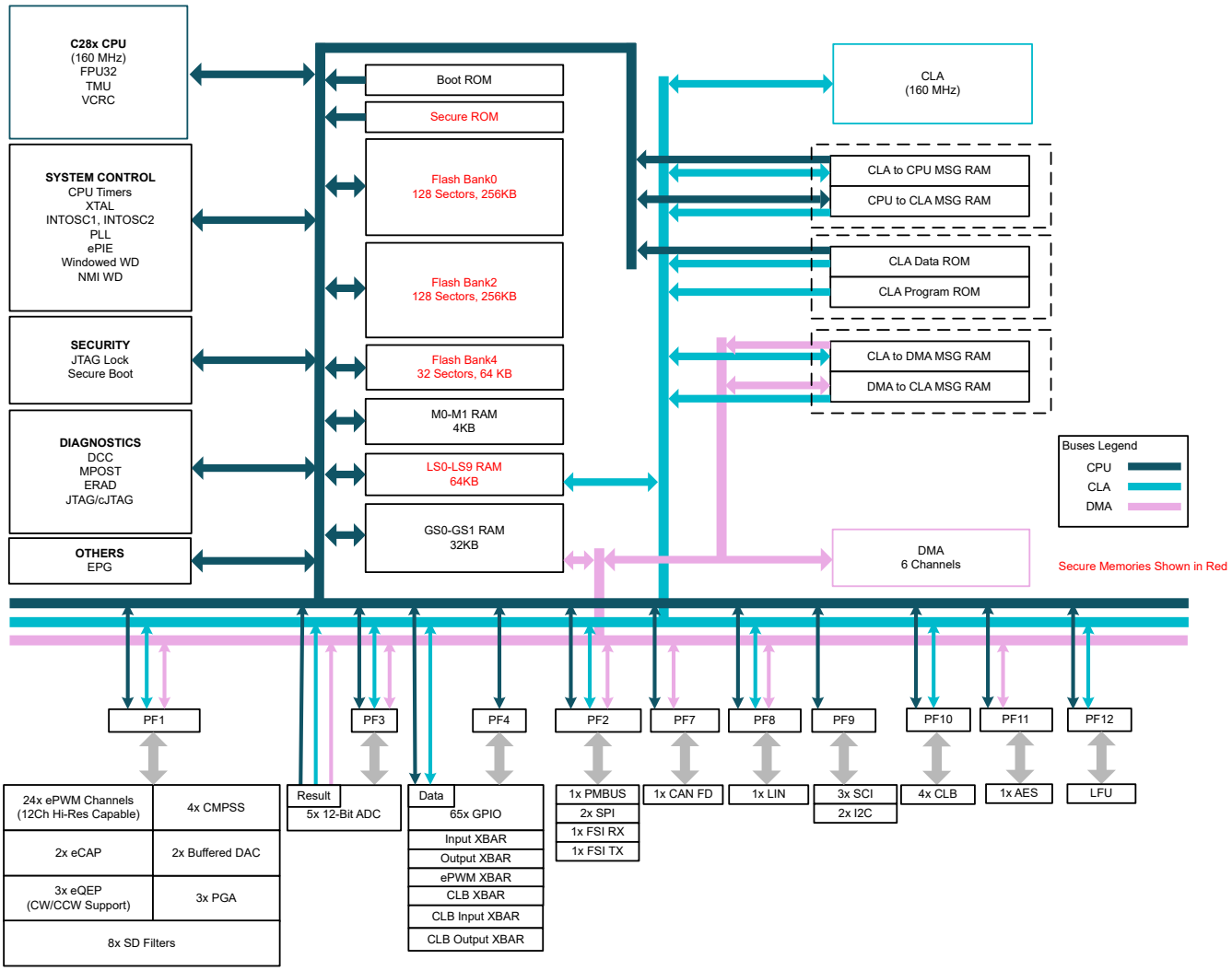
该器件支持 CAN FD 和 I2C 等业界通用协议。快速串行接口 (FSI) 可跨隔离边界实现高达 200Mbps 的稳健通信。PMBUS 模块经过强化，可支持超快速模式。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 *使用 C2000™ 实时微控制器的基本开发指南*，并访问 C2000™ 实时控制 MCU 页面。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图

图 7-1 显示了 CPU 系统及相关外设。



A. CMPSS 模块之一的内部 DAC 可以配置为输出 DAC。

B. LIN 模块还可以用作 SCI 模块。

图 7-1. 功能方框图

Copyright © 2026 Texas Instruments Incorporated

7.3 存储器

7.3.1 存储器映射

存储器映射 表描述了存储器映射。请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册* 中“系统控制”一章的*存储器控制器模块* 一节。

表 7-1. 存储器映射

存储器	大小 (x16)	起始地址	结束地址	CPU1.DMA ACCESS	CPU1.CLA1 数据访问	CPU1.CLA1 程序访问	ECC/ 奇偶校验	安全性	器件型号
M0 RAM	1024	0x0000_0000	0x0000_03FF	-	-	-	ECC	-	-
M1 RAM	1024	0x0000_0400	0x0000_07FF	-	-	-	ECC	-	-
PIE 矢量表	512	0x0000_0D00	0x0000_0EFF	-	-	-	奇偶校验	-	-
CLAtoCPU MSG RAM	128	0x0000_1480	0x0000_14FF	-	是	-	奇偶校验	-	-
CPUtoCLA MSG RAM	128	0x0000_1500	0x0000_157F	-	是	-	奇偶校验	-	-
CLAtoDMA MSG RAM	128	0x0000_1680	0x0000_16FF	是	是	-	奇偶校验	-	-
DMAtoCLA MSG RAM	128	0x0000_1700	0x0000_177F	是	是	-	奇偶校验	-	-
LS8 RAM - CLA 程序	8192	0x0000_4000	0x0000_5FFF	-	-	是	奇偶校验	是	-
LS9 RAM - CLA 程序	8192	0x0000_6000	0x0000_7FFF	-	-	是	奇偶校验	是	-
LS0 RAM	2048	0x0000_8000	0x0000_87FF	-	是	是	奇偶校验	是	-
LS1 RAM	2048	0x0000_8800	0x0000_8FFF	-	是	是	奇偶校验	是	-
LS2 RAM	2048	0x0000_9000	0x0000_97FF	-	是	是	奇偶校验	是	-
LS3 RAM	2048	0x0000_9800	0x0000_9FFF	-	是	是	奇偶校验	是	-
LS4 RAM	2048	0x0000_A000	0x0000_A7FF	-	是	是	奇偶校验	是	-
LS5 RAM	2048	0x0000_A800	0x0000_AFFF	-	是	是	奇偶校验	是	-
LS6 RAM	2048	0x0000_B000	0x0000_B7FF	-	是	是	奇偶校验	是	-
LS7 RAM	2048	0x0000_B800	0x0000_BFFF	-	是	是	奇偶校验	是	-
GS0 RAM	8192	0x0000_C000	0x0000_DFFF	是	-	-	奇偶校验	-	-
GS1 RAM	8192	0x0000_E000	0x0000_FFFF	是	-	-	奇偶校验	-	-
CLA 数据 ROM	4096	0x0000_F000	0x0000_FFFF	-	是	-	奇偶校验	-	-
LS8 RAM - CPU	8192	0x0001_4000	0x0001_5FFF	-	-	-	奇偶校验	是	-
LS9 RAM - CPU	8192	0x0001_6000	0x0001_7FFF	-	-	-	奇偶校验	是	-
MCANA 消息 RAM（外设模式）	4096	0x0005_8000	0x0005_8FFF	是	-	-	ECC	-	-
MCANA 消息 RAM（CPU 访问模式）	2048	0x0005_8000	0x0005_87FF	是	-	-	ECC	-	-
TI OTP 组 0	1536	0x0007_2000	0x0007_25FF	-	-	-	ECC	-	-
UID_REGS	16	0x0007_2168	0x0007_2177	-	-	-	ECC	-	-
TI OTP 组 2	1536	0x0007_4000	0x0007_45FF	-	-	-	ECC	-	-
TI OTP 组 4	1536	0x0007_6000	0x0007_65FF	-	-	-	ECC	-	-
DCSM BANK0 Z1 OTP	512	0x0007_8000	0x0007_81FF	-	-	-	ECC	是	-
DCSM BANK0 Z2 OTP	512	0x0007_8200	0x0007_83FF	-	-	-	ECC	是	-
用户 OTP 存储体 2	1024	0x0007_9000	0x0007_93FF	-	-	-	ECC	-	-

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 存储器映射（续）

存储器	大小 (x16)	起始地址	结束地址	CPU1.DMA ACCESS	CPU1.CLA1 数据访问	CPU1.CLA1 程序访问	ECC/ 奇偶校验	安全性	器件型号
用户 OTP 存储体 4	1024	0x0007_A000	0x0007_A3FF	-	-	-	ECC	-	-
闪存组 0	131072	0x0008_0000	0x0009_FFFF	-	-	-	ECC	是	-
闪存组 2	131072	0x000C_0000	0x000D_FFFF	-	-	-	ECC	是	-
闪存组 4	32768	0x0010_0000	0x0010_7FFF	-	-	-	ECC	是	-
Z1-SecureBoot 功能	3072	0x003F_4000	0x003F_4BFF	-	-	-	奇偶校验	是	-
Z1 安全功能	1536	0x003F_4C00	0x003F_51FF	-	-	-	奇偶校验	是	-
Z2 安全功能	1536	0x003F_5600	0x003F_5BFF	-	-	-	奇偶校验	是	-
CPU STL	9216	0x003F_5C00	0x003F_7FFF	-	-	-	奇偶校验	-	-
引导 ROM	32768	0x003F_8000	0x003F_FFFF	-	-	-	奇偶校验	-	-
PIE 向量表交换	512	0x0100_0900	0x0100_0AFF	-	-	-	奇偶校验	-	-
CLA 数据 ROM（CPU 映射）	4096	0x0100_1000	0x0100_1FFF	-	-	-	奇偶校验	-	-
TI OTP 存储体 0 ECC	192	0x0107_0400	0x0107_04BF	-	-	-	-	-	-
TI OTP 存储体 2 ECC	192	0x0107_0800	0x0107_08BF	-	-	-	-	-	-
TI OTP 存储体 4 ECC	192	0x0107_0C00	0x0107_0CBF	-	-	-	-	-	-

7.3.1.1 专用 RAM (Mx RAM)

CPU 子系统有两个支持 ECC 功能的专用 RAM 模块：M0 和 M1。这些存储器是与 CPU 紧密耦合的小型非安全块（即，只有 CPU 可以访问这些存储器）。

7.3.1.2 本地共享 RAM (LSx RAM)

CPU 和 CLA 可访问本地共享的 RAM (LSx RAM)。所有 LSx RAM 块都具有奇偶校验功能。这些存储器都是安全的，且具有 CPU 访问保护（CPU 写入/CPU 获取）。

7.3.1.3 全局共享 RAM (GSx RAM)

可从 CPU 和 DMA 访问全局共享的 RAM (GSx RAM)。CPU 和 DMA 都具有对这些内存的完全读写访问权限。所有 GSx RAM 块都具有奇偶校验功能。GSx RAM 具有访问保护（CPU 写入/CPU 获取/DMA 写入/HIC 写入）。

7.3.1.4 消息 RAM

此器件上有两种类型的消息 RAM 可用于在 CPU、CLA 和 DMA 之间共享。CLA-CPU 消息 RAM 在 CLA 和 CPU 之间共享数据，而 CLA-DMA 消息 RAM 在 CLA 和 DMA 之间共享数据。

Copyright © 2026 Texas Instruments Incorporated

7.3.2 控制律加速器 (CLA) 存储器映射

表 7-2 显示了 CLA 数据 ROM 存储器映射。

表 7-2. CLA 数据 ROM 存储器映射

MEMORY	起始地址	长度
FFT 表 (加载)	0x0100 1070	0x0800
数据 (加载)	0x0100 1870	0x078A
版本 (加载)	0x0100 1FFA	0x0006
FFT 表 (运行)	0x0000 F070	0x0800
数据 (运行)	0x0000 F870	0x078A
版本 (运行)	0x0000 FFFA	0x0006

Copyright © 2026 Texas Instruments Incorporated

7.3.3 闪存映射

F28P55x 器件上有三个闪存存储体 (576KB)。两个存储体的大小为 256KB，第三个存储体的大小为 64KB。闪存操作（擦除和编程）在存储体级别执行。不能从正在执行操作的同一组执行代码。在执行这些操作时，可以将代码分配到不同的闪存存储体、SRAM 或 ROM 中。*闪存扇区地址* 表列出了每个型号器件中闪存扇区的地址。

7.3.3.1 闪存扇区的地址

表 7-3. 闪存映射

器件型号	扇区	地址			ECC 地址		
		尺寸	启动	END	尺寸	启动	END
OTP 扇区							
全部	TI OTP 组 0（不安全）	1520 x 16	0x0007 2000	0x0007 25EF	190 x 16	0x0107 0400	0x0107 04BD
	TI OTP 组 0（安全）	16 x 16	0x0007 25F0	0x0007 25FF	2 x 16	0x0107 04BE	0x0107 04BE
	TI OTP 组 2	1536 x 16	0x0007 4000	0x0007 45FF	192 x 16	0x0107 0800	0x0107 08BF
	TI OTP 组 4	1536 x 16	0x0007 6000	0x0007 65FF	192 x 16	0x0107 0C00	0x0107 0CBF
全部	用户可配置的 DCSM Z1 OTP 组 0	512 x 16	0x0007 8000	0x0007 81FF	64 x 16	0x0107 1000	0x0107 103F
	用户可配置的 DCSM Z2 OTP 组 0	512 x 16	0x0007 8200	0x0007 83FF	64 x 16	0x0107 1040	0x0107 107F
	用户可配置的 OTP 组 2	1K x 16	0x0007 9000	0x0007 93FF	128 x 16	0x0107 1100	0x0107 117F
	用户可配置的 OTP 组 4	1K x 16	0x0007 A000	0x0007 A3FF	128 x 16	0x0107 1200	0x0107 127F
组 0 扇区							
全部	扇区 0	1K x 16	0x0008 0000	0x0008 03FF	128 x 16	0x0108 0000	0x0108 007F
	扇区 1	1K x 16	0x0008 0400	0x0008 07FF	128 x 16	0x0108 0080	0x0108 00FF
	扇区 2	1K x 16	0x0008 0800	0x0008 0BFF	128 x 16	0x0108 0100	0x0108 017F
	...	...	...	...	...	...	...
	扇区 61	1K x 16	0x0008 F400	0x0008 F7FF	128 x 16	0x0108 1E80	0x0108 1EFF
	扇区 62	1K x 16	0x0008 F800	0x0008 FBFF	128 x 16	0x0108 1F00	0x0108 1F7F
	扇区 63	1K x 16	0x0008 FC00	0x0008 FFFF	128 x 16	0x0108 1F80	0x0108 1FFF
仅限 SG 器件	...	...	...	...	...	...	...
	扇区 125	1K x 16	0x0009 F400	0x0009 F7FF	128 x 16	0x0108 3E80	0x0108 3EFF
	扇区 126	1K x 16	0x0009 F800	0x0009 FBFF	128 x 16	0x0108 3F00	0x0108 3F7F
	扇区 127	1K x 16	0x0009 FC00	0x0009 FFFF	128 x 16	0x0108 3F80	0x0108 3FFF

Copyright © 2026 Texas Instruments Incorporated

表 7-3. 闪存映射（续）

器件型号	扇区	地址			ECC 地址		
		尺寸	启动	END	尺寸	启动	END
组 2 扇区							
全部	扇区 0	1K x 16	0x000C 0000	0x000C 03FF	128 x 16	0x0108 8000	0x0108 807F
	扇区 1	1K x 16	0x000C 0400	0x000C 07FF	128 x 16	0x0108 8080	0x0108 80FF
	扇区 2	1K x 16	0x000C 0800	0x000C 0BFF	128 x 16	0x0108 8100	0x0108 817F
	...	...	...	...	...	...	...
	扇区 61	1K x 16	0x000C F400	0x000C F7FF	128 x 16	0x0108 9E80	0x0108 9EFF
	扇区 62	1K x 16	0x000C F800	0x000C FBFF	128 x 16	0x0108 9F00	0x0108 9F7F
	扇区 63	1K x 16	0x000C FC00	0x000C FFFF	128 x 16	0x0108 9F80	0x0108 9FFF
仅限 SG 器件	...	...	...	...	...	...	...
	扇区 125	1K x 16	0x000D F400	0x000D F7FF	128 x 16	0x0108 BE80	0x0108 BEFF
	扇区 126	1K x 16	0x000D F800	0x000D FBFF	128 x 16	0x0108 BF00	0x0108 BF7F
	扇区 127	1K x 16	0x000D FC00	0x000D FFFF	128 x 16	0x0108 BF80	0x0108 BFFF
组 4 扇区							
全部	扇区 0	1K x 16	0x0010 0000	0x0010 03FF	128 x 16	0x0109 0000	0x0109 007F
	扇区 1	1K x 16	0x0010 0400	0x0010 07FF	128 x 16	0x0109 0080	0x0190 00FF
	扇区 2	1K x 16	0x0010 0800	0x0010 0BFF	128 x 16	0x0109 0100	0x0109 0180
	...	...	...	...	...	...	...
	扇区 29	1K x 16	0x0010 7400	0x0010 77FF	128 x 16	0x0109 0E80	0x0109 0EFF
	扇区 30	1K x 16	0x0010 7800	0x0010 7BFF	128 x 16	0x0109 0F00	0x0109 0F7F
	扇区 31	1K x 16	0x0010 7C00	0x0010 7FFF	128 x 16	0x0109 0F80	0x0109 0FFF

Copyright © 2026 Texas Instruments Incorporated

7.3.4 外设寄存器内存映射

表 7-4. 外设寄存器内存映射

结构	DriverLib 名称	基址	CPU1	CPU1.DMA	CPU1.CLA1	受流水线保护
外设帧 0 (PF0)						
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	是	-	-	-
CLA_ONLY_REGS	CLA1_ONLY_BASE	0x0000_0C00	-	-	是	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	是	-	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	是	-	-	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	是	-	-	-
CLA_SOFTINT_REGS	CLA1_SOFTINT_BASE	0x0000_0CE0	-	-	是	-
DMA_REGS	DMA_BASE	0x0000_1000	是	-	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	是	-	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	是	-	-	-
DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	是	-	-	-
DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	是	-	-	-
DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	是	-	-	-
DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	是	-	-	-
CLA_REGS	CLA1_BASE	0x0000_1400	是	-	-	-
ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_1800	是	是	是	-
ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_1880	是	是	是	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_1900	是	是	是	-
ADC_RESULT_REGS	ADCDRESULT_BASE	0x0000_1980	是	是	是	-
ADC_RESULT_REGS	ADCERESULT_BASE	0x0000_1A00	是	是	是	-
PCTRACE_BUFFER_REGS	ERAD_PCTRACE_BUFFER_BASE	0x0005_FE00	是	-	-	是
外设帧 1 (PF1)						
EPWM_REGS	EPWM1_BASE	0x0000_4000	是	是	是	是
EPWM_REGS	EPWM2_BASE	0x0000_4100	是	是	是	是
EPWM_REGS	EPWM3_BASE	0x0000_4200	是	是	是	是
EPWM_REGS	EPWM4_BASE	0x0000_4300	是	是	是	是
EPWM_REGS	EPWM5_BASE	0x0000_4400	是	是	是	是
EPWM_REGS	EPWM6_BASE	0x0000_4500	是	是	是	是
EPWM_REGS	EPWM7_BASE	0x0000_4600	是	是	是	是
EPWM_REGS	EPWM8_BASE	0x0000_4700	是	是	是	是
EPWM_REGS	EPWM9_BASE	0x0000_4800	是	是	是	是
EPWM_REGS	EPWM10_BASE	0x0000_4900	是	是	是	是
EPWM_REGS	EPWM11_BASE	0x0000_4A00	是	是	是	是

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	CPU1	CPU1.DMA	CPU1.CLA1	受流水线保护
EPWM_REGS	EPWM12_BASE	0x0000_4B00	是	是	是	是
EQEP_REGS	EQEP1_BASE	0x0000_5100	是	是	是	是
EQEP_REGS	EQEP2_BASE	0x0000_5140	是	是	是	是
EQEP_REGS	EQEP3_BASE	0x0000_5180	是	是	是	是
ECAP_REGS	ECAP1_BASE	0x0000_5200	是	是	是	是
ECAP_REGS	ECAP2_BASE	0x0000_5240	是	是	是	是
CMPSS_REGS	CMPSS1_BASE	0x0000_5500	是	是	是	是
CMPSS_REGS	CMPSS2_BASE	0x0000_5540	是	是	是	是
CMPSS_REGS	CMPSS3_BASE	0x0000_5580	是	是	是	是
CMPSS_REGS	CMPSS4_BASE	0x0000_55C0	是	是	是	是
PGA_REGS	PGA1_BASE	0x0000_5B00	是	是	是	是
PGA_REGS	PGA2_BASE	0x0000_5B10	是	是	是	是
PGA_REGS	PGA3_BASE	0x0000_5B20	是	是	是	是
DAC_REGS	DACA_BASE	0x0000_5C00	是	是	是	是
DAC_REGS	DACB_BASE	0x0000_5C10	是	是	是	是
SDFM_REGS	SDFM1_BASE	0x0000_5E00	是	是	是	是
SDFM_REGS	SDFM2_BASE	0x0000_5E80	是	是	是	是
外设帧 2 (PF2)						
SPI_REGS	SPIA_BASE	0x0000_6100	是	是	是	是
SPI_REGS	SPIB_BASE	0x0000_6110	是	是	是	是
PMBUS_REGS	PMBUSA_BASE	0x0000_6400	是	是	是	是
FSI_TX_REGS	FSITXA_BASE	0x0000_6600	是	是	是	是
FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	是	是	是	是
外设帧 3 (PF3)						
ADC_REGS	ADCC_BASE	0x0000_6A00	是	-	是	是
ADC_REGS	ADCD_BASE	0x0000_6C00	是	-	是	是
ADC_REGS	ADCE_BASE	0x0000_6E00	是	-	是	是
ADC_REGS	ADCA_BASE	0x0000_7400	是	-	是	是
ADC_REGS	ADCB_BASE	0x0000_7600	是	-	是	是
外设帧 4 (PF4)						
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	是	-	-	是
XBAR_REGS	XBAR_BASE	0x0000_7920	是	-	-	是
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	是	-	-	是
INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	是	-	-	是
DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	是	-	-	是

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	CPU1	CPU1.DMA	CPU1.CLA1	受流水线保护
EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	是	-	-	是
CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A40	是	-	-	是
OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	是	-	-	是
OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7BC0	是	-	-	是
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	是	-	-	是
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	是	-	是	是
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	是	-	是	是
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	是	-	-	是
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	是	-	-	是
CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	是	-	-	是
SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	是	-	-	是
PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	是	-	-	是
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	是	-	-	是
外设帧 6 (PF6)						
ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	是	-	-	是
ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	是	-	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	是	-	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	是	-	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	是	-	-	是
ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	是	-	-	是
ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	是	-	-	是
ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	是	-	-	是
ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	是	-	-	是
ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	是	-	-	是
ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	是	-	-	是
ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	是	-	-	是
ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	是	-	-	是
ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	是	-	-	是

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	CPU1	CPU1.DMA	CPU1.CLA1	受流水线保护
ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	是	-	-	是
PCTRACE_REGS	ERAD_PCTRACE_BASE	0x0005_EAD0	是	-	-	是
EPG_REGS	EPG1_BASE	0x0005_EC00	是	-	-	是
EPG_MUX_REGS	EPG1MUX_BASE	0x0005_ECD0	是	-	-	是
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	是	-	-	是
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	是	-	-	是
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	是	-	-	是
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	是	-	-	是
ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	是	-	-	是
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	是	-	-	是
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	是	-	-	是
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	是	-	-	是
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	是	-	-	是
外设帧 7 (PF7)						
MCANSS_REGS	MCANASS_BASE	0x0005_9400	是	-	-	是
MCAN_REGS	MCANA_BASE	0x0005_9600	是	-	-	是
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_9800	是	-	-	是
DCC_REGS	DCC0_BASE	0x0005_E700	是	-	-	是
DCC_REGS	DCC1_BASE	0x0005_E740	是	-	-	是
外设帧 8 (PF8)						
LIN_REGS	LINA_BASE	0x0000_6800	是	是	是	是
外设帧 9 (PF9)						
WD_REGS	WD_BASE	0x0000_7000	是	-	-	是
NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	是	-	-	是
XINT_REGS	XINT_BASE	0x0000_7070	是	-	-	是
SCI_REGS	SCIA_BASE	0x0000_7200	是	-	-	是
SCI_REGS	SCIB_BASE	0x0000_7210	是	-	-	是
SCI_REGS	SCIC_BASE	0x0000_7220	是	-	-	是
I2C_REGS	I2CA_BASE	0x0000_7300	是	-	-	是
I2C_REGS	I2CB_BASE	0x0000_7340	是	-	-	是
外设帧 10 (PF10)						
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_3000	是	-	是	是
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_3100	是	-	是	是
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3180	是	-	是	是
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3400	是	-	是	是

Copyright © 2026 Texas Instruments Incorporated

表 7-4. 外设寄存器内存映射（续）

结构	DriverLib 名称	基址	CPU1	CPU1.DMA	CPU1.CLA1	受流水线保护
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x0000_3500	是	-	是	是
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_3580	是	-	是	是
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_3800	是	-	是	是
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x0000_3900	是	-	是	是
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_3980	是	-	是	是
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_3C00	是	-	是	是
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x0000_3D00	是	-	是	是
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_3D80	是	-	是	是
外设帧 11 (PF11)						
AES_REGS	AESA_BASE	0x0004_2000	是	是	-	是
AES_SS_REGS	AESA_SS_BASE	0x0004_2C00	是	是	-	是
外设帧 12 (PF12)						
LFU_REGS	LFU_BASE	0x0000_7FE0	是	-	是	是

Copyright © 2026 Texas Instruments Incorporated

7.4 标识

表 7-5 列出了器件标识寄存器。有关这些器件标识寄存器的其他信息，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册*。请参阅 PARTIDH 和 PARTIDL 的寄存器说明，了解量产状态的标识（TMX 或 TMS）以及其他器件信息。

表 7-5. 器件标识寄存器

名称	地址	大小 (x16)	说明	
PARTIDL	0x0005 D008	2	*位*	*选项*
			14-13 INSTASPIN	1 = InstaSPIN-FOC 2 = 无 3 = 无
			10-8 PIN_COUNT	0 = 56 引脚 (QFN) 1 = 64 引脚 (QFP) 2 = 80 引脚 PN (QFP) 3 = 100 引脚 (QFP) 4 = 80 引脚 PNA (QFP) 5 = 49 焊球 (WCSP) 6 = 32 引脚 (QFN)
			7-6 QUAL	0 = 工程样片 (TMX) 1 = 试点生产 (TMP) 2 = 完全合格 (TMS)
PARTIDH	0x0005 D00A	2	器件型号标识号	
			TMS320F28P55xSG5	0x09F1 0500
			TMS320F28P55xSG4	0x09F0 0500
			TMS320F28P55xSG3	0x09EF 0500
			TMS320F28P55xSG2	0x09EE 0500
			TMS320F28P55xSD5	0x09E7 0500
			TMS320F28P55xSD3	0x09E5 0500
REVID	0x0005 D00C	2	器件修订版本号	
			修订版 0	0x0000 0001
UID_UNIQUE	0x0007 2172	4	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。此编号仅存在于 TMS 器件上。	

Copyright © 2026 Texas Instruments Incorporated

7.5 总线架构 - 外设连接

外设连接 表列出了每个总线控制器对外设和配置寄存器的可访问性。

表 7-6. 外设连接

外设	DMA	CLA	C28
系统外设			
CPU 计时器			Y
ERAD			Y
GPIO 数据		Y	Y
GPIO 引脚映射和配置			Y
XBAR 配置			Y
系统配置			Y
AES	Y		Y
EPG			Y
LFU		Y	Y
DCC			Y
存储器			
M0/M1			Y
LSx		Y	Y
GSx	Y		Y
ROM			Y
闪存			Y
控制外设			
ePWM/HRPWM	Y	Y	Y
eCAP	Y	Y	Y
eQEP(1)	Y	Y	Y
CLB		Y	Y
SDFM	Y	Y	Y
模拟外设			
CMPSS(1)	Y	Y	Y
DAC(1)	Y	Y	Y
ADC 配置		Y	Y
ADC 结果(1)	Y	Y	Y
PGA(1)	Y	Y	Y
通信外设			
MCAN(CAN-FD)(1)	Y		Y
FSITX/FSIRX	Y	Y	Y
I2C			Y
LIN	Y	Y	Y
PMBus	Y	Y	Y
SCI			Y
SPI	Y	Y	Y

(1) 这些模块可从 DMA 访问，但不能触发 DMA 传输。

Copyright © 2026 Texas Instruments Incorporated

7.6 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

有关 CPU 架构和指令集的更多信息，请参阅 *TMS320C28x CPU 和指令集参考指南*。

7.6.1 浮点单元 (FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH（其中 n=0 – 7）
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

有关 C28x 浮点单元 (FPU) 的更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

7.6.2 三角函数数学单元 (TMU)

三角函数加速器 (TMU) 通过增加指令和利用可加速执行常见三角函数和表 7-7 中所列算术运算的现有 FPU 指令来扩展 C28x+FPU 的功能。

表 7-7. TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32 RaH,RbH	a = b * 2 π	2/3
DIV2PIF32 RaH,RbH	a = b / 2 π	2/3
DIVF32 RaH,RbH,RcH	a = b/c	5
SQRTF32 RaH,RbH	a = sqrt(b)	5
SINPUF32 RaH,RbH	a = sin(b*2 π)	4
COSPUF32 RaH,RbH	a = cos(b*2 π)	4
ATANPUF32 RaH,RbH	a = atan(b)/2 π	4
QUADF32 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

已添加指数指令 IEXP2F32 和对数指令 LOG2F32，可支持针对 C2000 数字控制库的非线性比例积分微分控制 (NLPID) 组件计算浮点幂函数。添加的这两条指令将幂函数计算从使用库仿真时的典型 300 个周期减少到不到 10 个周期。

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集（R0H 至 R7H）来执行运算。

更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

Copyright © 2026 Texas Instruments Incorporated

7.6.3 VCRC 单元

循环冗余校验 (CRC) 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。C28x+VCRC 可执行 8 位、16 位、24 位和 32 位 CRC。例如，VCRC 可以在 10 个周期内计算出块长度为 10 字节的 CRC。CRC 结果寄存器包含当前 CRC,每次执行 CRC 指令时，该 CRC 都会更新。

以下是 VCRC 的 CRC 计算逻辑使用的 CRC 多项式：

- CRC8 多项式 = 0x07
- CRC16 多项式 1 = 0x8005
- CRC16 多项式 2 = 0x1021
- CRC24 多项式 = 0x5d6dcb
- CRC32 多项式 1 = 0x04c11db7
- CRC32 多项式 2 = 0x1edc6f41

该模块可以在单个周期内为一个字节的数据计算 CRC。CRC8、CRC16、CRC24 和 CRC32 的 CRC 计算是按字节完成的（而不是计算 C28x 内核读取的完整 16 位或 32 位数据），以便与各种标准规定的按字节计算要求保持一致。

VCRC 单元还允许用户提供任何多项式的大小 (1b-32b) 和值，来满足自定义 CRC 要求。使用自定义多项式时，CRC 执行时间会增加到三个周期。

有关循环冗余校验 (VCRC) 指令集的更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。

7.7 控制律加速器 (CLA)

CLA 2 类是一款独立、完全可编程的 32 位浮点数学处理器，为 C28x 系列实现了并发控制环路执行。CLA 的低中断延迟使其能够“及时”读取 ADC 样本。这显著降低了 ADC 采样到输出延迟，从而实现了更快的系统响应和更高 MHz 的控制环路。通过利用 CLA 为时间关键型控制环路提供服务，可腾出主 CPU 来执行其他系统任务，如通信和诊断。

控制律加速器通过添加并行处理来扩展 C28x CPU 的功能。CLA 处理的时间关键控制环路可实现低 ADC 采样输出延迟。因此，CLA 支持更快速的系统响应和可高频率的控制环路。将 CLA 用于时间关键型任务可释放主 CPU 以同时执行其他系统和通信功能。

以下是 CLA 主要特性的列表。

- 可使用 C 编译程序进行 CLA 软件开发
- 时钟速率与主 CPU 一致 (SYSCLKOUT)。
- 一个独立的架构使得 CLA 能够独立于主 C28x CPU 之外执行算法。
  - 完整的总线架构：
    - 程序地址总线 (PAB) 和程序数据总线 (PDB)
    - 数据读取地址总线 (DRAB)、数据读取数据总线 (DRDB)、数据写入地址总线 (DWAB) 和数据写入数据总线 (DWDB)
  - 独立的 8 级流水线。
  - 16 位程序计数器 (MPC)
  - 四个 32 位结果寄存器（MR0 至 MR3）
  - 两个 16 位辅助寄存器（MAR0、MAR1）
  - 状态寄存器 (MSTF)
- 指令集包括：
  - IEEE 单精度（32 位）浮点数学运算
  - 涉及并行载入或者存储的浮点数学
  - 涉及并行加法或者减法的浮点乘法
  - 1/X 和 1/sqrt(X) 估值
  - 数据类型转换

Copyright © 2026 Texas Instruments Incorporated

  - 条件分支指令和调用
  - 数据载入/存储操作
- CLA 程序代码可包含多达 8 个任务或中断服务例程，或者 7 个任务和一个主后台任务。
  - 每一个任务的开始地址由 MVECT 寄存器指定。
  - 只要任务适合可配置的 CLA 程序内存空间，任务大小就没有限制。
  - 每次处理并完成一个任务。无任务嵌套。
  - 任务完成时，在 PIE 内标志一个任务专用中断。
  - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始。
  - 2 类 CLA 可以有一个在后台连续运行的主任务，而其他高优先级事件则触发前台任务。
- 任务触发机制：
  - 借助于 IACK 指令的 C28x CPU
  - 任务 1 到任务 8：最多 256 个可能的触发源，来自连接到共享总线的外设，CLA 在共享总线上承担二级所有权。
  - 任务 8 可以设置为后台任务，而任务 1 至 7 采用外设触发。
- 内存和共用外设：
  - 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信。
  - C28x CPU 能够将 CLA 程序和数据内存映射到主 CPU 空间或者 CLA 空间。
  - 两个专用消息 RAM 用于 CLA 和 DMA 间的通信

Copyright © 2026 Texas Instruments Incorporated

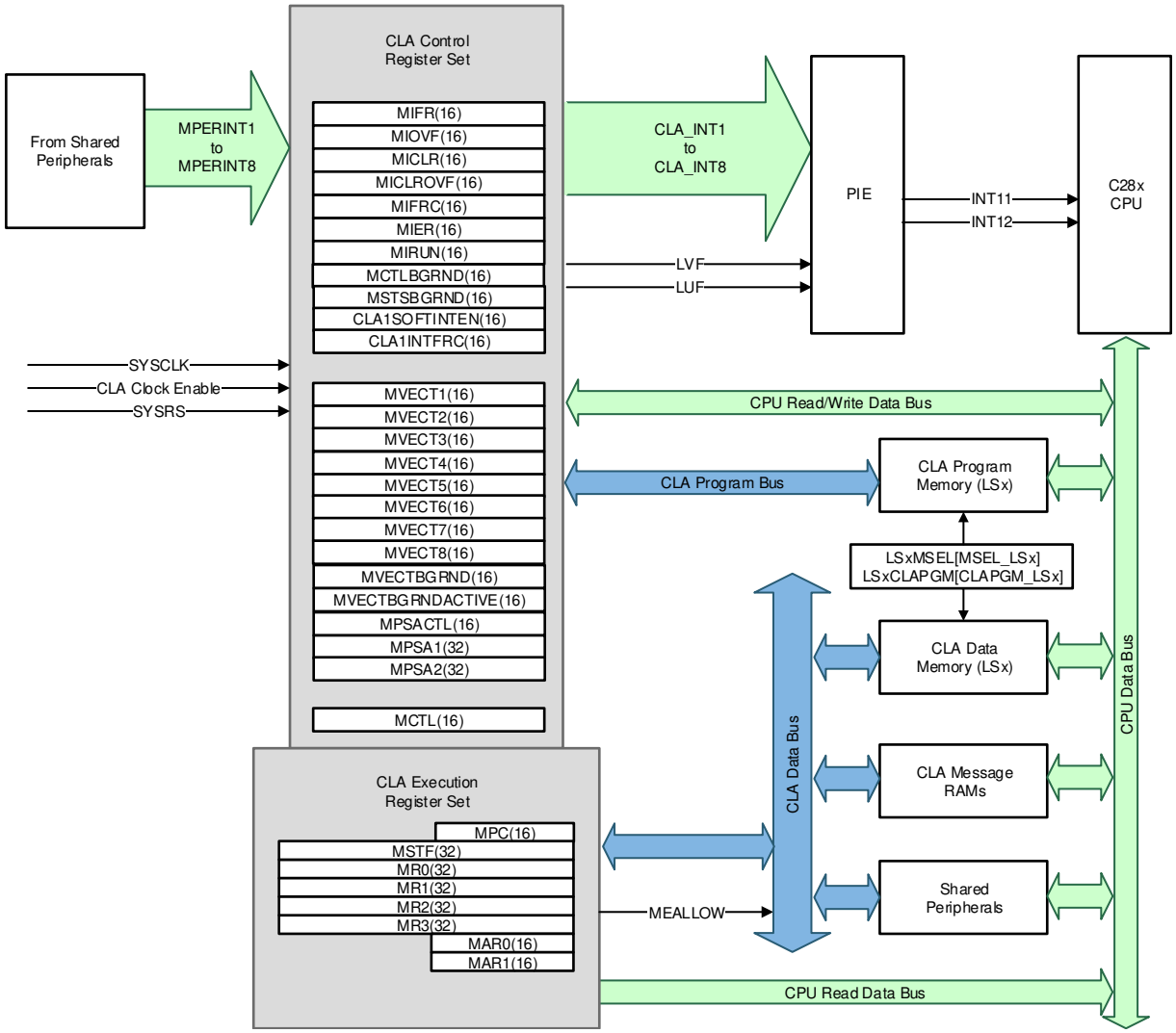


图 7-2. CLA 方框图

Copyright © 2026 Texas Instruments Incorporated

7.8 嵌入式实时分析和诊断 (ERAD)

ERAD 模块增强了器件的调试和系统分析功能。ERAD 模块提供的调试和系统分析增强功能在 CPU 之外完成。ERAD 模块由增强型总线比较器单元和系统事件计数器单元组成。增强型总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。系统事件计数器单元用于分析和评测系统。ERAD 模块可由调试器和应用软件访问，这显著提高了许多实时系统的调试功能，尤其是在调试器未连接的情况下。ERAD 模块具有可以跟踪 PC 不连续情况的程序计数器跟踪（PC 跟踪）功能。在 TMS320F28P55x 器件中，ERAD 模块包含八个增强型总线比较器单元（将硬件断点数量从 2 个增加到 10 个）和四个基准测试系统事件计数器单元。

Copyright © 2026 Texas Instruments Incorporated

7.9 直接存储器存取 (DMA)

DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。图 7-3 显示了 DMA 的器件级方框图。

DMA 模块特性包括：

- 具有独立 ePIE 中断的六个通道
- 外设中断触发源
  - ADC 中断和 EVT 信号
  - 外部中断
  - ePWM SOC 信号
  - CPU 计时器
  - eCAP
  - SPI 发送和接收
  - LIN 发送和接收
- 数据源和目标：
  - GSx RAM
  - ADC 结果寄存器
  - 控制外设寄存器（ePWM、eQEP、eCAP）
  - 通信外设寄存器（SPI，LIN，CAN，PMBus，FSI）
  - PGA 控制寄存器
- 字大小：16 位或 32 位（SPI 限制到 16 位）
- 吞吐量：每个字三个周期，无需仲裁

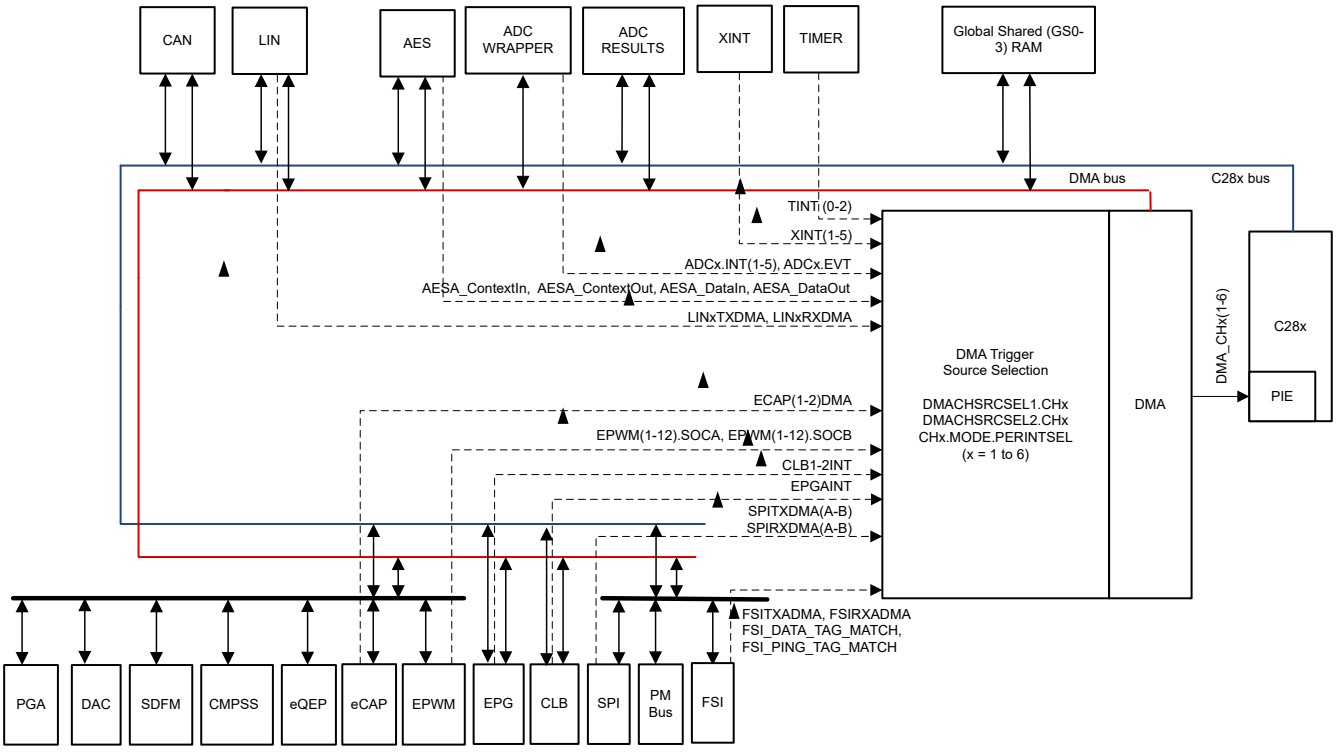


图 7-3. DMA 方框图

Copyright © 2026 Texas Instruments Incorporated

备注

具有 EALLOW 保护功能的外设寄存器受写保护，可防止非预期的 DMA 写入。要使用 DMA 写入这些寄存器、请禁用 EALLOW 保护机制。

Copyright © 2026 Texas Instruments Incorporated

7.10 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。引导 ROM 使用引导模式选择、通用输入/输出 (GPIO) 引脚来确定引导模式配置。

器件默认引导模式 展示了可供默认引导模式选择引脚选择的引导模式选项。用户可以选择对器件进行编程，以自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。

所有支持的外设引导模式都使用外设模块（SCIA、SPIA、I2CA、CANA 等）的第一个实例。凡是本章提到的这些引导模式（例如 SCI 引导）时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

请参阅*复位 - XRSn - 开关特性* 表和 $t_{boot-flash}$（在闪存中第一次取指令之前的引导 ROM 执行时间）的*上电复位*图。

表 7-8. 器件默认引导模式

引导模式	GPIO24 （默认引导模式选择引脚 1）	GPIO32 （默认引导模式选择引脚 0）
并行 IO	0	0
SCI/等待引导(1)	0	1
CAN(MCAN-NONFD)	1	0
闪存	1	1

(1) 只要 SCI 在 SCI 自动波特率锁定过程中继续等待“A”或“a”，SCI 引导模式就可用作等待引导模式。

Copyright © 2026 Texas Instruments Incorporated

7.10.1 器件引导配置

本节详细介绍了可用的引导配置以及如何对其进行配置。该器件支持 0 引导模式选择引脚到 3 个引导模式选择引脚，以及 1 种配置的引导模式到 8 种配置的引导模式。

要更改器件并将其从默认设置配置为适合应用程序的自定义设置，请遵从以下过程：

1. 确定您希望应用程序能够引导的所有各种方式。（例如：用于主应用程序的闪存引导的主要引导选项、用于固件更新的 CAN 引导的次级引导选项、用于调试的 SCI 引导的三级引导选项等）
2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择。（例如：需要 2 个 BMSP 来在 3 个引导模式选项之间进行选择）
3. 将所需的 BMSP 分配到物理 GPIO 引脚（例如，BMSP0 到 GPIO10，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态。）有关执行这些配置的所有详细信息，请参阅节 7.10.1.1。
4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引例如，BOOTDEF0=引导至闪存，BOOTDEF1=CAN 引导，BOOTDEF2=SCI 引导；所有其他 BOOTDEFx 保留为默认值/无。有关如何设置和配置自定义引导模式表的所有详细信息，请参阅节 7.10.1.2。

此外，*TMS320F28P551/552/558 实时微控制器技术参考手册* 的 *引导模式示例用例* 一节提供了有关如何配置 BMSP 和自定义引导表的示例用例。

备注

CAN 引导模式打开 XTAL。在使用 CAN 引导模式之前，请确保在应用中安装了 XTAL。

Copyright © 2026 Texas Instruments Incorporated

7.10.1.1 配置引导模式引脚

本节介绍了用户如何通过在用户可配置双区域安全模块 (DCSM) OTP 中对 BOOTPIN-CONFIG 位置（请参阅表 7-9）进行编程来自定义引导模式选择引脚。DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG 或 Z2-OTP-BOOTPIN-CONFIG。调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG 的仿真等效，可进行编程，从而在不写入 OTP 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程，以使用 0、1、2 或 3 个引导模式选择引脚。

备注

使用 Z2-OTP-BOOTPIN-CONFIG 时，在此位置编程的配置将优先于 Z1-OTP-BOOTPIN-CONFIG 中的配置。建议先使用 Z1-OTP-BOOTPIN-CONFIG，然后如果需要更改 OTP 配置，请改为使用 Z2-OTP-BOOTPIN-CONFIG。

表 7-9. BOOTPIN-CONFIG 位字段

位	名称	说明
31:24	密钥	将 0x5A 写入这 8 位以指示该寄存器中的位有效
23:16	引导模式选择引脚 2 (BMSP2)	请参阅 BMSP0 说明，BMSP2 除外
15:8	引导模式选择引脚 1 (BMSP1)	请参阅 BMSP0 说明，BMSP1 除外
7:0	引导模式选择引脚 0 (BMSP0)	设置为在引导期间使用的 GPIO 引脚（最多 255）： - 0x0 = GPIO0 - 0x01 = GPIO1 - 等等 写入 0xFF 会禁用 BMSP0，此引脚不再用于选择引导模式。

以下 GPIO 不能用作 BMSP。如果为特定的 BMSP 选择，引导 ROM 会自动选择出厂默认 GPIO（BMSP2 的出厂默认值为 0xFF，这会禁用 BMSP）。

- GPIO 20 和 GPIO 21
- GPIO 36 和 GPIO 38
- GPIO 62 至 GPIO 223

Copyright © 2026 Texas Instruments Incorporated

表 7-10. 独立引导模式选择引脚解码

BOOTPIN_CONFIG 键	BMSP0	BMSP1	BMSP2	实现的引导模式
!= 0x5A	不用考虑	不用考虑	不用考虑	由出厂默认 BMSP 定义的引导
= 0x5A	0xFF	0xFF	0xFF	引导模式 0 的引导表中定义的引导 （禁用所有 BMSP）
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导 （禁用 BMSP1 和 BMSP2）
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导 （禁用 BMSP0 和 BMSP2）
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导 （禁用 BMSP0 和 BMSP1）
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导 （禁用 BMSP2）
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导 （禁用 BMSP1）
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导 （禁用 BMSP0）
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	GPIO 无效	有效 GPIO	有效 GPIO	BMSP0 被复位为出厂默认 BMSP0 GPIO 由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	有效 GPIO	GPIO 无效	有效 GPIO	BMSP1 被复位为出厂默认 BMSP1 GPIO 由 BMSP0、BMSP1 和 BMSP2 的值定义的引导
	有效 GPIO	有效 GPIO	GPIO 无效	BMSP2 被复位为出厂默认状态，处于禁用状态 由 BMSP0 和 BMSP1 的值定义的引导

备注

解码引导模式时，BMSP0 是引导表索引值的最低有效位，BMSP2 是最高有效位。建议在禁用 BMSP 时，先禁用 BMSP2。例如，在仅使用 BMSP2（禁用 BMSP1 和 BMSP0）的实例中，只能选择引导表索引 0 和 4。在仅使用 BMSP0 的实例中，可选引导表索引 0 和 1。

Copyright © 2026 Texas Instruments Incorporated

7.10.1.2 配置引导模式表选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项。64 位位置位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置 DCSM OTP 中。调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效，并且可以进行编程，以便在不写入 OTP 的情况下使用不同的引导模式选项进行实验。引导定义表的自定义范围取决于正在使用多少引导模式选择引脚 (BMSP)。例如，0 个 BMSP 等于 1 个表条目、1 个 BMSP 等于 2 个表条目、2 个 BMSP 等于 4 个表条目，而 3 个 BMSP 等于 8 个表条目。有关如何设置 BOOTPIN_CONFIG 和 BOOTDEF 值的示例，请参阅 *TMS320F28P551/552/558 实时微控制器技术参考手册*。

备注

配置 Z2-OTP-BOOTPIN-CONFIG 时，将使用 Z2-OTP-BOOTDEF-LOW 和 Z2-OTP-BOOTDEF-HIGH 位置，而不是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置。更多有关 BOOTPIN_CONFIG 用法的详细信息，请参阅配置引导模式引脚。

表 7-11. BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7:0	BOOT_DEF0 模式/选项	为引导表的索引 0 设置引导模式。 例如，不同的引导模式及其选项可以包括使用不同 GPIO 来实现特定引导加载程序或使用不同闪存入口点地址的引导模式。任何不支持的引导模式都会导致器件进入等待引导或引导至闪存。 有关表中要设置的有效 BOOTDEF 值，请参阅 *GPIO 分配*一节。
BOOT_DEF1	15:8	BOOT_DEF1 模式/选项	请参阅 BOOT_DEF0 说明
BOOT_DEF2	23:16	BOOT_DEF2 模式/选项	
BOOT_DEF3	31:24	BOOT_DEF3 模式/选项	
BOOT_DEF4	39:32	BOOT_DEF4 模式/选项	
BOOT_DEF5	47:40	BOOT_DEF5 模式/选项	
BOOT_DEF6	55:48	BOOT_DEF6 模式/选项	
BOOT_DEF7	63:56	BOOT_DEF7 模式/选项	

Copyright © 2026 Texas Instruments Incorporated

7.10.2 GPIO 分配

本节详细介绍了用于在位于 Z1-OTP-BOOTDEF-LOW/ Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/ Z2-OTP-BOOTDEF-HIGH 的 BOOT_DEF 存储器位置中设置引导模式的 GPIO 和引导选项值。请参阅配置引导模式表选项，了解如何配置 BOOT_DEF。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

表 7-12. SCI 引导选项

选项	BOOTDEFx 值	SCITXDA GPIO	SCIRXDA GPIO	受支持的封装
0（默认值）	0x01	GPIO29	GPIO28	100-PZ、80-PNA、80-PN、64-PM、56-RSH
1	0x21	GPIO1	GPIO0	全部 这些都是 49-YAF 和 32-ZNG 封装的默认 SCI 引导引脚
2	0x41	GPIO8	GPIO9	100-PZ、80-PNA、80-PN、64-PM
3	0x61	GPIO7	GPIO3	100-PZ、80-PNA、80-PN、64-PM、56-RSH
4	0x81	GPIO16	GPIO3	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-13. CAN-FD 引导选项

选项	BOOTDEFx 值	MCANTX GPIO	MCANRX GPIO	受支持的封装
0（默认值）	0x08	GPIO4	GPIO5	全部
1	0x28	GPIO1	GPIO0	全部
2	0x48	GPIO13	GPIO12	100-PZ、80-PNA、80-PN、64-PM、56-RSH
3（DEBUG — 发送测试）	0x68	GPIO4	GPIO5	全部
4（DEBUG — 发送测试）	0x88	GPIO1	GPIO0	全部
5（DEBUG — 发送测试）	0xA8	GPIO13	GPIO12	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-14. CAN 引导选项

选项	BOOTDEFx 值	CANTXA GPIO	CANRXA GPIO	受支持的封装
0（默认值）	0x02	GPIO4	GPIO5	全部
1	0x22	GPIO1	GPIO0	全部
2	0x42	GPIO13	GPIO12	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-15. I2C 引导选项

选项	BOOTDEFx 值	SDAA GPIO	SCLA GPIO	受支持的封装
0	0x07	GPIO0	GPIO1	全部
1	0x27	GPIO32	GPIO33	100-PZ、80-PNA、80-PN、64-PM、56-RSH
2	0x47	GPIO5	GPIO4	全部

表 7-16. RAM 引导选项

选项	BOOTDEFx 值	RAM 入口点（地址）
0	0x05	0x0000 0000

表 7-17. 闪存引导选项

选项	BOOTDEFx 值	闪存入口地址	闪存扇区
0（默认值）	0x03	0x0008 0000	CPU1 存储体 0 扇区 0
1	0x23	0x0008 8000	CPU1 存储体 0 扇区 32
2	0x43	0x000C 0000	CPU1 存储体 2 扇区 0
3	0x63	0x000C 8000	CPU1 存储体 2 扇区 32

Copyright © 2026 Texas Instruments Incorporated

表 7-17. 闪存引导选项（续）

选项	BOOTDEFx 值	闪存入口地址	闪存扇区
4	0x83	0x0010 0000	CPU1 存储体 4 扇区 0

表 7-18. 安全闪存启动选项

选项	BOOTDEFx 值	闪存入口地址	闪存扇区
0（默认值）	0x0A	0x0008 0000	CPU1 存储体 0 扇区 0
2	0x2A	0x0008 8000	CPU1 存储体 0 扇区 32
3	0x4A	0x000C 0000	CPU1 存储体 2 扇区 0
4	0x6A	0x000C 8000	CPU1 存储体 2 扇区 32
5	0x8A	0x0010 0000	CPU1 存储体 4 扇区 0

表 7-19. LFU 引导选项

选项	BOOTDEFx 值	组 0	组 2
0	0x0B	0x0008 0000	0x000C 0000
1	0x2B	0x0008 8000	0x000C 8000

表 7-20. 等待引导选项

选项	BOOTDEFx 值	看门狗状态
0（默认值）	0x04	启用
1	0x24	禁用

表 7-21. SPI 引导选项

选项	BOOTDEFx 值	SPIPICOA	SPIPOCIA	SPICLKA	SPIPTEA	受支持的封装
0	0x06	GPIO2	GPIO1	GPIO3	GPIO5	100-PZ、80-PNA、80-PN、64-PM、56-RSH
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0	100-PZ、80-PNA、80-PN、64-PM、56-RSH
2	0x46	GPIO8	GPIO10	GPIO9	GPIO11	100-PZ、80-PNA、80-PN、64-PM
3	0x66	GPIO16	GPIO12	GPIO9	GPIO24	100-PZ、80-PNA、80-PN、64-PM、56-RSH

表 7-22. 并行引导选项

选项	BOOTDEFx 值	D0-D7 GPIO	DSP 控制 GPIO	主机控制 GPIO	受支持的封装
0（默认值）	0x00	D0-D7 (GPIO 0-7)	GPIO16	GPIO29	100-PZ、80-PNA、80-PN、64-PM、56-RSH
1	0x20	D0-D7（GPIO 0-3、5-7、24）	GPIO12	GPIO13	100-PZ、80-PNA、80-PN、64-PM、56-RSH

7.11 安全性

安全功能由双代码安全模块 (DCSM) 强制执行。主要的防御层是保护芯片边界，该功能应始终启用。此外，还提供了双区域安全功能以支持代码分区。

7.11.1 保护芯片边界

应使用以下两项功能以及固件更新代码中的身份验证来帮助防止未经授权的代码在器件上运行。

7.11.1.1 JTAGLOCK

在 USER OTP 中启用 JTAGLOCK 功能会禁用对器件资源的 JTAG 访问（例如调试探针）。

Copyright © 2026 Texas Instruments Incorporated

7.11.1.2 零引脚引导

在 USER OTP 中启用零引脚引导选项以及闪存引导会阻止所有基于引脚的外部引导加载程序选项（例如：SCI、CAN 以及并行）。

7.11.2 双区域安全

双区域安全机制为两个区域提供保护：区域 1 (Z1) 和区域 2 (Z2)。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源（OTP 存储器和安全 ROM）和分配的安全资源（LSx RAM 和闪存扇区）。

7.11.3 免责声明

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行密码保护，并且由德州仪器 (TI) 根据其标准条款和条件保证以符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述内容外，TI 也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

Copyright © 2026 Texas Instruments Incorporated

7.12 看门狗

该看门狗模块与之前的 TMS320C2000™ 微控制器上的模块相同，但对计数器的软件复位之间的时间提供一个可选的下限。默认情况下会禁用此窗口倒计时，因此该看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-4 展示了看门狗模块内的各种功能块。

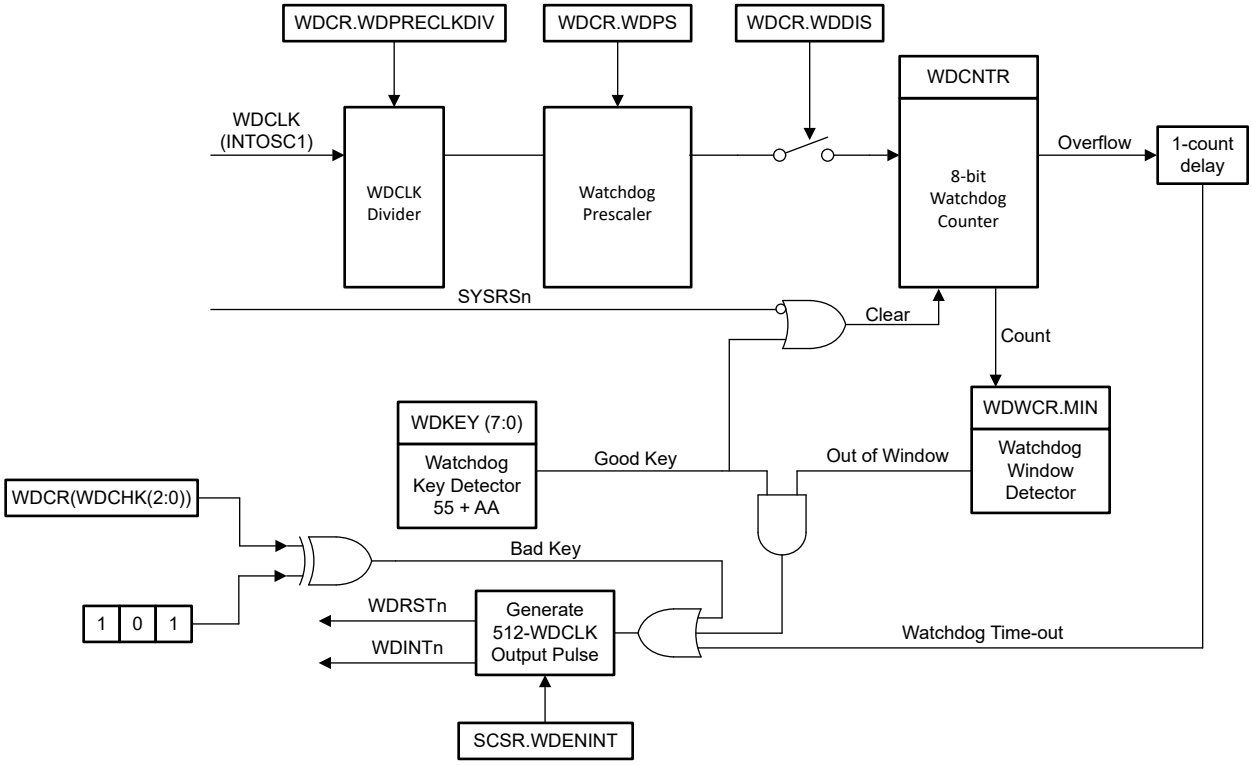


图 7-4. 窗口看门狗

Copyright © 2026 Texas Instruments Incorporated

7.13 C28x 计时器

CPU 计时器 0，1，和 2 是完全一样的 32 位计时器，具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器，该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途，并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS ，CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时：

- SYSCLK (默认)
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- X1 (XTAL)

7.14 双时钟比较器 (DCC)

DCC 模块用于根据第二个时钟评估和监测时钟输入，第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障，从而增强系统的安全性指标。

7.14.1 特性

DCC 具有以下特性：

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视，而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源，从而产生几种特定的用例。

7.14.2 DCCx 时钟源中断的映射

表 7-23. DCCx 时钟源 0 表

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (输入 xbar 的输出 16)
其它	保留

表 7-24. DCCx 时钟源 1 表

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	输入 XBAR (输入 xbar 的输出 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK

Copyright © 2026 Texas Instruments Incorporated

表 7-24. DCCx 时钟源 1 表（续）

DCCxCLKSRC1[4:0]	时钟名称
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
其它	保留

Copyright © 2026 Texas Instruments Incorporated

7.15 可配置逻辑块 (CLB)

C2000 可配置逻辑块 (CLB) 是一组模块的集合，这些模块使用软件进行互连，以实现自定义数字逻辑功能或增强现有的片上外设。CLB 能够通过一组交叉开关互连来增强现有的外设，为现有的控制外设（例如增强型脉宽调制器 (ePWM)、增强型采集模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)）提供高度连接性。交叉开关还允许将 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以配置为与器件外设交互以执行小型逻辑功能（例如比较器），或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑器件实现的功能现在可在 MCU 内实现。

CLB 外设是通过 CLB 工具进行配置的。更多有关 CLB 工具、可用示例、应用手册和用户指南的信息，请参阅适用于 C2000 MCU 的 C2000Ware 软件包（C2000Ware_2_00_00_03 及更高版本）中的以下位置：

- **C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc**
- *CLB 工具用户指南*
- *使用 C2000™ 可配置逻辑块 (CLB) 进行设计* 应用手册
- *如何将自定义逻辑从 FPGA/CPLD 迁移到 C2000™ 微控制器* 应用手册

CLB 模块及其互连如图 7-5 所示。

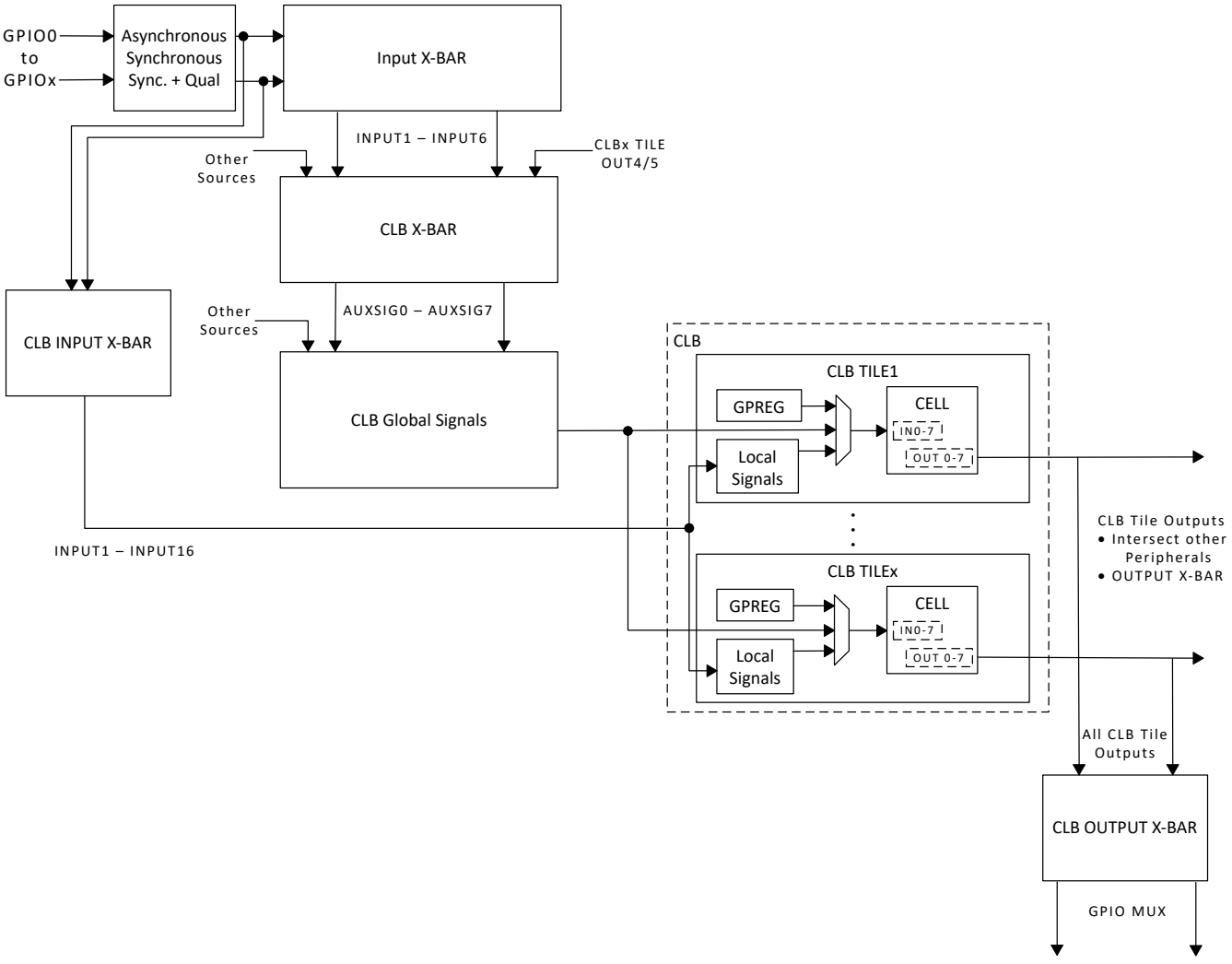


图 7-5. GPIO 到 CLB 逻辑块的连接

绝对编码器协议接口现在作为 C2000Ware MotorControl SDK 中的 Position Manager 解决方案提供。C2000Ware MotorControl SDK 提供了此类解决方案的配置文件、应用程序接口 (API) 和使用示例。在某些解决方案中，TI 配置的 CLB 与其他片上资源（例如 SPI 端口或 C28x CPU）一起使用，以执行更复杂的功能。

Copyright © 2026 Texas Instruments Incorporated

8 应用、实施和布局

8.1 典型应用

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1.1 参考设计

TI 参考设计库是一个涵盖模拟、嵌入式处理器和连接等内容的强大参考设计资源库。所有参考设计均由 TI 专家构建，旨在帮助您着手进行系统设计，其中包括原理图或方框图、BOM 和设计文件，助您加快产品上市步伐。在精选 TI 参考设计页面上搜索并下载设计。

以下是适用参考设计的部分列表。TI Resource Explorer 中保留了该器件以及其他 C2000 MCU 支持的参考设计的完整列表。

具有 16A 最大输入的 3kW、180W/in3 单相图腾柱无桥 PFC 参考设计
此参考设计演示了一种使用 C2000™ 微控制器控制连续导通模式图腾柱功率因数校正转换器 (PFC) 的方法。此 PFC 还可以在并网（电流控制）模式下用作逆变器。该转换器旨在支持 16ARMS 的最大输入电流和 3.6kW 的峰值功率。

双向 400V/12V 直流/直流转换器参考设计
此双向 400V-12V 直流/直流转换器参考设计是基于微控制器的隔离式双向直流/直流转换器实施方案。具有同步整流的相移全桥 (PSFB) 以降压模式控制从 400V 总线/电池到 12V 电池的能流，而推挽级则以升压模式控制从低压电池到高压总线/电池的反向能流。

基于 GaN 的 6.6kW 双向车载充电器参考设计
PMP22650 参考设计是 6.6kW 双向车载充电器。该设计采用两相图腾柱 PFC 和带有同步整流功能的全桥 CLLLC 转换器。CLLLC 采用频率和相位调制在所需的调节范围内调节输出。

适用于混合动力汽车/电动汽车车载充电器的双向 CLLLC 谐振双有源电桥 (DAB) 参考设计
具有双向功率流功能和软开关特性的 CLLLC 谐振 DAB 非常适合混合动力汽车/电动汽车 (HEV/EV) 车载充电器和能量存储应用。此设计演示了在闭合电压和闭合电流环路模式中使用 C2000™ MCU 控制此电源拓扑。

使用 C2000™ MCU 且具有 CCM 图腾柱 PFC 和 CLLLC 直流/直流的 7.4kW 车载充电器参考设计
TIDM-02013 是一种双向车载充电器参考设计。该设计由交错式连续导通模式 (CCM) 图腾柱 (TTPL) 无桥功率因数校正 (PFC) 功率级以及 CLLLC 直流/直流功率级组成，所有这些功率级均通过单个 C2000™ 实时控制微控制器 (MCU) 进行控制，同时使用 TI 氮化镓 (GaN) 电源模块。

具有基于采样电阻的内嵌式电机相电流采样的 48V 三相逆变器评估模块
BOOSTXL-3PHGANINV 评估模块采用 48V/10A 三相 GaN 逆变器，具备基于分流器的精密直列式相电流检测功能，从而对精密驱动器（例如，伺服驱动器）进行精准控制。

C2000 DesignDRIVE Position Manager BoosterPack™ 插件模块
PositionManager BoosterPack 是一个用于评估绝对编码器和模拟传感器（如旋转变压器和 SinCos 传感器）接口的灵活低电压平台。与 DesignDRIVE Position Manager 软件解决方案结合使用时，这种低成本评估模块成为用于将许多流行的位置编码器类型（如 EnDat、BiSS 和 T-Format）与 C2000 实时控制器件连接的强大工具。C2000 Position Manager 技术将流行的数字和模拟位置传感器接口集成到 C2000 实时控制器上，因此无需外部 FPGA 来实现这些功能。

基于快速串行接口 (FSI) 的分布式多轴伺服驱动器参考设计
此参考设计展示了使用 C2000™ 实时控制器通过快速串行接口 (FSI) 实现的分布式或分散式多轴伺服驱动器示例。多轴伺服驱动器用于工厂自动化和机器人等多种应用。凭借每轴成本、性能和易用性等特性，该驱动器受到

Copyright © 2026 Texas Instruments Incorporated

上述系统的高度青睐。FSI 是一种可靠的成本优化型高速通信接口，具有低抖动，能以菊花链形式连接多个 C2000 微控制器。

10kW 双向三相三级（T 型）逆变器和 PFC 参考设计

此经过验证的参考设计概述了如何实现基于 SiC 的三级三相直流/交流 T 型逆变器级。50KHz 的较高开关频率减小了滤波器设计的磁性元件尺寸，并因此提高了功率密度。通过使用可降低开关损耗的 SiC MOSFET，可确保实现高达 1000V 的更高直流母线电压和更低的开关损耗，从而达到 99% 的峰值效率。此设计可配置为两级或三级逆变器。

适用于 3 级电动汽车充电站的双向双有源电桥参考设计

此参考设计概述了单相双有源电桥 (DAB) 直流/直流转换器的实现。DAB 拓扑具有软开关换向、器件数量减少和效率高等优势。该设计在功率密度、成本、重量、电隔离、高电压转换比和可靠性等关键要素方面大有裨益，是电动汽车充电站和能量存储应用的理想之选。DAB 中的模块化和对称结构能堆叠多个转换器，实现高功率吞吐量和双向运行模式，从而支持电池充电和放电应用。

基于 GaN 的 1.6kW 双向微型逆变器参考设计

此参考设计展示了一款具有储能功能的基于 GaN 的四输入双向 1.6kW 微型逆变器。

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 器件命名规则

为了标示产品开发周期所处的阶段，TI 为所有 MCU 器件和支持工具的器件型号分配了前缀。每个 TMS320™ MCU 商用产品系列成员都具有以下三个前缀之一：TMX、TMP 或 TMS（例如，**TMS**320F28P551SG）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品开发的发展阶段，即从工程原型（TMX 和 TMDX）直到完全合格的生产器件和工具（TMS 和 TMDS）。

器件开发演变流程：

TMX 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

TMP 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

TMS 完全合格的芯片模型的生产版本。

支持工具开发演变流程：

TMDX 还未经德州仪器 (TI) 完整内部质量测试的开发支持产品。

TMDS 完全合格的开发支持产品。

TMX 和 TMP 器件和 TMDX 开发支持工具供货时附带如下免责条款：

“开发的产品用于内部评估用途。”

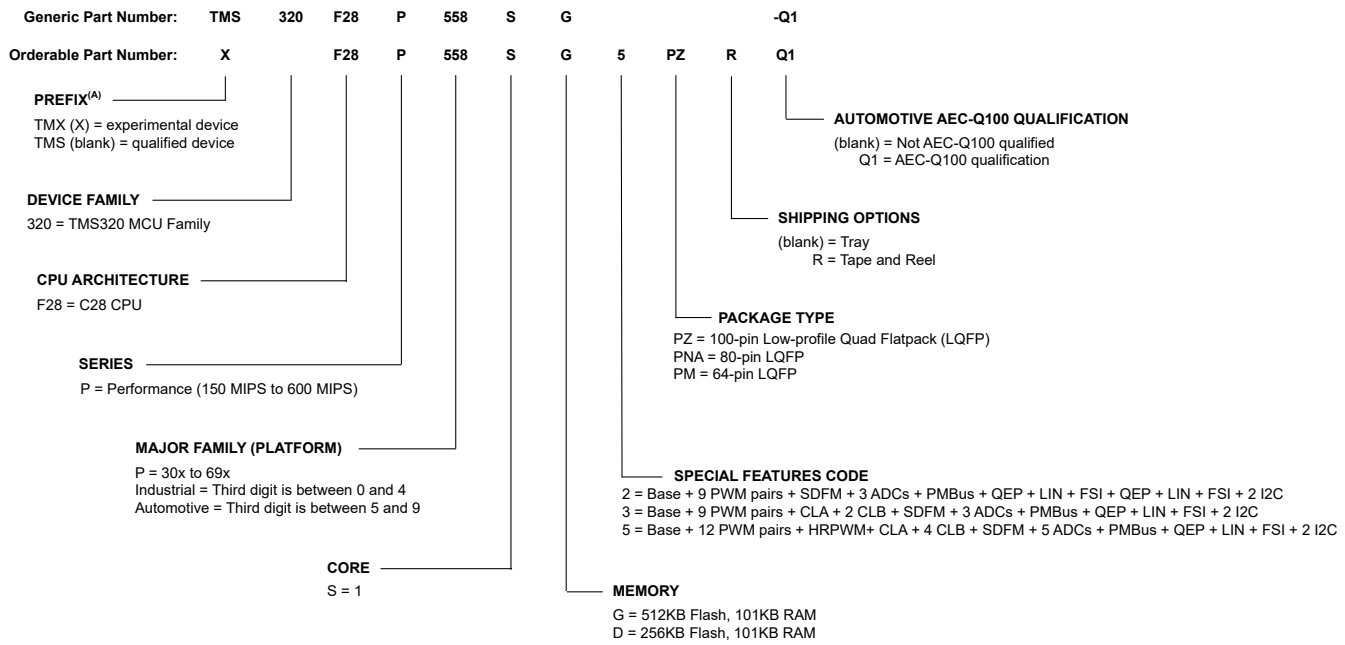
生产器件和 TMDS 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件（X 或者 P）的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。这个后缀表示封装类型（例如，PZ）。

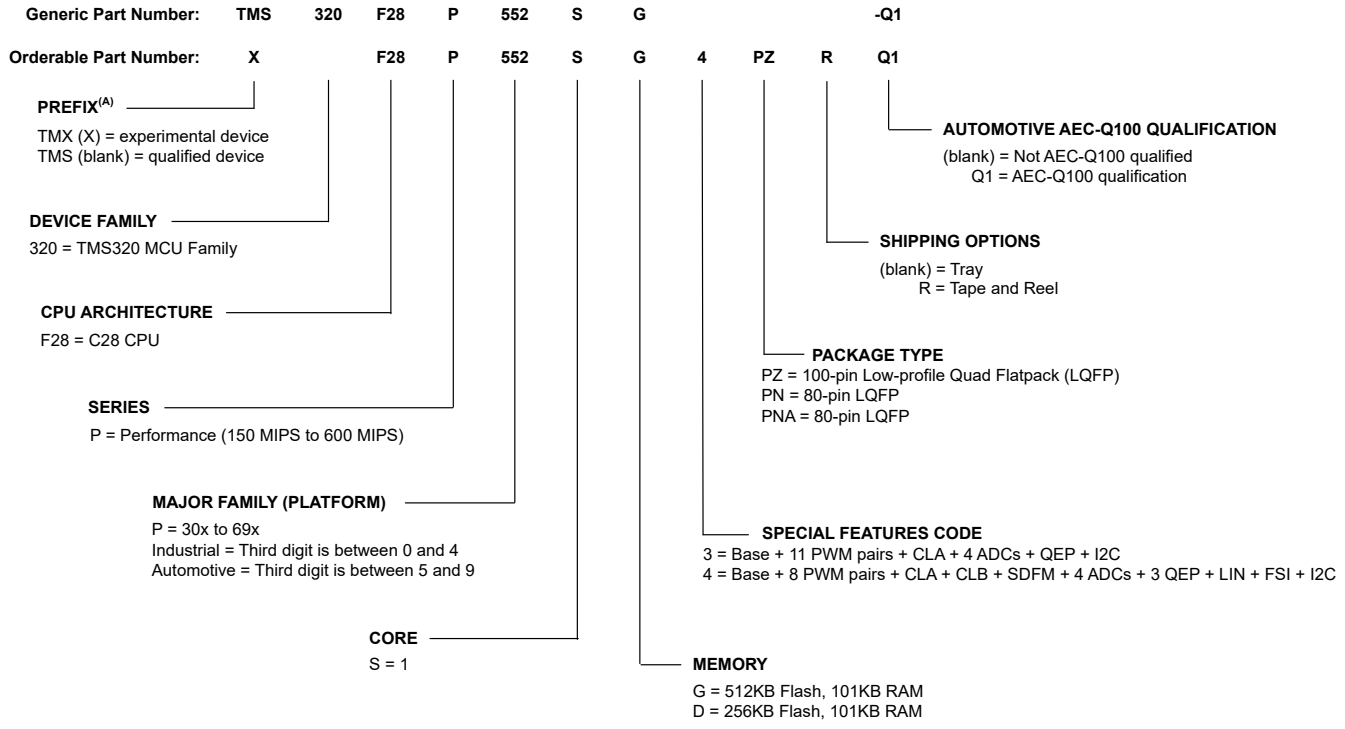
若要获取器件型号以及更多订购信息，请访问 TI 网站 (www.ti.com.cn) 或者联系您的 TI 销售代表。

Copyright © 2026 Texas Instruments Incorporated



A. 可订购器件型号使用前缀 X。

图 9-1. 器件命名规则 P558

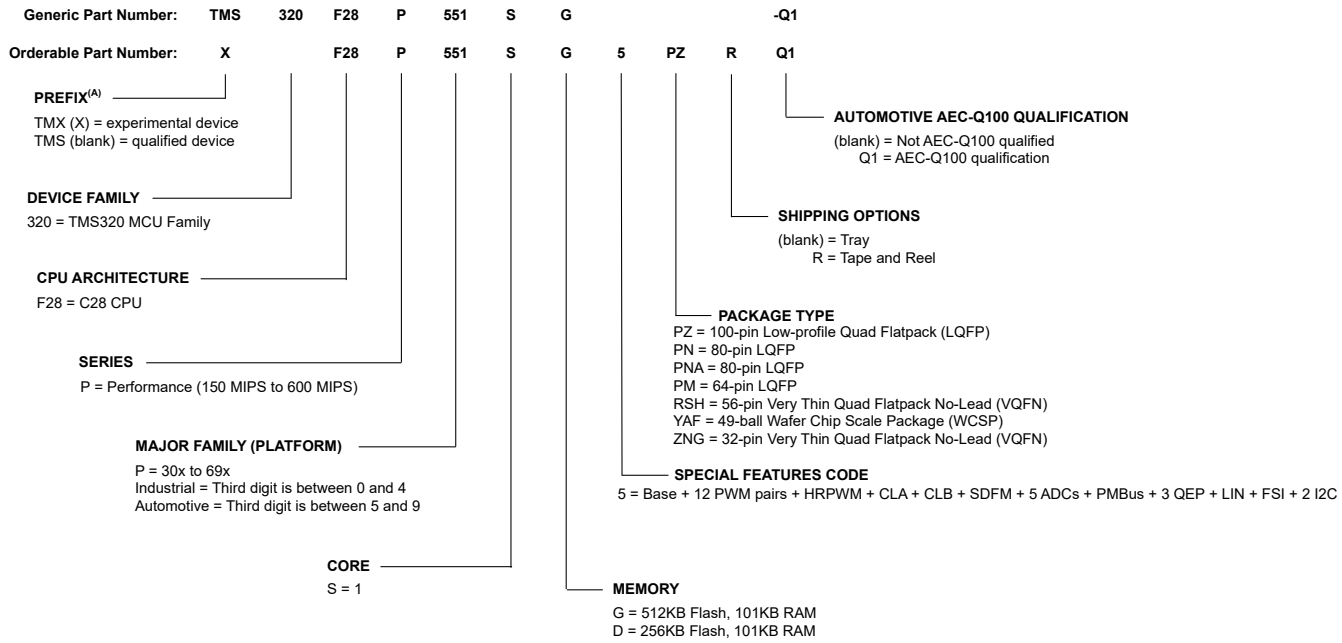


备注

可订购器件型号使用前缀 X。

图 9-2. 器件命名规则 P552

Copyright © 2026 Texas Instruments Incorporated



备注

可订购器件型号使用前缀 X。

图 9-3. 器件命名规则 P551

9.2 标识

图 9-4、图 9-5、图 9-6、图 9-7、图 9-8、图 9-10、图 9-11、图 9-12 和图 9-13 展示了封装编号法。表 9-1 列出了器件修订版本代码。

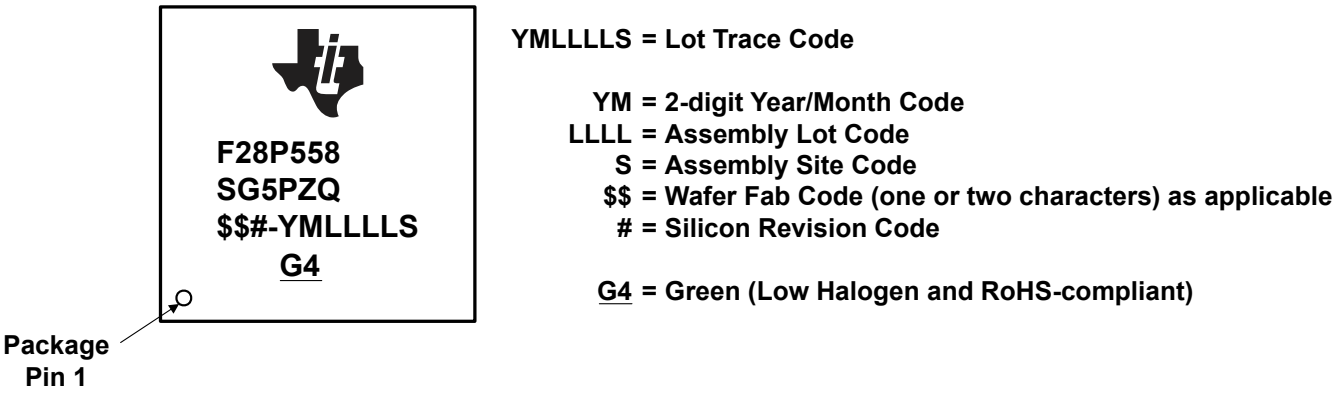
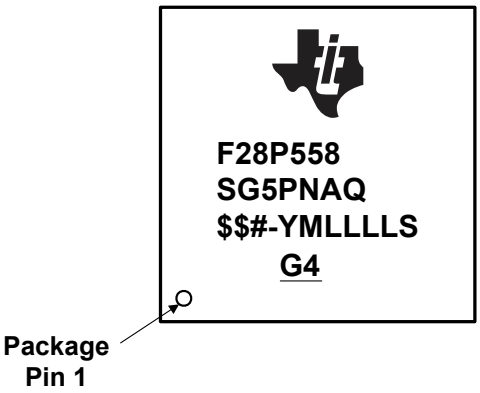


图 9-4. PZ 封装的封装编号法 – 汽车

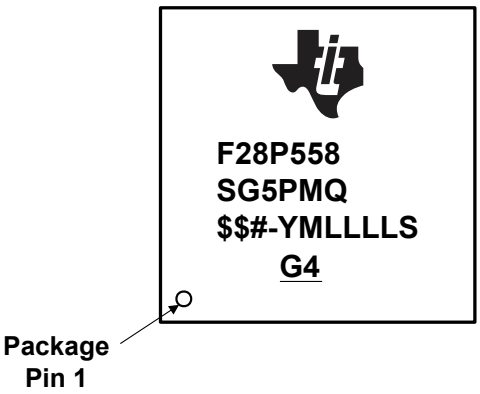


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-5. PNA 封装的封装编号法 – 汽车

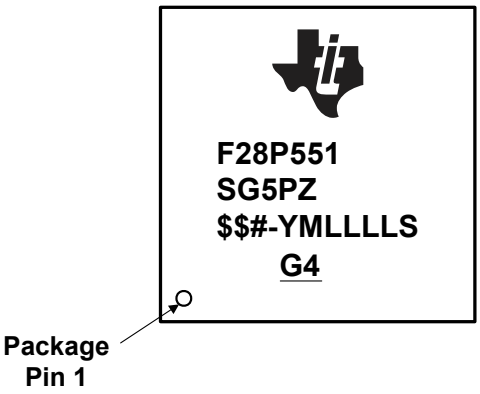


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-6. PM 封装的封装编号法 – 汽车



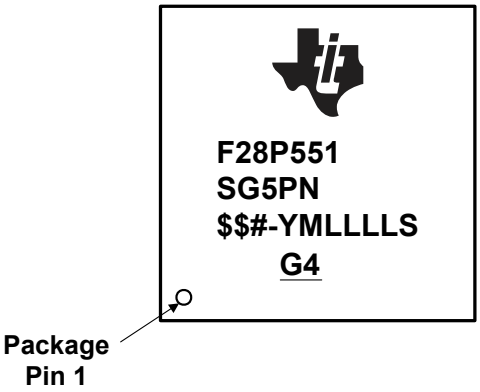
YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-7. PZ 封装的封装编号法 - 非汽车

Copyright © 2026 Texas Instruments Incorporated

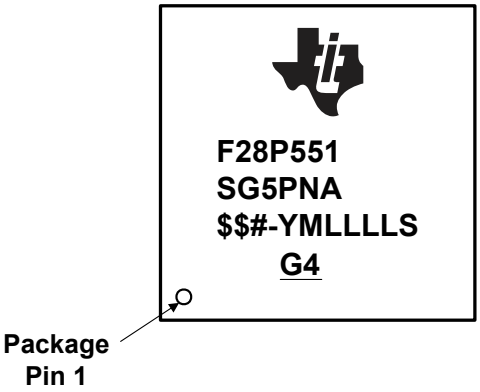


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-8. PN 封装的封装编号法 - 非汽车

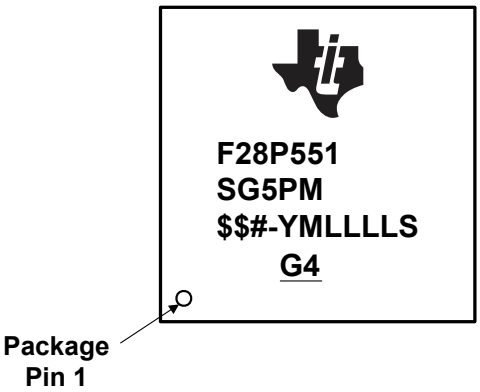


YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-9. PNA 封装的封装编号法 - 非汽车



YMLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
$$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

图 9-10. PM 封装的封装编号法 - 非汽车

Copyright © 2026 Texas Instruments Incorporated

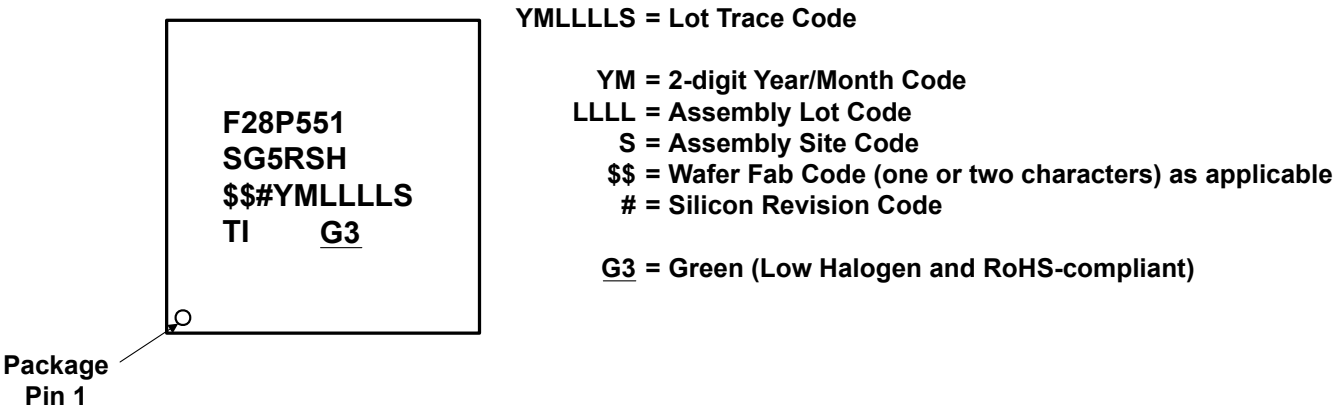


图 9-11. RSH 封装的封装编号法 - 非汽车

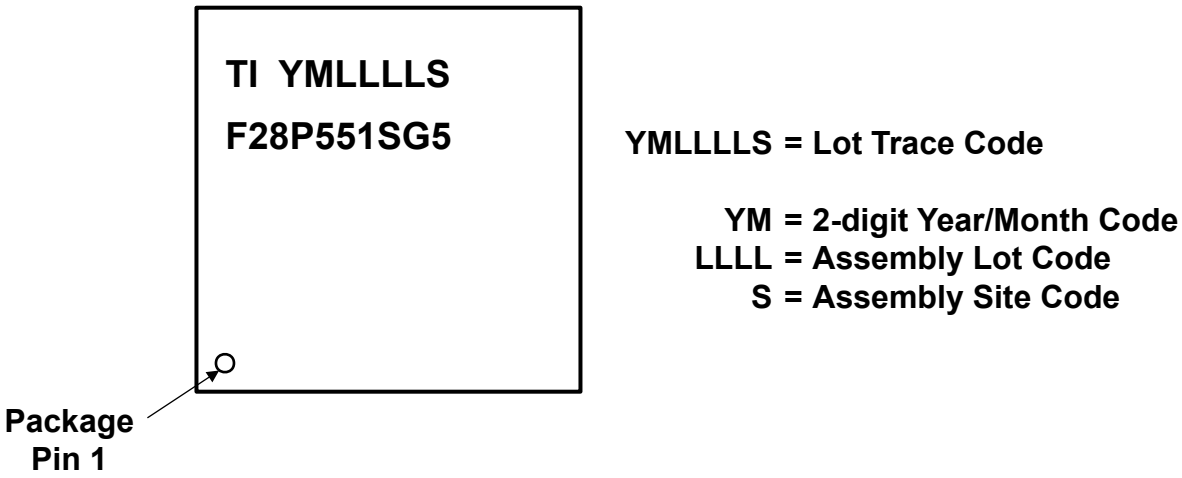


图 9-12. YAF 封装的封装编号法 - 非汽车

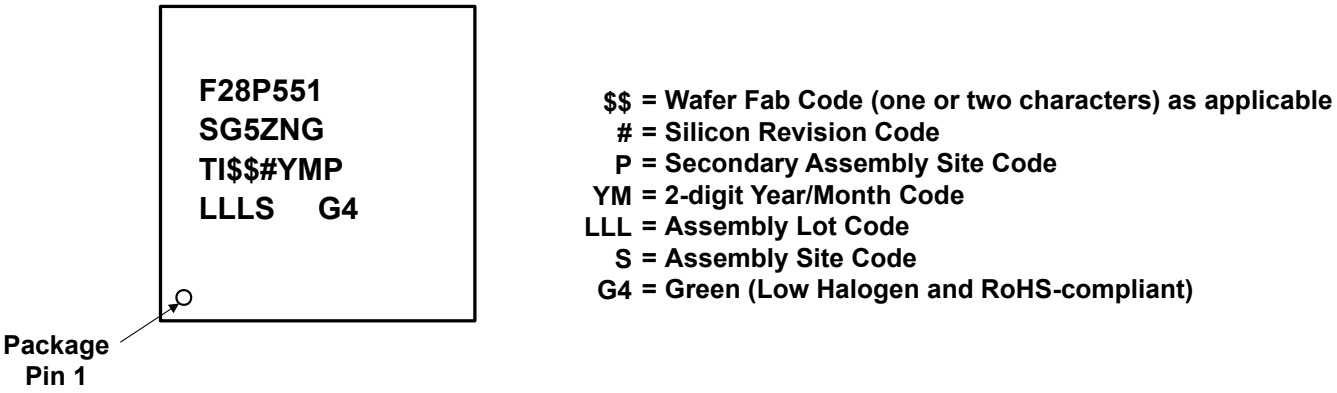


图 9-13. ZNG 封装的封装编号法 - 非汽车

表 9-1. 版本标识

器件修订版本代码	器件修订版本	REVID(1) 地址：0x5D00C	注释(2)
空白或“-”	0	0x0000 0001	该器件修订版本的代码为 TMX/TMS。

(1) 器件修订版本 ID
(2) 有关可订购器件型号，请参阅本数据表背面的“封装信息”表。

Copyright © 2026 Texas Instruments Incorporated

9.3 工具与软件

TI 提供广泛的开发工具。下面是部分用于评估器件性能、生成代码和开发解决方案的工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 C2000 实时控制 MCU - 设计和开发页面。

开发工具

TI Resource Explorer
要增强您的体验，请务必查看 TI Resource Explorer 以浏览应用的示例、库和文档。

软件工具

用于 C2000 MCU 的 C2000Ware
用于 C2000™ MCU 的 C2000Ware 是一系列紧密相关的软件和文档，旨在尽可能缩短软件开发时间。它包括特定于器件的驱动程序、库和外设示例。

DigitalPower SDK
DigitalPower SDK 包含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统的开发时间，可适用于各种交流/直流、直流/直流和直流/交流电源应用。该软件包含可运行于 C2000 数字电源评估模块 (EVM) 的固件和适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用的 TI Designs (TID)。DigitalPower SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源。

MotorControl SDK
MotorControl SDK 包含一系列紧密相关的软件架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。软件包含可运行于 C2000 电机控制评估模块 (EVM) 的固件和适用于工业驱动和其他电机控制的 TI Designs (TID)。MotorControl SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

Code Composer Studio™ 集成开发环境 (IDE)
Code Composer Studio 是一款适用于 TI 微控制器和处理器的集成开发环境 (IDE)。它包含一整套用于开发和调试嵌入式应用的工具。Code Composer Studio 可在 Windows®、Linux® 和 macOS® 桌面上下载。此外，可以通过访问 https://dev.ti.com，在云中使用它。Code Composer Studio 包含用于优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、性能分析器以及很多其他功能。直观的 IDE 将引导您完成应用开发流程的每个步骤熟悉的工具和界面让您能够比以前更快地上手。Code Composer Studio 的桌面版本将 Eclipse 软件框架的优势与 TI 先进的功能相结合，提供了一种功能丰富的优异开发环境。基于云的 Code Composer Studio 利用 Theia 应用程序框架，无需下载和安装大量软件即可在云中进行开发。

SysConfig 系统配置工具
SysConfig 是一个全面的图形实用程序集合，用于配置引脚、外设、无线电、子系统和其他组件。SysConfig 可助您直观地管理、发现和解决冲突，以便您有更多时间创建差异化应用。该工具的输出包括 C 头文件和代码文件，这些文件可与软件开发套件 (SDK) 示例配合使用，或用于配置定制软件。SysConfig 工具会自动选择满足输入要求的 pinmux 设置。SysConfig 工具作为独立安装程序集成在 CCS 中，也可以通过 dev.ti.com 云工具门户使用。有关 SysConfig 系统配置工具的更多信息，请访问系统配置工具页面。

C2000 第三方搜索工具
TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

UniFlash 独立闪存工具
UniFlash 是一个独立工具，用于通过 GUI、命令行或脚本接口对片上闪存进行编程。

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的*设计与开发*页面的*设计工具与仿真*部分。

培训

Copyright © 2026 Texas Instruments Incorporated

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 C2000™ 实时控制 MCU - 支持和培训站点。

9.4 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

Copyright © 2026 Texas Instruments Incorporated

勘误

TMS320F28P551、TMS320F28P552 和 TMS320F28P558 实时 MCU 器件勘误表 介绍了器件的已知问题并提供了权变措施。

技术参考手册

TMS320F28P551/552/558 实时微控制器技术参考手册 详述了 F28P551/552/558 实时微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

TMS320C28x CPU 和指令集参考指南介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理单元 (CPU) 和汇编语言指令。此参考指南还介绍了这些 DSP 上可用的仿真特性。

TMS320C28x 扩展指令集技术参考手册介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

C2000 实时微控制器外设参考指南介绍了适用于 TMS320x28x 和 F29x 器件的所有外设。此参考指南介绍了每个器件使用的外设，并提供了外设的说明。

工具指南

TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南介绍了用于 TMS320C28x 器件的汇编语言工具（用于开发汇编语言代码的汇编器和其他工具）、汇编器指令、宏、通用目标文件格式和符号调试指令。

TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

功能安全手册

《TMS320F28P55x 实时微控制器的功能安全手册》是德州仪器 TMS320F28P55x MCU 系列的功能安全手册，属于高性能 C2000™ 实时微控制器产品系列的一部分。C2000 产品线采用适用于汽车和工业应用中多种产品的通用安全架构。本功能安全手册是功能安全合规型设计包的一部分，旨在帮助客户设计出符合 ISO26262 或 IEC61508 功能安全标准的系统。

应用手册

SMT 和封装应用手册网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

半导体包装方法介绍了向最终用户发货时对半导体器件使用的包装方法。

计算嵌入式处理器的有效使用寿命介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

IBIS（I/O 缓冲器信息规范）建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

C2000™ 微控制器串行闪存编程 介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

使用 C2000™ 实时微控制器的基本开发指南更深入探究了使与实时控制系统相关的 C2000 微控制器 (MCU) 脱颖而出的器件。

将软件从 8 位（字节）可寻址 CPU 迁移到 C28x CPU 讨论了将软件从 8 位（字节）可寻址 CPU 迁移到 C28x CPU 的常见场景，并提供了有关如何开发应用程序而不考虑可寻址性的指南。

“F2800x C2000™ 实时 MCU 系列的硬件设计指南”应用手册 是使用 C2000 器件的硬件开发人员的基本指南，有助于简化设计过程，同时降低设计故障的可能性。论述的主要主题包括：电源要求、通用输入/输出 (GPIO) 连接、模拟输入和 ADC、时钟生成和要求以及 JTAG 调试等。

Copyright © 2026 Texas Instruments Incorporated

9.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.6 商标

C2000™, TMS320C2000™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments.
Windows® is a registered trademark of Microsoft Corporation.
Linux® is a registered trademark of Linus Torvalds.
macOS® is a registered trademark of Apple Inc.
所有商标均为其各自所有者的财产。

9.7 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.8 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from May 1, 2026 to September 16, 2026	Page
• 添加了注释、阐明 ePWM 实例 1-6 上存在 HRPWM	7
• 添加了注释、阐明 PWM4B 和 PWM9B 在 49 引脚和 32 引脚封装上具有封装限制	7
• 修订了有关 49 引脚和 32 引脚封装 FSI 使用情况的注释	7
• 为 SCI 引导选项添加了注释、以阐明选项 1 是 49 引脚和 32 引脚封装的默认值。	235

Copyright © 2026 Texas Instruments Incorporated

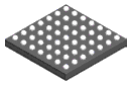
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

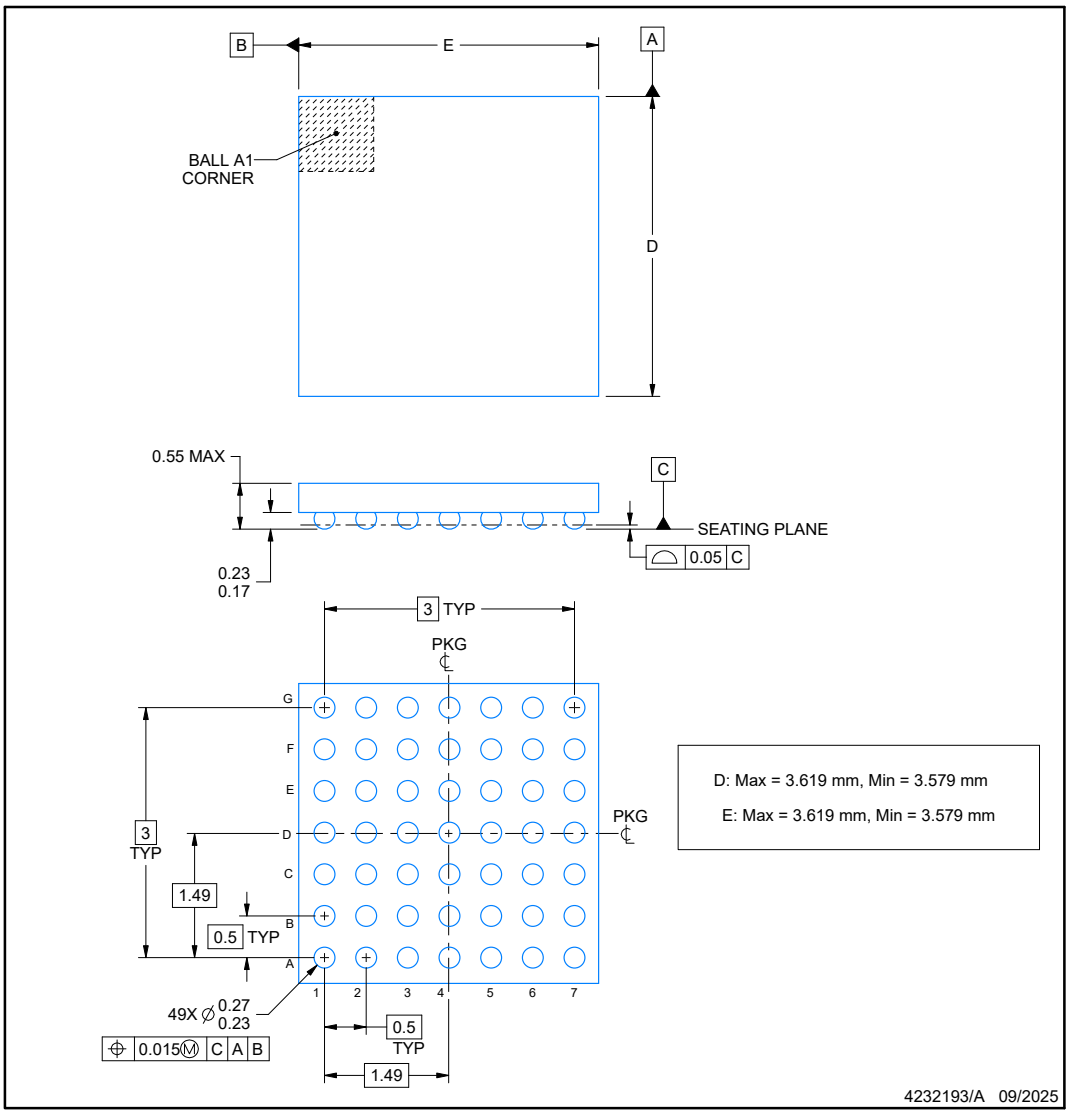
PACKAGE OUTLINE

YAF0049-C02



DSBGA - 0.55 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

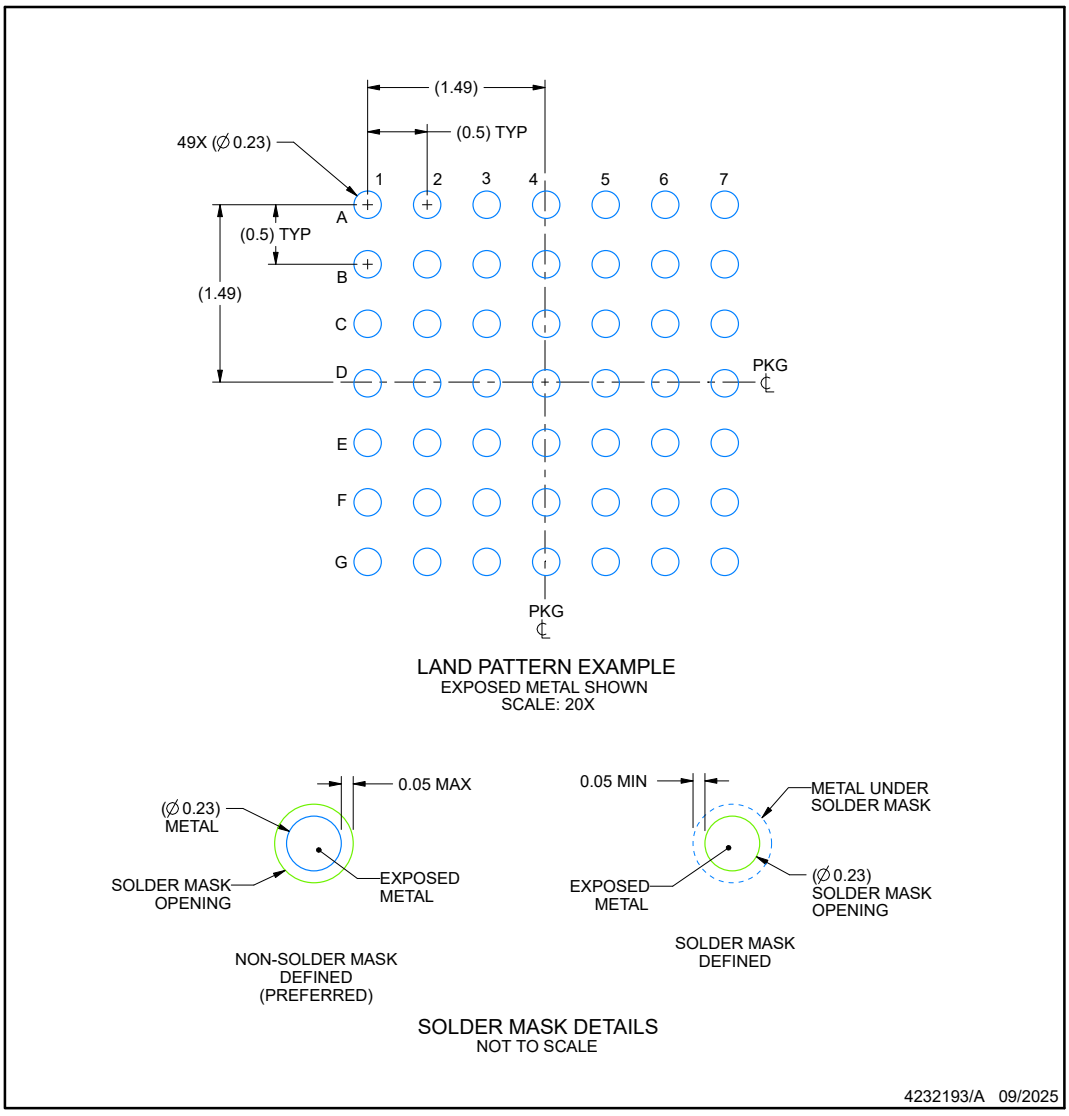
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

YAF0049-C02 — **DSBGA - 0.55 mm max height**

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

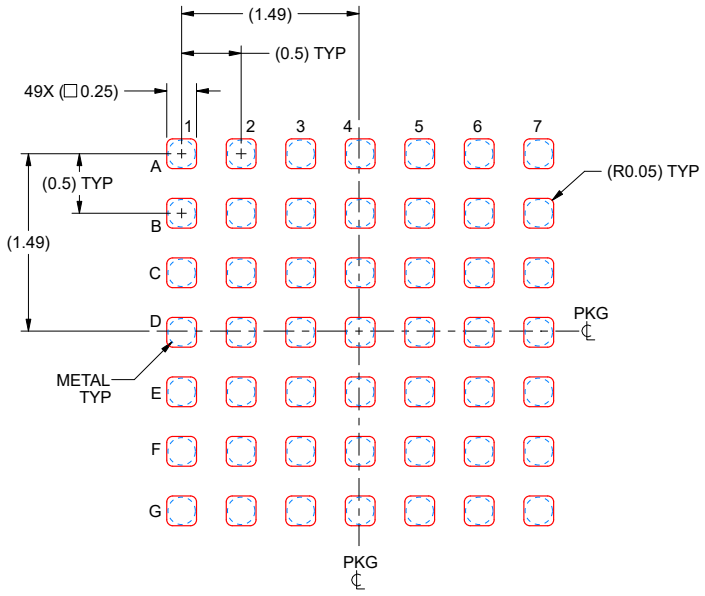
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

YAF0049-C02 — **DSBGA - 0.55 mm max height**

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 20X

4232193/A 09/2025

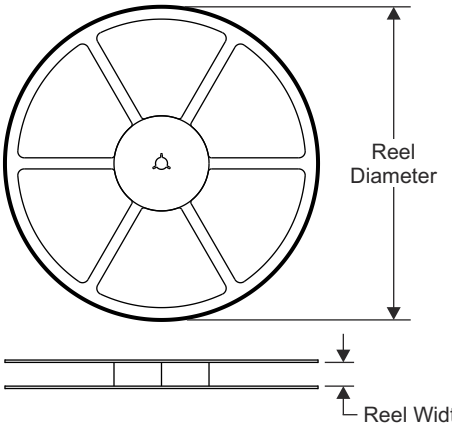
NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

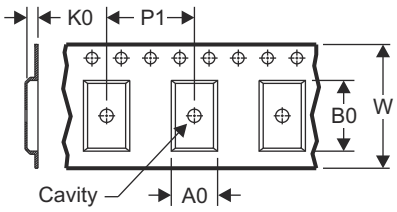
Copyright © 2026 Texas Instruments Incorporated

卷带包装信息

REEL DIMENSIONS

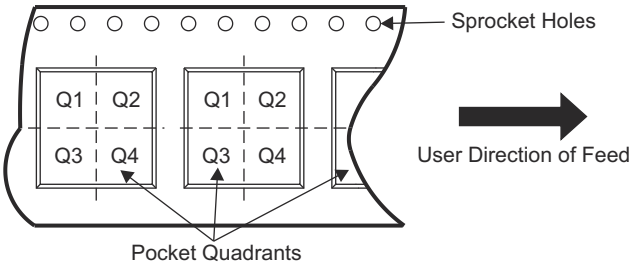


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



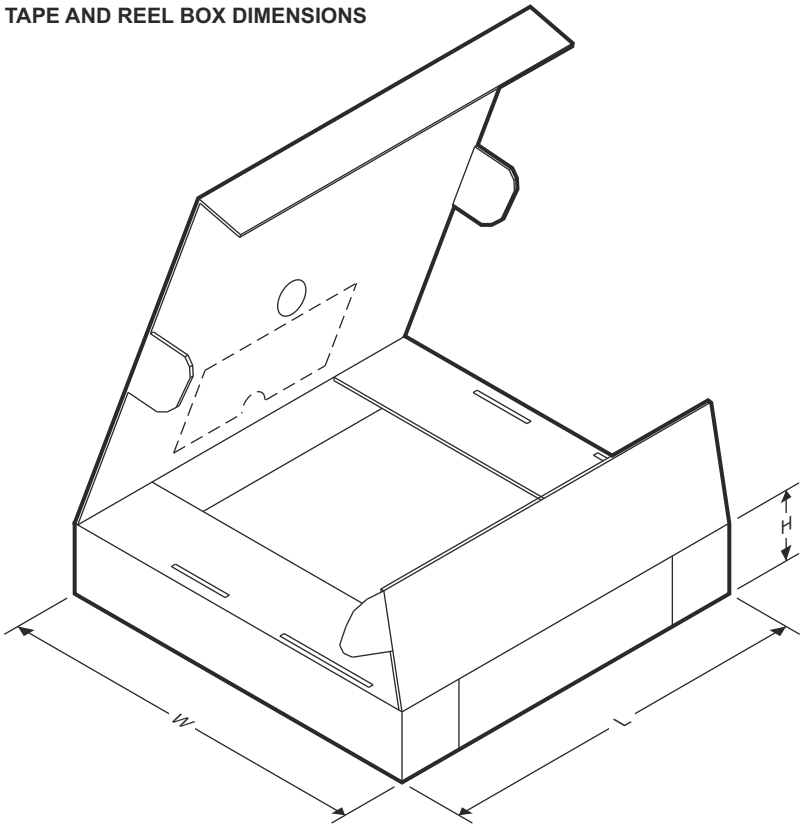
所有尺寸均为标称值。

器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
F28P558SG5PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P558SG3PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P558SG2PZRQ1	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P558SG5PNARQ1	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG3PNARQ1	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG2PNARQ1	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG5PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG3PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P558SG2PMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SD5PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P552SG4PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SG3PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SD3PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.0	24.0	32.0	Q2
F28P551SG5PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SD5PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P552SG4PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG3PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SD3PNR	LQFP	PN	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5PNAR	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P552SG4PNAR	LQFP	PNA	80	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5PMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SD5PMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F28P551SG5RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
F28P551SD5RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2

Copyright © 2026 Texas Instruments Incorporated

器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
F28P551SG5YAFR	WCSP	YAF	49	6000	330.0	12.4	7.3	7.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS

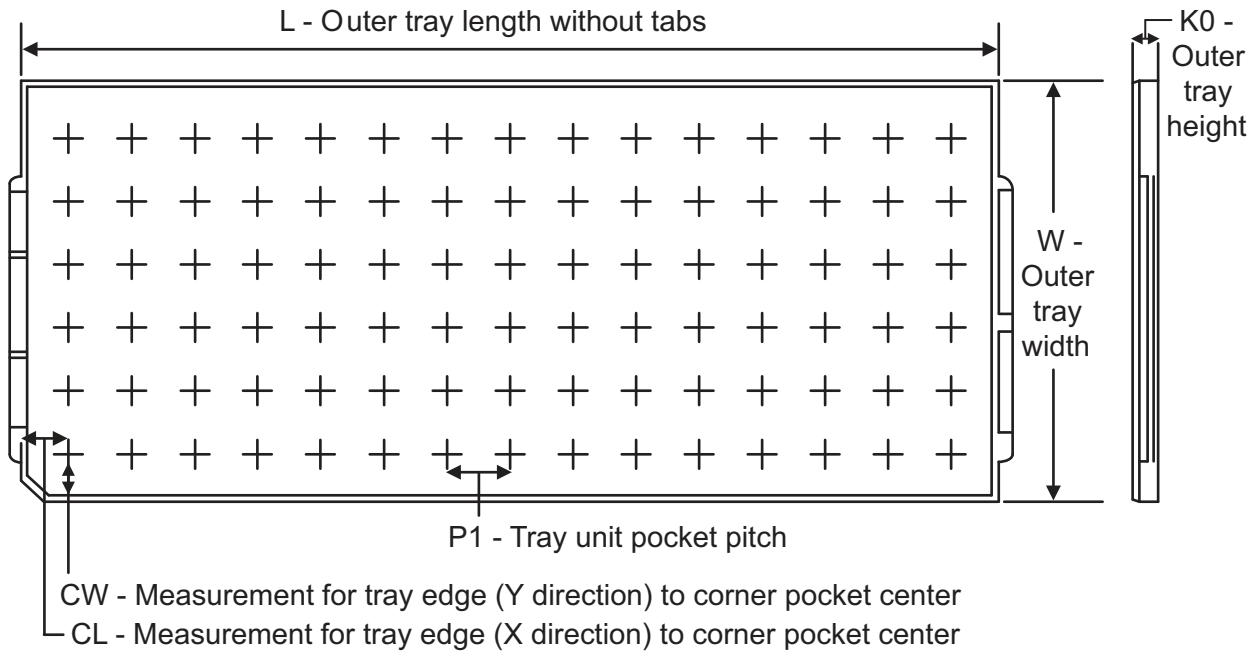


所有尺寸均为标称值。

器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
F28P558SG5PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P558SG2PZRQ1	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG5PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG5PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SG5PMR	LQFP	PM	64	1000	336.6	336.6	41.3
F28P551SG5RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0
F28P551SD5PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SD5PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SD5PMR	LQFP	PM	64	1000	336.6	336.6	41.3
F28P551SD5RSHR	VQFN	RSH	56	4000	367.0	367.0	35.0
F28P552SG4PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P552SG4PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SG3PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG3PNR	LQFP	PN	80	1000	336.6	336.6	41.3
F28P551SD3PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SD3PNR	LQFP	PN	80	1000	336.6	336.6	41.3

Copyright © 2026 Texas Instruments Incorporated

托盘



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

所有尺寸均为标称值。

器件	封装类型	封装名称	引脚	SPQ	器件阵列矩阵	最高温度（摄氏度）	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28P558SG5PZQ1	LQFP	PZ	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
F28P558SG5PNAQ1	LQFP	PNA	100	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
F28P558SG5PMQ1	LQFP	PM	100	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
XF28P551SG5PZ	LQFP	PZ	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4
XF28P551SG5PN	LQFP	PN	80	119	7 x 17	150	315	135.9	7620	17.9	14.3	13.95
XF28P551SG5PNA	LQFP	PNA	80	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
XF28P551SG5PM	LQFP	PM	64	160	8 x 20	150	315	135.9	7620	15.2	13.1	13
XF28P551SG5ZNG	VQFN	ZNG	32	490		150	315	135.9	7620			

Copyright © 2026 Texas Instruments Incorporated

封装选项附录

封装信息

可订购器件型号	状态(1)	材料类型(2)	封装 | 引脚	包装数量 | 包装	RoHS(3)	引脚镀层/焊球材料(4)	MSL 等级/回流焊峰值温度(5)	工作温度 (°C)	器件标识(6)
F28P558SG5PZRQ1	预览	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG5PZQ
F28P558SG5PZQ1	预览	量产	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG5PZQ
F28P558SG3PZRQ1	预览	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG3PZQ
F28P558SG2PZRQ1	预览	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG2PZQ
F28P558SG5PNARQ1	预览	量产	LQFP (PNA)| 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG5PNAQ
F28P558SG5PNAQ1	预览	量产	LQFP (PNA)| 80	160 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG5PNAQ
F28P558SG3PNARQ1	预览	量产	LQFP (PNA)| 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG3PNAQ
F28P558SG2PNARQ1	预览	量产	LQFP (PNA)| 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG2PNAQ
F28P558SG5PMRQ1	预览	量产	LQFP (PM) | 64	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG5PMQ
F28P558SG5PMQ1	预览	量产	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG5PMQ
F28P558SG3PMRQ1	预览	量产	LQFP (PM) | 64	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG3PMQ
F28P558SG2PMRQ1	预览	量产	LQFP (PM) | 64	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P558SG2PMQ
F28P551SG5PZ	有效	预量产	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PZ
F28P551SG5PZR	有效	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PZ
F28P552SG4PZR	预览	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P552SG4PZ
F28P552SG3PZR	预览	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P552SG3PZ
F28P551SD5PZR	预览	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SD5PZ

Copyright © 2026 Texas Instruments Incorporated

可订购器件型号	状态(1)	材料类型(2)	封装 | 引脚	包装数量 | 包装	RoHS(3)	引脚镀层/焊球材料(4)	MSL 等级/回流焊峰值温度(5)	工作温度 (°C)	器件标识(6)
F28P552SD3PZR	预览	量产	LQFP (PZ) | 100	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P552SD3PZ
XF28P551SG5PNR	有效	预量产	LQFP (PN) | 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PN
XF28P551SG5PN	有效	预量产	LQFP (PN) | 80	90 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PN
F28P551SG5PNR	预览	量产	LQFP (PN) | 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PN
F28P551SG5PN	预览	预量产	LQFP (PN) | 80	90 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PN
F28P552SG4PNR	预览	量产	LQFP (PN) | 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P552SG4PN
F28P552SG3PNR	预览	量产	LQFP (PN) | 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P552SG3PN
F28P551SD5PNR	预览	量产	LQFP (PN) | 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SD5PN
F28P552SD3PNR	预览	量产	LQFP (PN) | 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P552SD3PN
XF28P551SG5PNAR	有效	预量产	LQFP (PNA)| 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PNA
XF28P551SG5PNA	有效	预量产	LQFP (PNA)| 80	160 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PNA
F28P551SG5PNAR	预览	量产	LQFP (PNA)| 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PNA
F28P551SG5PNA	预览	预量产	LQFP (PNA)| 80	160 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PNA
F28P552SG4PNAR	预览	量产	LQFP (PNA)| 80	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P552SG4PNA
XF28P551SG5PMR	有效	量产	LQFP (PM) | 64	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PM
XF28P551SG5PM	有效	预量产	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PM
F28P551SG5PMR	预览	量产	LQFP (PM) | 64	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PM
F28P551SG5PM	预览	量产	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5PM
F28P551SD5PMR	预览	量产	LQFP (PM) | 64	1000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SD5PM

Copyright © 2026 Texas Instruments Incorporated

可订购器件型号	状态(1)	材料类型(2)	封装 | 引脚	包装数量 | 包装	RoHS(3)	引脚镀层/焊球材料(4)	MSL 等级/回流焊峰值温度(5)	工作温度 (°C)	器件标识(6)
XF28P551SG5RSHR	有效	预量产	VQFN (RSH)| 56	4000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5RSH
F28P551SG5RSHR	预览	量产	VQFN (RSH)| 56	4000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5RSH
F28P551SD5RSHR	预览	量产	VQFN (RSH)| 56	4000 | LARGE T&R	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SD5RSH
XF28P551SG5YAFR	有效	预量产	WCSP (YAF)| 49	3000 | LARGE T&R	是	NIPDAU	Level-1-260C-UNLIM	-40 至 125	F28P551SG5YAF
F28P551SG5YAFR	预览	量产	WCSP (YAF)| 49	3000 | LARGE T&R	是	NIPDAU	Level-1-260C-UNLIM	-40 至 125	F28P551SG5YAF
XF28P551SG5ZNG	预览	预量产	VQFN (ZNG)| 32	490 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5ZNG
F28P551SG5ZNG	预览	量产	VQFN (ZNG)| 32	490 | JEDEC TRAY (10+1)	是	NIPDAU	Level-3-260C-168 HR	-40 至 125	F28P551SG5ZNG

(1) **状态：**有关状态的详细信息，请参阅我们的 产品生命周期。
(2) **材料类型：**指定时，预量产器件是原型/试验器件，尚未获批或发布以进行全面生产。测试和最终工艺（包括但不限于质量保证、可靠性测试以及/或工艺鉴定）可能尚未完成，并且本器件可能会进一步更改，也可能中断研发。即使可供订购，所购器件仍将可能在结算时被取消，并且所购器件仅可用于早期内部评估。这些器件一经售出，概不提供任何保修。
(3) **RoHS 值：**是、否、RoHS 豁免。有关更多信息和值定义，请参阅“TI RoHS 声明”。
(4) **引脚镀层/焊球材料：**器件可能有多种材料镀层选项。各镀层选项用垂直线隔开。如果铅镀层/焊球值超出最大列宽，则会折为两行。
(5) **MSL 等级/回流焊峰值温度：**湿敏等级等级和峰值焊接（回流焊）温度。如果器件具有多个湿敏等级，则仅显示符合 JEDEC 标准的最低等级。有关将器件安装到印刷电路板上时采用的实际回流焊温度，请参阅装运标签。
(6) **器件标识：**器件上可能还有与徽标、批次跟踪代码信息或环境分类相关的其他标识。
如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

重要信息和免责声明：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P551SD5PMR	Active	Production	null (null) |	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	SD5PM F28P551
F28P551SG5PM	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	SG5PM F28P551
F28P551SG5PMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	SG5PM F28P551
F28P551SG5PN	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	SG5PN F28P551
F28P551SG5PNR	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	SG5PN F28P551
F28P551SG5PZ	Active	Production	LQFP (PZ) | 100	90 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-	F28P551 SG5PZ
F28P551SG5PZR	Active	Production	LQFP (PZ) | 100	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	F28P551 SG5PZ
F28P551SG5RSHR	Active	Production	VQFN (RSH) | 56	4000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-	F28P551 SG5RSH
F28P551SG5YAFR	Active	Production	DSBGA (YAF) | 49	6000 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-	F28P551SG5

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

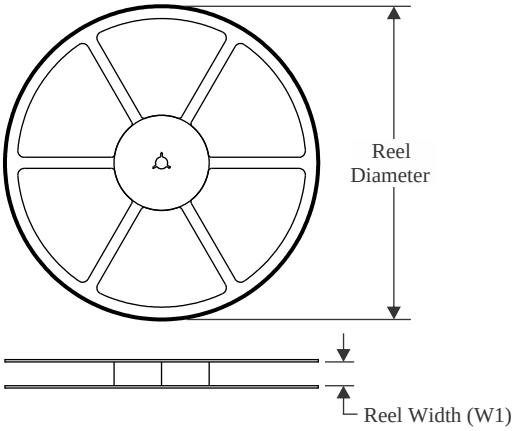
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

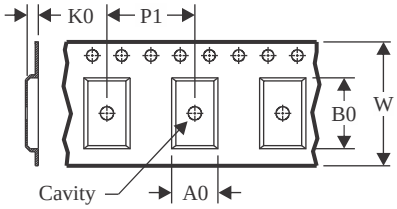
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

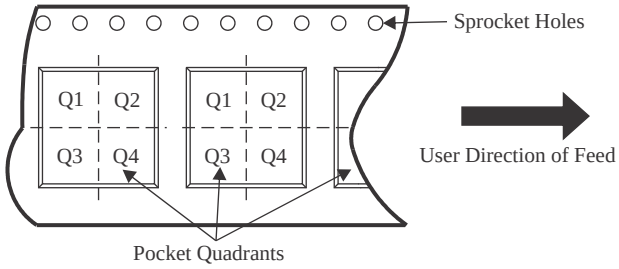


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

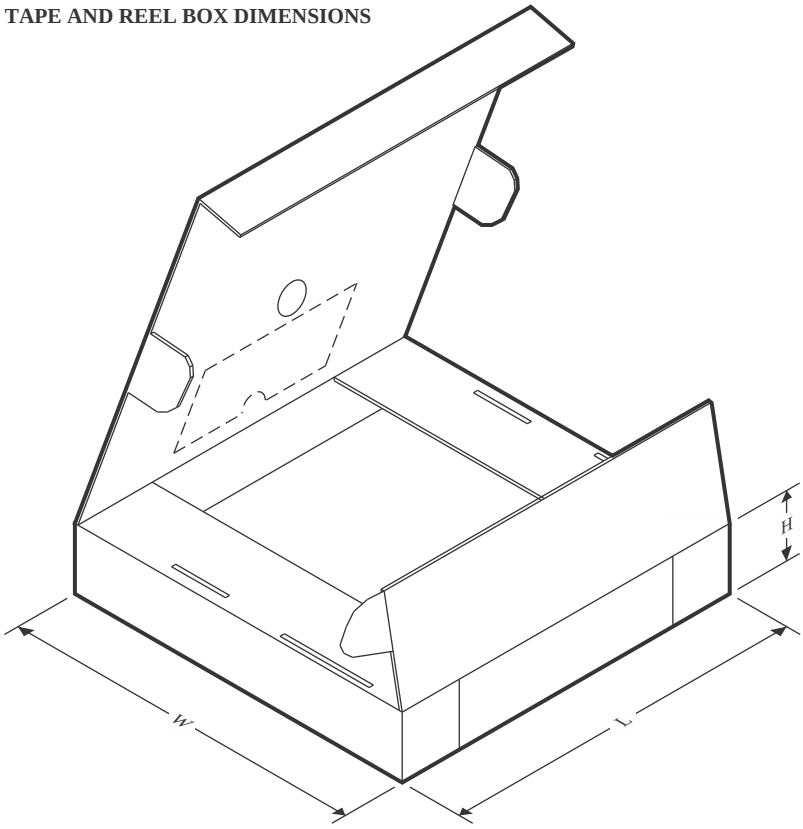
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28P551SG5PMR	LQFP	PM	64	1000	330.0	24.4	12.5	12.5	2.2	16.0	24.0	Q2
F28P551SG5PNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F28P551SG5PZR	LQFP	PZ	100	1000	330.0	32.4	16.9	16.9	2.1	24.0	32.0	Q2
F28P551SG5RSHR	VQFN	RSH	56	4000	330.0	16.4	7.3	7.3	1.1	12.0	16.0	Q2
F28P551SG5YAFR	DSBGA	YAF	49	6000	330.0	12.4	3.64	3.64	0.75	8.0	12.0	Q1

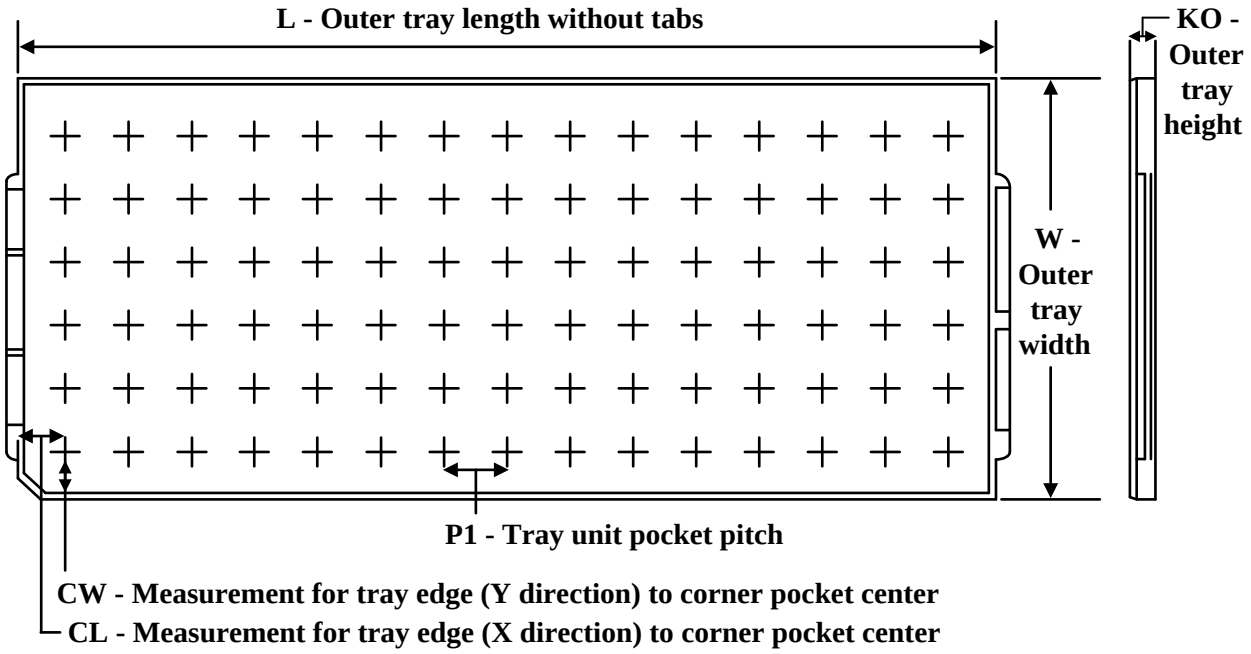
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28P551SG5PMR	LQFP	PM	64	1000	336.6	336.6	41.3
F28P551SG5PNR	LQFP	PN	80	1000	367.0	367.0	55.0
F28P551SG5PZR	LQFP	PZ	100	1000	367.0	367.0	55.0
F28P551SG5RSHR	VQFN	RSH	56	4000	360.0	360.0	36.0
F28P551SG5YAFR	DSBGA	YAF	49	6000	335.0	335.0	25.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

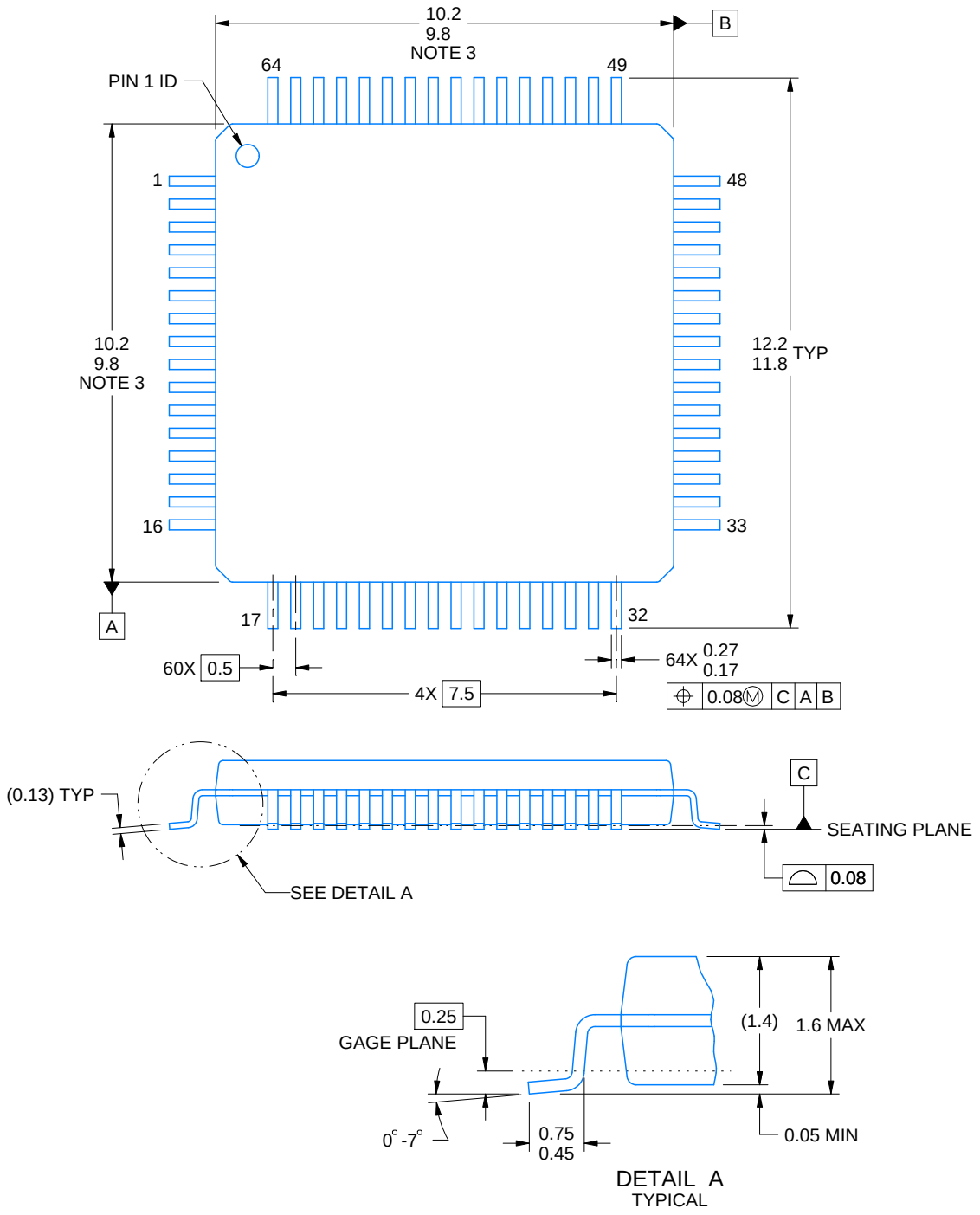
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28P551SG5PM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F28P551SG5PN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F28P551SG5PZ	PZ	LQFP	100	90	6 x 15	150	315	135.9	7620	20.3	15.4	15.4

PACKAGE OUTLINE

PM0064A

LQFP - 1.6 mm max height

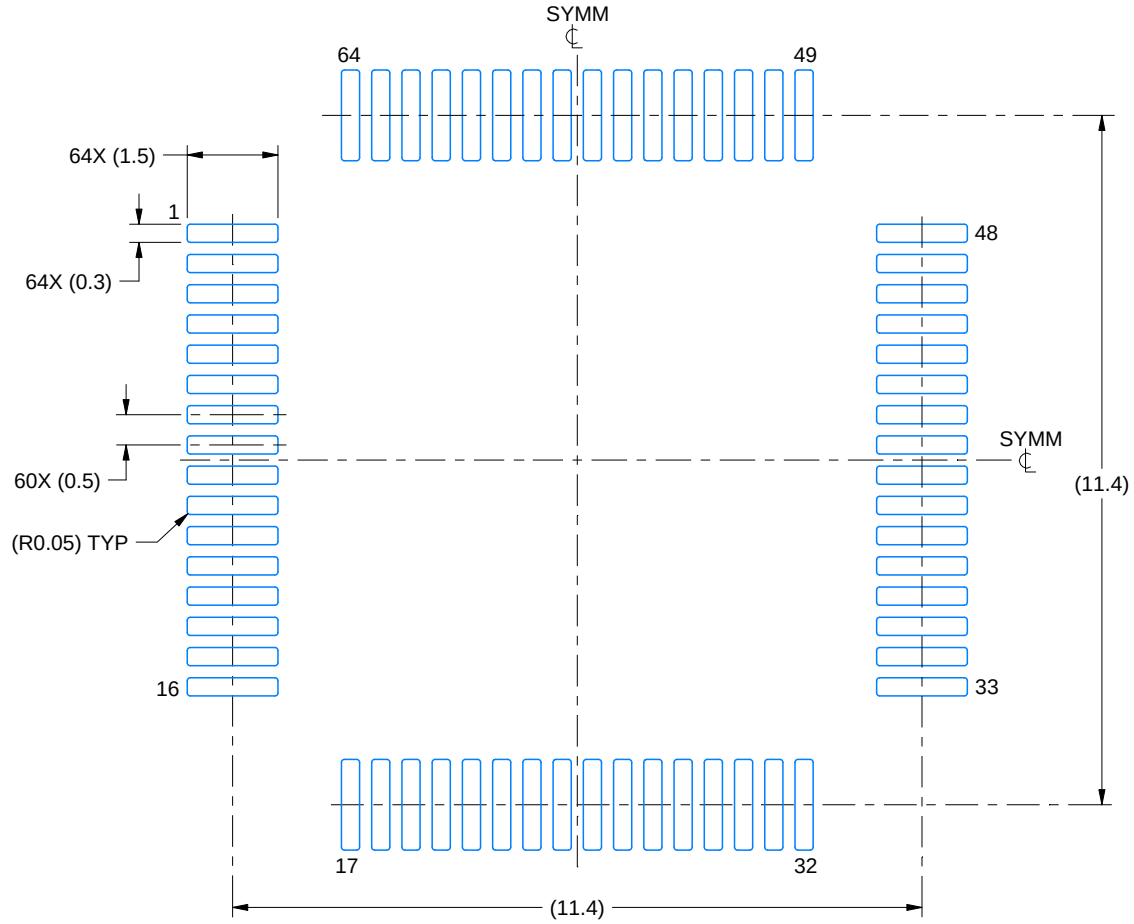
PLASTIC QUAD FLATPACK



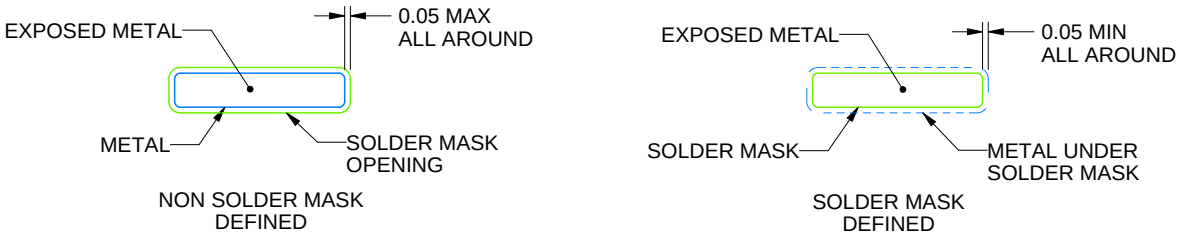
4215162/A 03/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

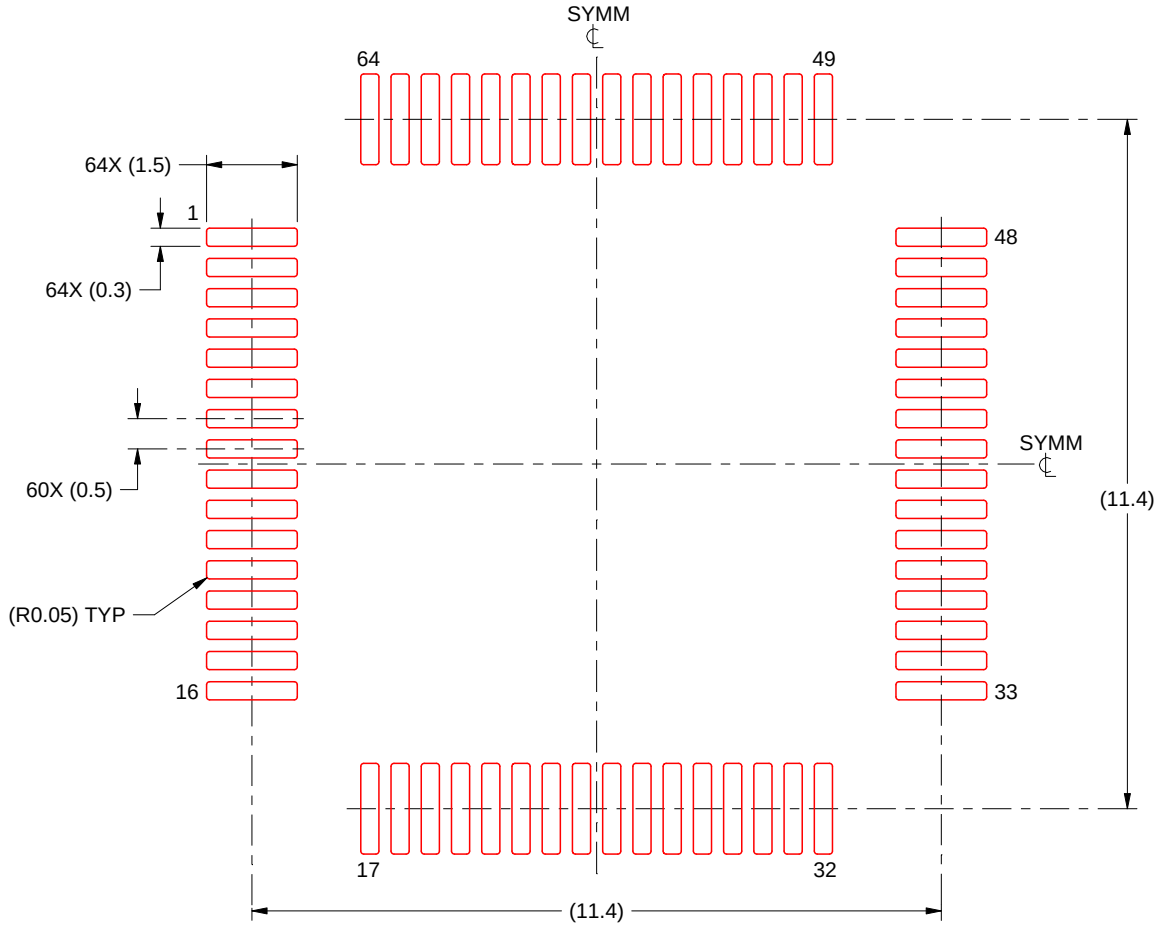


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

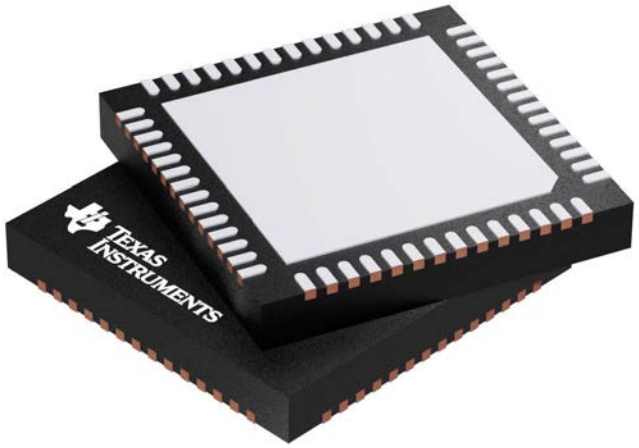
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

RSH 56

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

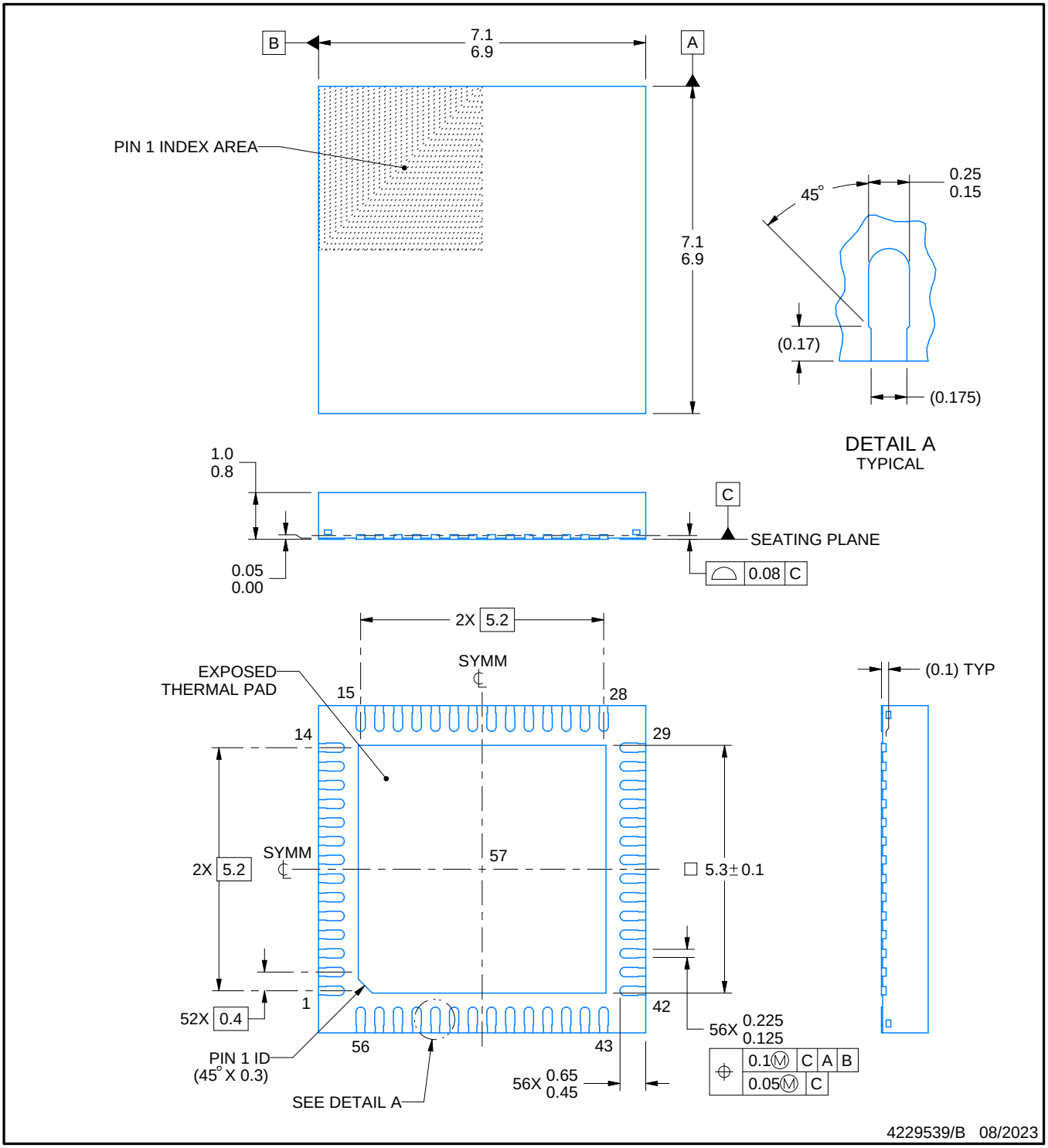
4207513/D

RSH0056G

PACKAGE OUTLINE

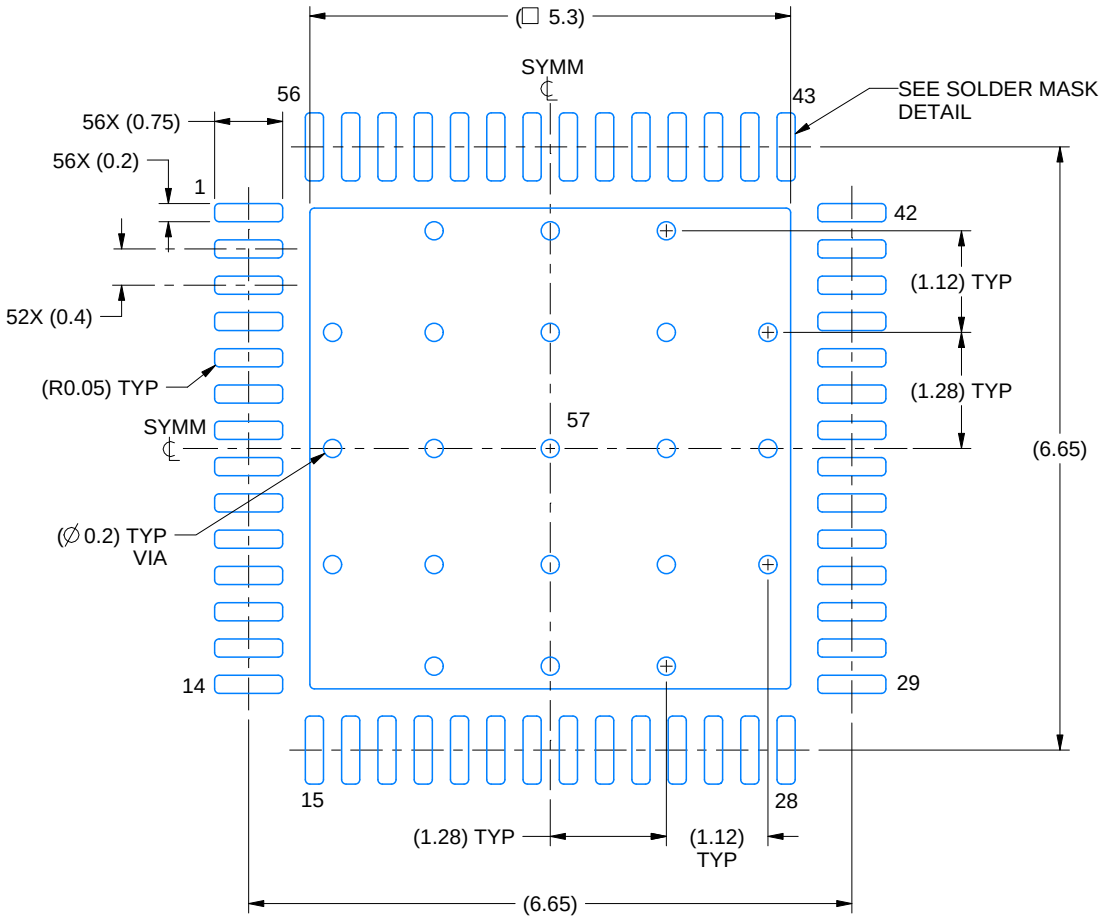
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

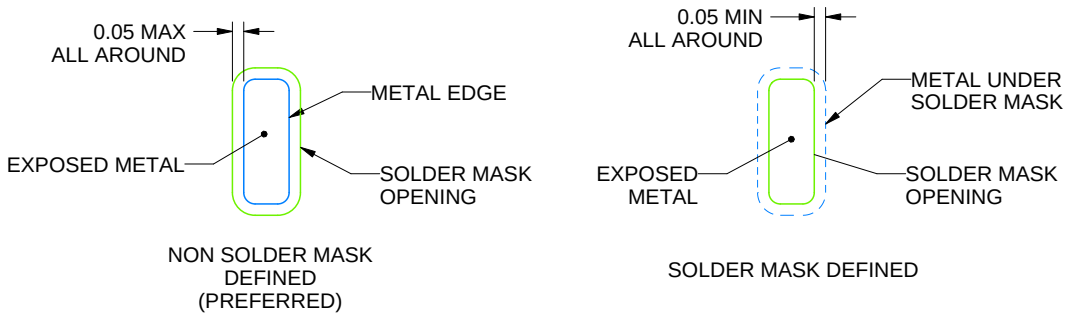


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

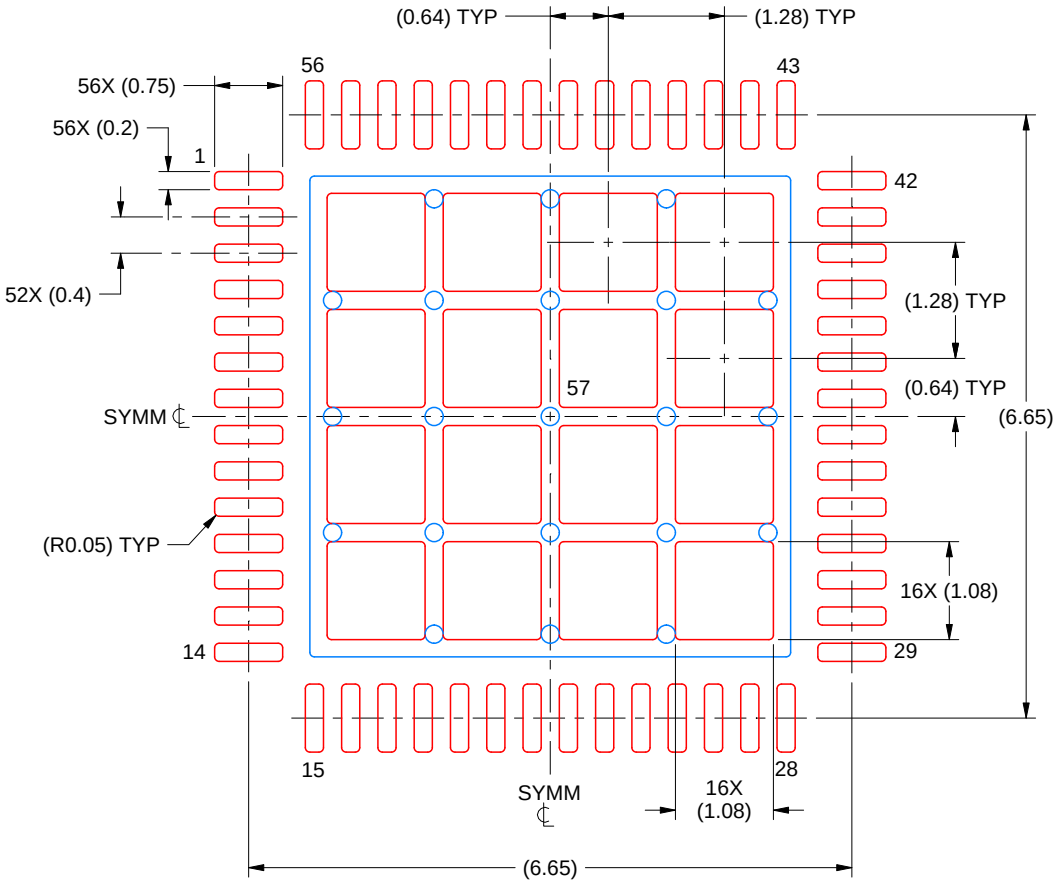


SOLDER MASK DETAILS

4229539/B 08/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.100 MM THICK STENCIL
SCALE: 12X

EXPOSED PAD 57
66% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229539/B 08/2023

NOTES: (continued)

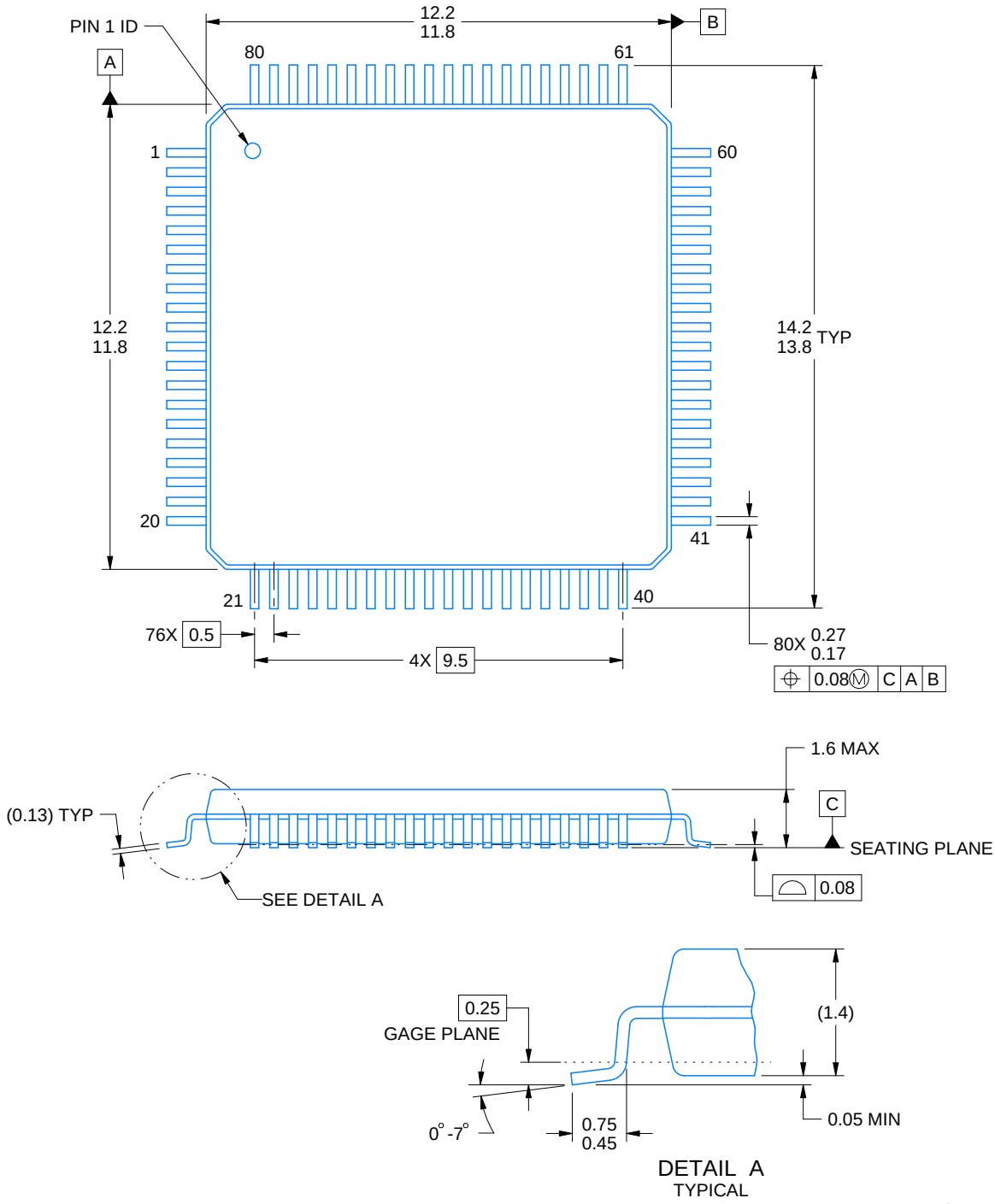
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PN0080A

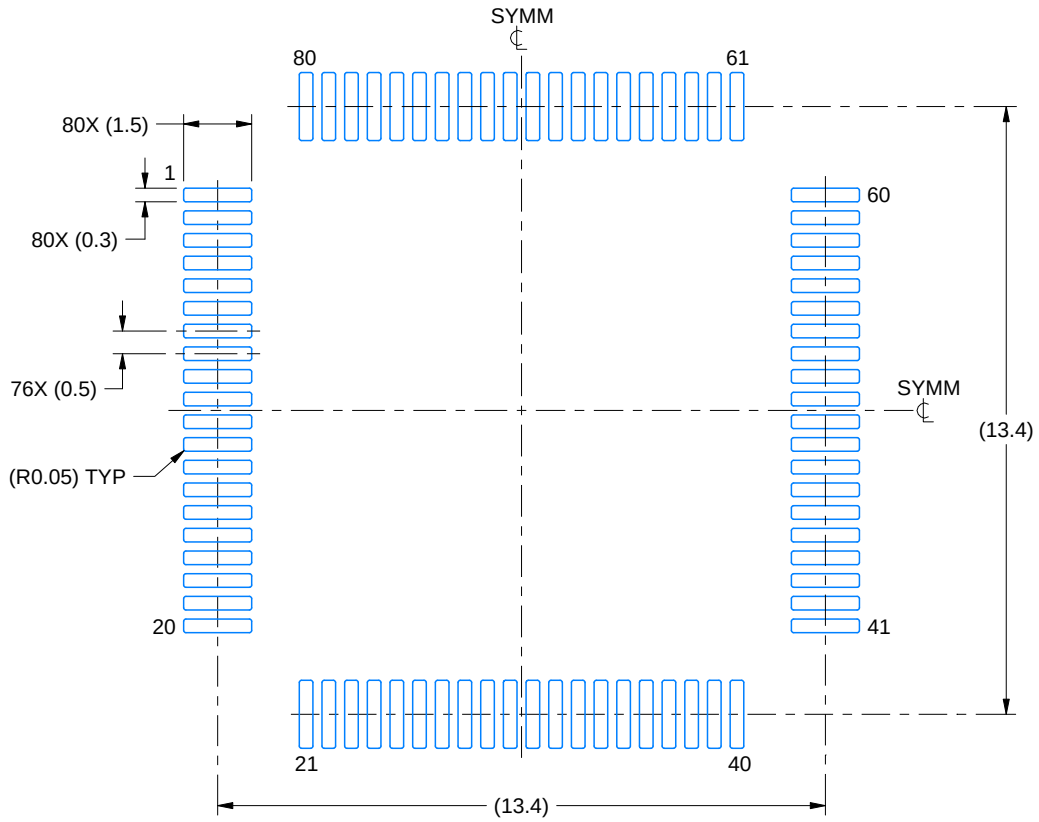
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

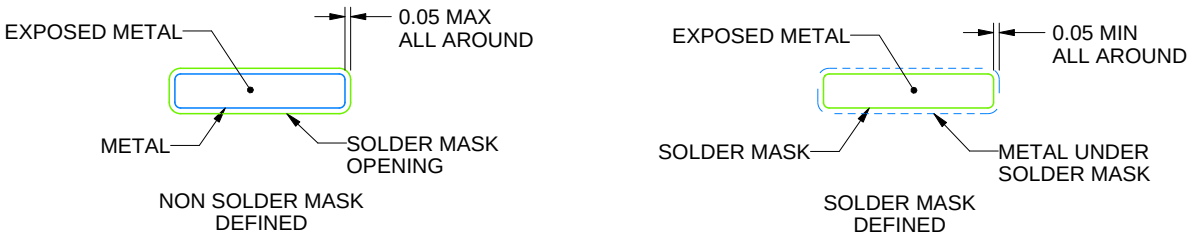


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

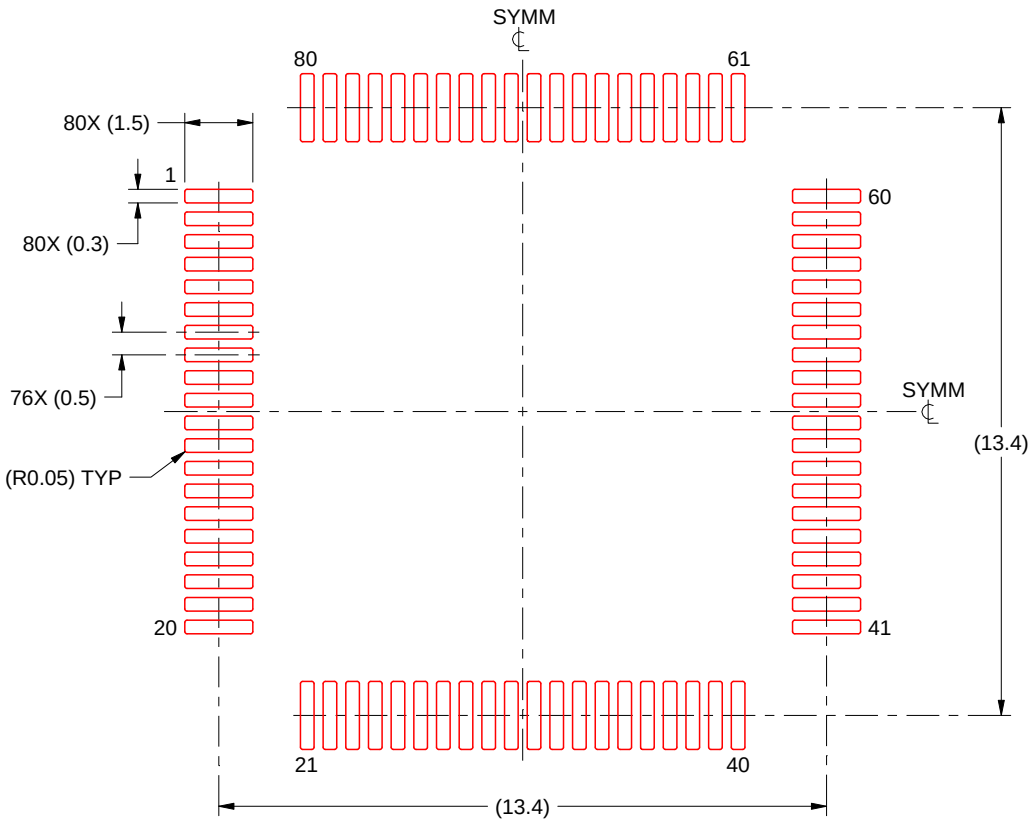


SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215166/A 08/2022

NOTES: (continued)

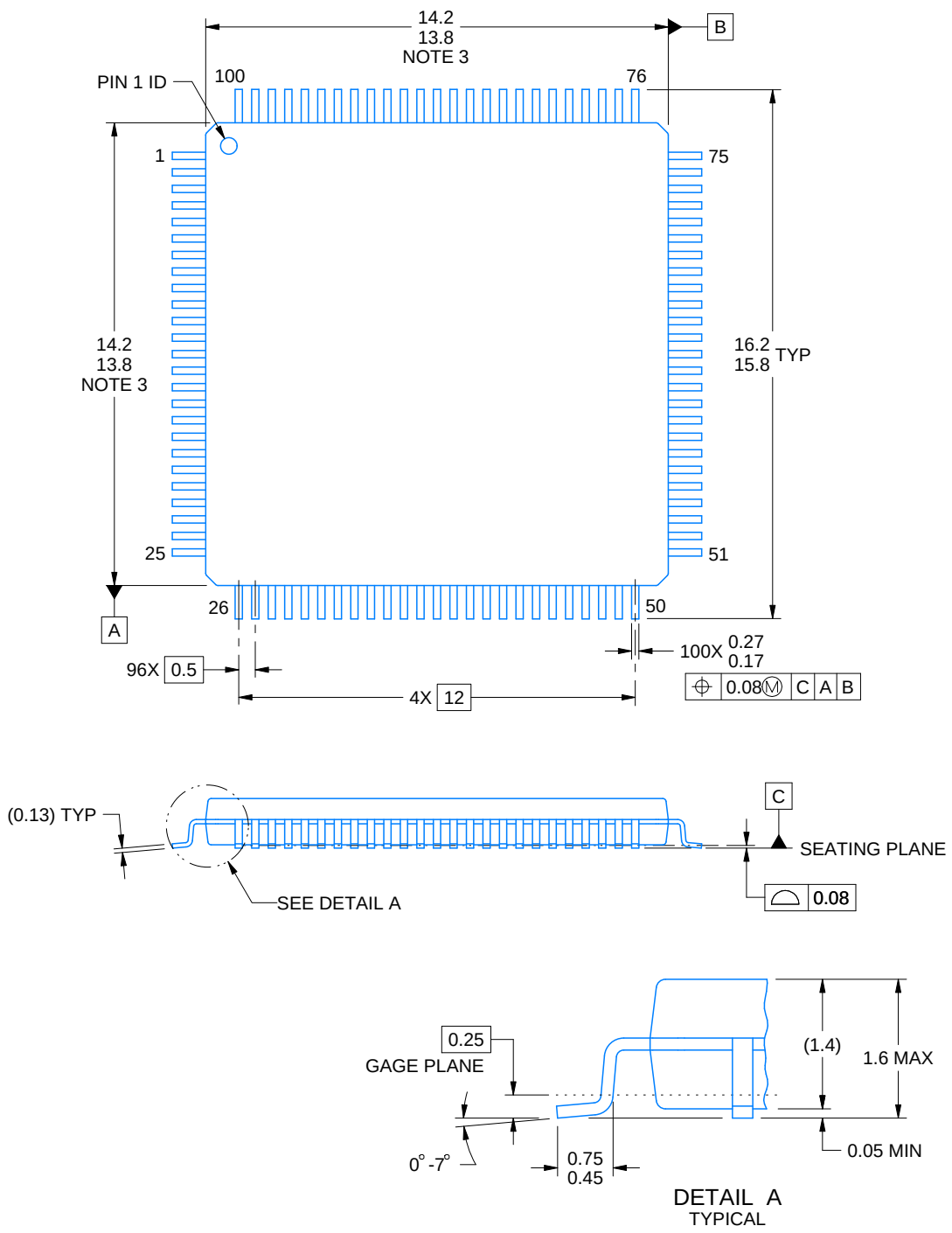
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PZ0100A

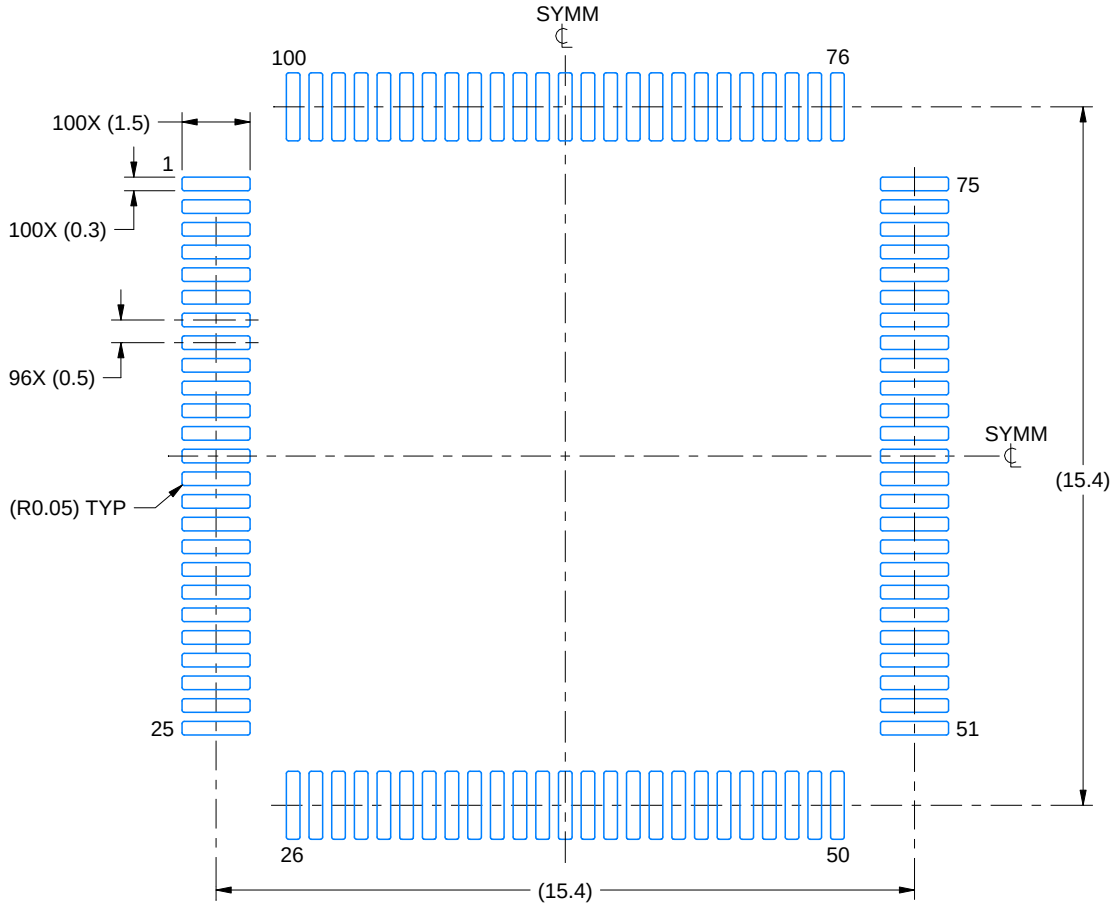
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK

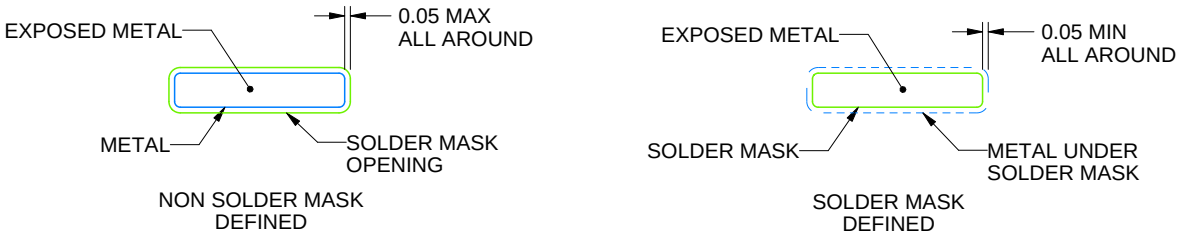


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

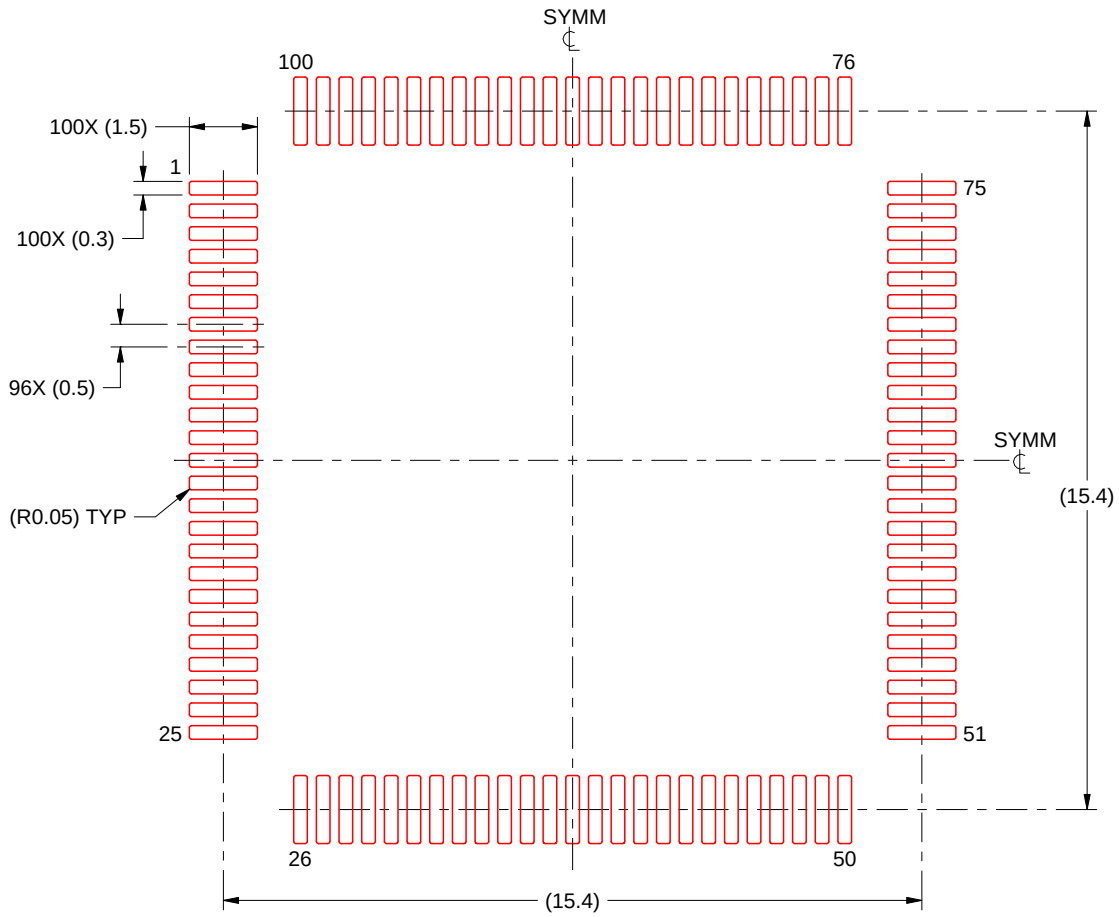


SOLDER MASK DETAILS

4215169/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4215169/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月