TEXAS INSTRUMENTS
TLV9304-Q1
ZHCSWK2 – JUNE 2024

TLV930x-Q1 适用于成本敏感型系统的 40V、1MHz、RRO 运算放大器

1 特性

- 低失调电压：±0.5mV
- 低失调电压漂移：±2μV/°C
- 低噪声：1kHz 时为 33nV/ √Hz
- 高共模抑制：110dB
- 低偏置电流：±10pA
- 轨到轨输出
- 高带宽：1MHz GBW
- 高压摆率：3V/μs
- 低静态电流：每个放大器 150μA
- 宽电源电压：±2.25V 至 ±20V，4.5V 至 40V
- 强大的 EMI 性能：1GHz 时为 72dB
- 支持多路复用器/比较器的输入：
  - 高达电源轨电压的差分和共模输入电压范围
- 业界通用封装：
  - SOT-23-5 和 SC70 单体封装
  - SOIC-8、TSSOP-8 和 VSSOP-8 双列封装
  - 四通道电源版本采用 SOIC-14 和 TSSOP-14 封装

2 应用

- 商用网络和服务器 PSU
- 工业交流/直流
- 商用直流/直流
- 电机驱动器：交流和伺服驱动器电源
- 楼宇自动化

3 说明

TLV930x-Q1 系列（TLV9301-Q1、TLV9302-Q1 和 TLV9304-Q1）是 40V 成本优化型运算放大器系列。这些器件具有出色的通用直流和交流规格，包括轨到轨输出、低失调电压（典型值为 ±0.5mV）、低温漂（典型值为 ±2μV/°C）和 1MHz 带宽。

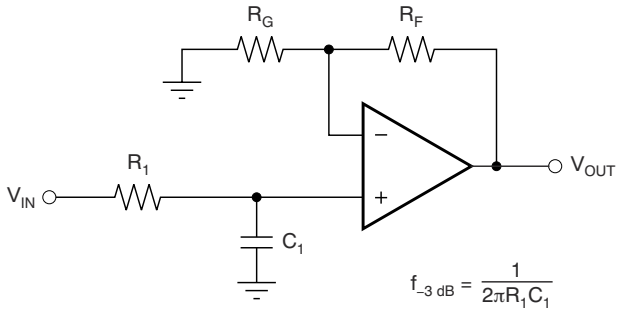
宽差分输入电压范围、高输出电流 (±60mA) 以及高压摆率 (3V/μs) 等便利特性使 TLV930x-Q1 成为一款适用于高电压成本敏感型应用的强大运算放大器。

TLV930x-Q1 系列运算放大器采用标准封装，额定工作温度范围为 -40°C 至 125°C。

器件信息

器件型号(1)	通道数	封装	封装尺寸(2)
TLV9301-Q1(4)	单通道	DBV（SOT-23，5）(3)	2.9mm × 2.8mm
		DCK（SC70，5）(3)	2mm × 2.1mm
TLV9302-Q1(4)	双通道	D（SOIC，8）(3)	4.9mm × 6mm
		PW（TSSOP，8）(3)	3mm × 6.4mm
TLV9304-Q1	四通道	D（SOIC，14）(3)	8.65mm × 6mm
		PW（TSSOP，14）	5mm × 6.4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 此封装仅为预发布状态。
(4) 此器件仅为预发布状态。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

TLV930x-Q1 应用于单极低通滤波器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 四通道器件的热性能信息.....6
5.5 电气特性.....7
5.6 典型特性.....9
6 详细说明.....16
6.1 概述.....16
6.2 功能方框图.....16
6.3 特性说明.....17
6.4 器件功能模式.....24
7 应用和实施.....25
7.1 应用信息.....25
7.2 典型应用.....25
7.3 电源相关建议.....26
7.4 布局.....26
8 器件和文档支持.....29
8.1 器件支持.....29
8.2 文档支持.....29
8.3 接收文档更新通知.....29
8.4 支持资源.....29
8.5 商标.....29
8.6 静电放电警告.....29
8.7 术语表.....29
9 修订历史记录.....30
10 机械、封装和可订购信息.....30

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

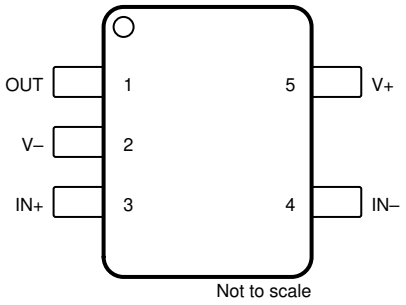


图 4-1. TLV9301-Q1 DBV 封装
5 引脚 SOT-23(1)
顶视图

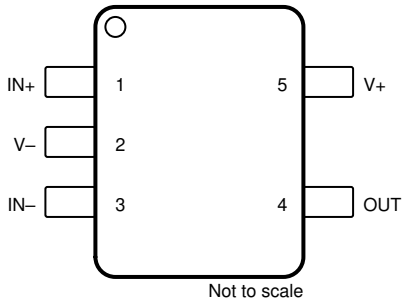


图 4-2. TLV9301-Q1 DCK 封装
5 引脚 SC70(2)
顶视图

表 4-1. 引脚功能：TLV9301-Q1

引脚			I/O	说明
名称	DBV	DCK		
+IN	3	1	I	同相输入
–IN	4	3	I	反相输入
OUT	1	4	O	输出
V+	5	5	—	正（最高）电源
V–	2	2	—	负（最低）电源

(1) DBV (SOT-23) 封装仅为预发布状态。
(2) DCK (SC70) 封装仅为预发布状态。

Copyright © 2024 Texas Instruments Incorporated

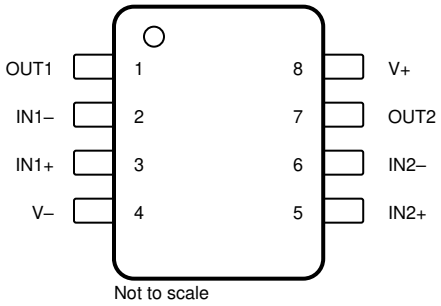


图 4-3. TLV9302-Q1 D 和 PW 封装
8 引脚 SOIC 和 TSSOP(1)
顶视图

表 4-2. 引脚功能：TLV9302-Q1

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V+	8	—	正（最高）电源
V–	4	—	负（最低）电源

(1) D (SOIC) 和 PW (TSSOP) 封装仅为预发布状态。

Copyright © 2024 Texas Instruments Incorporated

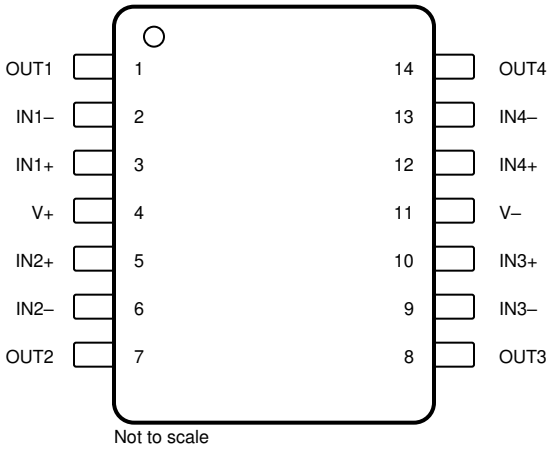


图 4-4. TLV9304-Q1 D 和 PW 封装
14 引脚 SOIC 和 TSSOP(1)
顶视图

表 4-3. 引脚功能：TLV9304-Q1

引脚		I/O	说明
名称	编号		
+IN A	3	I	同相输入，通道 A
+IN B	5	I	同相输入，通道 B
+IN C	10	I	同相输入，通道 C
+IN D	12	I	同相输入，通道 D
–IN A	2	I	反相输入，通道 A
–IN B	6	I	反相输入，通道 B
–IN C	9	I	反相输入，通道 C
–IN D	13	I	反相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	8	O	输出，通道 C
OUT D	14	O	输出，通道 D
V+	4	—	正（最高）电源
V–	11	—	负（最低）电源

(1) D (SOIC) 封装仅为预发布版本。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	42	V
信号输入引脚	共模电压(3)	(V–) – 0.5	(V+) + 0.5	V
	差分电压(3)		V_S + 0.2	V
	电流(3)	-10	10	mA
输出短路(2)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议工作条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC 规范 JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	4.5	40	V
V_I	输入电压范围	(V–) – 0.1	(V+) – 2	V
T_A	额定温度	-40	125	°C

5.4 四通道器件的热性能信息

热指标(1)		TLV9304-Q1		单位
		D (SOIC)(2)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	105.5	134.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	61.4	55.4	°C/W
$R_{\theta JB}$	结至电路板热阻	61.0	79.2	°C/W
ψ_{JT}	结至顶部特征参数	21.6	9.3	°C/W
ψ_{JB}	结至电路板特征参数	60.3	78.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。
(2) 该封装选项是 TLV9304-Q1 的预发布版本。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

V_S = (V+) – (V–) = 4.5V 至 40V（±2.25V 至 ±20V），T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2 且 V_{OUT} = V_S/2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = V–			±0.5	±2.5	mV
			T_A = -40°C 至 125°C			±2.75	
dV_{OS}/dT	输入失调电压温漂		T_A = -40°C 至 125°C		±2		μV/℃
PSRR	输入失调电压与电源间的关系	V_{CM} = V–	T_A = -40°C 至 125°C		±2	±5	μV/V
	通道隔离	f = 0Hz			5		μV/V
输入偏置电流							
I_B	输入偏置电流				±10		pA
I_{OS}	输入失调电流				±10		pA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			6		μV_{PP}
					1		μV_{RMS}
e_N	输入电压噪声密度	f = 1kHz			33		nV/√Hz
		f = 10kHz			30		
i_N	输入电流噪声	f = 1kHz			5		fA/√Hz
输入电压范围							
V_{CM}	共模电压范围			(V–) – 0.2		(V+) – 2	V
CMRR	共模抑制比	V_S = 40V，(V–) – 0.1V < V_{CM} < (V+) – 2V	T_A = -40°C 至 125°C	95	110		dB
		V_S = 4.5V，(V–) – 0.1V < V_{CM} < (V+) – 2V			90		
		(V+) – 2V < V_{CM} < (V+) + 0.1V		请参阅*共模电压范围*			
输入电容							
Z_{ID}	差分				110 || 4		MΩ || pF
Z_{ICM}	共模				6 || 1.5		TΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 40V，V_{CM} = V– (V–) + 0.1V < V_O < (V+) – 0.1V		120	130		dB
			T_A = -40°C 至 125°C	116	127		
频率响应							
GBW	增益带宽积				1		MHz
SR	压摆率	V_S = 40V，G = +1，C_L = 20pF			3		V/μs
t_S	稳定时间	精度达到 0.1%，V_S = 40V，V_{STEP} = 10V，G = +1，CL = 20pF			5		μs
		精度达到 0.1%，V_S = 40V，V_{STEP} = 2V，G = +1，CL = 20pF			2.5		
		精度达到 0.01%，V_S = 40V，V_{STEP} = 10V，G = +1，CL = 20pF			6		
		精度达到 0.01%，V_S = 40V，V_{STEP} = 2V，G = +1，CL = 20pF			3.5		
	相位裕度	G = +1，R_L = 10kΩ，C_L = 20pF			60		°
	过载恢复时间	V_{IN} × 增益 > V_S			1		μs
THD+N	总谐波失真 + 噪声	V_S = 40V，V_O = $1V_{RMS}$，G = -1，f = 1kHz			0.003%		

Copyright © 2024 Texas Instruments Incorporated

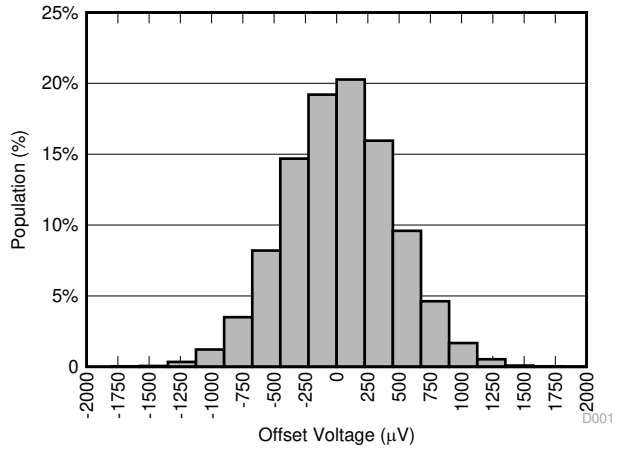
V_S = (V+) – (V–) = 4.5V 至 40V（±2.25V 至 ±20V），T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2 且 V_{OUT} = V_S/2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
输出							
	相对于电源轨的电压输出摆幅	正负电源轨余量	V_S = 40V，R_L = 空载		3		mV
			V_S = 40V，R_L = 10kΩ		50	75	
			V_S = 40V，R_L = 2kΩ		250	350	
			V_S = 4.5V，R_L = 空载		1		
			V_S = 4.5V，R_L = 10kΩ		20	30	
			V_S = 4.5V，R_L = 2kΩ		40	75	
I_{SC}	短路电流				±60		mA
C_{LOAD}	容性负载驱动				请参阅*典型特性*		
Z_O	开环输出阻抗	f = 1MHz，I_O = 0A			600		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0A			150	175	μA
			T_A = -40°C 至 125°C			175	

Copyright © 2024 Texas Instruments Incorporated

5.6 典型特性

T_A = 25°C，V_S = ±20V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



T_A = 25°C

图 5-1. 失调电压产生分布

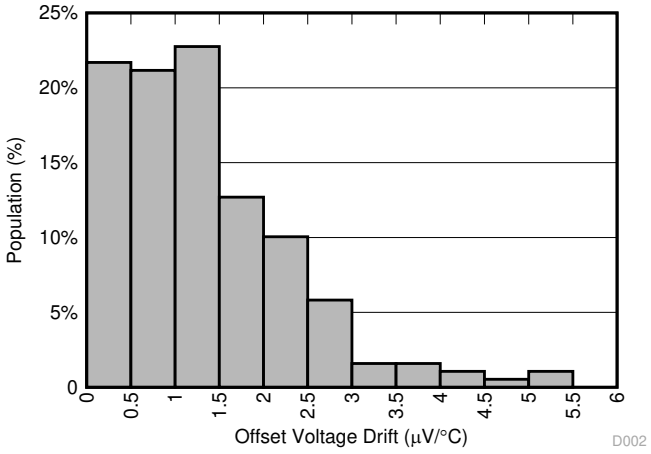
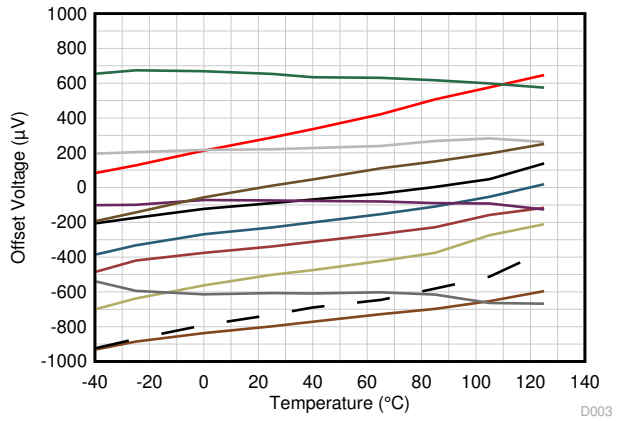
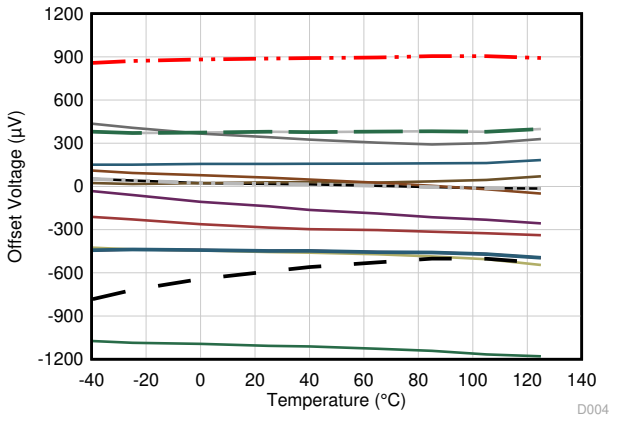


图 5-2. 失调电压漂移分配



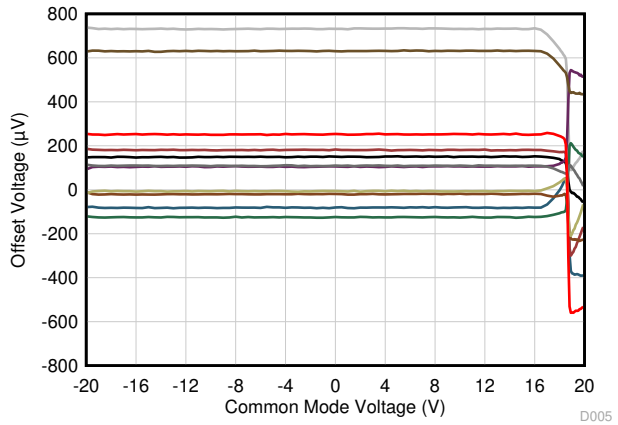
V_{CM} = V+

图 5-3. 失调电压与温度间的关系



V_{CM} = V –

图 5-4. 失调电压与温度间的关系



T_A = 25°C

图 5-5. 失调电压与共模电压间的关系

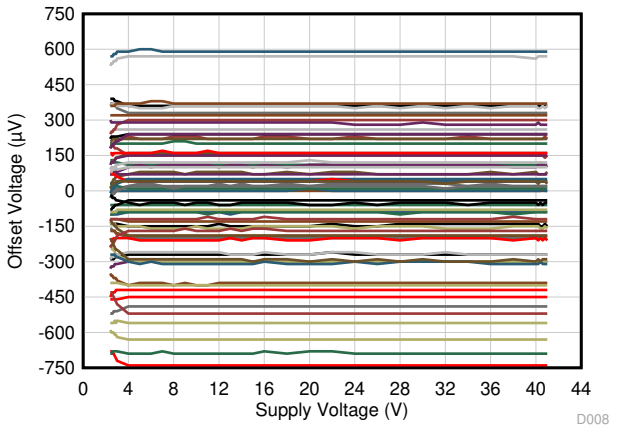


图 5-6. 失调电压与电源间的关系

Copyright © 2024 Texas Instruments Incorporated

5.6 典型特性（续）

T_A = 25°C，V_S = ±20V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）

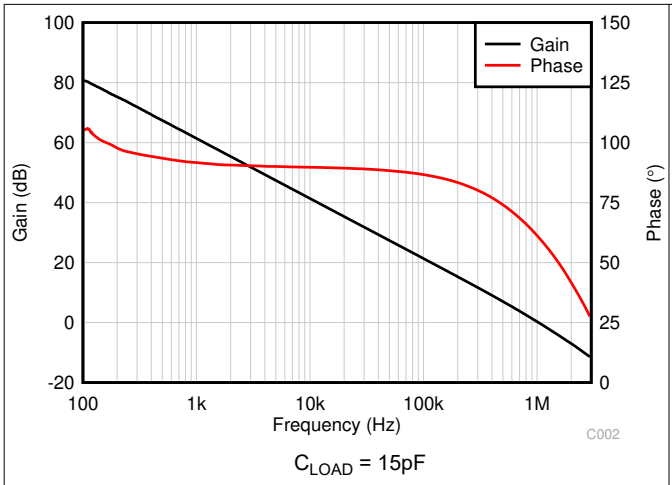


图 5-7. 开环增益和相位与频率间的关系

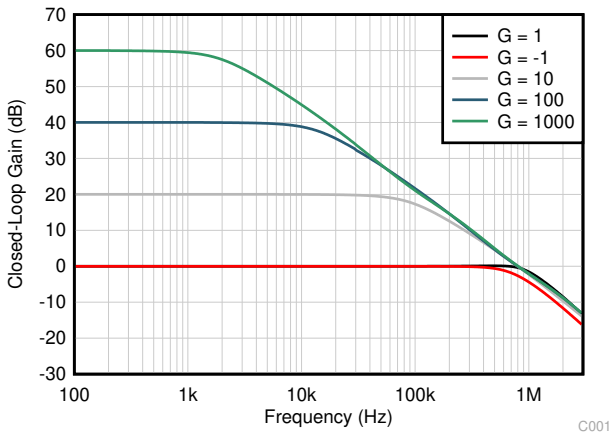


图 5-8. 闭环增益和相位与频率间的关系

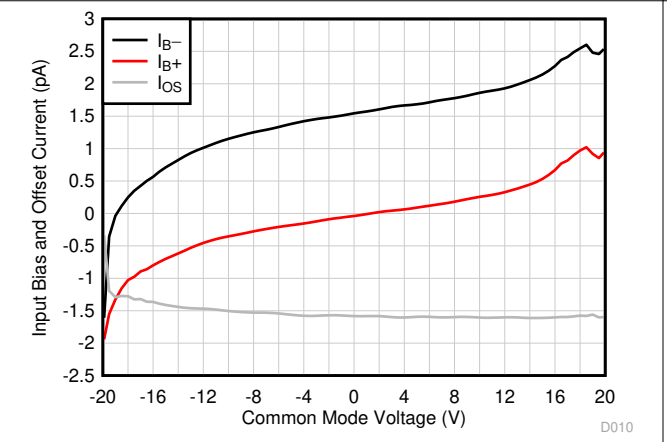


图 5-9. 输入偏置电流与共模电压间的关系

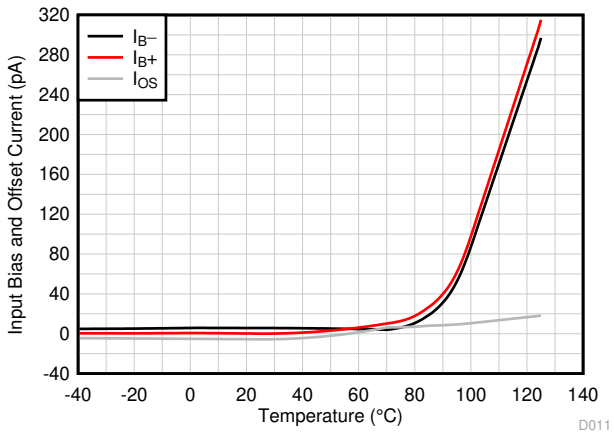


图 5-10. 输入偏置电流与温度间的关系

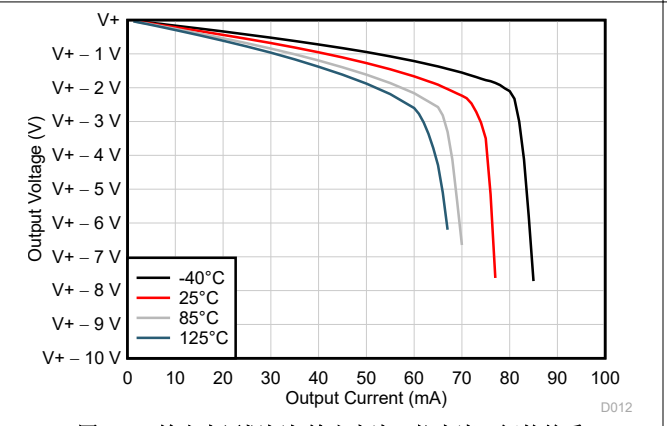


图 5-11. 输出电压摆幅与输出电流（拉电流）间的关系

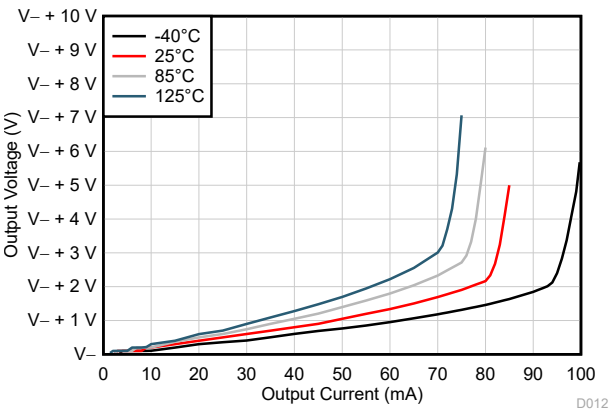
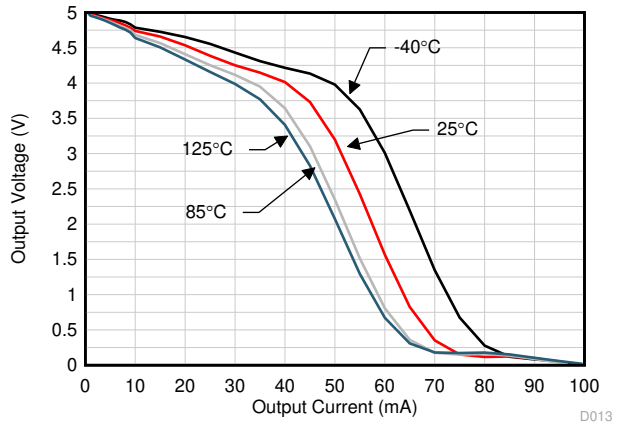


图 5-12. 输出电压摆幅与输出电流（灌电流）间的关系

Copyright © 2024 Texas Instruments Incorporated

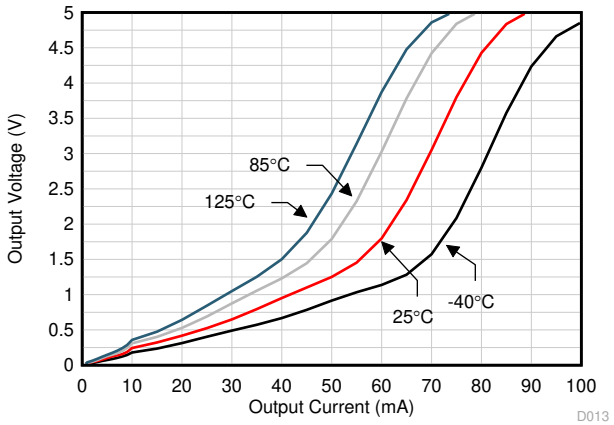
5.6 典型特性（续）

T_A = 25°C，V_S = ±20V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



V_S = 5V

图 5-13. 输出电压摆幅与输出电流（拉电流）间的关系



V_S = 5V

图 5-14. 输出电压摆幅与输出电流（灌电流）间的关系

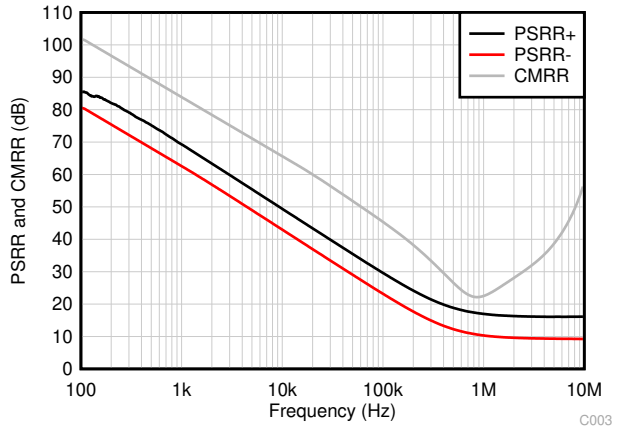
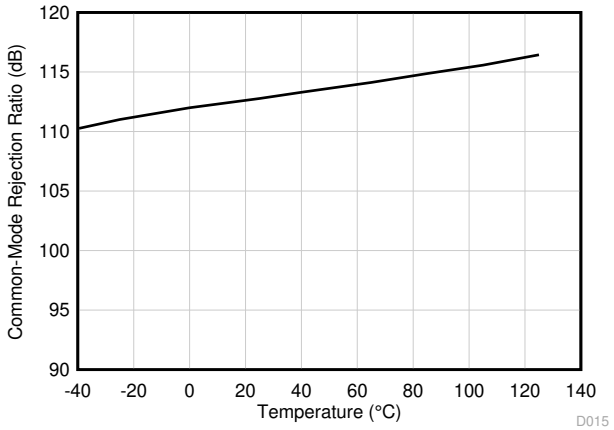
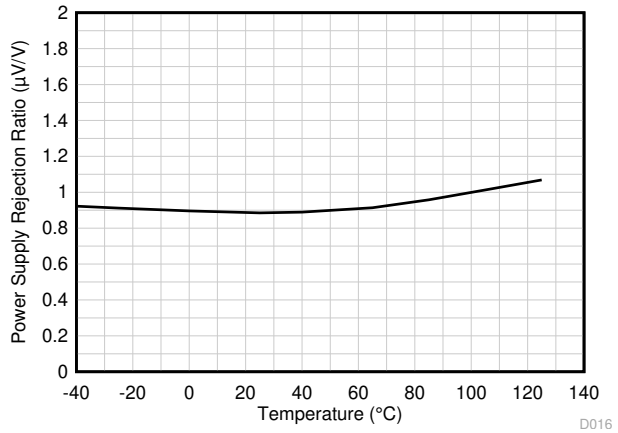


图 5-15. CMRR 和 PSRR 与频率间的关系



f = 0Hz

图 5-16. CMRR 与温度间的关系 (dB)



f = 0Hz

图 5-17. PSRR 与温度间的关系 (dB)

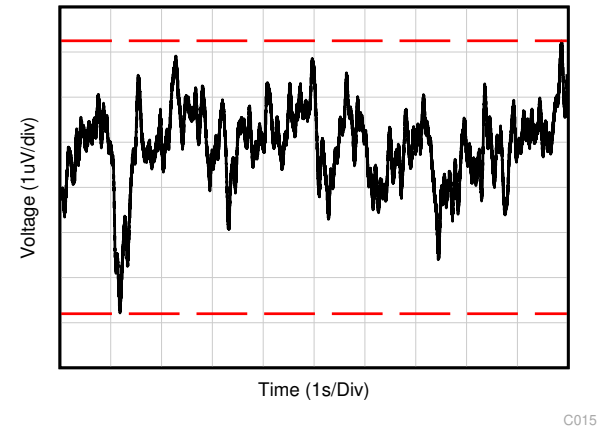


图 5-18. 0.1Hz 至 10Hz 噪声

Copyright © 2024 Texas Instruments Incorporated

5.6 典型特性（续）

T_A = 25°C，V_S = ±20V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）

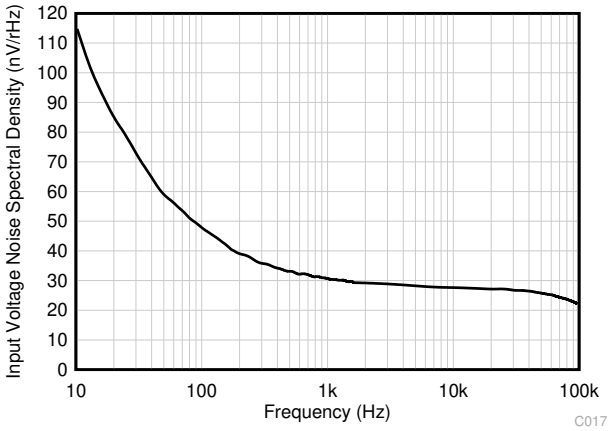
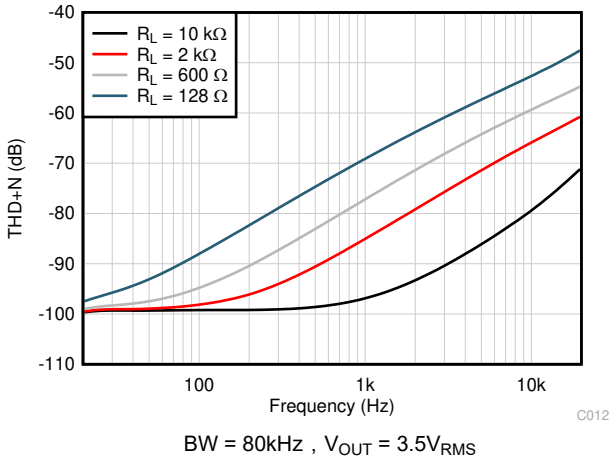
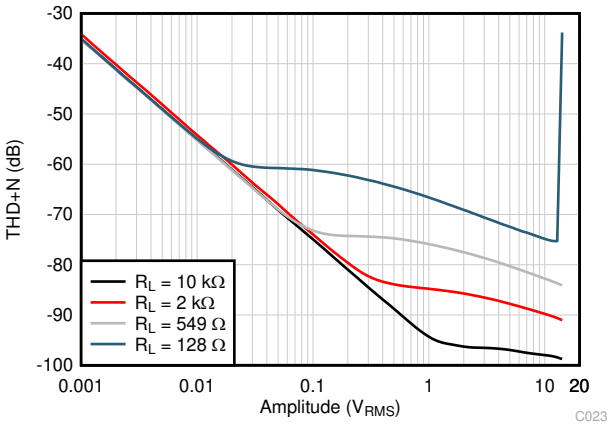


图 5-19. 输入电压噪声频谱密度与频率间的关系



BW = 80kHz，V_{OUT} = 3.5V_{RMS}

图 5-20. THD+N 比与频率间的关系



BW = 80kHz，f = 1kHz

图 5-21. THD+N 与输出幅度间的关系

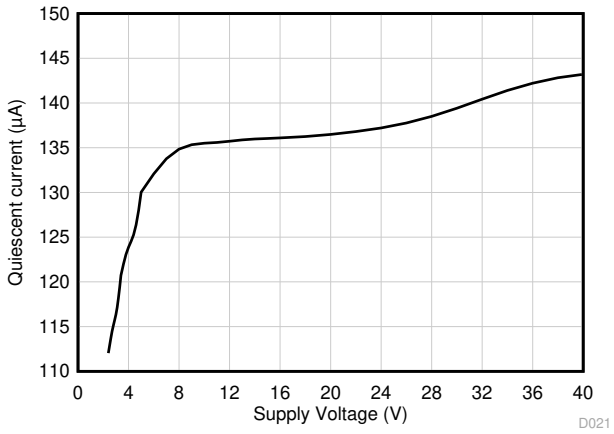


图 5-22. 静态电流与电源电压间的关系

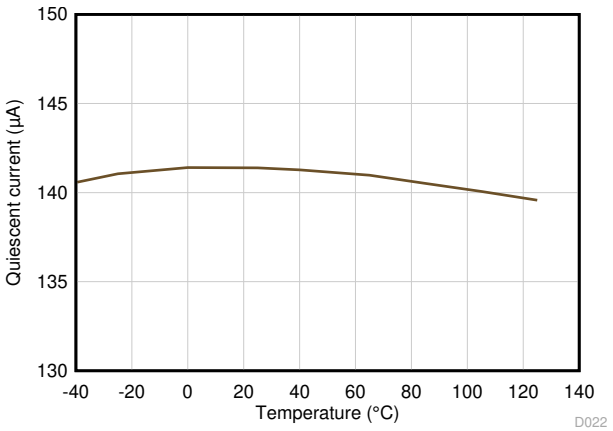


图 5-23. 静态电流与温度间的关系

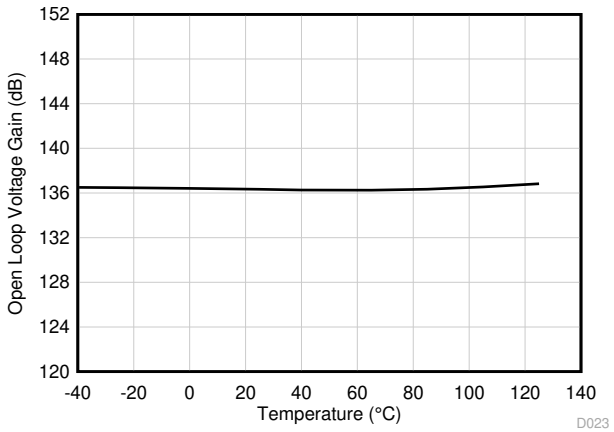


图 5-24. 开环电压增益与温度间的关系 (dB)

Copyright © 2024 Texas Instruments Incorporated

5.6 典型特性（续）

T_A = 25°C，V_S = ±20V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）

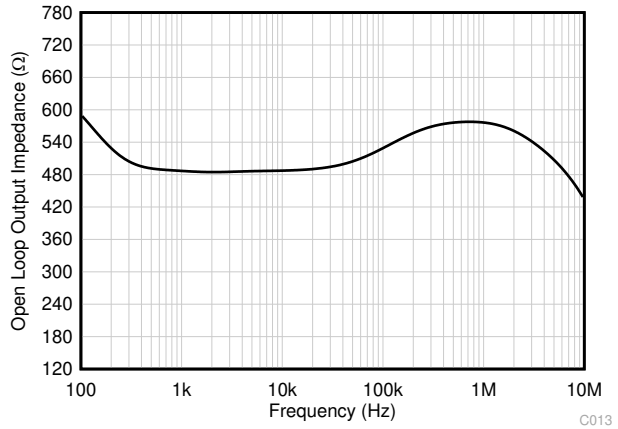
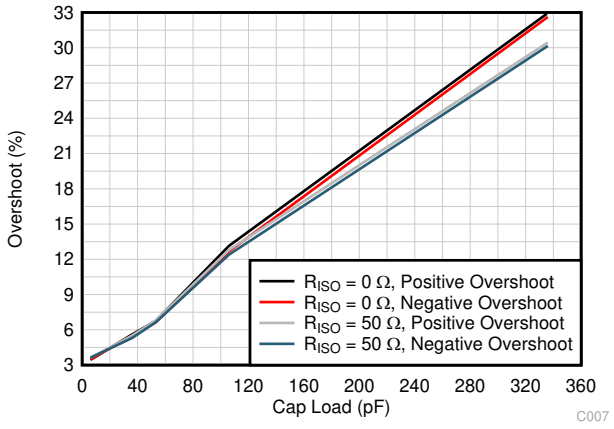
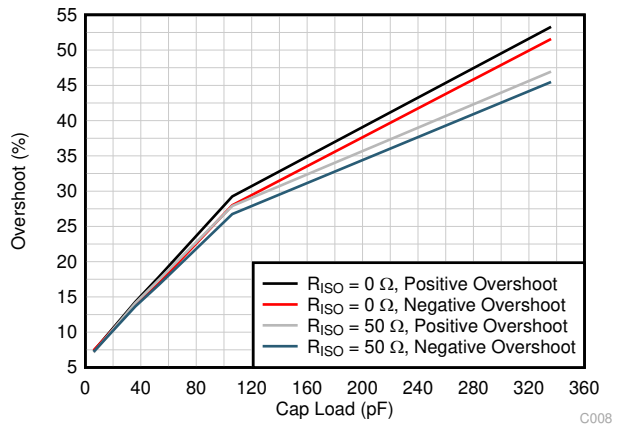


图 5-25. 开环输出阻抗与频率间的关系



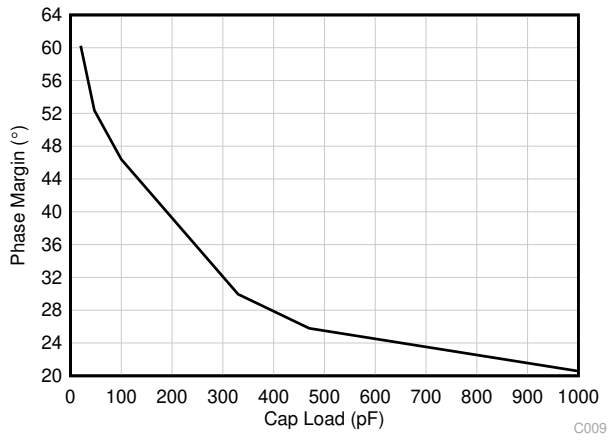
G = –1，100mV 输出阶跃

图 5-26. 小信号过冲与容性负载间的关系



G = 1，100mV 输出阶跃

图 5-27. 小信号过冲与容性负载间的关系



G = –1，100mV 输出阶跃

图 5-28. 小信号过冲与容性负载间的关系

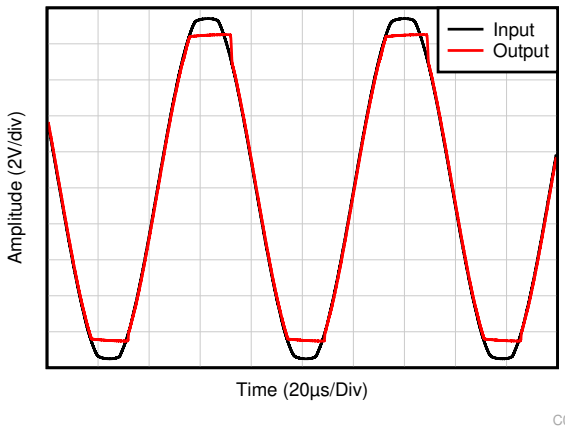
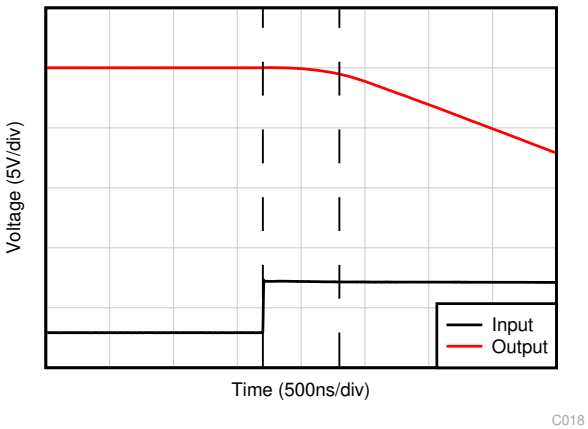


图 5-29. 无相位反转

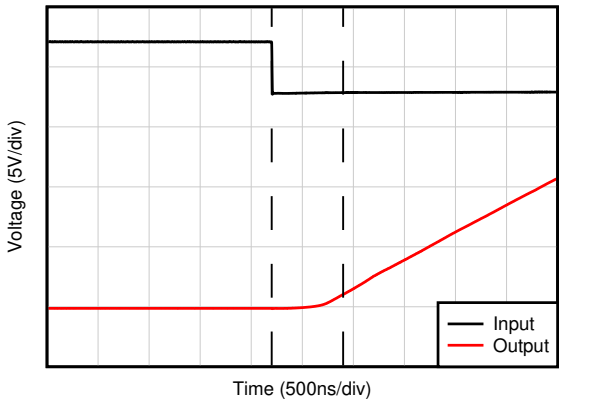


G = -10

图 5-30. 正过载恢复

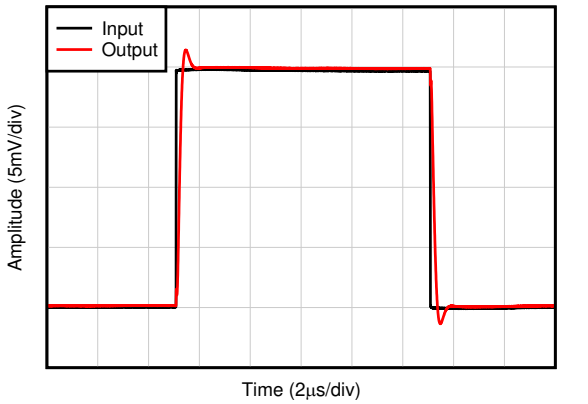
5.6 典型特性（续）

T_A = 25°C，V_S = ±20V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）



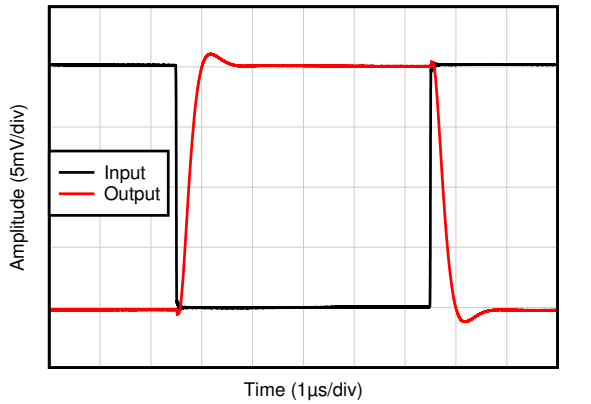
G = -10

图 5-31. 负过载恢复



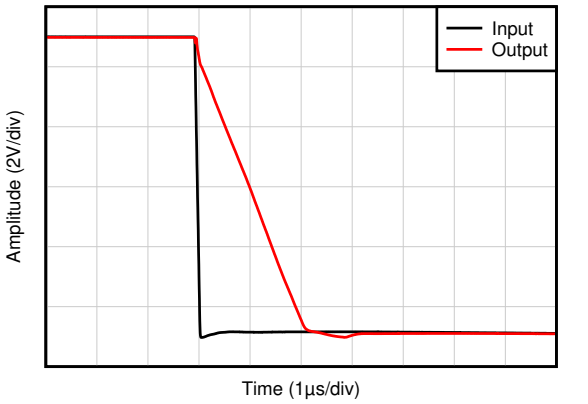
C_L = 20pF，G = 1，20mV 阶跃响应

图 5-32. 小信号阶跃响应



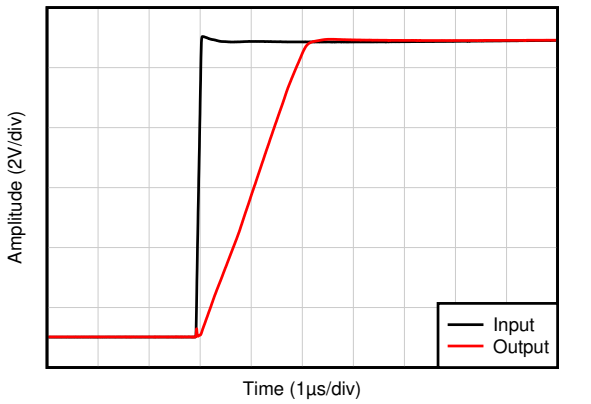
R_L = 1kΩ，C_L = 20pF，G = –1，10mV 阶跃响应

图 5-33. 小信号阶跃响应



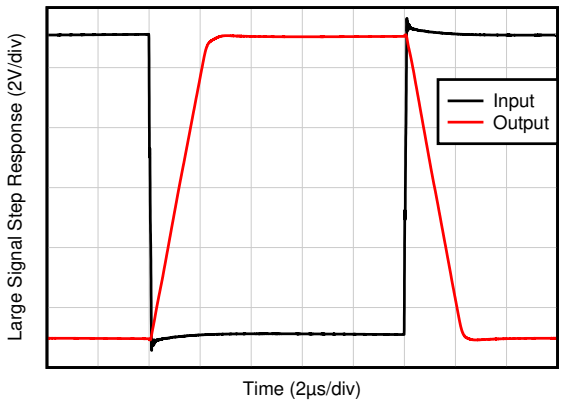
C_L = 20pF，G = 1

图 5-34. 大信号阶跃响应（下降）



C_L = 20pF，G = 1

图 5-35. 大信号阶跃响应（上升）



C_L = 10pF，G = -1

图 5-36. 大信号阶跃响应

Copyright © 2024 Texas Instruments Incorporated

5.6 典型特性（续）

T_A = 25°C，V_S = ±20V，V_{CM} = V_S / 2，R_{LOAD} = 10kΩ 连接至 V_S / 2，且 C_L = 100pF（除非另有说明）

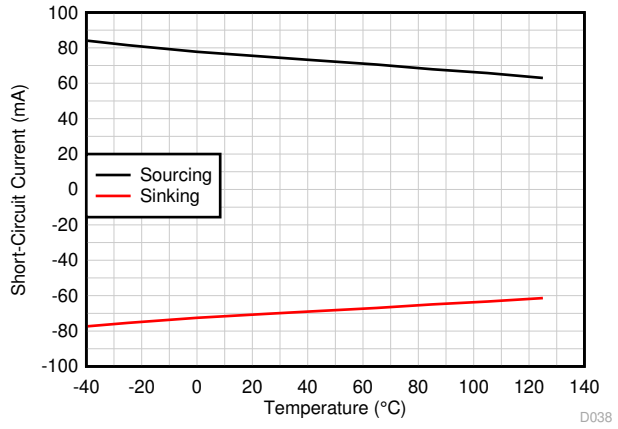


图 5-37. 短路电流与温度间的关系

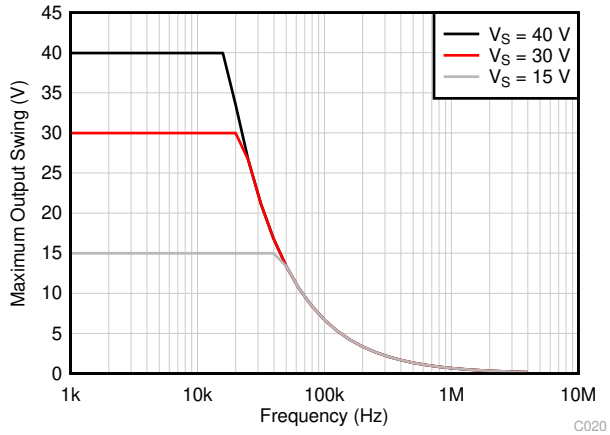


图 5-38. 最大输出电压与频率间的关系

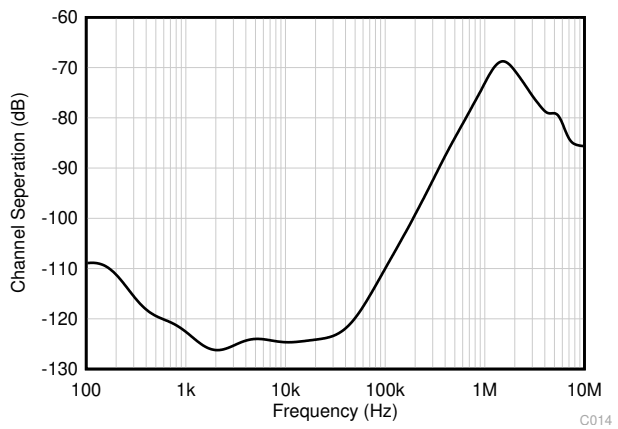


图 5-39. 通道隔离与频率间的关系

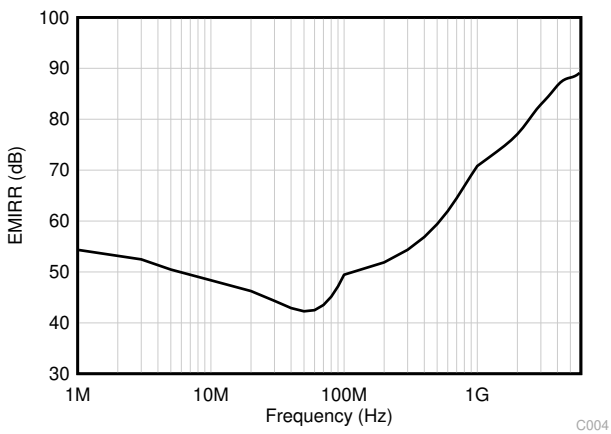


图 5-40. EMIRR（电磁干扰抑制比）与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

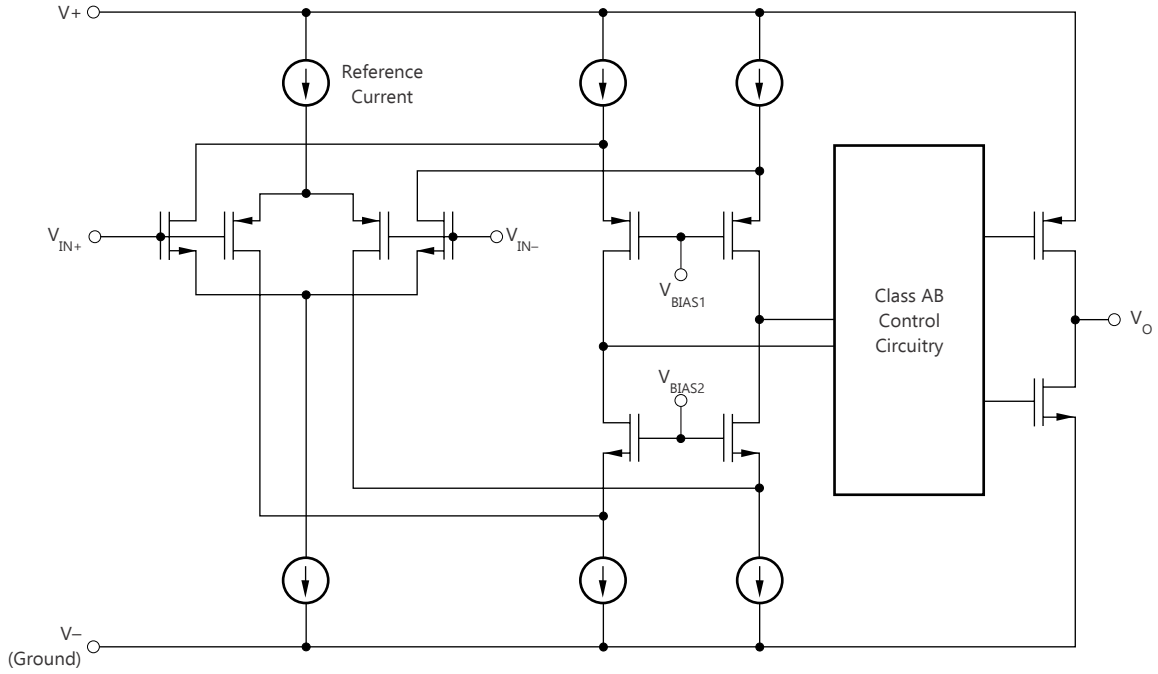
6 详细说明

6.1 概述

TLV930x-Q1 系列（TLV9301-Q1、TLV9302-Q1 和 TLV9304-Q1）是 40V 成本优化型运算放大器系列。这些器件具有出色的通用直流和交流规格，包括轨到轨输出、低失调电压（典型值为 ±0.5mV）、低温漂（典型值为 ±2μV/°C）和 1MHz 带宽。TLV930x-Q1 实现了互补输入级，该输入级由匹配的 PMOS 对和匹配的 NMOS 对组成。PMOS 针对性能进行了优化，并且可以在大多数共模范围内运行，但当共模电压位于 NMOS 区域内时，TLV930x-Q1 也可运行（性能降低）。

TLV930x-Q1 器件系列专为满足多种应用需求而设计，具有高度的灵活性。例如，高输出电流（典型值为 60mA）可用于各种具有低负载阻抗的偏置和驱动应用。由于在整个电源电压范围内具有宽输出电压摆幅，因此 TLV930x-Q1 能够更大限度地扩大动态范围并在各种输出负载条件下运行。该系列器件的输出阻抗具有显著的电阻式频率响应，这意味着输出阻抗在整个频率范围内几乎保持平坦，这使得该系列器件易于在任何容性负载下实现稳定。TLV930x-Q1 集成了在高差分电压下保护输入的电路，这一特性在成本优化型器件中并不常见。该系列器件集成了抗相位反转和热保护电路，因此非常适合恶劣环境。该系列还包含压摆增强功能，可提高较大阶跃响应和输入变化情况下的瞬态性能，同时降低静态电流。

6.2 功能方框图



Copyright © 2024 Texas Instruments Incorporated

6.3 特性说明

6.3.1 输入保护电路

TLV930x-Q1 使用已获得专利的输入架构来消除对输入保护二极管的需求，但在瞬态情形下仍能提供可靠的输入保护。可以通过快速瞬态阶跃响应来激活图 6-1 中所示的常规输入二极管保护方案，但由于存在交流电路径，这将引入信号失真和稳定延时时间，如图 6-2 所示。对于低增益电路，这些快速斜向输入信号前向偏置背对背二极管，这会导致输入电流增加，进而使稳定时间延长。

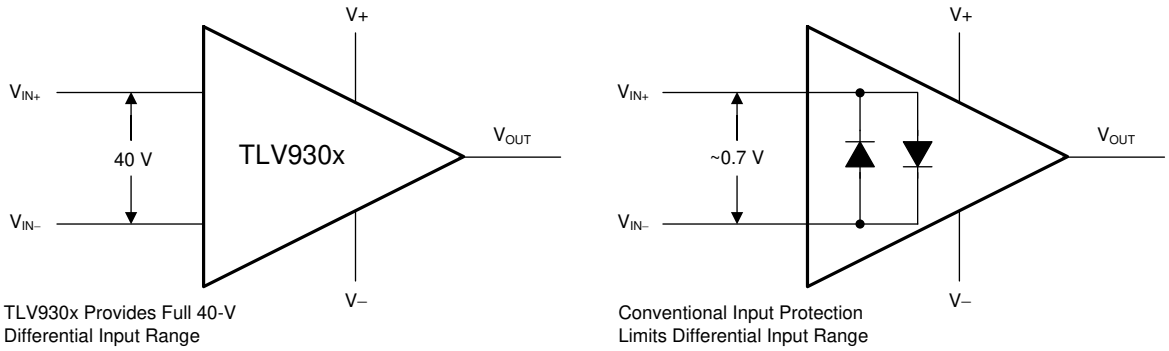


图 6-1. TLV930x-Q1 输入保护不限制差分输入能力

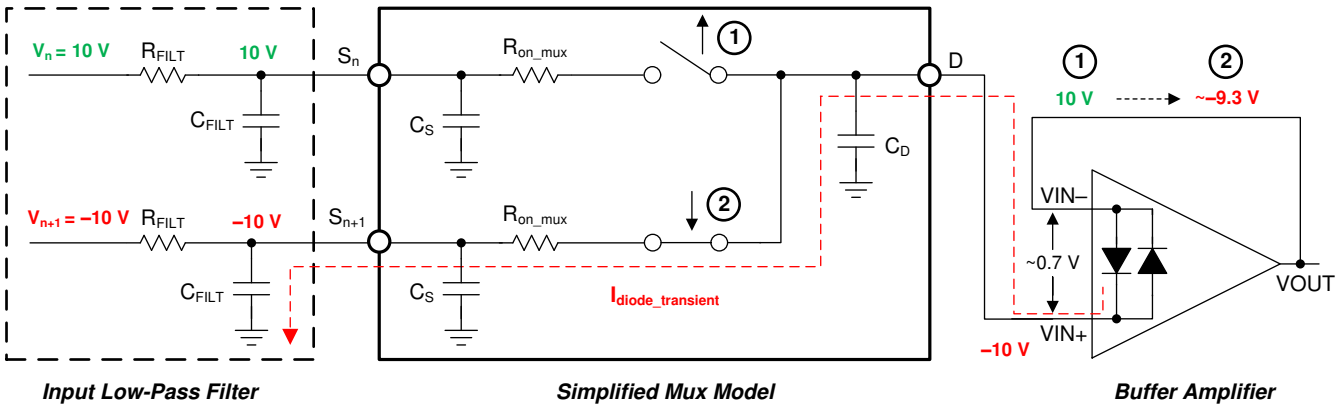


图 6-2. 背对背二极管造成稳定问题

TLV930x-Q1 系列运算放大器为高压应用提供真正的高阻抗差分输入能力。这种获得专利的输入保护架构不会引入额外的信号失真或延迟稳定时间，因为该系列器件专为多通道、高开关输入应用而设计。TLV930x-Q1 还可以承受高达 40V 的最大差分摆幅（运算放大器的反相和同相引脚之间的电压），因此该器件可用作比较器，或用于具有快速斜向输入信号的应用。

Copyright © 2024 Texas Instruments Incorporated

6.3.2 EMI 抑制

TLV930x-Q1 使用集成电磁干扰 (EMI) 滤波功能来降低干扰源（如无线通信设备以及混合使用模拟信号链和数字元件的高密度电路板）产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；TLV930x-Q1 可从这些设计改进中受益。德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 扩展宽频谱范围内准确测量和量化运算放大器抗扰度的功能。图 6-3 展示了对 TLV930x-Q1 执行此测试的结果。表 6-1 展示了 TLV930x-Q1 在实际应用中常见特定频率下的 EMIRR IN+ 值。表 6-1 列出了可在下图所示的特定频率或其近似频率下运行的应用。 *运算放大器的 EMI 抑制比* 应用手册详细介绍了与运算放大器相关的 EMIRR 性能主题。

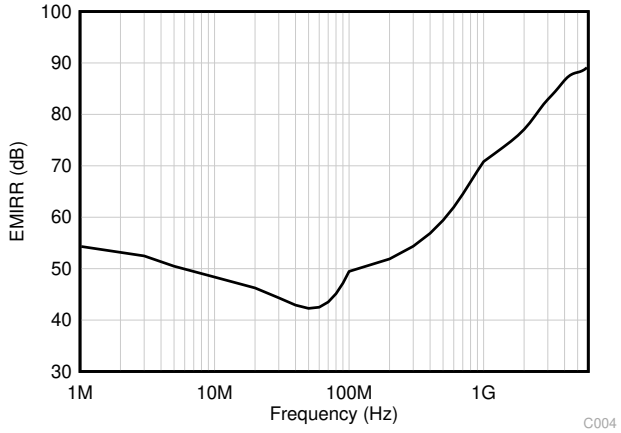


图 6-3. EMIRR 测试

表 6-1. TLV930x-Q1 在相关频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	59.5dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	68.9dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	77.8dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth® 无线技术、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	78.0dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	88.8dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	87.6dB

Copyright © 2024 Texas Instruments Incorporated

6.3.3 反相保护

TLV930x-Q1 系列具有内部相位反转保护。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。TLV930x-Q1 是一款轨至轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。图 6-4 展示了该性能。

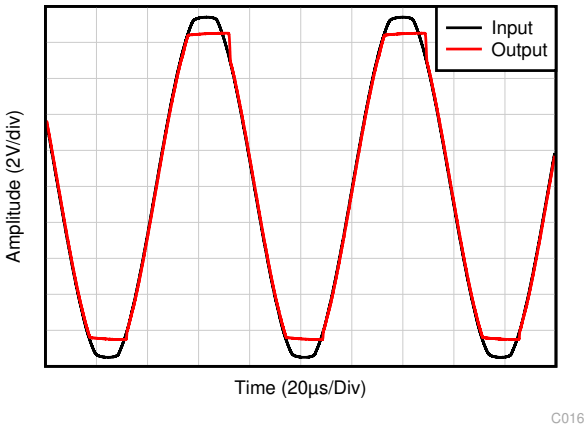


图 6-4. 无相位反转

6.3.4 热保护

任何放大器的内部功耗都会导致内部温度（结温）升高。这一现象称为 *自热*。TLV930x-Q1 的绝对最大结温为 150°C。超过此温度会损坏器件。TLV930x-Q1 具有过热保护功能，可防止自热造成损坏。具体的保护方式是，监控器件的温度，一旦温度超过 140°C，则关闭运算放大器输出驱动。图 6-5 显示了 TLV9301-Q1 的一个应用示例，该示例因为其功耗 (0.81W) 而会产生显著的自热 (159°C)。热计算表明，在 65°C 环境温度下，器件结温一定会达到 187°C。不过，实际器件会关闭输出驱动以保持安全的结温。图 6-5 展示了电路在过热保护期间的行为。在正常工作期间，器件充当缓冲器，因此输出为 3V。当自热导致器件结温升高超过 140°C 时，过热保护强制输出进入高阻抗状态，并通过电阻 RL 将输出拉至接地。

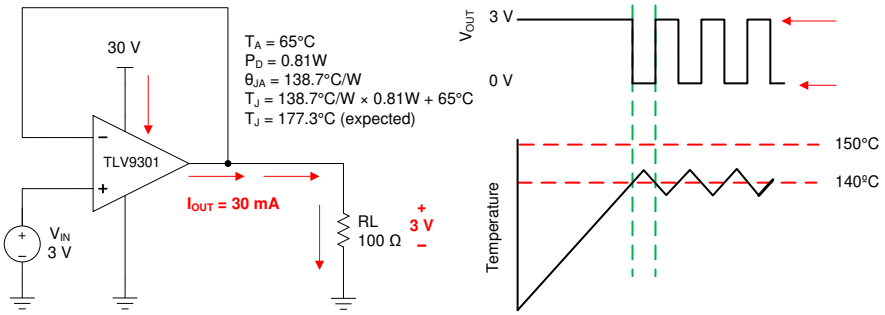


图 6-5. 热保护

6.3.5 容性负载和稳定性

TLV930x-Q1 具有电阻输出级，能够驱动较小的容性负载，而且通过采用隔离电阻器，可轻松配置用于驱动大型容性负载。增加增益可增强放大器驱动更大容性负载的能力；请参阅图 6-6 和图 6-7。当确定放大器在运行中能否保持稳定时，需要考虑特定运算放大器电路配置、布局、增益和输出负载等因素。

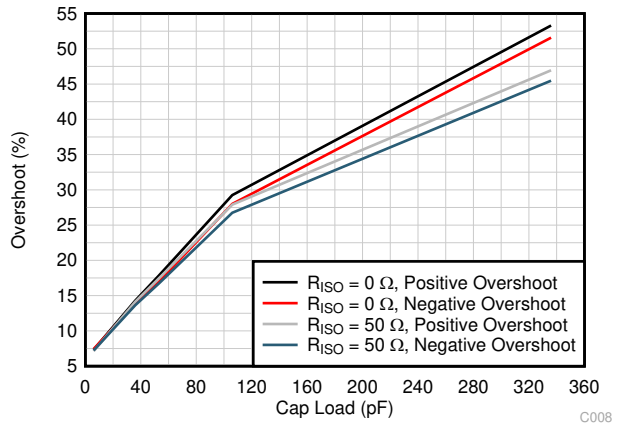


图 6-6. 小信号过冲与容性负载间的关系（100mV 输出阶跃，G = 1）

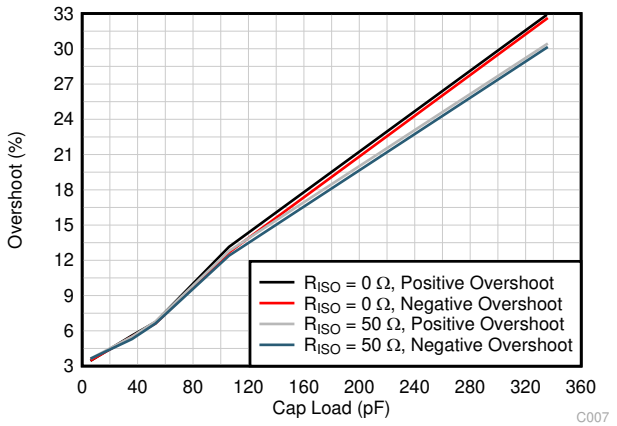


图 6-7. 小信号过冲与容性负载间的关系（100mV 输出阶跃，G = -1）

若要增加单位增益配置下的驱动能力，可插入一个较小的（10Ω 至 20Ω）电阻器 R_{ISO}，使其与输出串联，如图 6-8 所示，以此来提高容性负载驱动能力。此电阻器可显著减少振铃，并保持纯容性负载的直流性能。但是，如果电阻负载与容性负载并联，则会产生一个电压分压器，从而在输出端引入增益误差并略微减小输出摆幅。引入的误差与 R_{ISO} / R_L 的比率成正比，在低输出电平下通常可忽略不计。高容性负载驱动使 TLV930x-Q1 非常适合用于基准缓冲器、MOSFET 栅极驱动器和电缆屏蔽驱动器等应用。图 6-8 中所示的电路采用隔离电阻器 R_{ISO} 来稳定运算放大器的输出。R_{ISO} 会修改系统的开环增益，从而增加相位裕度。有关使用该电路进行优化和设计的技巧的其他信息，TI 精密设计 TIDU032 详述了完整的设计目标、仿真和测试结果。

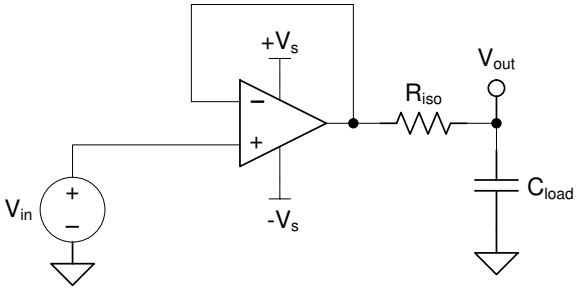


图 6-8. 使用 TLV9301-Q1 扩展容性负载驱动

Copyright © 2024 Texas Instruments Incorporated

6.3.6 共模电压范围

TLV930x-Q1 是一款 40V 轨到轨输出运算放大器，其正常运行时输入共模范围为 (V–) - 100mV 至 (V+) - 2V。该器件使用 P 沟道差分对通过互补输入级实现该性能。此外，还包含与 P 沟道对并联的互补 N 沟道差分对，以消除常见的不良运算放大器行为，例如相位反转。

TLV930x-Q1 可以在高于顶轨 100mV 的共模范围内运行，但在 (V+) – 2V 以上时性能会降低。当输入电压接近正电源轨，通常比正电源高 (V+) – 1V 到 100mV 时，N 沟道对有效。当输入电压为低于负电源电压 100mV 到大约 (V+) – 2V 时，P 沟道对有效。其转换区域较小，通常为 (V+) –2V to (V+) – 1V，这时两个输入对都处于开启状态。该转换区域可能会随着工艺变化而适度变化，在转换区域和 N 沟道区域内，与在 P 沟道区域运行相比，运算放大器的许多规格（包括 PSRR、CMRR、失调电压、温漂、噪声和 THD 性能）都可能降级。

表 6-2. 共模电压在电源 2V 范围内时的典型性能

参数	最小值	典型值	最大值	单位
输入共模电压	(V+) – 2		(V+) + 0.1	V
失调电压		1.5		mV
失调电压温漂		2		µV/°C
共模抑制		75		dB
开环增益		75		dB
增益带宽积		0.7		MHz

Copyright © 2024 Texas Instruments Incorporated

6.3.7 电过应力

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。图 6-9 展示了 TLV930x-Q1 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

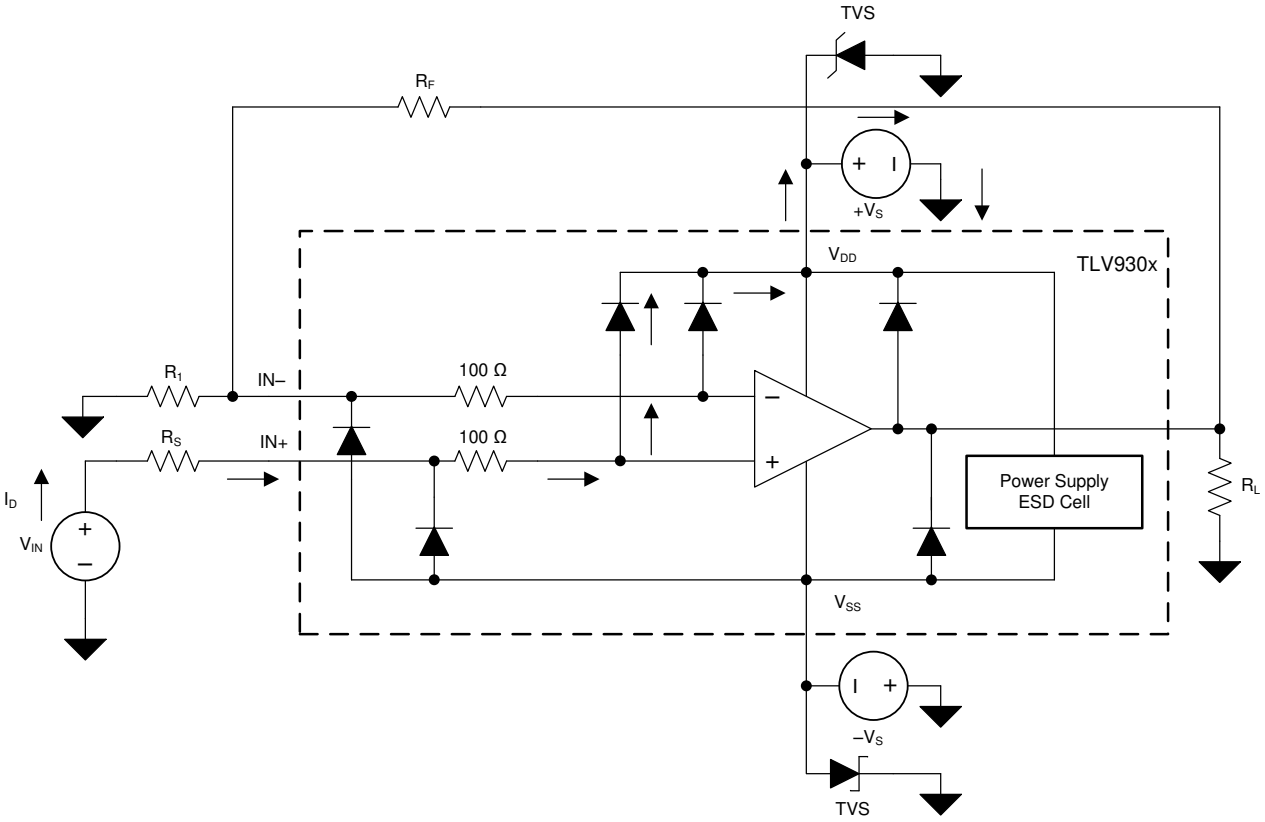


图 6-9. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件持续时间非常短，电压非常高（例如，1kV，100ns），而 EOS 事件持续时间长，电压较低（例如，50V，100ms）。ESD 二极管设计用于电路外 ESD 保护（即在器件被焊接到 PCB 上之前的组装、测试和贮存阶段）。在 ESD 事件中，ESD 信号通过 ESD 导流二极管传递给吸收电路（列为 ESD 电源电路）。ESD 吸收电路将电源钳制在一个安全的水平。

尽管这种行为对于电路外保护来说是必要的，但如果在电路内激活，则会导致过流和损坏。设计人员可以使用瞬态电压抑制器 (TVS) 来防止在电路内 ESD 事件过程中因打开 ESD 吸收电路而导致器件损坏。

确保使用适当的限流电阻器和 TVS 二极管来使用器件 ESD 二极管并保护器件免受 EOS 事件的影响。

6.3.8 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时

Copyright © 2024 Texas Instruments Incorporated

间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。TLV930x-Q1 的过载恢复时间大约为 1µs。

6.3.9 典型规格与分布

在尝试设计出更稳健的电路时，设计人员经常问及放大器的典型规格。由于工艺技术和制造过程上存在自然差异，因此放大器的每种规格都与理想值存在一定的偏差，例如放大器的输入失调电压。这些偏差通常遵循*高斯*（*钟形曲线*）或*正态*分布，即使*电气特性*中没有最小值或最大值规格，电路设计人员也可以利用该信息来确定其系统的限值空间。

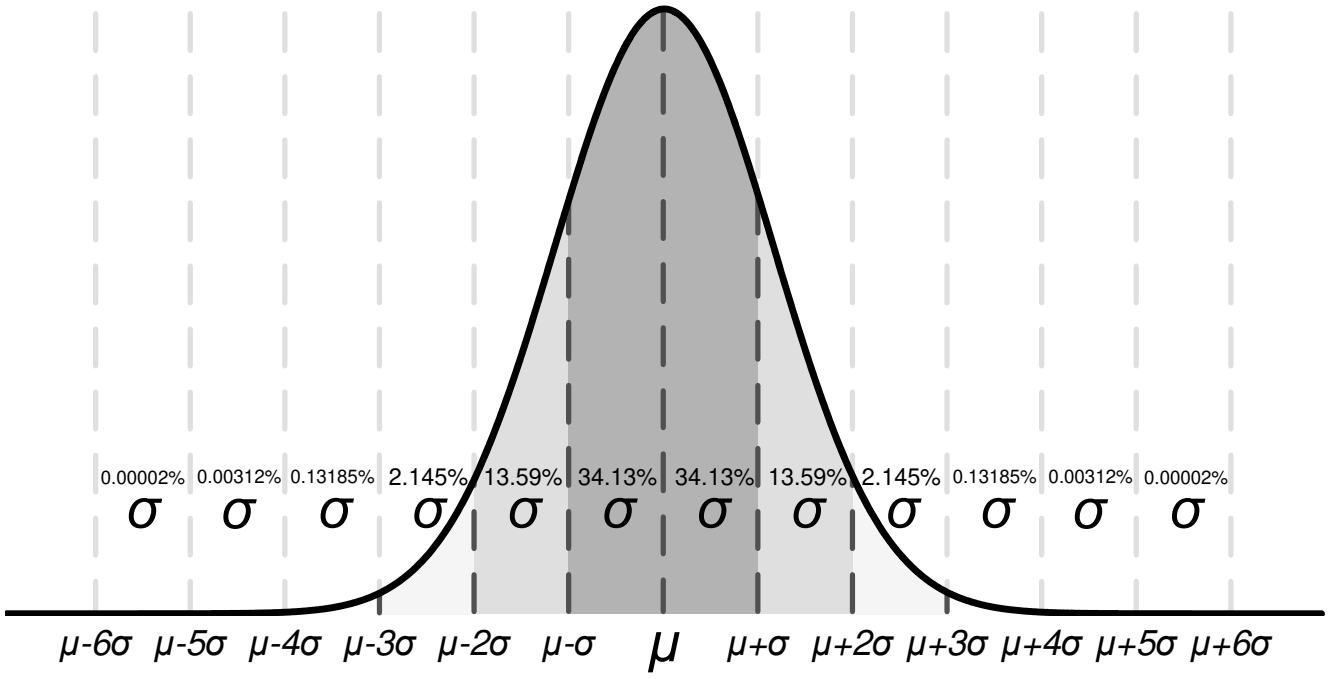


图 6-10. 理想的高斯分布

图 6-10 展示了一个分布示例，其中 *µ* 或 *mu* 是分布的均值，而 *σ* 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的标准偏差或一 σ 内（从 *µ* – *σ* 到 *µ*+ *σ*）。

*电气特性*的*典型值*列中列出的值以不同的方式表示，具体取决于规格。根据一般经验法则，如果规格本身具有非零均值（例如增益带宽），那么典型值等于均值 (µ)。然而，如果规格本身具有接近于零（例如输入失调电压）的均值，那么典型值等于均值加上一个标准偏差 (µ + σ)，这样才能最为准确地表示典型值。

Copyright © 2024 Texas Instruments Incorporated

您可以使用该图表来计算器件中某个规格的近似概率；对于 TLV930x- Q1，典型的输入失调电压值为 500 µ V，因此所有 TLV930x-Q1 器件中有 68.2% 的器件预计都具有 – 500 µ V 至 500 µ V 的失调电压。在 4 σ (±2000µV) 条件下，分布的 99.9937% 都具有小于 ±2000µV 的失调电压，这意味着总体的 0.0063% 位于这些限值之外，相当于 15,873 个器件有 1 个器件超出该限值。

如果规格在最小值或最大值列中具有值，请确保您的设计规格不超出这些范围。

对于最小值或最大值列中没有值的规格，可考虑为应用选择 1 σ 值的足够限值空间，并使用该值来设计最差情况下的电路。例如，6σ 值相当于约 5 亿个器件中有 1 个器件，发生的可能性微乎其微，可以作为一个宽限值空间选项来设计系统。在这种情况下，TLV930x-Q1 系列在失调电压漂移上没有最大值和最小值，但根据图 5-2 和*电气特性* 中 2µV/°C 的典型值，可以计算出失调电压漂移的 6σ 值约为 12µV/°C。在为最坏情况的系统条件进行设计时，可以使用该值来估计整个温度范围内的最坏失调电压，而不用知道实际的最小值或最大值。

然而，随着时间的推移，工艺差异和调整会改变典型的平均值和标准偏差，因此如果未列出最小值或最大值，则仅使用此信息来估算器件的性能。

6.4 器件功能模式

TLV930x-Q1 具有单一功能模式，可在电源电压大于 4.5V (±2.25V) 时工作。TLV930x-Q1 的最大电源电压为 40V (±20V)。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLV930x-Q1 系列提供了出色的直流精度和直流性能。这些器件的工作电压高达 40V，并提供真正的轨到轨输入/输出、低失调电压、失调电压漂移以及 1MHz 带宽和高输出驱动。这些特性使 TLV930x-Q1 成为一款适用于高电压工业应用且稳定可靠的高性能运算放大器。

7.2 典型应用

7.2.1 高电压精密比较器

许多不同的系统需要控制各个系统节点的电压，以确保稳定运行。可使用比较器来监控电压，方式为将输入电压与基准阈值电压进行比较，一旦输入电压超过基准阈值电压，则提供输出电压。

TLV930x-Q1 运算放大器系列具有支持多路复用器的输入级，因此设计人员可以将这些器件用作高电压比较器（请参阅*输入保护电路*）。上一代高电压运算放大器通常在输入端使用背对背二极管来防止损坏运算放大器，这极大地限制了设计人员将这些运算放大器用作比较器的能力。但是，TLV930x-Q1 具有获得专利的输入级，从而使该器件能够在输入之间实现宽差分电压。

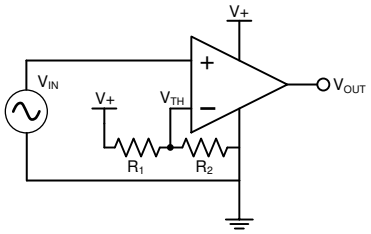


图 7-1. 比较器典型应用

7.2.1.1 设计要求

主要目标是设计一个 40V 精密比较器。

- 系统电源电压 (V+)：40V
- 电阻器 1 的值：100kΩ
- 电阻器 2 的值：100kΩ
- 基准阈值电压 (V_{TH})：20V
- 输入电压范围 (V_{IN})：0V 至 40V
- 输出电压范围 (V_{OUT})：0V 至 40V

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2 详细设计过程

此非反相比较器电路向运算放大器的非反相端子施加输入电压 (V_{IN})。两个电阻器（R_1 和 R_2）分摊电源电压 (V+)，以建立中位阈值电压 (V_{TH})（根据 方程式 1 计算得出）。图 7-1 展示了电路。当 V_{IN} 低于 V_{TH} 时，输出电压将切换为负电源，并等于低电平输出电压。当 V_{IN} 高于 V_{TH} 时，输出电压将切换为正电源，并等于高电平输出电压。

在此示例中，电阻器 1 和 2 达到 100kΩ，从而将基准阈值设置为 20V。但可通过使用 方程式 1 调整电阻器 1 和 2 来修改该阈值。选定的电阻器 1 和 2 值是为了降低功耗，但这些值可进一步增加以降低功耗，或减少以提高噪声性能。

$$V_{TH} = \frac{R_2}{R_1 + R_2} \times V_+ \quad (1)$$

7.2.1.3 应用曲线

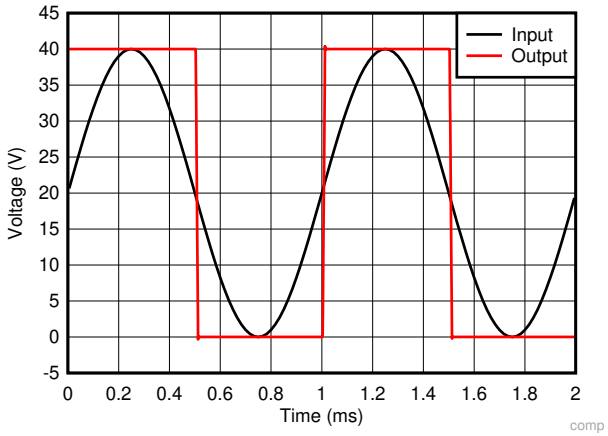


图 7-2. 比较器输出对输入电压的响应

7.3 电源相关建议

TLV930x-Q1 的额定工作电压为 4.5V 至 40V（±2.25V 至 ±20V）；多种规格适用于 –40°C 至 125°C 的温度范围。*电气特性* 中介绍了随工作电压或温度变化而显著变化的参数。

小心

电源电压超过 40V 可能会对器件造成损坏；请参阅*绝对最大额定值* 表。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。更多有关旁路电容器放置的详细信息，请参阅布局。

7.4 布局

7.4.1 布局指南

为了实现器件的更高工作性能，应使用良好的 PCB 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传播到模拟电路中，因此应使用旁路电容器通过在模拟电路局部提供低阻抗电源来减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。

Copyright © 2024 Texas Instruments Incorporated

- 将电路中的模拟部分和数字部分单独接地是简单且有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果这些布线无法保持分离，则敏感布线与有噪声布线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如图 7-4 所示，保持 RF 和 RG 接近反相输入可以更大限度地减少寄生电容。
- 尽可能缩短输入布线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 在组装 PCB 板之后对其进行清洁，以获得出色性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化，因此在执行任何 PCB 水清洁流程后，应将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洁后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

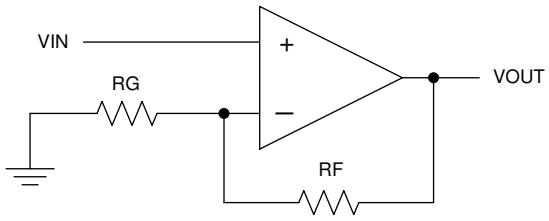


图 7-3. 原理图表示

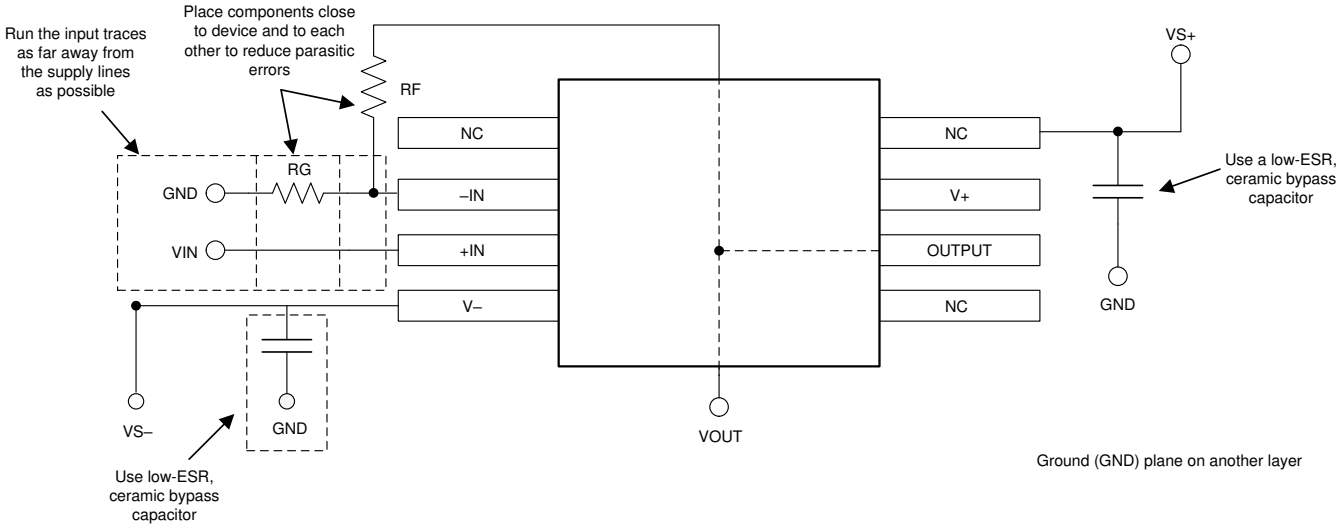


图 7-4. 同相配置的运算放大器电路板布局

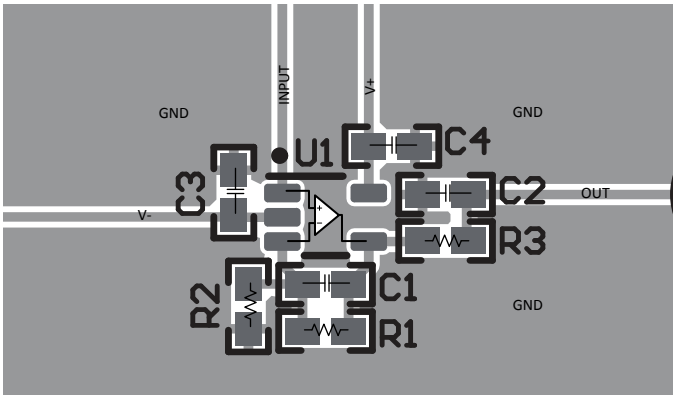


图 7-5. SC70 (DCK) 封装的布局示例

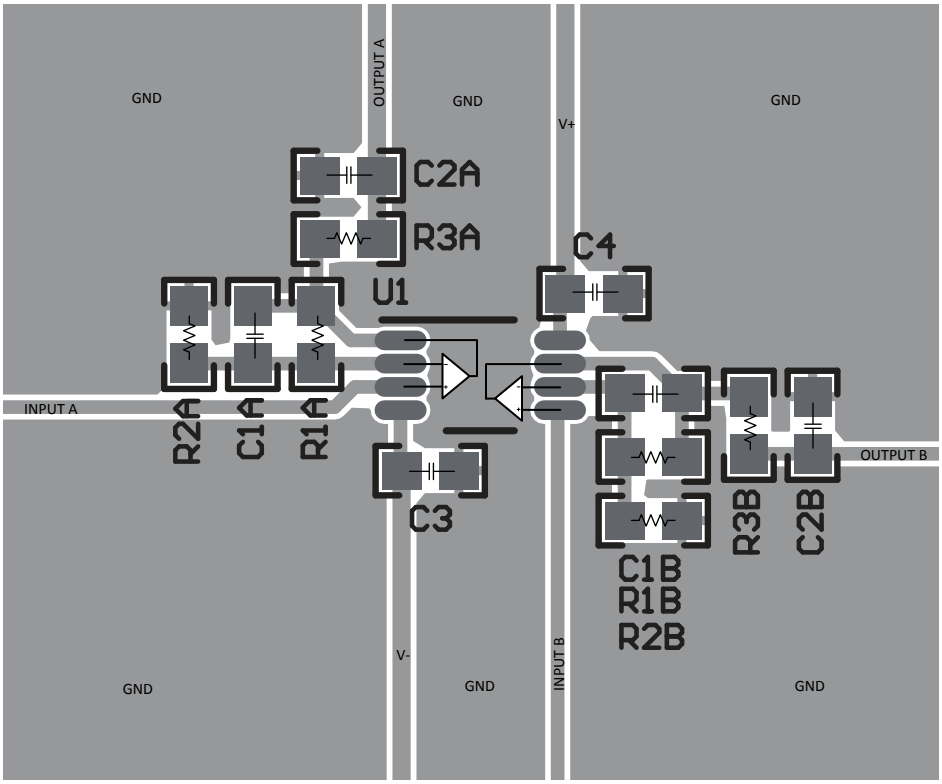


图 7-6. VSSOP-8 (DGK) 封装的布局示例

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 TINA-TI™（免费软件下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

8.2 文档支持

8.2.1 相关文档

德州仪器 (TI)，*运算放大器的 EMI 抑制比 应用手册*

德州仪器 (TI)，*采用隔离电阻器的容性负载驱动器解决方案 参考设计*

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
June 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9304QPWRQ1	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9304PW
TLV9304QPWRQ1.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9304PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9304-Q1 :

- Catalog : TLV9304

NOTE: Qualified Version Definitions:

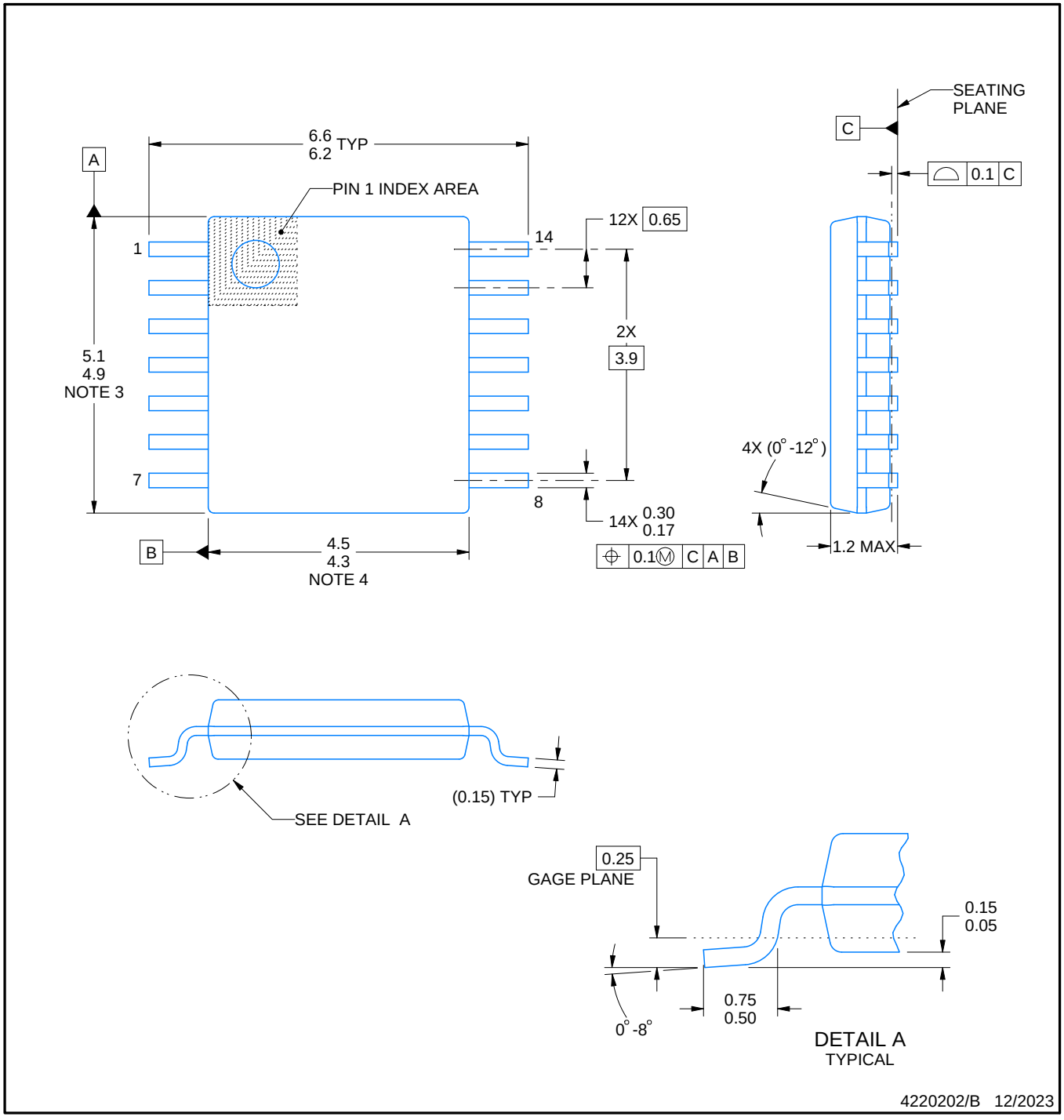
- Catalog - TI's standard catalog product

PACKAGE OUTLINE

PW0014A

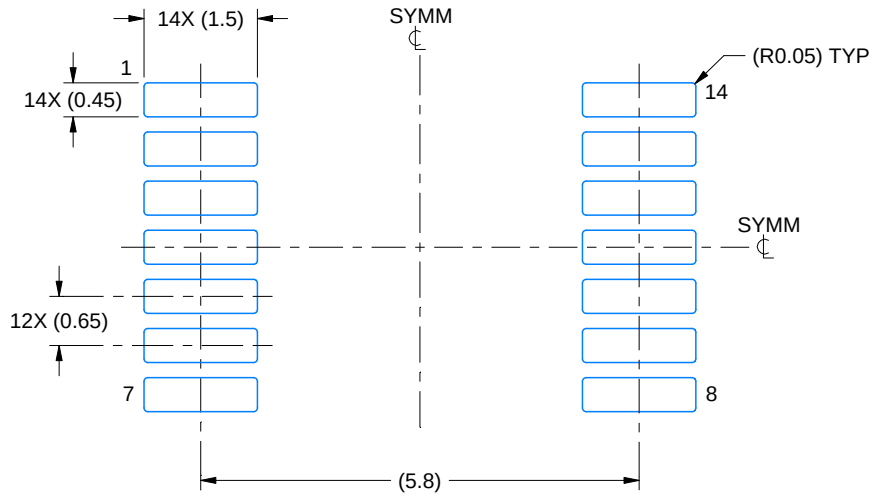
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

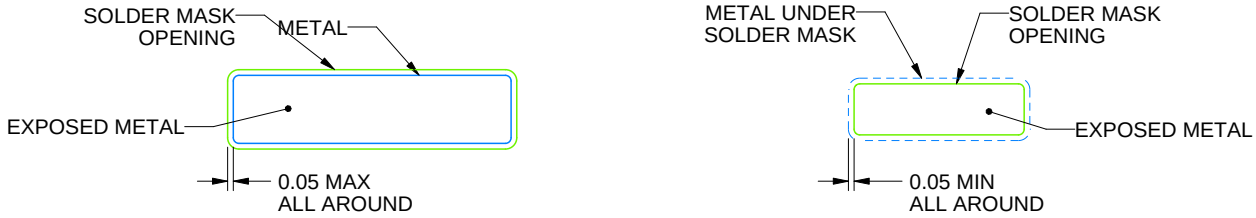


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

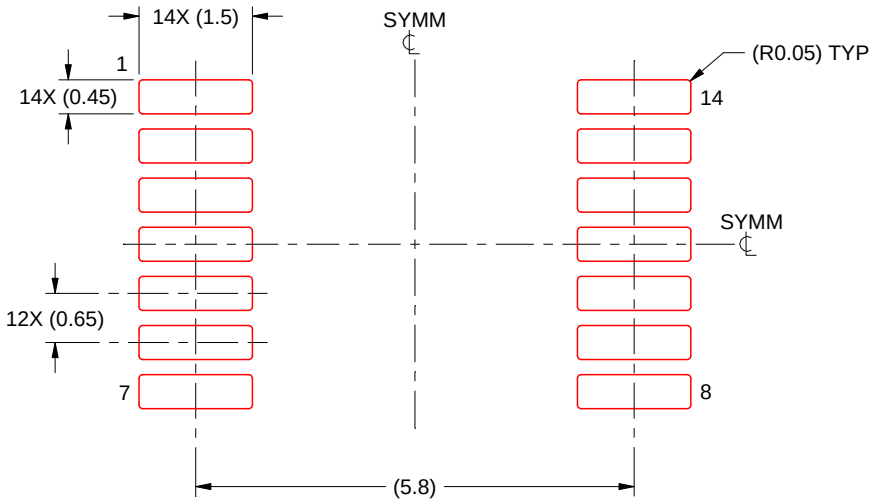


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月