TLV906xS-Q1 汽车类 10MHz、RRIO、CMOS 运算放大器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 器件 HBM ESD 分类等级 3A
  - 器件 CDM ESD 分类等级 C6
- 轨至轨输入和输出
- 低输入失调电压：±0.3mV
- 单位带宽增益积：10MHz
- 低宽带噪声：10nV/√Hz
- 低输入偏置电流：0.5pA
- 低静态电流：538μA
- 单位增益稳定
- 内置 RFI 和 EMI 滤波器
- 宽电源电压范围：1.8V 至 5.5V
- 由于具有电阻式开环输出阻抗，因此可在更高的容性负载下更轻松地实现稳定
- 关断版本：TLV906xS
- 功能安全型
  - 有助于进行功能安全系统设计的文档

2 应用

- 针对 AEC-Q100 1 级应用进行了优化
- 信息娱乐系统与仪表组
- 被动安全
- 车身电子装置和照明
- HEV/EV 逆变器和电机控制
- 车载 (OBC) 和无线充电器
- 动力系统电流传感器
- 高级驾驶辅助系统 (ADAS)
- 单电源、低侧、单向电流感应电路

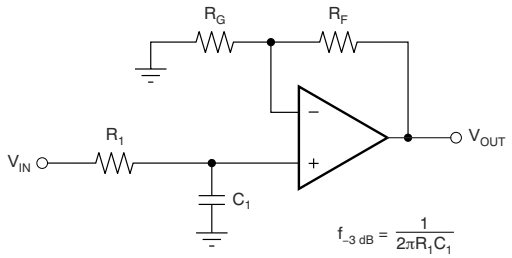
3 说明

TLV9061（单通道）、TLV9062-Q1（双通道）和 TLV9064-Q1（四通道）是单路、双路和四路低压（1.8V 至 5.5V）运算放大器，具有轨至轨输入和输出摆幅能力。此类器件是具有成本效益的方法，适用于需要低电压运行、小型封装尺寸和高容性负载驱动能力的汽车应用。虽然 TLV906x-Q1 的容性负载驱动能力为 100pF，但电阻式开环输出阻抗便于在更高的容性负载下更轻松地实现稳定。此类运算放大器专为低工作电压（1.8V 至 5.5V）而设计，性能规格类似于 OPAx316 和 TLVx316 器件，并与它们的非汽车级 TLV906x 对应产品相同。

器件信息

器件型号(2)	通道数	封装(1)	封装尺寸(3)
TLV9061-Q1	单通道	DBV（SOT-23，5）	2.90mm x 2.80mm
		DCK（SC70，5）	2.00 mm x 2.2 mm
TLV9061S-Q1	具有关断功能的单通道版本	DBV (SOT-23, 6)	2.90mm x 2.80mm
TLV9062-Q1	双通道	D（SOIC，8）	4.90mm × 6.00mm
		PW（TSSOP，8）	3.00mm × 6.40mm
		DGK（VSSOP，8）	3.00mm x 4.90mm
TLV9064-Q1	四通道	D（SOIC，14）	8.65mm × 6.00mm
		PW（TSSOP，14）	5.00mm x 6.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 请参阅*器件比较表*。
(3) 封装尺寸(长度×宽度)是一个标称值、在适用的情况下包括引脚。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

单极低通滤波器

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。
English Data Sheet: SBOS966

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 说明（续）.....4
6 器件比较表.....4
7 引脚配置和功能.....5
8 规格.....8
8.1 绝对最大额定值.....8
8.2 ESD 等级.....8
8.3 建议运行条件.....8
8.4 热性能信息：TLV9061-Q1.....9
8.5 热性能信息：TLV9062-Q1.....9
8.6 热性能信息：TLV9064-Q1.....9
8.7 电气特性.....10
8.8 典型特性.....12
9 详细说明.....18
9.1 概述.....18
9.2 功能方框图.....18
9.3 特性说明.....19
9.4 器件功能模式.....19
10 应用和实现.....20
10.1 应用信息.....20
10.2 典型应用.....20
10.3 电源相关建议.....23
10.4 布局.....24
11 器件和文档支持.....26
11.1 文档支持.....26
11.2 接收文档更新通知.....26
11.3 支持资源.....26
11.4 商标.....26
11.5 静电放电警告.....26
11.6 术语表.....26
12 机械、封装和可订购信息.....26

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (April 2023) to Revision H (June 2023) — **Page**

- 将 8 引脚 TSSOP (PW) 封装状态从*预发布*更改为*正在供货*.....1
- 更新了*器件信息*表的格式.....1

Changes from Revision F (January 2023) to Revision G (April 2023) — **Page**

- 将 5 引脚 SC70 (DCK) 封装状态从*预发布*更改为*正在供货*.....1

Changes from Revision E (February 2021) to Revision F (January 2023) — **Page**

- 向*器件信息*部分添加了 5 引脚 SOT-23 (DBV) 和 5 引脚 SC70 (DCK) 封装。.....1
- 更改了*说明（续）*部分以包含 TLV9061-Q1.....4
- 更改了*器件比较表*以添加 5 引脚 DBV 和 DCK.....4
- 向*引脚配置和功能*部分中添加了 5 引脚 SOT-23 和 SC70.....5
- 向*热性能信息：TLV9061-Q1*表中添加了 5 引脚 DBV (SOT-23) 和 DCK (SC70).....9

Changes from Revision D (October 2020) to Revision E (February 2021) — **Page**

- 删除了*器件信息*部分中 SOT-23 (6) 封装的预览说明。.....1
- 向 *ESD 等级*表中为 TLV9061S-Q1 添加了单独的 ESD 等级.....8
- 更新了*热性能信息：TLV9061S-Q1*表中的 DBV (SOT-23) 热性能信息.....9

Changes from Revision C (September 2020) to Revision D (October 2020) — **Page**

- 在整个数据表中添加了 TLV9061-Q1 GPN.....1

Changes from Revision B (September 2020) to Revision C (September 2020) — **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1
- 向*特性*部分添加了“提供功能安全”链接。.....1
- 为*绝对最大额定值*表中的差分输入电压添加了注释 5。.....8

Copyright © 2023 Texas Instruments Incorporated

Changes from Revision A (March 2020) to Revision B (September 2020)	Page
• 删除了*器件信息* 部分中 VSSOP (8) 和 TSSOP (14) 封装的预览说明。	1
• 向*热性能信息*部分中添加了 VSSOP (8) 封装的热性能信息	9
• 向*热性能信息*部分中添加了 TSSOP (14) 封装的热性能信息。	9

Changes from Revision * (April 2019) to Revision A (March 2020)	Page
• 首次公开发布的数据表	1

5 说明（续）

TLV906x-Q1 系列器件可用作通用汽车放大器，适用于需要低噪声和/或高带宽的低电压系统。

TLV906x-Q1 系列有助于简化系统设计，因为该系列具有稳定的单位增益，集成了 RFI 和 EMI 抑制滤波器，而且在过驱条件下不会出现相位反转。

这些器件提供单通道 (TLV9061-Q1)、双通道 (TLV9062-Q1) 和四通道 (TLV9064-Q1) 版本。单通道采用业界通用的 5 引脚 SOT-23、5 引脚 SC70 和 6 引脚 SOT-23 封装。6 引脚 SOT-23 封装具有用于关断功能的附加引脚。双通道和四通道版本均采用业界通用的 SOIC 和 TSSOP 封装，而且双通道还可采用 VSSOP 封装。

6 器件比较表

器件	通道数	封装引线				
		DBV	DCK	D	DGK	PW
TLV9061-Q1	1	5	5	—	—	—
TLV9061S-Q1	1	6	—	—	—	—
TLV9062-Q1	2	—	—	8	8	8
TLV9064-Q1	4	—	—	14	—	14

Copyright © 2023 Texas Instruments Incorporated

7 引脚配置和功能

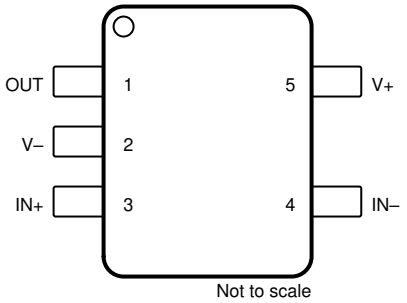


图 7-1. TLV9061-Q1 DBV 封装，5 引脚 SOT-23（顶视图）

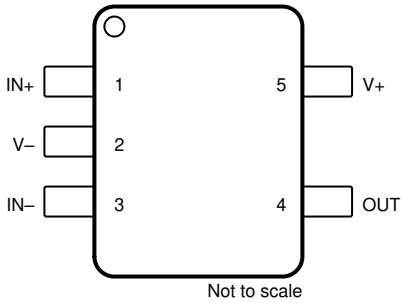


图 7-2. TLV9061-Q1 DCK 封装，5 引脚 SC70（顶视图）

表 7-1. 引脚功能：TLV9061-Q1

引脚			类型[(1)]	说明
名称	DBV	DCK		
+IN	3	1	I	同相输入
–IN	4	3	I	反相输入
OUT	1	4	O	输出
V+	5	5	—	正（最高）电源
V–	2	2	—	负电源（最低）

(1) I = 输入，O = 输出

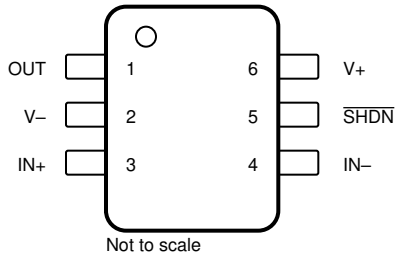


图 7-3. TLV9061S-Q1 DBV 封装，6 引脚 SOT-23（顶视图）

表 7-2. 引脚功能：TLV9061S-Q1

引脚		类型(1)	说明
名称	编号		
IN –	4	I	反相输入
IN+	3	I	同相输入
OUT	1	O	输出
$\overline{SHDN}$	5	I	关断：低电平 = 禁用放大器，高电平 = 启用放大器。更多信息请参阅*关断功能* 部分。
V –	2	I 或 —	负（最低）电源或接地（对于单电源供电）
V+	6	I	正（最高）电源

(1) I = 输入，O = 输出

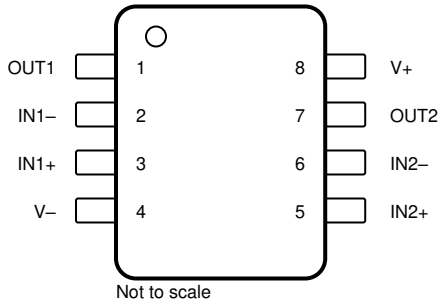


图 7-4. TLV9062-Q1 D、DGK 和 PW 封装，8 引脚 SOIC、VSSOP 和 TSSOP（顶视图）

表 7-3. 引脚功能：TLV9062-Q1

引脚		类型(1)	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V –	4	—	负（最低）电源或接地（对于单电源供电）
V+	8	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2023 Texas Instruments Incorporated

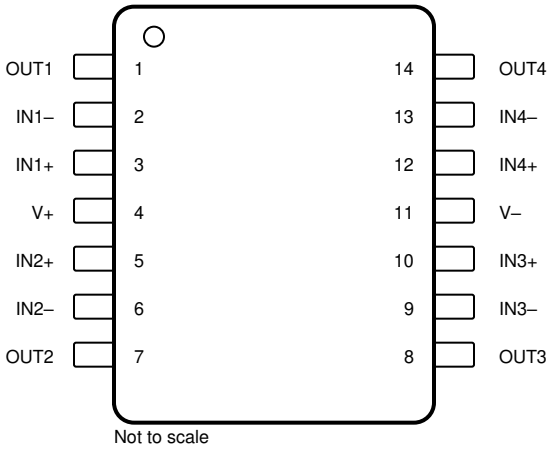


图 7-5. TLV9064-Q1 D 和 PW 封装
14 引脚 SOIC 和 TSSOP
（顶视图）

表 7-4. 引脚功能：TLV9064-Q1

引脚		类型[(1)]	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
IN3 –	9	I	反相输入，通道 3
IN3+	10	I	同相输入，通道 3
IN4 –	13	I	反相输入，通道 4
IN4+	12	I	同相输入，通道 4
NC	—	—	无内部连接
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V –	11	I 或 —	负（最低）电源或接地（对于单电源供电）
V+	4	I	正（最高）电源

(1) I = 输入，O = 输出

8 规格

8.1 绝对最大额定值

在工作环境温度范围内（除非另外注明）[(1)]

			最小值	最大值	单位
电源电压 [(V+) – (V–)]			0	6	V
信号输入引脚	电压[(2)]	共模	(V–) – 0.5	(V+) + 0.5	V
		差分[(5)]	(V+) – (V–) + 0.2		V
	电流[(2)]		-10	10	mA
输出短路[(3) (4)]			连续		mA
温度	额定温度，T_A		-40	125	°C
	结温，T_J			150	
	贮存温度，T_{stg}		-65	150	

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅能超过电源轨 0.5V 的输入信号，应将其电流限制在 10mA 或者更低。
(3) 接地短路，每个封装对应一个放大器。
(4) 长期连续电流限值由电迁移限值决定。
(5) 连续施加大于 0.5V 的差分输入电压会导致输入失调电压偏移超过该参数的最大规格。这种影响的幅度随着环境工作温度升高而增大。

8.2 ESD 等级

		值	单位
TLV9061S-Q1 封装			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	±2000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	±1500	
所有其他封装			
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	±4000	V
	充电器件模型 (CDM)，符合 AEC Q100-011	±1500	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

8.3 建议运行条件

在工作环境温度范围内测得（除非另外注明）

		最小值	最大值	单位
V_S	电源电压 (V_S = [V+] – [V–])	1.8	5.5	V
V_I	输入电压	(V–) – 0.1	(V+)+0.1	V
V_O	输出电压	V–	V+	V
V_{SHDN_IH}	关断引脚上的高电平输入电压（放大器为启用状态）	1.1	V+	V
V_{SHDN_IL}	关断引脚上的低电平输入电压（放大器为禁用状态）	V–	0.2	V
T_A	额定温度	-40	125	°C

Copyright © 2023 Texas Instruments Incorporated

8.4 热性能信息：TLV9061-Q1

热指标[1]		TLV9061S-Q1	TLV9061-Q1		单位
		DBV (SOT-23)	DBV (SOT-23)	DCK (SC70)	
		6 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	210.9	232.5	246.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	130.5	131.0	157.5	°C/W
$R_{\theta JB}$	结至电路板热阻	91.7	99.6	95.4	°C/W
ψ_{JT}	结至顶部特征参数	70.1	66.5	68.8	°C/W
ψ_{JB}	结至电路板特征参数	91.5	99.1	95.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

8.5 热性能信息：TLV9062-Q1

热指标[1]		TLV9062-Q1			单位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	152.0	198.5	205.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	92.1	87.2	93.7	°C/W
$R_{\theta JB}$	结至电路板热阻	95.6	120.3	135.7	°C/W
ψ_{JT}	结至顶部特征参数	40.1	23.8	25.0	°C/W
ψ_{JB}	结至电路板特征参数	94.8	118.7	134.0	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热指标*。

8.6 热性能信息：TLV9064-Q1

热指标[1]		TLV9064-Q1		单位
		PW (TSSOP)	D (SOIC)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	133.8	111.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	62.1	67.6	°C/W
$R_{\theta JB}$	结至电路板热阻	76.9	67	°C/W
ψ_{JT}	结至顶部特征参数	13.2	27.4	°C/W
ψ_{JB}	结至电路板特征参数	76.3	66.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*。

8.7 电气特性

在 V_S（总电源电压）= (V+) – (V–) = 1.8V 至 5.5V、T_A = 25°C、R_L = 10kΩ（连接至 V_S/2）、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	V_S = 5V		±0.3	±1.85	mV
		V_S = 5V，T_A = –40°C 至 125°C			±2	
dV_{OS}/dT	漂移	V_S = 5V，T_A = –40°C 至 125°C		±0.53		μV/°C
PSRR	电源抑制比	V_S = 1.8V – 5.5V，V_{CM} = (V–)		±7	±80	μV/V
	通道分离，直流	直流时		100		dB
输入电压范围						
V_{CM}	共模电压范围	V_S = 1.8V 至 5.5V	(V–) – 0.1		(V+)+0.1	V
CMRR	共模抑制比	V_S = 5.5V，(V–) – 0.1V < V_{CM} < (V+) – 1.4V T_A = –40°C 至 125°C	80	103		dB
		V_S = 5.5V，V_{CM} = –0.1V 至 5.6V T_A = –40°C 至 125°C	57	75		
		V_S = 1.8V，(V–) – 0.1V < V_{CM} < (V+) – 1.4V， T_A = –40°C 至 125°C		88		
		V_S = 1.8V，V_{CM} = –0.1V 至 1.9V T_A = –40°C 至 125°C		70		
输入偏置电流						
I_B	输入偏置电流			±5		pA
I_{OS}	输入失调电流			±5		pA
噪声						
E_n	输入电压噪声（峰峰值）	V_S = 5V，f = 0.1Hz 至 10Hz		4.77		$μV_{PP}$
e_n	输入电压噪声密度	V_S = 5V，f = 10kHz		10		nV/√Hz
		V_S = 5V，f = 1kHz		16		
i_n	输入电流噪声密度	f = 1kHz		23		fA/√Hz
输入电容						
C_{ID}	差分			2		pF
C_{IC}	共模			4		pF
开环增益						
A_{OL}	开环电压增益	V_S = 1.8V，(V–) + 0.04V < V_O < (V+) – 0.04V， R_L = 10kΩ		100		dB
		V_S = 5.5V，(V–) + 0.05V < V_O < (V+) – 0.05V， R_L = 10kΩ	104	130		
		V_S = 1.8V，(V–) + 0.06V < V_O < (V+) – 0.06V， R_L = 2kΩ		100		
		V_S = 5.5V，(V–) + 0.15V < V_O < (V+) – 0.15V， R_L = 2kΩ		130		
频率响应						
GBP	增益带宽积	V_S = 5V，G = +1		10		MHz
$Φ_m$	相位裕度	V_S = 5V，G = +1		55		°
SR	压摆率	V_S = 5V，G = +1		6.5		V/μs
t_S	趋稳时间	精度达到 0.1%，V_S = 5V，2V 阶跃，G = +1，C_L = 100pF		0.5		μs
		精度达到 0.01%，V_S = 5V，2V 阶跃， G = +1，C_L = 100pF		1		
t_{OR}	过载恢复时间	V_S = 5V，V_{IN} × 增益 > V_S		0.2		μs
THD + N	总谐波失真 + 噪声(1)	V_S = 5.5V，V_{CM} = 2.5V，V_O = 1V_{RMS}，G = +1， f = 1kHz		0.0008%		
输出						

Copyright © 2023 Texas Instruments Incorporated

8.7 电气特性 (continued)

在 V_S（总电源电压）= (V+) – (V–) = 1.8V 至 5.5V、T_A = 25°C、R_L = 10kΩ（连接至 V_S/2）、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_O	相对于电源轨的电压输出摆幅	V_S = 5.5V，R_L = 10kΩ			20	mV
		V_S=5.5V，R_L=2kΩ			60	
I_{SC}	短路电流	V_S = 5V		±50		mA
Z_O	开环输出阻抗	V_S = 5V，f = 10MHz		100		Ω
电源						
I_Q	每个放大器的静态电流	V_S = 5.5V，I_O = 0mA		538	750	μA
		V_S = 5.5V，I_O = 0mA，T_A = –40°C 至 125°C			800	
关断(2)						
I_{QSD}	每个放大器的静态电流	V_S = 1.8V 至 5.5V，所有放大器都被禁用，$\overline{SHDN}$ = 低电平		0.5	1.5	μA
Z_{SHDN}	关断时的输出阻抗	V_S = 1.8V 至 5.5V，放大器为禁用状态		10 || 8		GΩ || pF
$V_{SHDN_THR_HI}$	高电平电压关断阈值（放大器为启用状态）	V_S = 1.8V 至 5.5V		(V–) + 0.9	(V–) + 1.1	V
$V_{SDHN_THR_LO}$	低电平电压关断阈值（放大器为禁用状态）	V_S = 1.8V 至 5.5V	(V–) + 0.2	(V–) + 0.7		V
t_{ON}	放大器启用时间（关断）(3)	V_S = 1.8V 至 5.5V，完全关断；G = 1，V_{OUT} = 0.9 × V_S/2，R_L 连接到 V–		10		μs
t_{OFF}	放大器禁用时间(3)	V_S = 1.8V 至 5.5V，G = 1，V_{OUT} = 0.1 × V_S/2，R_L 连接到 V–		0.6		μs
	$\overline{SHDN}$ 引脚输入偏置电流（每个引脚）	V_S = 1.8V 至 5.5V，V+ ≥ $\overline{SHDN}$ ≥ (V+) - 0.8V		130		pA
		V_S = 1.8V 至 5.5V，(V–) ≤ $\overline{SHDN}$ ≤ (V–) + 0.8V		40		

(1) 三阶滤波器；–3dB 时的带宽 = 80kHz。
(2) 由设计和特征确保；未经生产测试。
(3) 禁用时间 (t_{OFF}) 和启用时间 (t_{ON}) 是指施加给 $\overline{SHDN}$ 引脚的信号为 50% 时到输出电压达到 10%（禁用）或 90%（启用）电平时之间的时间间隔。

8.8 典型特性

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）

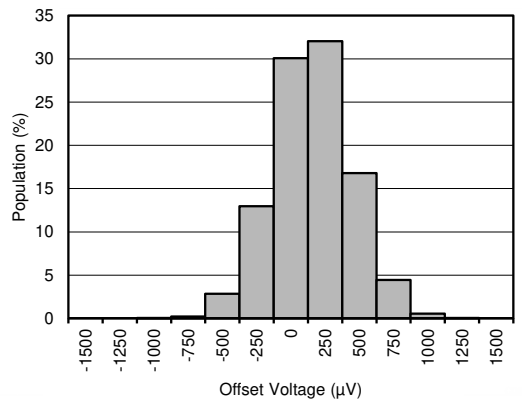
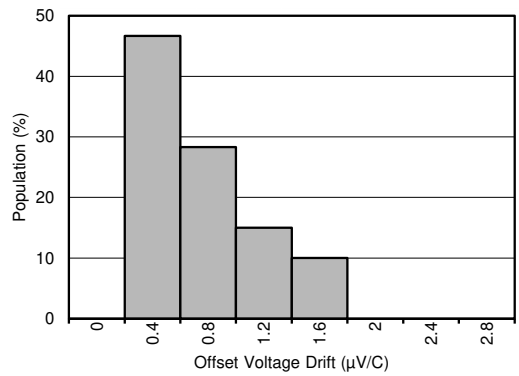


图 8-1. 失调电压生产分配



T_A = –40°C 至 125°C

图 8-2. 失调电压漂移分配

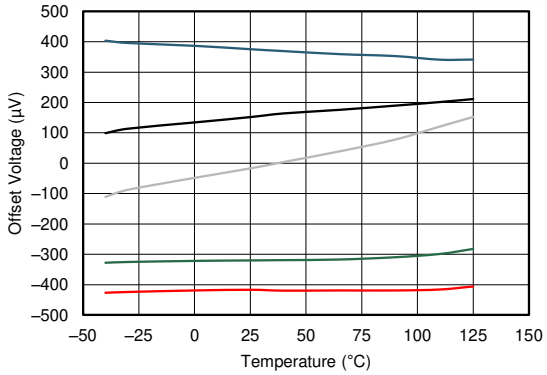
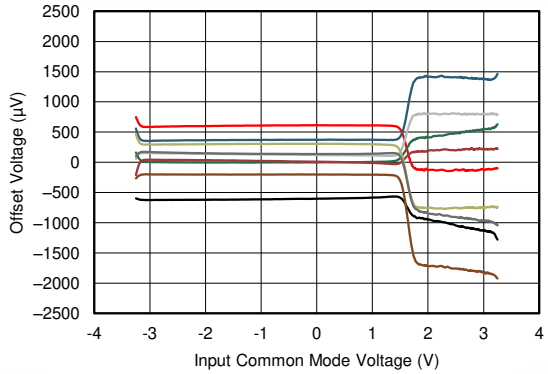
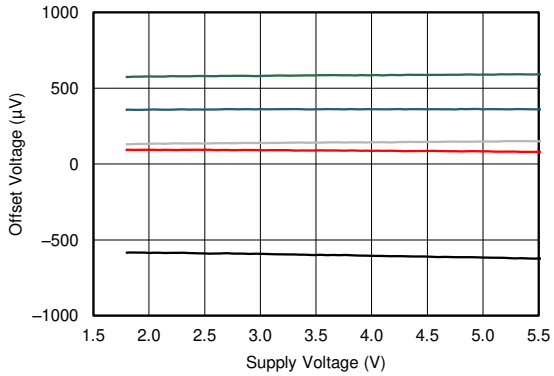


图 8-3. 失调电压与温度间的关系



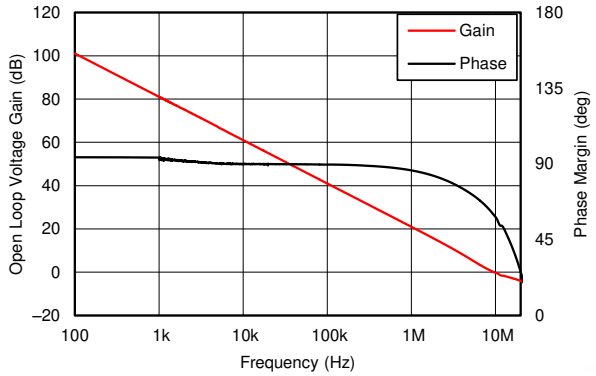
V+ = 2.75V　　V– = –2.75V

图 8-4. 失调电压与共模电压间的关系



V_S = 1.8V 至 5.5V

图 8-5. 失调电压与电源间的关系



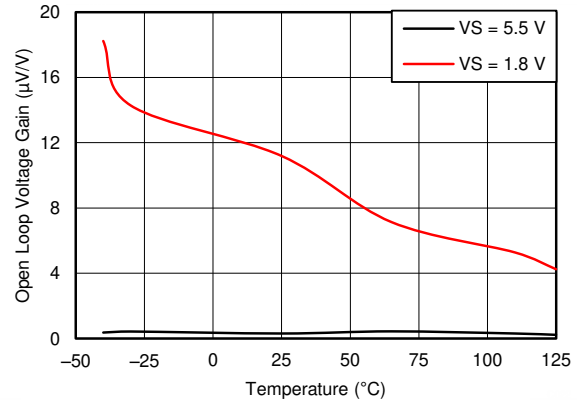
C_L = 10pF

图 8-6. 开环增益和相位与频率间的关系

Copyright © 2023 Texas Instruments Incorporated

8.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



R_L = 2kΩ

图 8-7. 开环增益与温度间的关系

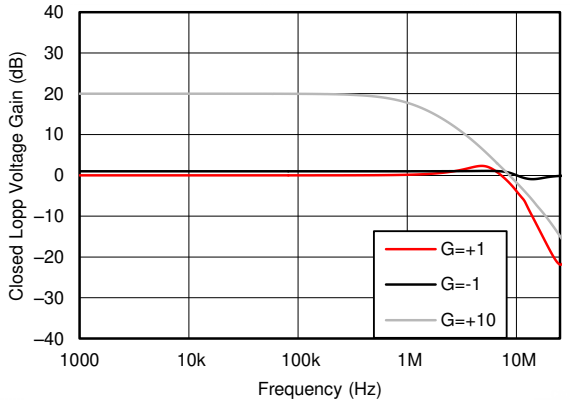


图 8-8. 闭环增益与频率间的关系

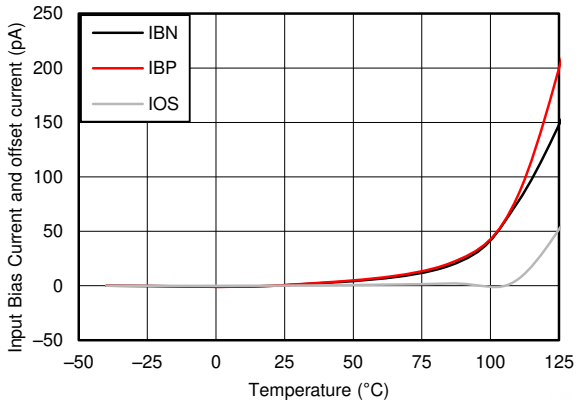
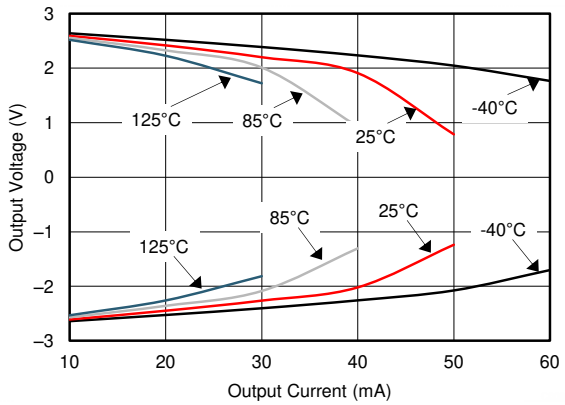


图 8-9. 输入偏置电流与温度间的关系



V+ = 2.75V　　V – = – 2.75V

图 8-10. 输出电压摆幅与输出电流间的关系

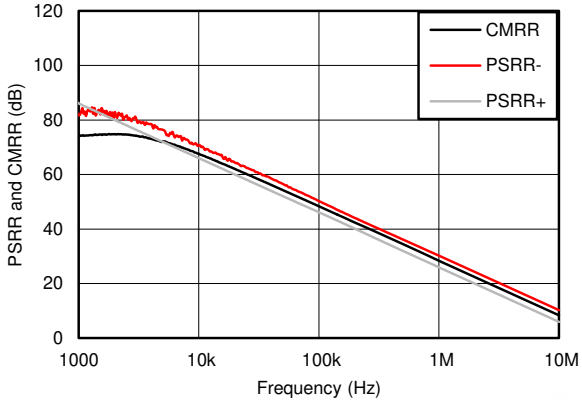
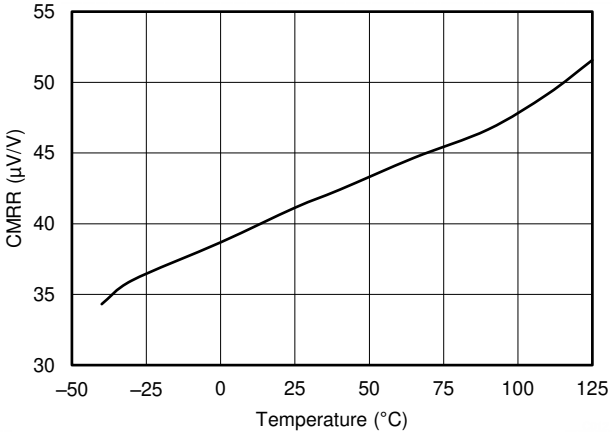


图 8-11. CMRR 和 PSRR 与频率间的关系（以输入为参考）

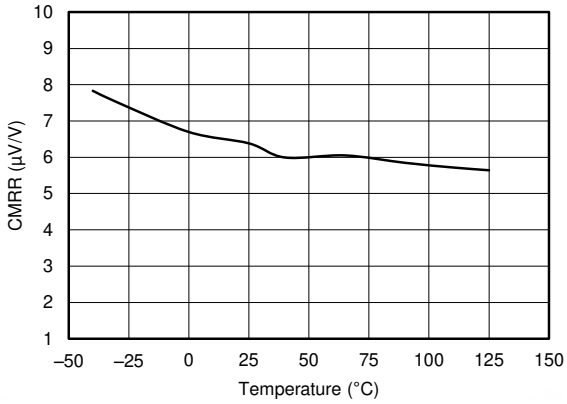


V_S = 5.5V　V_{CM} = -0.1 V 至 5.6 V　T_A = – 40°C 至 125°C
R_L = 10kΩ

图 8-12. CMRR 与温度间的关系

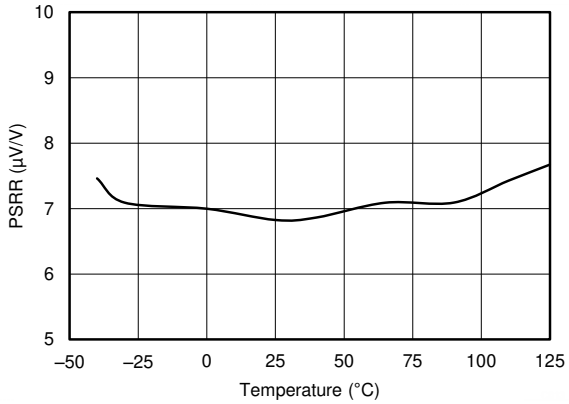
8.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



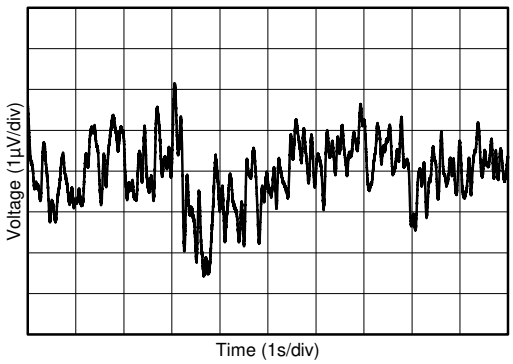
V_{CM} = (V–) – 0.1V 至 (V+) – 1.4V
T_A = –40°C 至 125°C　　R_L = 10kΩ　　V_S = 5.5V

图 8-13. CMRR 与温度间的关系



V_S = 1.8V 至 5.5V

图 8-14. PSRR 与温度间的关系



V_S = 1.8V 至 5.5V

图 8-15. 0.1Hz 至 10Hz 输入电压噪声

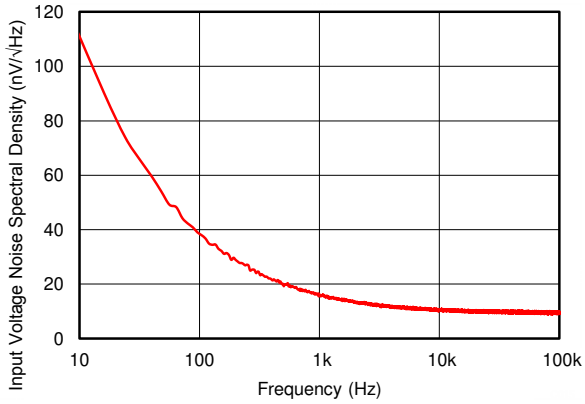
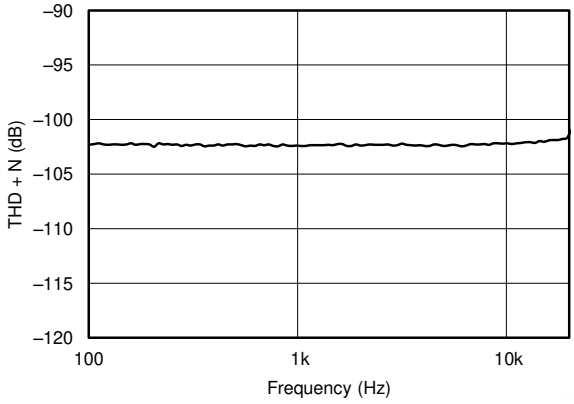
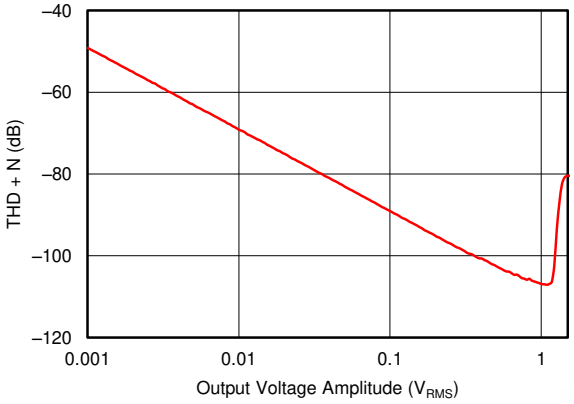


图 8-16. 输入电压噪声频谱密度与频率间的关系



V_S = 5.5V　　V_{CM} = 2.5V　　R_L = 2kΩ
V_{OUT} = 0.5V_{RMS}　　BW = 80kHz　　G = +1

图 8-17. THD+N 与频率间的关系



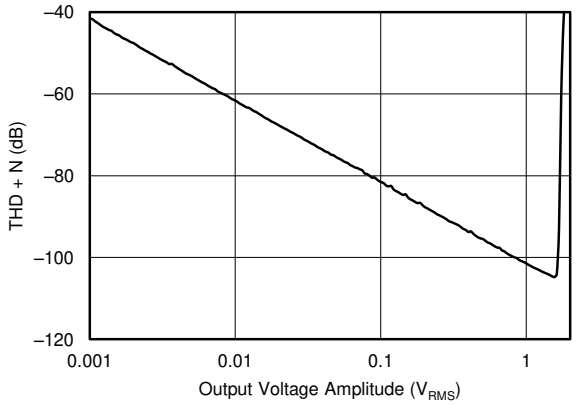
V_S = 5.5V　　R_L = 2kΩ　　G = +1
V_{CM} = 2.5V　　BW = 80kHz　　f = 1kHz

图 8-18. THD + N 与幅度间的关系

Copyright © 2023 Texas Instruments Incorporated

8.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



V_S = 5.5V　V_{CM} = 2.5V　R_L = 2kΩ
G = –1　BW = 80kHz　f = 1kHz

图 8-19. THD + N 与幅度间的关系

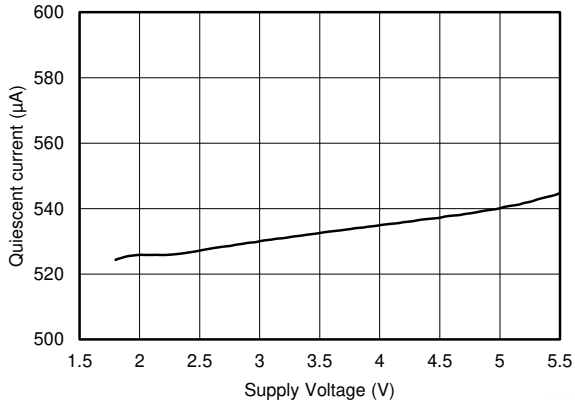


图 8-20. 静态电流与电源电压间的关系

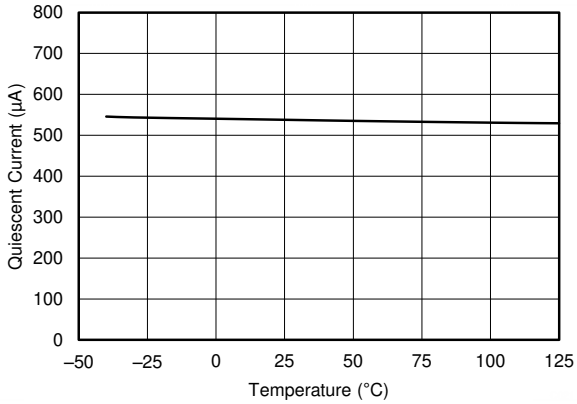


图 8-21. 静态电流与温度间的关系

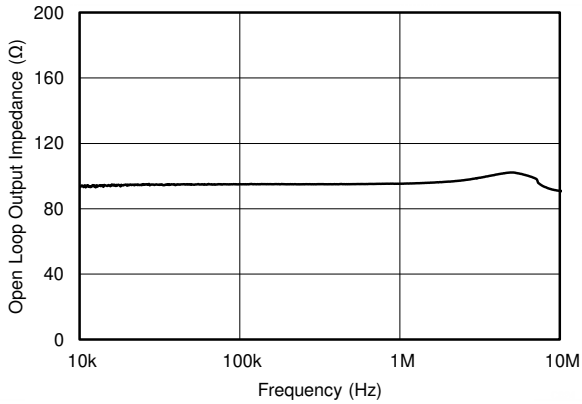
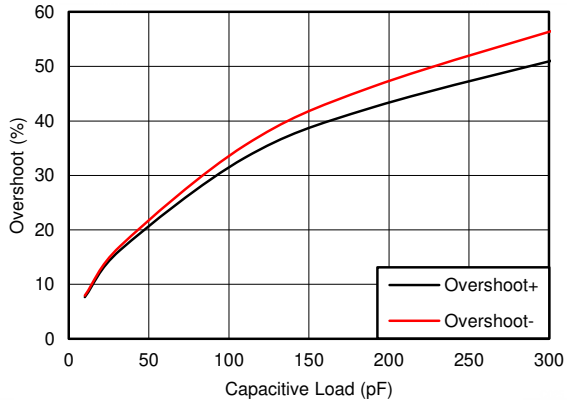
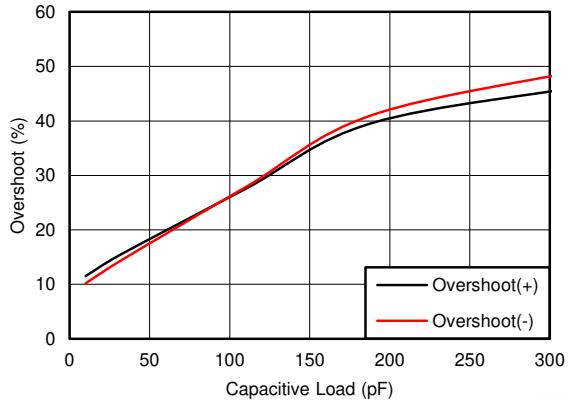


图 8-22. 开环输出阻抗与频率间的关系



V+ = 2.75V　V– = –2.75V　G = +1V/V
V_{OUT} 阶跃 = 100mV_{p-p}　R_L = 10kΩ

图 8-23. 小信号过冲与负载电容间的关系

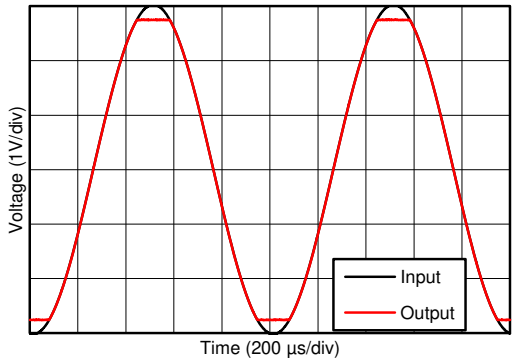


V+ = 2.75V　V– = –2.75V　G = –1V/V
V_{OUT} 阶跃 = 100mV_{p-p}　R_L = 10kΩ

图 8-24. 小信号过冲与负载电容间的关系

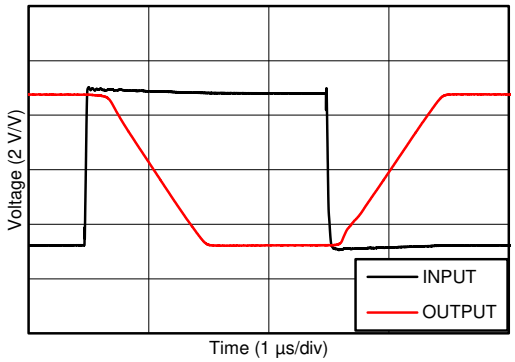
8.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



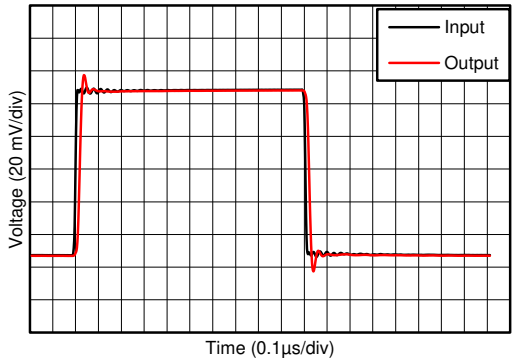
V+ = 2.75V　　V– = –2.75V

图 8-25. 无相位反转



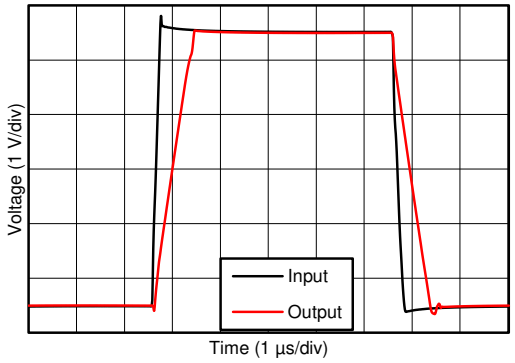
V+ = 2.75V　　V– = –2.75V　　G = –10V/V

图 8-26. 过载恢复



V+ = 2.75V　　V– = –2.75V　　G = 1V/V

图 8-27. 小信号阶跃响应



V+ = 2.75V　　V– = –2.75V　　C_L = 100pF
G = 1V/V

图 8-28. 大信号阶跃响应

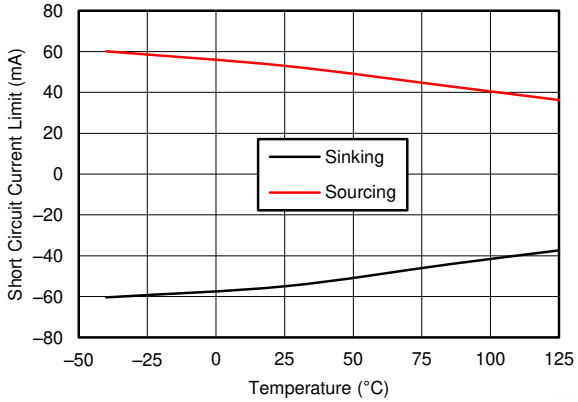
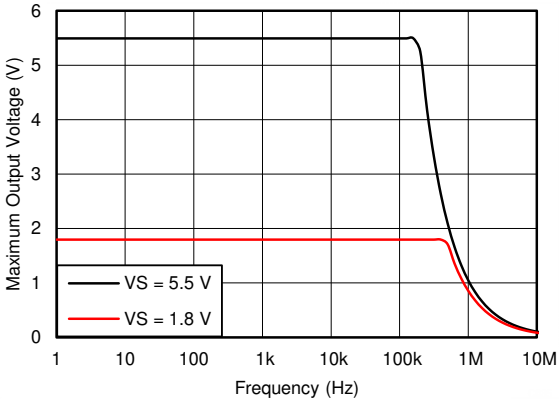


图 8-29. 短路电流与温度间的关系



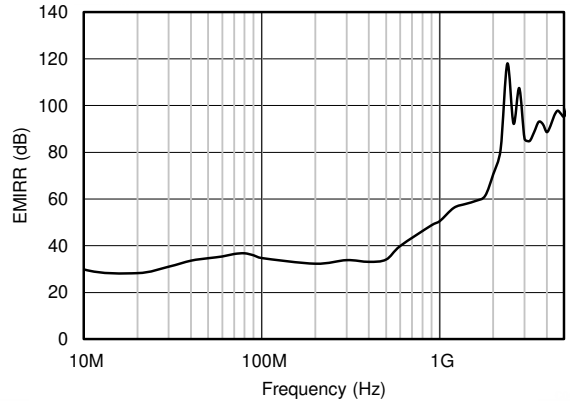
R_L = 10kΩ　　C_L = 10pF

图 8-30. 最大输出电压与频率和电源电压间的关系

Copyright © 2023 Texas Instruments Incorporated

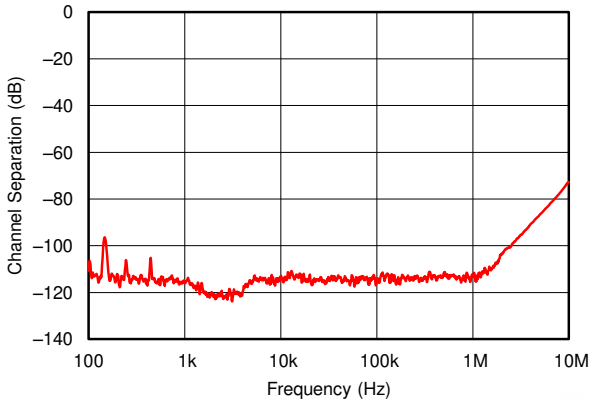
8.8 典型特性 (continued)

T_A = 25°C，V_S = 5.5V，R_L = 10kΩ（连接至 V_S/2），V_{CM} = V_S/2 且 V_{OUT} = V_S/2（除非另有说明）



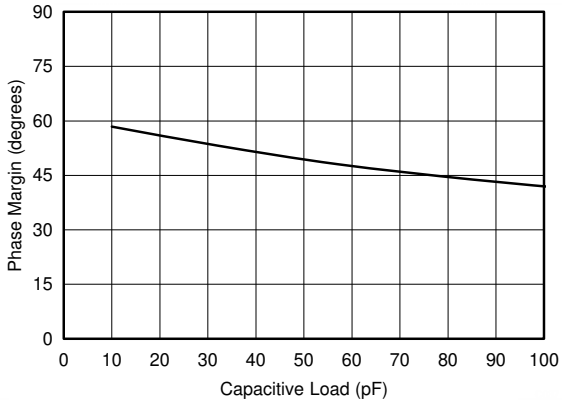
P_{RF} = –10dBm

图 8-31. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系



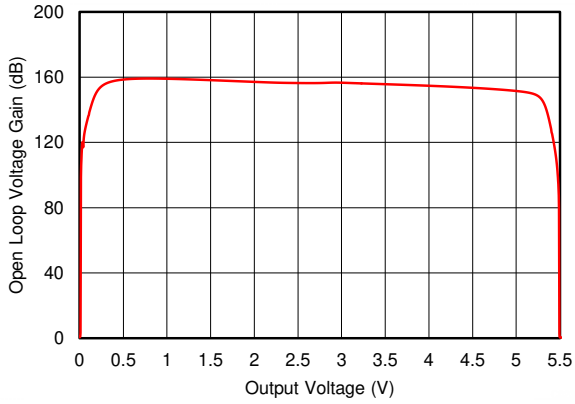
V+ = 2.75V　　V– = –2.75V

图 8-32. 通道隔离与频率间的关系



V_S = 5.5V

图 8-33. 相位裕度与容性负载间的关系



V_S = 5.5V

图 8-34. 开环电压增益与输出电压间的关系

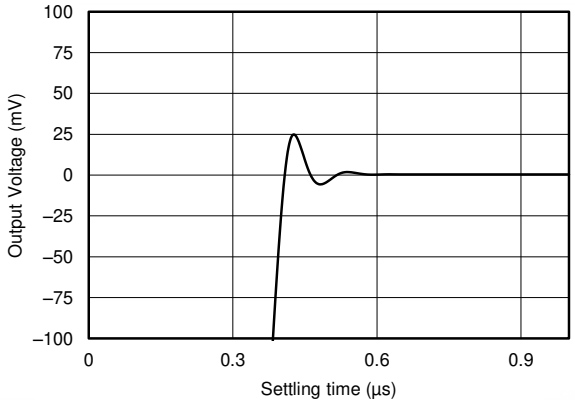


图 8-35. 大信号建立时间（正）

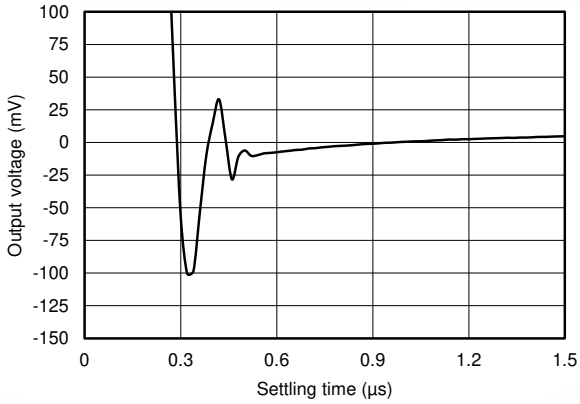


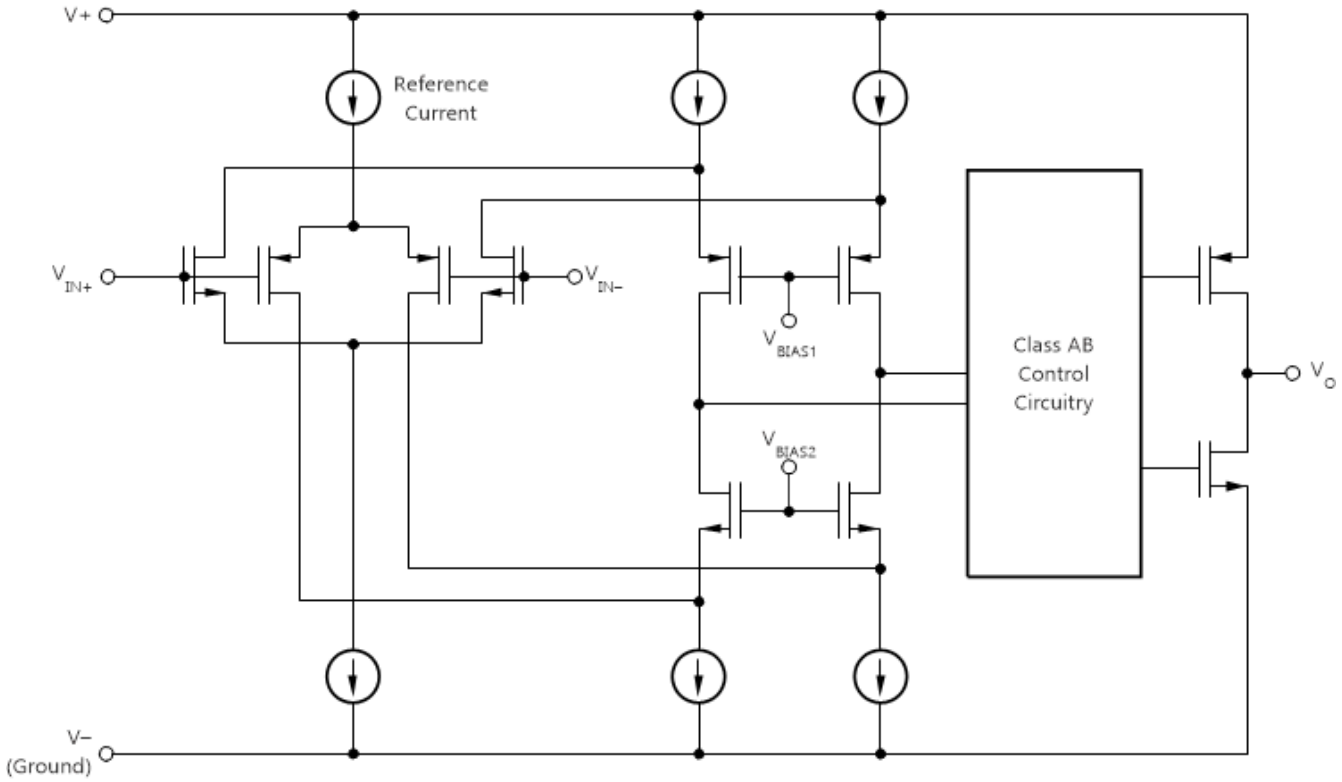
图 8-36. 大信号建立时间（负）

9 详细说明

9.1 概述

TLV906x-Q1 器件是低功耗、轨至轨输入和输出运算放大器系列。这些器件的工作电压范围为 1.8V 至 5.5V，具有单位增益稳定特性，并且适用于各种通用应用。输入共模电压范围包括两个电源轨，并支持将 TLV906x-Q1 系列器件用于几乎任何单电源应用。轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电源电压应用中）。高带宽使该系列能够驱动模数转换器 (ADC) 的采样保持电路。

9.2 功能方框图



Copyright © 2023 Texas Instruments Incorporated

9.3 特性说明

9.3.1 轨到轨输入

TLV906x-Q1 系列的输入共模电压范围相对于电源轨向外扩展了 100mV，从而支持 1.8V 至 5.5V 的完整电源电压范围。此性能由一个互补输入级实现：一个 N 沟道输入差分对和一个 P 沟道差分对并联，如*功能方框图*部分所示。当输入电压靠近正轨（通常在 (V+) – 1.4V 到高于正电源电压 200mV 之间）时，N 沟道对有效；而当输入在低于负电源电压 200mV 到大约 (V+) – 1.4V 之间时，P 沟道对有效。在一个通常介于 (V+) – 1.2V 到 (V+) – 1V 之间的小转换区域内，两个通道对都会打开。此 200mV 转换区域可能会随工艺不同而发生变化，最高可达 200mV。因此，此转换区域（两个级都打开）在低端上的范围介于 (V+) – 1.4V 至 (V+) – 1.2V 之间，而在高端上的范围高达 (V+) – 1V 至 (V+) – 0.8V。在此转换区域内，与器件在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 等性能可能会下降。

9.3.2 轨到轨输出

TLV906x-Q1 系列设计为一种低功耗、低电压运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管的 AB 类输出级可实现完全的轨到轨输出摆幅功能。对于 10kΩ 的阻性负载，无论施加的电源电压是多少，输出摆幅都在两个电源轨的 15mV 范围内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。

9.3.3 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间回到线性状态。当电荷载体回到线性状态时，器件开始以指定的压摆率进行转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TLV906x-Q1 系列的过载恢复时间约为 200ns。

9.3.4 关断功能

TLV906xS-Q1 器件具有 $\overline{\text{SHDN}}$ 引脚，可禁用运算放大器，将其置于低功耗待机模式。在该模式下，运算放大器消耗的电流通常低于 1μA。$\overline{\text{SHDN}}$ 引脚为低电平有效，这意味着当 $\overline{\text{SHDN}}$ 引脚的输入为有效逻辑低电平时启用关断模式。

$\overline{\text{SHDN}}$ 引脚以运算放大器的负电源电压为基准。关断特性的阈值在 800mV（典型值）左右，且不随电源电压而变化。开关阈值中包含了迟滞，可保持顺畅的开关特性。为了确保出色的关断行为，必须通过有效逻辑信号驱动 $\overline{\text{SHDN}}$ 引脚。有效逻辑低电平被定义为 V – 和 V – + 0.2V 之间的电压。有效逻辑高电平被定义为 V – + 1.2 V 和 V+ 之间的电压。关断引脚必须连接到有效的高电压或低电压或者被驱动，而不是处于开路状态。

$\overline{\text{SHDN}}$ 引脚为高阻抗 CMOS 输入。双通道运算放大器版本是独立控制的，而四通道运算放大器版本是采用逻辑输入成对控制的。对于电池供电应用，这种特性可用于大幅降低平均电流并延长电池使用寿命。所有通道全部关断时，启用时间为 10μs；禁用时间为 3μs。禁用时，输出呈现高阻抗状态。该架构支持将 TLV906xS-Q1 用作门控放大器（或将器件输出复用到公共模拟输出总线上）。关断时间 (t_{OFF}) 取决于负载条件，并随负载电阻的增加而增加。为了确保在特定的关断时间内关断（禁用），指定的 10kΩ 负载需加载到中间电源 (V_S/2)。如果在没有负载的情况下使用 TLV906xS-Q1，则所需的关断时间会显著增加。

9.4 器件功能模式

TLV906x-Q1 系列中的器件在电源电压介于 1.8V (±0.9V) 和 5.5V (±2.75V) 之间时可以正常工作。TLV906xS 器件具有关断模式，在关断引脚上施加有效逻辑低电平时会关断。

10 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

10.1 应用信息

TLV906x-Q1 系列具有 10MHz 带宽和 6.5V/μs 压摆率，且每个通道仅消耗 538μA 的电源电流，从而在功耗超低的情况下提供良好的交流性能。对于直流应用，该系列在 10kHz 下具有 10nV/√Hz 的超低输入噪声电压，并且具有低输入偏置电流和 0.3mV 的典型输入失调电压，从而提供良好的性能。

10.2 典型应用

10.2.1 典型的低侧电流检测应用

图 10-1 展示了低侧电流检测应用中配置的 TLV906x-Q1。

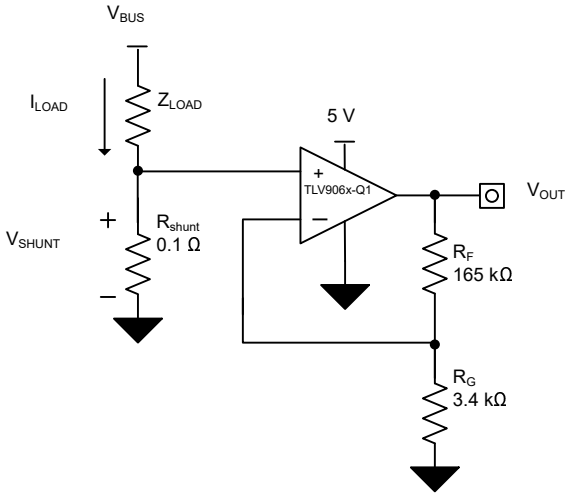


图 10-1. 低侧电流检测应用中的 TLV906x-Q1

10.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压：4.95 V
- 最大分流电压：100mV

Copyright © 2023 Texas Instruments Incorporated

10.2.1.2 详细设计过程

方程式 1 提供了图 10-1 中的电路传递函数。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times GAIN \tag{1}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，方程式 2 中定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\,mV}{1\,A} = 100\,m\Omega \tag{2}$$

根据方程式 2 可知，R_{SHUNT} 等于 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 TLV906x-Q1 放大，从而产生大约 0V 至 4.95V 的输出电压。根据方程式 3 可计算 TLV906x-Q1 产生所需输出电压需要的增益。

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \tag{3}$$

根据方程式 3 计算出的所需增益等于 49.5V/V，通过 R_F 和 R_G 电阻器进行设置。方程式 4 可确定 R_F 和 R_G 电阻器的大小，从而将 TLV906x-Q1 的增益设置为 49.5V/V。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \tag{4}$$

选择 R_F 为 165kΩ 以及 R_G 为 3.4kΩ 可提供等于约 49.5V/V 的组合。图 10-2 展示了图 10-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，实际电阻器阻值由设计人员希望建立的阻抗水平决定。阻抗水平决定了电流消耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的理想阻抗选择，设计人员必须选择更适合系统参数的阻抗。

10.2.1.3 应用曲线

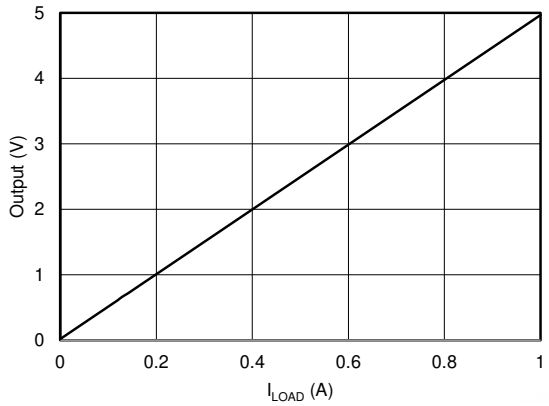


图 10-2. 低侧电流检测传递函数

10.2.2 比较器典型应用

比较器用于区分两种不同的信号电平。例如，比较器可用于区分过压情况和正常运行状态。TLV9062-Q1 可作为比较器使用，方法是将待比较的两个电压施加到相应的每个输入，而从输出到反相输入无任何反馈。

TLV9062-Q1 具有一个轨至轨输入和输出级，其输入共模范围超出电源轨 100mV。TLV9062-Q1 适用于在整个输入共模范围内防止相位反转。用作比较器的 TLV9062-Q1 的传播延迟等于过载恢复时间与压摆率之和。过驱动电压低于 100mV 将导致传播延迟延长，因为过载恢复时间会增加，而压摆率会降低。

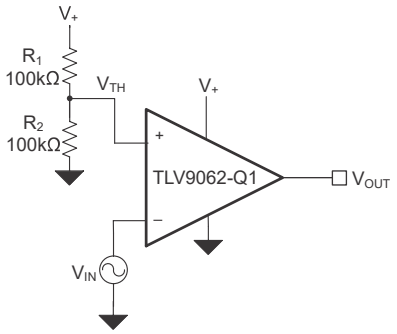


图 10-3. 比较器典型应用

10.2.2.1 设计要求

此设计的设计要求如下：

- 电源电压 (V_+)：5V
- 输入 (V_{IN})：0V 至 5V
- 阈值电压 (V_{TH})：2.5V

10.2.2.2 详细设计过程

反相比较器电路向运算放大器的反相端子施加输入电压 (V_{IN})。两个电阻器（R1 和 R2）分摊电源电压 (V_{CC})，以建立 1/2 Vs 阈值电压 (V_{TH})（根据方程式 5 计算得出）。具体电路如图 10-3 所示。当 V_{IN} 低于 V_{TH} 时，输出电压将切换为正电源，并等于高电平输出电压。当 V_{IN} 高于 V_{TH} 时，输出电压将切换为负电源，并等于低电平输出电压 V_{TH}。

$$V_{TH} = \frac{R_2}{R_1 + R_2} \times V_+ = 2.5\,V \tag{5}$$

10.2.2.3 应用曲线

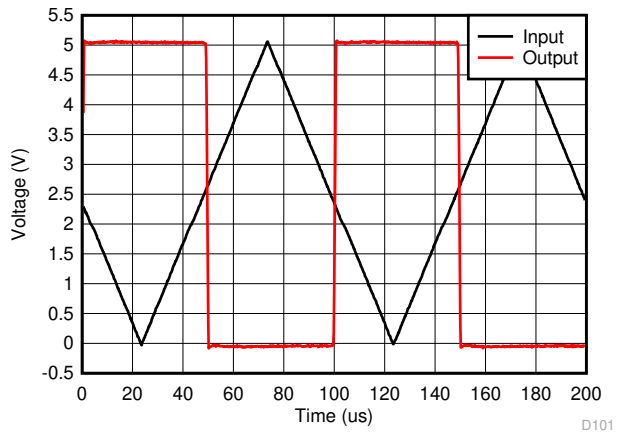


图 10-4. 比较器对输入电压的响应（包括传播延迟）

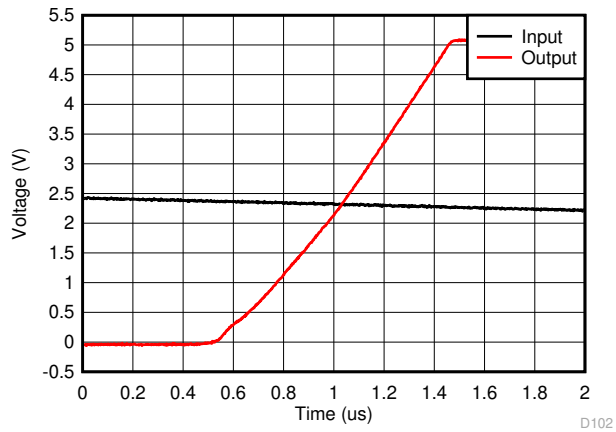


图 10-5. 上升沿

Copyright © 2023 Texas Instruments Incorporated

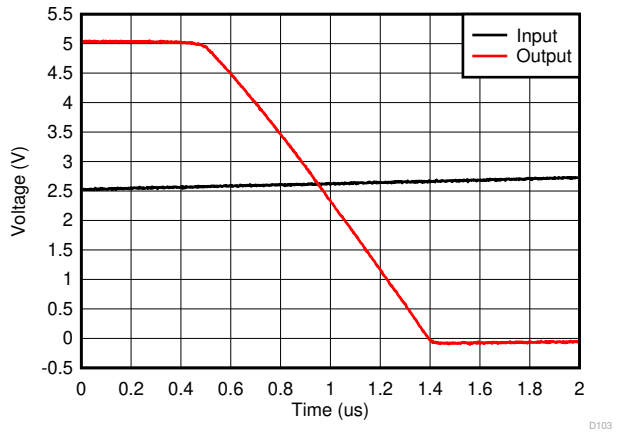


图 10-6. 下降沿

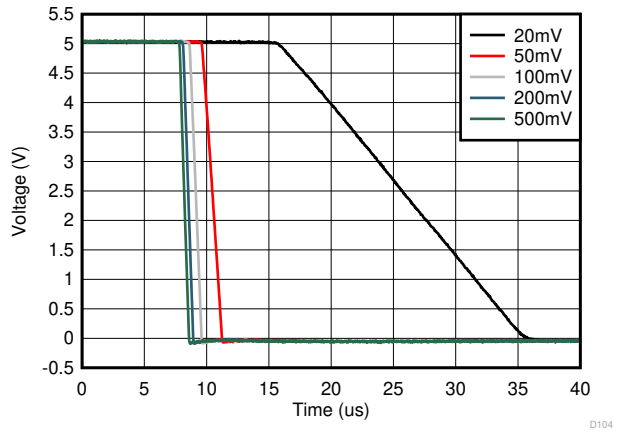


图 10-7. 下降沿传播延迟与输入过驱电压间的关系

10.3 电源相关建议

TLV906x-Q1 系列的额定工作范围为 1.8V 至 5.5V（±0.9V 至 ±2.75V）；多种规格适用于 –40°C 至 125°C 的温度范围。*典型特性* 部分介绍了可能会随工作电压或温度而显著变化的参数。

CAUTION

电源电压大于 6 V 会对器件造成永久损坏；请参阅*绝对最大额定值*表。

将 0.1μF 旁路电容器置于电源引脚附近，以减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器位置的更多详细信息，请参阅*布局*部分。

10.3.1 输入和 ESD 保护

TLV906x-Q1 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流如*绝对最大额定值*表中所示不超过 10mA，这些 ESD 保护二极管就可以提供电路内输入过驱保护。图 10-8 展示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

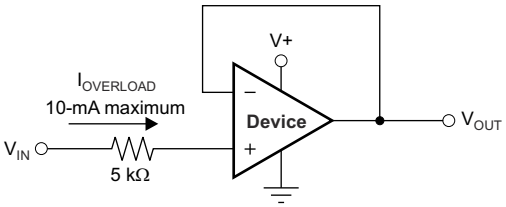


图 10-8. 输入电流保护

10.4 布局

10.4.1 布局指南

为了使器件具有最佳运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身的电源引脚传入模拟电路。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间接入低等效串联电阻 (ESR) 0.1μF 陶瓷旁路电容，并尽量靠近器件放置。从 V+ 到接地端的单个旁路电容器足以满足单电源应用的需求。
- 将电路中的模拟部分和数字部分单独接地是最简单最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件尽可能靠近器件放置。如图 10-10 所示，使 R_F 和 R_G 接近反相输入可最大限度地减小反相输入端的寄生电容。
- 尽可能缩短输入走线的长度。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可以显著减少附近走线在不同电势下产生的泄漏电流。
- 为获得最佳性能，建议在组装 PCB 板后进行清洗。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。请遵循所有的 PCB 水清洁流程，建议将 PCB 组装烘干，以去除清洗时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

Copyright © 2023 Texas Instruments Incorporated

10.4.2 布局示例

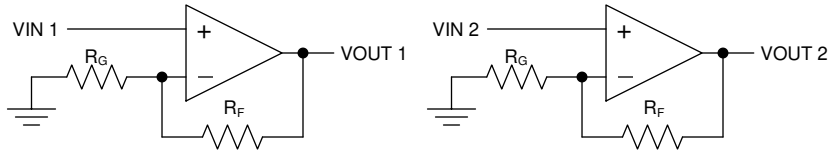


图 10-9. 原理图表示

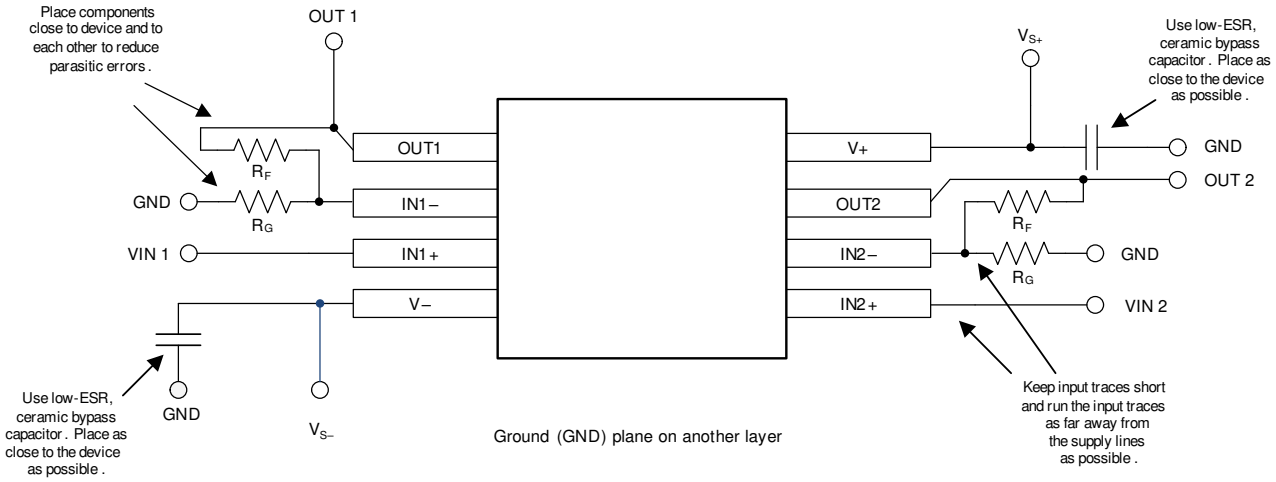


图 10-10. 布局示例

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*TLVx313-Q1 适用于成本敏感型应用的低功耗、轨到轨输入/输出、500μV 典型失调电压、1MHz 运算放大器数据表*。
- 德州仪器 (TI)，*TLVx314-Q1 3MHz、低功耗、内置 EMI 滤波器、RRIO 运算放大器 数据表*。
- 德州仪器 (TI)，*运算放大器的 EMI 抑制比应用报告*。
- 德州仪器 (TI)，*QFN/SON PCB 连接应用报告*。
- 德州仪器 (TI)，*单端输入至差分输出转换电路参考设计*。

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

11.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9061QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1N2
TLV9061QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1N2
TLV9061QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1N5
TLV9061QDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1N5
TLV9061SQDBVRQ1	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2CTF
TLV9061SQDBVRQ1.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2CTF
TLV9062QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27CT
TLV9062QDGKRQ1.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27CT
TLV9062QDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9062Q
TLV9062QDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9062Q
TLV9062QPWRQ1	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QTL906
TLV9062QPWRQ1.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QTL906
TLV9064QDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV9064QD
TLV9064QDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV9064QD
TLV9064QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T9064Q
TLV9064QPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9064Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9061-Q1, TLV9062-Q1, TLV9064-Q1 :

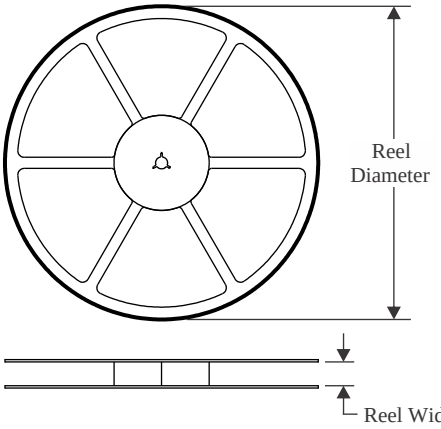
- Catalog : TLV9061, TLV9062, TLV9064

NOTE: Qualified Version Definitions:

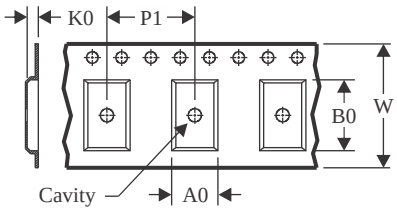
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

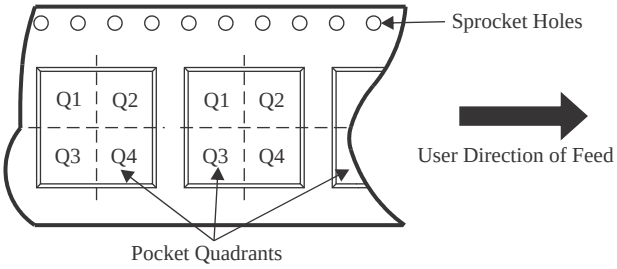


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

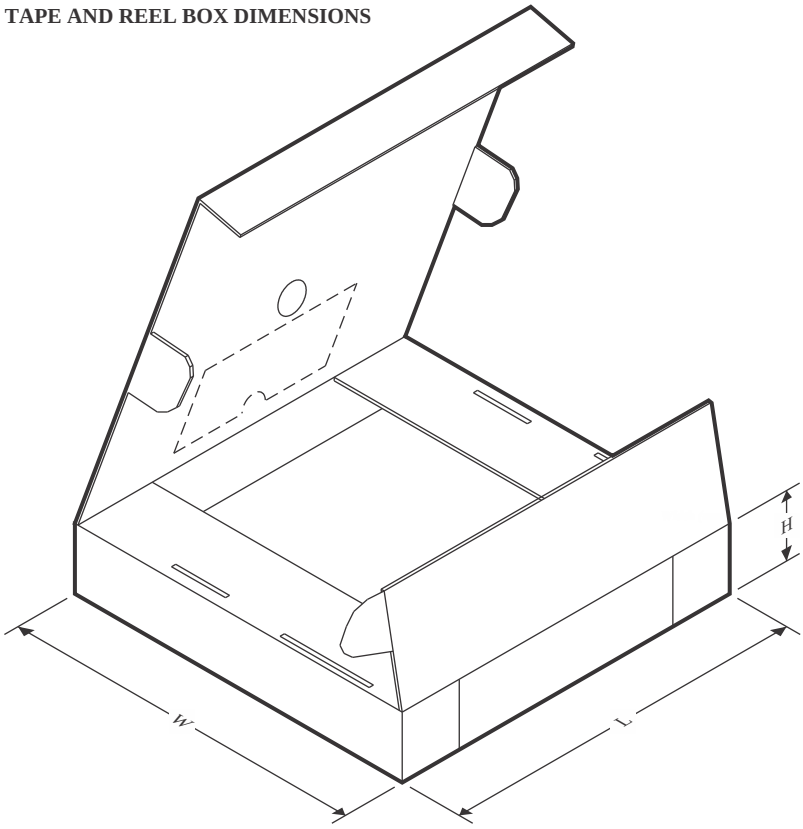
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

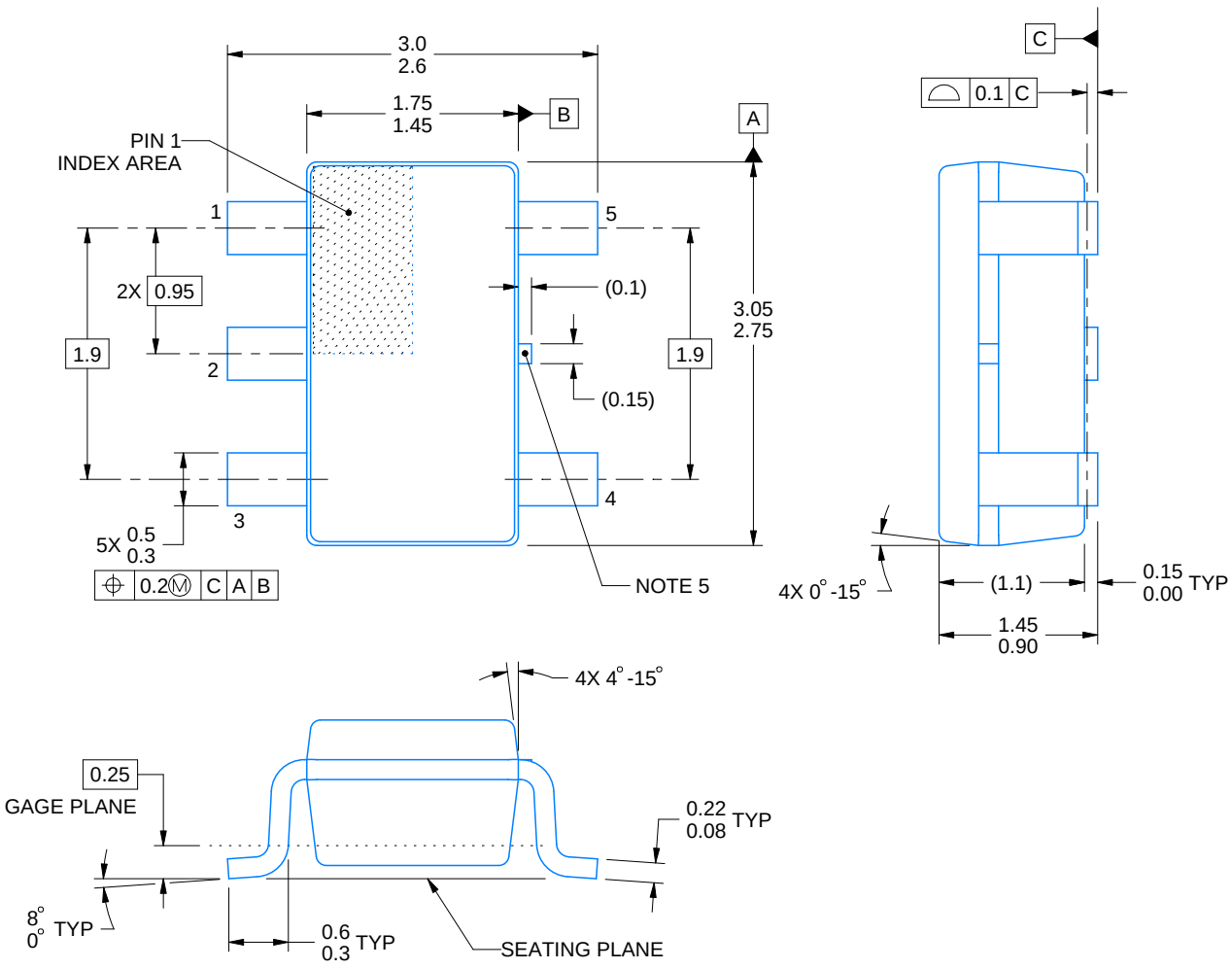
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9061QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9061QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9061SQDBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9062QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9062QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9062QPWRQ1	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9064QDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9064QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

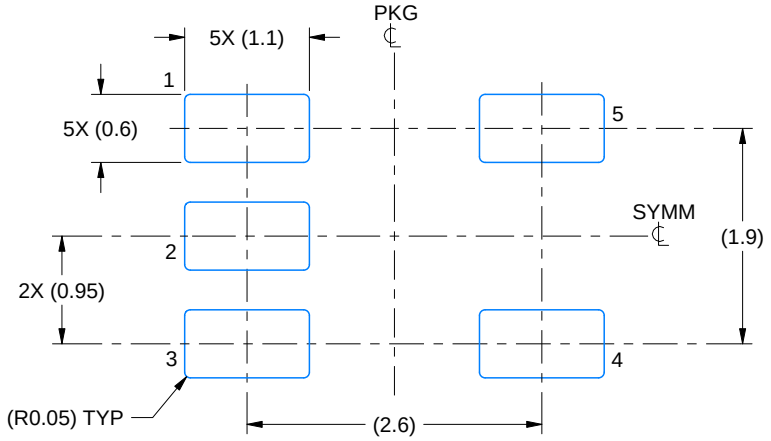
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9061QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9061QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
TLV9061SQDBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9062QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9062QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
TLV9062QPWRQ1	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV9064QDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
TLV9064QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0



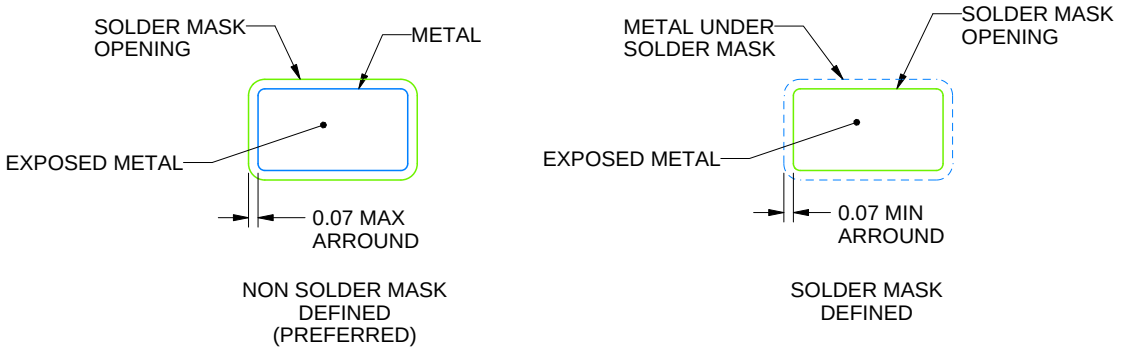
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

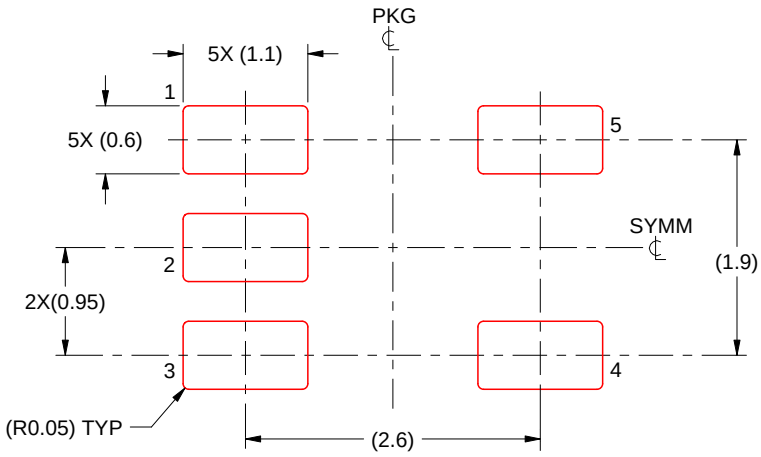


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

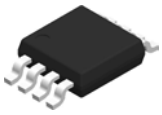
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

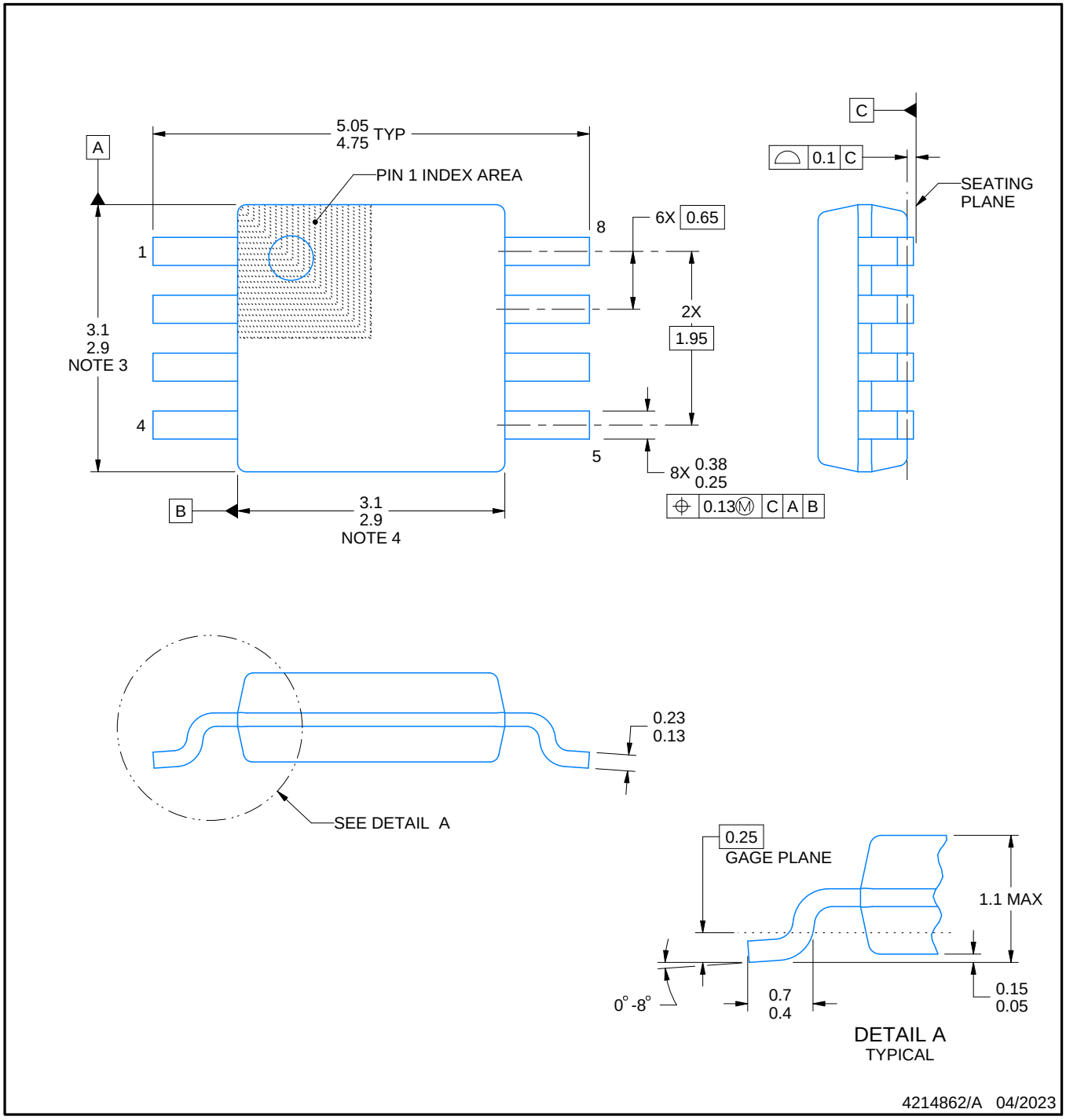
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

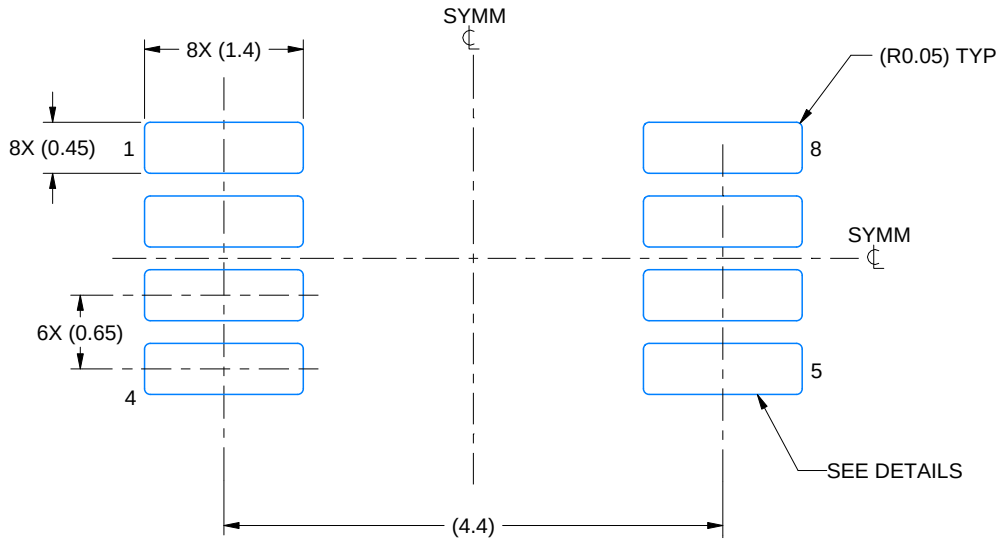
SMALL OUTLINE PACKAGE



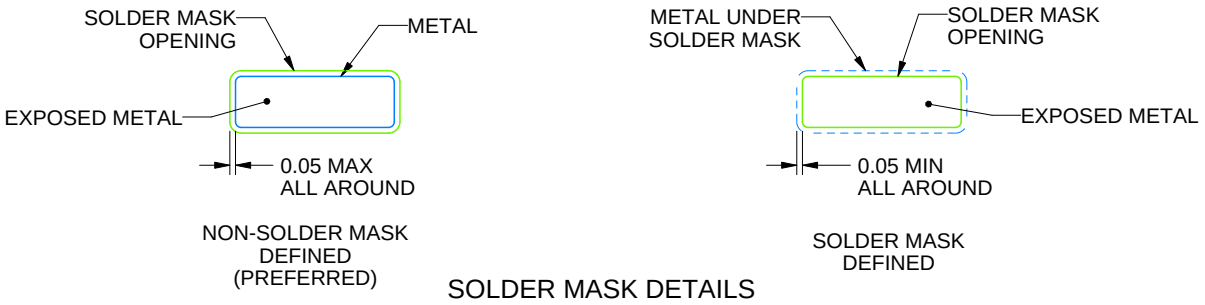
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

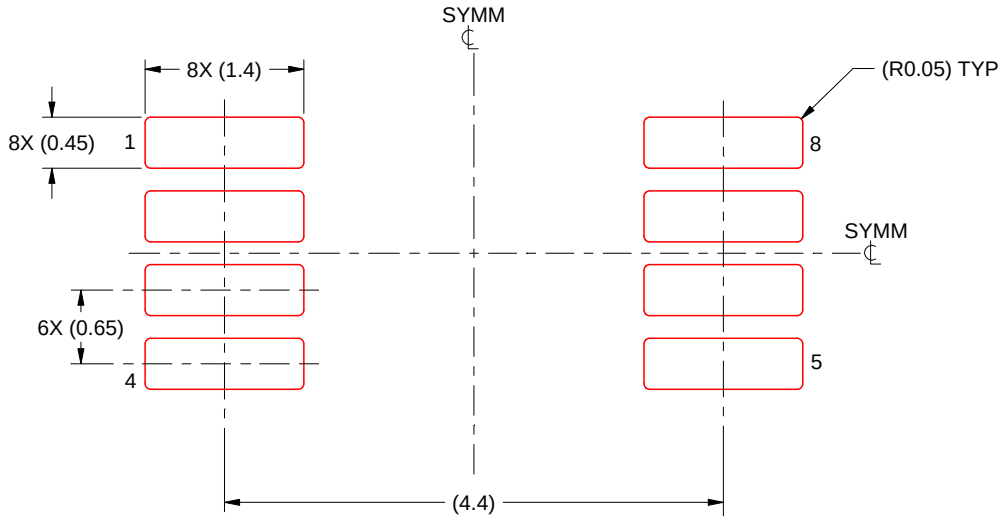


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

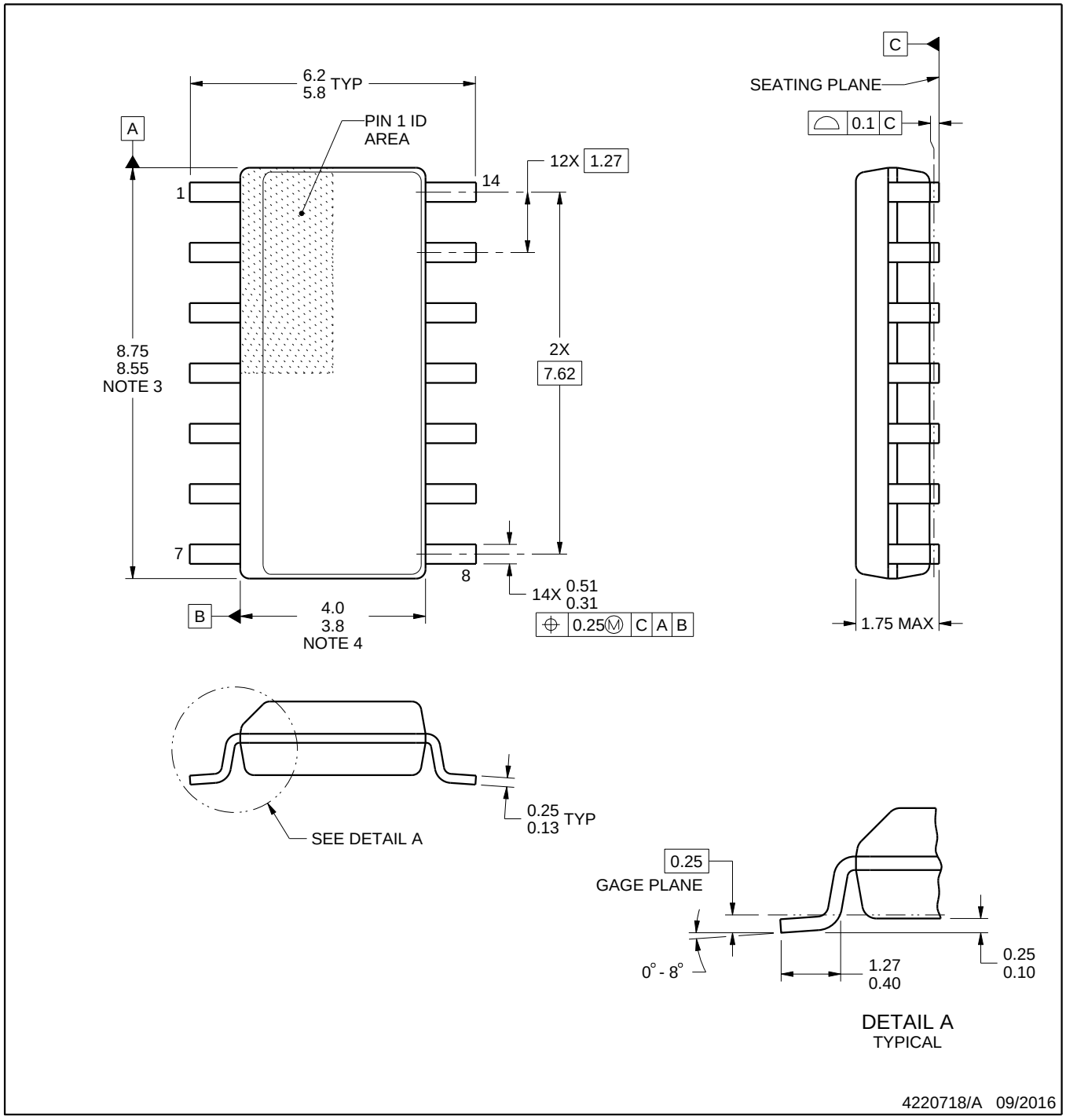


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

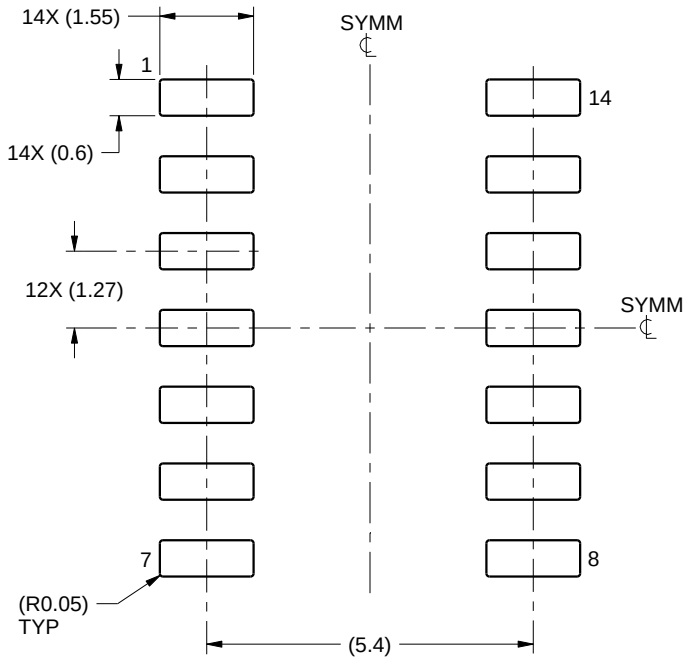
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

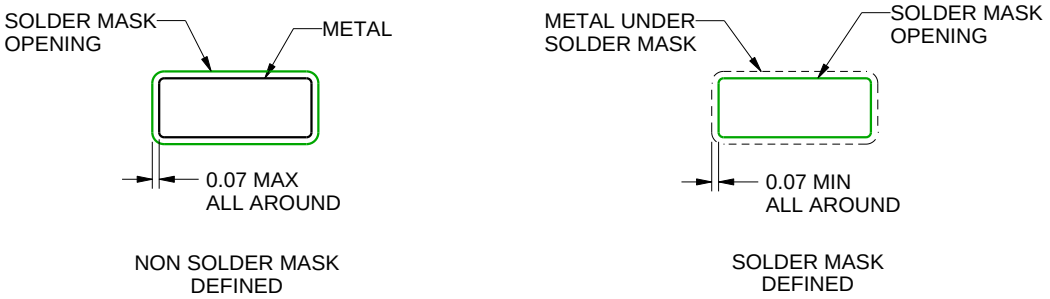


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

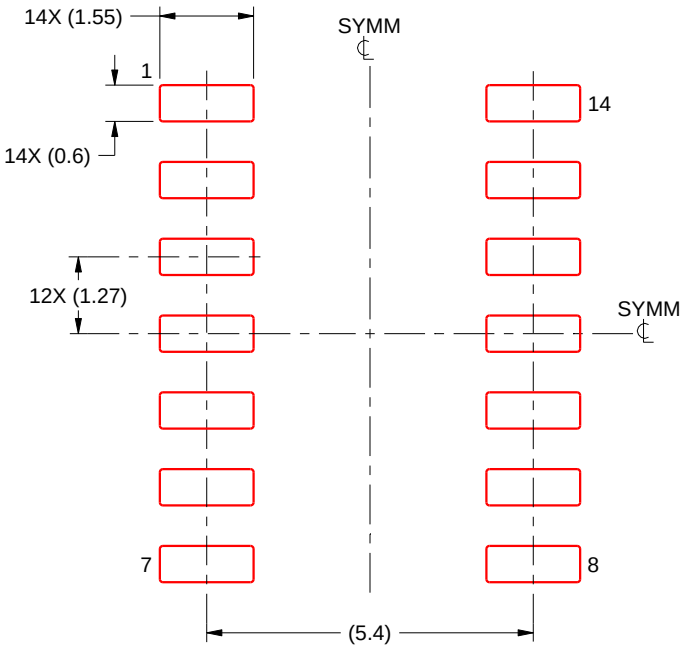


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

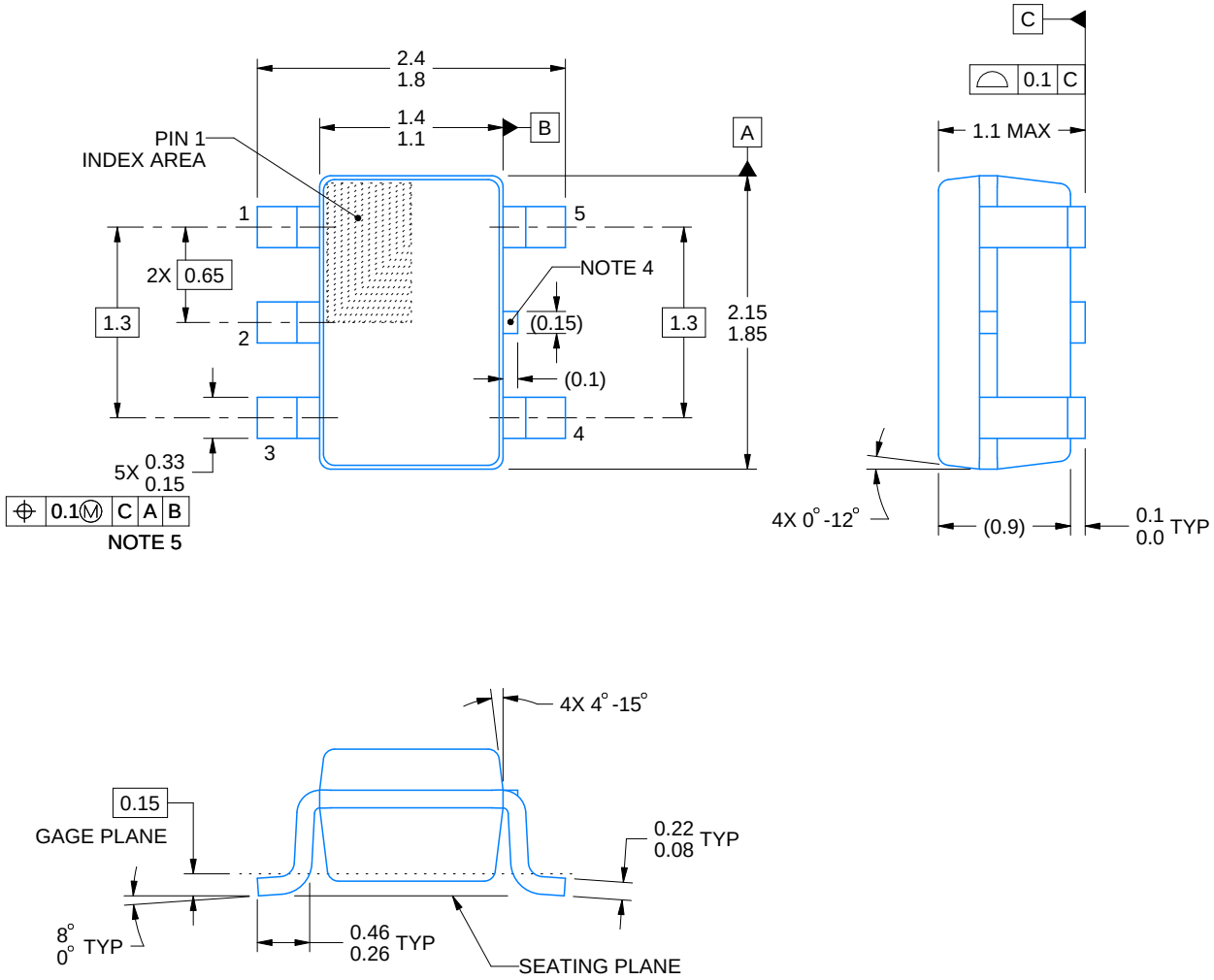


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

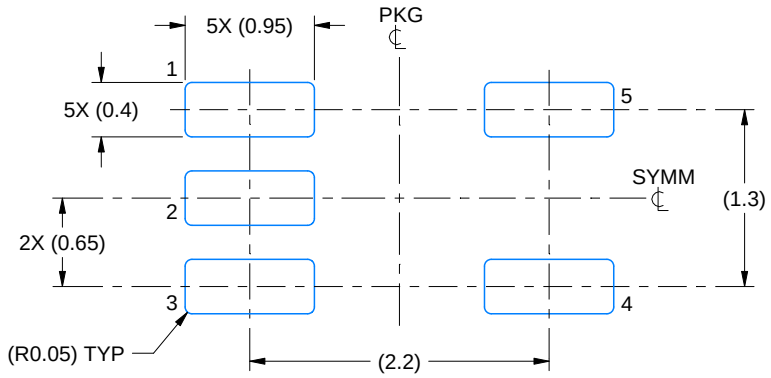
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

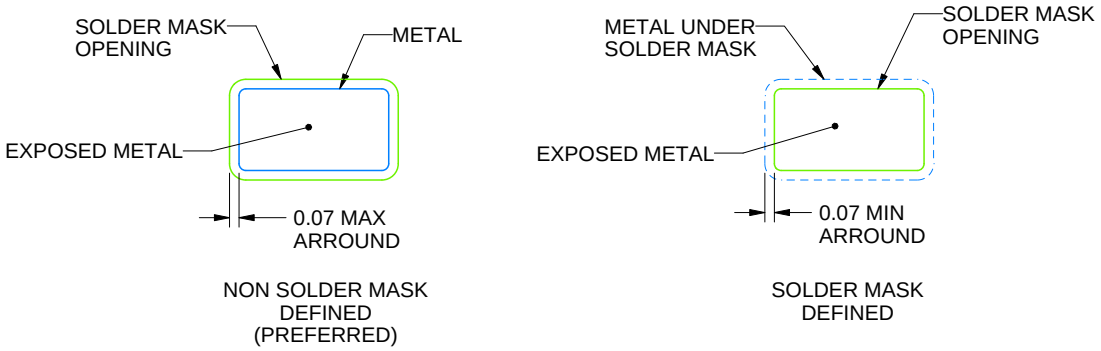


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

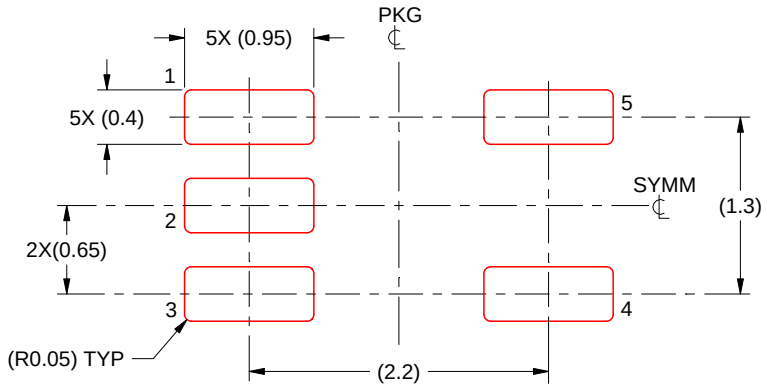


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

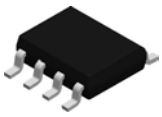


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

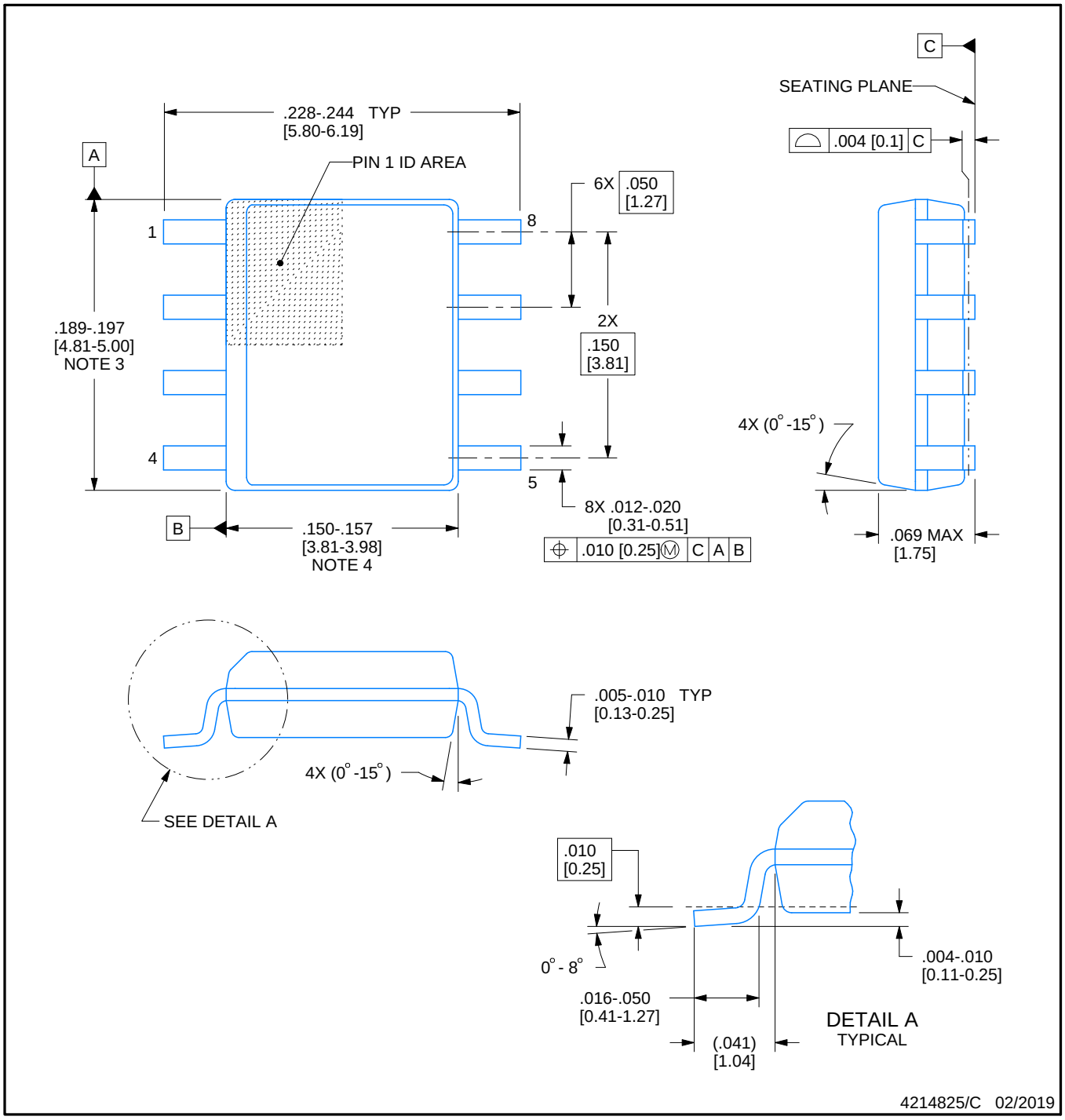


PACKAGE OUTLINE

D0008A

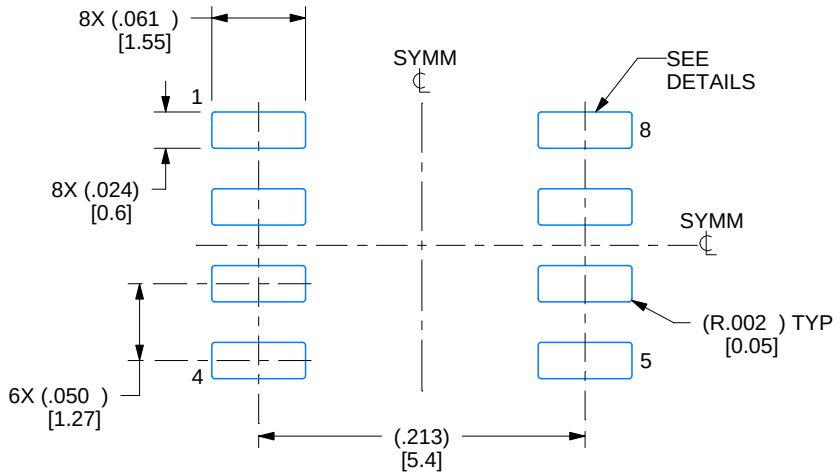
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

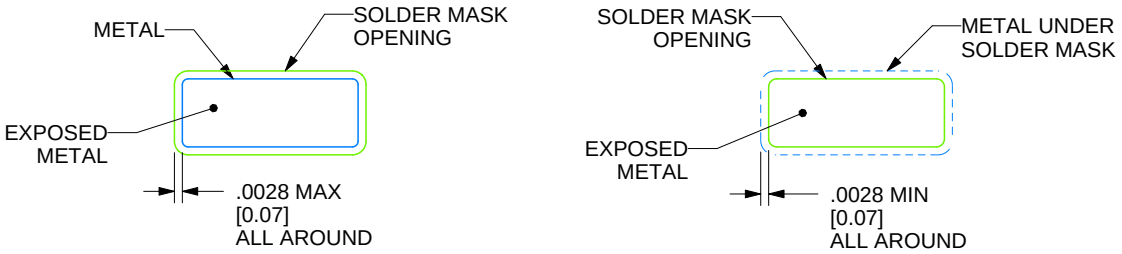


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

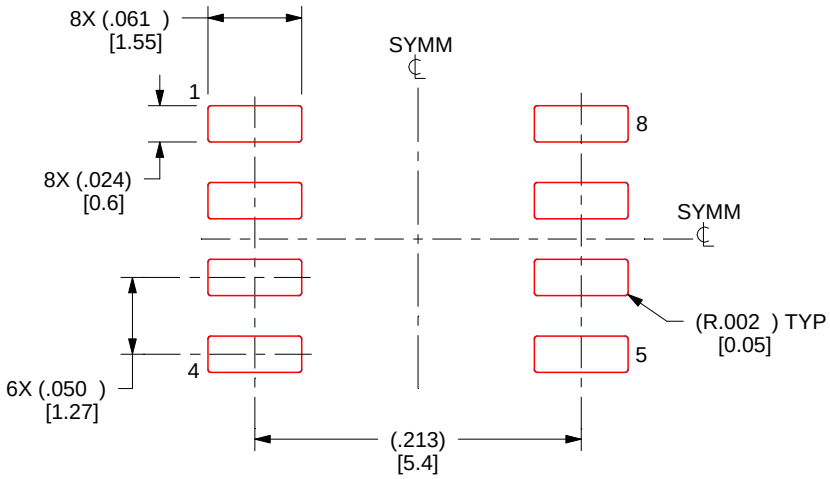


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

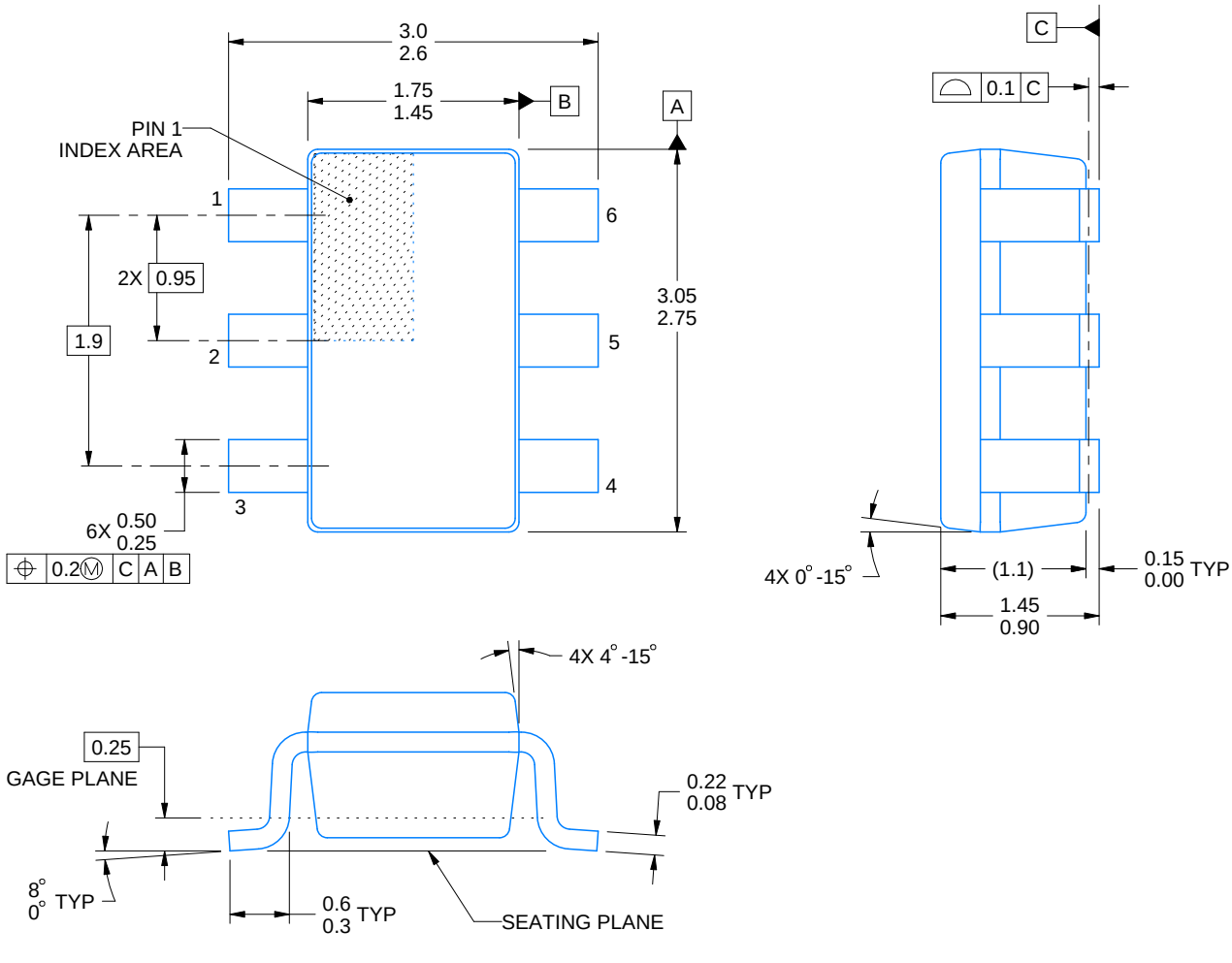


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

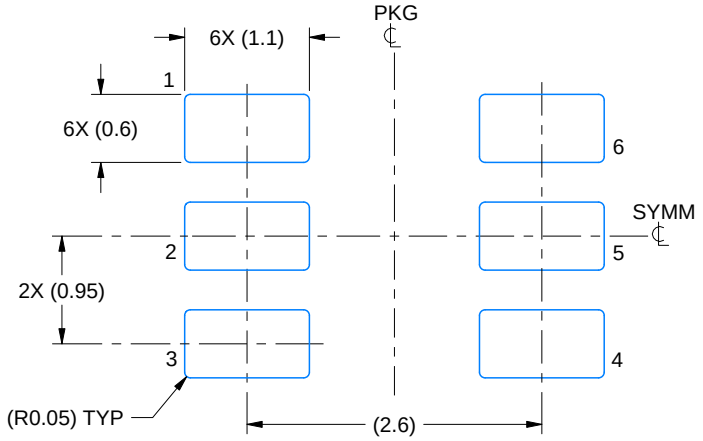
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



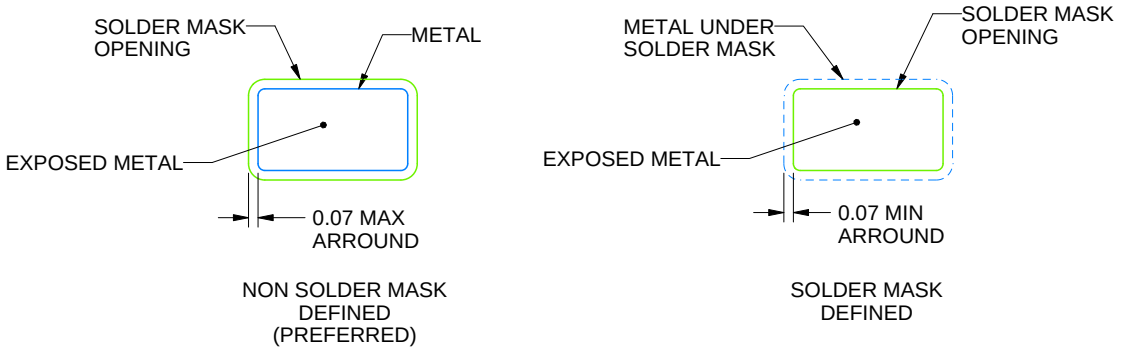
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

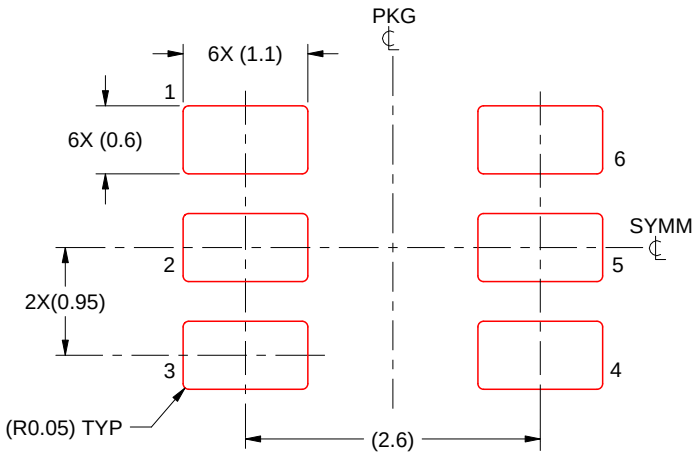


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



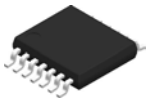
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

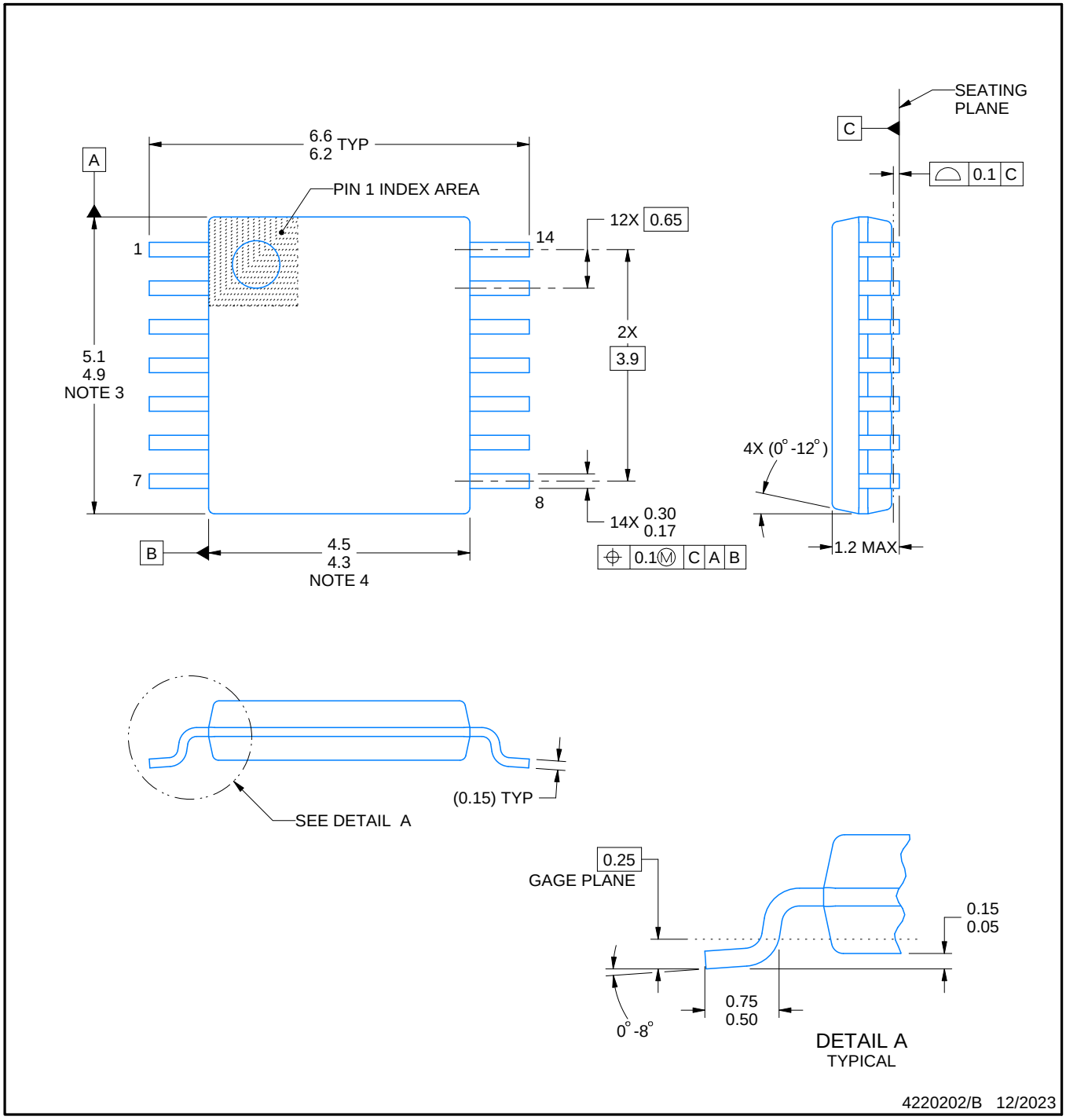
PW0014A



PACKAGE OUTLINE

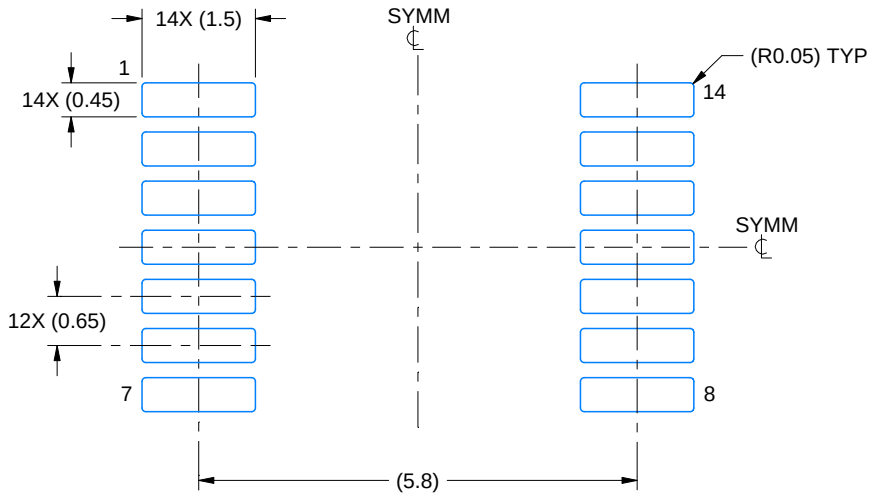
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

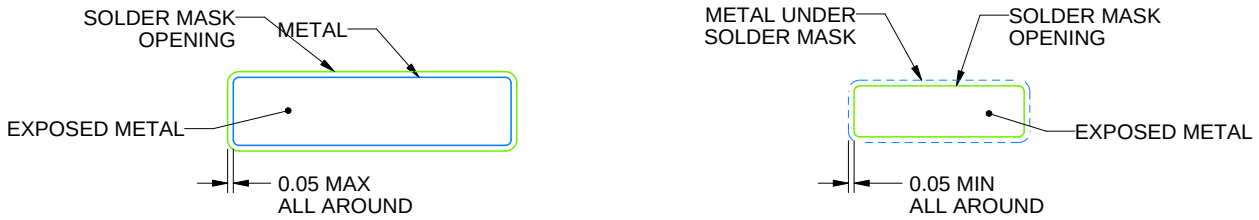


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

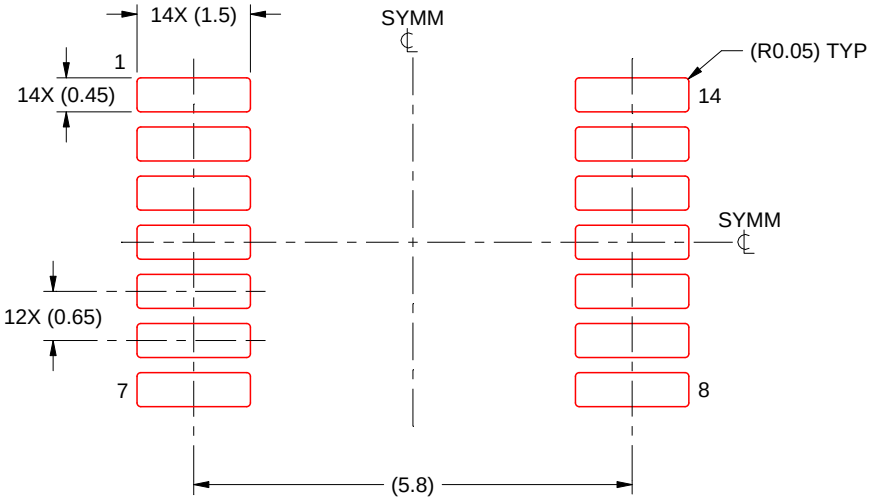
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

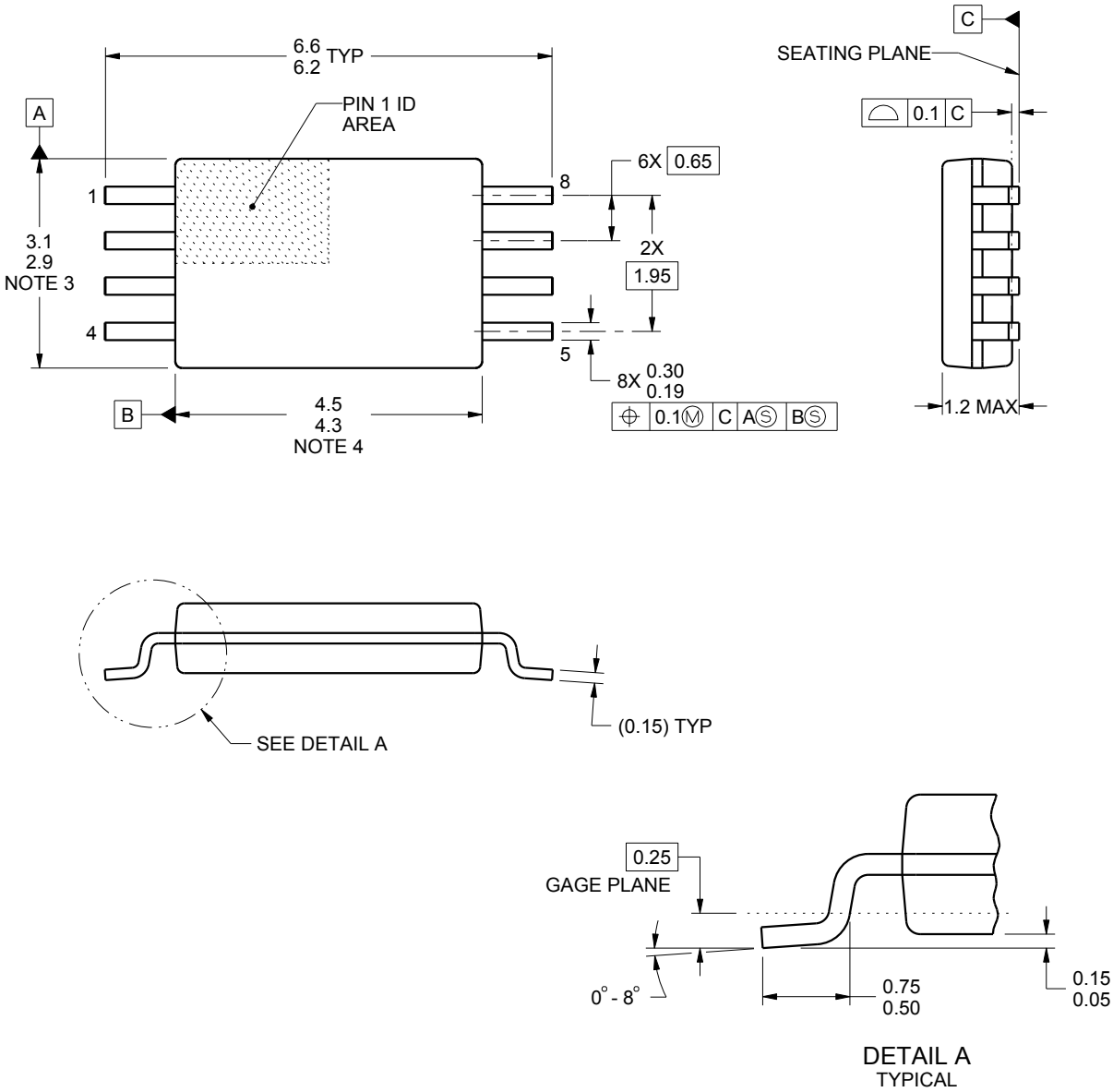


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

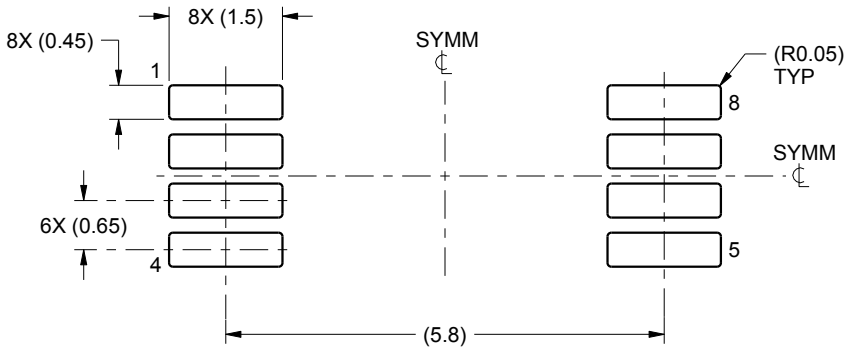
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

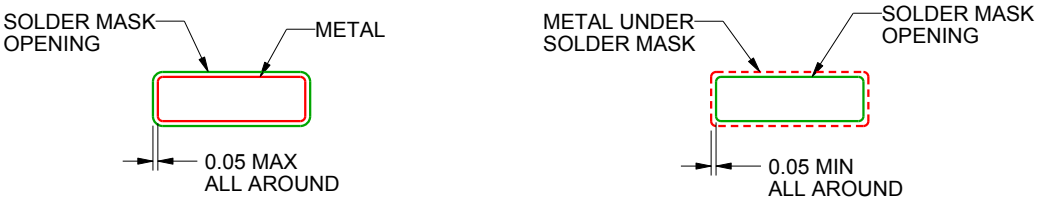


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X



NON SOLDER MASK
DEFINED

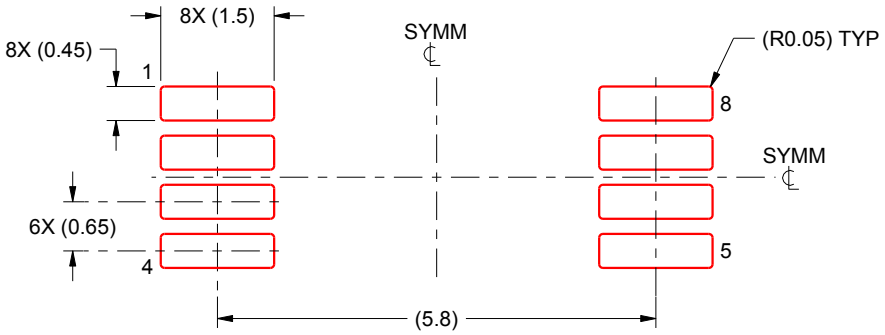
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月