

TLV9023L-Q1 具有 AND 门功能的汽车类精密自锁存三通道比较器

1 特性

- 符合汽车应用的要求
符合 AEC-Q100 标准，其中包括以下特性：
 - 器件温度等级 1：-40°C 至 125°C
 - 器件 HBM ESD 分类等级 H1C
 - 器件 CDM ESD 分类等级 C3
- 具有下降沿触发清除功能的输出闩锁
- 三个独立的输出加 AND 输出
- 用于连接多个器件的 AND 输入
- 用于已知启动的上电复位 (POR)
- 上电时锁存状态
- 1.65V 至 5.5V 的电源电压范围
- 精密输入失调电压：300 μ V
- 具有容错能力的轨至轨输入
- 110ns 典型传播延迟
- 低静态电流：每通道 25 μ A
- 低输入偏置电流：5pA
- 具有软上拉功能的开漏比较器输出
- 功能安全型
 - 可提供用于功能安全系统设计的文档

2 应用

- 远程信息处理 eCall
- 汽车音响主机
- 仪表组
- 车载充电器 (OBC) 和无线充电器

3 说明

TLV9023L-Q1 是一款具有独立输出以及组合 AND 输出的三通道锁存比较器。该系列还提供低输入失调电

压，上电复位 (POR) 和容错的轨到轨输入。这些器件具有出色的速度功率组合，传播延迟为 110ns，每个通道的静态电源电流仅为 25 μ A。

TLV9023L-Q1 具有输出闩锁的独特功能。输出会在首次跨越高至低电平阈值时闩锁，以便在没有系统控制器完全关注的情况下捕获事件或错误状态。这样就可以在系统控制器仍在初始化或忙于其他任务期间时捕获启动期间的事件。借助下降沿触发的清除输入，系统控制器可以在执行任何所需的任务后复位闩锁，并满足安全关键要求。

这些比较器还具有容错输入，容错输入电压可升至 6V 而不会造成损坏，也不会产生输出相位反转。因此，该系列的比较器适合在恶劣的嘈杂环境中进行精密电压监测。

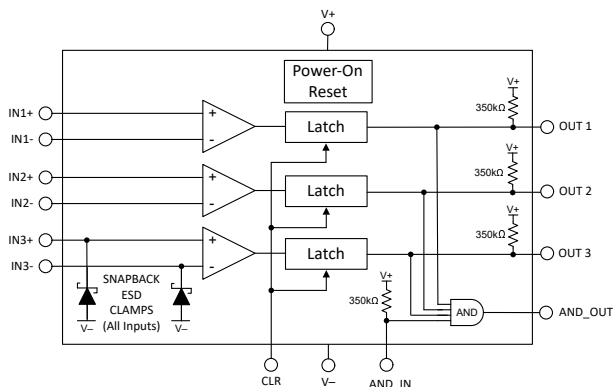
TLV9023L-Q1 具有开漏输出，可上拉到低于或超过电源电压，用于多路输出“或” (OR'ing) 逻辑或电平转换功能。AND 输出是推挽式的，因此无需上拉电阻器，从而确保输出低电平启动状态。

该系列具有 -40°C 至 +125°C 的汽车级额定温度范围，可采用标准的引线和无引线封装。

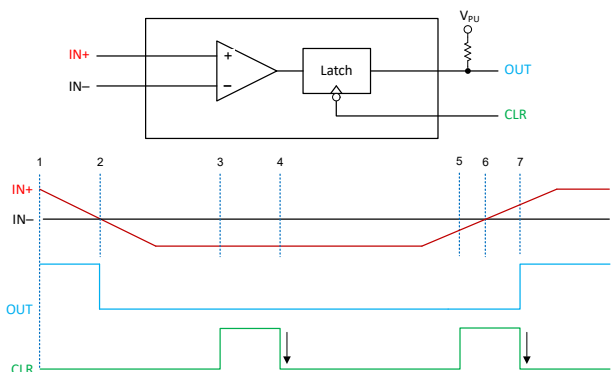
器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TLV9023-Q1	PW (TSSOP 14)	5.00mm × 4.40mm
	RTE (WQFN 16)	3.00mm × 3.00mm

- 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版方框图



锁存响应



内容

1 特性	1	6.3 特性说明	14
2 应用	1	6.4 器件功能模式	15
3 说明	1	7 应用和实施	19
4 引脚配置和功能	3	7.1 应用信息.....	19
引脚配置：TLV9023L-Q1	3	7.2 典型应用.....	20
5 规格	4	7.3 电源相关建议.....	21
5.1 绝对最大额定值.....	4	7.4 布局.....	21
5.2 ESD 等级.....	4	8 器件和文档支持	22
5.3 建议运行条件.....	4	8.1 文档支持.....	22
5.4 热性能信息.....	5	8.2 接收文档更新通知.....	22
5.5 电气特性.....	6	8.3 支持资源.....	22
5.6 开关特性.....	8	8.4 商标.....	22
5.7 典型特性.....	9	8.5 静电放电警告.....	22
6 详细说明	14	8.6 术语表.....	22
6.1 概述.....	14	9 修订历史记录	22
6.2 功能方框图.....	14	10 机械、封装和可订购信息	22

4 引脚配置和功能

引脚配置：TLV9023L-Q1

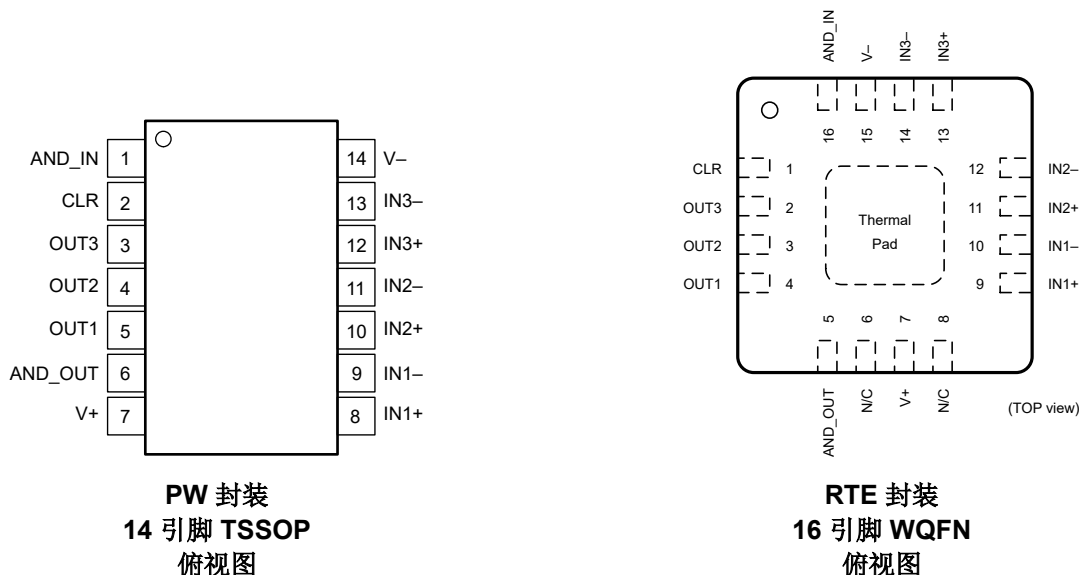


表 4-1. 引脚功能：TLV9023L-Q1

名称	TLV9023L-Q1		I/O	说明
	14 引脚	16 引脚		
	TSSOP	WQFN		
AND_IN	1	16	I	与门输入 (保持断开或连接至 VCC)
CLR	2	1	I	清除输入 - 在下降沿清除
OUT3	3	2	O	比较器 3 的输出
OUT2	4	3	O	比较器 2 的输出
OUT1	5	4	O	比较器 1 的输出
AND_OUT	6	5	O	与门的输出
V+	7	7	-	正电源电压
IN1+	8	9	I	比较器 1 的同相输入 (+)
IN1 -	9	10	I	比较器 1 的反相输入 (-)
IN2+	10	11	I	比较器 2 的同相输入 (+)
IN2 -	11	12	I	比较器 2 的反相输入 (-)
IN3+	12	13	I	比较器 3 的同相输入 (+)
IN3 -	13	14	I	比较器 3 的反相输入 (-)
V -	14	15	-	负电源电压
NC	-	6、8	-	无内部连接

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

	最小值	最大值	单位
电源电压： $V_S = (V+) - (V-)$	-0.3	6	V
(V-) 的输入引脚 (IN+, IN-, CLR、AND_IN) ⁽²⁾	-0.3	6	V
流入输入引脚 (IN+, IN-, CLR、AND_IN) 的电流	-10	10	mA
来自 (V-) 的输出 (OUT) ⁽³⁾	-0.3	6	V
来自 (V-) 的输出 (AND_OUT)	-0.3	(V+) + 0.3	V
输出短路持续时间 ⁽⁴⁾		10	s
结温, T_J		150	°C
贮存温度, T_{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 输入端子被二极管钳制至 (V-)。对于摆幅可能超过 (V-) 0.3V 的输入信号，必须将其电流限制为 10mA 或者更低。此外，只要电压在 -0.3V 至 6V 范围内，输入 (IN+, IN-, CLR) 就可以大于 (V+) 和 OUT
- (3) 开漏输出 (OUT) 可以大于 (V+)
- (4) 对 (V-) 或 (V+) 短路。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±2000
		充电设备模型 (CDM), 符合 AEC Q100-0111 标准	±1000

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	最大值	单位
电源电压： $V_S = (V+) - (V-)$	1.65	5.5	V
通过 (V-) 的输入电压范围 (IN+, IN-, CLR、AND_IN)	-0.2	5.5	V
通过 (V-) 的输入共模电压范围 (IN+, IN-)	-0.2	(V+) + 0.2	V
通过 (V-) 的输出电压范围, 开漏输出 ⁽¹⁾	0	5.5	V
输出电压范围, 推挽输出 (AND_OUT)	(V-)	(V+)	V
环境温度, T_A	-40	125	°C

- (1) 所有输出都有 350k 内部上拉电阻，最高可达 VCC

5.4 热性能信息

热指标 ⁽¹⁾		TLV9023L-Q1		单位
		PW (TSSOP)	RTE (WQFN)	
		14 引脚	16 引脚	
R _{qJA}	结至环境热阻	119.4	53.8	°C/W
R _{qJC(top)}	结至外壳 (顶部) 热阻	53.9	58.6	°C/W
R _{qJB}	结至电路板热阻	74.4	29.0	°C/W
Y _{JT}	结至顶部特征参数	12.2	2.2	°C/W
Y _{JB}	结至电路板特征参数	74.0	28.9	°C/W
R _{qJC(bot)}	结至外壳 (底部) 热阻	-	13.1	°C/W

(1) 更多有关新旧热指标的信息，请参阅[半导体](#)和[IC 封装热指标](#)报告。

5.5 电气特性

$T_A = 25^\circ\text{C}$ 时, V_S (总电源电压) = $(V+) - (V-) = 5\text{V}$, $V_{CM} = (V-)$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	$V_S = 1.8\text{V}$ 和 5V	-1.75	± 0.3	1.75	mV
V_{OS}	输入失调电压	$V_S = 1.8\text{V}$ 和 5V , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	-2.25		2.25	
dV_T/dT	输入失调电压漂移	$V_S = 1.8\text{V}$ 和 5V , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		± 0.5		$\mu\text{V}/^\circ\text{C}$
电源						
I_Q	静态电流 (每个比较器)	$V_S = 1.8\text{V}$ 和 5V , 无负载, 输出高电平		22	30	μA
I_Q	静态电流 (每个比较器)	$V_S = 1.8\text{V}$ 和 5V , 无负载, 高输出, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			42	
V_{POR}	上电复位电压			1.5		V
PSRR	电源抑制比	$V_S = 1.8\text{V}$ 至 5V , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		95		dB
输入偏置电流						
I_B	输入偏置电流	$V_{CM} = V_S/2$		5		pA
I_{OS}	输入失调电流	$V_{CM} = V_S/2$		1		pA
输入电容						
C_{ID}	输入电容, 差分	$V_{CM} = V_S/2$		2		pF
C_{IC}	输入电容, 共模	$V_{CM} = V_S/2$		3		pF
输入电压范围						
V_{IH_CLR}	CLR 的电压输入高阈值		1.2			V
V_{IL_CLR}	CLR 的电压输入低阈值				0.6	V
V_{CM_Range}	共模电压范围	$V_S = 1.8\text{V}$ 和 5V , $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$	$(V-) - 0.2$		$(V+) + 0.2$	V
CMRR	共模抑制比	$V_S = 5\text{V}$, $(V-) - 0.2\text{V} < V_{CM} < (V+) + 0.2\text{V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		70		dB
CMRR	共模抑制比	$V_S = 1.8\text{V}$, $(V-) - 0.2\text{V} < V_{CM} < (V+) + 0.2\text{V}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$		60		dB
输出						
V_{OL}	$(V-)$ 的电压摆幅	$I_{SINK} = 4\text{mA}$, $T_A = 25^\circ\text{C}$		75	125	mV
V_{OL}	$(V-)$ 的电压摆幅	$I_{SINK} = 4\text{mA}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			175	mV
V_{OH}	$(V+)$ 的电压摆幅	$I_{SOURCE} = 500\text{nA}$, $T_A = 25^\circ\text{C}$ * 内部 350k 上拉电阻		175	206	mV
V_{OH}	$(V+)$ 的电压摆幅	$I_{SOURCE} = 500\text{nA}$, $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$			215	mV
I_{SC}	短路电流	$V_S = 5\text{V}$, 灌入		85		mA
AND 门特性						
V_{IH}	高电平输入电压	$V_S = 1.65$ 至 2.7V	$0.55 * (V+)$			V
		$V_S = 3\text{V}$ 至 3.6V	1.8			V
		$V_S = 4.5\text{V}$ 至 5.5V	$0.7 * (V+)$			V
V_{IL}	低电平输入电压	$V_S = 1.65$ 至 2.7V	$0.35 * (V+)$			V
		$V_S = 3\text{V}$ 至 3.6V			0.8	V
		$V_S = 4.5\text{V}$ 至 5.5V	$0.3 * (V+)$			V
V_{OL}	$(V-)$ 的电压摆幅	$I_{SINK} = 4\text{mA}$, $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$		75	125	mV
V_{OH}	$(V+)$ 的电压摆幅	$I_{SOURCE} = 1\text{mA}$, $T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$		175	215	mV

$T_A = 25^{\circ}\text{C}$ 时, V_S (总电源电压) = $(V+) - (V-) = 5\text{V}$, $V_{CM} = (V-)$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
dt/dV	输入转换下降率	$V_S = 1.65\text{V}$ 至 5.5V			1	ns/V

5.6 开关特性

$V_S = 5V$, $CLR = 5V_{PP}$, $V_L = 0V$, $V_H = 5V$, 2.5V 直流失调电压, $V_{CM} = V_S/2$, $C_L = 15pF$ ($T_A = 25^\circ C$ (除非另有说明))

参数	测试条件		最小值	典型值	最大值	单位
输出						
T _{PD-HL}	传播延迟时间，高电平到低电平，仅开漏	V _{ID} = -100mV，CLR = 0V，从输入中点到输出中点的延迟	110			ns
T _{PD-LH}	传播延迟时间，从低电平到高电平	V _{ID} = +100mV；CLR = 0V，从输入中点到输出中点的延迟（内部 R _P = 350KΩ）	8			μ s
T _{PD-CLR-F}	清除下降至门锁复位传播延迟时间	CLR = 1.8V 至 5V， 从 CLR 下降沿信号到未门锁输出条件的延迟	25			ns
CLR_Min	触发门锁器禁用和转换输出状态的最小清除保持脉冲时间	CLR = 1.8V 至 5V， 在 CLR 下降沿触发状态变化（门锁复位）所需的最小 CLR 脉冲大小	10			ns
T _{FALL}	5V 输出下降时间，80% 至 20%	V _{ID} = - 100mV	3			ns
与门						
T _{PD-LH}	传播延迟时间，从低电平到高电平	从输入中点到输出中点的延迟			7	ns
T _{PD-HL}	传播延迟时间，高电平到低电平	从输入中点到输出中点的延迟			7	ns
上电时间						
P _{ON}	上电时间		35			μs

5.7 典型特性

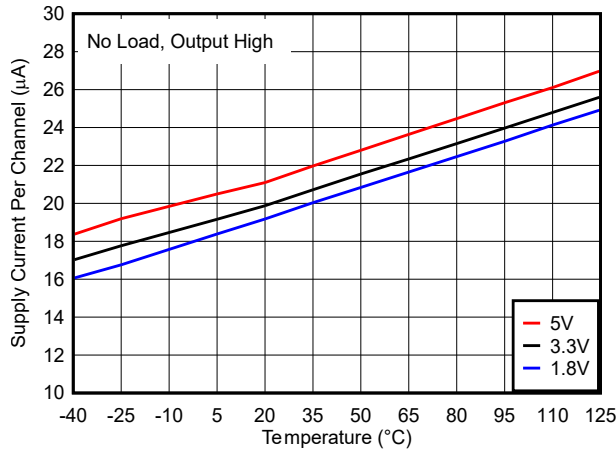


图 5-1. 电源电流与温度间的关系

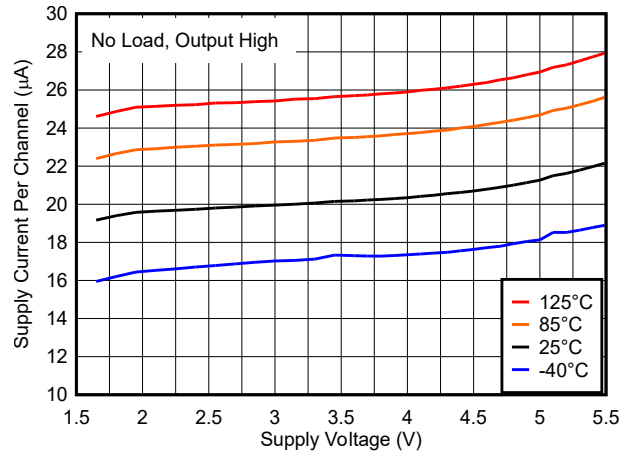


图 5-2. 电源电压与电源电流间的关系

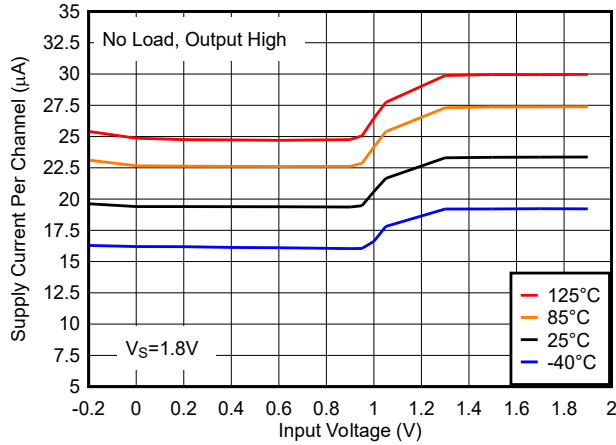


图 5-3. 电源电流与
共模电压间的关系 - 1.8V

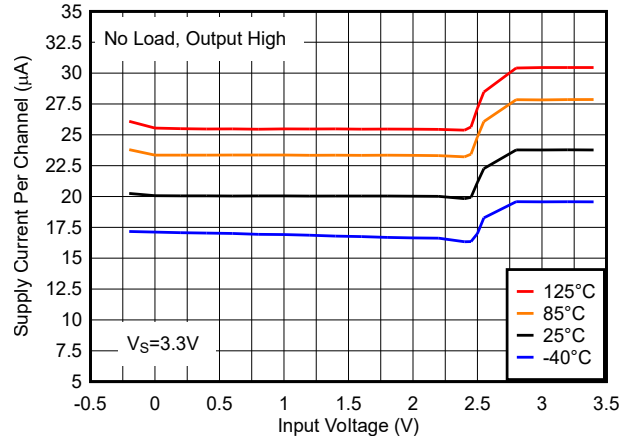


图 5-4. 电源电流与
共模电压间的关系 - 3.3V

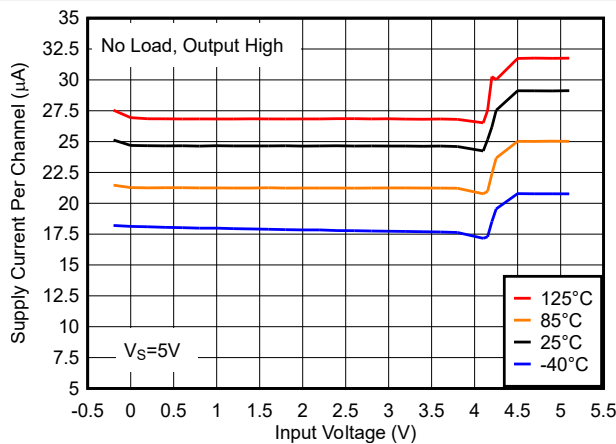


图 5-5. 电源电流与
共模电压间的关系 - 5V

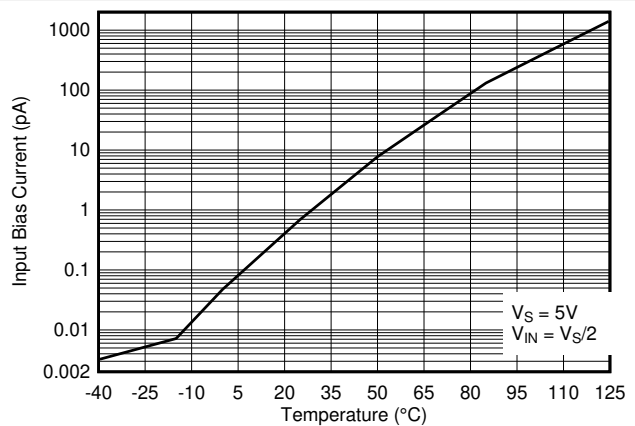


图 5-6. 输入偏置电流与温度间的关系

5.7 典型特性 (续)

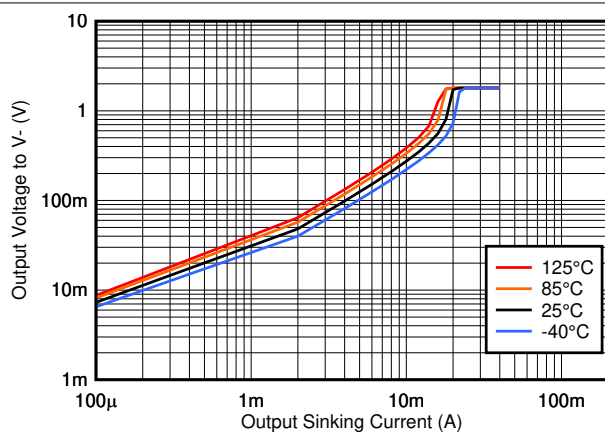
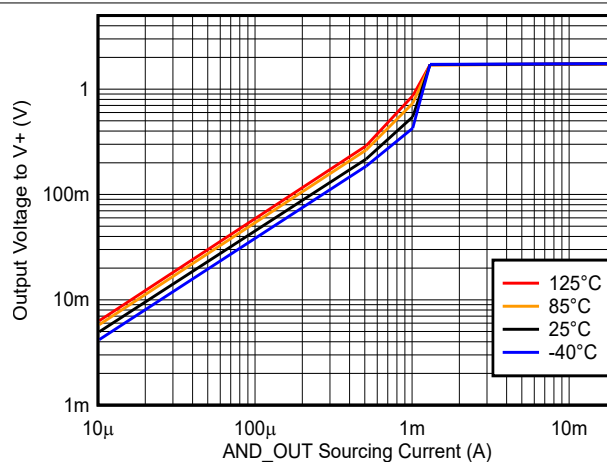
图 5-7. 比较器和 AND_OUT 输出
灌电流与输出电压间的关系, 1.8V

图 5-8. AND_OUT 拉电流与输出电压间的关系, 1.8V

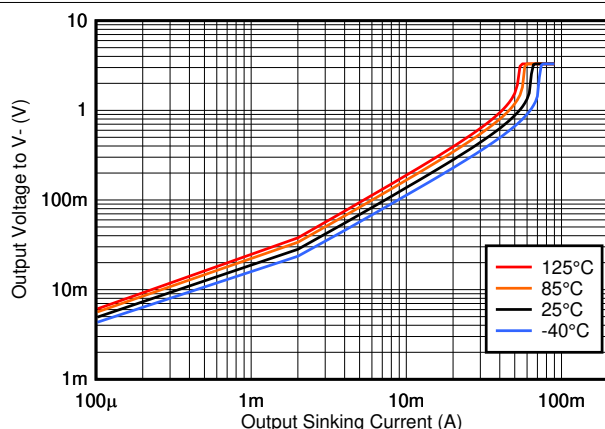
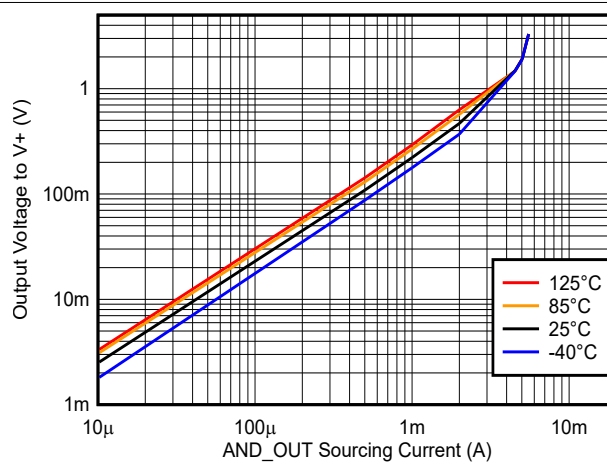
图 5-9. 比较器和 AND_OUT 输出
灌电流与输出电压间的关系, 3.3V

图 5-10. AND_OUT 拉电流与输出电压间的关系, 3.3V

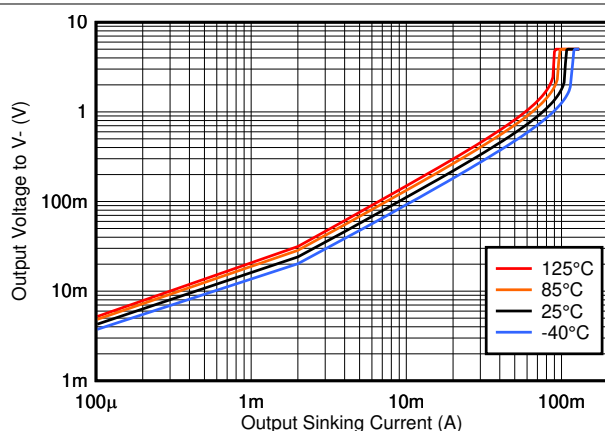
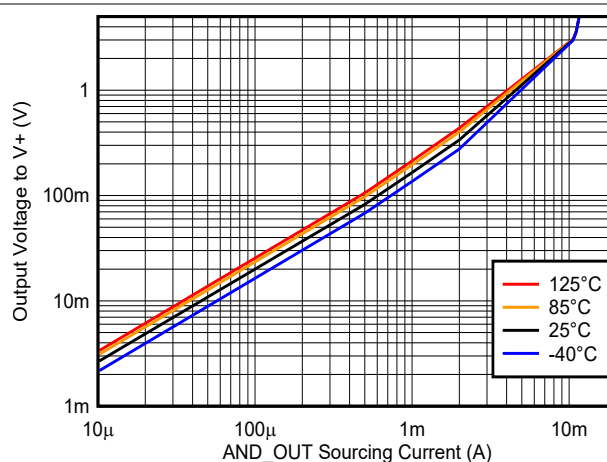
图 5-11. 比较器和 AND_OUT 输出
灌电流与输出电压间的关系, 5V

图 5-12. AND_OUT 拉电流与输出电压间的关系, 5V

5.7 典型特性 (续)

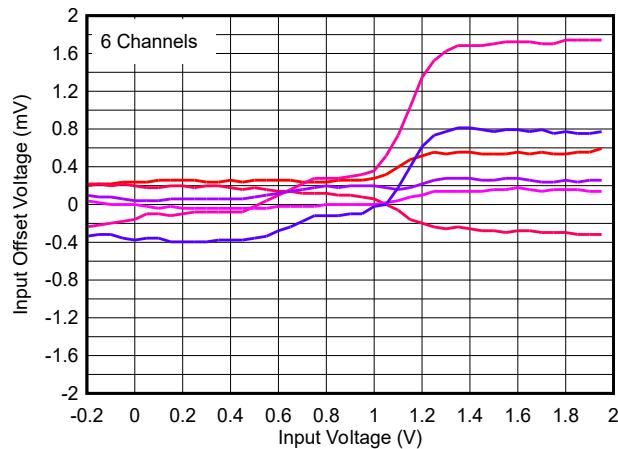


图 5-13. 失调电压与
共模电压间的关系, 1.8V, 125°C

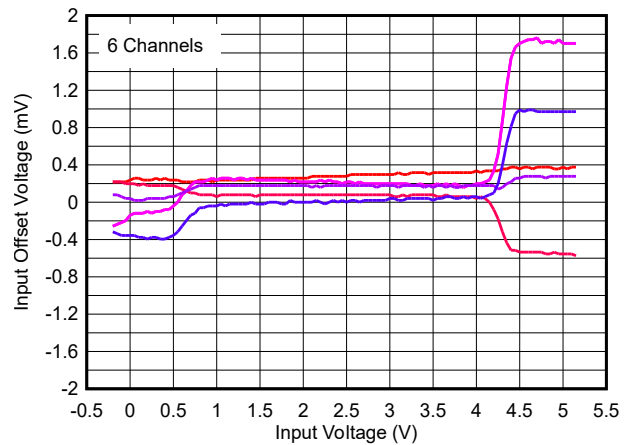


图 5-14. 失调电压与
共模电压间的关系, 5V, 125°C

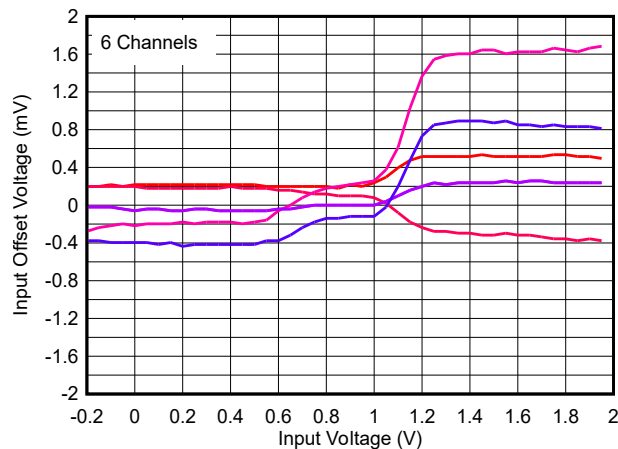


图 5-15. 失调电压与
共模电压间的关系, 1.8V, 25°C

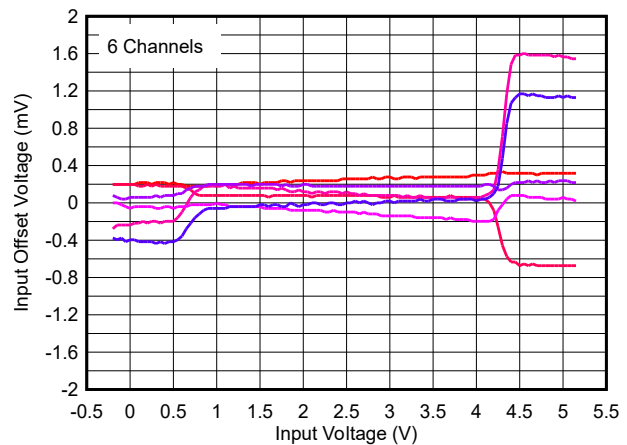


图 5-16. 失调电压与
共模电压间的关系, 5V, 25°C

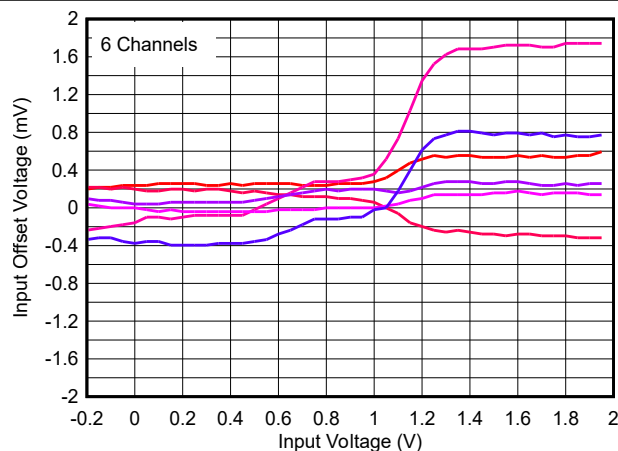


图 5-17. 失调电压与
共模电压间的关系, 1.8V, -40°C

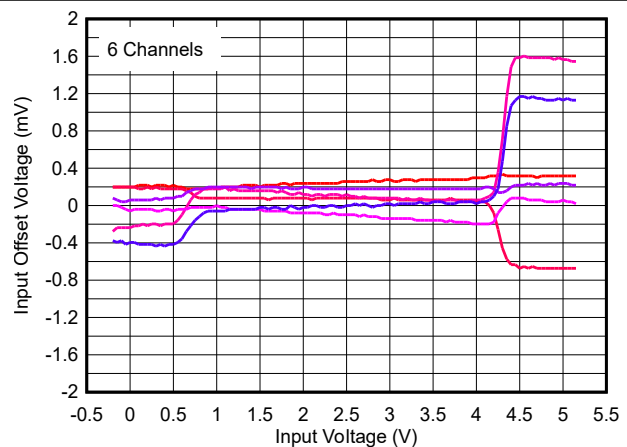


图 5-18. 失调电压与
共模电压间的关系, 5V, -40°C

5.7 典型特性 (续)

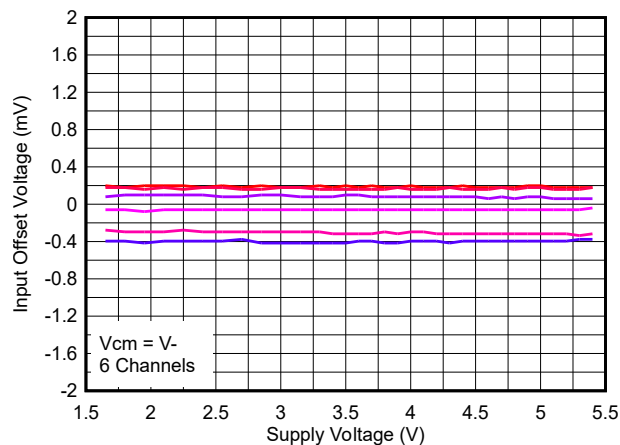


图 5-19. 失调电压与电源电压间的关系, 低 VCM, -40°C

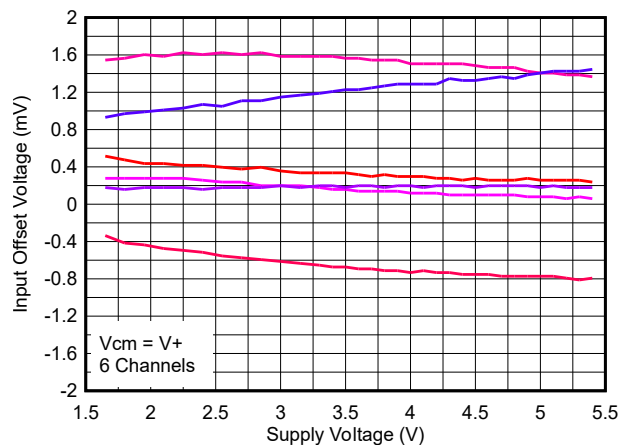


图 5-20. 失调电压与电源电压间的关系, 高 VCM, -40°C

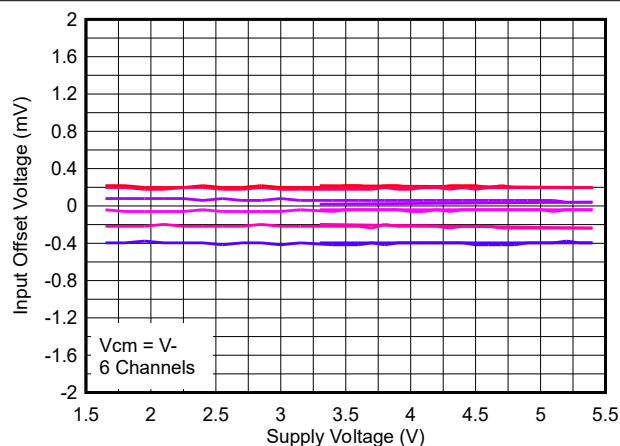


图 5-21. 失调电压与电源电压间的关系, 低 VCM, 25°C

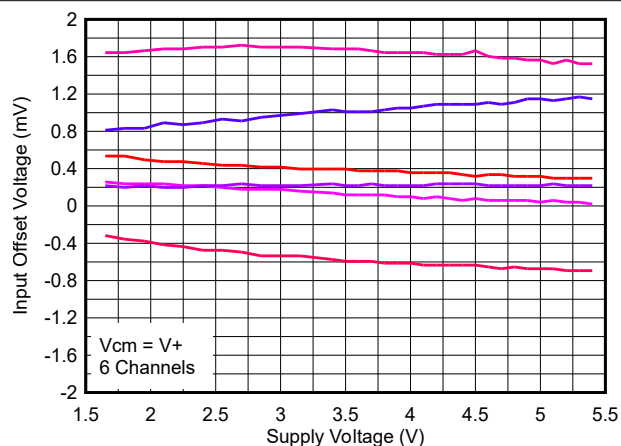


图 5-22. 失调电压与电源电压间的关系, 高 VCM, 25°C

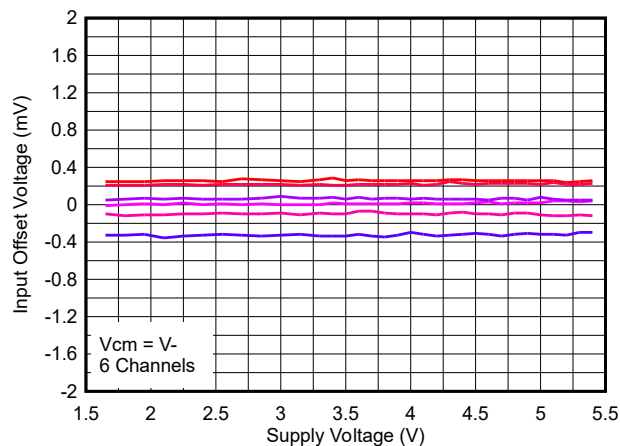


图 5-23. 失调电压与电源电压之间的关系, 低 VCM, 125°C

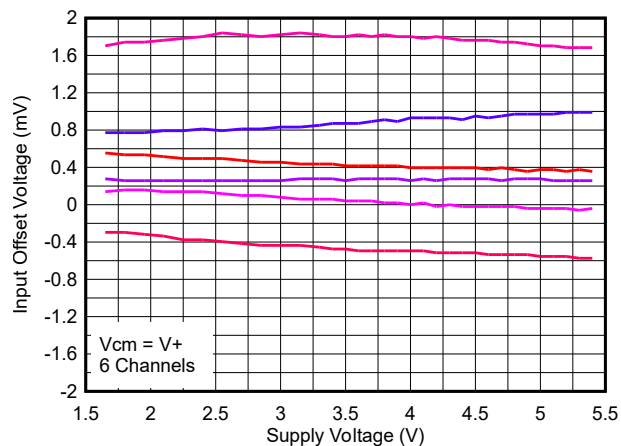


图 5-24. 失调电压与电源电压间的关系, 高 VCM, 125°C

5.7 典型特性 (续)

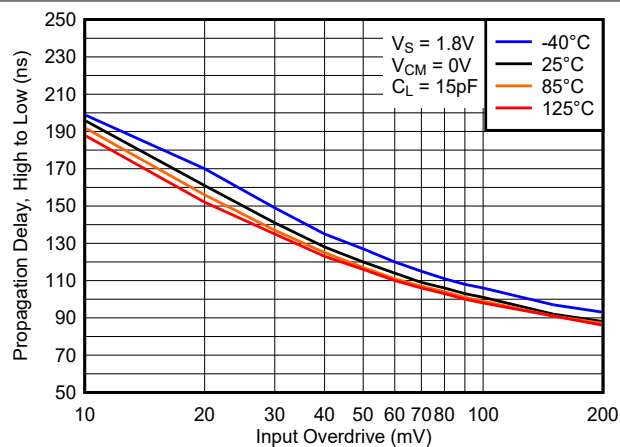


图 5-25. 传播延迟, 从高电平到低电平, 1.8V

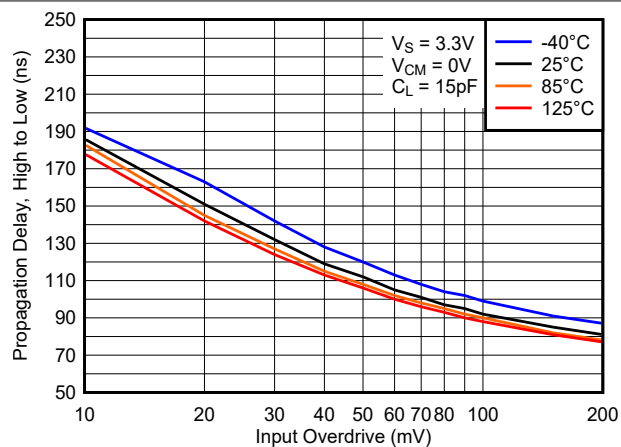


图 5-26. 传播延迟, 从高电平到低电平, 3.3V

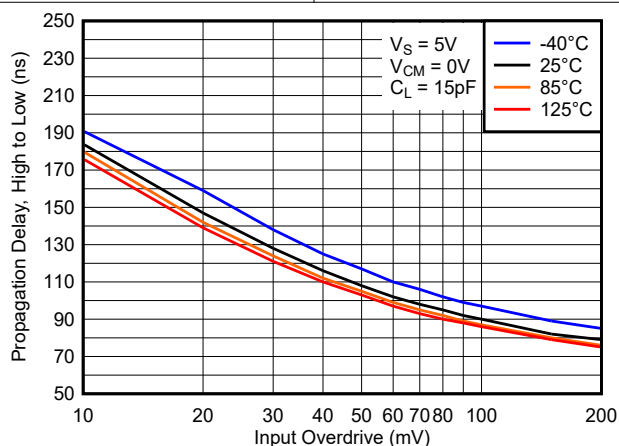


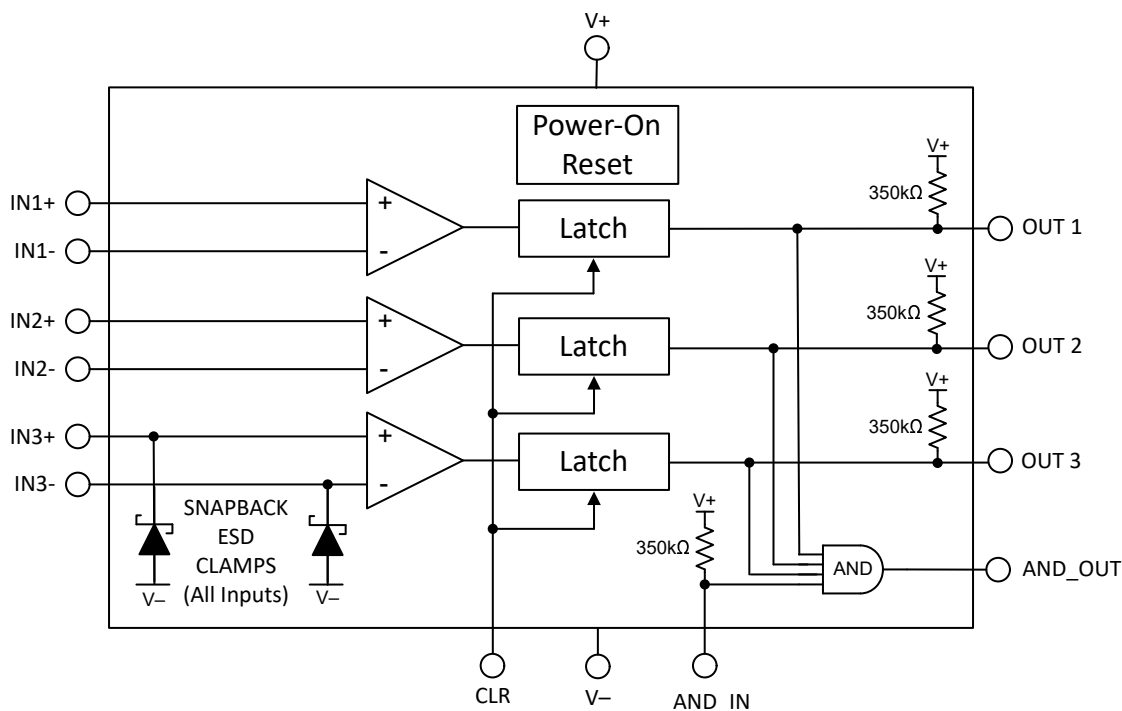
图 5-27. 传播延迟, 从高电平到低电平, 5V

6 详细说明

6.1 概述

TLV9023L-Q1 是一款具有组合 AND 输出的三通道锁存比较器。该器件提供低输入失调电压、上电复位 (POR)、容错输入和出色的速度功率比等特性组合，传播延迟为 110ns，每个通道的静态电源电流 25 μ A。

6.2 功能方框图



6.3 特性说明

TLV9023L-Q1 具有输出闩锁的独特功能。输出会在首次阈值跳变时闩锁，以便在没有系统控制器完全关注的情况下捕获事件或错误状态情况。这样可以在系统控制器仍在初始化期间捕获启动时的事件。系统控制器可以在执行任何所需的任务后，复位闩锁器。输出在上电时被锁存，需要将 CLR 引脚拉至低电平以清除锁存。

比较器的三个输出可单独提供，也可与 AND_IN 逻辑输入一起进行 AND 运算，并输出到推挽 AND_OUT。AND_IN 输入可用于分解多个 TLV9023L-Q1 电路，或者外部比较器输出或错误逻辑线路。

这些比较器还具有容错输入，容错输入电压可升至 6V 而不会造成损坏，也不会产生输出相位反转。因此，该系列的比较器适合在恶劣的嘈杂环境中进行精密电压监测。

6.4 器件功能模式

6.4.1 输出

6.4.1.1 开漏输出比较器

TLV9023L-Q1 具有一个仅灌入的开漏 (通常也被称为集电极开路) 输出级, 可将输出逻辑电平上拉至任意最高 5.5V 的电压, 而不受比较器电源电压 (V_S) 的影响。该开漏输出还允许对多个开漏输出进行逻辑或运算和逻辑电平转换。

每个输出还具有一个连接到 V_+ 的内部 350k Ω 弱上拉电阻器, 用于减少外部上拉电阻器的数量。如果需要快速 (< 100ns) 的上升时间, 则需要使用较低值的外部上拉电阻来增加上升时间, 但会增加功耗。

未使用的开漏输出可以保持悬空, 如果不允许使用悬空引脚, 则可以连接到 V_- 引脚。

开漏输出保护电路包括输出和 V_- 之间的 ESD 钳位, 以允许将输出拉至最高为 5.5V 的任何电压, 即使上拉电压超过 V_S 。

6.4.1.2 AND_OUT 输出

TLV9023L-Q1 AND_OUT 输出是三个内部比较器输出以及 AND_IN 输入的逻辑 AND。任何比较器输出变为低电平都会将 AND_OUT 输出设置成低电平。

AND_OUT 输出是推挽输出, 不需要外部上拉电阻器, 并在初始上电期间将输出保持为低电平。

AND_OUT 输出可以连接到另一个 TLV9023L-Q1 的 AND_IN, 从而实现器件的菊花链连接。任何比较器变为低电平都会导致链接的器件中的所有 AND_OUT 输出变成低电平。

6.4.2 上电复位 (POR)

TLV9023L-Q1 具有用于启动或断电条件已知的内部上电复位 (POR) 电路。当电源 (V_S) 上升或下降时, 一旦超过 V_{POR} (通常为 1.25V) 的最小电源电压阈值, POR 电路将激活长达 60 μ s (超温), 或在电源电压降至 V_{POR} 以下时立即激活。在 POR 周期期间, 输入条件会被忽略。当电源电压等于或大于最小电源电压时, 比较器最初处于锁存状态。CLR 需要在上电后置位以确保正常运行。

输入电平必须在 POR 周期结束之前稳定, 以防止过早锁存。必须注意输入端的任何滤波或 RC 元件 (基准、分压器、旁路电容器等) 的时间常数。

6.4.2.1 输出 POR 行为

POR 电路在 POR 期间 (t_{ON}) 保持低输出。

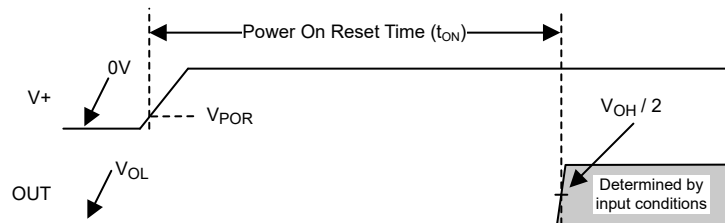


图 6-1. 上电复位时序图示例

POR 从输出低电平到 POR 开始, 然后在 POR 后保持锁存为低电平, 直到通过 CLR 引脚清除。AND_OUT 也在 POR 期间保持低电平。

6.4.3 输出门锁

TLV9023L-Q1 设有输出门锁功能，在使能后，当输入转换首次穿越输入阈值时，输出状态会被门锁。输出保持门锁状态，直到出现 CLR 引脚的下降沿。

6.4.3.1 TLV9023L-Q1 锁存行为

TLV9023L-Q1 开漏输出在 POR 周期期间门锁为低电平。POR 周期之后，输出门锁为低电平，并且必须通过 CLR 引脚上的高电平到低电平转换来清除。以下是门锁操作的概要。

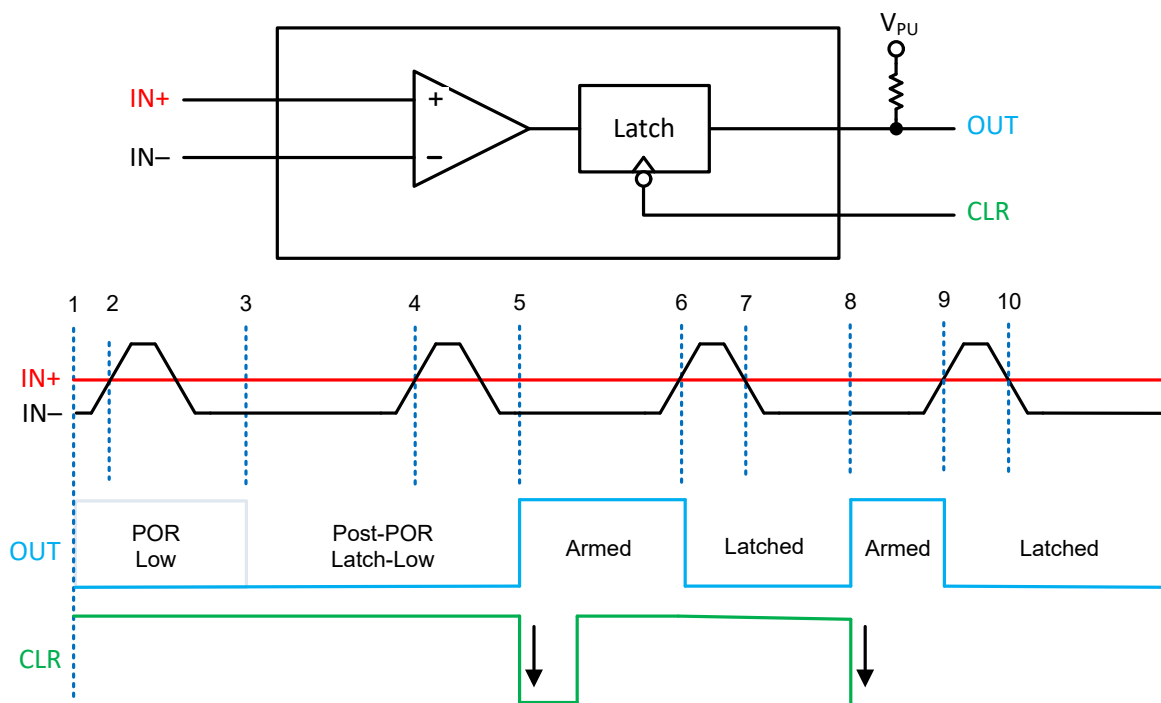


图 6-2. 锁存时序示例

以下是门锁操作的概要。

1. 在首次上电后的 POR 周期期间，输出为低电平。
2. 在 POR 周期期间，忽略输入转换。
3. 在 POR 周期之后，OUT 保持门锁为低电平。
4. IN- 通过传递 IN+，但在门锁期间忽略转换。
5. CLR 下降沿复位且使能门锁，等待下一次转换。
6. IN- > IN+，所以 OUT 变为低电平并门锁。
7. IN+ > IN-，但 OUT 保持门锁为低电平。
8. CLR 下降沿复位，并为下一次转换使能门锁。
9. IN- 跨越 IN+，输出变为低电平并再次门锁。
10. 即使在 IN+ > IN- 时，输出也保持门锁为低电平。

6.4.3.2 清零 (CLR) 输入

当 CLR 为高电平或低电平时，比较器不处于闩锁状态，比较器处于活动状态（“已使能”）并响应输入条件，为下一个限定条件闩锁做好准备。

CLR 输入仅在 CLR 输入的高电平到低电平（下降）沿清除输出闩锁。然后，比较器在清除后处于活动状态（已使能），直到发生下一个闩锁条件事件。

通过使用下降沿触发复位，CLR 引脚可以稳定处于高电平或低电平，从而防止硬件或软件故障锁定比较器，并满足安全关键型设计要求。

如果 CLR 引脚在比较器输出转换的同时转换（下降），则可能会发生设置时间争用。在 CLR 下降沿时间期间，输出状态为不确定。建议尽可能快地使 CLR 下降沿免受这种争用的影响（下降时间 <100ns）。

CLR 引脚具有失效防护（即“5V 兼容”输入）功能，可接受高达 5V 的逻辑高电平，与比较器电源电压无关。逻辑高电平 (VOH) 阈值为 1.2V。

CLR 输入端还具有 200nA 的有源下拉电流，用于确保 CLR 引脚在启动期间为低电平且比较器处于活动状态。即使有此下拉电流电阻，也不建议将 CLR 输入悬空。

6.4.4 输入

6.4.4.1 轨至轨输入

TLV9023L-Q1 的输入电压范围为从 (V-) - 200mV 到 (V+) + 200mV。差分输入电压 (V_{ID}) 可以是上述范围内的任何电压。当输入引脚的电压高于 V+ 或低于 V- 时，比较器输出不会发生相位反转。

6.4.4.2 失效防护输入

输入具有容错功能，可耐受高达 5.5V 的电源电压。容错定义为当 V_S 未上电或在建议的工作范围内时保持相同的高输入阻抗。

容错输入可以是 0V 至 5.5V 之间的任意值，即使在 V_S 为零或上升/下降时也是如此。只要输入电压范围和电源电压在最大指定范围内，该特性就能够避免电源时序问题。之所以如此，是因为输入未钳位到 V+，即使在输入端施加更高电压，输入电流也会保持高阻抗。

只要其中一个输入引脚保持在有效输入范围内，并且电源电压有效，不处于 POR 状态，输出状态就是正确的。

以下是输入电压偏移及其输出的汇总：

1. 当 IN- 和 IN+ 都在指定的输入电压范围内时：
 - a. 如果 IN- 高于 IN+ 和失调电压，则输出为低电平。
 - b. 如果 IN- 低于 IN+ 和失调电压，则输出为高电平。
2. 当 IN- 高于指定的输入电压范围，而 IN+ 在指定的电压范围内时，输出为低电平。
3. 当 IN+ 高于指定的输入电压范围，而 IN- 在指定的输入电压范围内时，输出为高电平。
4. 当 IN- 和 IN+ 均不在指定的输入电压范围内时，输出为**不确定**（随机）。*请勿在此区域中运行。输出可以随机翻转。*

即使具有容错特性，TI 也**强烈**建议在系统正常运行期间，将输入保持在指定的输入电压范围内，以符合数据表规格。不在指定的输入范围内运行可能会导致规格发生变化（如传播延迟和输入偏置电流），从而导致不可预测的行为。

6.4.4.3 输入保护

TLV9023L-Q1 在所有引脚上均整合了内部 ESD 保护电路。输入端在每个引脚到 V- 之间使用专有的“快速复位”型 ESD 钳位。V+ 没有“上部”ESD 箝位，允许输入引脚以超过电源电压 (V+)。在 ESD 事件期间，快速复位二极管会发生“短路”，并呈现低阻抗至 V-（与 SCR 类似）。

如果输入端要连接到低阻抗源（如电源或缓冲基准线），TI 建议添加一个与输入端串联的限流电阻，以限制钳位因瞬态导通时的任何瞬态电流。必须将电流限制在 10mA 或以下。该串联电阻可以是任何电阻输入分压器或网络的一部分。

ESD 二极管无法钳制上电压。ESD 钳位不会像齐纳二极管那样“保持”在固定的最大电压。如果输入连接到可能超过 5.5V 的电源，则需要外部钳位以防止超过最大输入电压。

对于 $V+$ 和 $V-$ 之间的输入电压，输入偏置电流通常为 5pA。温度每升高 10°C，输入偏置电流通常增加一倍。

6.4.4.4 内部迟滞

TLV9023L-Q1 没有内置迟滞。输出在第一次输出转换时会闩锁，因此闩锁功能无需迟滞。基准电平必须设置为所需的阈值电平，并且输入信号经过良好滤波，以消除任何可能导致早期触发的噪声或瞬态。

6.4.4.5 AND_IN 输入

AND_IN 输入允许以菊花链形式连接多个器件以扩展输入数量。AND_IN 输入是直通输入，不会触发任何锁存。

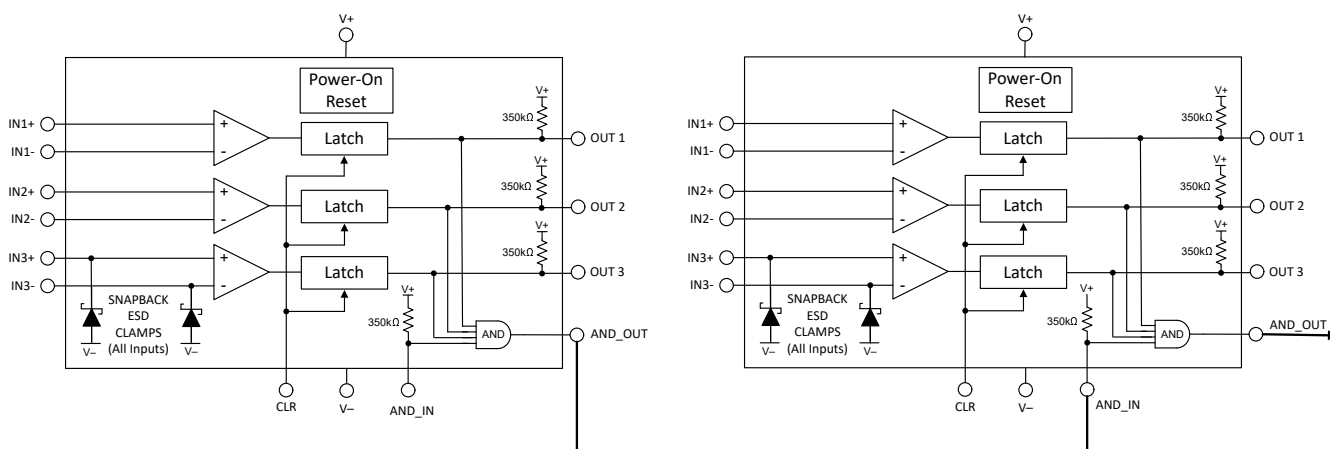


图 6-3. 将多个器件连接在一起

AND_OUT 引脚可以连接到下一个器件的 AND_IN，以创建多个器件的菊花链。AND_OUT 输出应从链的（最右）端获取，以确保涵盖所有输入。

AND_IN 输入包含一个连接到 $V+$ 的 350kΩ 弱上拉电阻器。这样就不需要在以菊花链形式连接多个器件时使用额外的上拉电阻器。如果不使用，AND_IN 输入可以保持浮动或绑定到 $V+$ 。

6.4.4.6 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低失调电压，将输入端直接连接在一起会导致高频振荡，因为器件会触发其自身的内部宽带噪声。必须将输入端连接到处于指定输入电压范围内并提供至少 50mV 差分电压的任何可用电压。例如，一个输入可以接地，另一个输入可以连接到基准电压，甚至连接到 ($V+$)。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

7.1.1 基本的比较器定义

7.1.1.1 运行

TLV9023L-Q1 将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 7-1 示例中，如果 V_{IN} 大于 V_{REF} ，则输出电压 (V_O) 为逻辑高电平 (V_{OH})。当 V_{IN} 小于 V_{REF} 时，输出电压 (V_O) 为逻辑低电平 (V_{OL})，并将锁存为低电平。表 7-1 总结了输出条件。

表 7-1. 输出条件

输入条件	输出状态
$IN+ > IN-$	高 (V_{OH})
$IN+ = IN-$	不确定 (可能抖动)
$IN+ < IN-$	低 (V_{OL}) (锁存)

7.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟。这种延迟称为传播延迟。这在 图 7-1 中显示为 t_{pHL} ，从输入的中点到输出的中点进行测量。由于锁存器的存在，TLV9023L-Q1 没有“低电平到高电平”(t_{pLH}) 规格。 t_{pLH} 被“清除下降到锁存复位传播延迟时间”($T_{PD-CLR-F}$) 规范所取代，这是 CLR 输入的下降沿和输出的上升沿之间的时间。

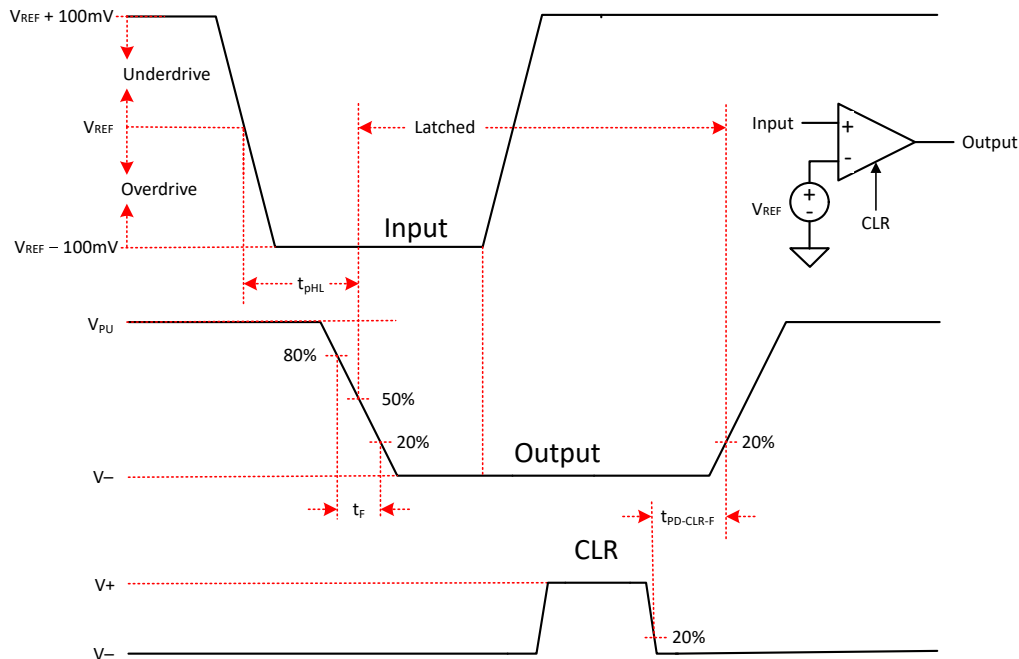


图 7-1. 比较器时序图

7.1.1.3 过驱电压

过驱电压 V_{OD} 是输入电压超出基准电压的部分 (而不是总输入峰值间电压)。如 图 7-1 示例所示, 过驱电压为 100mV。过驱电压会影响传播延迟 (t_p)。过驱电压越小, 传播延迟越长, 尤其在 $< 100\text{mV}$ 时。如果需要非常快的速度, 使用尽可能大的过驱电压。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

7.2 典型应用

7.2.1 窗口比较器

窗口比较器通常用于检测欠压和过压情况。图 7-2 显示了一个简单的窗口比较器电路。如果输出端直接连接在一起, 则窗口比较器需要开漏输出 (TLV9023L-Q1)。

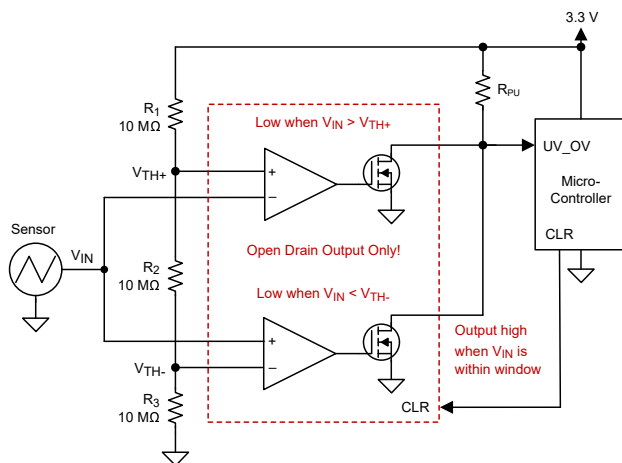


图 7-2. 采用 TLV9023L-Q1 的窗口比较器

7.2.1.1 设计要求

对于此设计, 请遵循以下设计要求:

- 当输入信号低于 1.1V 时闩锁 (逻辑低电平输出)
- 当输入信号高于 2.2V 时闩锁 (逻辑低电平输出)
- 使用 3.3V 电源供电

7.2.1.2 详细设计过程

如图 7-2 所示配置电路。使 R_1 、 R_2 和 R_3 电阻器各为 $10\text{M}\Omega$ 。这三个电阻器用于创建窗口比较器的正阈值和负阈值 (V_{TH+} 和 V_{TH-})。

每个电阻相等时, V_{TH+} 为 2.2V 且 V_{TH-} 为 1.1V。 $10\text{M}\Omega$ 等大电阻值可更大限度地降低功耗。可以重新计算电阻值以在跳变点提供所需的值。

传感器输出电压施加到两个比较器的反相和同相输入端。使用两个开漏输出比较器可将两个比较器输出以“线或” (Wire-OR) 方式连接在一起。

当传感器小于 1.1V 或大于 2.2V 时, 相应的比较器输出闩锁为低电平。如图 7-3 所示, 当传感器在 1.1V 至 2.2V 范围内 (在“窗口”内) 时, 相应的比较器输出为高电平。

CLR 引脚必须从高电平切换到低电平才能复位输出并使能比较器。

7.2.1.3 应用曲线

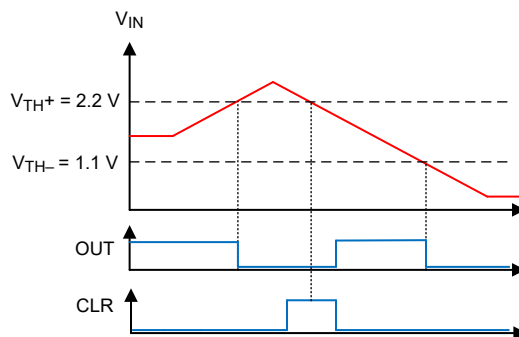


图 7-3. 窗口比较器结果

更多相关信息，请参阅应用手册 SBOA221 “窗口比较器电路”。

7.3 电源相关建议

由于存在快速输出边沿，务必在电源引脚上安装旁路电容器以防止电源发生振铃和误触发以及振荡。在 (V+) 引脚和接地引脚之间直接放一个低 ESR 0.1 μ F 陶瓷旁路电容器，直接在每个器件上实现电源旁路。输出转换期间会汲取窄峰值电流，特别是对于推挽输出器件而言。这些窄脉冲会导致电源线未被旁路和不良的接地振铃，可能会导致输入电压范围发生变化并产生不准确的比较，甚至造成振荡。

该器件可由“双”电源 (V+) 和 (V-)) 或“单”电源 (V+) 和 GND, GND 连接 (V-) 引脚) 供电。对于任一类型，输入信号必须保持在建议的输入范围内。请注意，使用“双”电源时，输出现在将“低电平” (V_{OL}) 摆动到 (V-) 电位而不是摆动到 GND。

7.4 布局

7.4.1 布局指南

在应用精确比较器时，需要保持电源稳定且将噪声和干扰降至最低。输出上升和下降时间为几十纳秒，必须被视为高速逻辑器件。旁路电容器必须尽可能靠近电源引脚放置并连接到实心接地层，最好直接放在 V+ 与 V- 引脚之间。

尽量减少输出和输入之间的耦合，以防止输出振荡。除非输出之间存在 V+ 或 GND 布线，否则请勿并行布置输出和输入布线，以减少耦合。向输入端添加串联电阻时，将电阻器放在靠近器件的位置。还可以在输出端串联一个低阻值 (<100 欧姆) 电阻器，以抑制非阻抗控制的长迹线上出现任何振铃或反射。为获得理想边沿形状，在进行长距离布线时必须使用带有反向终端的受控阻抗迹线。

7.4.2 布局示例

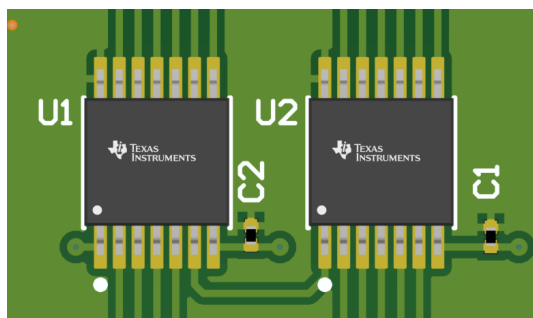


图 7-4. 显示菊花链 AND_OUT 的布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

模拟工程师电路设计指导手册：放大器 (请参阅 “比较器” 一节) - SLYY137

精密设计，具有迟滞功能的比较器参考设计 - TIDU020

窗口比较器电路 - SBOA221

参考设计，窗口比较器参考设计 - TIPD178

具有/不具有迟滞功能的比较器电路 - SBOA219

具有迟滞功能的反相比较器电路 - SNOA997

具有迟滞功能的同相比较器电路 - SBOA313

四个独立运行的比较器 - SNOA654

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2026	*	预告信息发布

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTLV9023L2WRTERQ1	Active	Preproduction	WQFN (RTE) 16	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

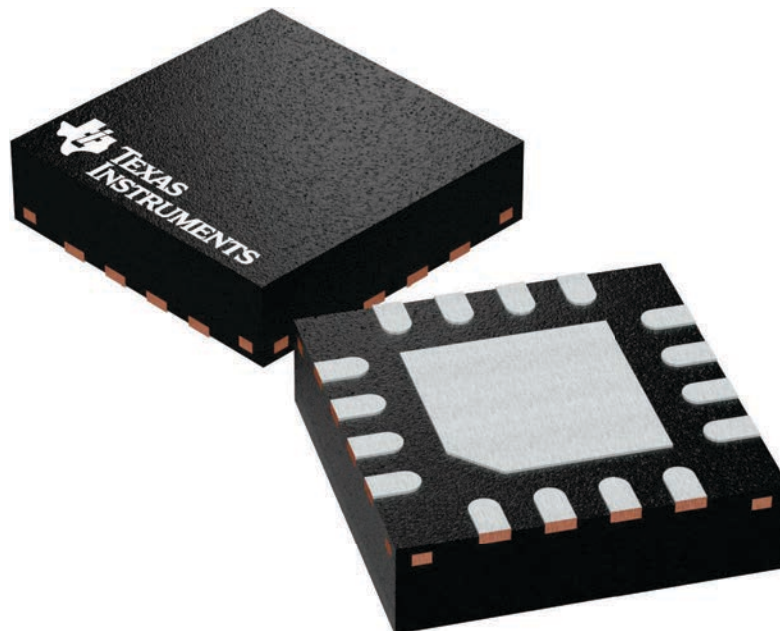
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225944/A

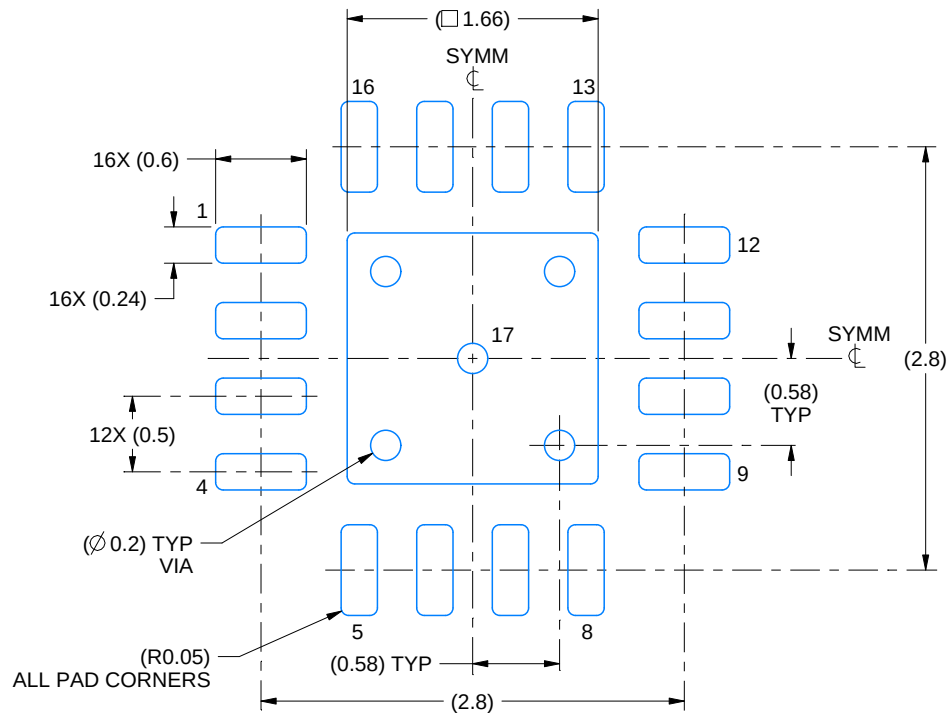


1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

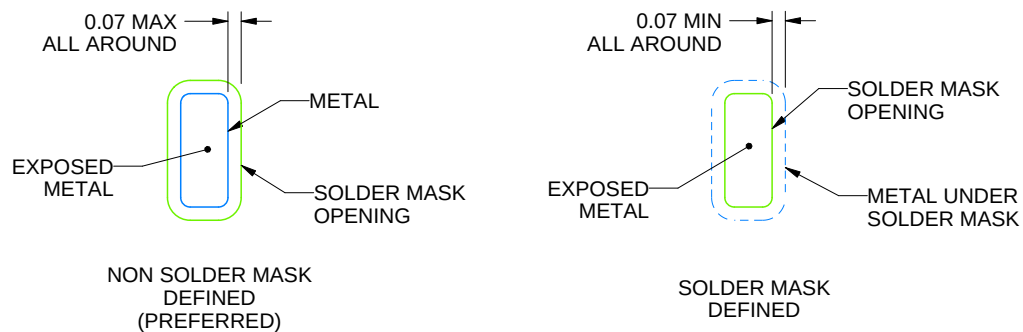
RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4224938/C 03/2022

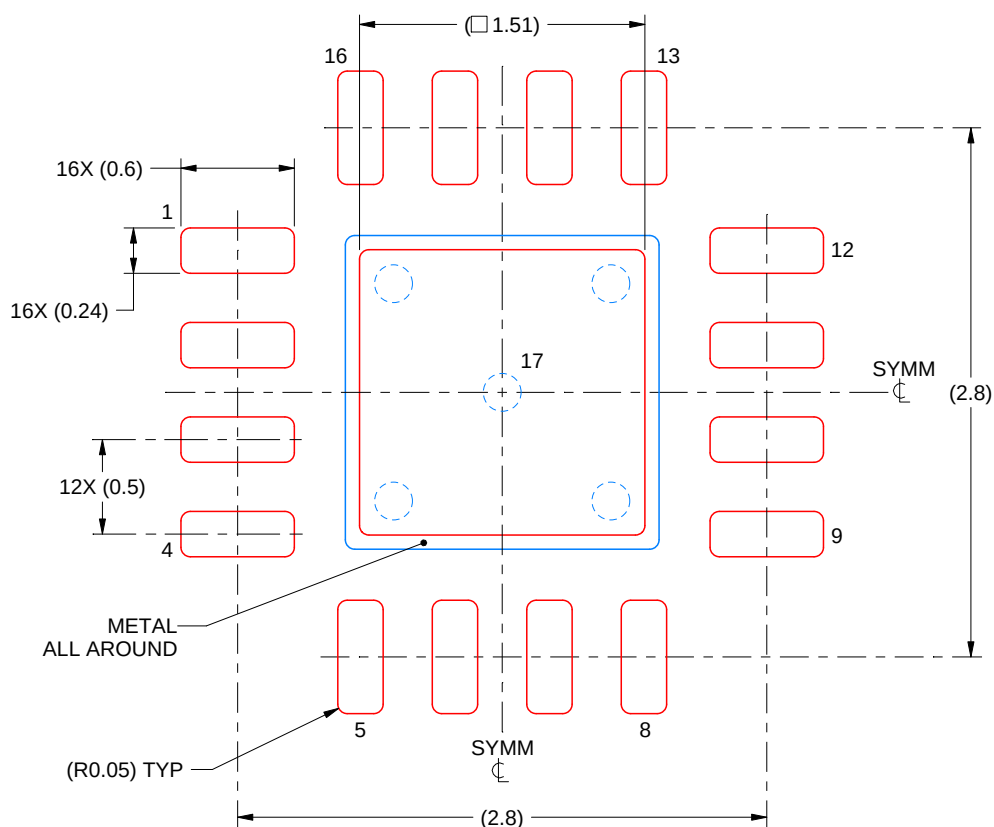
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4224938/C 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月