TLV900x-Q1 低功耗 RRIO 1MHz 汽车运算放大器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 器件 HBM ESD 分类等级 2
  - 器件 CDM ESD 分类等级 C6
- 可扩展 CMOS 放大器，适用于低成本应用
- 轨到轨输入和输出
- 低输入失调电压：±0.4mV
- 单位增益带宽：1MHz
- 低宽带噪声：27nV/√Hz
- 低输入偏置电流：5pA
- 低静态电流：60μA/通道
- 单位增益稳定
- 内置 RFI 和 EMI 滤波器
- 可在电源电压低至 1.8V 的情况下运行
- 由于具有电阻式开环输出阻抗，因此在较高的电容性负载下更易稳定
- 功能安全型
  - 功能安全信息

2 应用

- 针对 AEC-Q100 1 级应用进行了优化
- 信息娱乐系统与仪表组
- 被动安全
- 车身电子装置和照明
- 混合动力汽车/电动汽车逆变器和电机控制
- 车载充电器 (OBC) 和无线充电器
- 动力总成电流传感器
- 高级驾驶辅助系统 (ADAS)
- 单电源、低侧、单向电流感应电路

3 说明

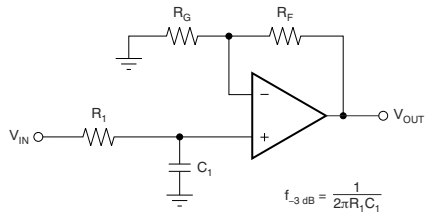
TLV900x-Q1 系列包括单通道 (TLV9001-Q1)、双通道 (TLV9002-Q1) 和四通道 (TLV9004-Q1) 低压（1.8V 至 5.5V）运算放大器，具有轨至轨输入和输出摆幅功能。这些运算放大器为空间受限、需要低压运行和高容性负载驱动的汽车应用（例如信息娱乐系统和照明）提供了一种具有成本效益的选项。TLV900x-Q1 系列的容性负载驱动器具有 500pF 的电容，而电阻式开环输出阻抗使其能够在更高的容性负载下更轻松地实现稳定。这些运算放大器专为低工作电压（1.8V 至 5.5V）而设计，性能规格类似于 TLV600x-Q1 器件。

TLV900x-Q1 系列的稳健设计可简化电路设计。这些运算放大器具有单位增益稳定性，集成了 RFI 和 EMI 抑制滤波器，并且在过驱情况下不会出现相位反转。

封装信息

器件型号 (1)	封装(2)	封装尺寸（标称值）
TLV9001-Q1	DBV（SOT-23，5）	1.60mm × 2.90mm
	DCK（SC70，5）	1.25mm × 2.00mm
TLV9002-Q1	D（SOIC，8）	3.91mm × 4.90mm
	PW（TSSOP，8）	3.00mm × 4.40mm
	DGK（VSSOP，8）	3.00mm × 3.00mm
TLV9004-Q1	DYY（SOT-23，14）	4.20mm × 1.90mm
	D（SOIC，14）	8.65mm × 3.91mm
	PW（TSSOP，14）	4.40mm × 5.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 请参阅*器件比较表*。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

单极低通滤波器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 器件比较表.... 3
5 引脚配置和功能.... 4
6 规格.... 7
6.1 绝对最大额定值.... 7
6.2 ESD 等级.... 7
6.3 建议运行条件.... 7
6.4 单通道器件的热性能信息.... 7
6.5 双通道器件的热性能信息.... 8
6.6 四通道器件的热性能信息.... 8
6.7 电气特性.... 9
6.8 典型特性.... 11
7 详细说明.... 17
7.1 概述.... 17
7.2 功能方框图.... 17
7.3 特性说明.... 18
7.4 器件功能模式.... 18
8 应用和实施.... 19
8.1 应用信息.... 19
8.2 典型应用.... 19
8.3 电源相关建议.... 23
8.4 布局.... 24
9 器件和文档支持.... 25
9.1 文档支持.... 25
9.2 接收文档更新通知.... 25
9.3 支持资源.... 25
9.4 商标.... 25
9.5 静电放电警告.... 25
9.6 术语表.... 25
10 修订历史记录.... 26
11 机械、封装和可订购信息.... 27

Copyright © 2026 Texas Instruments Incorporated

4 器件比较表

器件	通道数	封装引线					
		SOT-23 DBV	SC70 DCK	SOIC D	TSSOP PW	VSSOP DGK	SOT-23 DYY
TLV9001-Q1	1	5	5	—	—	—	
TLV9002-Q1	2	—	—	8	8	8	—
TLV9004-Q1	4	—	—	14	14	—	14

5 引脚配置和功能

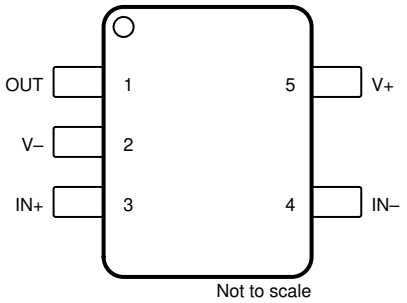


图 5-1. TLV9001-Q1 DBV 封装，5 引脚 SOT-23（顶视图）

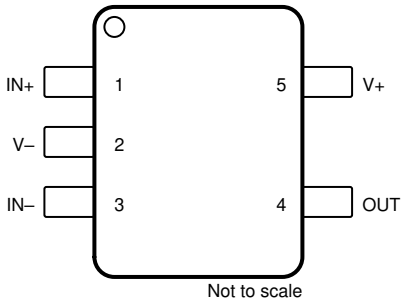


图 5-2. TLV9001-Q1 DCK 封装，TLV9001U-Q1 DBV 封装，5 引脚 SC70 5 引脚 SOT-23（顶视图）

表 5-1. 引脚功能：TLV9001-Q1

引脚			类型[(1)]	说明
名称	SOT-23	SC70、SOT-23(U)		
IN –	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
V –	2	2	I 或 —	负（低）电源或接地（对于单电源供电）
V+	5	5	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

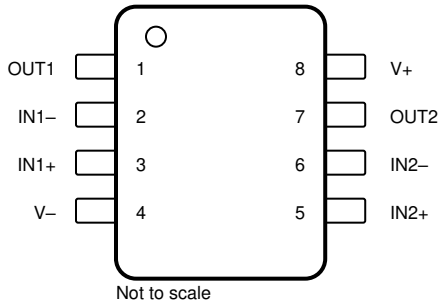


图 5-3. TLV9002-Q1 D、DGK 和 PW 封装，8 引脚 SOIC、VSSOP 和 TSSOP（顶视图）

表 5-2. 引脚功能：TLV9002-Q1

引脚		类型[(1)]	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V –	4	I 或 —	负（低）电源或接地（对于单电源供电）
V+	8	I	正（高）电源

(1) I = 输入，O = 输出

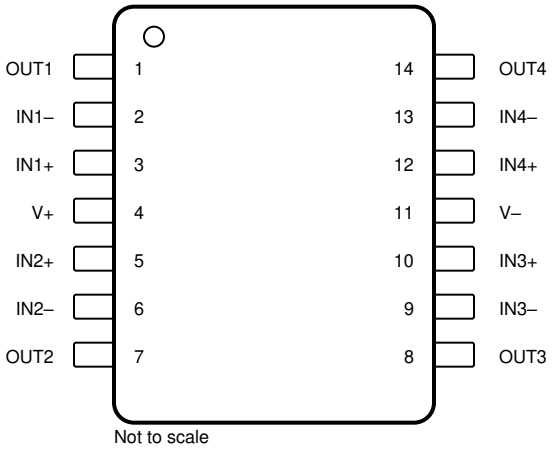


图 5-4. TLV9004-Q1 D、PW 和 DYY 封装，14 引脚 SOIC、TSSOP、SOT-23（顶视图）

表 5-3. 引脚功能：TLV9004-Q1

引脚		类型[(1)]	说明
名称	编号		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
IN3 –	9	I	反相输入，通道 3
IN3+	10	I	同相输入，通道 3
IN4 –	13	I	反相输入，通道 4
IN4+	12	I	同相输入，通道 4
NC	—	—	无内部连接
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V –	11	I 或 —	负（低）电源或接地（对于单电源供电）
V+	4	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
电源电压 ([V+] – [V–])			0	6	V
信号输入引脚	电压[(2)]	共模	(V–) – 0.5	(V+) + 0.5	V
		差分[(4)]	(V+) – (V–) + 0.2		V
	电流[(2)]		-10	10	mA
输出短路[(3)]			持续		mA
温度，T_A			-55	150	°C
结温，T_J				150	°C
贮存温度，T_{stg}			-65	150	°C

(1) 应力超出*绝对最大额定值*下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。
(3) 接地短路，每个封装对应一个放大器。
(4) 连续施加大于 0.5V 的差分输入电压会导致输入失调电压和静态电流偏移超过这些参数的最大规格。这种影响的幅度随着环境工作温度升高而增大。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压	1.8	5.5	V
T_A	额定温度	-40	125	°C

6.4 单通道器件的热性能信息

热指标 [(1)]		TLV9001-Q1		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	232.5	239.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	131.0	148.5	°C/W
$R_{\theta JB}$	结至电路板热阻	99.6	82.3	°C/W
ψ_{JT}	结至顶部特征参数	66.5	54.5	°C/W
ψ_{JB}	结至电路板特征参数	99.1	81.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.5 双通道器件的热性能信息

热指标 (1)		TLV9002-Q1			单位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	151.9	196.6	180.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	92.0	86.2	84.4	°C/W
$R_{\theta JB}$	结至电路板热阻	95.4	118.3	120.2	°C/W
ψ_{JT}	结至顶部特征参数	40.2	23.2	15.3	°C/W
ψ_{JB}	结至电路板特征参数	94.7	116.7	117.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

6.6 四通道器件的热性能信息

热指标 (1)		TLV9004-Q1			单位
		D (SOIC)	DYY (SOT-23)	PW (TSSOP)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	115.1	154.3	135.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	71.2	86.8	63.5	°C/W
$R_{\theta JB}$	结至电路板热阻	71.1	67.9	78.4	°C/W
ψ_{JT}	结至顶部特征参数	29.6	10.1	13.6	°C/W
ψ_{JB}	结至电路板特征参数	70.7	67.5	77.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

6.7 电气特性

T_A = 25°C 时，V_S = (V+) – (V–) = 1.8V 至 5.5V（±0.9V 至 ±2.75V），R_L = 10kΩ（连接至 V_S/2），并且 V_{CM} = V_{OUT} = V_S/2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	Vs = 5V		±0.4	±1.85	mV
		Vs = 5V，T_A = –40°C 至 125°C			±2	mV
dV_{OS}/dT	V_{OS} 温漂	T_A = -40°C 至 125°C		±0.6		μV/°C
PSRR	电源抑制比	V_S = 1.8V 至 5.5V，V_{CM} = (V–)	80	105		dB
输入电压范围						
V_{CM}	共模电压范围	无相位反向，轨到轨输入	(V–) – 0.1		(V+) + 0.1	V
CMRR	共模抑制比	V_S = 1.8V，(V–) – 0.1V < V_{CM} < (V+) – 1.4V，T_A = –40°C 至 125°C		86		dB
		V_S = 5.5V，(V–) – 0.1V < V_{CM} < (V+) – 1.4V，T_A = –40°C 至 125°C		95		dB
		V_S = 5.5V，(V–) – 0.1V < V_{CM} < (V+) + 0.1V，T_A = –40°C 至 125°C	63	77		dB
		V_S = 1.8V，(V–) – 0.1V < V_{CM} < (V+) + 0.1V，T_A = –40°C 至 125°C		68		dB
输入偏置电流						
I_B	输入偏置电流	Vs = 5V		±5		pA
I_{OS}	输入失调电流			±2		pA
噪声						
E_n	输入电压噪声（峰峰值）	f = 0.1Hz 至 10Hz，Vs = 5V		4.7		μV_{PP}
e_n	输入电压噪声密度	f = 1kHz，Vs = 5V		30		nV/√Hz
		f = 10kHz，Vs = 5V		27		nV/√Hz
i_n	输入电流噪声密度	f = 1kHz，Vs = 5V		23		fA/√Hz
输入电容						
C_{ID}	差分			1.5		pF
C_{IC}	共模			5		pF
开环增益						
A_{OL}	开环电压增益	V_S = 5.5V，(V–) + 0.05V < V_O < (V+) – 0.05V，R_L = 10kΩ	104	117		dB
		V_S = 1.8V，(V–) + 0.04V < V_O < (V+) – 0.04V，R_L = 10kΩ		100		dB
		V_S = 1.8V，(V–) + 0.1V < V_O < (V+) – 0.1V，R_L = 2kΩ		115		dB
		V_S = 5.5V，(V–) + 0.15V < V_O < (V+) – 0.15V，R_L = 2kΩ		130		dB
频率响应						
GBW	增益带宽积	Vs = 5V		1		MHz
Φ_m	相位裕度	V_S = 5.5V，G = 1		78		度
SR	压摆率	Vs = 5V		2		V/μs
t_S	稳定时间	精度达到 0.1%，V_S = 5V，2V 阶跃，G = +1，C_L = 100pF		2.5		μs
		精度达到 0.01%，V_S = 5V，2V 阶跃，G = +1，C_L = 100pF		3		μs
t_{OR}	过载恢复时间	V_S = 5V，V_{IN} × 增益 > V_S		0.85		μs
THD+N	总谐波失真 + 噪声	V_S = 5.5V，V_{CM} = 2.5V，V_O = 1V_{RMS}，G = +1，f = 1kHz，80kHz 测量 BW		0.004		%
输出						

6.7 电气特性（续）

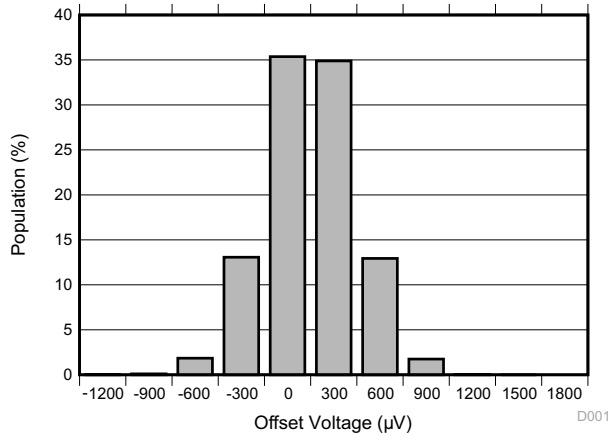
T_A = 25°C 时，V_S = (V+) – (V–) = 1.8V 至 5.5V（±0.9V 至 ±2.75V），R_L = 10kΩ（连接至 V_S/2），并且 V_{CM} = V_{OUT} = V_S/2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_O	相对于电源轨的电压输出摆幅	V_S = 5.5V，R_L = 10kΩ		10	20	mV
		V_S = 5.5V，R_L = 2kΩ		35	55	mV
I_{SC}	短路电流	Vs = 5.5V		±40		mA
Z_O	开环输出阻抗	Vs = 5V，f = 1MHz		1200		Ω
电源						
V_S	额定电压范围		1.8 (±0.9)		5.5 (±2.75)	V
I_Q	每个放大器的静态电流	I_O = 0mA，V_S = 5.5V		60	80	μA
		I_O = 0mA，V_S = 5.5V，TLV9002RQDGKRQ1		60	85	μA
		I_O = 0mA，V_S = 5.5V，T_A = –40°C 至 125°C			85	μA
	加电时间	V_S = 0V 至 5V，精度达到 90% I_Q 电平		50		μs

Copyright © 2026 Texas Instruments Incorporated

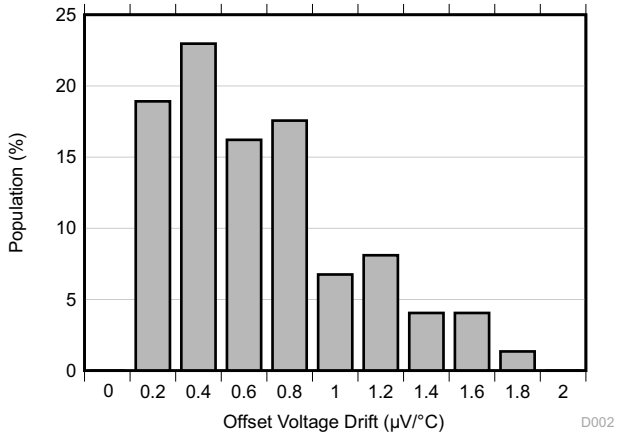
6.8 典型特性

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



V_S = 5V

图 6-1. 失调电压分布直方图



V_S = 5V，T_A = –40°C 至 +125°C

图 6-2. 失调电压漂移分布直方图

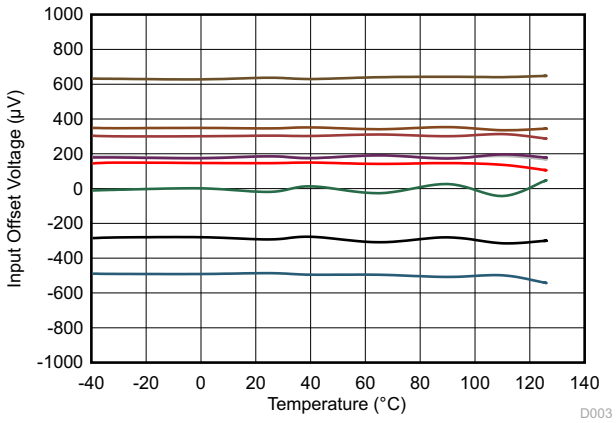


图 6-3. 输入失调电压与温度间的关系

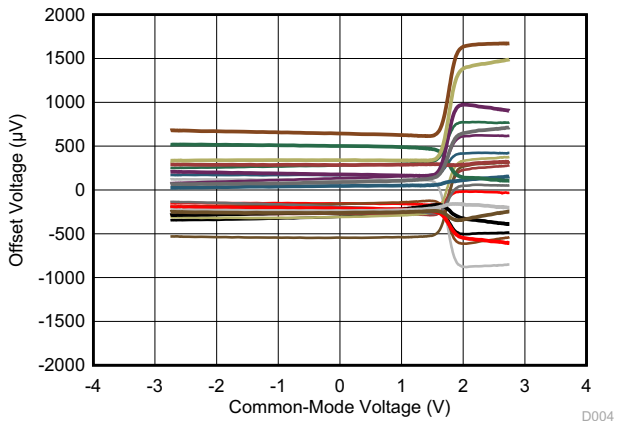


图 6-4. 失调电压与共模间的关系

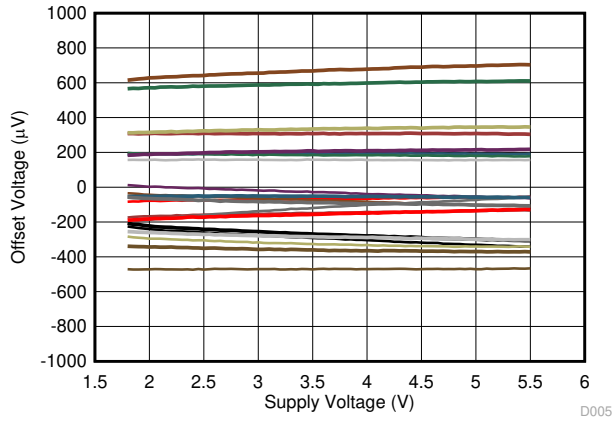


图 6-5. 失调电压与电源电压间的关系

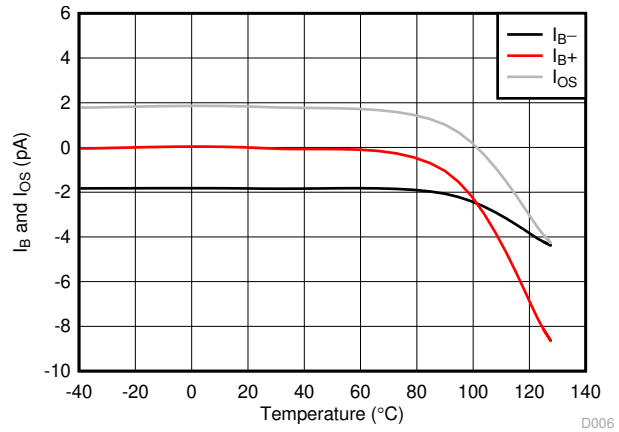


图 6-6. I_B 和 I_{OS} 与温度间的关系

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

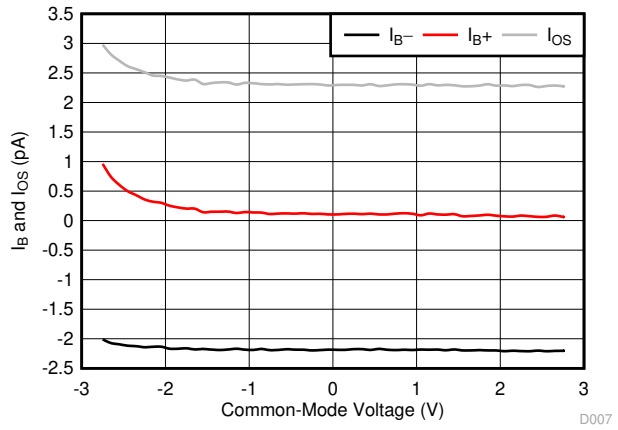


图 6-7. I_B 和 I_{OS} 与共模电压间的关系

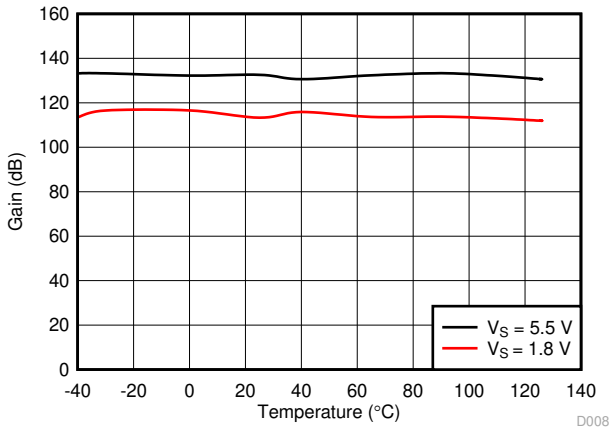
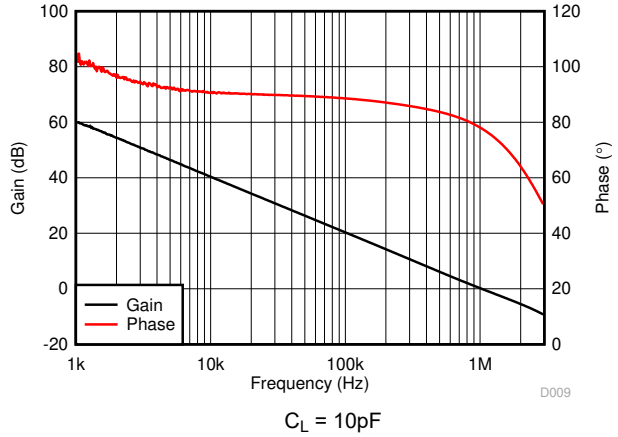


图 6-8. 开环增益与温度间的关系



C_L = 10pF

图 6-9. 开环增益和相位与频率间的关系

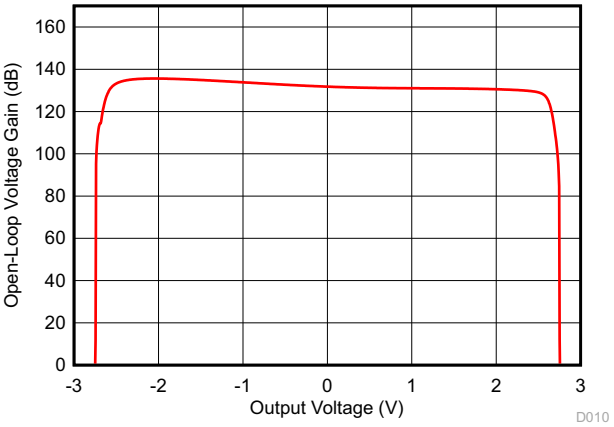
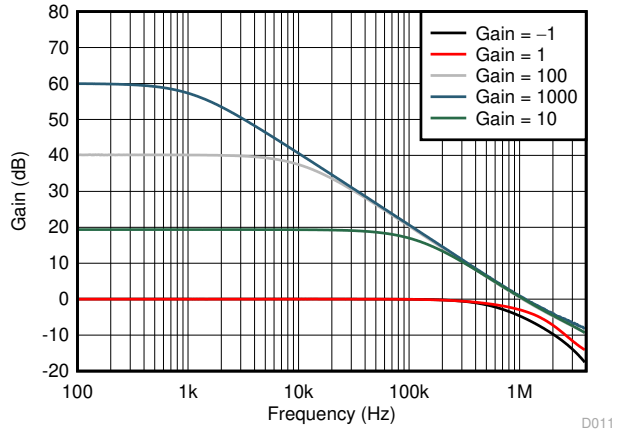


图 6-10. 开环增益与输出电压间的关系



C_L = 10pF

图 6-11. 闭环增益与频率间的关系

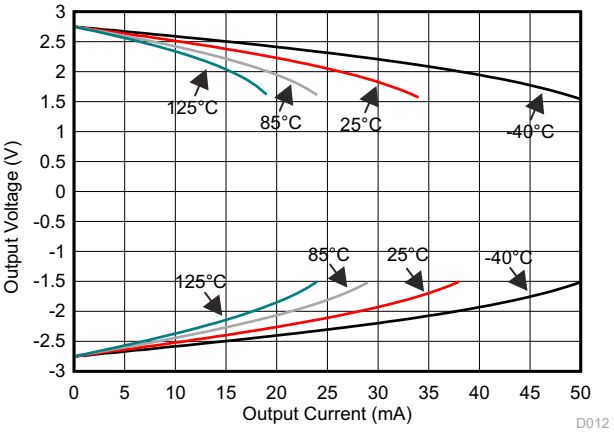


图 6-12. 输出电压与输出电流间的关系（爪形）

Copyright © 2026 Texas Instruments Incorporated

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）

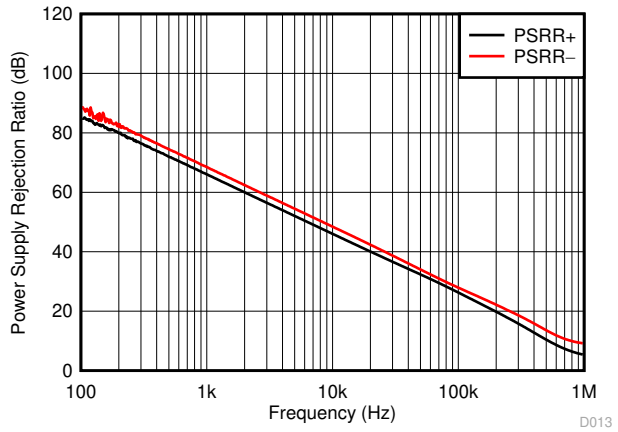
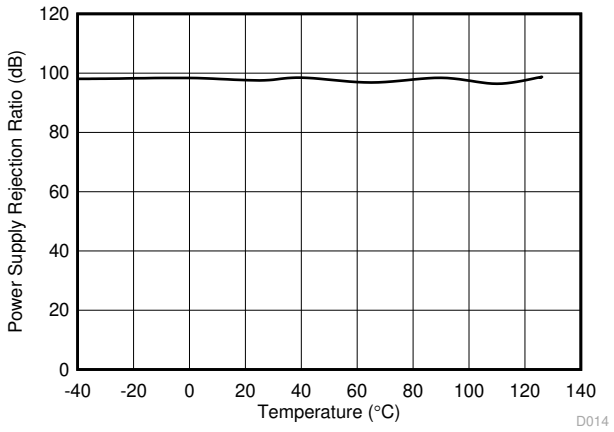


图 6-13. PSRR 与频率间的关系



V_S = 1.8V 至 5.5V

图 6-14. 直流 PSRR 与温度间的关系

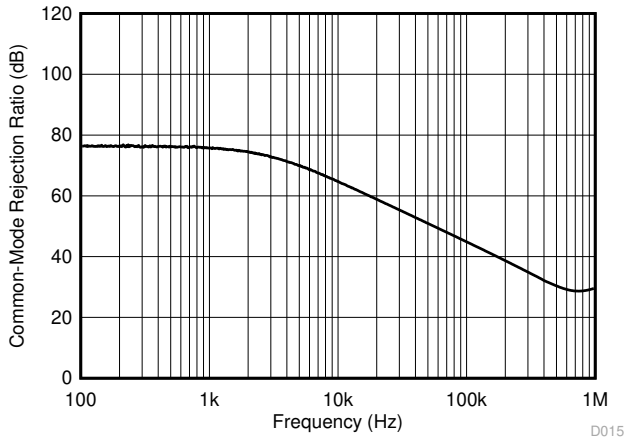
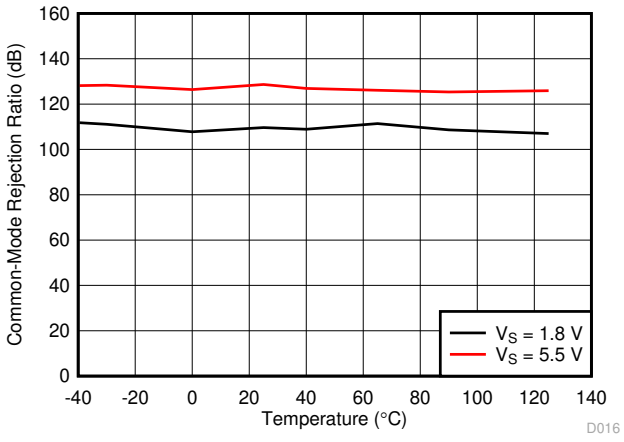


图 6-15. CMRR 与频率间的关系



V_{CM} = (V–) – 0.1V 至 (V+) – 1.4V

图 6-16. 直流 CMRR 与温度间的关系

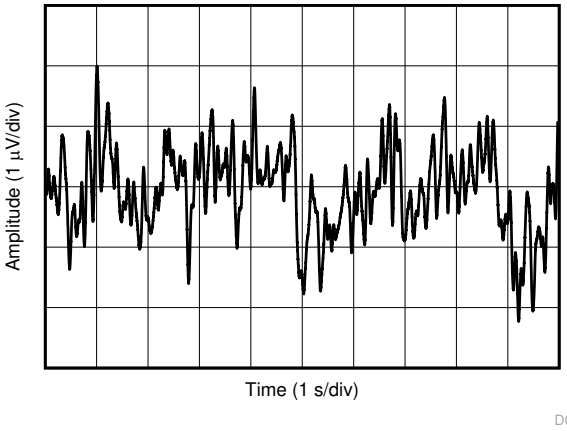


图 6-17. 0.1Hz 至 10Hz 集成电压噪声

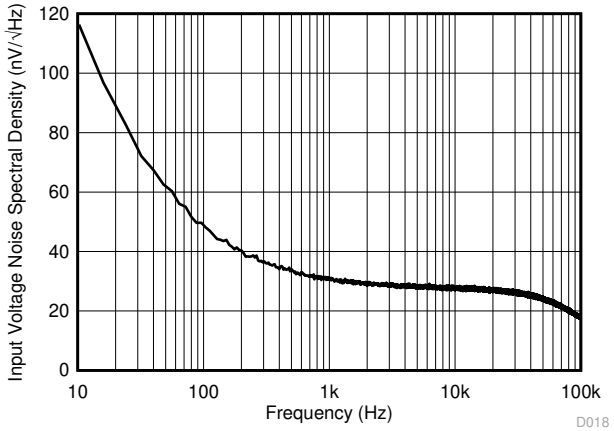
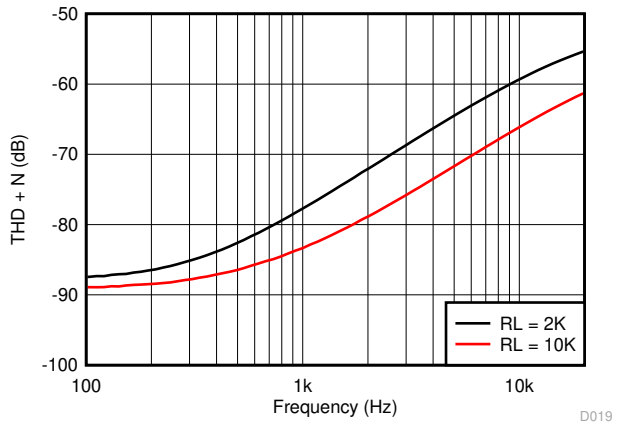


图 6-18. 输入电压噪声频谱密度

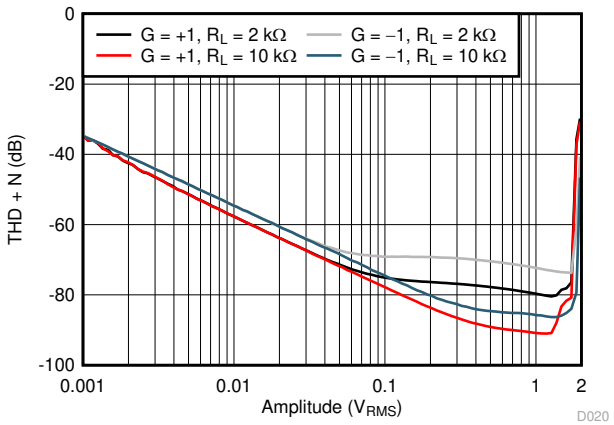
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



V_S = 5.5V　V_{CM} = 2.5V　G = 1
BW = 80kHz　V_{OUT} = 0.5V_{RMS}

图 6-19. THD+N 与频率间的关系



V_S = 5.5V　V_{CM} = 2.5V　f = 1kHz
G = 1　BW = 80kHz

图 6-20. THD + N 与幅度间的关系

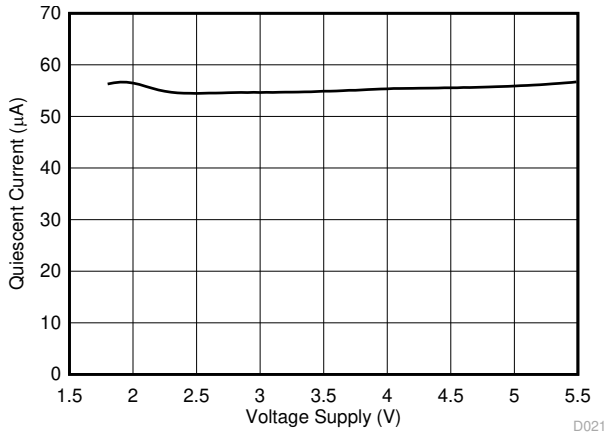


图 6-21. 静态电流与电源电压间的关系

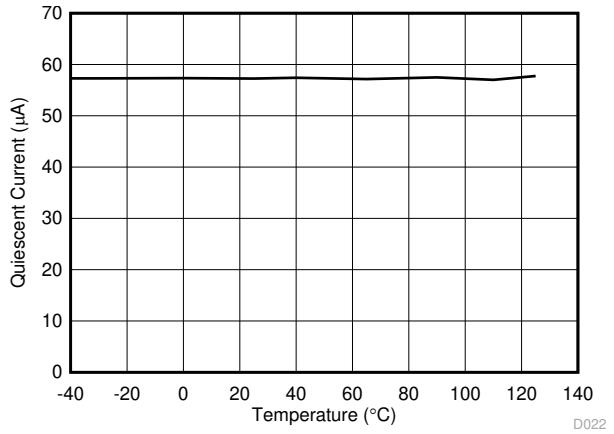


图 6-22. 静态电流与温度间的关系

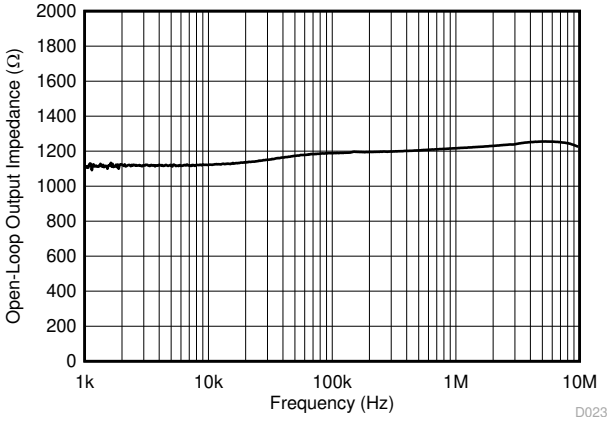
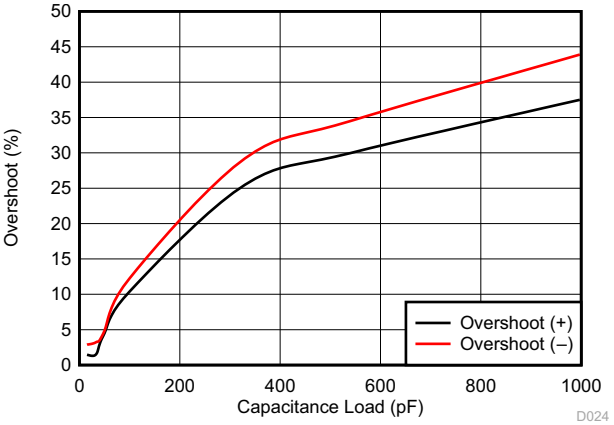


图 6-23. 开环输出阻抗与频率间的关系



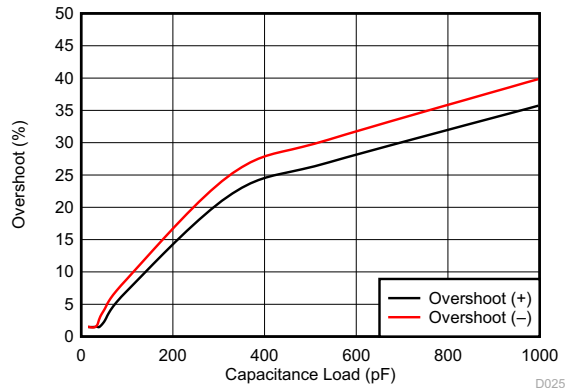
G = 1　V_{IN} = 100mVpp

图 6-24. 小信号过冲与容性负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



G = -1　　V_{IN} = 100mVpp

图 6-25. 小信号过冲与容性负载间的关系

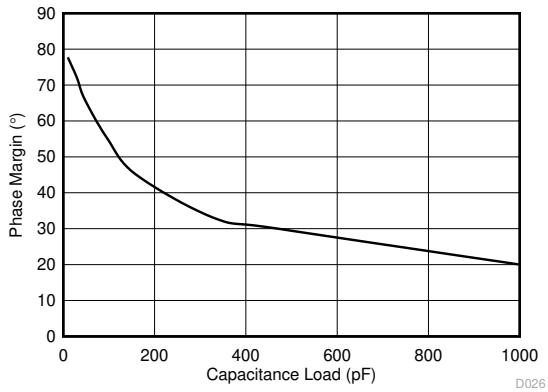
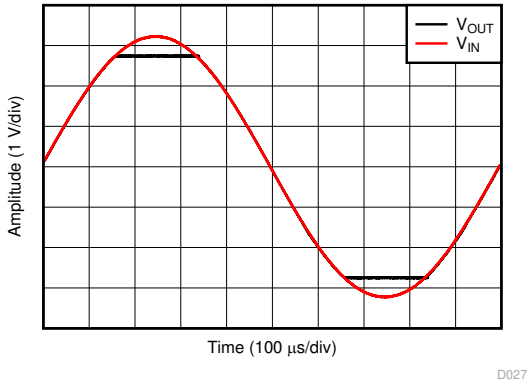
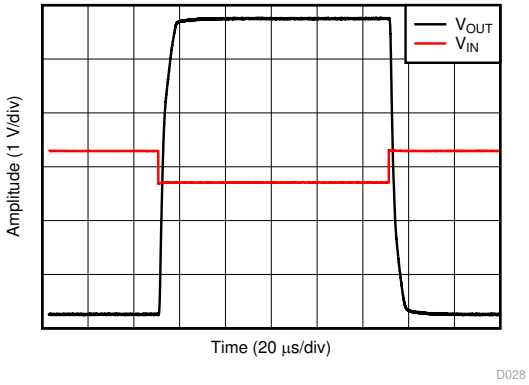


图 6-26. 相位裕度与容性负载间的关系



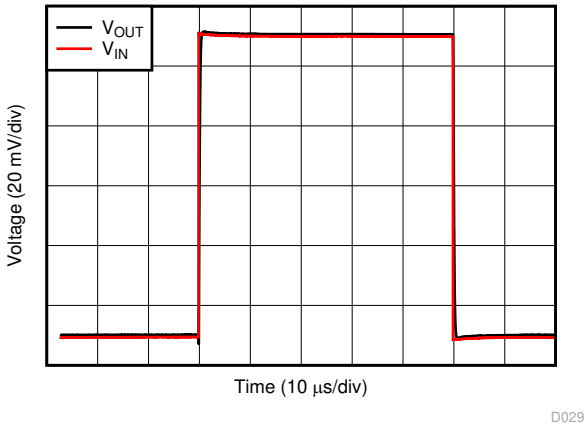
G = 1　　V_{IN} = 6.5V_{PP}

图 6-27. 无相位反转



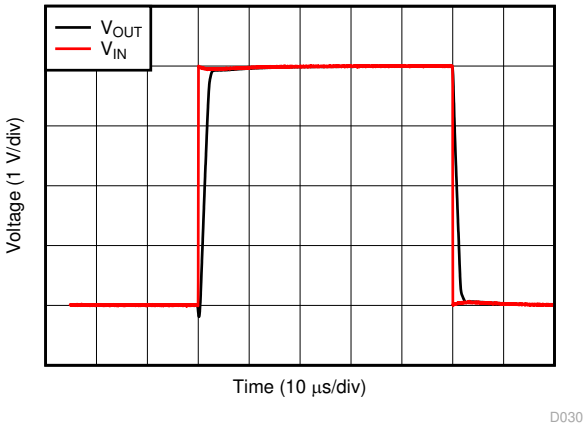
G = -10　　V_{IN} = 600mV_{PP}

图 6-28. 过载恢复



G = 1　　V_{IN} = 100mV_{PP}　　C_L = 10pF

图 6-29. 小信号阶跃响应

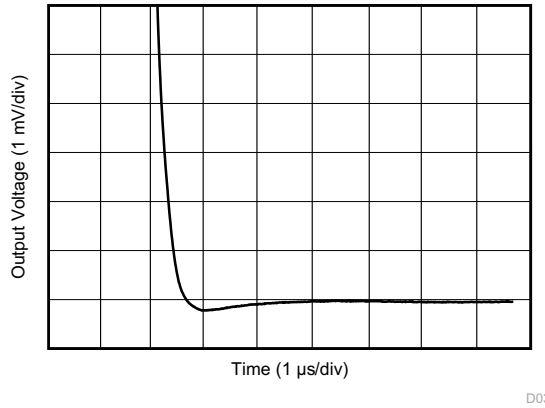


G = 1　　V_{IN} = 4V_{PP}　　C_L = 10pF

图 6-30. 大信号阶跃响应

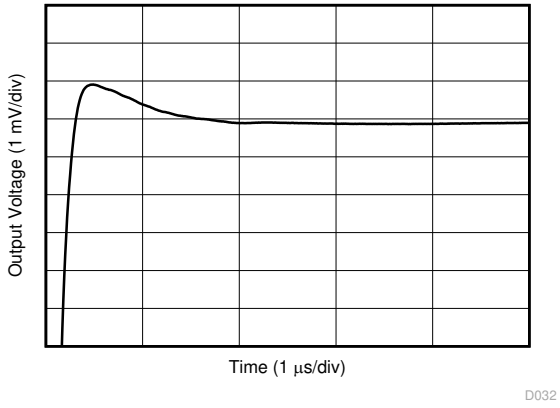
6.8 典型特性（续）

在 T_A = 25°C、V+ = 2.75V、V– = –2.75V、R_L = 10kΩ 连接到 V_S/2、V_{CM} = V_S/2 且 V_{OUT} = V_S/2 条件下测得（除非另有说明）



G = 1　　C_L = 100pF　　2V 阶跃

图 6-31. 大信号建立时间（负）



G = 1　　C_L = 100pF　　2V 阶跃

图 6-32. 大信号建立时间（正）

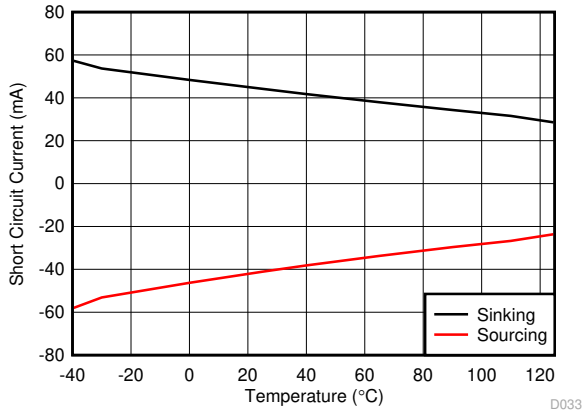


图 6-33. 短路电流与温度间的关系

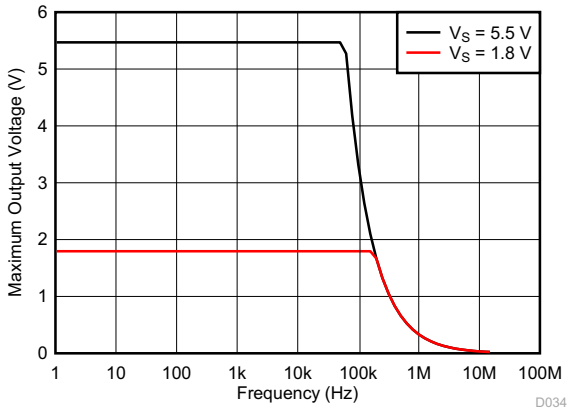


图 6-34. 最大输出电压与频率间的关系

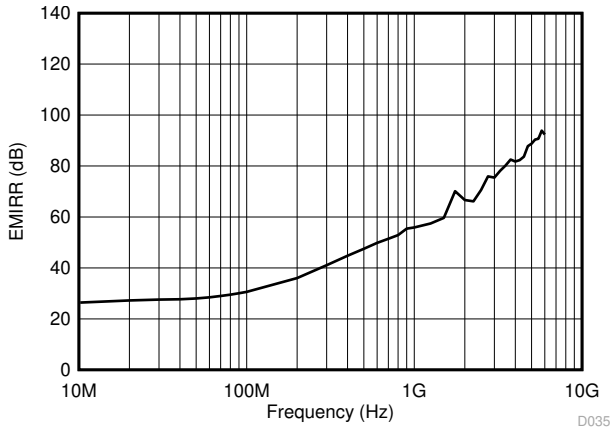


图 6-35. 以同相输入为基准的电磁干扰抑制比 (EMIRR+) 与频率间的关系

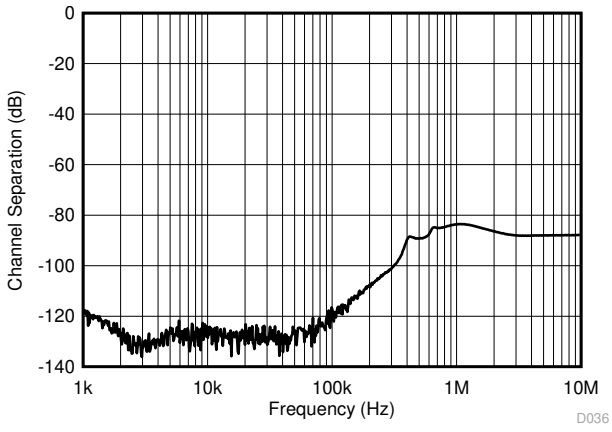


图 6-36. 通道隔离

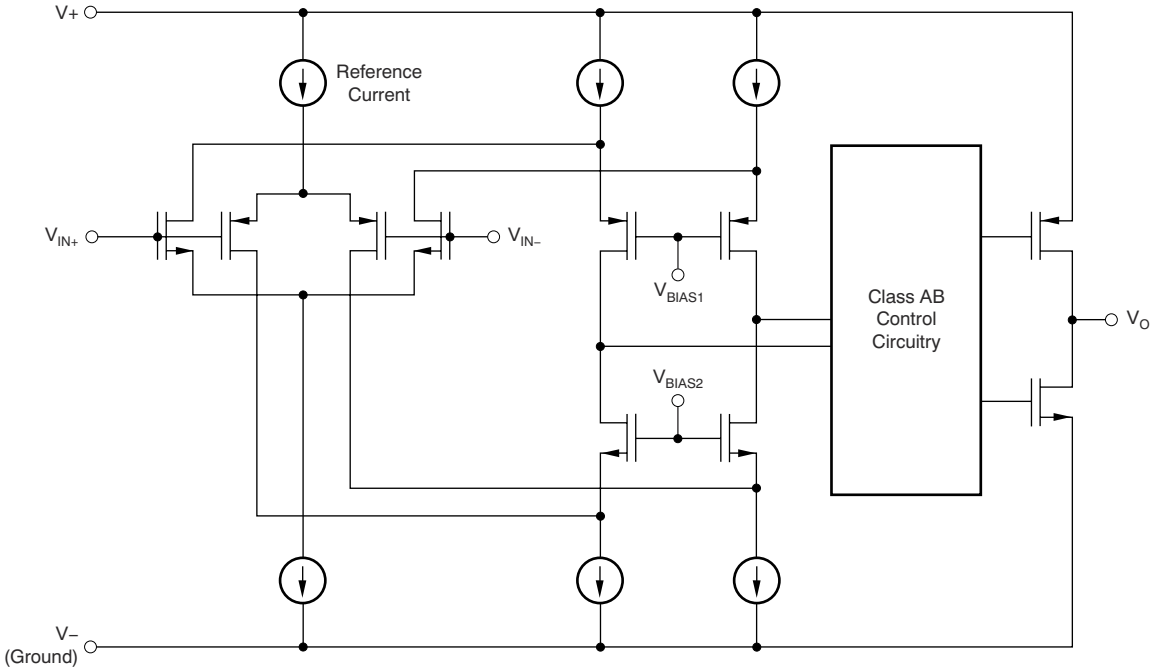
Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

TLV900x-Q1 是一系列符合汽车标准的低功率、轨对轨输入和输出运算放大器。这些器件的工作电压范围为 1.8V 至 5.5V，具有单位增益稳定特性，并且适用于各种通用应用。输入共模电压范围包括两个电源轨，并允许将 TLV900x-Q1 系列用于几乎任何单电源应用。轨到轨输入和输出摆幅显著增加了动态范围，特别是在低电源应用中，因此这些器件非常适合驱动采样模数转换器 (ADC)。

7.2 功能方框图



7.3 特性说明

7.3.1 工作电压

TLV900x-Q1 系列运算放大器的工作电压范围为 1.8V 至 5.5V。此外，输入失调电压、静态电流、失调电流和短路电流等多种规格适用于 –40°C 至 125°C 的温度范围。参数随工作电压或温度而显著变化，如典型特性部分中所示。

7.3.2 轨到轨输入

TLV900x-Q1 系列的输入共模电压范围相对于电源轨向外扩展了 100mV，从而支持 1.8V 至 5.5V 的完整电源电压范围。此性能由一个互补输入级实现：一个 N 沟道输入差分对和一个与之并联的 P 沟道差分对，如*功能方框图*部分所示。N 沟道对对于靠近正电源轨的输入电压有效，通常比正电源高 (V+) – 1.4V 至 100mV，而 P 沟道对针对低于负电源轨 100mV 至大约 (V+) – 1.4V 间的输入打开。有一个小转换区域，通常介于 (V+) – 1.2V 至 (V+) – 1V 之间，在这个区间内两个对都打开。此 100mV 转换区域可能会随工艺不同而发生变化，最高可达 100mV。因此，此转换区域（两个级都打开）在低端上的范围介于 (V+) – 1.4V 至 (V+) – 1.2V 之间，而在高端上的范围高达 (V+) – 1V 至 (V+) – 0.8V。在此转换区域内，与器件在该区域外运行相比，PSRR、CMRR、失调电压、温漂和 THD 等性能可能会下降。

7.3.3 轨到轨输出

TLV900x-Q1 系列设计为一种低功耗、低电压运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管的 AB 类输出级可实现完全的轨到轨输出摆幅功能。对于 10kΩ 的阻性负载，无论施加的电源电压是多少，输出摆幅都在两个电源轨的 20mV 范围内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力。

7.3.4 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间回到线性状态。当电荷载体回到线性状态时，器件开始以指定的压摆率进行转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TLV900x-Q1 系列的过载恢复时间约为 850ns。

7.4 器件功能模式

TLV900x-Q1 系列拥有单功能模式。只要电源电压在 1.8V (±0.9V) 与 5.5V (±2.75V) 之间，这些器件就处于通电状态。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TLV900x-Q1 系列低功耗轨到轨输入和输出运算放大器是专为便携式应用而设计的。这些器件的工作电压范围为 1.8V 至 5.5V，具有单位增益稳定特性，也是各种通用应用的卓越选择。AB 类输出级能够驱动连接至 V+ 和 V – 之间任一点且小于或等于 10kΩ 的负载。输入共模电压范围包括两个电源轨，并允许在任何单电源应用中使用 TLV900x-Q1 器件。

8.2 典型应用

8.2.1 TLV900x-Q1 低侧电流检测应用

图 8-1 展示了低侧电流检测应用中配置的 TLV900x-Q1。

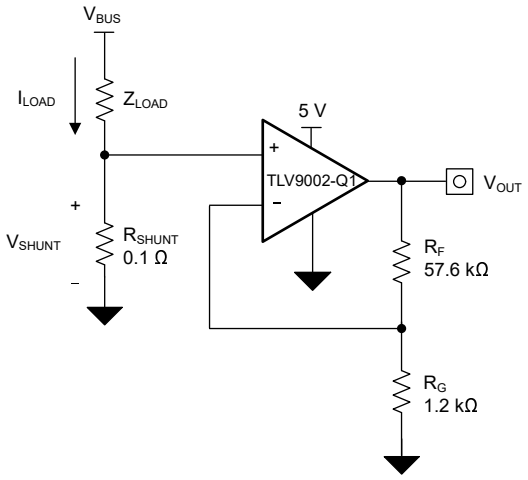


图 8-1. 低侧电流检测应用中的 TLV900x-Q1

8.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压：4.9V
- 最大分流电压：100mV

8.2.1.2 详细设计过程

方程式 1 提供了图 8-1 中的电路传递函数：

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{1}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用 方程式 2 计算最大分流电阻：

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \tag{2}$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 TLV900x-Q1 放大，从而产生约 0V 至 4.9V 的输出电压。TLV900x-Q1 产生必要输出电压时所需的增益根据方程式 3 算出：

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \tag{3}$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 可确定 R_F 和 R_G 电阻器的大小，从而将 TLV900x-Q1 的增益设置为 49V/V。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \tag{4}$$

选择 R_F 为 57.6kΩ 和 R_G 为 1.2kΩ 的组合，可得到 49V/V。图 8-2 展示了图 8-1 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的特定阻抗选择，请基于您的系统参数选择阻抗。

8.2.1.3 应用曲线

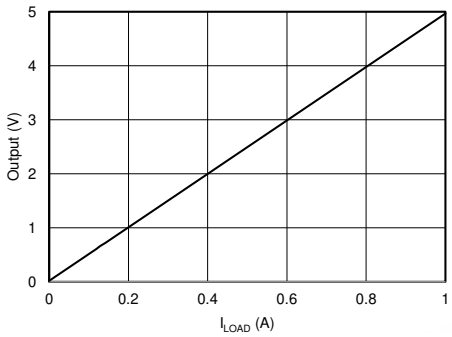


图 8-2. 低侧电流检测传递函数

Copyright © 2026 Texas Instruments Incorporated

8.2.2 单电源光电二极管放大器

光电二极管在许多应用中用于将光信号转换为电信号。通过光电二极管的电流与吸收的光子能量成正比，通常在几百皮安到几十微安的范围内。跨阻抗配置中的放大器通常用于将低电平光电二极管电流转换为电压信号以在 MCU 中处理。图 8-3 中显示的电路是一个使用 TLV9002-Q1 的单电源光电二极管放大器电路示例。

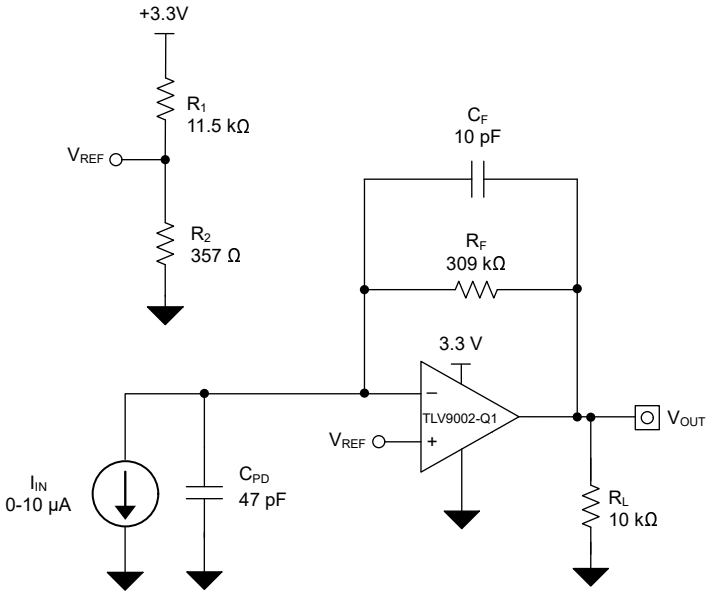


图 8-3. 单电源光电二极管放大器电路

8.2.2.1 设计要求

此设计的设计要求如下：

- 电源电压：3.3V
- 输入：0μA 至 10μA
- 输出：0.1V 至 3.2V
- 带宽：50kHz

8.2.2.2 详细设计过程

方程式 5 中定义了输出电压 (V_{OUT})、输入电流 (I_{IN}) 和基准电压 (V_{REF}) 之间的传递函数。

$$V_{OUT} = I_{IN} \times R_F + V_{REF} \tag{5}$$

其中：

$$V_{REF} = V_{+} \times \left(\frac{R_1 \times R_2}{R_1 + R_2}\right) \tag{6}$$

通过设置 R1 和 R2 以满足方程式 7 中计算所需的比率，将 V_{REF} 设置为 100mV 以满足最小输出电压电平。

$$\frac{V_{REF}}{V_{+}} = \frac{0.1\,V}{3.3\,V} = 0.0303 \tag{7}$$

满足该比率的最接近电阻比率将 R1 设置为 11.5kΩ，将 R2 设置为 357Ω。

可以基于输入电流和期望的输出电压来计算所需的反馈电阻。

$$R_F = \frac{V_{OUT} - V_{REF}}{I_{IN}} = \frac{3.2\,V - 0.1\,V}{10\,\mu A} = 310\,\frac{kV}{A} \approx 309\,k\Omega \tag{8}$$

使用 方程式 9，基于 R_F 和所需的 –3dB 带宽 (f_{-3dB}) 计算反馈电容器的值。

$$C_F = \frac{1}{2 \times \pi \times R_F \times f_{-3\,dB}} = \frac{1}{2 \times \pi \times 309\,k\Omega \times 50\,kHz} = 10.3\,pF \approx 10\,pF \tag{9}$$

该应用所需的最小运算放大器带宽基于 R_F、C_F 的值，以及 TLV9002-Q1 INx– 引脚上的电容，该电容等于光电二极管并联电容 (CPD)、共模输入电容 (CCM) 和差分输入电容 (CD) 之和，如方程式 10 所示。

$$C_{IN} = C_{PD} + C_{CM} + C_D = 47\,pF + 5\,pF + 1\,pF = 53\,pF \tag{10}$$

最小运算放大器带宽在方程式 11 中计算。

$$f = BGW \geq \frac{C_{IN} + C_F}{2 \times \pi \times R_F \times C_F{}^2} \geq 324\,kHz \tag{11}$$

TLV900x-Q1 的 1MHz 带宽满足最低带宽要求，并在该应用配置中保持稳定。

Copyright © 2026 Texas Instruments Incorporated

8.2.2.3 应用曲线

光电二极管放大器电路的测量电流到电压传递函数如图 8-4 所示。光电二极管放大器电路的测量性能如图 8-5 所示。

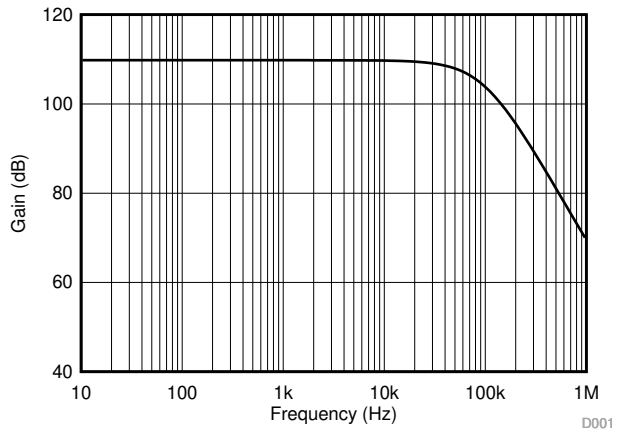


图 8-4. 光电二极管放大器电路交流增益结果

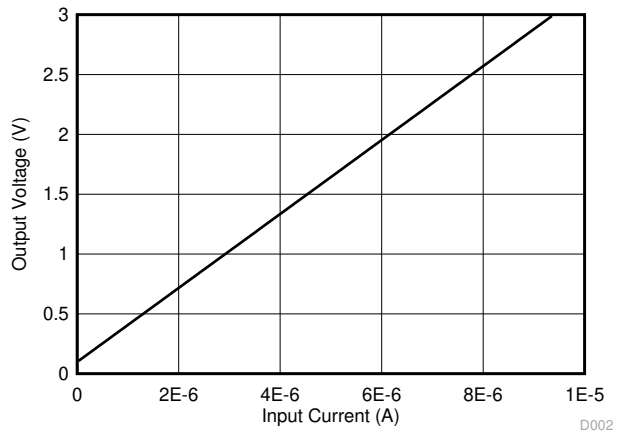


图 8-5. 光电二极管放大器电路直流结果

8.3 电源相关建议

TLV900x-Q1 系列的额定工作电压范围为 1.8V 至 5.5V（±0.9V 至 ±2.75V）；多种规格适用于 –40°C 至 125°C 的温度范围。*电气特性* 部分介绍了可能会随工作电压或温度而显著变化的参数。

> **小心**
>
> 电源电压大于 6V 会对器件造成永久损坏；请参阅*绝对最大额定值* 表。

将 0.1μF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置位置的详细信息，请参阅*布局指南*部分。

8.3.1 输入和 ESD 保护

TLV900x-Q1 系列在所有引脚上均整合了内部 ESD 保护电路。对于输入和输出引脚，这种保护主要包括输入和电源引脚之间连接的导流二极管。只要电流不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。图 8-6 展示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声，在对噪声敏感的应用中，该值必须保持在最低。

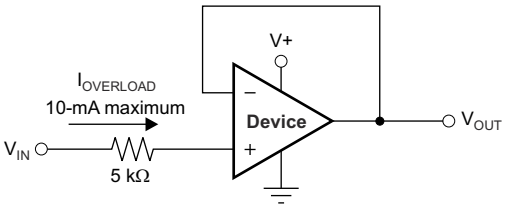


图 8-6. 输入电流保护

8.4 布局

8.4.1 布局指南

为了使器件具有出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过电路板的电源连接传播到模拟电路中，并传播到运算放大器的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1μF 陶瓷旁路电容器，并尽量靠近器件放置。从 V+ 到接地端的单个旁路电容器足以满足单电源应用的需求。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅*电路板布局布线技巧*。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件的位置应尽量靠近器件，如图 8-8 中所示。使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入布线的长度。切记，输入走线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 为获得卓越性能，建议在组装 PCB 板后进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，建议将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

8.4.2 布局示例

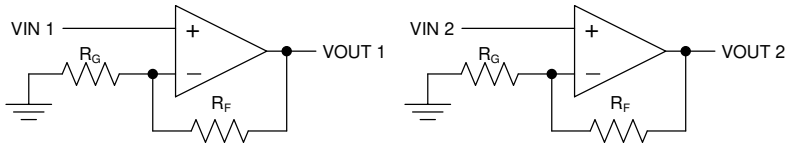


图 8-7. 图 11-2 的原理图表示

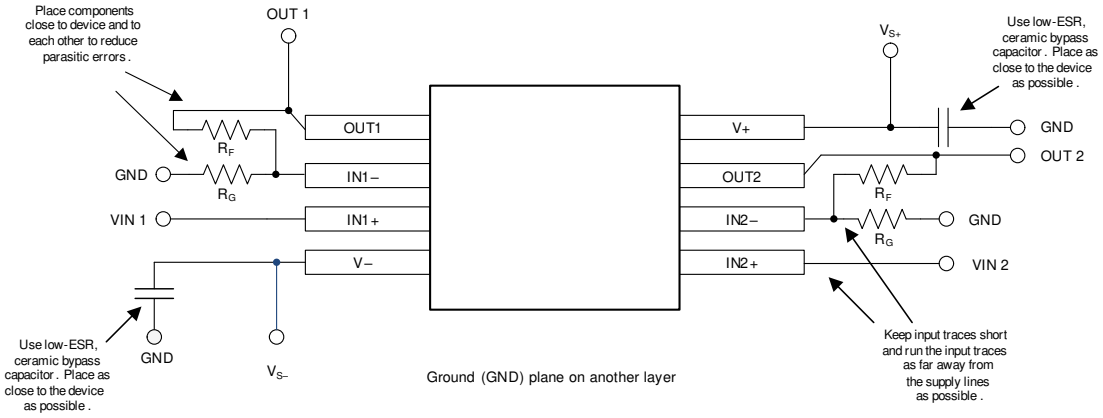


图 8-8. 布局示例

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*运算放大器的 EMI 抑制比*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (April 2025) to Revision G (April 2026) — **Page**

- 在 *引脚配置和功能* 部分中添加了 TLV9001U-Q1 DBV (SOT-23) 4

Changes from Revision E (April 2023) to Revision F (April 2025) — **Page**

- 将 PW (TSSOP, 8) 封装状态从 *预发布* 更改为 *正在供货* 1
- 向数据表添加了 TLV9002RQDGKRQ1 以及 85 µA IQ 最大值 9

Changes from Revision D (November 2022) to Revision E (April 2023) — **Page**

- 将 DBV 封装状态从 *预发布* 更改为 *正在供货* 1

Changes from Revision C (October 2021) to Revision D (December 2022) — **Page**

- 删除了 *器件信息* 部分中 SC70 (5) 的预发布标签 1
- 更改了 *引脚配置和功能* 部分的格式 4
- 添加了单通道 DCK 封装的热性能信息 7

Changes from Revision B (March 2021) to Revision C (October 2021) — **Page**

- 删除了 *器件信息* 部分中 SOT-23 (14) 和 TSSOP (14) 的预发布标签 1
- 向 *器件信息* 部分添加了 TLV9001-Q1 SOT-23 (5) 和 SC70 (5) 封装的预发布标签 1
- 在数据表添加了 TLV9001-Q1 GPN 1
- 向 *器件比较表* 部分添加了 TLV9001-Q1 3
- 在 *引脚配置和功能* 部分添加了 TLV9001-Q1 DBV (SOT-23) 和 DCK (SC70) 4

Changes from Revision A (June 2020) to Revision B (March 2021) — **Page**

- 更改了整个文档中的表格、图和交叉参考的编号格式 1
- 向 *特性* 部分添加了提供功能安全和文档的链接 1
- 删除了 *器件信息* 部分中 VSSOP (8) 的预发布标签 1
- 为 *绝对最大额定值* 表中的差分输入电压添加了注释 4 7
- 添加了 DGK 封装的热性能信息 8
- 添加了 DYY 封装的热性能信息 8

Changes from Revision * (May 2019) to Revision A (June 2020) — **Page**

- 将器件状态从 *预告信息* 更改为 *量产数据* 1
- 向 *应用* 部分添加了终端设备链接 1
- 删除了 *器件信息* 部分中 SOIC (8) 的预发布标签 1
- 向 *器件信息* 部分添加了 SOT-23 (14) 1
- 删除了 *器件信息* 部分中 SOIC (14) 的预发布标签 1
- 向 *器件比较表* 部分中添加了 SOT-23 DYY 封装 3

Copyright © 2026 Texas Instruments Incorporated

• *在 引脚功能 中添加了 DYY (SOT-23)：TLV9004-Q1 部分* 4

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9001QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2T5H
TLV9001QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2T5H
TLV9001QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1MZ
TLV9001QDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1MZ
TLV9001UQDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	41QF
TLV9002QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27DT
TLV9002QDGKRQ1.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27DT
TLV9002QDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9002Q
TLV9002QDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9002Q
TLV9002QPWRQ1	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9002Q
TLV9002QPWRQ1.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9002Q
TLV9002RQDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3N8S
TLV9002RQDGKRQ1.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3N8S
TLV9004QDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV9004Q
TLV9004QDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV9004Q
TLV9004QDYYRQ1	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9004Q
TLV9004QDYYRQ1.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9004Q
TLV9004QPWRQ1	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	T9004Q
TLV9004QPWRQ1.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9004Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9001-Q1, TLV9002-Q1, TLV9004-Q1 :

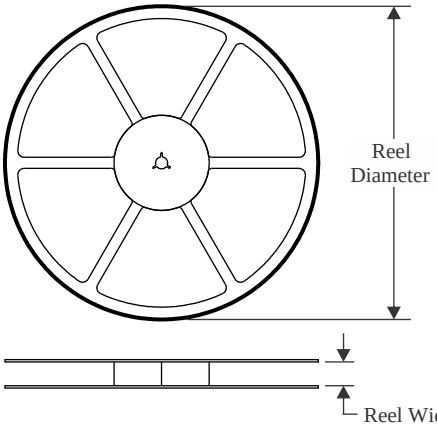
- Catalog : TLV9001, TLV9002, TLV9004

NOTE: Qualified Version Definitions:

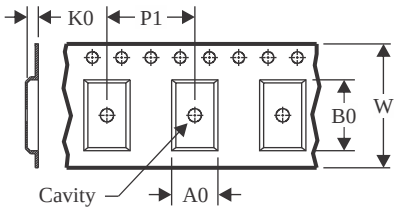
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

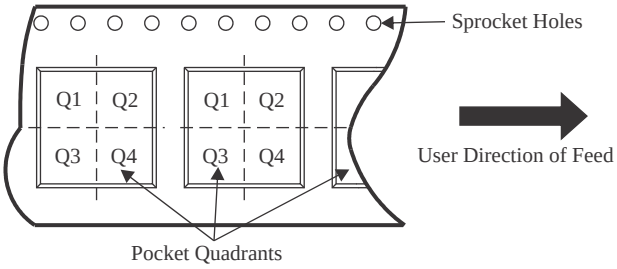


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

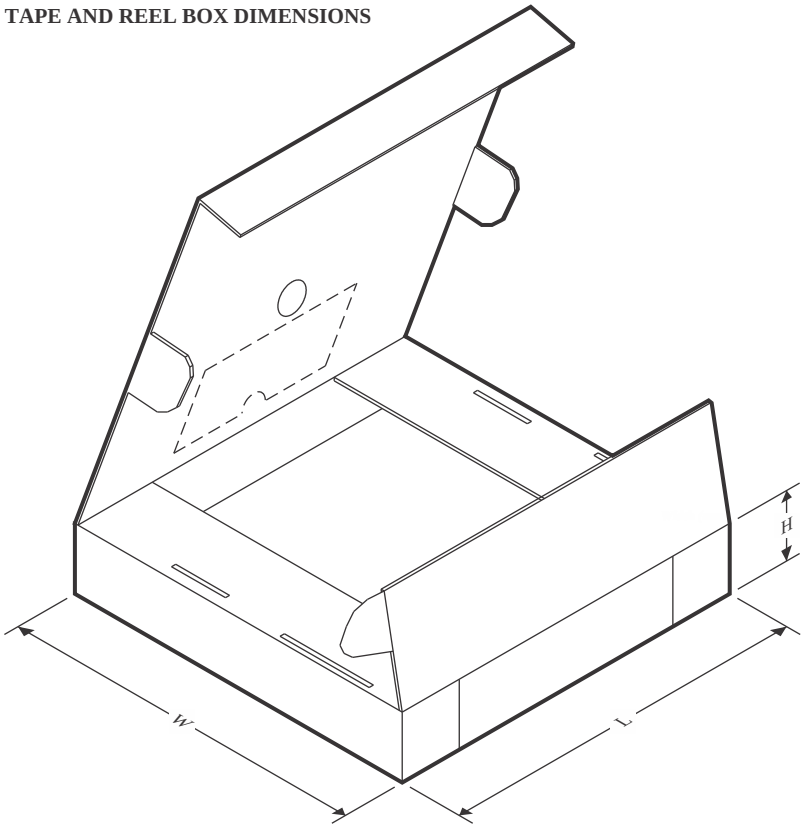
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

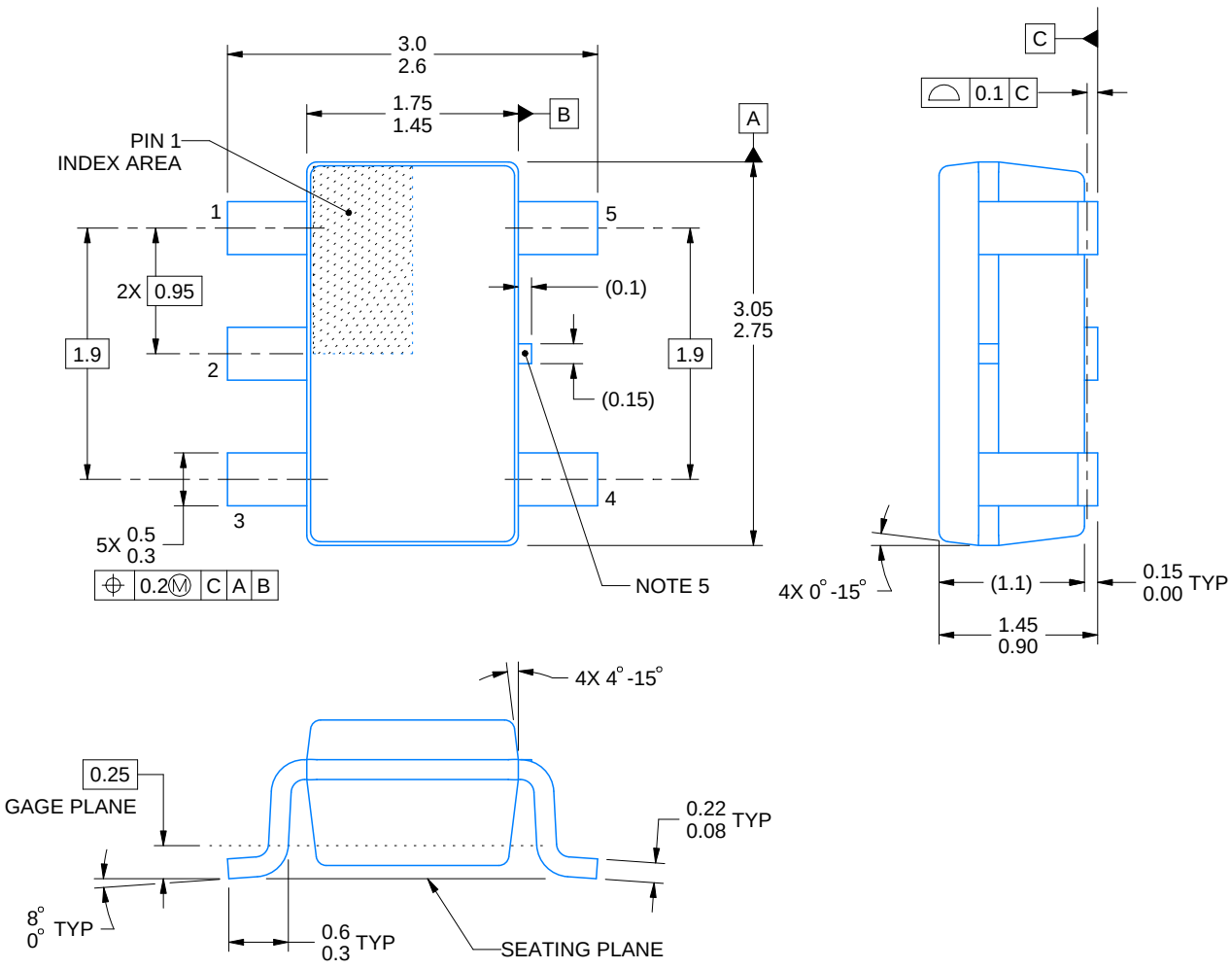
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9001QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9001QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9001UQDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9002QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9002QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9002QPWRQ1	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9002RQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV9002RQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV9004QDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9004QDYYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV9004QPWRQ1	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

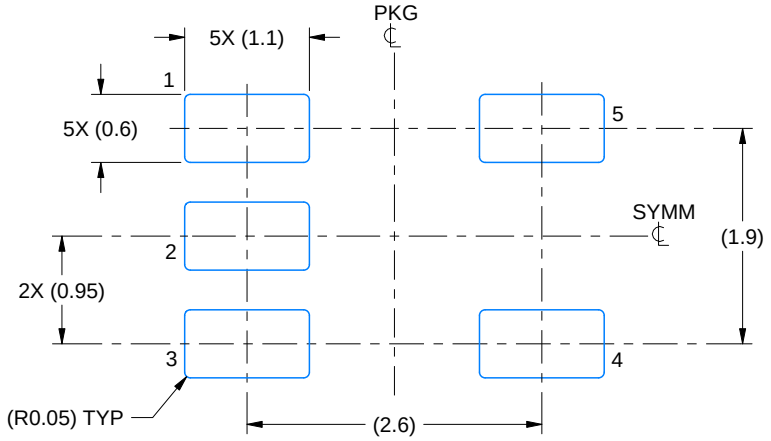
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9001QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9001QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
TLV9001UQDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9002QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9002QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
TLV9002QPWRQ1	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV9002RQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV9002RQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9004QDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
TLV9004QDYYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV9004QPWRQ1	TSSOP	PW	14	3000	353.0	353.0	32.0



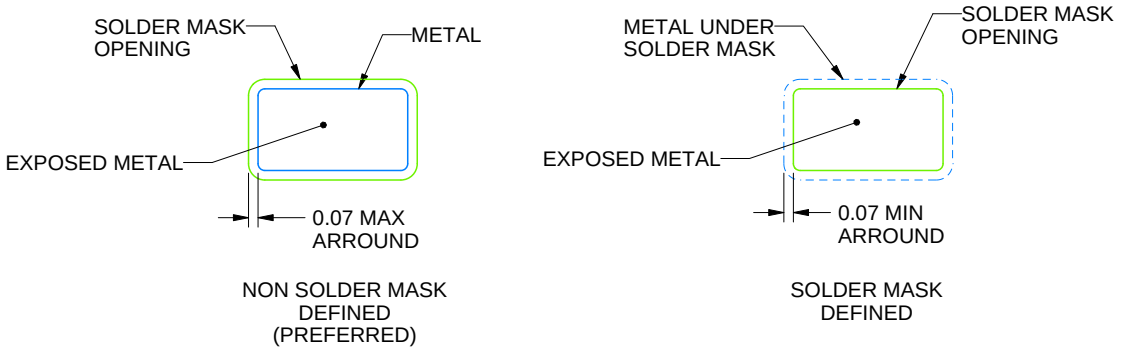
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

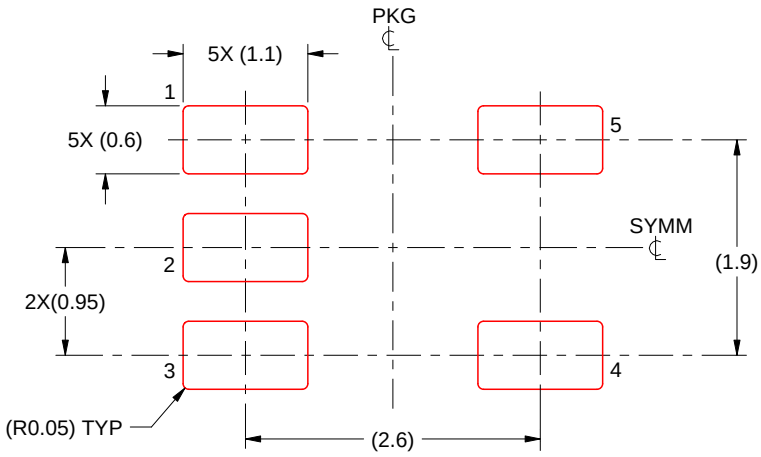


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

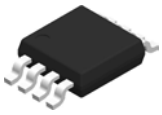
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

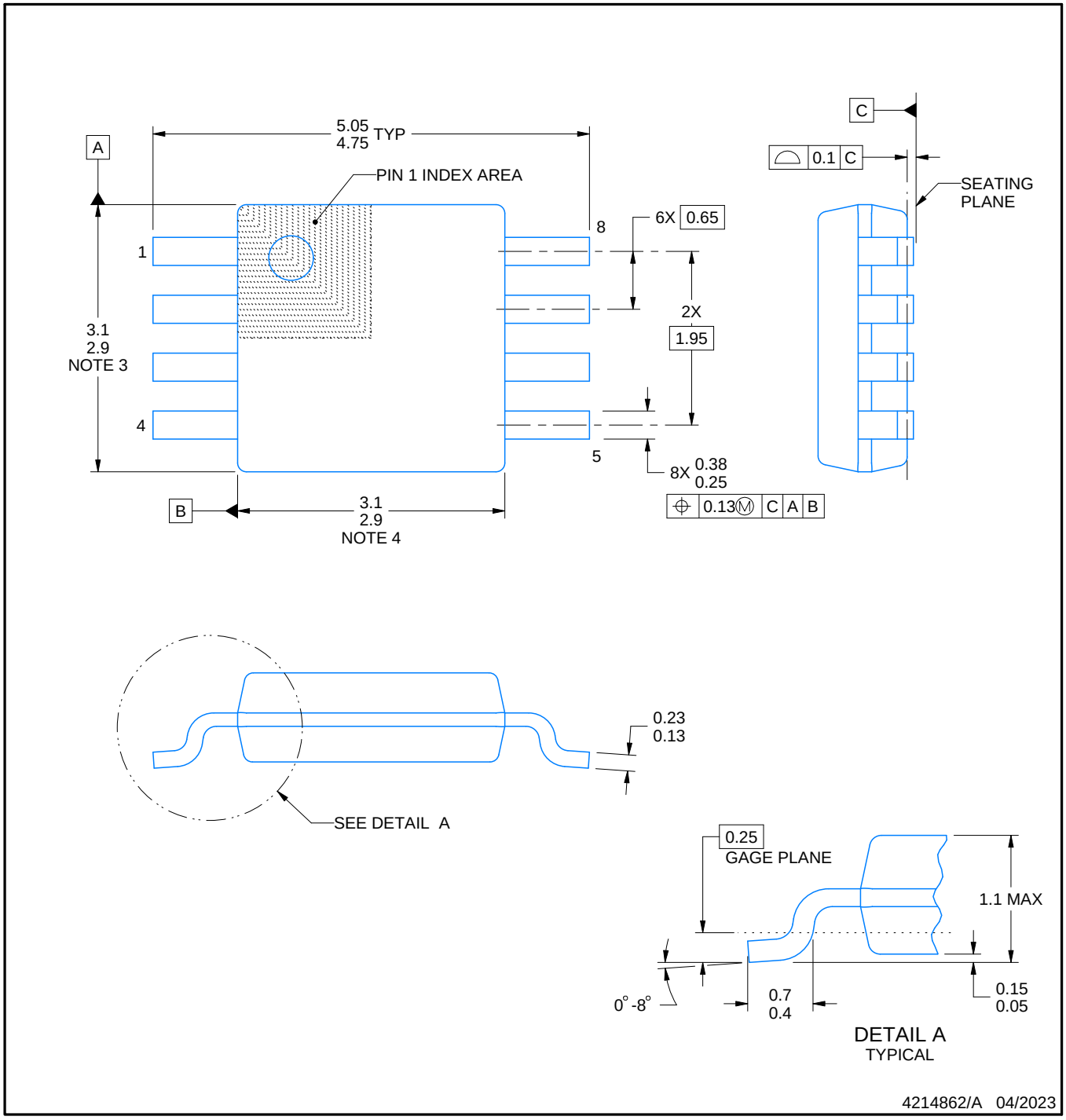
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

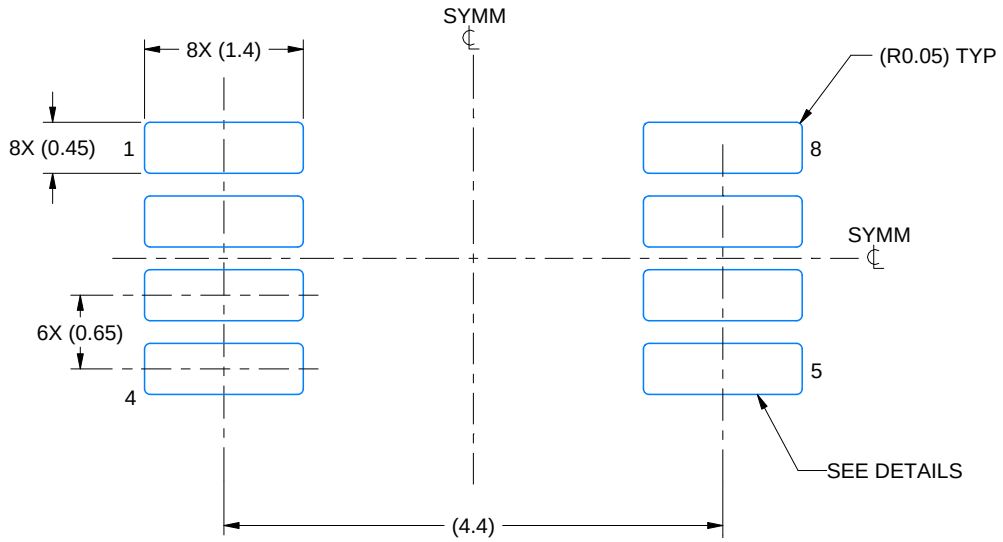
SMALL OUTLINE PACKAGE



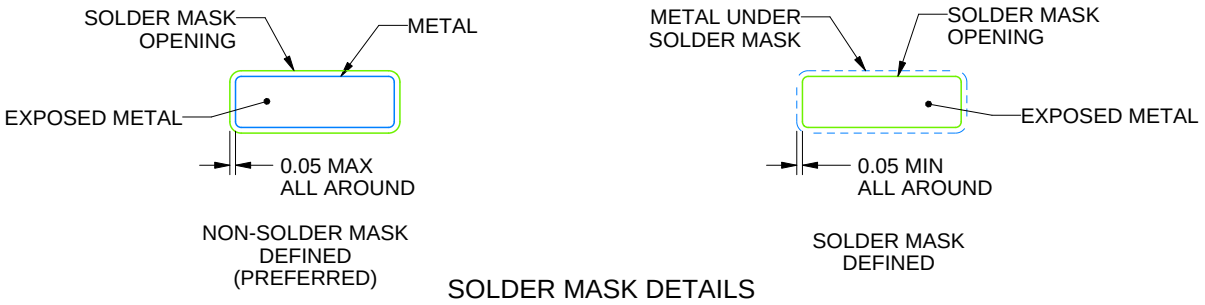
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

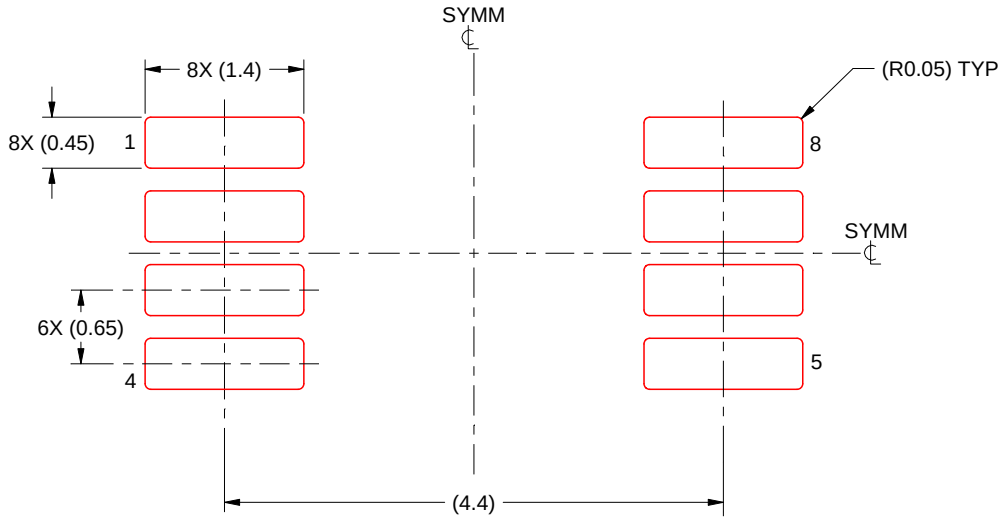


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

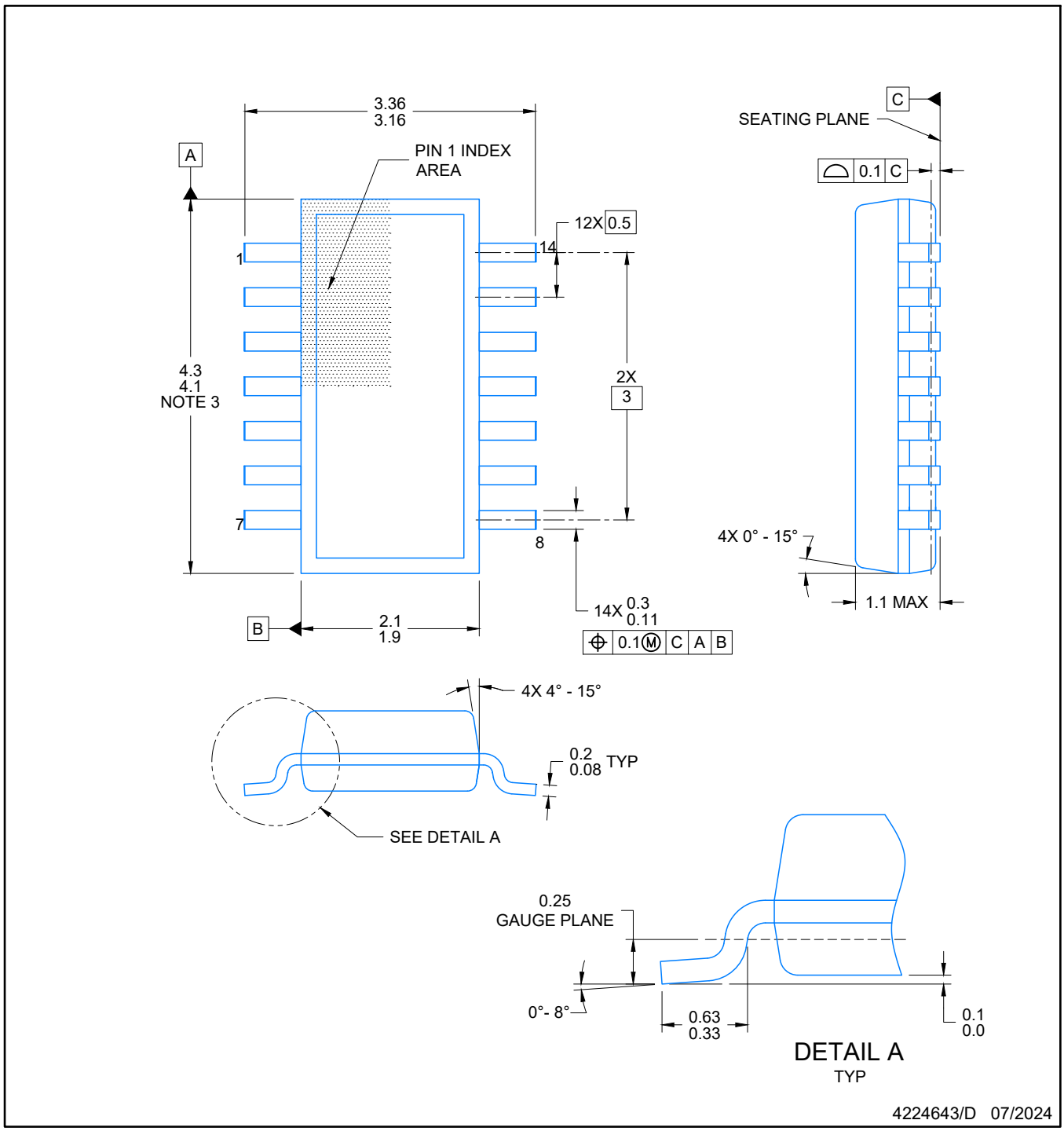


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

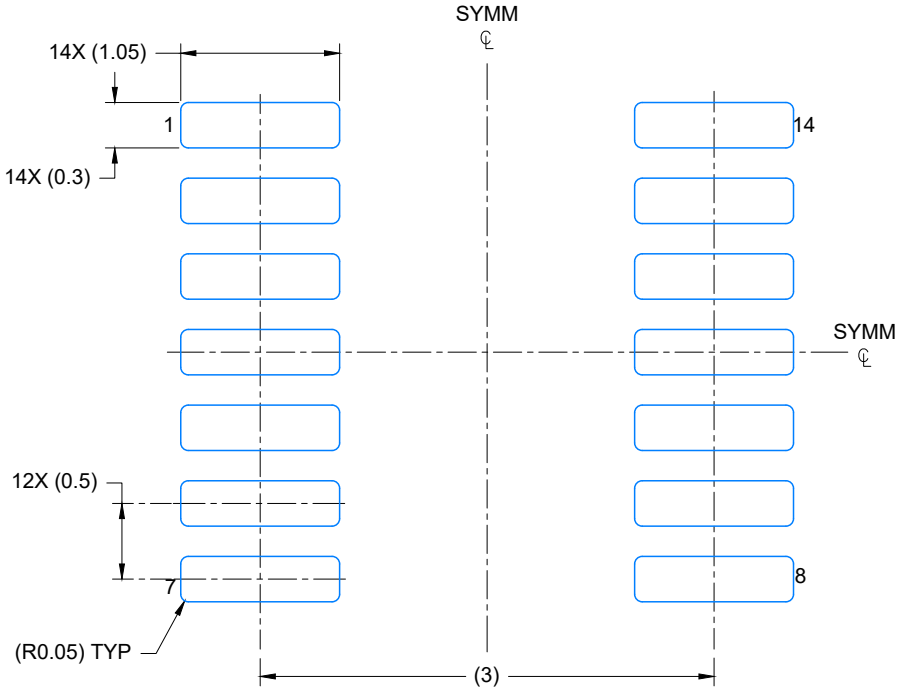
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

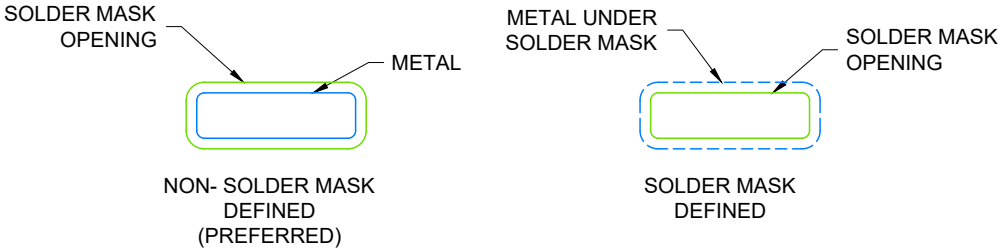


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

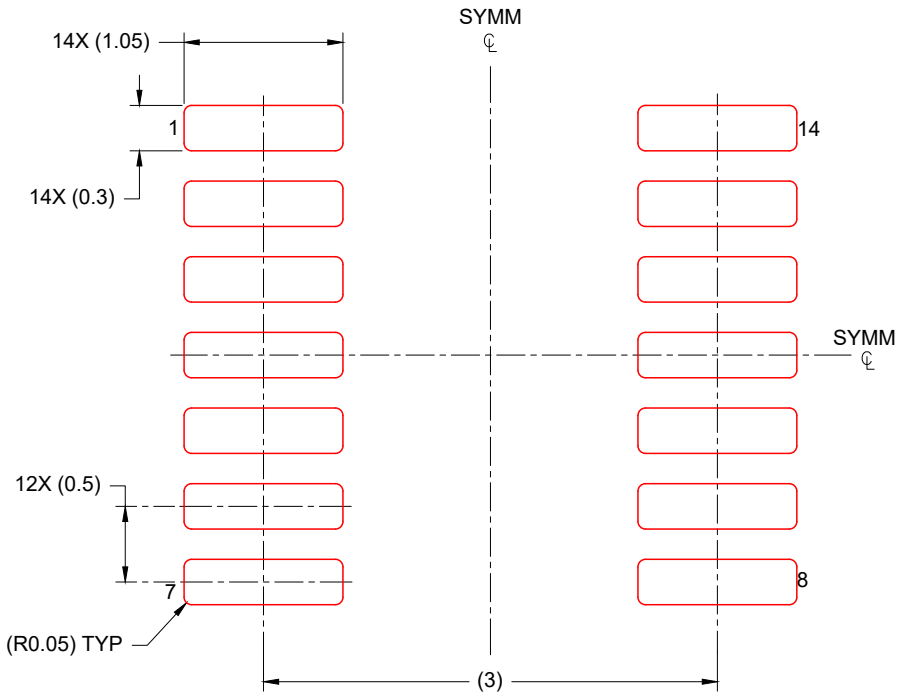


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

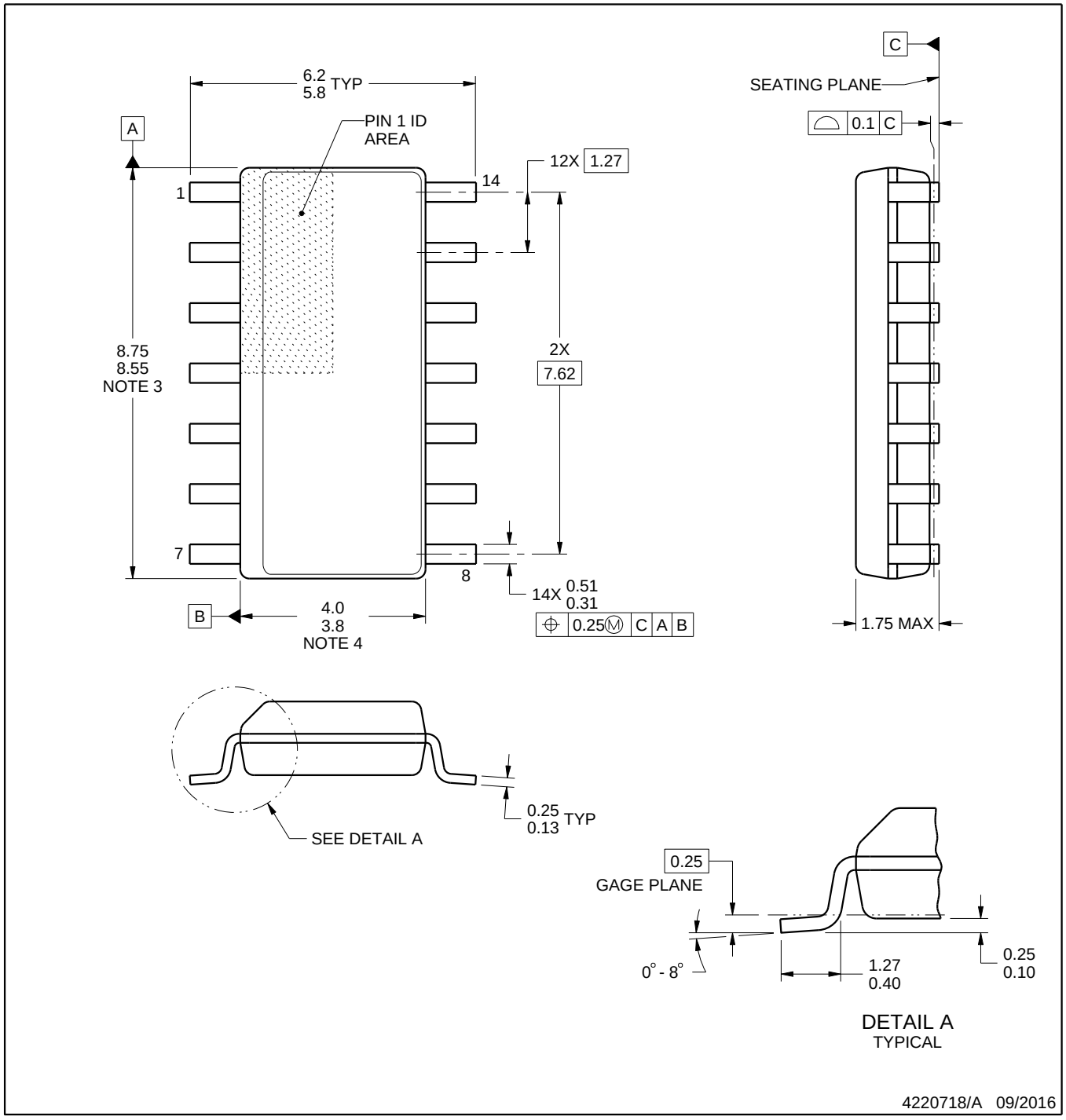


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

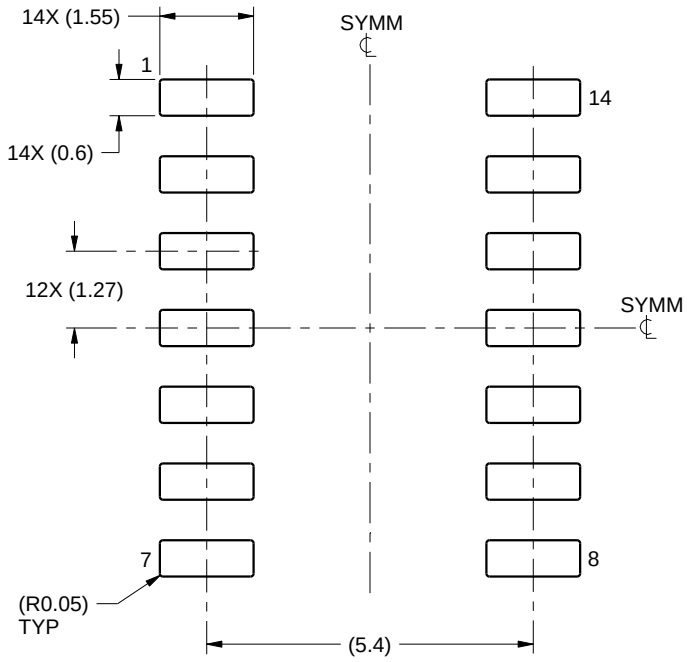
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

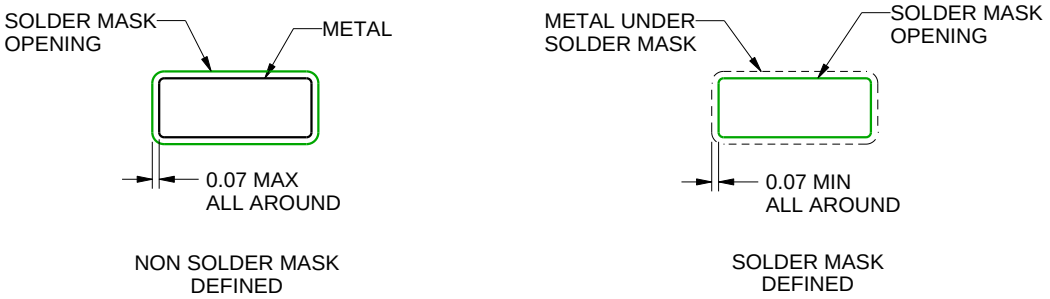


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

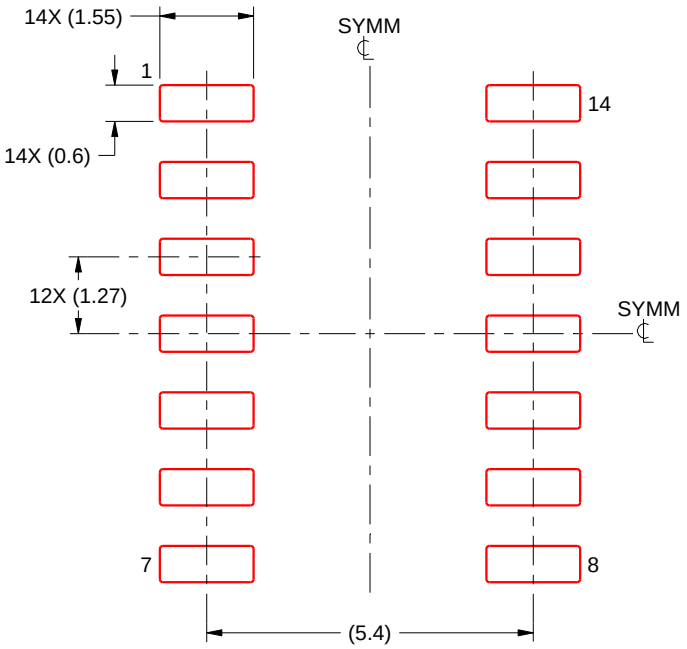


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

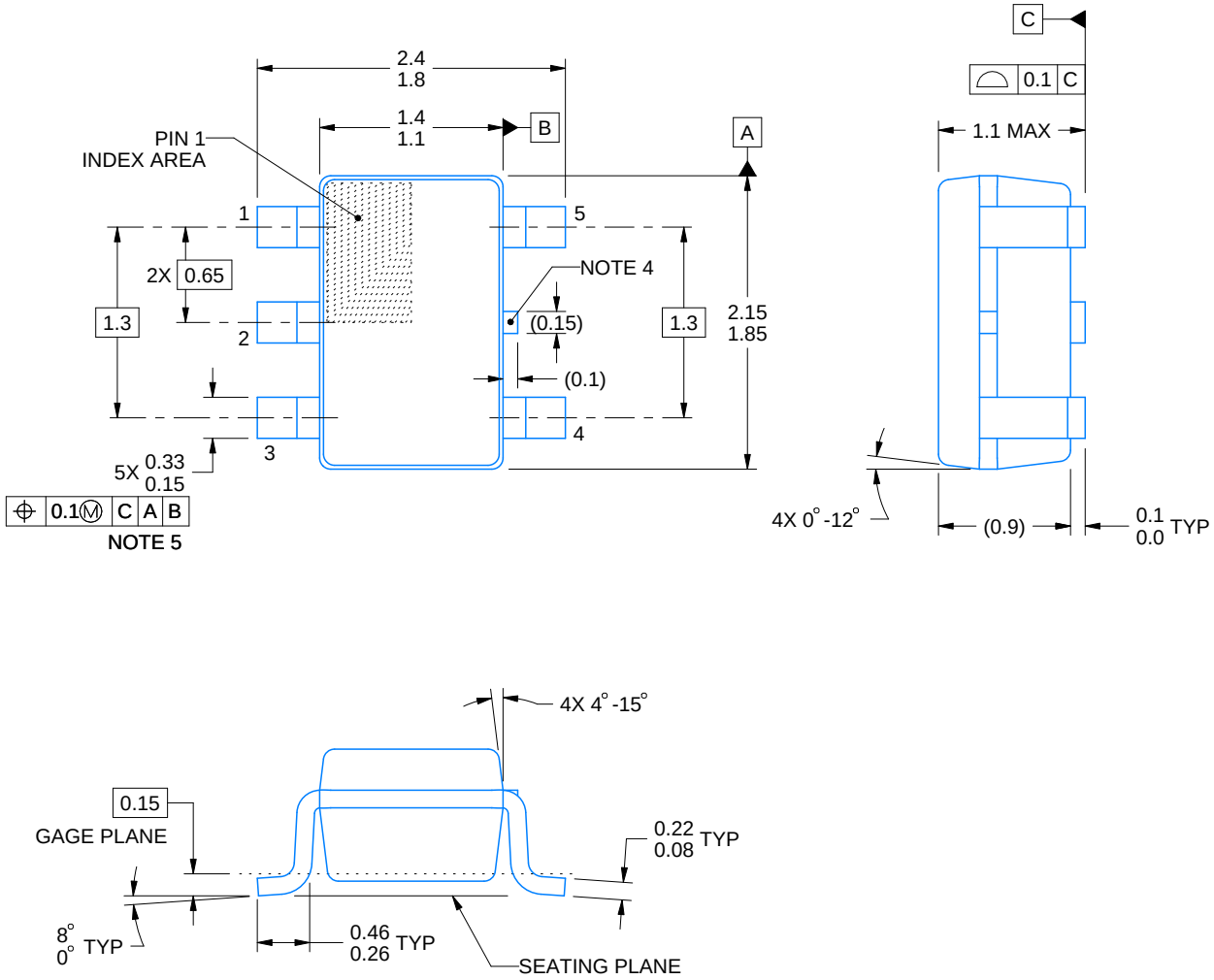


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

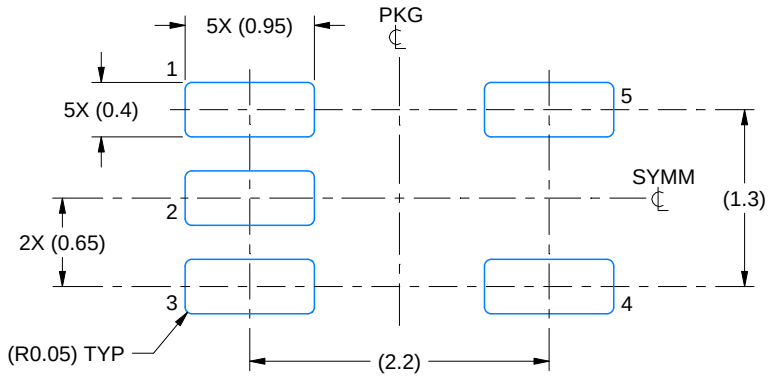
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

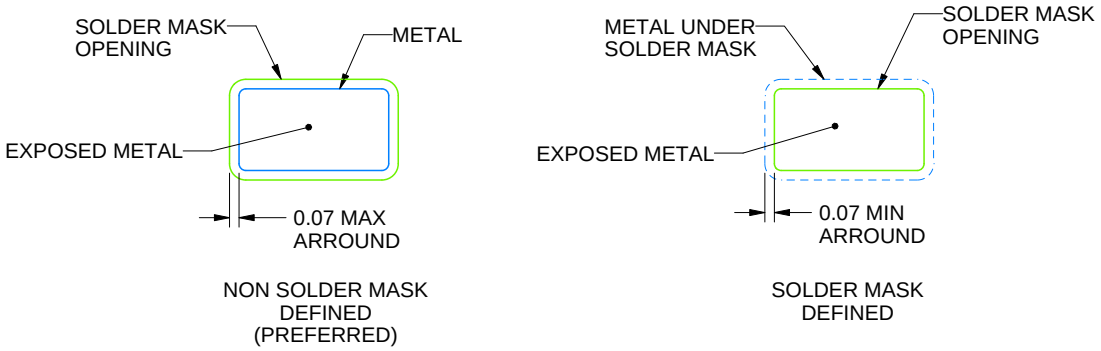


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

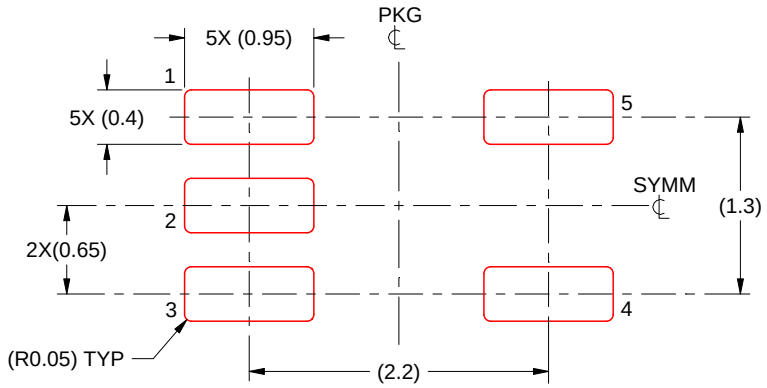


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

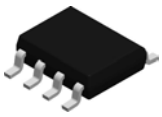


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

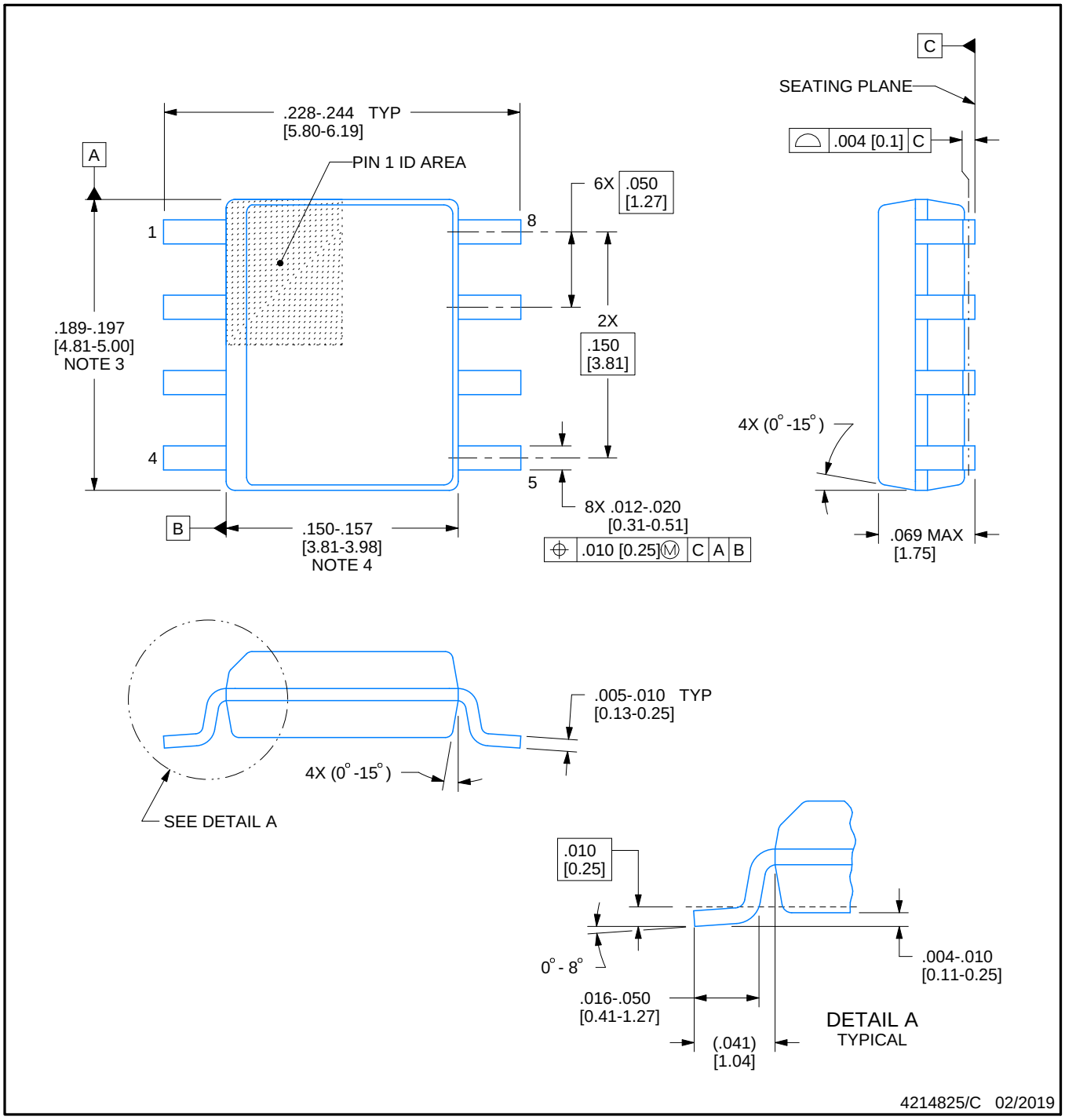


PACKAGE OUTLINE

D0008A

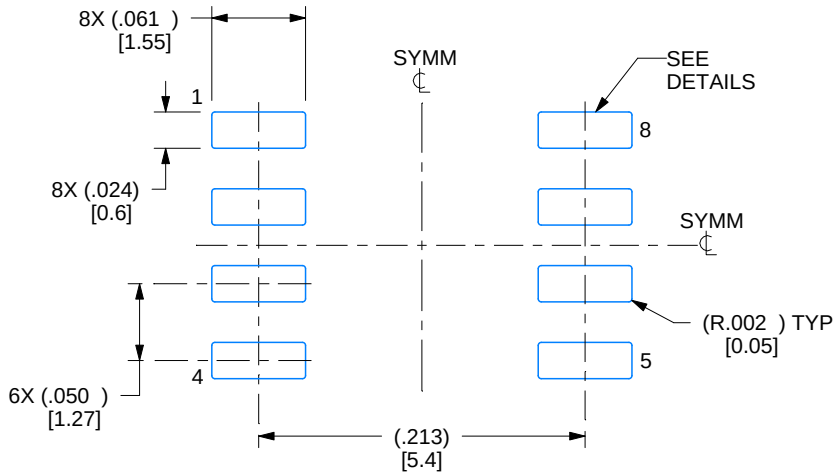
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

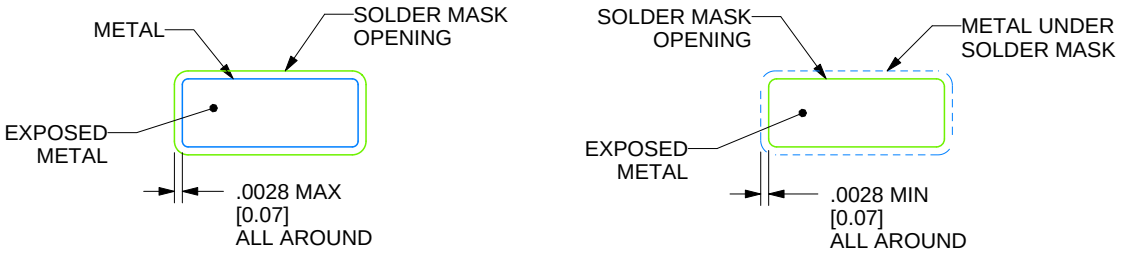


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

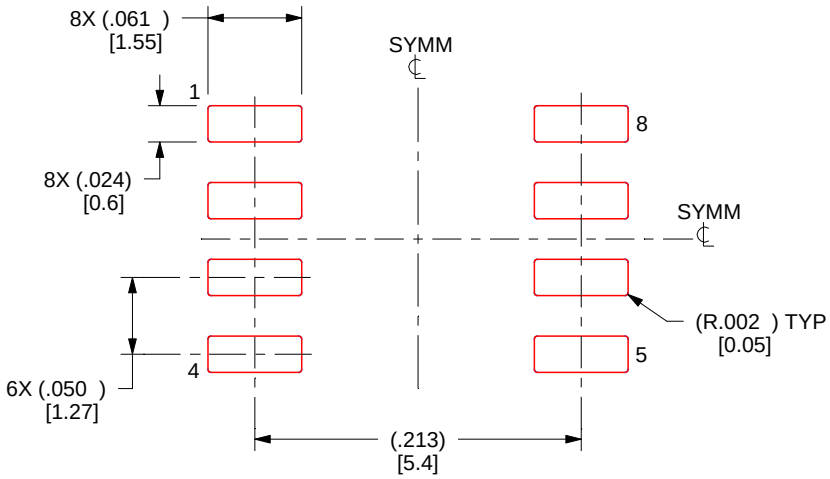


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



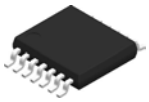
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

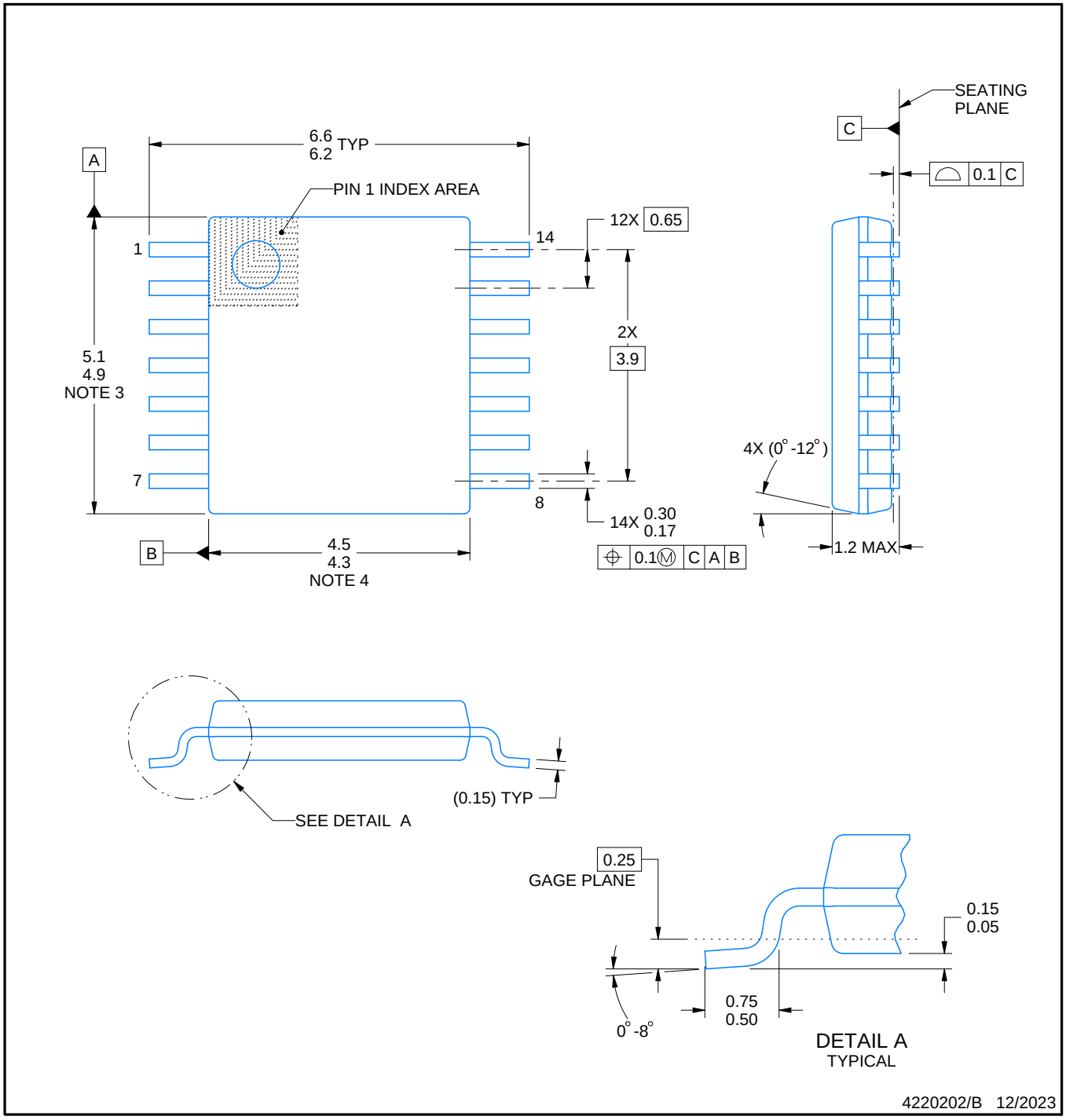
PW0014A



PACKAGE OUTLINE

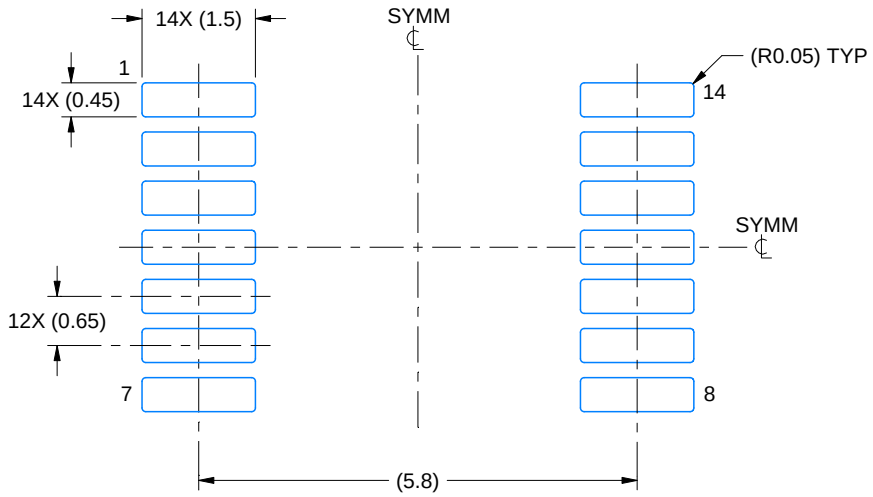
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

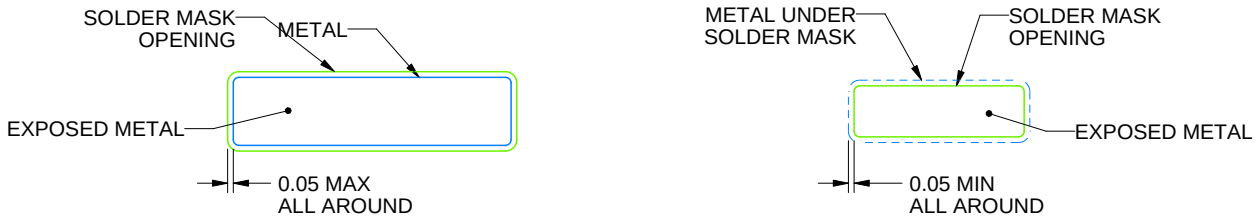


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

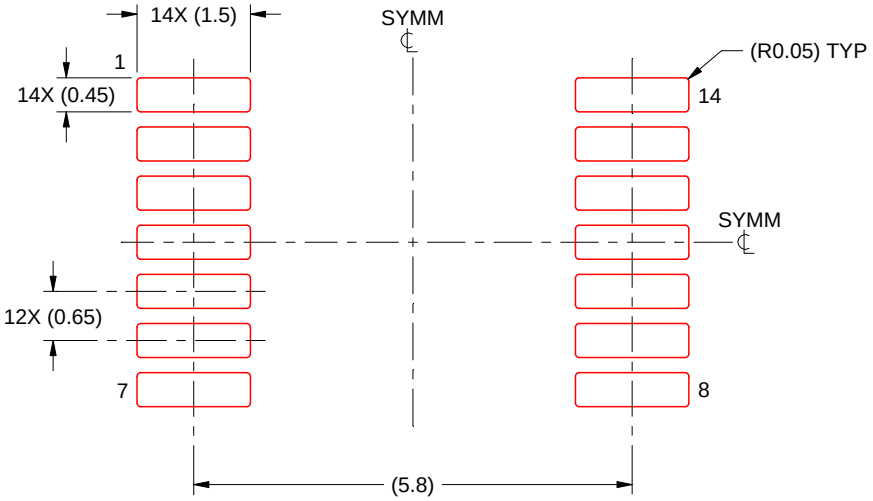
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

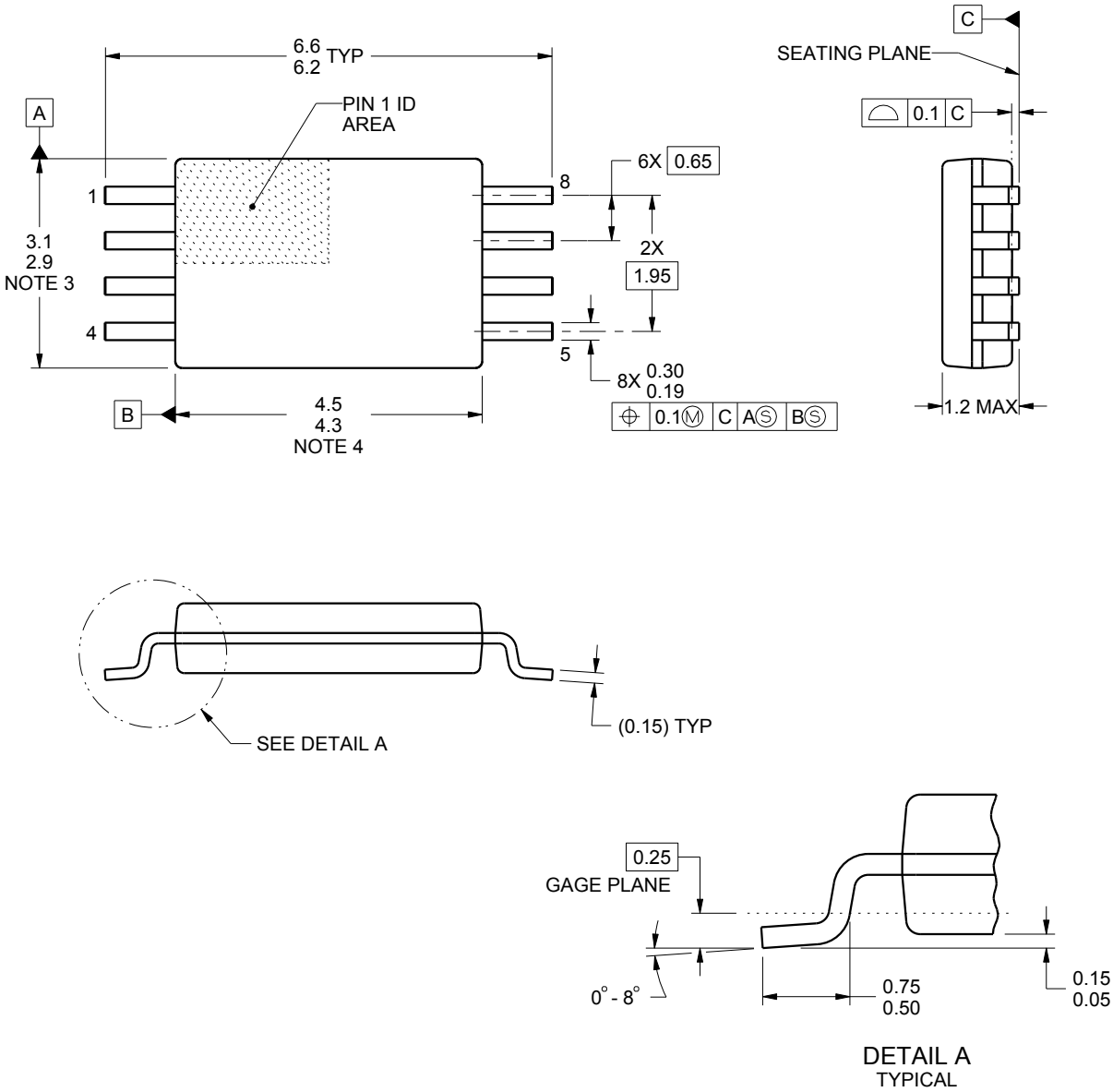


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

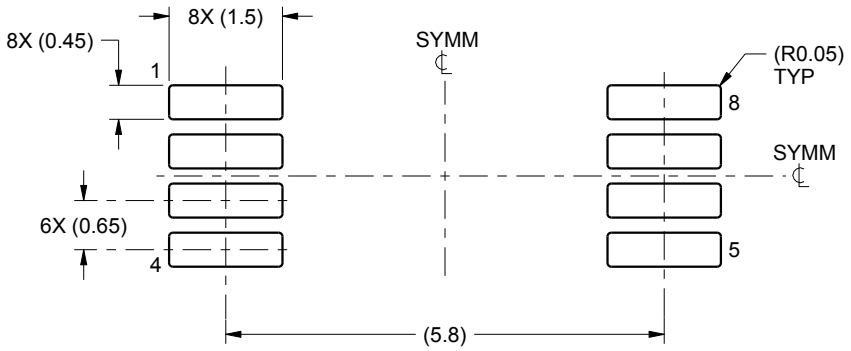
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

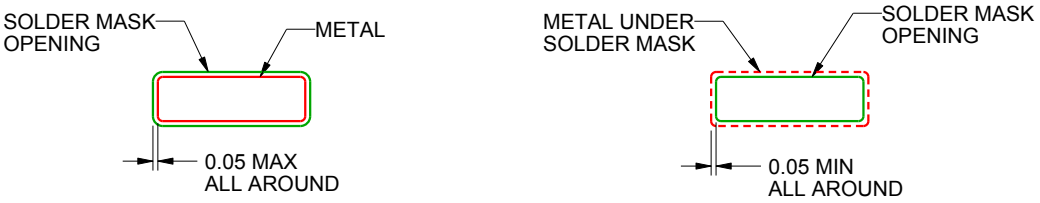


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X



NON SOLDER MASK
DEFINED

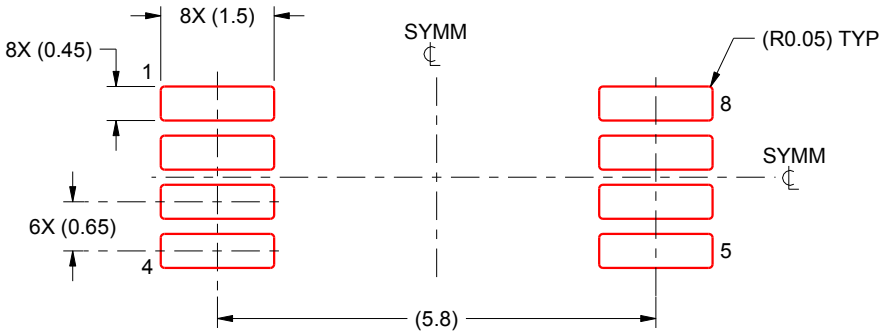
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月