TLV773 300mA、小尺寸、高 PSRR、低压降稳压器

1 特性

- 高 PSRR：高达 80dB
  - 72dB (1kHz)
  - 55dB (1MHz)
- V_{IN} 范围：1.4V 至 5.5V
- 固定输出电压范围：0.6V 至 3.3V
- 输出电压精度：2%
- 低压降：
  - 300mA 时为 180mV（3.3V_{OUT}，DQN 封装）
- 折返电流限制
- 有源输出下拉电阻
- 封装：
  - 1mm × 1mm，4 引脚 X2SON (DQN)
  - 5 引脚 SOT-23 (DBV)

2 应用

- 智能手机
- 平板电脑
- 游戏机
- 笔记本电脑
- 流媒体播放器
- 机顶盒
- 摄像头模块

3 说明

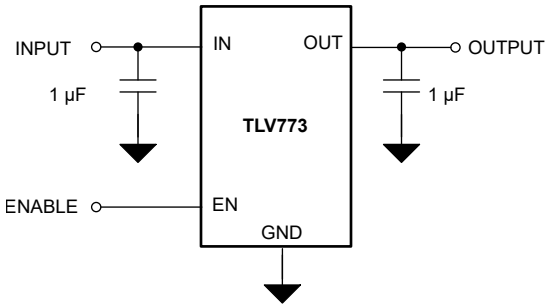
TLV773 是一款小型低压降 (LDO) 线性稳压器，可提供 300mA 的输出电流。该 LDO 提供具有高 PSRR 的电压源，以及满足各种电路要求的负载和线路瞬态性能。TLV773 具有 1.4V 至 5.5V 的输入电压范围，以及 0.6V 至 3.3V 的输出电压范围。这种灵活性使得此器件可用于多种应用。

TLV773 具备内部软启动电路，可避免过多浪涌电流，因此可在启动过程中更大程度地降低输入电压降。有源下拉电路可在 LDO 处于禁用状态时使输出快速放电，并提供已知的启动状态。EN 输入允许外部逻辑信号启用或禁用稳压输出。该 LDO 在与小型陶瓷电容器搭配使用时可保持稳定，因此整体封装尺寸较小。工作结温范围为 −40°C 至 +125°C。该 LDO 采用标准 SOT-23 (DBV) 和 1mm × 1mm X2SON (DQN) 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
TLV773	DQN（X2SON，4）	1mm × 1mm
	DBV（SOT-23，5）	2.9mm × 2.8mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用电路

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 开关特性.....6
5.7 典型特性.....7
6 详细说明.....10
6.1 概述.....10
6.2 功能方框图.....10
6.3 特性说明.....10
6.4 器件功能模式.....12
7 应用和实施.....12
7.1 应用信息.....13
7.2 典型应用.....14
7.3 电源相关建议.....15
7.4 布局.....15
8 器件和文档支持.....16
8.1 器件支持.....16
8.2 文档支持.....16
8.3 接收文档更新通知.....16
8.4 支持资源.....16
8.5 商标.....16
8.6 静电放电警告.....16
8.7 术语表.....16
9 修订历史记录.....17
10 机械、封装和可订购信息.....17

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

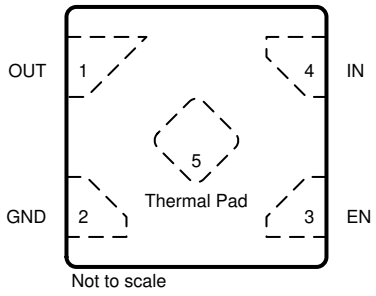


图 4-1. DQN 封装， 1mm × 1mm，4 引脚 X2SON（顶视图）

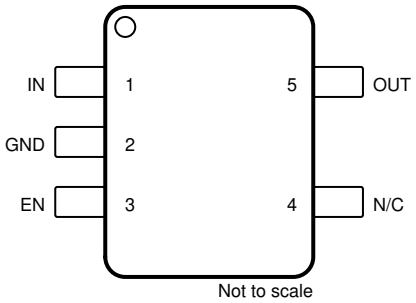


图 4-2. DBV 封装， 5 引脚 SOT-23（顶视图）

表 4-1. 引脚功能

引脚			类型(1)	说明
名称	X2SON	SOT-23		
EN	3	3	I	使能输入。该引脚上的低电压 (< $V_{EN(LOW)}$) 将关闭稳压器并将输出引脚放电至 GND。该引脚上的高电压 (> $V_{EN(HI)}$) 会启用稳压器输出。
GND	2	2	G	公共地。
IN	4	1	I	输入电压电源。为了获得理想瞬态响应并尽可能减小输入阻抗，请在 IN 到接地端之间使用标称值或更大的电容器，如*建议运行条件*表所示。将输入电容器放置在尽可能靠近器件的 IN 引脚和 GND 引脚的位置上。
N/C	—	4	—	无内部电气连接。连接至 GND 以提高热性能。
OUT	1	5	O	经稳压调节的输出电压。从 OUT 到接地端需要一个低等效串联电阻 (ESR) 电容器以确保稳定性。为了获得更好的瞬态响应，请使用*建议运行条件*表中列出的标称推荐值或更大的电容器。将输出电容器放置在尽可能靠近器件的 OUT 引脚和 GND 引脚的位置上。当稳压器处于关断模式 (V_{EN} < $V_{EN(LOW)}$) 时，内部下拉电阻可防止 V_{OUT} 上残留电荷。
散热焊盘	5	—	—	X2SON 封装的散热焊盘。将此焊盘连接到 GND 或保持悬空。 请勿连接到 GND 以外的任何电位。将散热焊盘连接到大面积接地平面，以获得出色的热性能。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (3)

		最小值	最大值	单位
电压	输入，V_{IN}	-0.3	6.5	V
	输出，V_{OUT}	-0.3	6.0 或 V_{IN} + 0.3 (2)	
	使能，V_{EN}	-0.3	6.5	
电流	最大输出，I_{OUT} (4)	受内部限制		A
温度	工作结温，T_J	-55	150	°C
	贮存温度，T_{stg}	-65	150	

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件能够在该等条件下或在任何超出*建议运行条件*的其他条件下正常运行。如果在*建议运行条件*以外，但在*绝对最大额定值*范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能缩短器件寿命。
(2) V_{OUT} 的最大值为 6.0V 或 (V_{IN} + 0.3V) 中的较小者。
(3) 所有电压均以 GND 引脚为基准。
(4) 内部热关断电路保护器件不受永久损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±1000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	标称值	最大值	单位
V_{IN}	输入电源电压	1.4		5.5	V
V_{EN}	使能输入电压	0		5.5	V
V_{OUT}	标称输出电压范围	0.6		3.3	V
I_{OUT}	输出电流	0		300	mA
C_{IN}	输入电容器(2)		1		µF
C_{OUT}	输出电容(3)	0.47		40	µF
ESR	输出电容器有效串联电阻			100	mΩ
T_J	工作结温	-40		125	°C

(1) 所有电压均以 GND 为基准。
(2) 不需要输入电容器即可实现 LDO 稳定性。但是，建议使用最小有效值为 0.47 µF 的输入电容来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级不稳定的症状（例如振铃或振荡），尤其是在存在负载瞬态的情况下。根据输入电压源的特性，在需要时可以使用更大的输入电容。
(3) 为了实现稳定性，需要最小值为 0.47 µF、最大值为 40 µF 的有效输出电容。有效输出电容应考虑容差、温度、电压和影响该值的所有其他因素，并且通常比电容器的指定值小 50%。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TLV773		单位
		DBV (SOT-23)	DQN (X2SON)	
		5 引脚	4 引脚	
$R_{\theta JA}$	结至环境热阻	242.5	236.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	140.9	218.5	°C/W
$R_{\theta JB}$	结至电路板热阻	109.4	180.8	°C/W
Ψ_{JT}	结至顶部特征参数	76.1	16.1	°C/W
Ψ_{JB}	结至电路板特征参数	108.8	179.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	157.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.5 电气特性

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V 或 1.4V（以较大者为准）、V_{EN} = V_{IN}、I_{OUT} = 1mA、C_{IN} = 1µF 且 C_{OUT} = 1µF 条件下（除非另有说明）；所有典型值都是 T_J = 25℃ 条件下测得

参数		测试条件		最小值	典型值	最大值	单位
ΔV_{OUT}	输出电压容差		0.6V ≤ V_{OUT} < 1.8V	-2.5		2.5	%
			1.8V ≤ V_{OUT} ≤ 3.3V	-2		2	
		T_J = -40°C 至 85°C	0.6V ≤ V_{OUT} < 1.2V	-3.33		3.33	
			1.2V ≤ V_{OUT} < 1.8V	-3		3	
			1.8V ≤ V_{OUT} < 2.5V	-2.75		2.75	
			2.5V ≤ V_{OUT} ≤ 3.3V	-2.5		2.5	
ΔV_{OUT} / ΔV_{IN}	线性调整率	V_{IN} = ($V_{OUT(NOM)}$ + 0.5V) 至 5.5V			0.01	0.1	%/V
ΔV_{OUT} / ΔI_{OUT}	负载调整率	I_{OUT} = 1mA 至 300mA			85	110	µV/mA
I_{GND}	静态地电流	V_{EN} = V_{IN} = 5.5V，I_{OUT} = 0mA，T_J = –40°C 至 85°C			80	120	µA
I_{SHDN}	关断接地电流	V_{EN} < $V_{EN(LOW)}$，V_{IN} = 5.5V，T_J = –40°C 至 85°C			0.01	2	µA
V_{DO}	压降电压	I_{OUT} = 300mA，V_{IN} = $V_{OUT(NOM)}$	1.05V ≤ V_{OUT} < 1.8V(1) (2)			600	mV
			1.8V ≤ V_{OUT} < 2.5V			330	
			2.5V ≤ V_{OUT} < 2.8V			245	
		I_{OUT} = 300mA，V_{IN} = $V_{OUT(NOM)}$，T_J = –40°C 至 85°C	1.05V ≤ V_{OUT} < 1.8V(1) (2)			680	
			1.8V ≤ V_{OUT} < 2.5V			385	
			2.5V ≤ V_{OUT} < 2.8V			285	
		I_{OUT} = 300mA，V_{IN} = $V_{OUT(NOM)}$	2.8V ≤ V_{OUT} ≤ 3.3V，DBV 封装		200	230	
			2.8V ≤ V_{OUT} ≤ 3.3V，DQN 封装		180	210	
		I_{OUT} = 300mA，V_{IN} = $V_{OUT(NOM)}$，T_J = –40°C 至 85°C	2.8V ≤ V_{OUT} ≤ 3.3V，DBV 封装			270	
			2.8V ≤ V_{OUT} ≤ 3.3V，DQN 封装			245	
I_{CL}	输出电流限制	V_{OUT} = 0.9 x $V_{OUT(NOM)}$，T_J = –40°C 至 85°C		350		720	mA
I_{SC}	短路电流限制	V_{OUT} = 0V			65		mA
PSRR	电源抑制比	I_{OUT} = 1mA，V_{IN} = V_{OUT} + 1.0V	f = 217Hz		80		dB
			f = 1kHz		72		
		I_{OUT} = 50mA，V_{IN} = V_{OUT} + 1.0V	f = 100kHz		56		
			f = 1MHz		55		
V_N	输出噪声电压	BW = 10Hz 至 100kHz，I_{OUT} = 50mA			75 x V_{OUT}		μV_{RMS}

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V 或 1.4V（以较大者为准）、V_{EN} = V_{IN}、I_{OUT} = 1mA、C_{IN} = 1µF 且 C_{OUT} = 1µF 条件下（除非另有说明）；所有典型值都是 T_J = 25℃ 条件下测得

参数		测试条件	最小值	典型值	最大值	单位
$R_{PULLDOWN}$	输出自动放电下拉电阻	V_{EN} < $V_{EN(LOW)}$（输出禁用），V_{IN} = 3.3V		135		Ω
T_{SD}	热关断	T_J 上升		160		°C
		T_J 下降		140		
$V_{EN(LOW)}$	低电平输入阈值	V_{EN} 下降，直到输出被禁用。 T_J = –40°C 至 85°C			0.3	V
$V_{EN(HI)}$	高电平输入阈值	V_{EN} 上升，直到输出使能。 T_J = –40°C 至 85°C	0.9			V
I_{EN}	EN 输入漏电流	V_{EN} = 5.5V 和 V_{IN} = 5.5V		0.01	1	µA

(1) 对于 V_{OUT} < 1.4V 的情形，压降在 V_{IN} = 1.4V 时进行测试。
(2) 对于 V_{OUT} ≤ 1V 的情形，压降电压 < 余量电压。V_{IN} = 1.4V 时，电压输出为 1V 或更低的器件将不会处于压降状态。余量电压 = V_{IN} - V_{OUT}。

5.6 开关特性

这些规格适用于 T_J = 25℃、V_{IN} = $V_{OUT(NOM)}$ + 0.5V 或 1.4V（以较大者为准）、V_{EN} = V_{IN}、I_{OUT} = 1mA、C_{IN} = 1µF 且 C_{OUT} = 1µF（除非另有说明）；所有典型值都是 T_J = 25℃ 条件下的典型值

参数		测试条件	最小值	典型值	最大值	单位
t_{STR}	启动时间 (V_{EN})	从 V_{EN} > $V_{EN(HI)}$ 到 V_{OUT} = $V_{OUT(NOM)}$ 的 95%，V_{IN} 上升时间 = 1V/µs		400		µs

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} = 1 µF 条件下（除非另有说明）

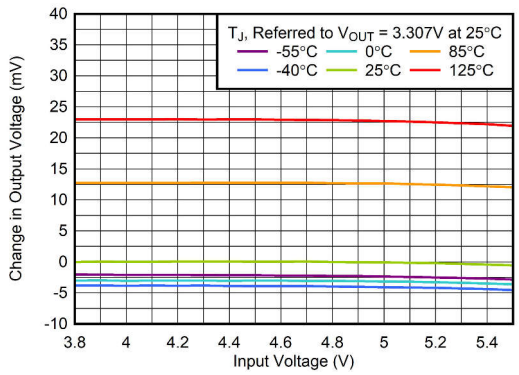
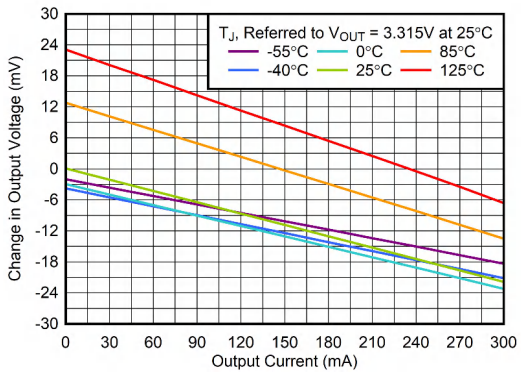


图 5-1. 线性调整率与 V_{IN} 间的关系



DBV 封装

图 5-2. 负载调整率与 I_{OUT} 间的关系

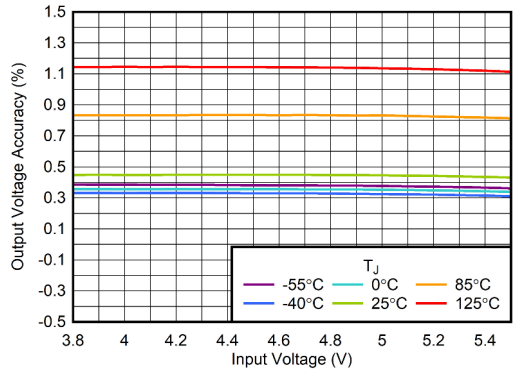
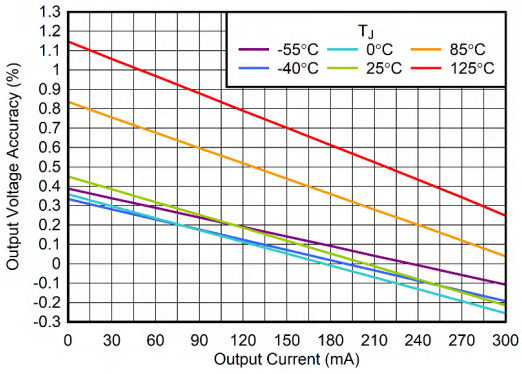
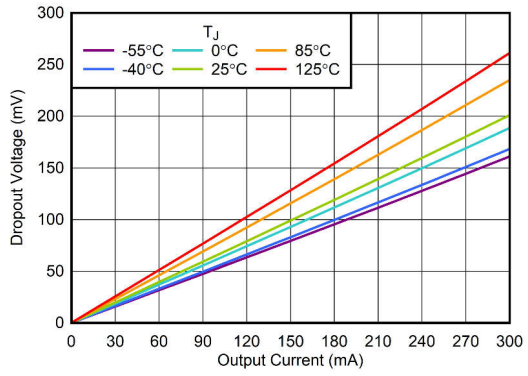


图 5-3. 输出电压精度与 V_{IN} 间的关系



DBV 封装

图 5-4. 输出电压精度与 I_{OUT} 间的关系



DBV 封装

图 5-5. 压降与 I_{OUT} 间的关系

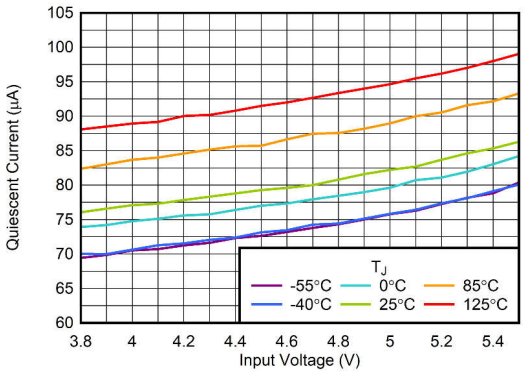


图 5-6. 静态电流与 V_{IN} 间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} = 1 µF 条件下（除非另有说明）

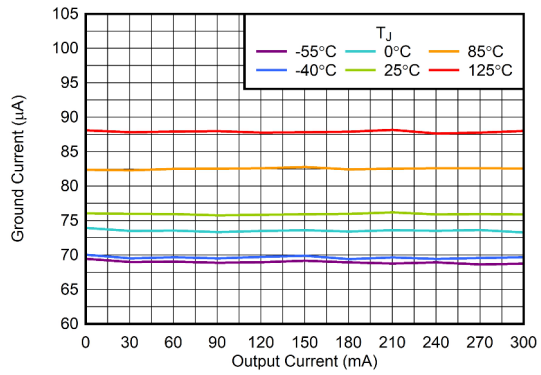
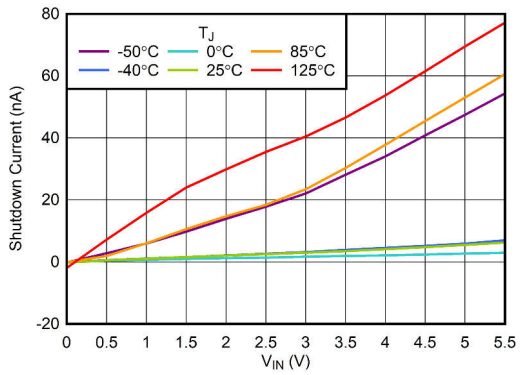


图 5-7. 接地电流与 I_{OUT} 间的关系



V_{EN} = 0V

图 5-8. 关断电流与 V_{IN} 间的关系

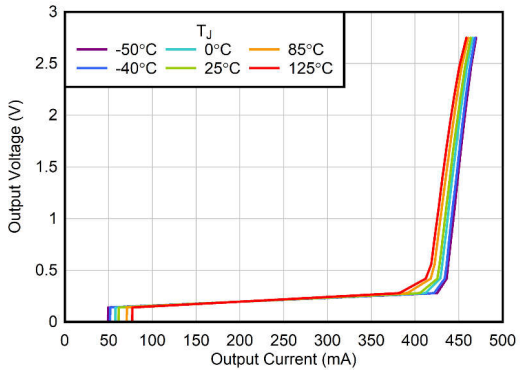


图 5-9. 电流限制

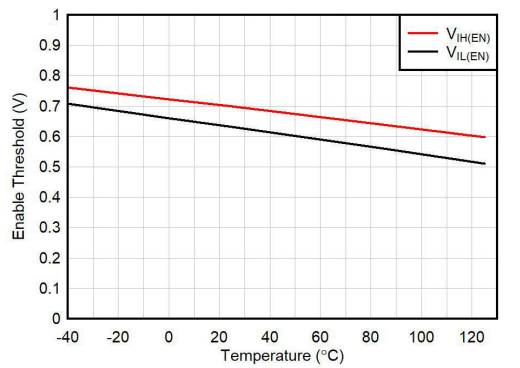
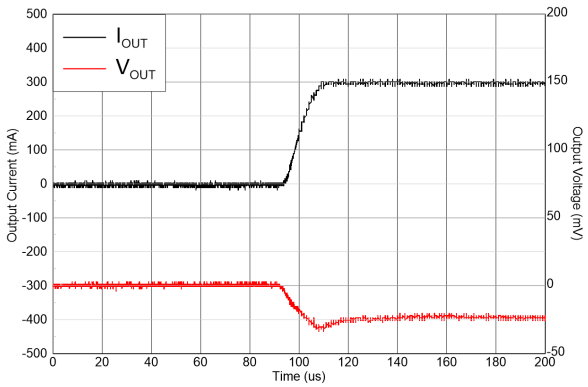
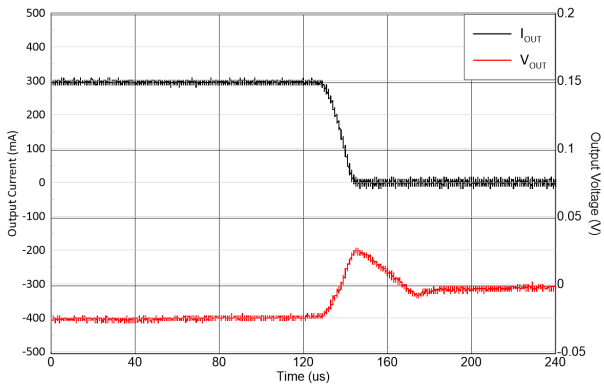


图 5-10. 使能逻辑阈值与温度间的关系



V_{IN} = $V_{OUT(nom)}$ + 1.0V，I_{OUT} = 1mA 至 300mA，
t_{RISING} = 10µs

图 5-11. 负载瞬态



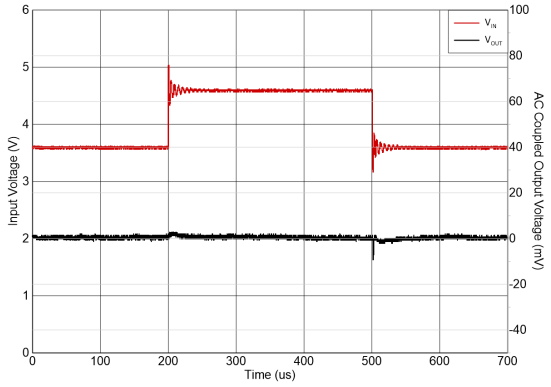
V_{IN} = $V_{OUT(nom)}$ + 1.0V，I_{OUT} = 300mA 至 1mA，
$t_{FALLING}$ = 10µs

图 5-12. 负载瞬态

Copyright © 2025 Texas Instruments Incorporated

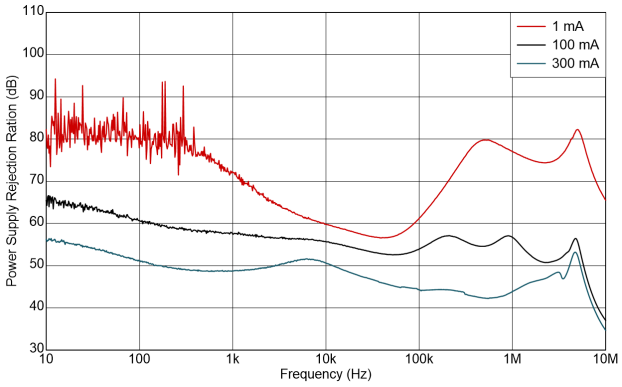
5.7 典型特性（续）

在工作温度 T_J = 25°C、V_{IN} = $V_{OUT(NOM)}$ + 0.5V、I_{OUT} = 1mA、V_{EN} = V_{IN} 且 C_{IN} = C_{OUT} = 1 µ F 条件下（除非另有说明）



V_{IN} = V_{OUT} + 0.3V 至 V_{OUT} +1.3V

图 5-13. 线路瞬态



V_{IN} = $V_{OUT(nom)}$ + 1.0V

图 5-14. PSRR 与频率间的关系

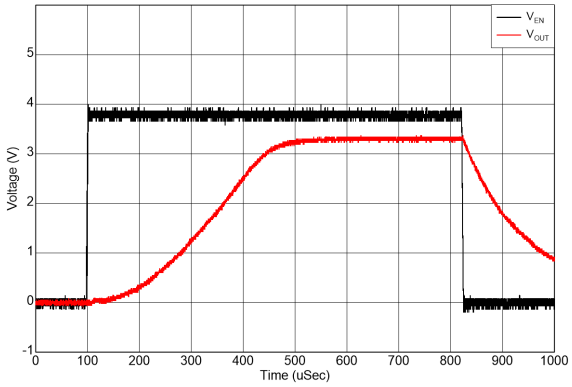
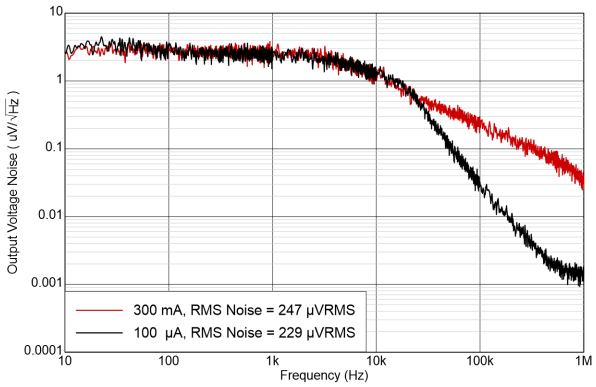


图 5-15. 启动



V_{IN} = 4.3V，$V_{OUT(nom)}$ = 3.3V

图 5-16. 噪声

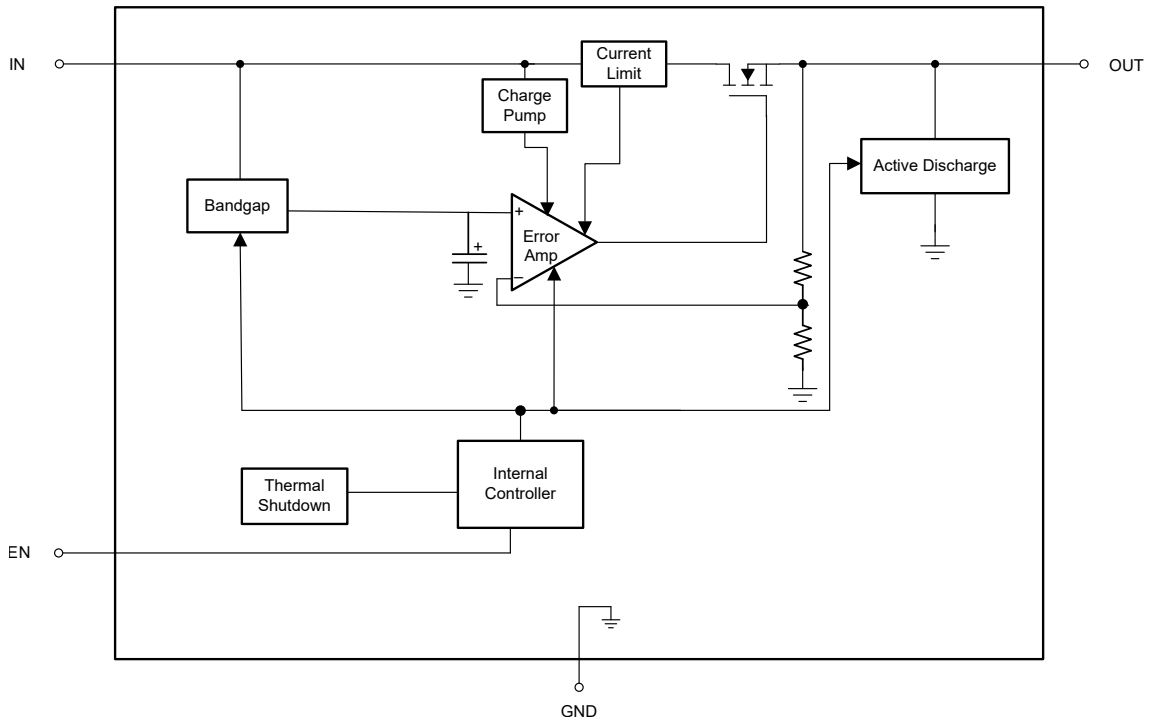
6 详细说明

6.1 概述

TLV773 可在 300mA 小型 LDO 中提供高 PSRR 和良好的瞬态响应。

此 LDO 设计为使用单个 1 µ F 输入电容器和单个 1 µ F 陶瓷输出电容器运行。

6.2 功能方框图



6.3 特性说明

6.3.1 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 V_{IN} – V_{OUT} 之差，此时，导通晶体管完全导通。V_{IN} 是输入电压，V_{OUT} 是输出电压，I_{RATED} 是*建议运行条件* 表中列出的最大 I_{OUT}。在该运行点，导通晶体管驱动为完全导通。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

6.3.2 有源放电

该稳压器具有一个内部 MOSFET，当器件被禁用时，该内部 MOSFET 将在输出和接地之间连接一个下拉电阻。这种连接会主动释放输出电压。有源放电电路由使能引脚或 IN 上的电压降至欠压锁定 (UVLO) 阈值以下来激活。

不要依赖有源放电电路在输入电源崩溃后释放大量输出电容。从输出端到输入端的反向电流可能会损坏器件。在短时间内将反向电流限制为不超过器件额定电流的 5%。

6.3.3 折返电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是混合砖墙折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为*短路电流限制 (I_{SC})* 的典型电流。*电气特性* 表中列出了 I_{CL} 和 I_{SC}。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 [(V_{IN} – V_{OUT}) × I_{SC}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅*了解限制*应用手册。

图 6-1 显示了折返电流限制图。

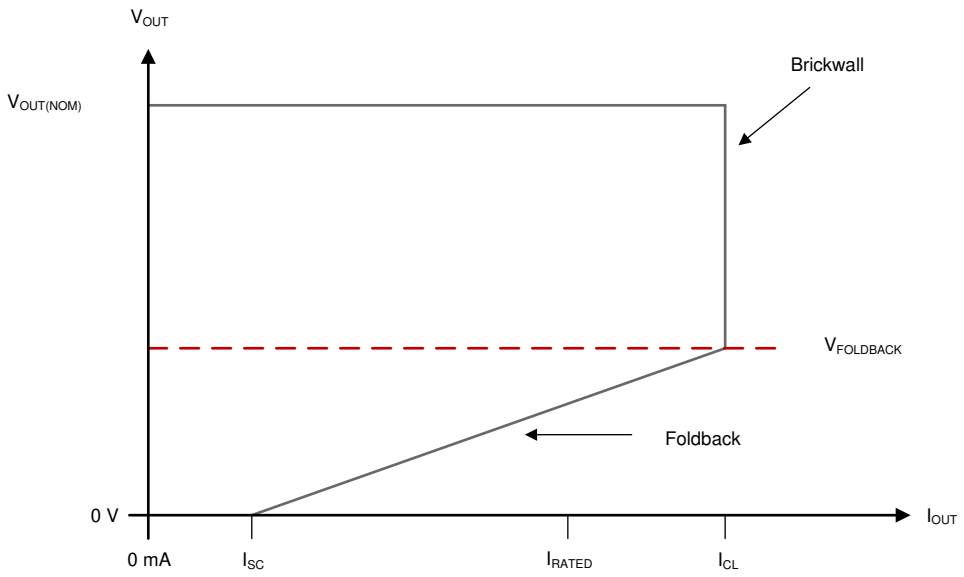


图 6-1. 折返电流限制

6.3.4 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确保在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件*表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.4 器件功能模式

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅*电气特性*表格。

表 6-1. 器件功能模式比较

工作模式	参数			
	V_{IN}	V_{EN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	不适用	$T_J > T_{SD(shutdown)}$

6.4.1 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。在此模式下，输出电压会跟踪输入电压。在此模式下，器件的瞬态性能会显著下降。在此模式下，导通晶体管驱动为完全导通。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态时，导通晶体管驱动为完全导通。此状态定义为器件直接在正常稳压状态后，而*非*启动期间处于压降状态。当 $V_{IN} < V_{OUT(NOM)} + V_{DO}$ 时，发生压降。当稳压器退出压降状态时，输入电压恢复为 $\geq V_{OUT(NOM)} + V_{DO}$ 的值。在此期间，输出电压可能会在短时间内过冲。$V_{OUT(NOM)}$ 是标称输出电压，V_{DO} 是压降电压。在退出压降状态期间，该器件使导通晶体管从完全导通状态恢复。

6.4.3 禁用

通过强制使能引脚的电压低于最大 EN 引脚低电平输入电压，可以关断器件的输出（请参阅*电气特性*表）。禁用时，导通晶体管关断，内部电路关断。输出电压还通过从输出端到接地端的内部放电电路对地主动放电。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

Copyright © 2025 Texas Instruments Incorporated

7.1 应用信息

7.1.1 建议的电容器类型

该器件设计为在输入和输出端使用低等效串联电阻 (ESR) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这些类型应用的业界标准并推荐使用，但要结合良好的判断力使用。采用 X7R、X5R 和 C0G 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性。但是，由于电容变化较大，因此不建议使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，有效电容都会随工作电压和温度的变化而变化。通常，预计有效电容会降低多达 50%。*建议运行条件* 表中列出的输入和输出电容器的有效电容大约为标称值的 50%。

7.1.2 输入和输出电容器要求

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果源阻抗大于 0.5 Ω，请使用输入电容器。对于 TLV773 的典型运行，请将 1 µF 电容器连接到输入。如果预计会有较大且快速的上升时间负载或线路瞬变，请使用更高容值的电容。此外，如果器件距离输入电源几英寸，请使用容值更高的电容器。

通过使用输出电容器来提升器件的动态性能。为确保稳定性，请在*建议运行条件* 表中指定的范围内使用输出电容器。确保最小降额输出电容等于或大于 0.47 µF。当输出电压升高时，浪涌电流取决于输出电容的大小。在启动期间，输出电流可能会与较大输出电容器的电流限制值一样高。

Copyright © 2025 Texas Instruments Incorporated

7.2 典型应用

7.2.1 应用

图 7-1 显示了 TLV773 的典型应用电路。

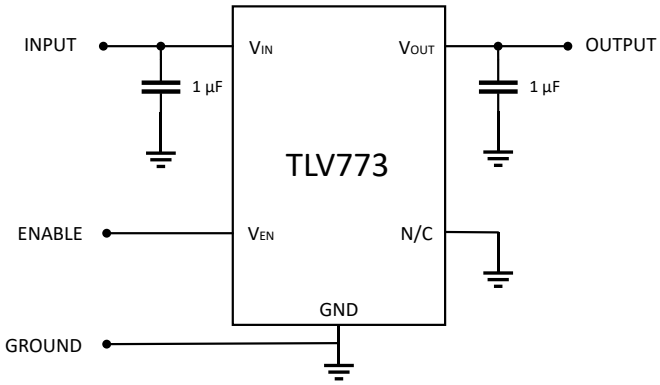


图 7-1. TLV773 典型应用

7.2.2 设计要求

表 7-1 总结了图 7-1 的设计要求。

表 7-1. 设计参数

参数	值
输入电压范围	4.0V± 5%
输出电压	3.3V
输出电流	200mA
最高环境温度	85°C

7.2.3 详细设计过程

对于本设计示例，选择 3.3V 输出版本 (TLV77333)。假定标称 4.0V 输入电源。使用最小 1 µ F 输入电容器，尽可能减小 4.0V 电源和 LDO 输入之间的电阻和电感的影响。使用最小的 0.47 µ F 输出电容可实现稳定性和良好的负载瞬态响应。在输出电压为 3.3V、输出电流为 300mA 时，压降电压 (V_{DO}) 低于 250mV 最大值。因此，在最小输入电压为 3.8V (4.0V − 5%)、最大输出电流为 200mA 情况下，不存在压降问题。

7.2.4 应用曲线

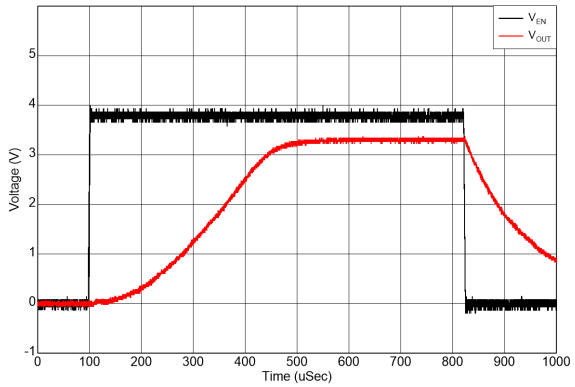


图 7-2. 启动

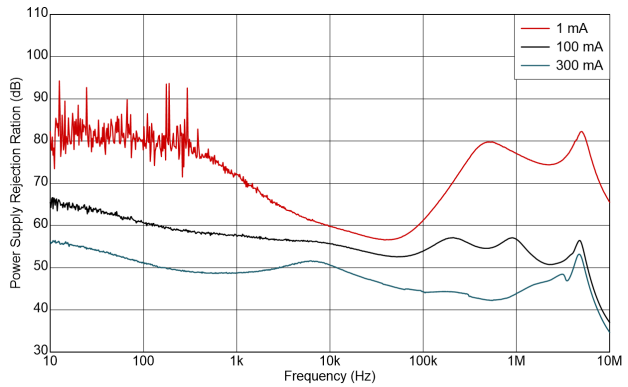


图 7-3. PSRR

Copyright © 2025 Texas Instruments Incorporated

7.3 电源相关建议

该器件设计为可在 1.4V 至 5.5V 的输入电源电压范围内运行。确保输入经过良好调节且没有寄生噪声，则稳压器可提供经过良好调节且具有卓越动态性能的输出。将输入电源设置为至少 $V_{OUT(nom)}$ + 0.5V 或 1.4V，以较大者为准。

使用 1 µ F 或更大的输入电容器来降低输入电源的阻抗，尤其是在瞬态期间。

7.4 布局

7.4.1 布局指南

- 输入电容和输出电容尽可能靠近器件放置。
- 使用铜平面进行器件连接以优化热性能。
- 在器件周围布置散热过孔以散发热量。
- 请勿在 DQN 封装的散热焊盘正下方放置散热过孔。在焊接过程中，通孔会将焊料或焊膏从散热焊盘接合处吸走。因此，会降低散热焊盘上的焊点质量。

7.4.2 布局示例

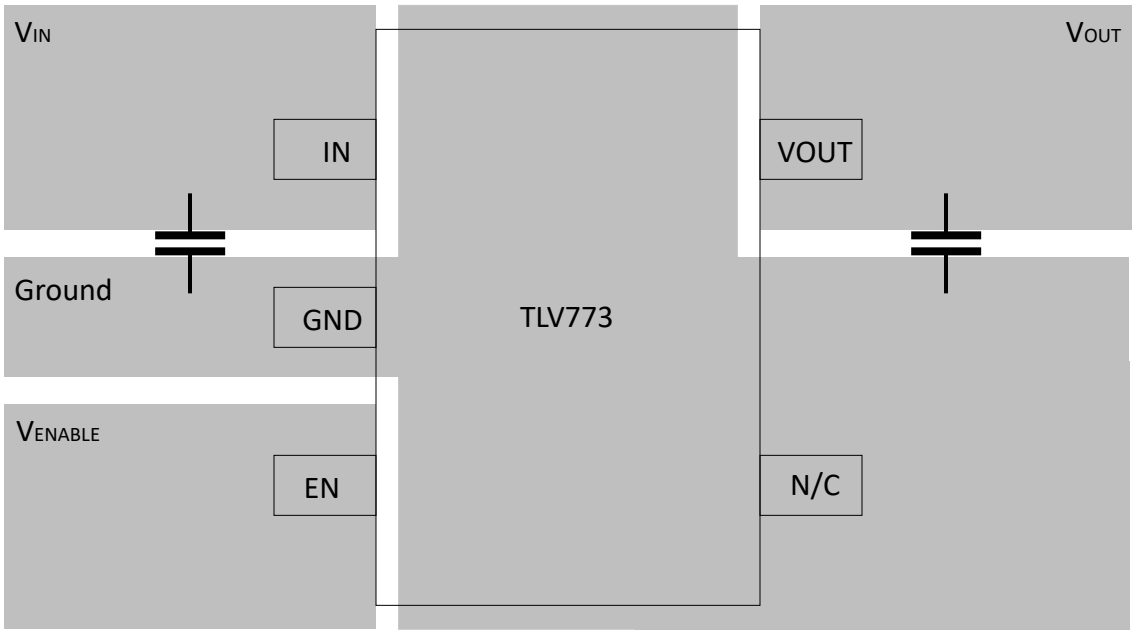


图 7-4. DBV 封装 (SOT-23) 典型布局

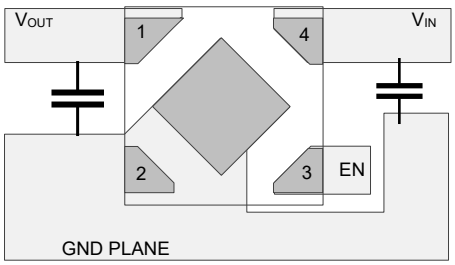


图 7-5. DQN 封装 (X2SON) 典型布局

8 器件和文档支持

TI 提供大量的开发工具。此部分列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

产品(1)	说明
TLV773**xx(x)Pyyyz**	**xx(x)** 为标称输出电压。对于分辨率为 100mV 的输出电压，订货编号中使用两位数字；否则，使用三位数字（例如，28 = 2.8V；125 = 1.25V）。 **P** 表示有源输出放电功能。 **yyy** 为封装标识符。 **z** 为包装数量。R 表示卷（3000 片）。

(1) 要获得最新的封装和订货信息，请参阅本文档末尾的封装选项附录，或者访问器件产品文件夹 (www.ti.com)。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*《了解限制》*，应用手册。

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (October 2024) to Revision D (March 2025)	Page
• 更改了压降测试条件以添加 1.05V 输出。更新了脚注 2	5
• 更改了*功能方框图*	10
• 更改了 *DQN 封装 (X2SON) 典型布局*图	15

Changes from Revision B (May 2024) to Revision C (October 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更改了所有压降测试条件	5
• 更改了 2.8V ≤ V_{OUT} ≤ 3.3V、DBV 条件下的压降最大规格	5
• 更改了 2.8V ≤ V_{OUT} ≤ 3.3V、DQN 条件下的压降最大规格	5
• 更改了 2.8V ≤ V_{OUT} ≤ 3.3V、DBV 条件下的压降最大规格	5
• 更改了 2.8V ≤ V_{OUT} ≤ 3.3V、DQN 条件下的压降最大规格	5

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是所指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV77308PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MDH
TLV77308PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MDH
TLV77308PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QQ
TLV77308PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QQ
TLV773105PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MFH
TLV773105PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MFH
TLV773105PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QS
TLV773105PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QS
TLV77310PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MEH
TLV77310PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MEH
TLV77310PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QR
TLV77310PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QR
TLV77312PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	3CQF
TLV77312PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3CQF
TLV77312PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P5
TLV77312PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P5
TLV77312PDQNR3	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P5
TLV77315PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MCH
TLV77315PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MCH
TLV77315PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QP
TLV77315PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QP
TLV77318PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3CPF
TLV77318PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3CPF
TLV77318PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P4
TLV77318PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P4
TLV77318PDQNR1	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P4
TLV77318PDQNR3	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P4
TLV77325PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	3COF
TLV77325PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3COF

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV77325PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P3
TLV77325PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P3
TLV77328PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	3CNF
TLV77328PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3CNF
TLV77328PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P2
TLV77328PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P2
TLV77330PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MGH
TLV77330PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3MGH
TLV77330PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QT
TLV77330PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QT
TLV77333PDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	3CMF
TLV77333PDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3CMF
TLV77333PDQNR	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	P1
TLV77333PDQNR.A	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P1
TLV77333PDQNR3	Active	Production	X2SON (DQN) | 4	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	P1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

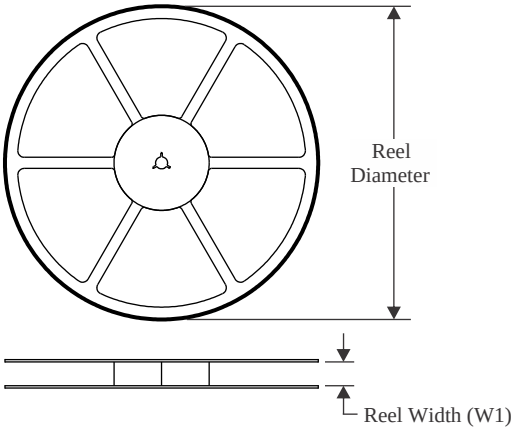
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

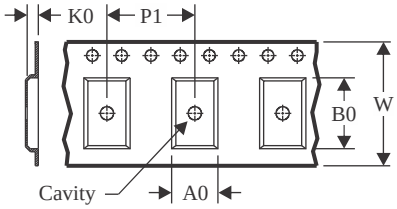
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

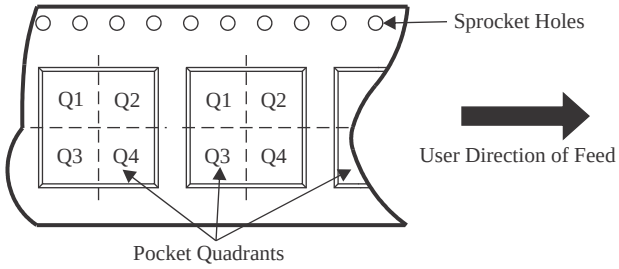


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

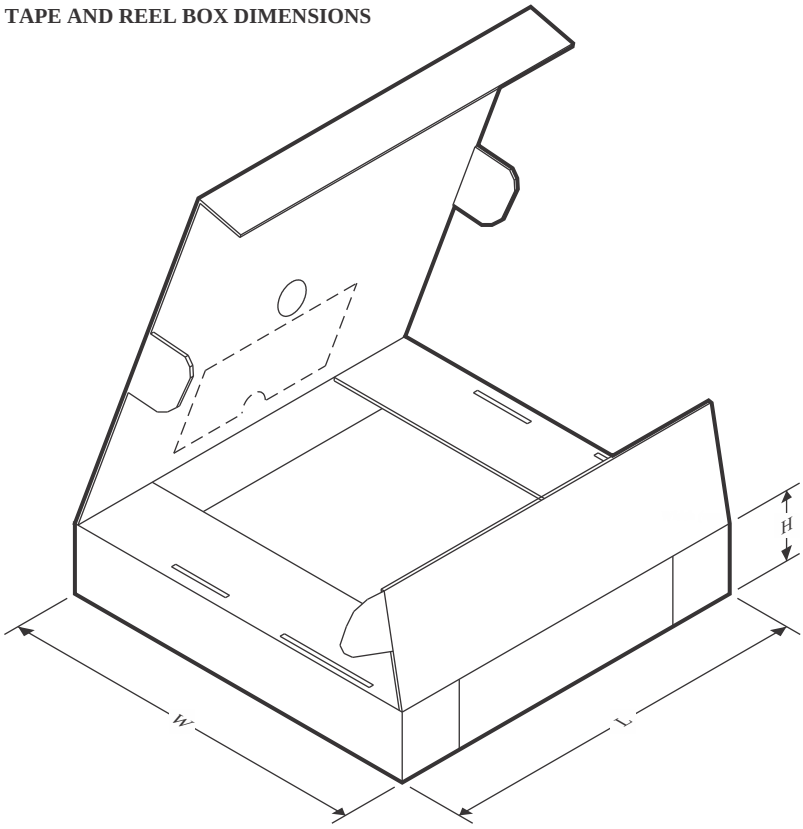


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV77308PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77308PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV773105PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV773105PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77310PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77310PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77312PDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77312PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77312PDQNR3	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q3
TLV77315PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77315PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77318PDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77318PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77318PDQNR1	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q1
TLV77318PDQNR3	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q3
TLV77325PDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV77325PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77328PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77328PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77330PDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77330PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77333PDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV77333PDQNR	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
TLV77333PDQNR3	X2SON	DQN	4	3000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV77308PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77308PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV773105PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV773105PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77310PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77310PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77312PDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV77312PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77312PDQNR3	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77315PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77315PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77318PDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV77318PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77318PDQNR1	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77318PDQNR3	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77325PDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV77325PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77328PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

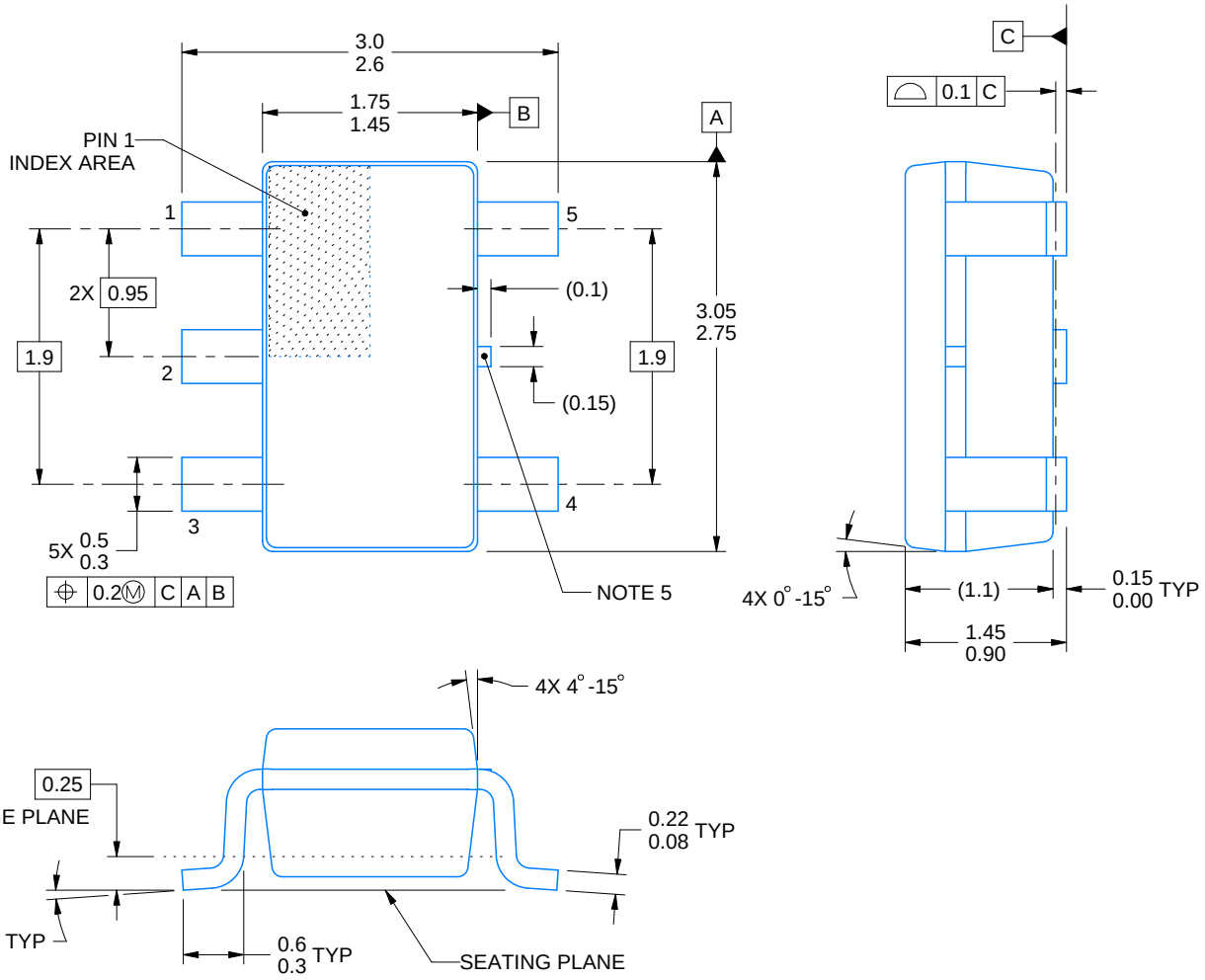
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV77328PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77330PDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV77330PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77333PDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TLV77333PDQNR	X2SON	DQN	4	3000	210.0	185.0	35.0
TLV77333PDQNR3	X2SON	DQN	4	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

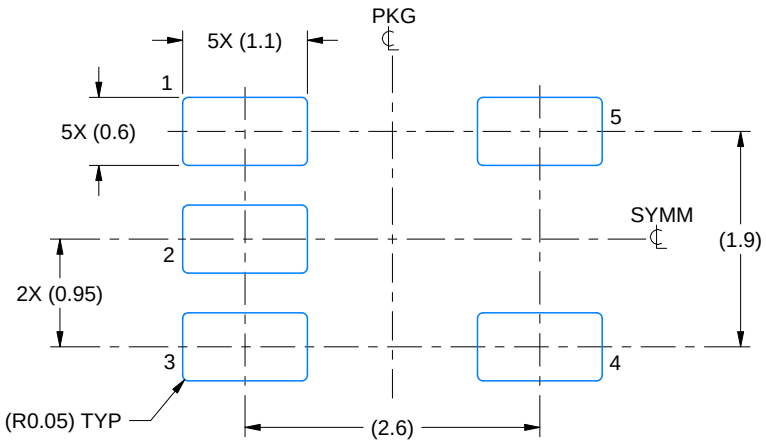
SMALL OUTLINE TRANSISTOR



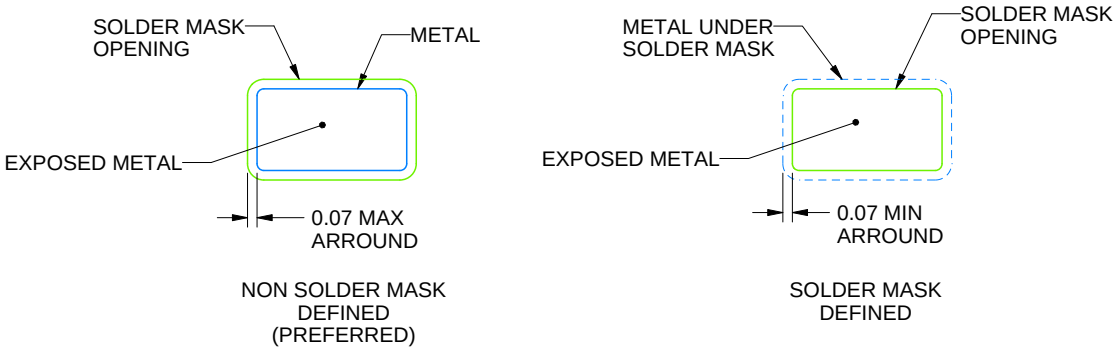
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

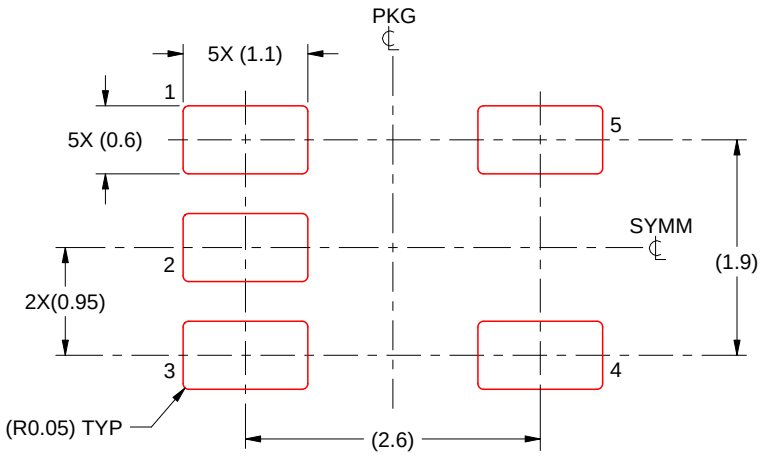


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DQN 4 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

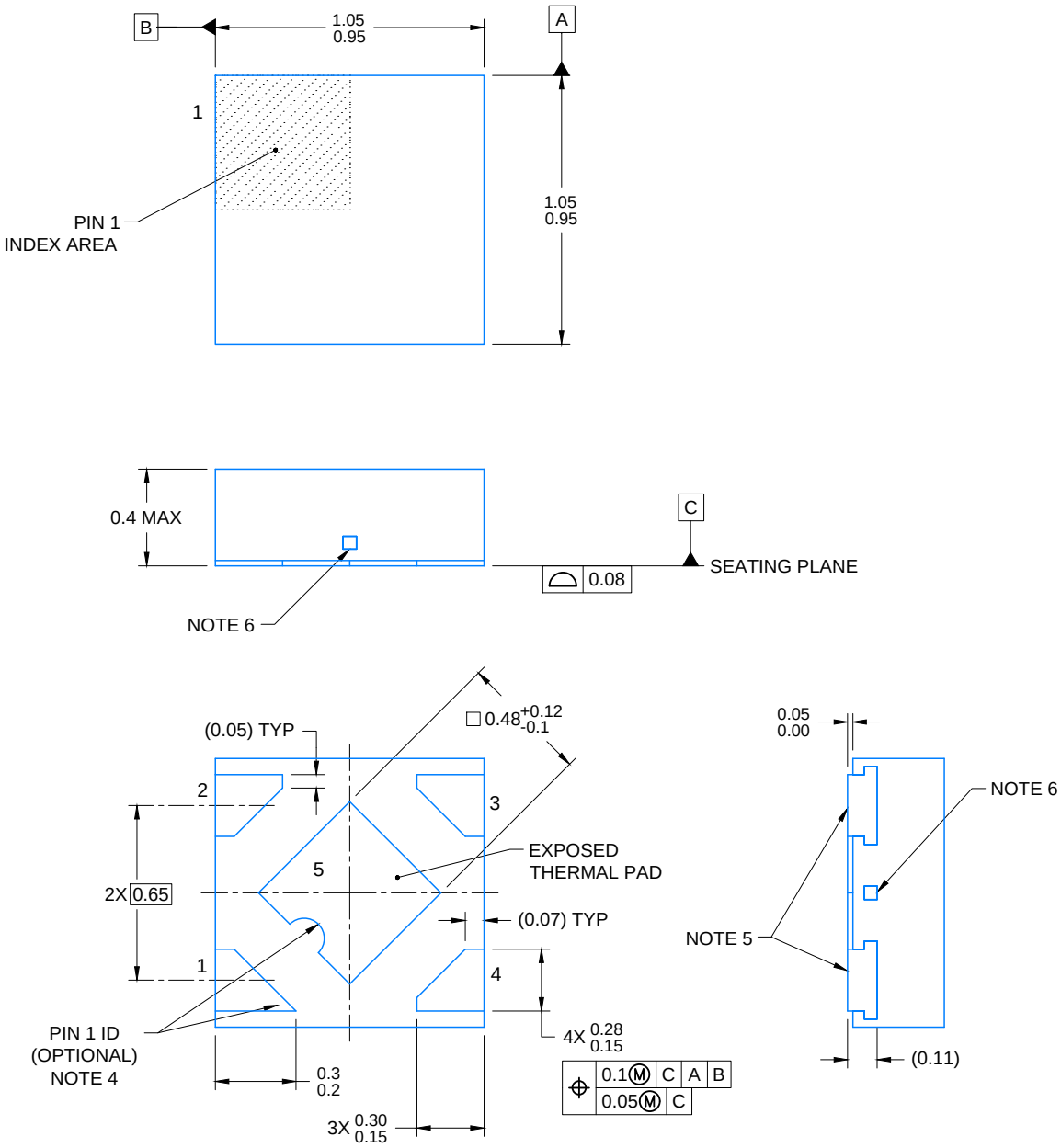
4210367/F

PACKAGE OUTLINE

DQN0004A

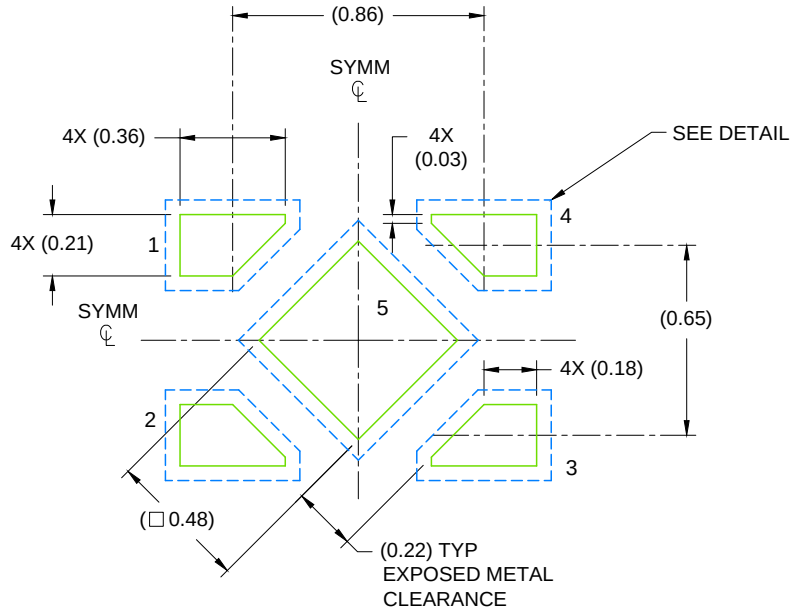
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



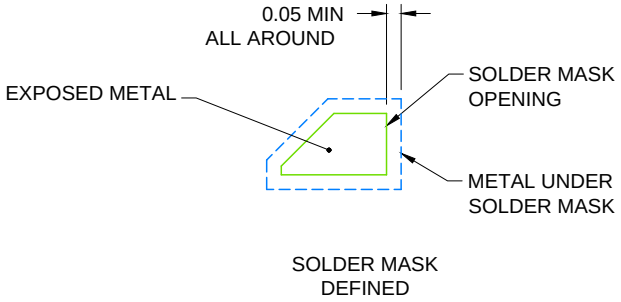
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.
4. Features may not exist. Recommend use of pin 1 marking on top of package for orientation purposes.
5. Shape of exposed side leads may differ.
6. Number and location of exposed tie bars may vary.



LAND PATTERN EXAMPLE

SCALE: 40X

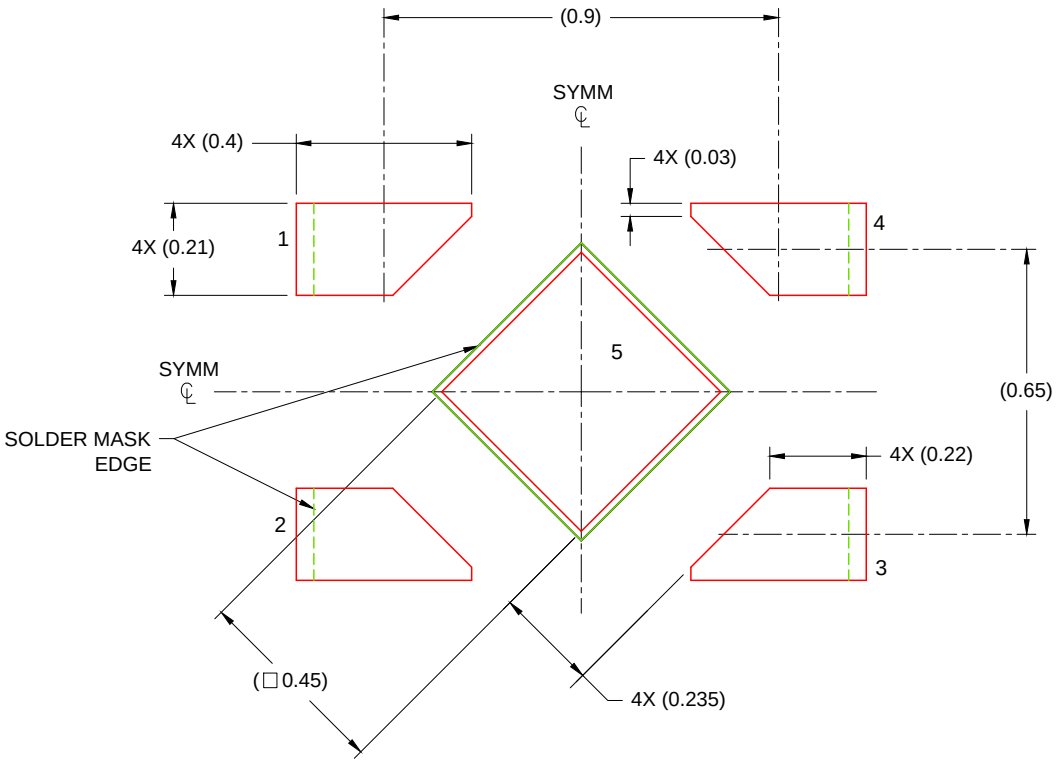


SOLDER MASK DETAIL

4215302/E 12/2016

NOTES: (continued)

7. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
8. If any vias are implemented, it is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1mm THICK STENCIL

EXPOSED PAD
88% PRINTED SOLDER COVERAGE BY AREA
SCALE: 60X

4215302/E 12/2016

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月