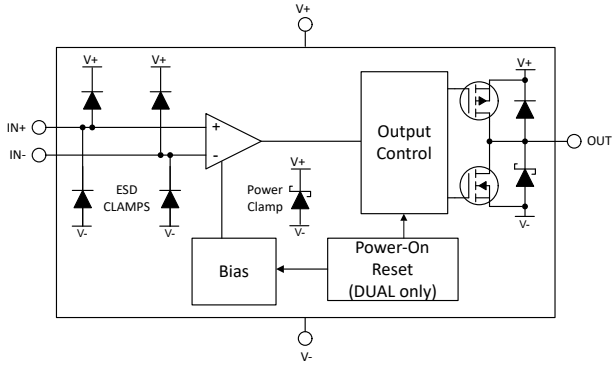
TLV323x 具有轨到轨输入的 20ns 高速比较器

1 特性

- 传播延迟：20ns
- 输入失调电压：+/- 4mV（最大值）
- 低电源电流：每个通道 200µA
- 输入电压范围超过任一电源轨 100mV
- 内部迟滞：1.55mV
- 上电复位可提供已知的启动条件（仅限双通道）
- 推挽输出
- 温度范围：–40°C 至 +125°C

2 应用

- 移动电话和平板电脑
- 耳麦/耳机和耳塞
- PC 和笔记本电脑
- 气体检测仪
- 烟雾和热量探测器
- 运动检测器
- 燃气表
- 伺服驱动器位置传感器



方框图

3 说明

TLV323x 是具有推挽输出的 5V 单通道和双通道比较器系列。该系列具有出色的速度功率组合，传播延迟为 20ns，整个电源电压范围为 2.7V 至 5V，每个通道的静态电源电流仅为 200 µ A。

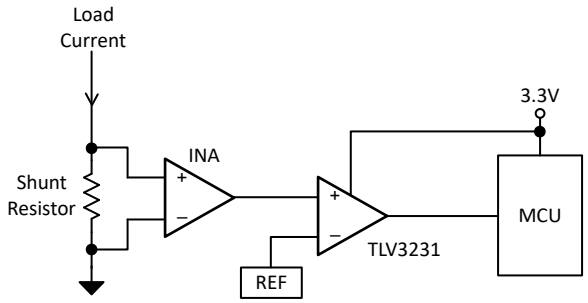
同样，TLV323x 可方便地采用标准引线式和无引线封装，具有轨到轨输入、低失调电压和大输出驱动电流等特性。这些特性再加上快速响应时间，使得比较器非常适合用于电流检测、过零检测以及精度和速度至关重要的各种其他应用。

所有器件可在 -40°C 至 125°C 的宽工作温度范围内运行。

封装信息

器件型号	封装 (1)	本体尺寸（标称值）(2)
TLV3231	SC-70 (5)	1.25mm × 2.00mm
	SOT-23 (5)	1.60mm × 2.90mm
TLV3232	VSSOP (8)	3.00mm × 3.00mm
	WSON (8)	2.00mm × 2.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



低侧电流检测

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

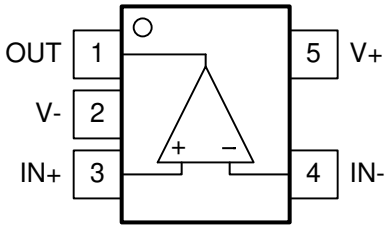
内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
引脚配置：TLV3231 和 TLV3232.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息，TLV3231.....5
5.5 热性能信息，TLV3232.....5
5.6 电气特性.....6
5.7 开关特性.....7
5.8 典型特性.....8
6 详细说明.....14
6.1 概述.....14
6.2 功能方框图.....14
6.3 特性说明.....14
6.4 器件功能模式.....14
7 应用和实施.....16
7.1 应用信息.....16
7.2 典型应用.....19
7.3 电源相关建议.....20
7.4 布局.....20
8 器件和文档支持.....22
8.1 文档支持.....22
8.2 接收文档更新通知.....22
8.3 支持资源.....22
8.4 商标.....22
8.5 静电放电警告.....22
8.6 术语表.....22
9 修订历史记录.....22
10 机械、封装和可订购信息.....23

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

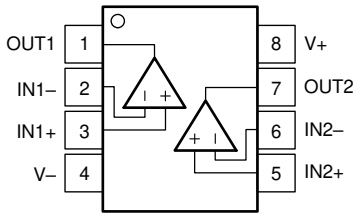
引脚配置：TLV3231 和 TLV3232



DCK、DBV 封装
SC70、SOT-23-5
顶视图
（标准“西北”引脚排列）

表 4-1. 引脚功能：TLV3231

引脚		I/O	说明
名称	编号		
OUT	1	O	输出
V-	2	-	负电源电压
IN+	3	I	同相 (+) 输入
IN-	4	I	反相 (-) 输入
V+	5	-	正电源电压



DGK、DSG 封装
8 引脚 VSSOP，WSON
顶视图

表 4-2. 引脚功能：TLV3232

引脚		I/O	说明
名称	编号		
OUT1	1	O	输出，通道 1
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
V-	4	-	负（最低）电源或接地
IN2+	5	I	同相输入，通道 2
IN2 –	6	I	反相输入，通道 2
OUT2	7	O	输出，通道 2
V+	8	-	正（最高）电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压 V_S = (V+) - (V–)		6	V
差分输入电压 VID	-6	6	V
(V–) 的输入引脚（IN+、IN-）(2)	– 0.5	(V+) + 0.5	V
进入输入引脚（IN+、IN–）的电流	-10	10	mA
输出短路电流	-100	100	mA
输出短路持续时间		10	s
结温，T_J		150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入端子被二极管钳制至 (V–) 和 (V+)。对于摆幅可能超过电源轨 0.5V 的输入信号，必须将其电流限制为 10mA 或者更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	最大值	单位
电源电压 V_S = (V+) - (V–)	2.7	5.5	V
输入电压范围	(V-) - 0.1	(V+) + 0.1	V
环境温度，T_A	-40	125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息，TLV3231

热指标(1)		TLV3231		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	196.4	220	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	94	135	°C/W
$R_{\theta JB}$	结至电路板热阻	63	65	°C/W
Ψ_{JT}	结至顶部特征参数	30.5	34	°C/W
Ψ_{JB}	结至电路板特征参数	62.6	65	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 热性能信息，TLV3232

热指标(1)		TLV3232		单位
		DGK (VSSOP)	DSG (WSON)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	154.5	78.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	88.8	99.9	°C/W
$R_{\theta JB}$	结至电路板热阻	49.1	44.4	°C/W
Ψ_{JT}	结至顶部特征参数	1.8	5	°C/W
Ψ_{JB}	结至电路板特征参数	87.4	44.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	19.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2026 Texas Instruments Incorporated

5.6 电气特性

V_S = 2.7 V 至 5 V，V_{CM} = V_S / 2；以 T_A = 25°C（除非另有说明）。T_A = 25°C 时的典型值。

参数		测试条件	最小值	典型值	最大值	单位
直流输入特性						
V_{IO}	输入失调电压	V_S = 5V，V_{CM} = V_S/2		±0.5	±4	mV
V_{IO}	输入失调电压	V_S = 5V，V_{CM} = V_S/2，T_A = -40℃ 至 125℃			±4.5	mV
V_{HYS}	迟滞	V_S = 5V，V_{CM} = V_S/2	0.5	1.55	3	mV
V_{HYS}	迟滞	V_S = 5V，V_{CM} = V_S/2，T_A = -40℃ 至 125℃			3.5	mV
V_{CM}	共模电压范围		(V-)- 0.1		(V+)+0.1	V
I_B	输入偏置电流	V_S = 5V，V_{CM} = V_S/2，T_A = -40℃ 至 125℃		0.01	10	nA
I_{OS}	输入失调电流	V_S = 5V，V_{CM} = V_S/2			200	pA
C_{IN}	输入电容			2		pF
CMRR	共模抑制比	V_{CM} = V_{EE} - 0.1V 至 V_{CC} + 0.1V		82		dB
DC 输出特性						
V_{OH}	(V+) 的电压摆幅	V_S = 5V，(V-) = 0V，I_{Source} = 2mA			200	mV
V_{OL}	(V－) 的电压摆幅	V_S = 5V，(V-) = 0V，I_{Sink} = 2mA			200	mV
I_{SC}	短路电流	V_S = 5V，拉取		45		mA
		V_S = 5V，灌入		45		
电源						
I_Q	每通道电源电流	V_S = 2.7V 和 5V，无负载，输出低电平		200	250	uA
I_Q	每通道电源电流	V_S = 2.7V 至 5V，无负载，输出低电平，T_A = －40°C 至 125°C			350	uA
$V_{POR\ (postive)}$	上电复位电压（仅限双路）			2.1		V
PSRR	电源抑制比	V_S = 2.7V 至 5.5V，无负载，T_A = －40°C 至 125°C		92		dB

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性

T_A = 25°C 时，V_S = 5V，V_{CM} = V_S/2；C_L = 15pF（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PHL}	传播延迟时间，高电平至低电平（单通道）	输入中点至输出中点，V_{OD} = 10mV		22		ns
t_{PHL}	传播延迟时间，高电平至低电平（双通道）	输入中点至输出中点，V_{OD} = 10mV		25		ns
t_{PHL}	传播延迟时间、高电平至低电平（单通道和双通道）	输入中点至输出中点，V_{OD} = 50mV		15	25	ns
t_{PLH}	传播延迟时间，低电平至高电平（单通道）	输入中点至输出中点，V_{OD} = 10mV		20		ns
t_{PLH}	传播延迟时间，低电平至高电平（双通道）	输入中点至输出中点，V_{OD} = 10mV		25		ns
t_{PLH}	传播延迟时间、低电平至高电平（单通道和双通道）	输入中点至输出中点，V_{OD} = 50mV		15	25	ns
f_{TOGGLE}	输入切换频率	V_{IN} = 200mV_{PP} 正弦波，当输出高电平达到 V_{CC} - V_{EE} 的 90% 或输出低电平达到 V_{CC} - V_{EE} 的 10% 时		55		MHz
t_R	上升时间	在 20% 至 80% 时测量		1.6		ns
t_F	下降时间	在 20% 至 80% 时测量		1.6		ns
t_{ON}	上电时间	上电期间，(V+) 必须超过 2.1V 且持续 4μs，输出才能反应出输入的情况。		4.5		μs

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

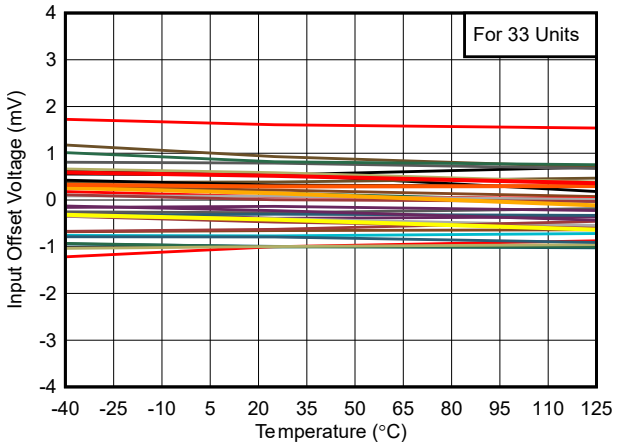


图 5-1. 失调电压与温度间的关系

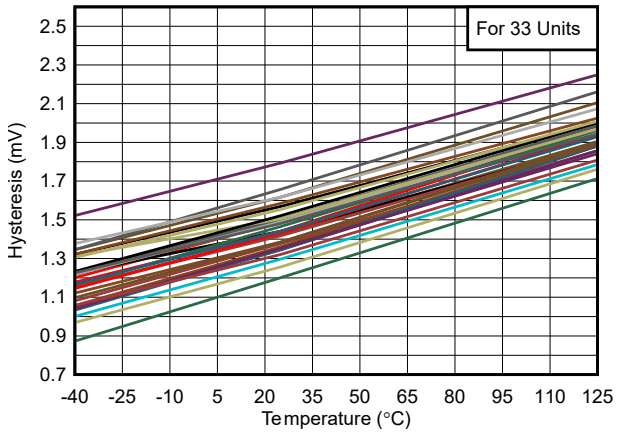


图 5-2. 迟滞与温度之间的关系

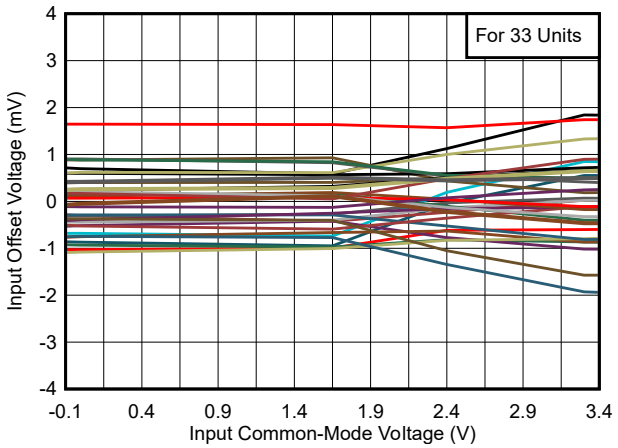


图 5-3. 失调电压与共模电压间的关系，3.3V

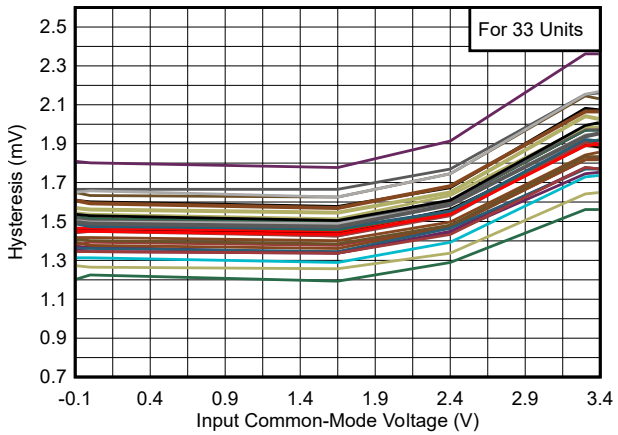


图 5-4. 迟滞与共模电压间的关系，3.3V

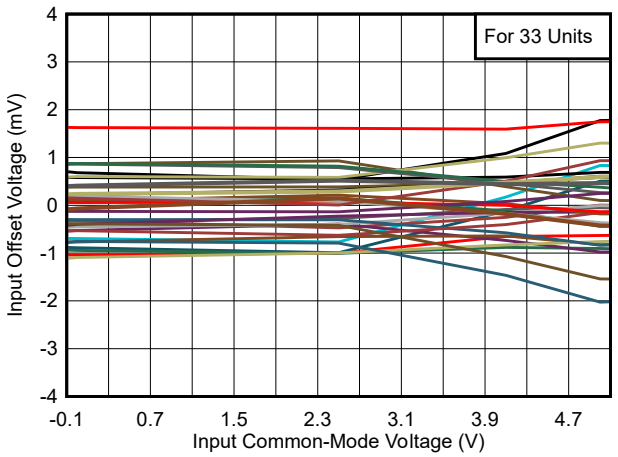


图 5-5. 失调电压与共模电压间的关系，5V

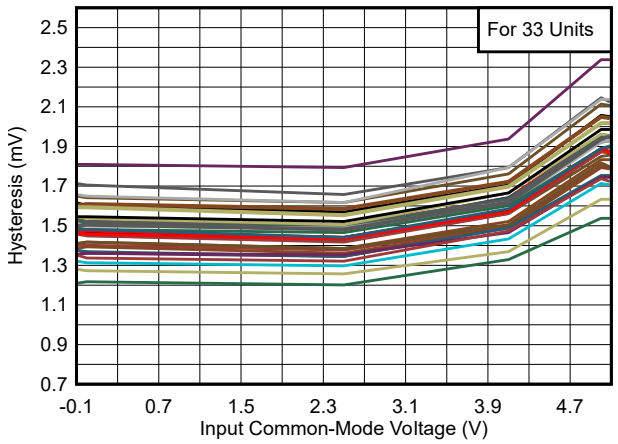


图 5-6. 迟滞与共模电压间的关系，5V

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

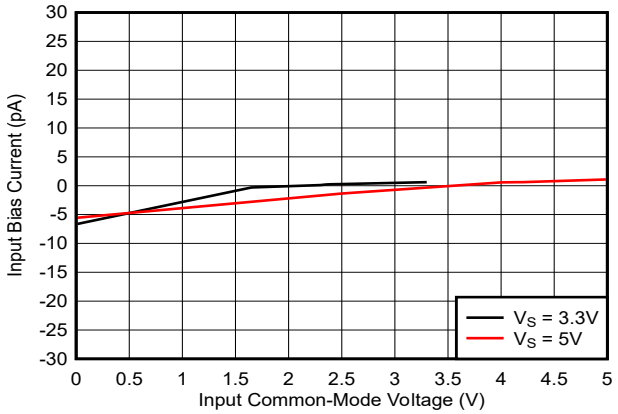


图 5-7. 偏置电流与共模电压间的关系

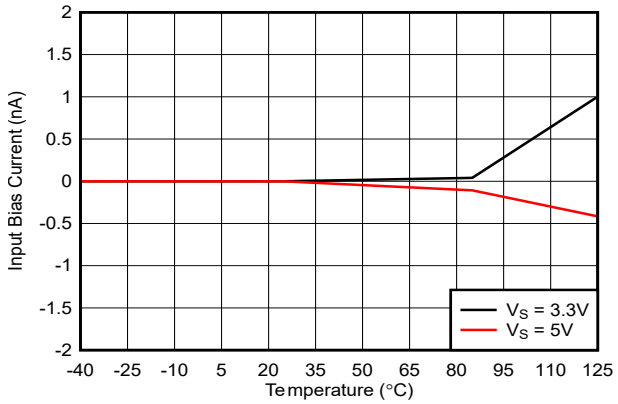


图 5-8. 偏置电流与温度间的关系

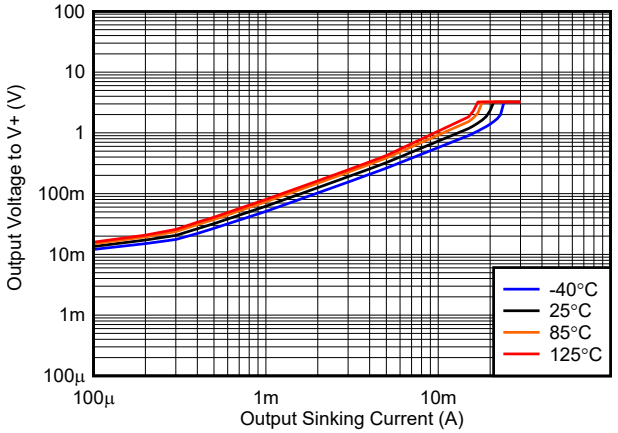


图 5-9. 输出电压与输出拉电流间的关系，3.3V

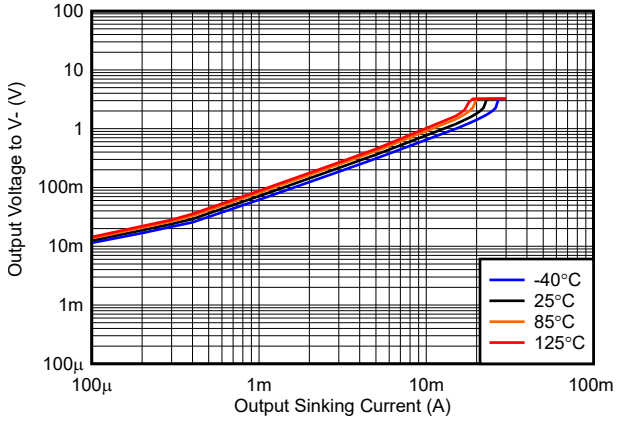


图 5-10. 输出电压与输出灌电流间的关系，3.3V

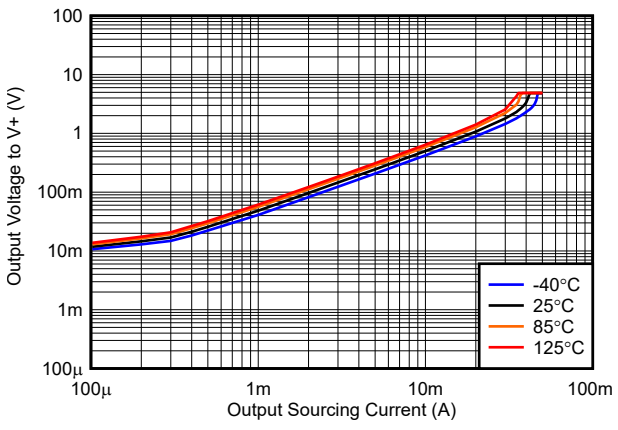


图 5-11. 输出电压与输出拉电流间的关系，5V

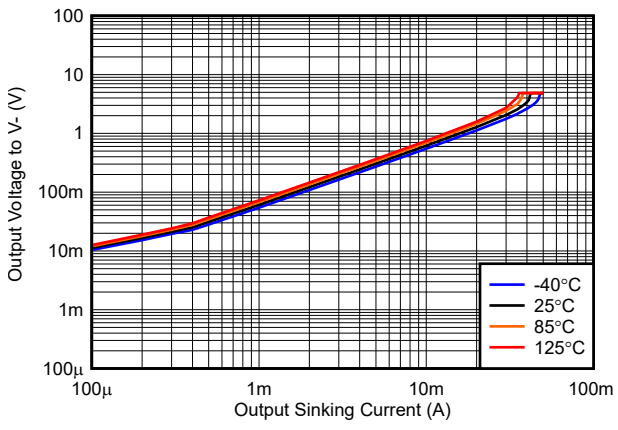


图 5-12. 输出电压与输出灌电流间的关系，5V

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

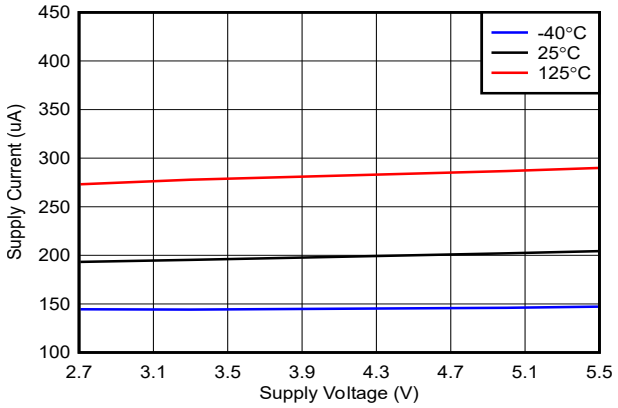


图 5-13. 电源电流与电源电压间的关系（输出低电平）

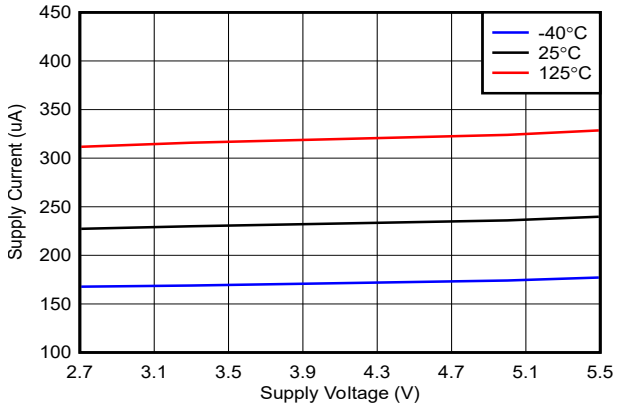


图 5-14. 电源电流与电源电压间的关系（输出高电平）

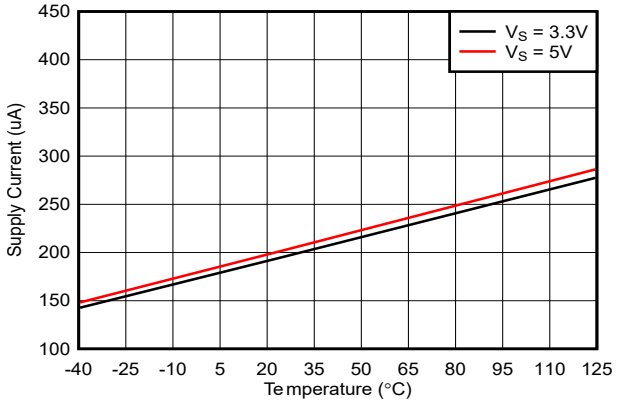


图 5-15. 电源电流与温度间的关系（输出低电平）

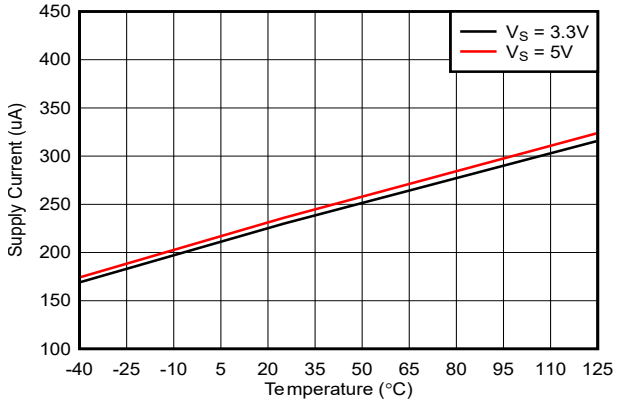


图 5-16. 电源电流与温度间的关系（输出高电平）

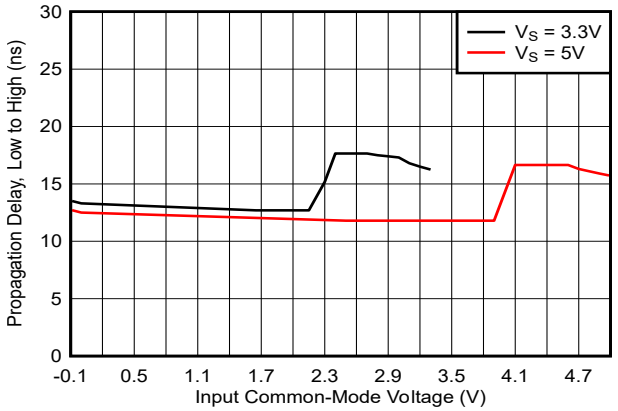


图 5-17. 传播延迟（低电平到高电平）与共模电压间的关系

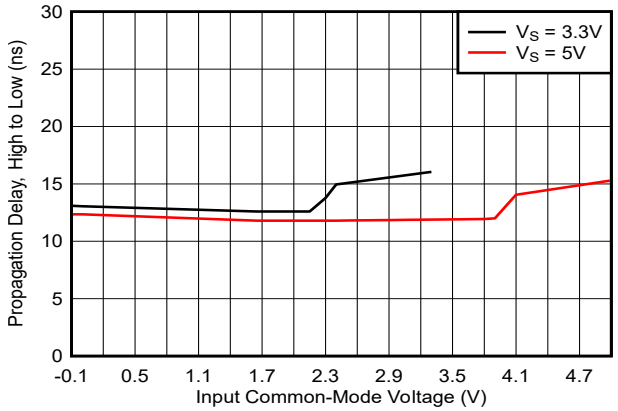


图 5-18. 传播延迟（高电平到低电平）与共模电压间的关系

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

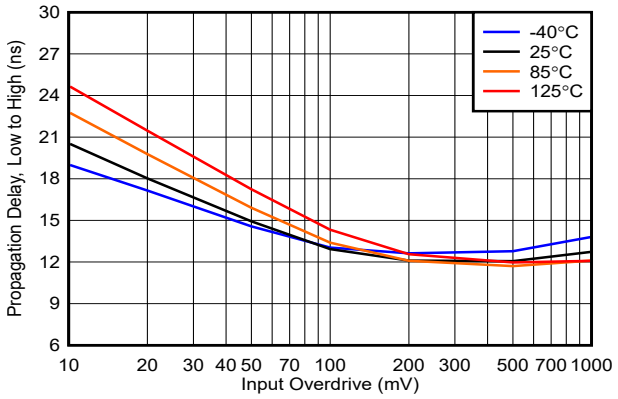


图 5-19. 单通道传播延迟（低电平到高电平）与过驱间的关系 (3.3V)

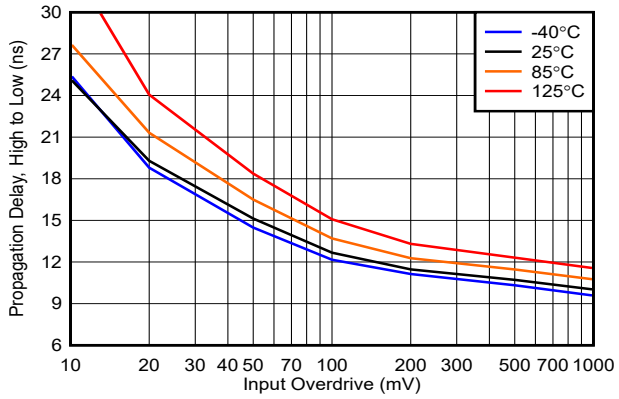


图 5-20. 单通道传播延迟（高电平到低电平）与过驱间的关系 (3.3V)

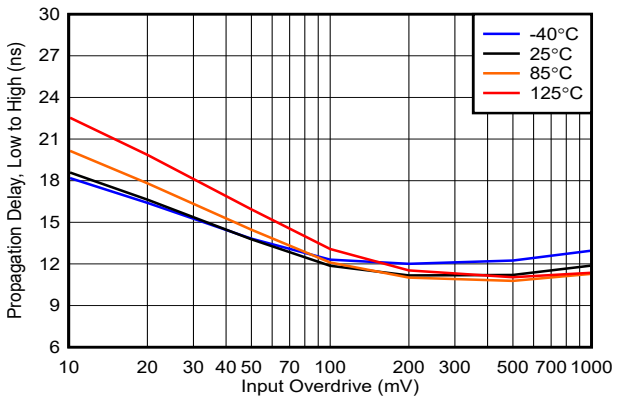


图 5-21. 单通道传播延迟（低电平到高电平）与过驱间的关系 (5V)

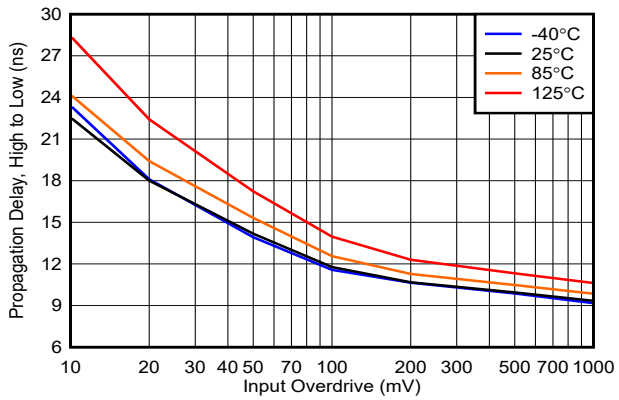


图 5-22. 单通道传播延迟（高电平到低电平）与过驱间的关系 (5V)

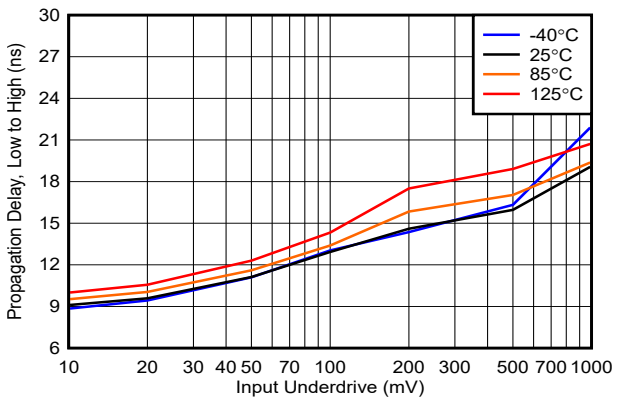


图 5-23. 单通道传播延迟（低电平到高电平）与欠驱动间的关系 (3.3V)

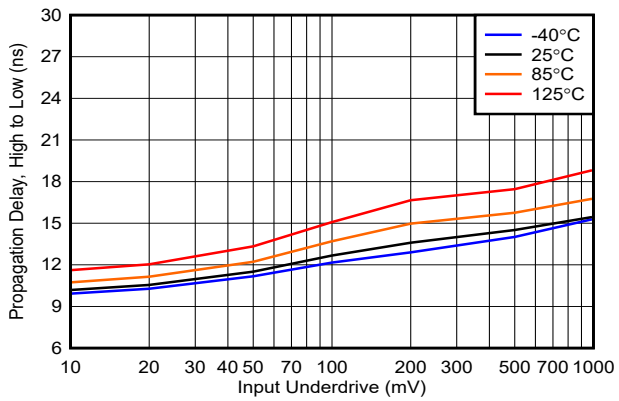


图 5-24. 单通道传播延迟（高电平到低电平）与欠驱动间的关系 (3.3V)

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

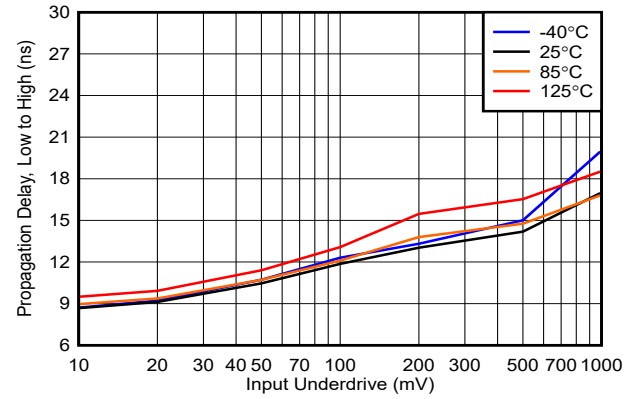


图 5-25. 单通道传播延迟（低电平到高电平）与欠驱动间的关系 (5V)

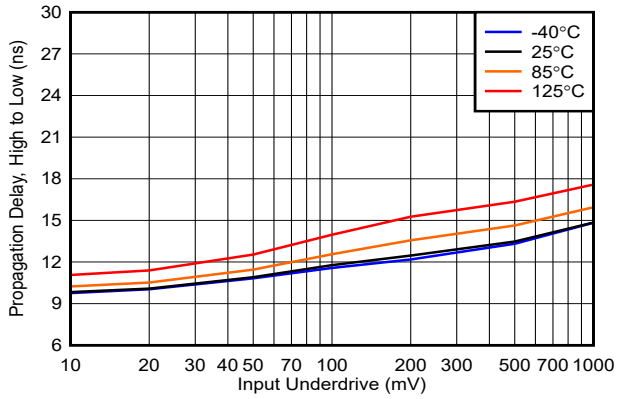


图 5-26. 单通道传播延迟（高电平到低电平）与欠驱动间的关系 (5V)

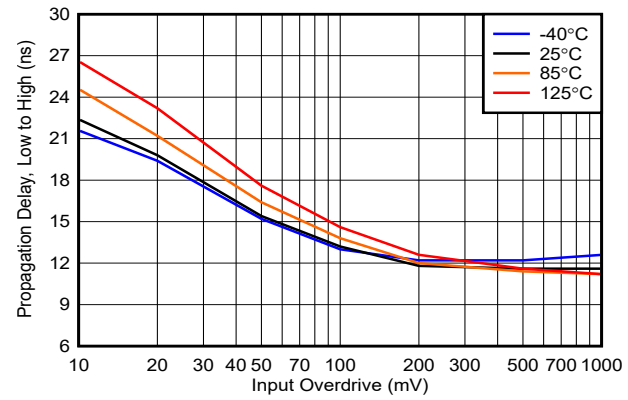


图 5-27. 双通道传播延迟（低电平到高电平）与过驱间的关系 (3.3V)

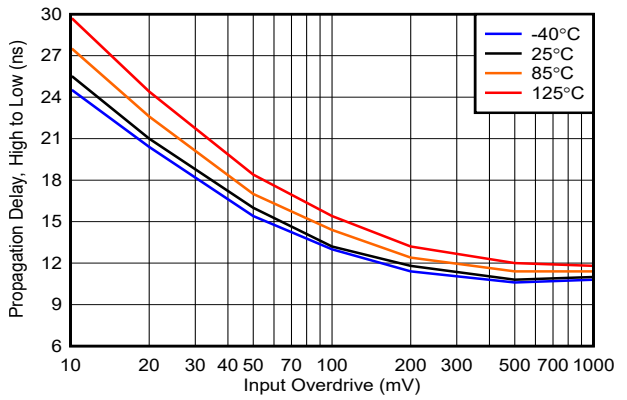


图 5-28. 双通道传播延迟（高电平到低电平）与过驱间的关系 (3.3V)

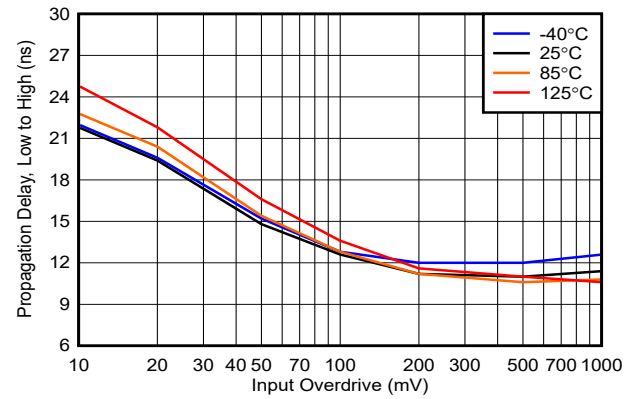


图 5-29. 双通道传播延迟（低电平到高电平）与过驱间的关系 (5V)

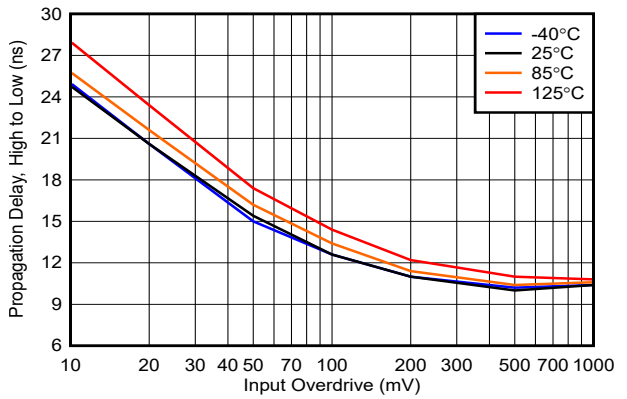


图 5-30. 双通道传播延迟（高电平到低电平）与过驱间的关系 (5V)

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

T_A = 25°C，V_S = 5V，C_L = 15pF，V_{CM} = V_S/2V，$V_{UNDERDRIVE}$ = 50mV，$V_{OVERDRIVE}$ = 50mV（除非另有说明）。

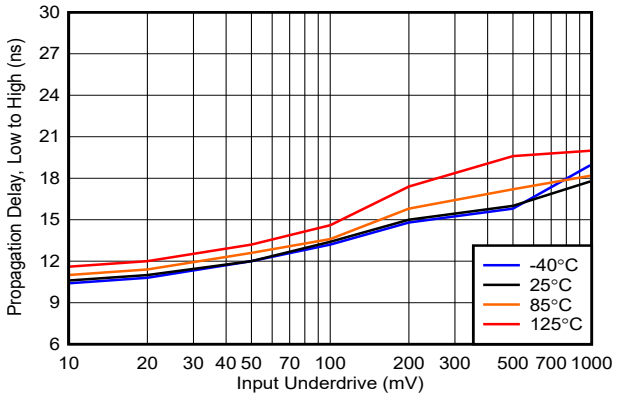


图 5-31. 双通道传播延迟（低电平到高电平）与欠驱动间的关系 (3.3V)

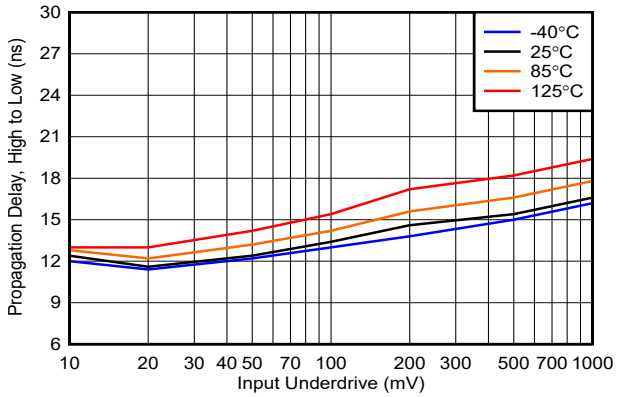


图 5-32. 双通道传播延迟（高电平到低电平）与欠驱动间的关系 (3.3V)

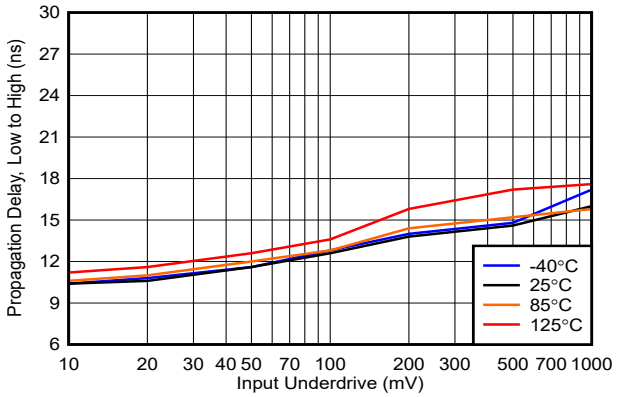


图 5-33. 双通道传播延迟（低电平到高电平）与欠驱动间的关系 (5V)

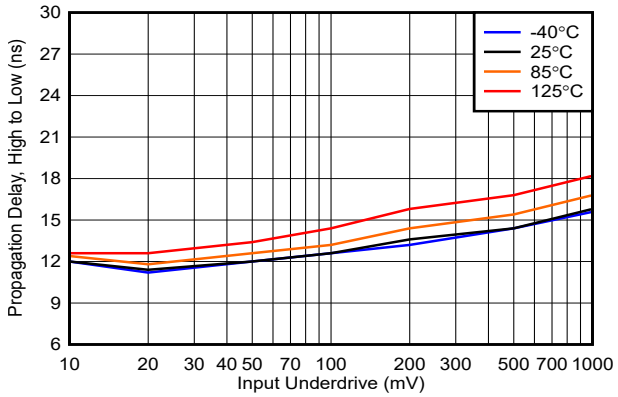


图 5-34. 双通道传播延迟（高电平到低电平）与欠驱动间的关系 (5V)

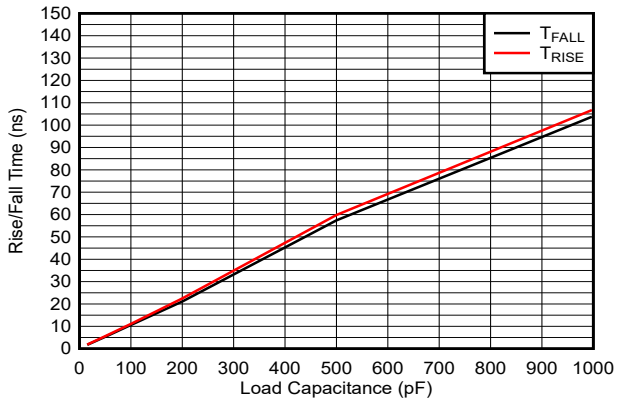


图 5-35. 上升和下降时间与容性负载间的关系

Copyright © 2026 Texas Instruments Incorporated

6 详细说明

6.1 概述

TLV323x 器件是具有推挽输出的高速比较器。

6.2 功能方框图

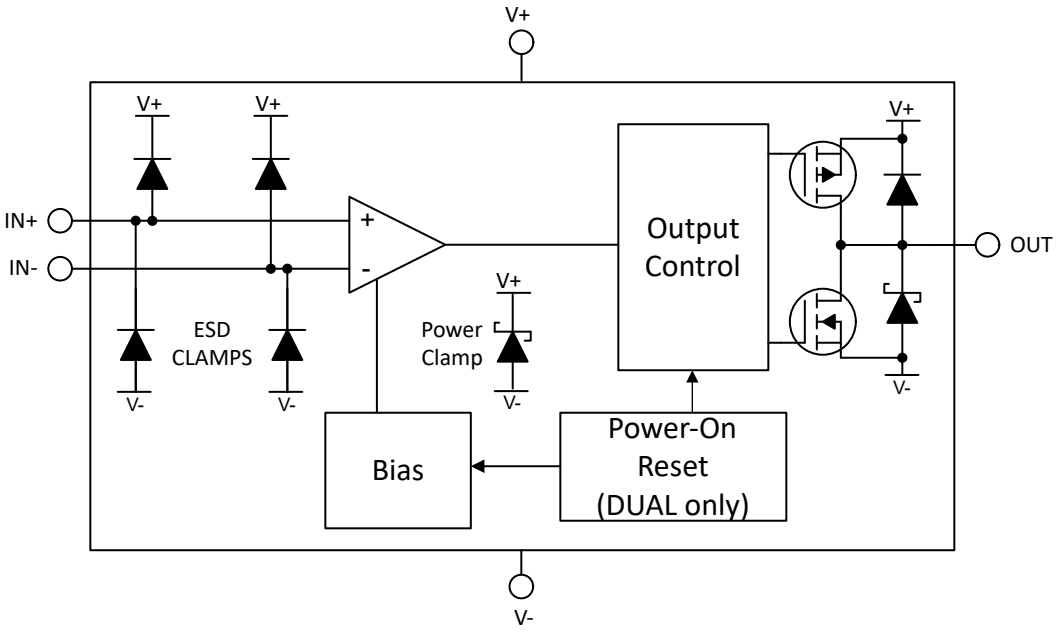


图 6-1. 方框图

6.3 特性说明

TLV323x 每通道消耗 200µA 电流，传播延迟为 20ns。TLV323x 可检测快速电压和电流瞬态，同时以单端推挽输出保持低功耗。

6.4 器件功能模式

6.4.1 輸入

输入包含针对 (V+) 和 (V-) 的内部 ESD 保护电路。输入上的电压限制为比电源轨高 0.3V。

当连接到低阻抗源（例如电源或缓冲参考线），TI 建议添加一个与输入端串联的限流电阻，以便在钳位导通时限制任何瞬态电流。将电流限制为 10mA 或更低。串联电阻的一种表现形式就是任何电阻输入分压器或网络。

6.4.2 内部迟滞

器件迟滞传递曲线如下所示。该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的内部迟滞（或跳变窗口）。

  （TLV323x 系列通常为 1.55mV）

Copyright © 2026 Texas Instruments Incorporated

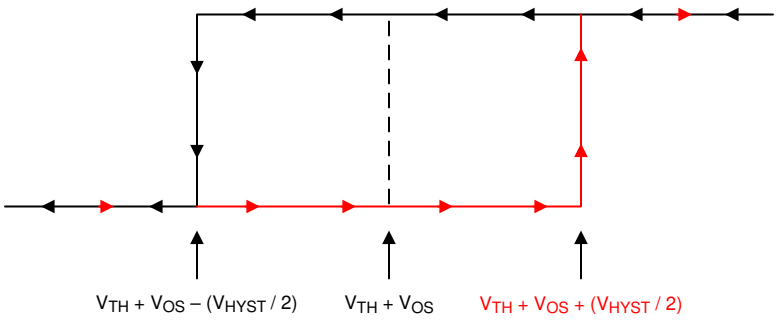


图 6-2. 迟滞传递曲线

6.4.3 输出

TLV323x 具有推挽输出级，既能灌入电流，也能拉出电流。这允许驱动负载（如 LED 和 MOSFET 栅极），并且无需使用耗电的外部上拉电阻器。推挽输出绝不能连接到另一个输出端。

直接将输出与电源轨短接（当输出为“低电平”时为 (V+)，当输出为“高电平”时为 (V-)）会导致热失控，并最终导致器件损坏。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的推挽输出必须保持悬空，绝不能连接到电源、地面或其他输出端。

6.4.4 ESD 保护

输入和输出包含针对 (V+) 和 (V-) 的内部 ESD 保护电路。

输入上的电压限制为比电源轨高 0.3V。如果输入端要连接到低阻抗源（例如电源或缓冲参考线），TI 建议添加一个与输入端串联的限流电阻，以限制钳位应导通的任何瞬态电流。将电流限制为 10mA 或更低。

6.4.5 上电复位 (POR) - 仅双通道

TLV3232 器件具有内部上电复位 (POR) 电路，用于已知的启动或断电条件。当电源电压 (V+) 逐渐上升或逐渐下降时，在超过 2.2V 的 V_{POR} 后，激活 POR 电路并持续长达 2.5µs。当电源电压大于等于最小电源电压时，经过延迟周期后，比较器输出将反映差分输入的状态 (V_{ID})。

对于 TLV3232 器件，输出在 POR 期间 (t_{on}) 保持低电平，如下所示。

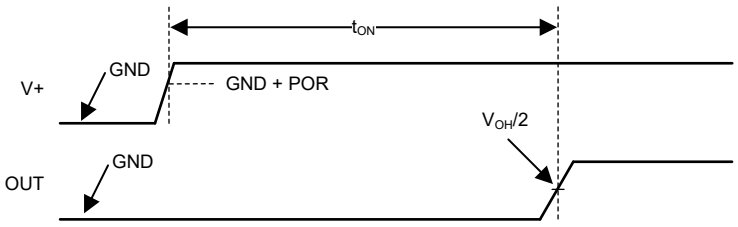


图 6-3. 上电复位时序图

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

7.1.1 基本的比较器定义

7.1.1.1 操作

基本比较器将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 7-1 示例中，如果 V_{IN} 小于 V_{REF}，则输出电压 (V_O) 为逻辑低电平 (V_{OL})。如果 V_{IN} 大于 V_{REF}，则输出电压 (V_O) 为逻辑高电平 (V_{OH})。表 7-1 总结了输出条件。只需交换输入引脚，即可反转输出逻辑。

表 7-1. 输出条件

输入条件	输出
IN+ > IN-	高 (V_{OH})
IN+ = IN-	不确定（抖动 - 请参阅迟滞）
IN+ < IN-	低 (V_{OL})

7.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟，这种延迟称为传播延迟。输入从高电平转换为低电平和从低电平转换为高电平时，传播延迟可能不同。如 图 7-1 中的 t_{pLH} 和 t_{pHL} 所示，从输入的中点到输出的中点进行测量。

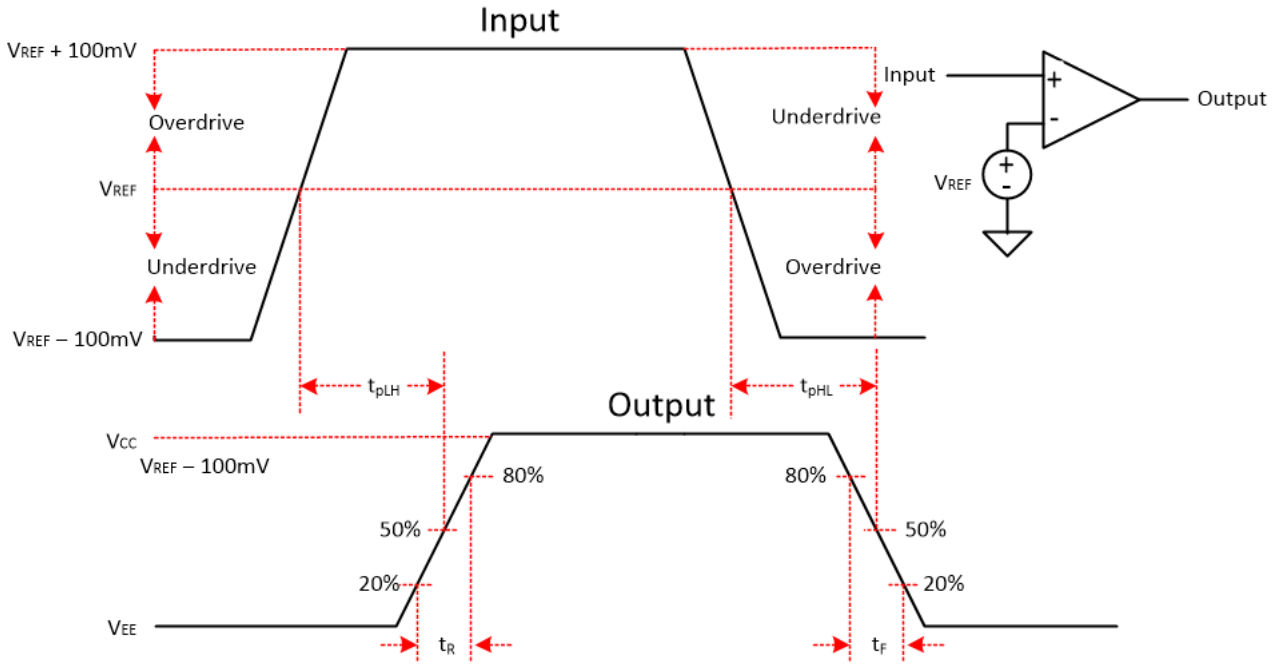


图 7-1. 比较器时序图

Copyright © 2026 Texas Instruments Incorporated

7.1.1.3 过驱电压

过驱电压 V_{OD} 是超出基准电压的输入电压（而不是总输入峰峰值电压）。过驱电压会影响传播延迟 (t_p)。过驱电压越小，传播延迟越长，尤其在 < 100mV 时。如果需要非常快的速度，TI 建议使用尽可能大的过驱电压。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

7.1.2 迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置会产生有噪声的“抖动”输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。向比较器添加外部迟滞可防止出现这个问题。

由于 TLV323x 器件仅具有 1.55mV 的超小内部迟滞，因此可以通过正反馈环路形式施加外部迟滞，从而根据电流输出状态调整比较器的跳变点。

图 7-2 展示了迟滞传递曲线。该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

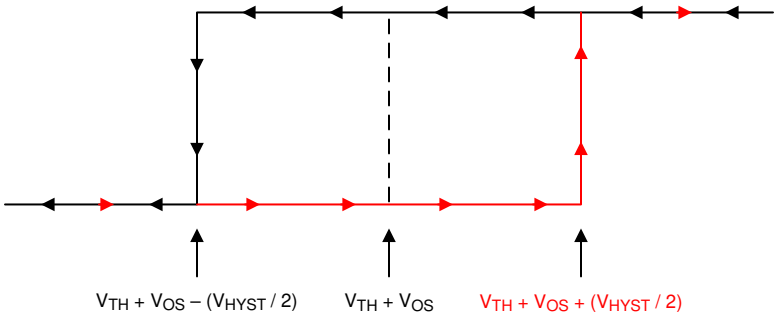


图 7-2. 迟滞传递曲线

更多相关信息，请参阅应用手册 SBOA219“具有/不具有迟滞功能的比较器电路”。

7.1.2.1 具有迟滞功能的反相比较器

具有迟滞功能的反相比较器需要一个以比较器电源电压 (V_{CC}) 为基准的三电阻器网络，如图 7-3 所示。

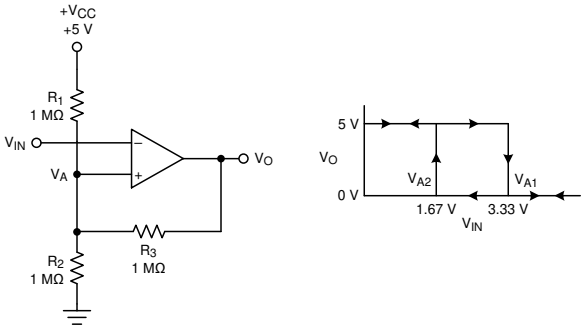


图 7-3. 采用反相配置且具有迟滞功能的 TLV3231

输出为高电平和低电平时的等效电阻器网络如图 7-3 所示。

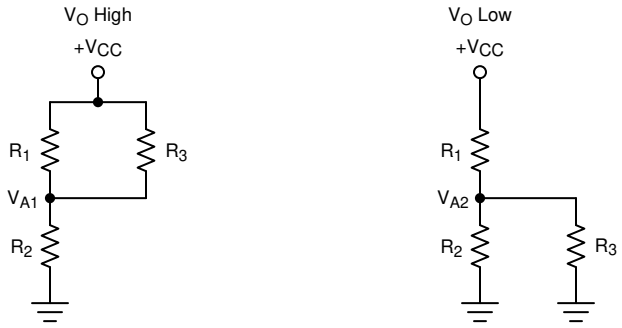


图 7-4. 反相配置电阻器等效网络

当 V_{IN} 小于 V_A 时，输出电压为高电平（为简单起见，假设 V_O 切换至与 V_{CC} 一样高）。三电阻器网络可以表示为 R1 || R3 与 R2 串联，如图 7-4 所示。

下面的方程式 1 定义了从高电平转换到低电平的跳变电压 (V_{A1})。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

当 V_{IN} 大于 V_A 时，输出电压较低。在这种情况下，三电阻器网络可以表示为 R2 || R3 与 R1 串联，如方程式 2 所示。

使用方程式 2 定义从低电平转换到高电平的跳变电压 (V_{A2})。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

方程式 3 定义了网络提供的总迟滞。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

7.1.2.2 具有迟滞功能的同相比较器

具有迟滞功能的同相比较器需要一个双电阻器网络和反相输入端的电压基准 (V_{REF})，如图 7-5 所示。

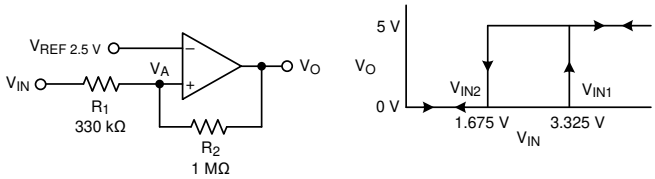


图 7-5. 采用非反相配置、具有迟滞功能的 TLV3231

输出为高电平和低电平时的等效电阻器网络如图 7-6 所示。

Copyright © 2026 Texas Instruments Incorporated

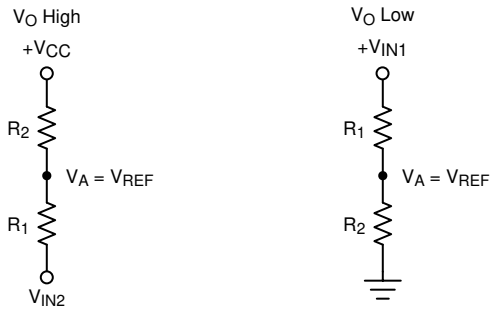


图 7-6. 同相配置电阻器网络

当 V_{IN} 小于 V_{REF} 时，输出为低电平。若要使输出从低电平切换到高电平，V_{IN} 必须高于 V_{IN1} 阈值。请使用方程式 4 来计算 V_{IN1}。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

当 V_{IN} 大于 V_{REF} 时，输出为高电平。若要使比较器切换回低电平状态，V_{IN} 必须降至 V_{IN2} 以下。请使用方程式 5 来计算 V_{IN2}。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

在此电路中，迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，如方程式 6 所示。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

更多相关信息，请参阅应用手册 SNOA997 “具有迟滞功能的反相比较器电路”和 SBOA313 “具有迟滞功能的同相比较器电路”。

7.2 典型应用

7.2.1 低侧电流检测

下图显示了一个使用高速比较器的简单低侧电流检测电路。由于此设计不使用放大器，因此响应时间仅受比较器传播延迟的限制。由于具有更短的响应时间，当速度比精度更重要时，该设计非常适合用于短路检测。当分流电阻器上的电压达到由 R1 和 R2 确定的临界过流阈值时，比较器输出改变状态。

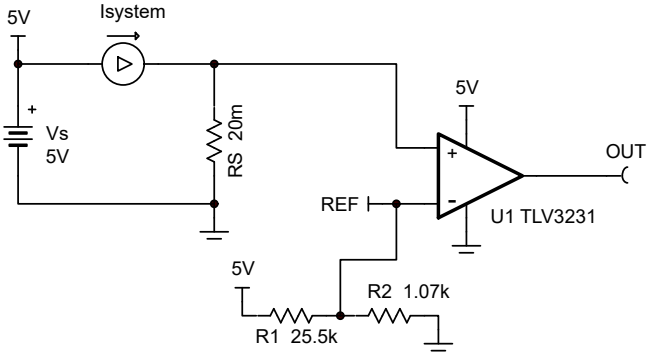


图 7-7. 电流检测

7.2.1.1 设计要求

对于此设计，请遵循以下设计要求：

- 当系统电流 (Isystem) 达到 10A 时，发生警报（过流）事件
- 警报信号 (OUT) 为高电平有效
- 使用 5V 电源供电

7.2.1.2 详细设计过程

为了更大限度地降低分流电阻器 (RS) 上的功率损耗和压降，选择了 20mΩ 值。由于 10A 的过流电平会在 RS 上产生 200mV 的压降，因此计算 R1 和 R2，以便从稳定的 5V 电源电压产生 200mV 的分压器值。如果系统预计将在 10A 最大值附近运行，则可以将迟滞添加到设计中，如具有迟滞功能的同相比较器 中所示。

7.2.1.3 应用曲线

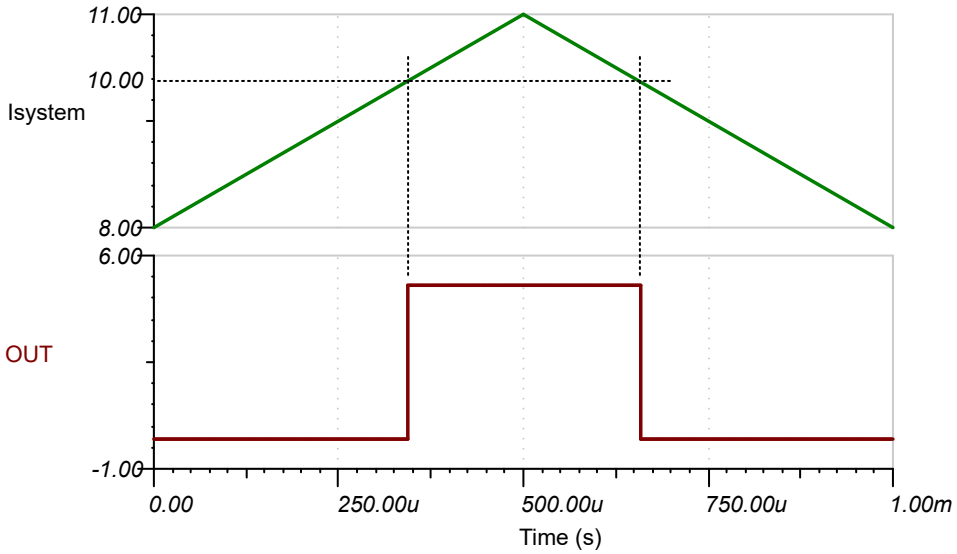


图 7-8. 过流结果

7.3 电源相关建议

由于存在快速输出边沿，需要在电源引脚上安装旁路电容器以防止电源发生振铃和误触发以及振荡。在 (V+) 引脚和接地引脚之间直接放一个低 ESR 0.1µF 陶瓷旁路电容器，直接在每个器件上旁路电源。在输出转换期间会汲取窄脉冲峰值电流，特别是对于推挽输出器件而言。这些窄脉冲会导致电源线未被旁路和不良的接地振铃，可能会导致输入电压范围发生变化并产生不准确的比较，甚至造成振荡。

该器件可由“双”电源（(V+) 和 (V-)）或“单”电源（(V+) 和 GND，GND 连接 (V-) 引脚）供电。对于任一类型，输入信号必须保持在建议的输入范围内。请注意，使用“双”电源时，输出现在将“低电平” (V_{OL}) 摆动到 (V-) 电位而不是摆动到 GND。

7.4 布局

7.4.1 布局指南

精确比较器应用需要稳定的电源，并更大限度减少噪声和干扰。输出上升和下降时间为几十纳秒，必须被视为高速逻辑器件。旁路电容器必须尽可能靠近电源引脚放置并连接到实心接地层，最好直接放在 (V+) 与 GND 引脚之间。

尽量减少输出和输入之间的耦合，以防止输出振荡。除非输出之间存在 (V+) 或 GND 迹线，否则请勿并行布置输出和输入迹线，以减少耦合。向输入端添加串联电阻时，将电阻器放在靠近器件的位置。还可以在输出端串联一

Copyright © 2026 Texas Instruments Incorporated

个低阻值 (<100Ω) 电阻，以抑制非阻抗控制的长迹线上出现任何振铃或反射。为获得理想边缘形状，在进行长距离布线时可以使用带有反向终端的受控阻抗布线。

7.4.2 布局示例

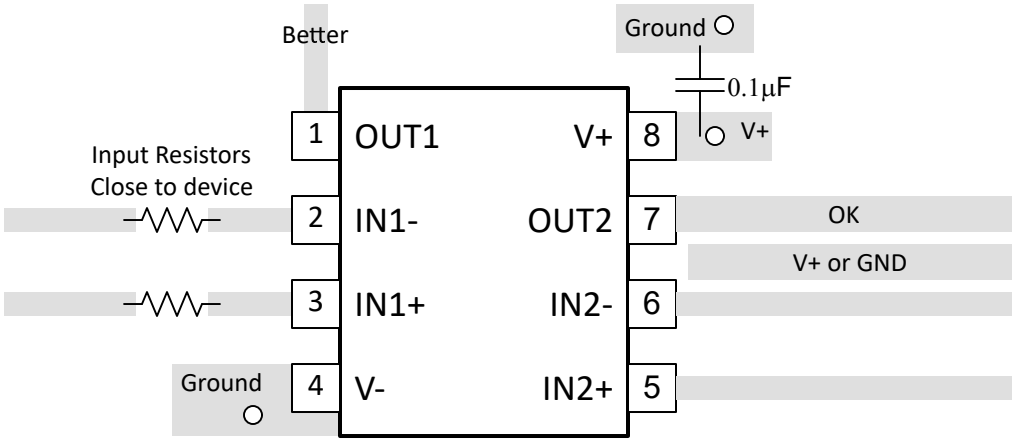


图 7-9. 双通道布局示例

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

模拟工程师电路设计指导手册：放大器（请参阅“比较器”一节）- SLYY137

精密设计，具有迟滞功能的比较器参考设计 - TIDU020

具有/不具有迟滞功能的比较器电路 - SBOA219

具有迟滞功能的反相比较器电路 - SNOA997

具有迟滞功能的同相比较器电路 - SBOA313

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (June 2025) to Revision D (October 2026)	Page
• 更新了表 4-2 中的引脚编号	3

Changes from Revision B (December 2024) to Revision C (June 2025)	Page
• 为双通道选项添加了单独的传播延迟数据	1

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (September 2024) to Revision B (December 2024)	Page
• 通篇发布了双路 TLV3232	1

Changes from Revision * (August 2024) to Revision A (September 2024)	Page
• SOT-23 量产数据发布	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3231DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3HGH
TLV3231DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3HGH
TLV3231DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	1SQ
TLV3231DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT	Level-1-260C-UNLIM	-40 to 125	1SQ
TLV3232DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3MSS
TLV3232DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3MSS
TLV3232DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3232

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3231, TLV3232 :

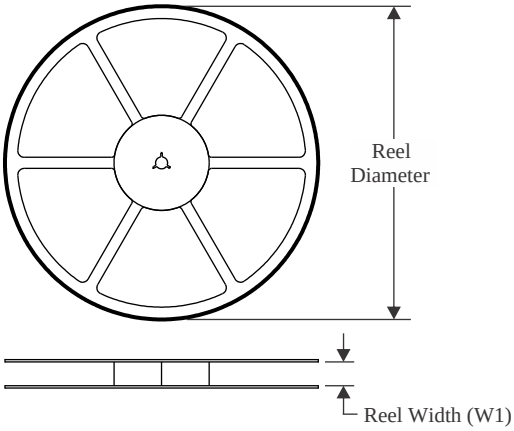
- Automotive : TLV3231-Q1, TLV3232-Q1

NOTE: Qualified Version Definitions:

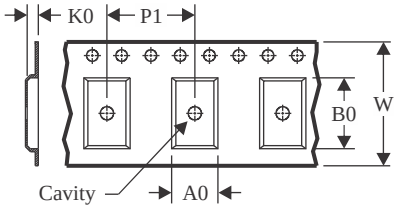
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

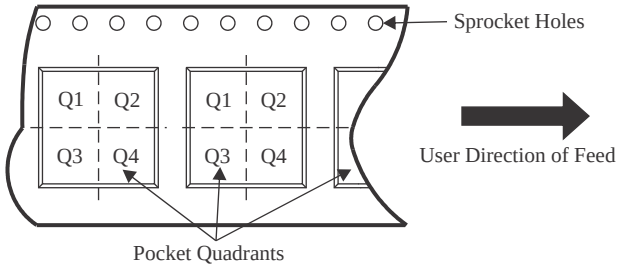


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

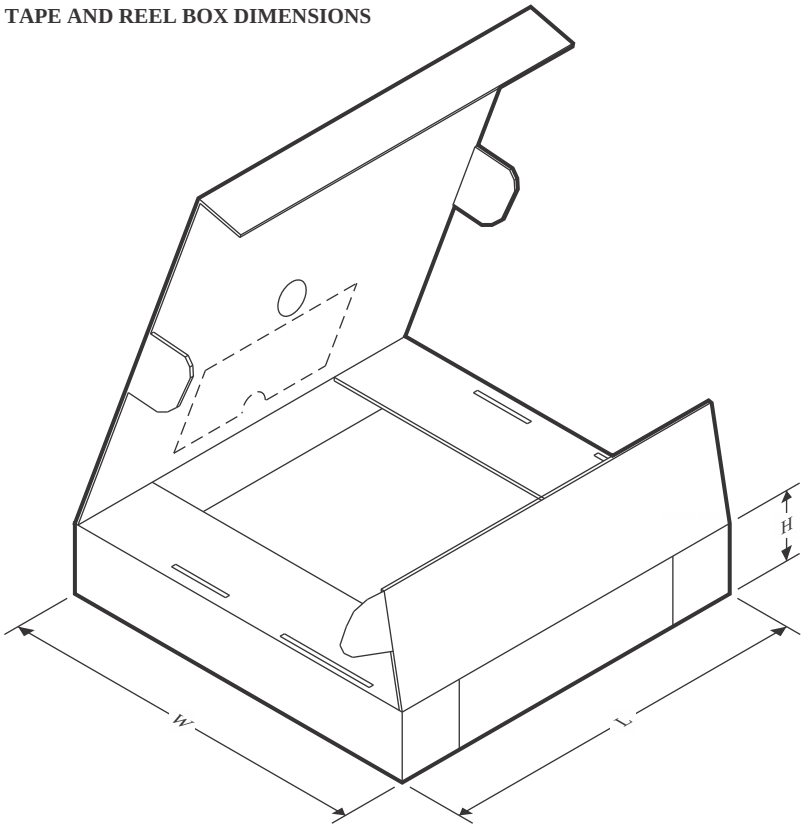
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3231DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3231DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3232DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3232DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

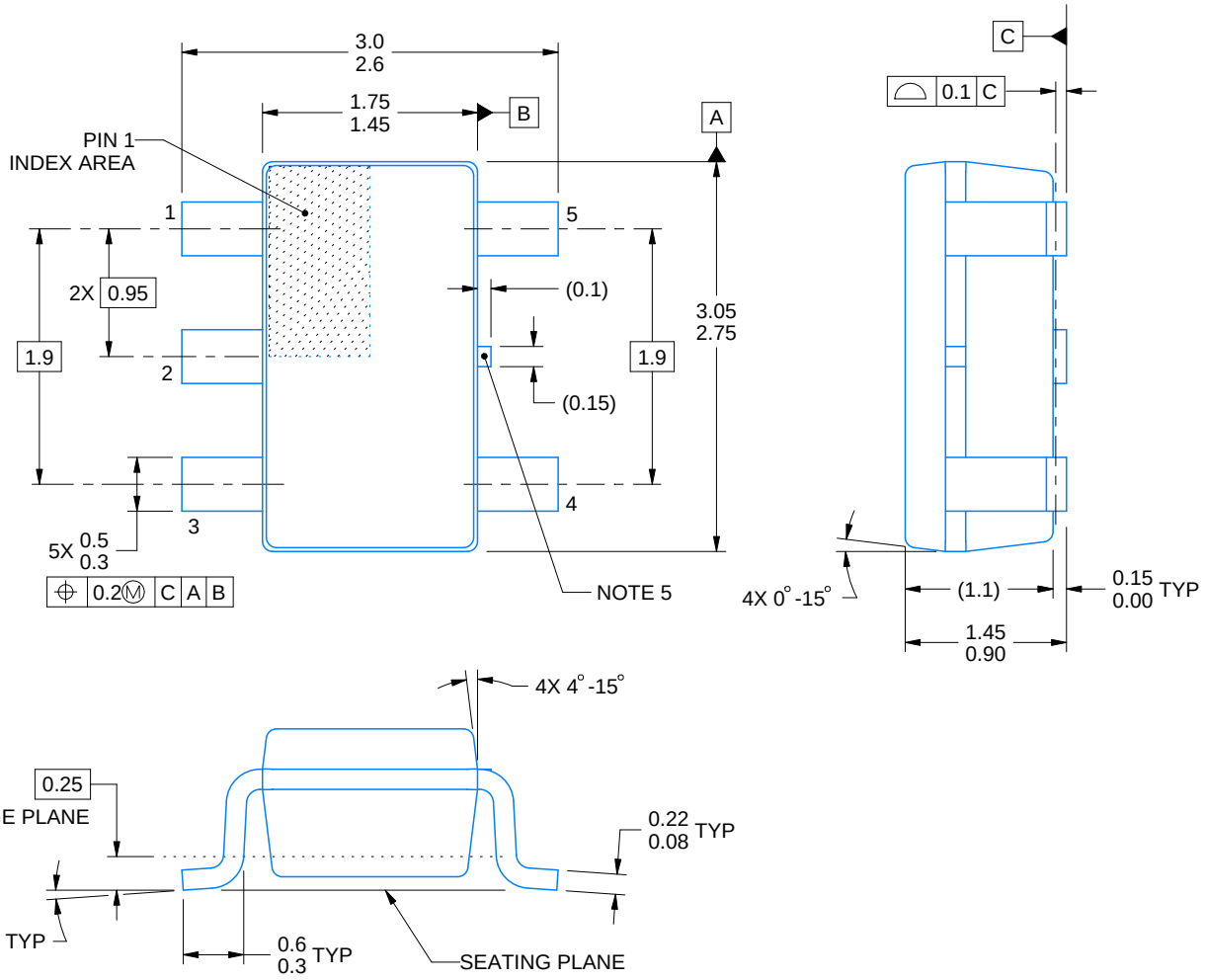
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3231DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3231DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV3232DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV3232DSGR	WSON	DSG	8	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

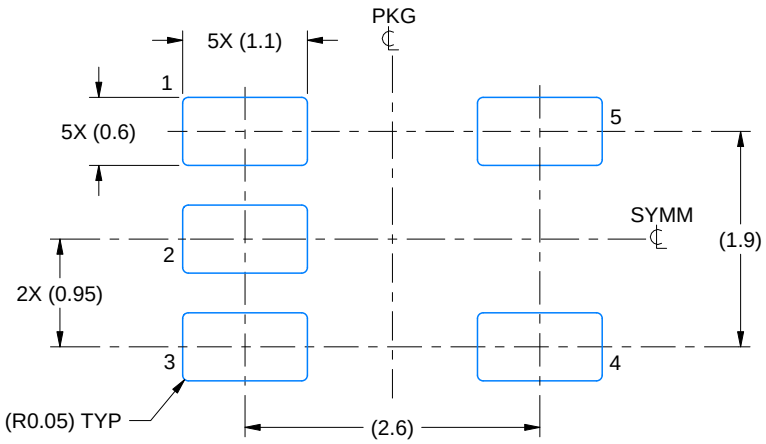
SMALL OUTLINE TRANSISTOR



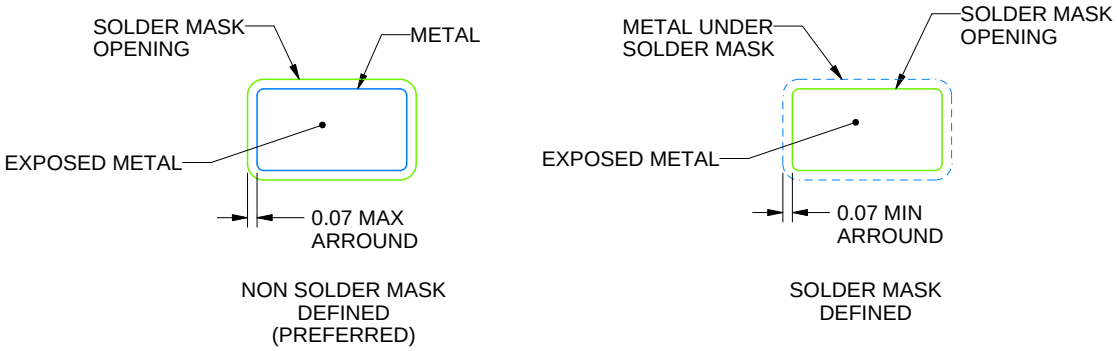
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

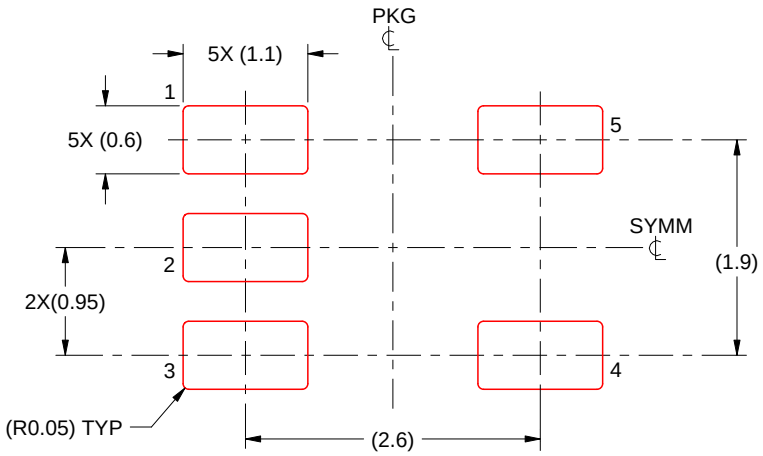


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

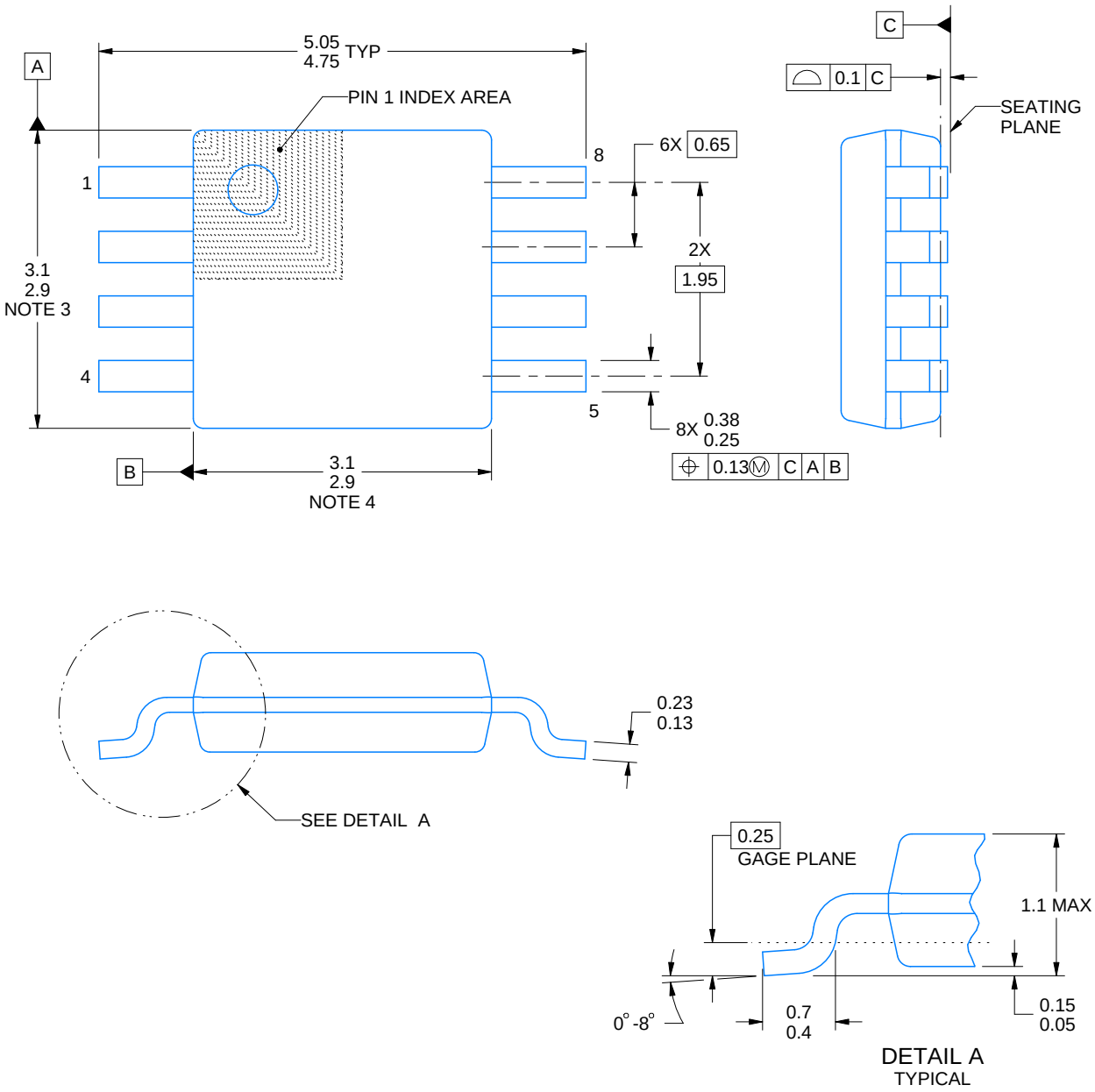
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

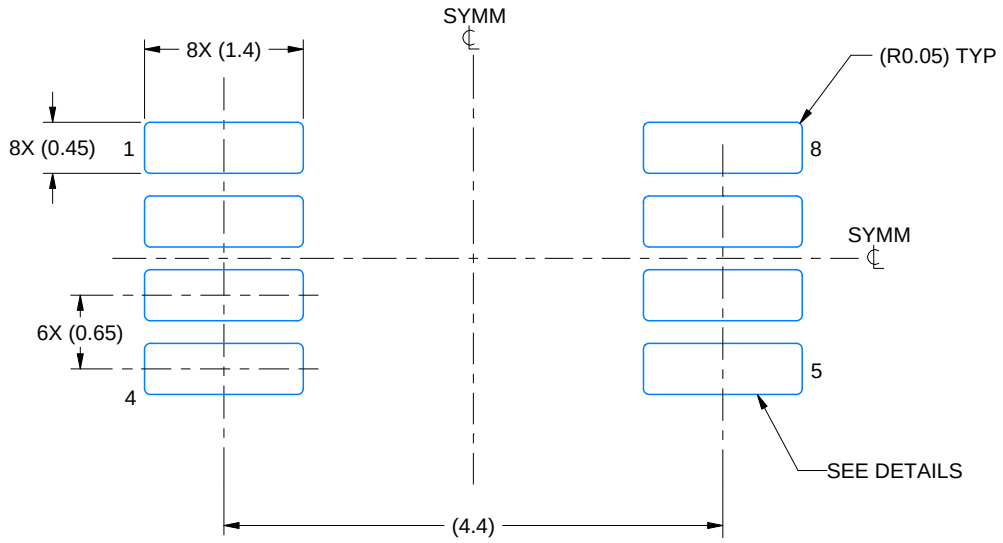
SMALL OUTLINE PACKAGE



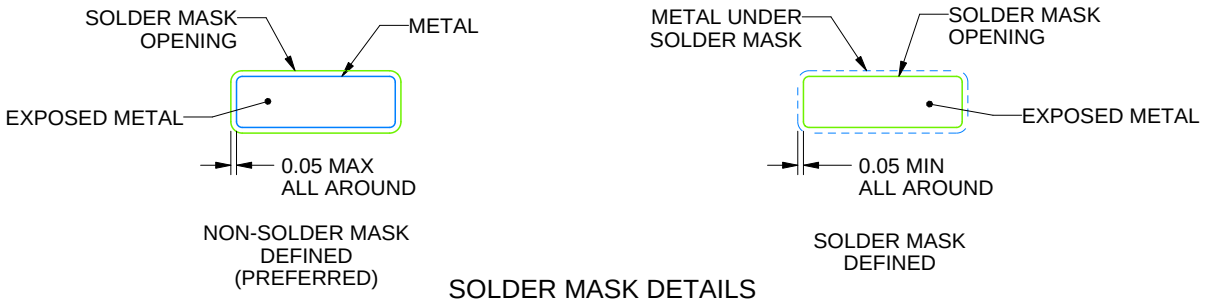
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

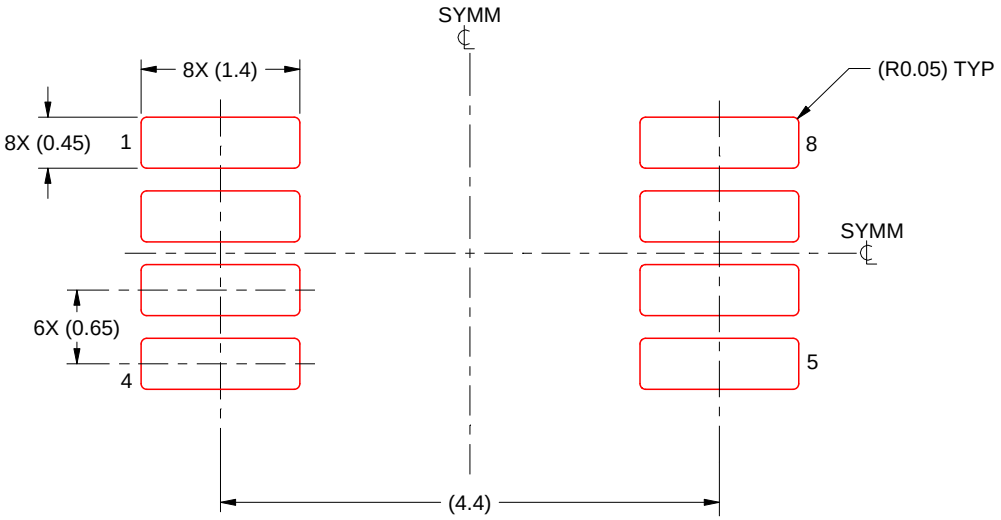


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

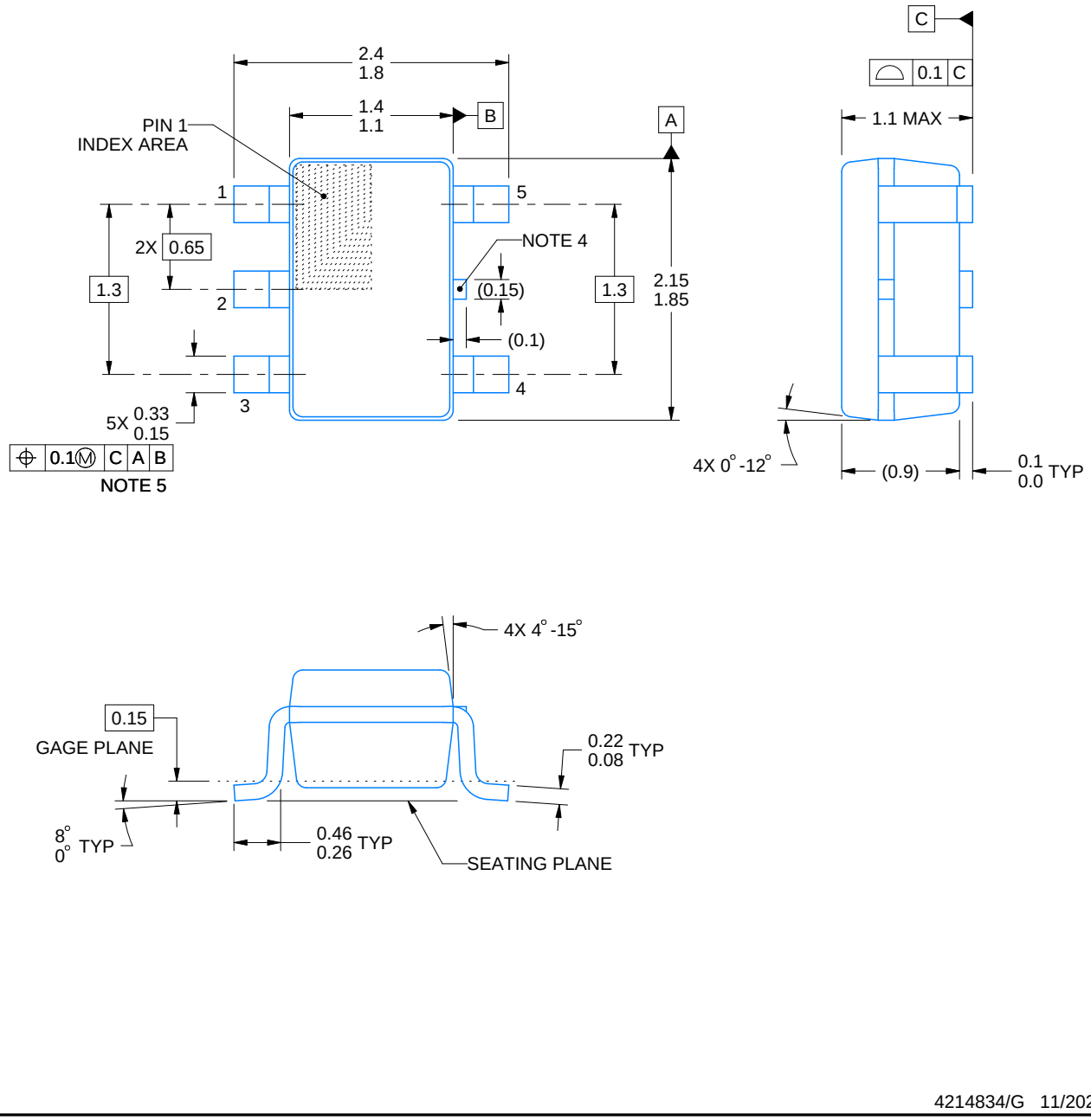
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

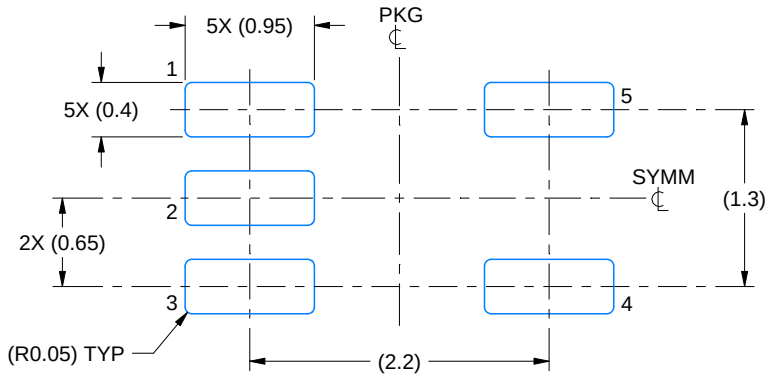
SMALL OUTLINE TRANSISTOR



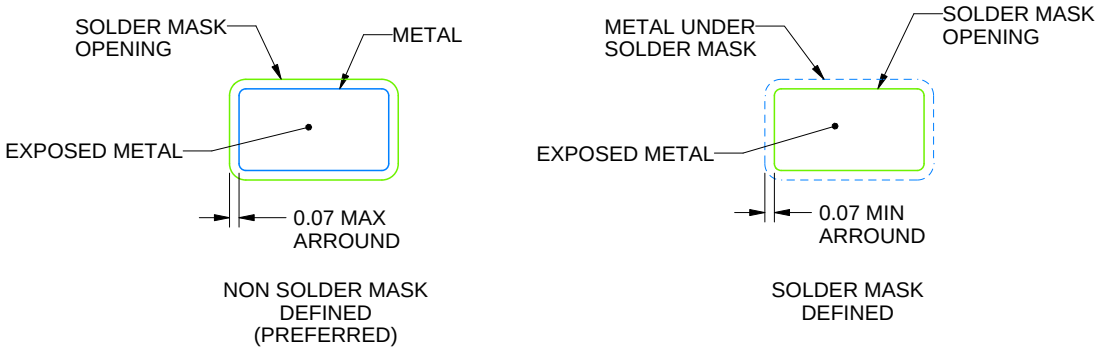
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

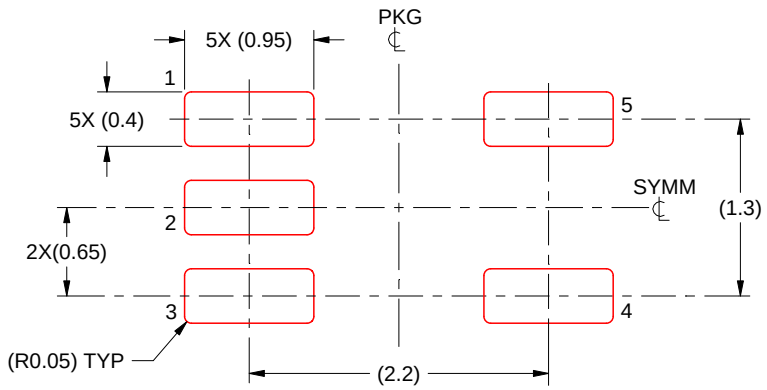


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

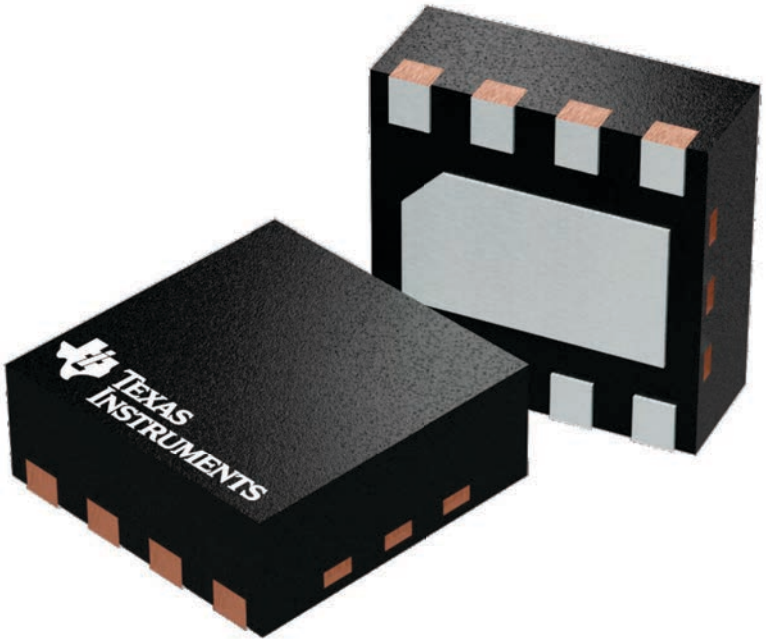
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



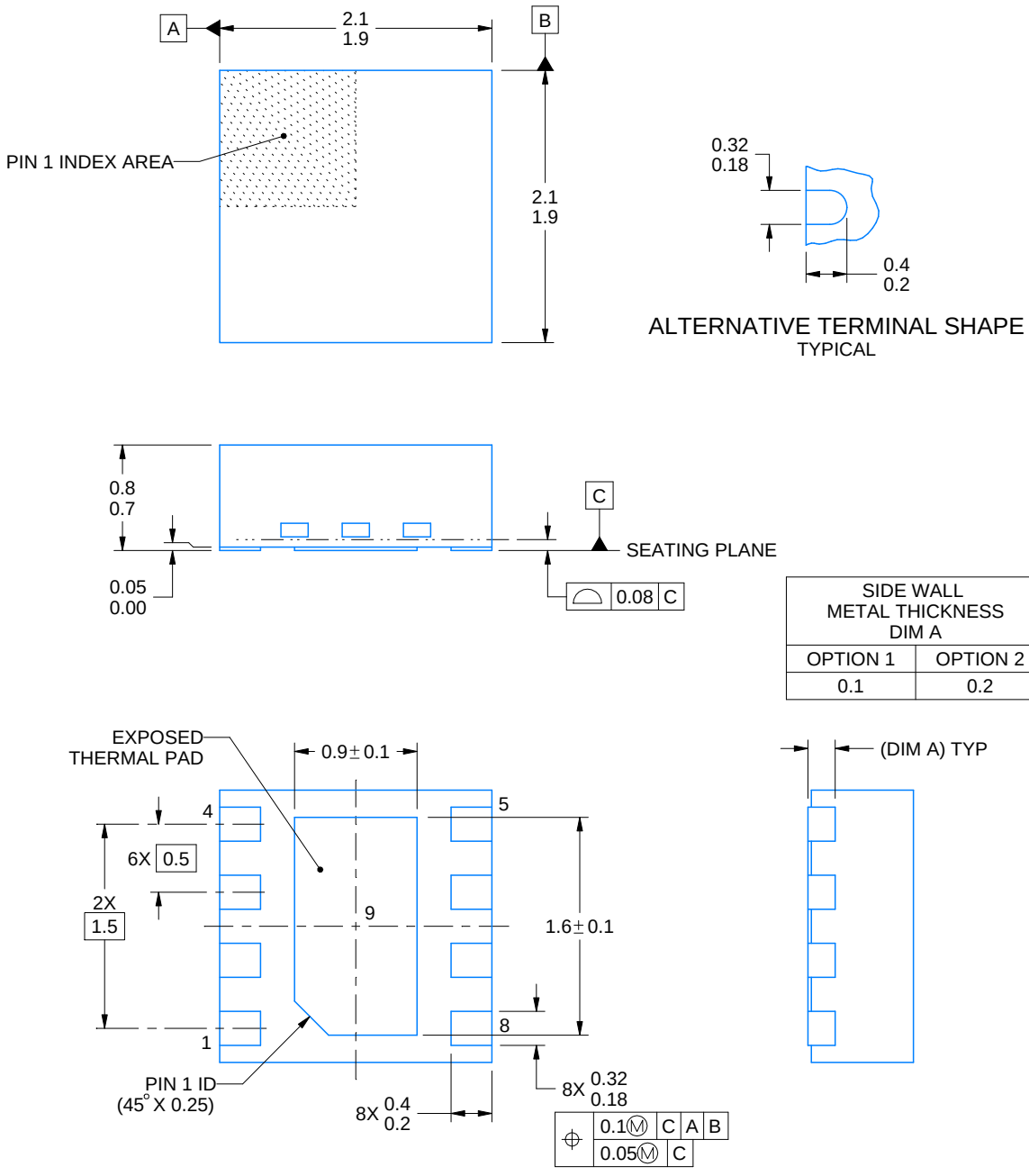
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

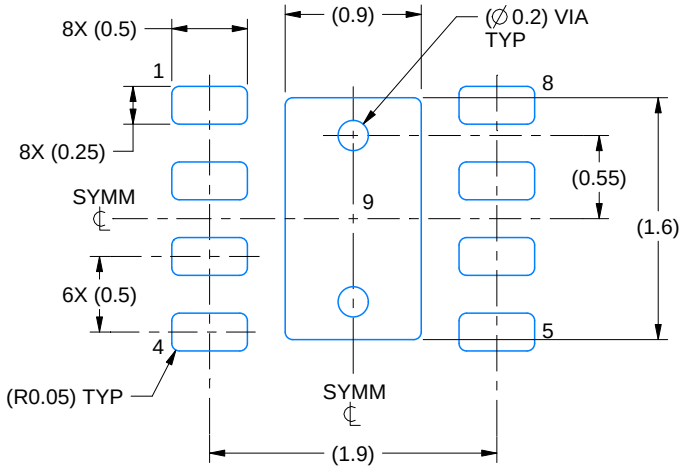
PLASTIC SMALL OUTLINE - NO LEAD



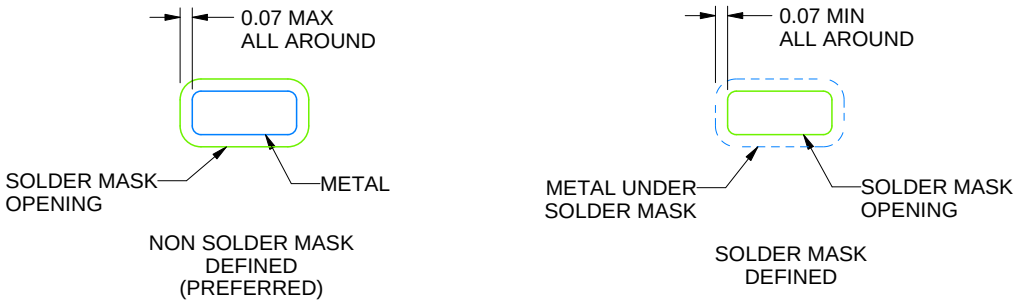
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

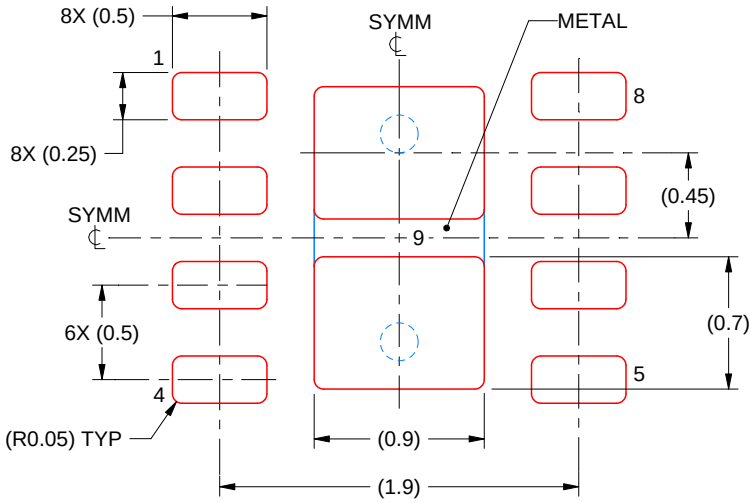


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月