TLV320x 40ns、微功耗、推拉输出比较器

1 特性

- 低传播延迟：40ns
- 低静态电流：
  每通道 40μA
- 输入共模扩展范围超过任一电源轨 200mV
- 低输入失调电压： 1mV
- 推挽输出
- 电源电压范围：2.7V 至 5.5V
- 工业级温度范围：
  -40°C 至 125°C
- 小型封装：
  5 引脚 SC70、5 引脚 SOT-23、8 引脚 SOIC、8 引脚 VSSOP

2 应用

- 检测设备
- 测试和测量
- 高速采样系统
- 电信
- 便携式通信

3 说明

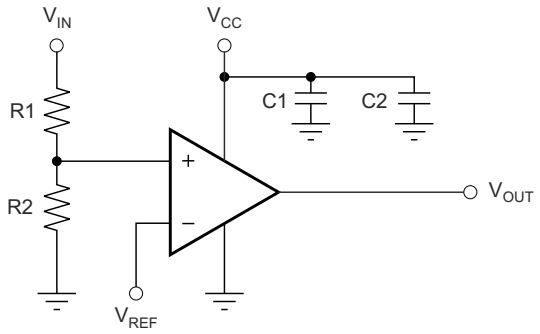
TLV3201 和 TLV3202 是单通道和双通道比较器，能够在极小型封装内提供高速 (40ns) 和低功耗 (40μA) 的出色组合，并具有诸如轨到轨输入、低失调电压 (1mV) 和高输出驱动电流等特性。在对响应时间要求严格的多种应用中也可轻松执行此器件。

TLV320x 系列产品可提供单通道 (TLV3201) 和双通道 (TLV3202) 版本，这两个版本的器件都带有推挽输出。TLV3201 采用 5 引脚 SOT-23 和 5 引脚 SC70 封装。TLV3202 具有 8 引脚 SOIC 和 8 引脚 VSSOP 两种封装型号。所有器件可在 -40°C 至 125°C 的扩展工业温度范围内运行。

器件信息

器件型号	封装 (1)	本体尺寸（标称值） (2)
TLV3201	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
TLV3202	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm × 3.91mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）



Copyright © 2016, Texas Instruments Incorporated

阈值检测器

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较表.....3
5 引脚配置和功能.....3
引脚功能：TLV3201.....3
引脚功能：TLV3202.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....4
6.5 电气特性：V_{CC} = 5V.....5
6.6 开关特性：V_{CC} = 5V.....5
6.7 电气特性：V_{CC} = 2.7V.....7
6.8 开关特性：V_{CC} = 2.7V.....7
6.9 典型特性.....8
7 详细说明.....12
7.1 概述.....12
7.2 功能方框图.....12
7.3 特性说明.....12
7.4 器件功能模式.....12
8 应用和实施.....13
8.1 应用信息.....13
8.2 典型应用.....17
8.3 电源相关建议.....19
8.4 布局.....19
9 器件和文档支持.....21
9.1 器件支持.....21
9.2 文档支持.....21
9.3 接收文档更新通知.....21
9.4 支持资源.....22
9.5 商标.....22
9.6 静电放电警告.....22
9.7 术语表.....22
10 修订历史记录.....23
11 机械、封装和可订购信息.....23

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

器件	说明
TLV3011	采用 1.5mm× 1.5mm 微型封装并具有集成电压基准的 5μA（最大值）开漏、1.8V 至 5.5V 比较器
TLV3012	采用微型封装并具有集成电压基准的 5μA（最大值）推挽、1.8V 至 5.5V 比较器
TLV3501	采用微型封装的 4.5ns、轨到轨、推挽比较器
LMV7235	具有开漏输出的 75ns、65μA、2.7V 至 5.5V、轨到轨输入比较器
REF3333	30ppm/°C 温漂、3.9μA、SOT23-3、SC70-3 电压基准

5 引脚配置和功能

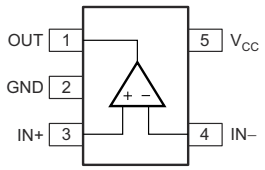


图 5-1. TLV3201 DCK 和 DBV 封装 5 引脚 SC70-5 和 SOT-23 顶视图

引脚功能：TLV3201

引脚		I/O	说明
名称	编号		
GND	2	—	负电源，接地
IN –	4	I	负输入
IN+	3	I	正输入
OUT	1	O	输出
V_{CC}	5	—	正电源

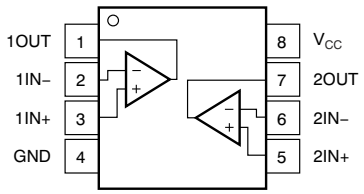


图 5-2. TLV3202 D 和 DGK 封装 8 引脚 SOIC 和 VSSOP 顶视图

引脚功能：TLV3202

引脚		I/O	说明
名称	编号		
1IN –	2	I	负输入引脚，比较器 1
1IN+	3	I	正输入引脚，比较器 1
1OUT	1	O	输出引脚，比较器 1
2IN –	6	I	负输入引脚，比较器 2
2IN+	5	I	正输入引脚，比较器 2
2OUT	7	O	输出引脚，比较器 2
GND	4	—	负电源，接地
V_{CC}	8	—	正电源

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电压	电源电压		7	V
	信号输入引脚(2)	-0.5	(V_{CC}) + 0.5	
电流	信号输入引脚(2)	-10	10	mA
	输出短路(3)		100	
温度	工作温度	-55	125	°C
	结温，T_J		150	
	贮存温度，T_{stg}	-65	150	

(1) 应力超出*绝对最大额定值*下列出的值可能会对器件造成永久损坏。这些仅仅是应力额定值，并不意味着器件在这些条件或超出*节 6.3*下的任何其它条件下能够正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或更低。
(3) 接地短路。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)		±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	TLV3201	±2000	
		TLV3202	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，V_S = (V_{S+}) – (V_{S-})	2.7 (±1.35)	5.5 (±2.75)	V
	额定温度	-40	125	°C

6.4 热性能信息

热指标(1)		TLV3201		TLV3202		单位
		DBV (SOT-23)	DCK (SC70)	D (SOIC)	DGK (VSSOP)	
		5 引脚	5 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	237.8	281.9	143.6	201.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	108.7	97.6	97.2	92.5	°C/W
$R_{\theta JB}$	结至电路板热阻	64.1	68.3	84.2	123.3	°C/W
ψ_{JT}	结至顶部特征参数	12.1	2.6	45.5	23.0	°C/W
ψ_{JB}	结至电路板特征参数	63.3	67.3	83.7	212.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性：V_{CC} = 5V

在 T_A 25°C 且 V_{CC} = 5V 时测得（除非额外注明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
$V_{IO-TLV3201}$	输入失调电压 TLV3201	V_{CM} = V_{CC} / 2		1	3	mV
		T_A = -40°C 至 125°C			4	
$V_{IO-TLV3202}$	输入失调电压 TLV3202	V_{CM} = V_{CC} / 2		1	5	mV
		T_A = -40°C 至 125°C			6	
dV_{OS}/dT	输入失调电压温漂	T_A = -40°C 至 125°C		1	10	µV/°C
PSRR	电源抑制比	V_{CM} = V_{CC} / 2，V_{CC} = 2.5V 至 5.5V	65	85		dB
	输入迟滞			1.2		mV
输入偏置电流						
I_{IB}	输入偏置电流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = -40°C 至 125°C			5	nA
I_{IO}	输入失调电流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = -40°C 至 125°C			2.5	nA
输入电压范围						
V_{CM}	共模电压	T_A = -40°C 至 125°C	(V_{EE}) – 0.2		(V_{CC}) + 0.2	V
CMRR	共模抑制比	-0.2V < V_{CM} < 5.2V	60	70		dB
输入阻抗						
	共模			10^{13} || 2		Ω ||pF
	差分			10^{13} || 4		Ω ||pF
输出						
V_{OL}	相对于较低电源轨的电压输出摆幅	I_{SINK} = 4mA		175	190	mV
		T_A = -40°C 至 125°C			225	
V_{OH}	相对于较高电源轨的电压输出摆幅	I_{SOURCE} = 4mA		120	140	mV
		T_A = -40°C 至 125°C			170	
I_{SC}	短路电流（每个比较器）	I_{SC} 灌电流	40	48		mA
		T_A = -40°C 至 125°C	请参阅图 6-14			
		I_{SC} 拉电流	52	60		
		T_A = -40°C 至 125°C	请参阅图 6-14			
电源						
V_{CC}	额定电压		2.7		5.5	V
I_Q	静态电流	T_A = 25°C		40	50	µA
		T_A = -40°C 至 125°C			65	

6.6 开关特性：V_{CC} = 5V

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
t_{PD}	传播延迟时间	从低电平到高电平	输入过驱 = 20mV，C_L = 15pF		47	50	ns
			输入过驱 = 100mV，C_L = 15pF		43	50	
			T_A = -40°C 至 125°C			55	
		从高电平到低电平	输入过驱 = 20mV，C_L = 15pF		45	50	
			输入过驱 = 100mV，C_L = 15pF		42	50	
			T_A = -40°C 至 125°C			55	
	传播延迟偏斜	输入过驱 = 20mV，C_L = 15pF			2		ns
t_R	上升时间	10% 至 90%			2.9		ns

Copyright © 2024 Texas Instruments Incorporated

6.6 开关特性：V_{CC} = 5V （续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_F	下降时间	10% 至 90%		3.7		ns

Copyright © 2024 Texas Instruments Incorporated

6.7 电气特性：V_{CC} = 2.7V

在 T_A 25°C 且 V_{CC} = 2.7V 时测得（除非额外注明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
$V_{IO-TLV3201}$	输入失调电压 TLV3201	V_{CM} = V_{CC} / 2		1	3	mV
		T_A = -40°C 至 125°C			4	
$V_{IO-TLV3202}$	输入失调电压 TLV3202	V_{CM} = V_{CC} / 2		1	5	mV
		T_A = -40°C 至 125°C			6	
dV_{OS}/dT	输入失调电压温漂	T_A = -40°C 至 125°C		1	10	µV/°C
PSRR	电源抑制比	V_{CM} = V_{CC} / 2，V_{CC} = 2.5V 至 5.5V	65	85		dB
	输入迟滞			1.2		mV
输入偏置电流						
I_{IB}	输入偏置电流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = -40°C 至 125°C			5	nA
I_{IO}	输入失调电流	V_{CM} = V_{CC} / 2		1	50	pA
		T_A = -40°C 至 125°C			2.5	nA
输入电压范围						
V_{CM}	共模电压	T_A = -40°C 至 125°C	(V_{EE}) – 0.2		(V_{CC}) + 0.2	V
CMRR	共模抑制比	-0.2V < V_{CM} < 2.9V	56	68		dB
输入阻抗						
	共模			10^{13} || 2		Ω ||pF
	差分			10^{13} || 4		Ω ||pF
输出						
V_{OL}	相对于较低电源轨的电压输出摆幅	I_{SINK} = 4mA		230	260	mV
		T_A = -40°C 至 125°C			325	
V_{OH}	相对于较高电源轨的电压输出摆幅	I_{SOURCE} = 4mA		210	250	mV
		T_A = -40°C 至 125°C			350	
I_{SC}	短路电流（每个比较器）	I_{SC} 灌电流	13	19		mA
		T_A = -40°C 至 125°C	请参阅图 6-14			
		I_{SC} 拉电流	15	21		
		T_A = -40°C 至 125°C	请参阅图 6-14			
电源						
V_{CC}	额定电压		2.7		5.5	V
I_Q	静态电流	T_A = 25°C		36	46	µA
		T_A = -40°C 至 125°C			60	

6.8 开关特性：V_{CC} = 2.7V

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
t_{PD}	传播延迟时间	从低电平到高电平	输入过驱 = 20mV，C_L = 15pF		47	50	ns
			输入过驱 = 100mV，C_L = 15pF		42	50	
			T_A = -40°C 至 125°C			55	
		从高电平到低电平	输入过驱 = 20mV，C_L = 15pF		40	50	
			输入过驱 = 100mV，C_L = 15pF		38	50	
			T_A = -40°C 至 125°C			55	
	传播延迟偏斜	输入过驱 = 20mV，C_L = 15pF			2		ns
t_R	上升时间	10% 至 90%			4.8		ns
t_F	下降时间	10% 至 90%			5.2		ns

Copyright © 2024 Texas Instruments Incorporated

6.9 典型特性

T_A = 25°C、V_{CC} = 5V 且输入过驱 (V_{OD}) = 20mV 时（除非另有说明）

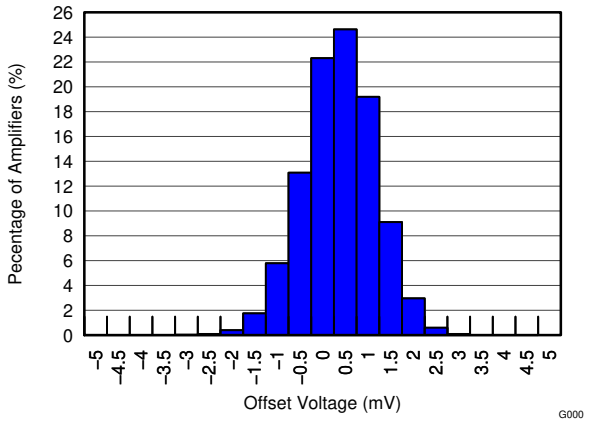


图 6-1. 失调电压分布图

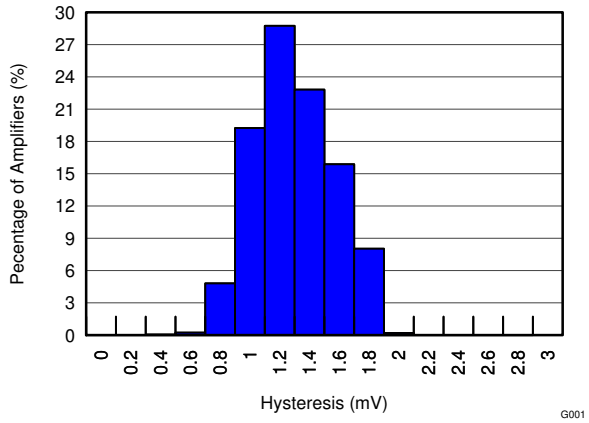


图 6-2. 迟滞分布图

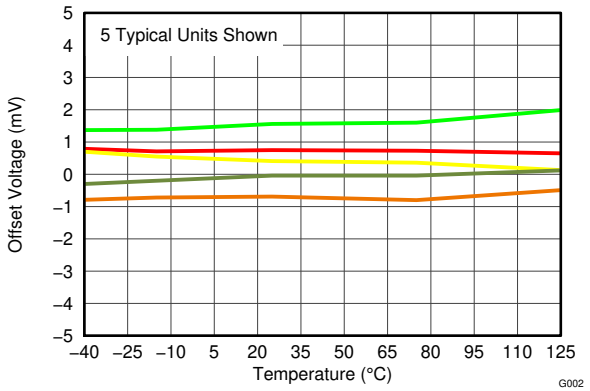


图 6-3. 失调电压与温度间的关系

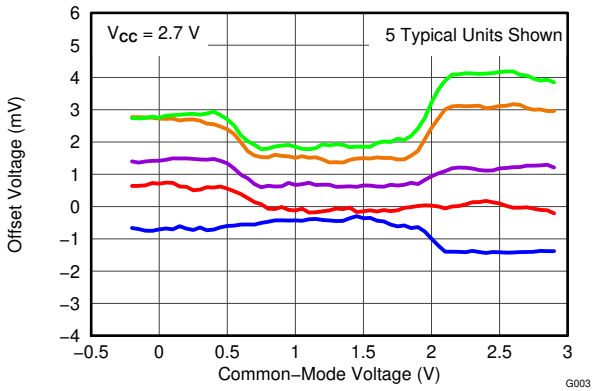


图 6-4. 失调电压与共模电压间的关系

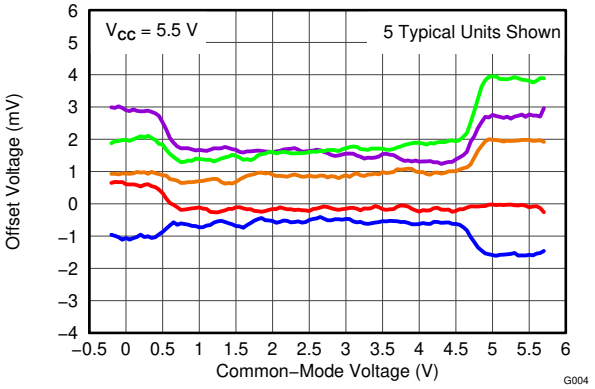


图 6-5. 失调电压与共模电压间的关系

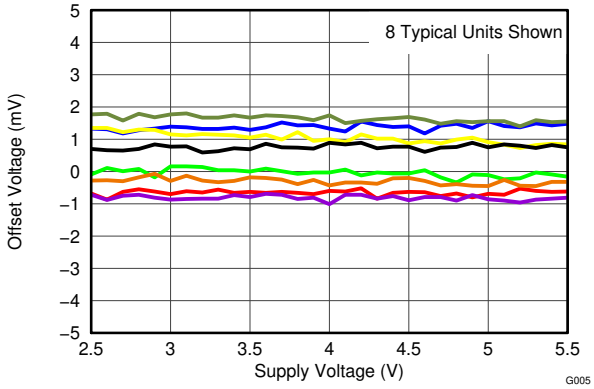


图 6-6. 失调电压与电源间的关系

Copyright © 2024 Texas Instruments Incorporated

6.9 典型特性（续）

T_A = 25°C、V_{CC} = 5V 且输入过驱 (V_{OD}) = 20mV 时（除非另有说明）

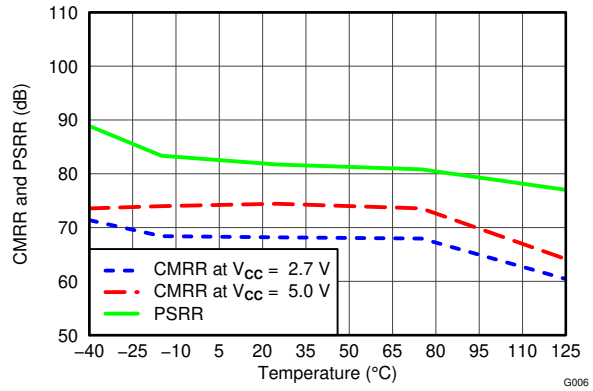


图 6-7. 共模抑制比和电源抑制比与温度间的关系

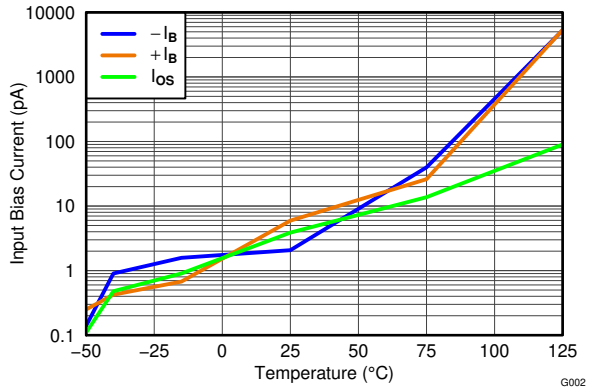


图 6-8. 输入偏置电流和输入失调电流与温度间的关系

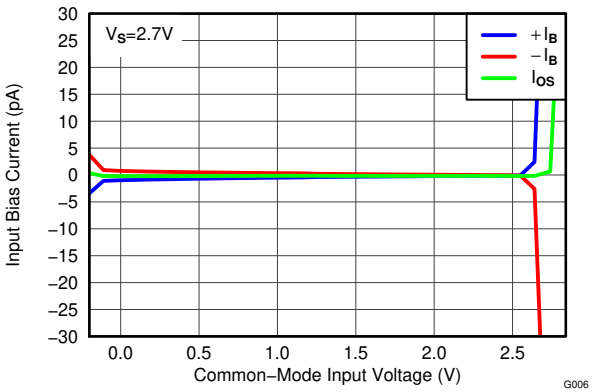


图 6-9. 输入偏置电流和输入失调电流与共模输入电压间的关系

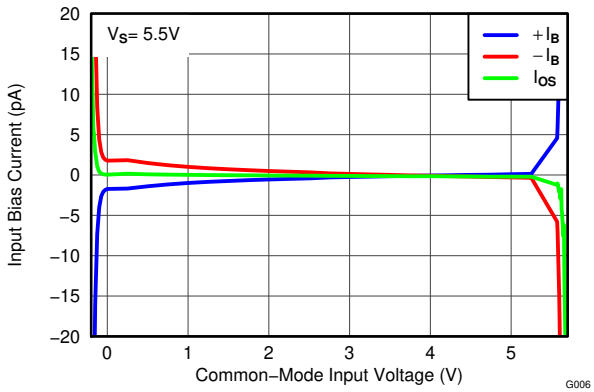


图 6-10. 输入偏置电流和输入失调电流与共模输入电压间的关系

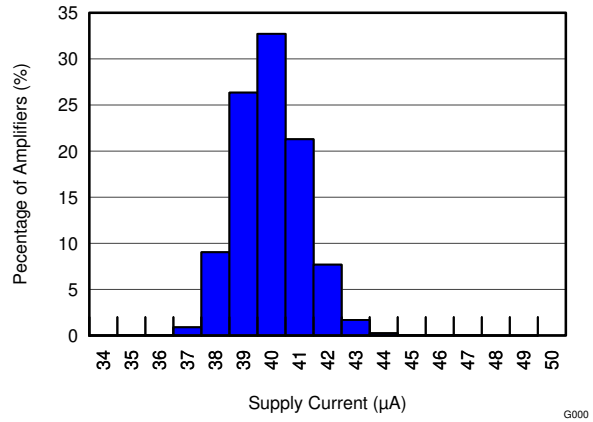


图 6-11. 静态电流分布

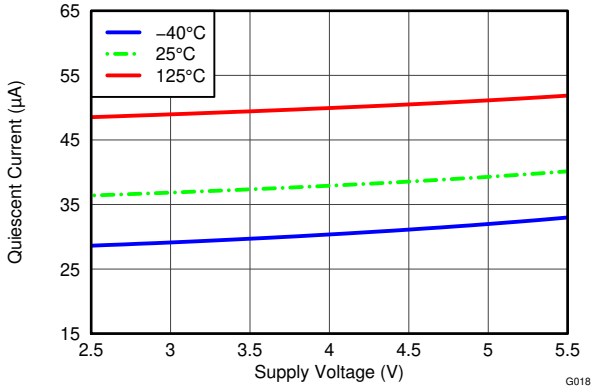


图 6-12. 静态电流与电源电压间的关系

Copyright © 2024 Texas Instruments Incorporated

6.9 典型特性（续）

T_A = 25°C、V_{CC} = 5V 且输入过驱 (V_{OD}) = 20mV 时（除非另有说明）

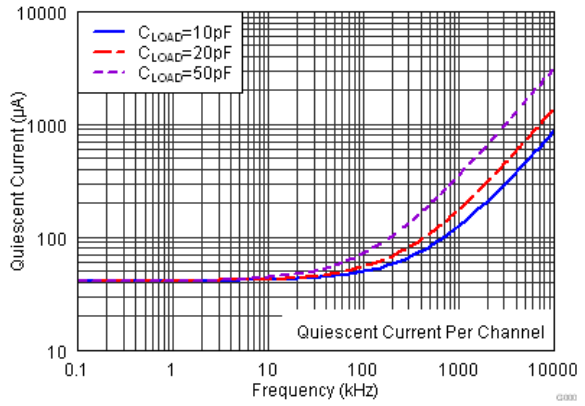


图 6-13. 静态电流与开关频率间的关系

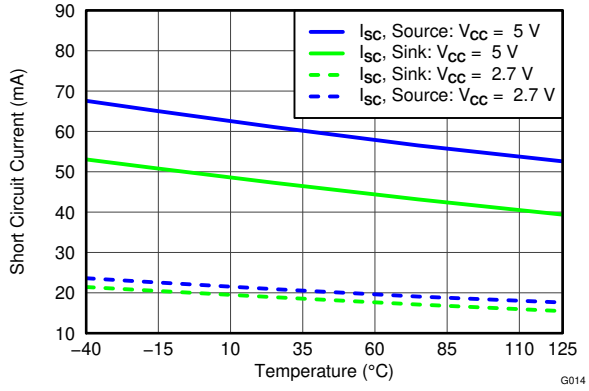


图 6-14. 短路电流与温度间的关系

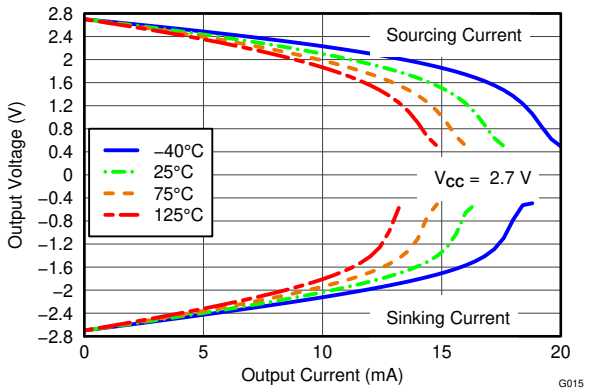


图 6-15. 输出电压与输出电流间的关系

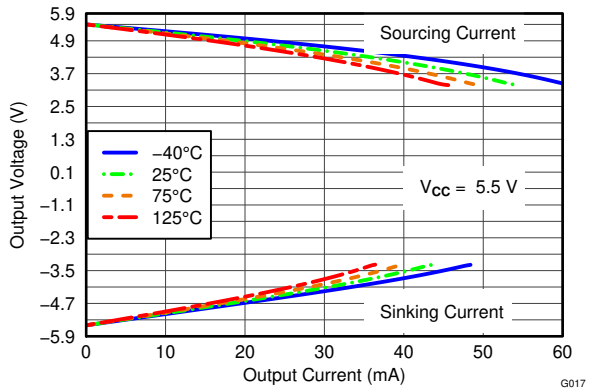


图 6-16. 输出电压与输出电流间的关系

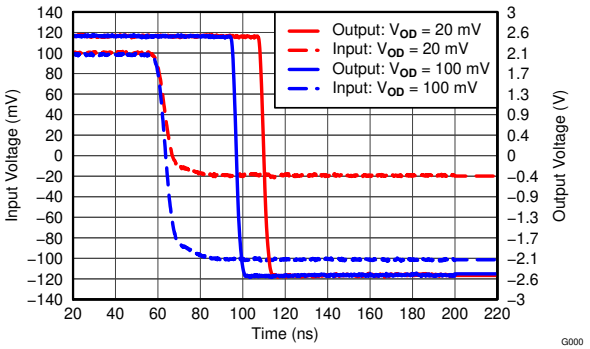


图 6-17. 传播延迟下降沿

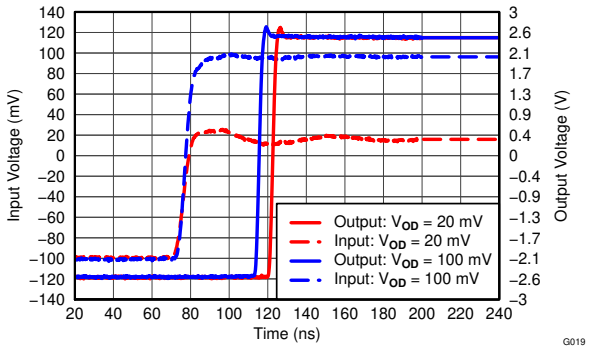


图 6-18. 传播延迟上升沿

Copyright © 2024 Texas Instruments Incorporated

6.9 典型特性（续）

T_A = 25°C、V_{CC} = 5V 且输入过驱 (V_{OD}) = 20mV 时（除非另有说明）

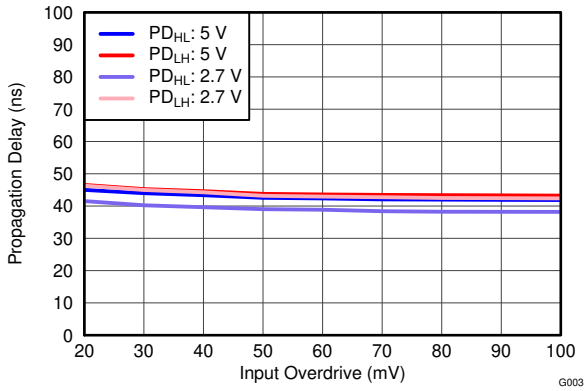


图 6-19. 传播延迟与输入过驱间的关系

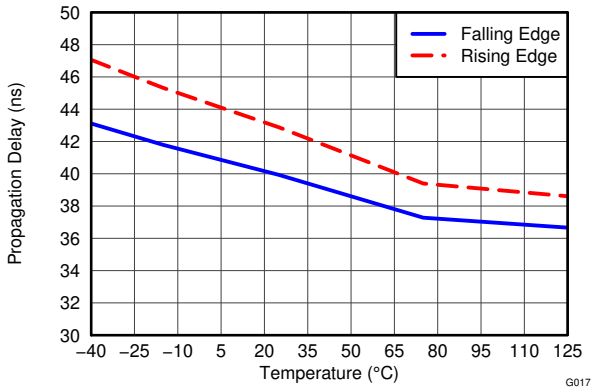


图 6-20. 传播延迟与温度间的关系

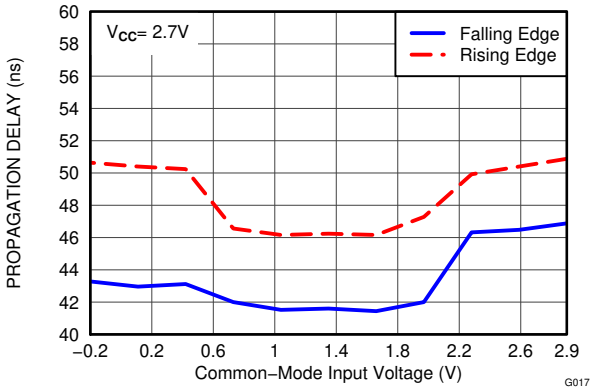


图 6-21. 传播延迟与共模电压间的关系

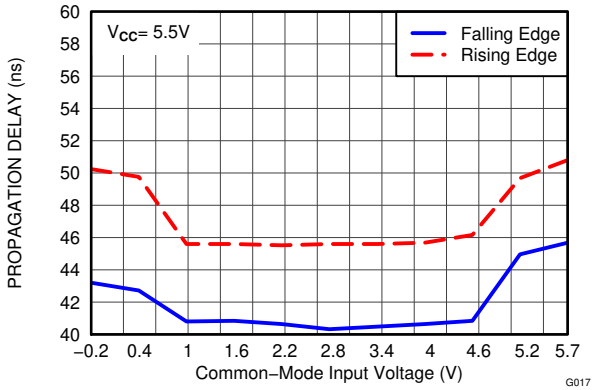


图 6-22. 传播延迟与共模电压间的关系

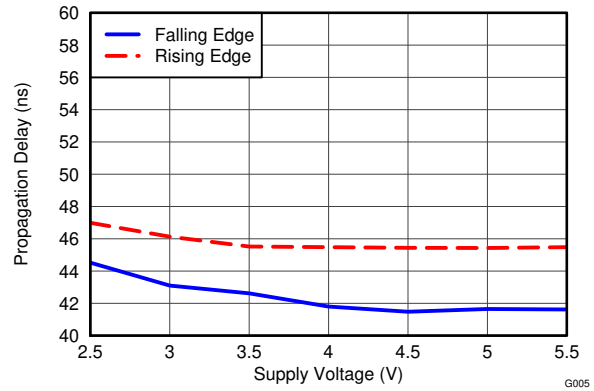


图 6-23. 传播延迟与电源电压间的关系

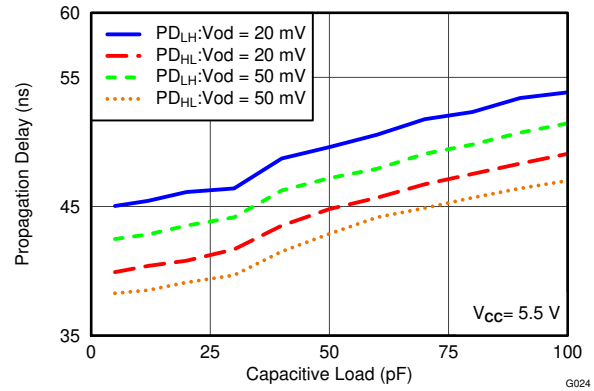


图 6-24. 传播延迟与容性负载间的关系

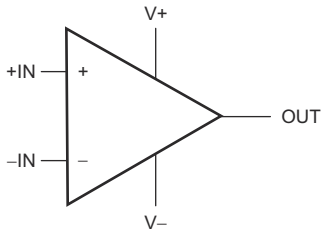
Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

TLV3201 和 TLV3202 器件具有 40ns 的响应时间，并包含 1.2mV 内部迟滞，旨在提高抗噪性，其输入共模电压范围超出电源轨 0.2V。

7.2 功能方框图



Copyright © 2016, Texas Instruments Incorporated

7.3 特性说明

7.3.1 工作电压

TLV3201 和 TLV3202 比较器采用 2.7V 至 5.5V 的单电源（或 ±1.35V 至 ±2.75V 的双电源）供电，额定工作温度范围为 40°C 至 125°C。在低于此范围时，器件仍可继续运行，但性能未指定。

7.3.2 输入过压保护

器件输入端受到静电放电 (ESD) 二极管的保护，在输入电压超过电源电压约 300mV 以上时，这些二极管会导通。如果输入电流不超过 10mA，则系统可以承受超过电源电压 300mV 的瞬时电压。通过添加一个与比较器输入端串联的小型输入电阻器可以轻松实现此限制。

7.4 器件功能模式

由大于 2.7V 的轨到轨电源电压供电时，该器件可完全正常运行。在任何低于 2.7V 的电压下，该器件都处于关断状态。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TLV3201 和 TLV3202 分别为单电源和双电源推挽比较器，具有 40ns 的传播延迟并且电源电流仅为 40µA。TLV3201 和 TLV3202 具有快速响应时间和超低功耗，非常适合用于便携式电池供电应用以及快速开关阈值检测，例如脉宽调制 (PWM) 输出监视器和过零检测。

8.1.1 比较器输入

TLV3201 和 TLV3202 都是轨到轨输入比较器，其输入共模范围比正负电源轨各多出 200mV。这些器件的额定电压范围为 2.7V 至 5.5V，在室温范围内为 2.5V 至 5.5V。TLV3201 和 TLV3202 适用于在输入引脚超过电源电压时防止相位反转。图 8-1 显示了 TLV320x 在输入电压超过电源电压时的响应情况，结果没有出现相位反转。

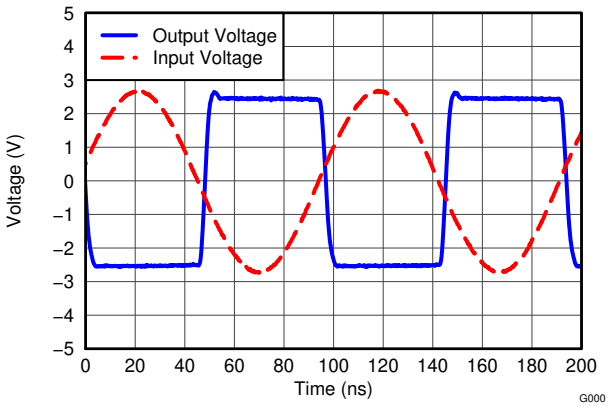
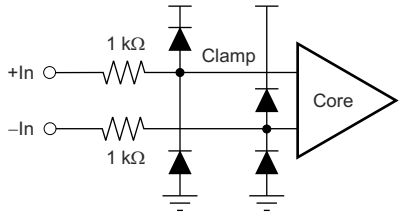


图 8-1. 无相位反转：比较器对输入电压的响应（包括传播延迟）

由两个背对背二极管和 1kΩ 串联电阻器组成的静电放电 (ESD) 保护输入结构通过钳制超过 V_{CC} 而超出规定工作条件的输入电压，限制施加于比较器精密输入端的差分输入电压。如果可能存在超过绝对最大额定值的过压条件，建议增加外部旁路二极管和电阻器，如图 8-2 所示。必须避免差分电压大于电源电压，以防止损坏输入级。



Copyright © 2016, Texas Instruments Incorporated

图 8-2. TLV3201 等效输入结构

8.1.2 外部迟滞

TLV3201 和 TLV3202 具有迟滞传递曲线（如图 8-3 所示），该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}。

- V_{TH}：实际设定电压或阈值跳变电压
- V_{OS}：V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。

- V_{HYST}：旨在降低比较器对噪声的敏感性的迟滞（或跳变窗口）。

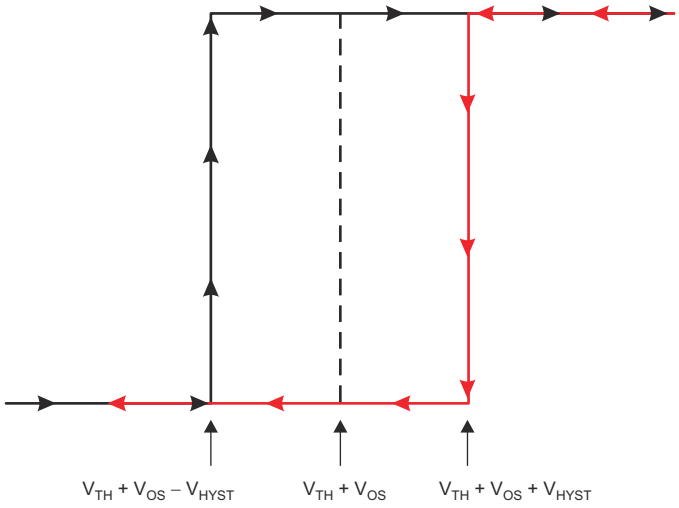


图 8-3. TLV320x 迟滞传递曲线

8.1.2.1 具有迟滞功能的反相比较器

具有迟滞功能的反相比较器需要一个以比较器电源电压 (V_{CC}) 为基准的三电阻器网络，如图 8-4 所示。当反向输入端的 V_{IN} 小于 V_A 时，输出电压为高电平（为简单起见，假设 V_O 切换至与 V_{CC} 一样高）。三电阻器网络可以表示为 R1 || R3 与 R2 串联。较低的输入跳变电压 (V_{A1}) 由方程式 1 定义。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

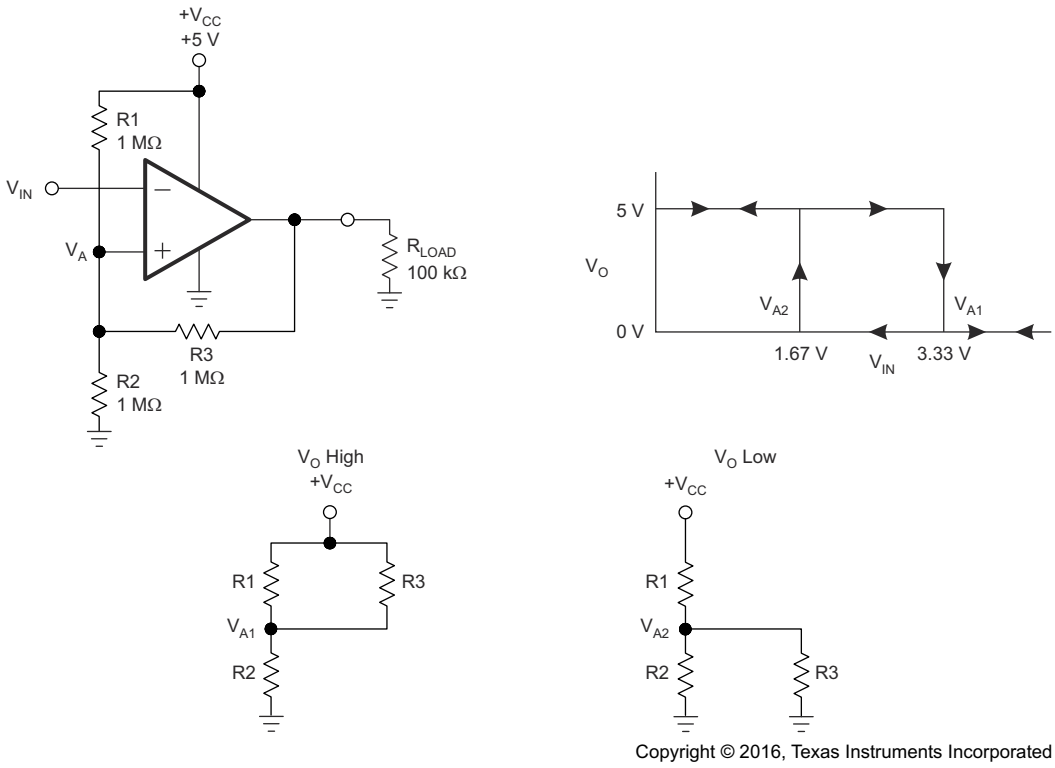
当 V_{IN} 大于 [V_A × (V_{IN} > V_A)] 时，输出电压较低，非常接近于地。在这种情况下，三电阻器网络可以表示为 R2 || R3 与 R1 串联。上跳变电压 (V_{A2}) 由方程式 2 定义。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

方程式 3 定义了由该网络提供的总迟滞。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

Copyright © 2024 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

图 8-4. 采用反相配置且具有迟滞功能的 TLV3201

8.1.2.2 具有迟滞功能的同相比较器

具有迟滞功能的同相比较器需要一个双电阻器网络（如图 8-5 所示）和反相输入端的电压基准 (V_{REF})。当 V_{IN} 为低电平时，输出也为低电平。若要使输出从低电平切换到高电平，V_{IN} 必须升高至 V_{IN1}。V_{IN1} 的计算公式为 方程式 4。

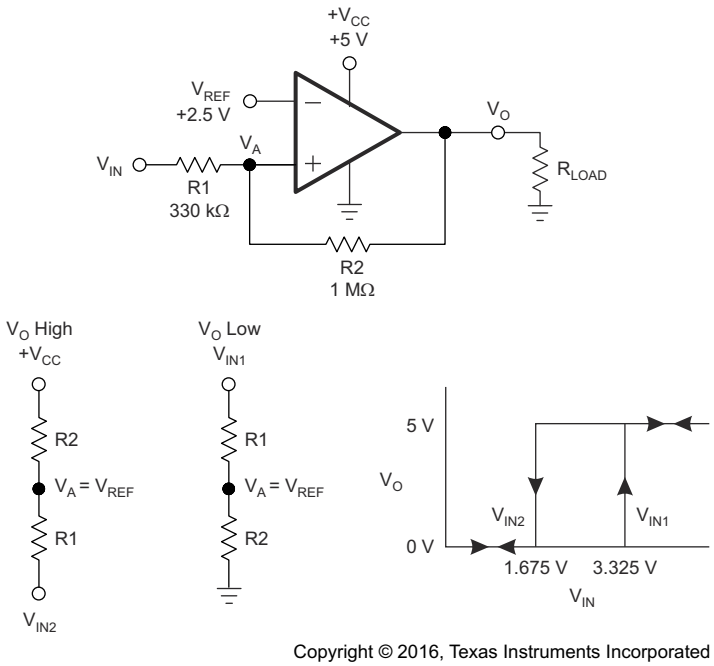
$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} \times V_{REF} \tag{4}$$

当 V_{IN} 为高电平时，输出也为高电平。为了使比较器切换回低电平状态，V_{IN} 必须等于 V_{REF}，然后 V_A 才能再次等于 V_{REF}。V_{IN} 可以使用方程式 5 来计算。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

在此电路中，迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，如方程式 6 所示。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$



Copyright © 2016, Texas Instruments Incorporated

图 8-5. 采用同相配置且具有迟滞功能的 TLV3201

8.1.3 容性负载

TLV3201 和 TLV3202 具有推挽输出。当输出开关时，V_{CC} 和接地之间具有直接路径，导致转换期间输出灌电流或拉电流增加。转换后，输出电流降低，电源电流返回到 40μA，从而保持低功耗。在合理的容性负载条件下，TLV3201 和 TLV3202 保持指定的传播延迟（请参阅 *节 6.9*），但高开关频率下过大的容性负载可能会增加电源电流、传播延迟，或引起转换率下降。

Copyright © 2024 Texas Instruments Incorporated

8.2 典型应用

8.2.1 TLV3201 配置为交流耦合比较器

交流耦合单电源比较器电路的其中一个优势是，它可以阻止由接地环路偏移引起的直流失调电压，这些失调电压可能会导致误跳闸或共模输入冲突。图 8-6 显示了 TLV3201 配置为交流耦合比较器的情况。

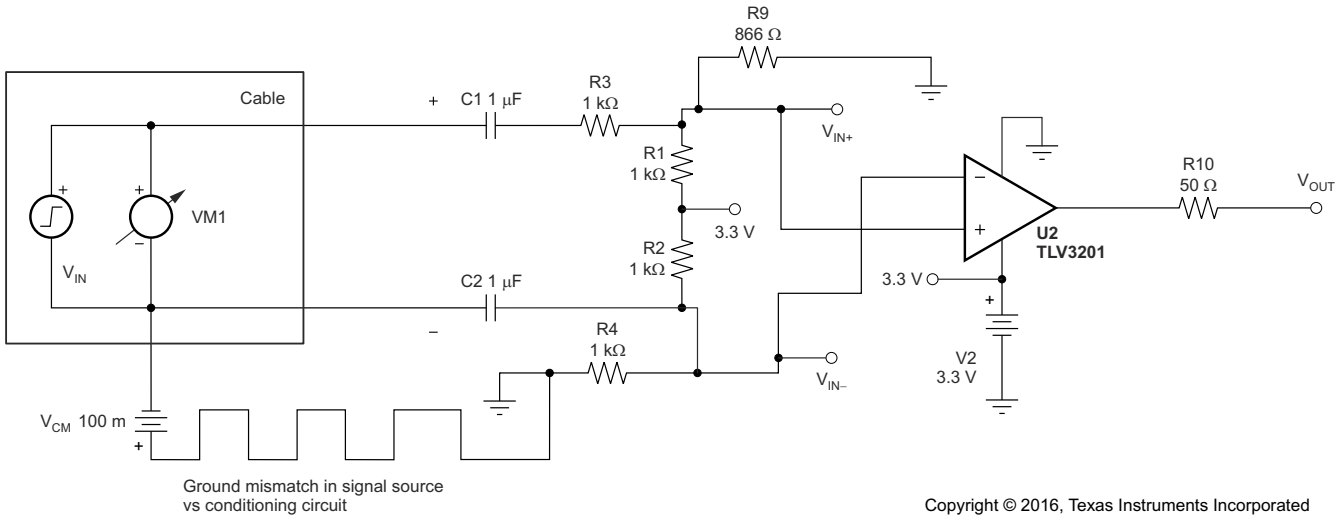


图 8-6. TLV3201 配置为交流耦合比较器（原理图）

8.2.1.1 设计要求

设计要求包括：

- 能够处理高达 ±100mV 的共模信号。
- 仅在交流信号（例如过零检测）上触发。

8.2.1.2 详细设计过程

设计分析：

- 交流耦合、高通频率
- 大电容器在器件上电时需要更长的启动时间
- 使用 1µF 电容器来实现约 159Hz 的高通频率
- 对于高通等效电路，请使用 C_{IN} = 0.5µF 且 R_{IN} = 2kΩ

1. 最初将输入分压器设置为电源电压的一半（使其处于可接受共模范围的中心）。
2. 根据需要稍微向上或向下调整分压器，以建立静态输出条件。
3. 根据最低预期频率选择耦合电容器。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.3 应用曲线

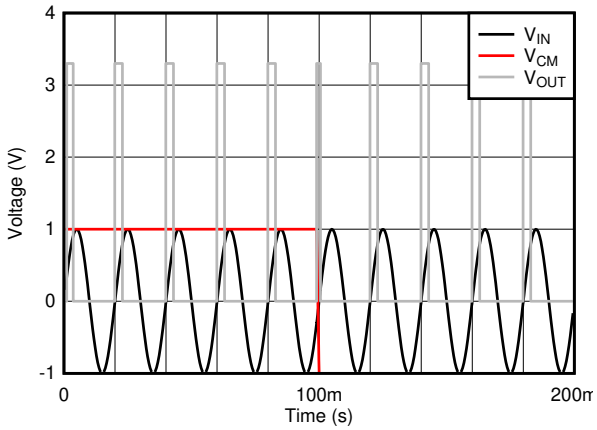
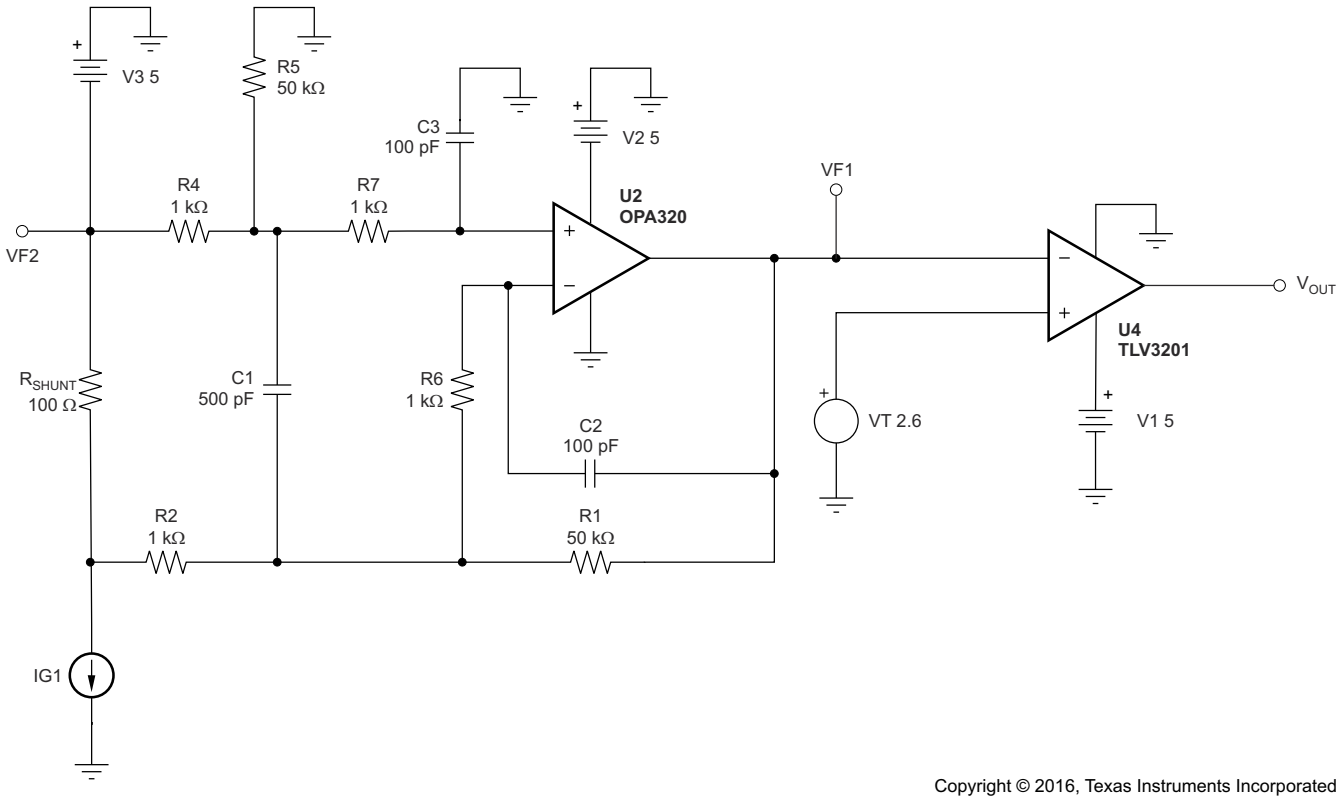


图 8-7. 交流耦合比较器结果

8.2.2 TLV3201 和 OPA320 配置为快速响应输出电流监视器

图 8-8 显示了一个配置为具有 50 增益的差分放大器的单电源电流监视器。之所以为该电路选择 OPA320，是因为它具有 20MHz 的增益带宽，此带宽支持更高速地触发和监视分流电阻器上的电流，从而实现 TLV3201 的快速响应。



Copyright © 2016, Texas Instruments Incorporated

图 8-8. TLV3201 和 OPA320 配置为快速响应输出电流监视器

Copyright © 2024 Texas Instruments Incorporated

8.2.3 TLV3201 和 TMP20 配置为精密模拟温度开关

图 8-9 显示了设计为高速温度开关的 TMP20 和 TLV3201。TMP20 是一款模拟输出温度传感器，输出电压随温度升高而降低。当输出达到临界跳变阈值时，比较器输出被触发。

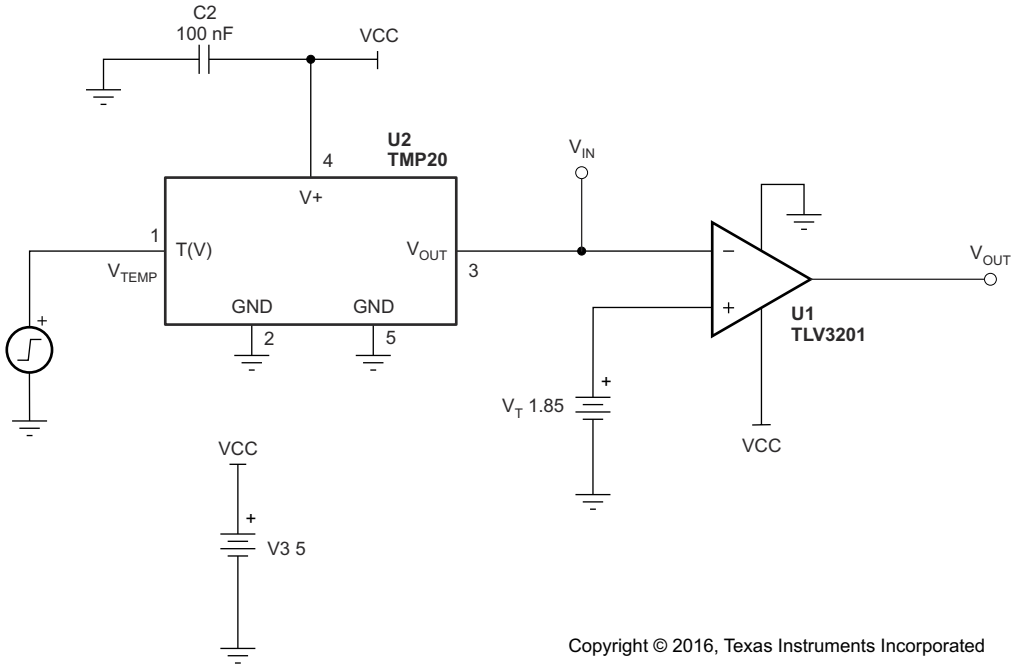


图 8-9. TLV3201 和 TMP20 配置为精密模拟温度开关

8.3 电源相关建议

TLV3201 和 TLV3202 比较器采用 2.7V 至 5.5V 的单电源（或 ±1.35V 至 ±2.75V 的双电源）供电，额定工作温度范围为 40°C 至 125°C。在低于此范围时，器件仍可继续运行，但性能未指定。将旁路电容器置于电源引脚附近，以减小从高噪声电源或高阻抗电源中耦合进来的噪声。有关旁路电容器放置的更多详细信息，请参阅 *节 8.4.1*。

8.4 布局

8.4.1 布局指南

TLV3201 和 TLV3202 是快速开关、高速比较器，需要考虑高速布局因素。为获得出色效果，请遵循以下布局布线指南。

- 使用具有良好不间断低电感接地平面的印刷电路板 (PCB)。
- 将去耦电容器（0.1µF 陶瓷表面贴装电容器）尽可能靠近 V_{CC} 放置。
- 在输入端和输出端，尽可能缩短引线长度，以避免比较器周围出现不必要的寄生反馈。使输入端保持远离输出端。
- 直接将器件焊接到 PCB 上，而不是使用插座。
- 对于慢速输入信号，请注意防止寄生反馈。在输入端之间放置一个小电容器（1000pF 或更小）有助于消除转换区域中的振荡。当阻抗较低时，该电容器会导致传播延迟性能下降。顶部接地平面位于输出端和输入端之间。
- 接地引脚的接地走线从器件下方延伸到旁路电容器，从而将输入与输出隔离开来。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

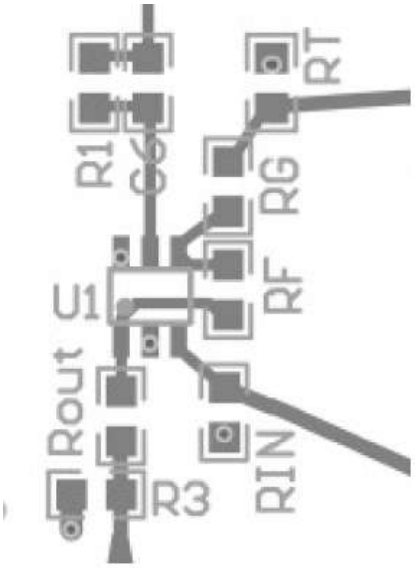


图 8-10. TLV320x 电路板布局布线示例

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 TINA-TI™（免费软件下载）

TINA-TI™ 是一款基于 SPICE 引擎的简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

9.1.1.2 通用运放 EVM

通用运放 EVM 是一系列通用空白电路板，可简化采用各种 IC 封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、MSOP、TSSOP 和 SOT23 封装。

备注

这些电路板均为空白电路板，用户必须自行提供 IC。TI 建议您在订购通用运算放大器 EVM 时申请几个运算放大器样片。

9.1.1.3 TI 精密设计

TI 精密设计是由 TI 公司的精密模拟应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、元件选择、模拟、完整 PCB 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 http://www.ti.com/ww/en/analog/precision-designs/。

9.1.1.4 WEBENCH® Filter Designer

WEBENCH® Filter Designer 是一款简单、功能强大且易于使用的有源滤波器设计程序。借助 WEBENCH Filter Designer，用户可使用 TI 的一系列运算放大器和 TI 供应商合作伙伴的无源器件构建优化的滤波器设计方案。

WEBENCH® 设计中心提供网络工具 WEBENCH® Filter Designer。用户通过该工具可在数分钟内完成多级有源滤波器解决方案的设计、优化和仿真。

9.2 文档支持

9.2.1 相关文档

使用 TLV320x 时，建议参考下列相关文档。所有这些文档都可从 www.ti.com.cn 上下载（除非另有说明）。

- *使用 UCC28950 和 TLV3201 实现频率抖动* (SLUA646)
- *使用 UCC28180 和 TLV3201 实现频率抖动* (SLUA704)
- *具有迟滞功能的比较器参考设计* (TIDU020)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

Copyright © 2024 Texas Instruments Incorporated

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TINA-TI™ is a trademark of Texas Insturments and DesignSoft, Inc..
DesignSoft™ is a trademark of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2024 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (December 2016) to Revision C (June 2022)	Page
• 更正了热指标表中 TLV3202 D 和 DGK 列的对调	4
• 在热指标表中将 DGK Tja 的拼写错误从 146.3 更正为 143.6	4
• 添加了 TLV3201 在 5V 条件下的输入失调电压	5
• 添加了 5V 开关特性表	5
• 添加了 TLV3201 在 2.7V 条件下的输入失调电压	7

Changes from Revision A (June 2012) to Revision B (December 2016)	Page
• 添加了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 删除了*订购信息* 表，请参阅数据表末尾的*封装选项附录*	1

Changes from Revision * (March 2012) to Revision A (June 2012)	Page
• 将产品状态从“量产数据”更改为“混合状态”	1
• 添加了双通道器件	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV3201AIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	RAI
TLV3201AIDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN | POST-PLAT AG SPOT	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKRG4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKRG4.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | POST-PLAT AG SPOT	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3201AIDCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SDP
TLV3202AID	Active	Production	SOIC (D) | 8	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AID.B	Active	Production	SOIC (D) | 8	50 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDGK.B	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	VUDC
TLV3202AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202
TLV3202AIDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TL3202

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV3201, TLV3202 :

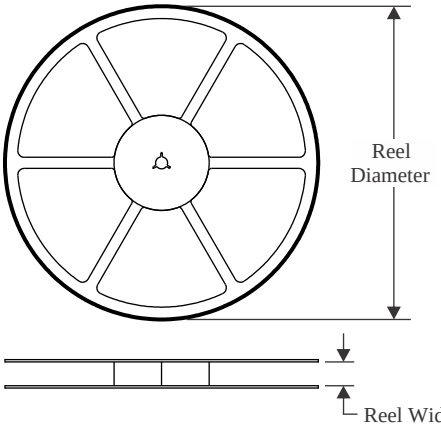
- Automotive : TLV3201-Q1, TLV3202-Q1

NOTE: Qualified Version Definitions:

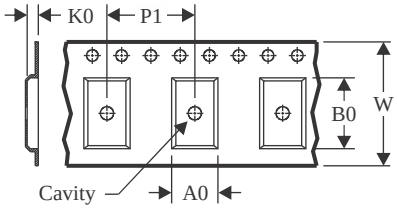
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

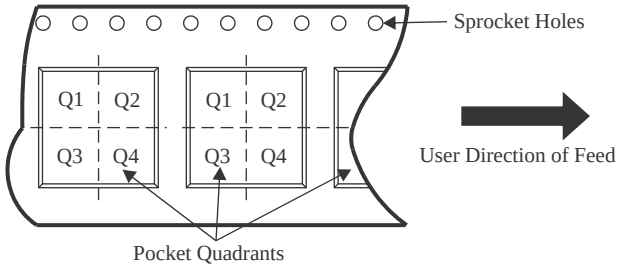


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

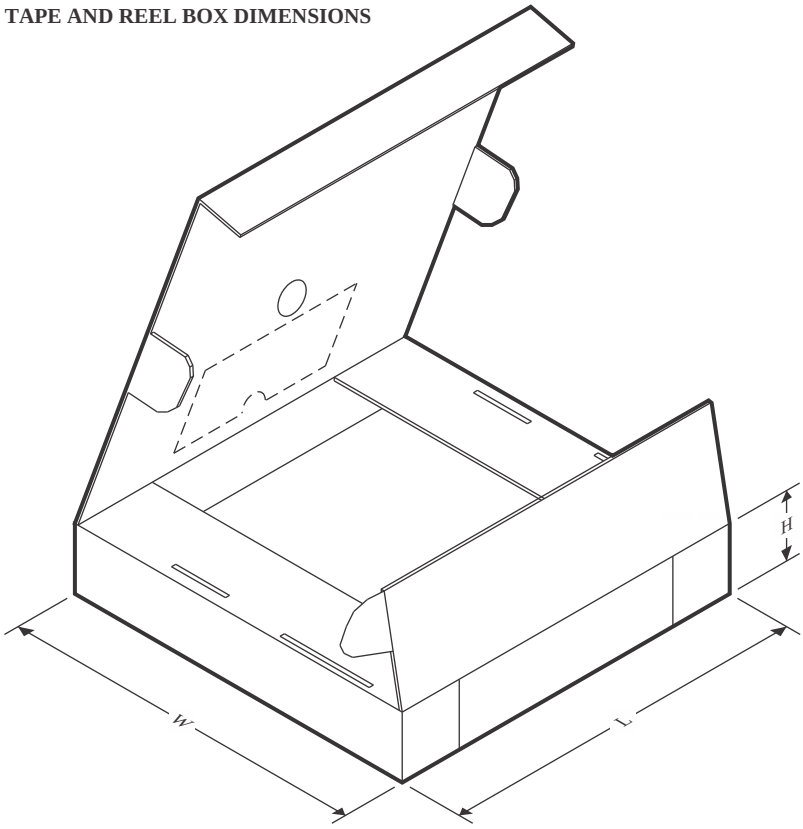
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV3201AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3201AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV3201AIDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
TLV3201AIDCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV3201AIDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3201AIDCKRG4	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV3201AIDCKT	SC70	DCK	5	250	178.0	8.4	2.4	2.5	1.2	4.0	8.0	Q3
TLV3201AIDCKT	SC70	DCK	5	250	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV3202AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV3202AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

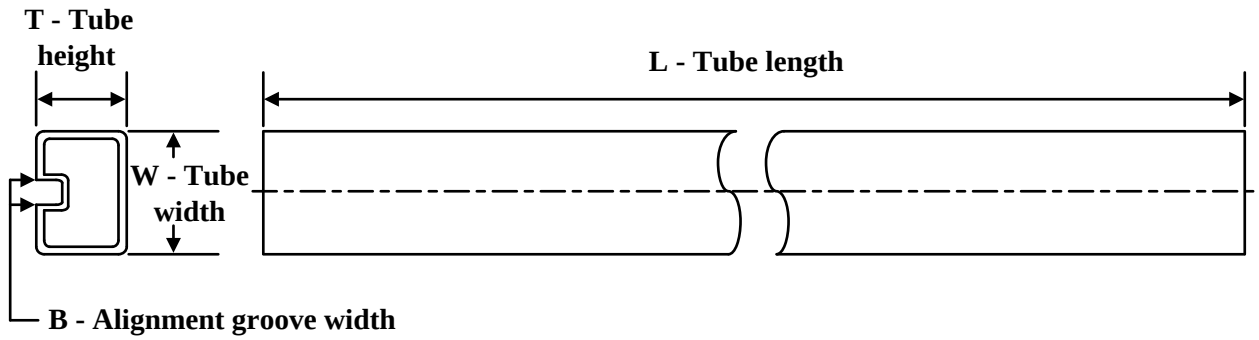
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV3201AIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV3201AIDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
TLV3201AIDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
TLV3201AIDCKR	SC70	DCK	5	3000	190.0	190.0	30.0
TLV3201AIDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV3201AIDCKRG4	SC70	DCK	5	3000	190.0	190.0	30.0
TLV3201AIDCKT	SC70	DCK	5	250	190.0	190.0	30.0
TLV3201AIDCKT	SC70	DCK	5	250	210.0	185.0	35.0
TLV3202AIDGKR	VSSOP	DGK	8	2500	364.0	364.0	27.0
TLV3202AIDRG4	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

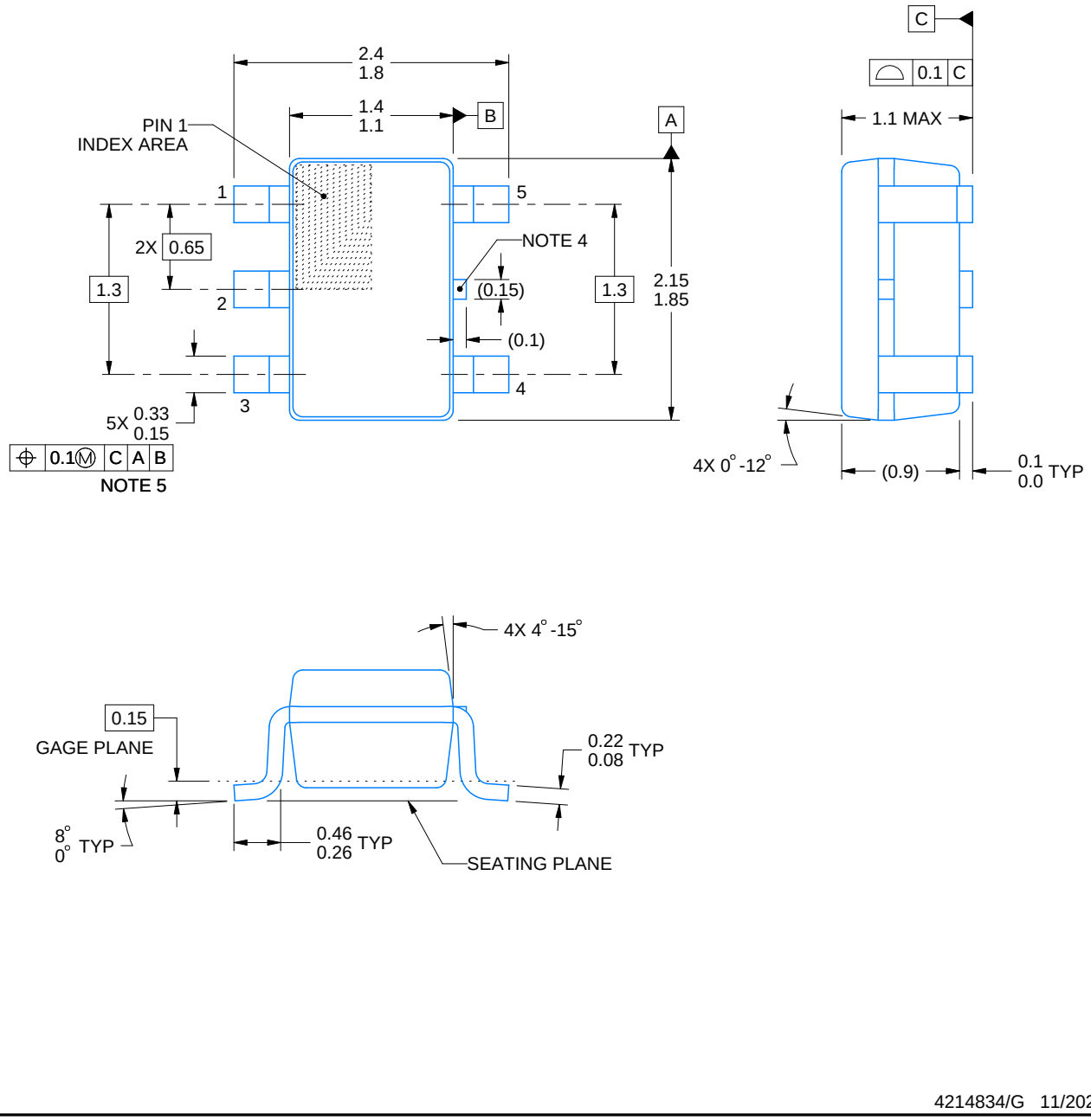
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLV3202AID	D	SOIC	8	50	506.6	8	3940	4.32
TLV3202AID	D	SOIC	8	50	507	8	3940	4.32
TLV3202AID.B	D	SOIC	8	50	507	8	3940	4.32
TLV3202AID.B	D	SOIC	8	50	506.6	8	3940	4.32
TLV3202AIDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
TLV3202AIDGK.B	DGK	VSSOP	8	80	330	6.55	500	2.88

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

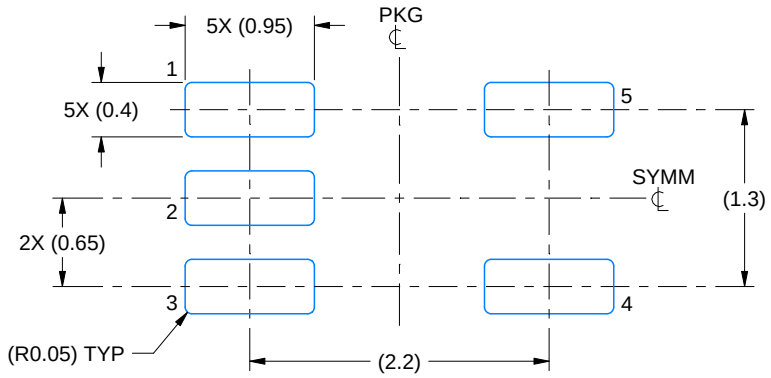
SMALL OUTLINE TRANSISTOR



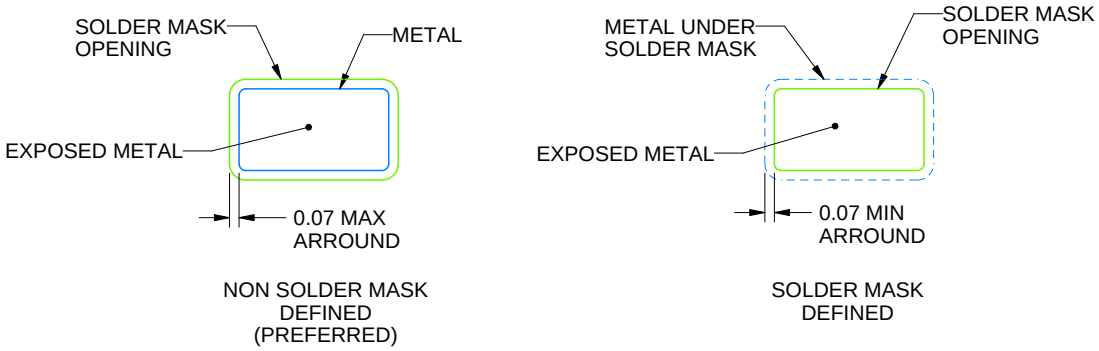
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

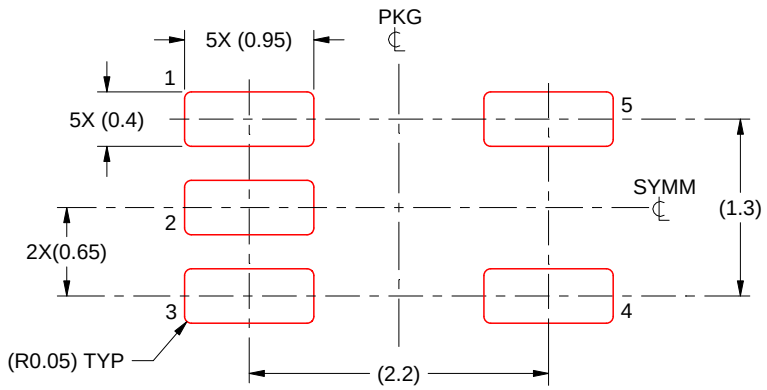


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

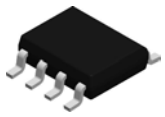


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

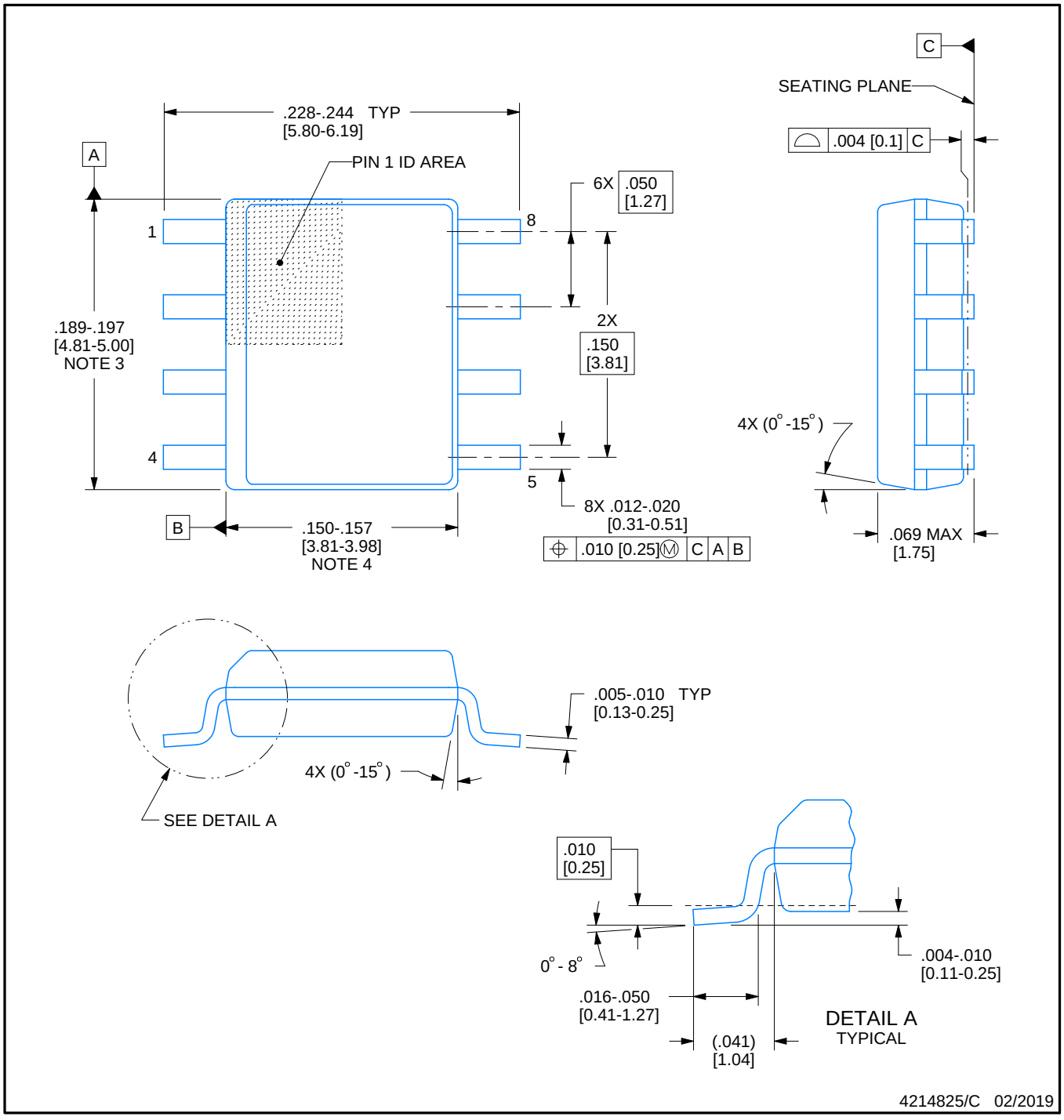


PACKAGE OUTLINE

D0008A

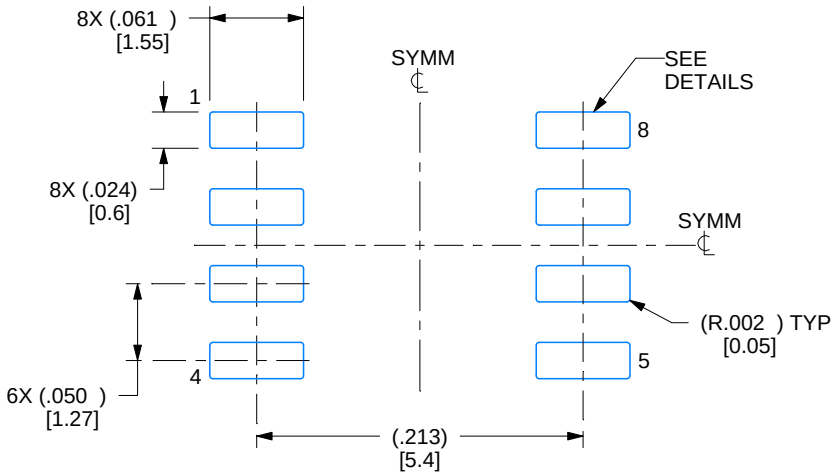
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

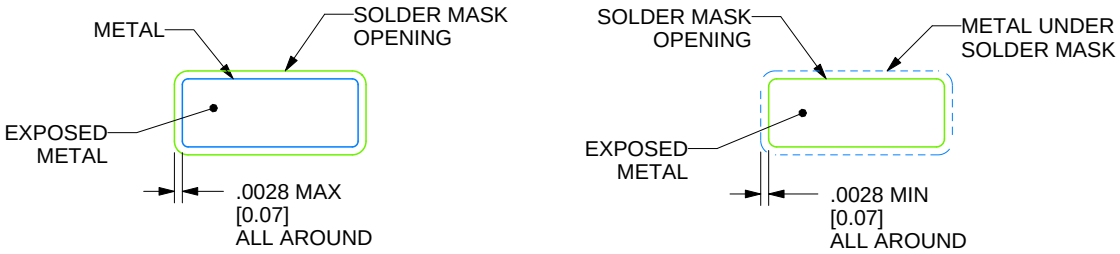


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

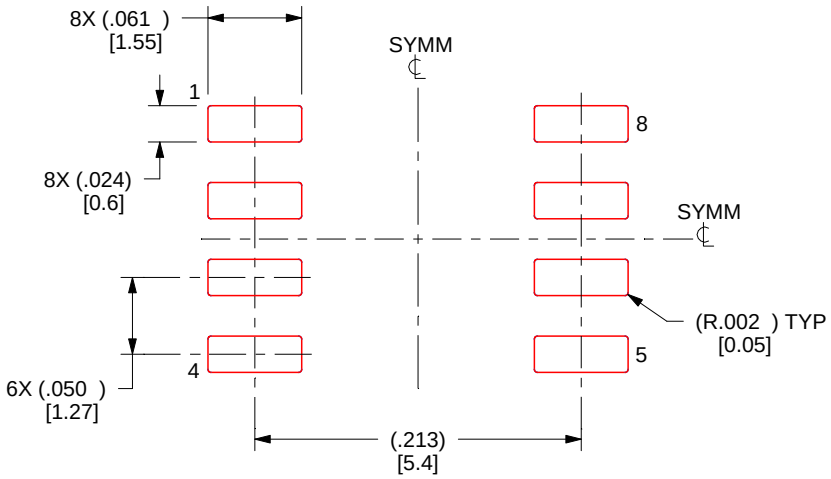
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

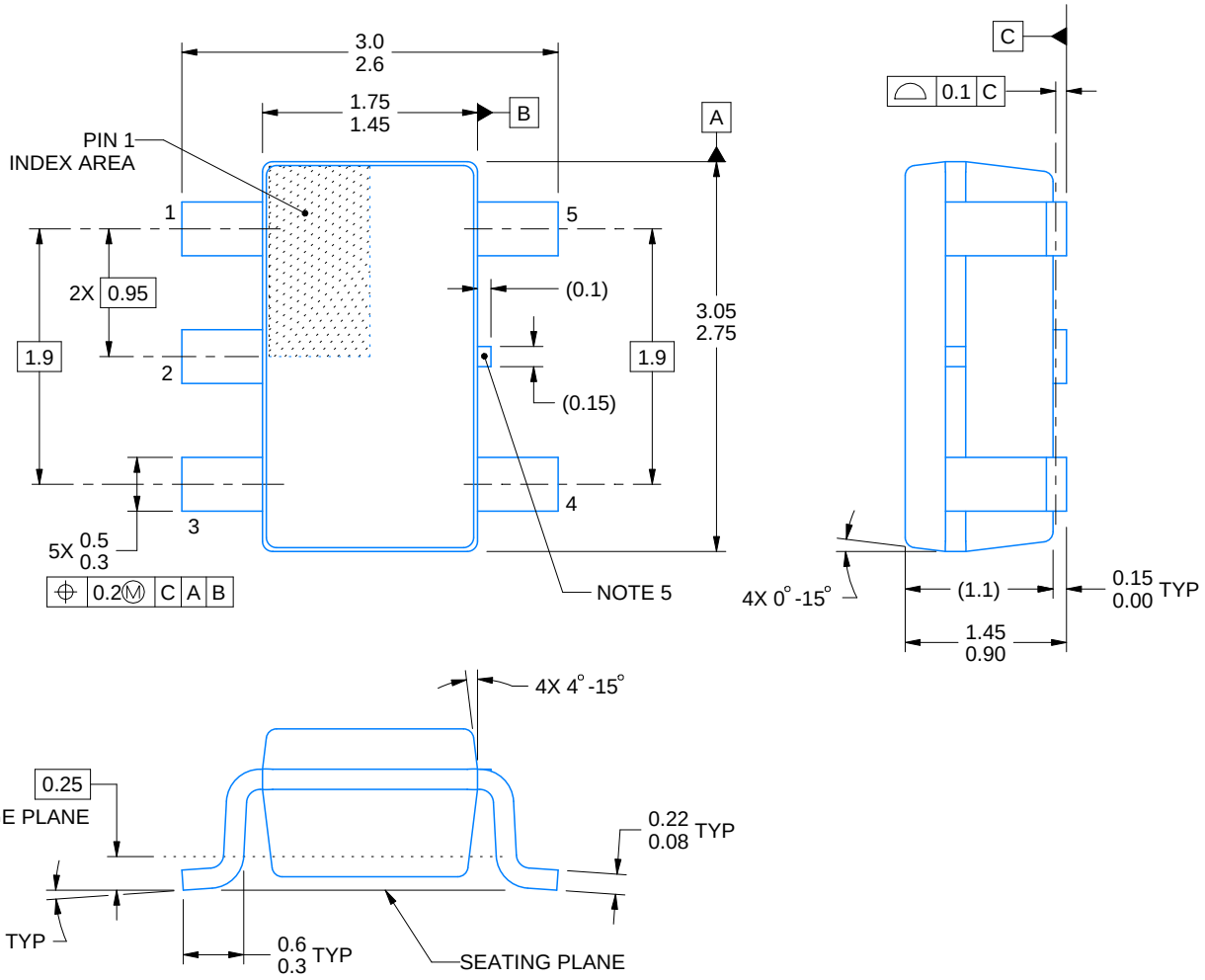
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

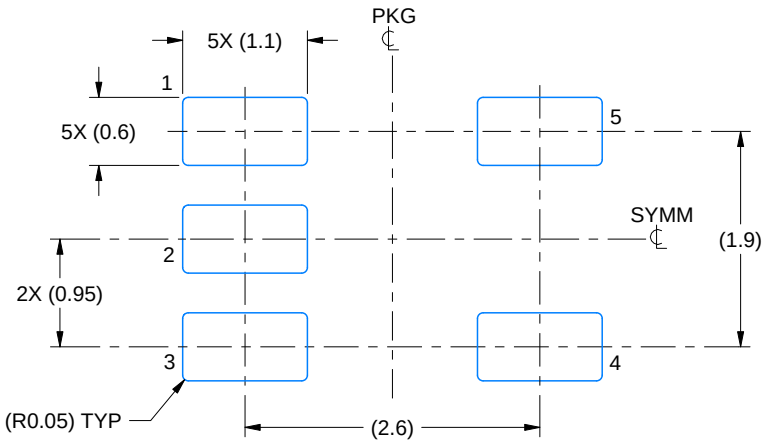
SMALL OUTLINE TRANSISTOR



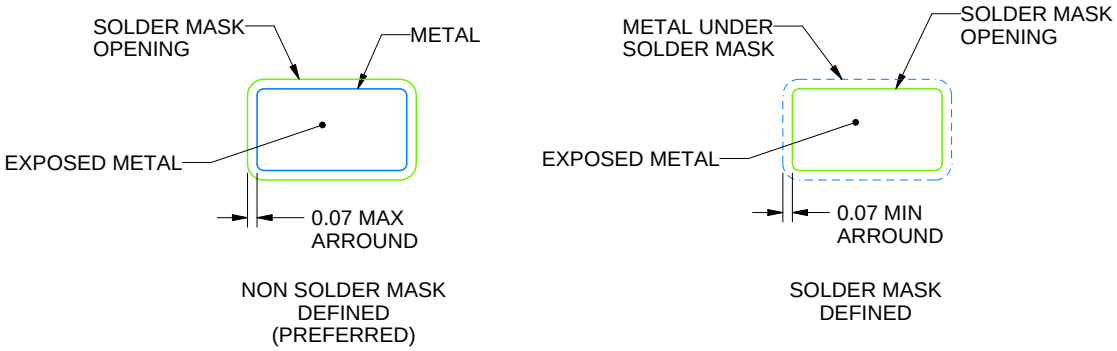
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

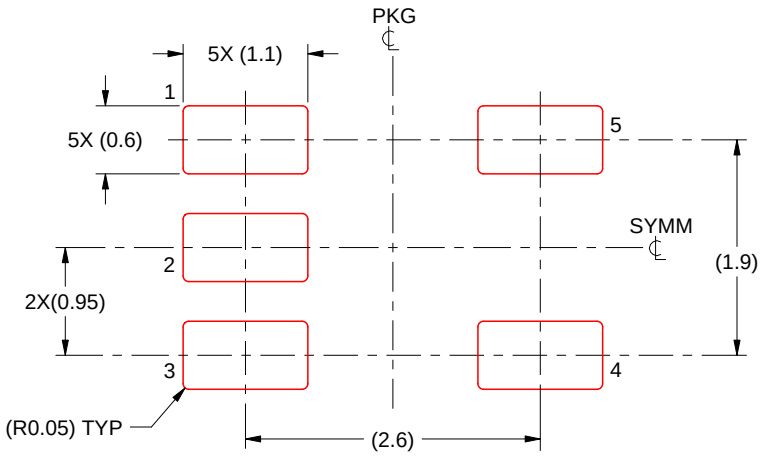


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

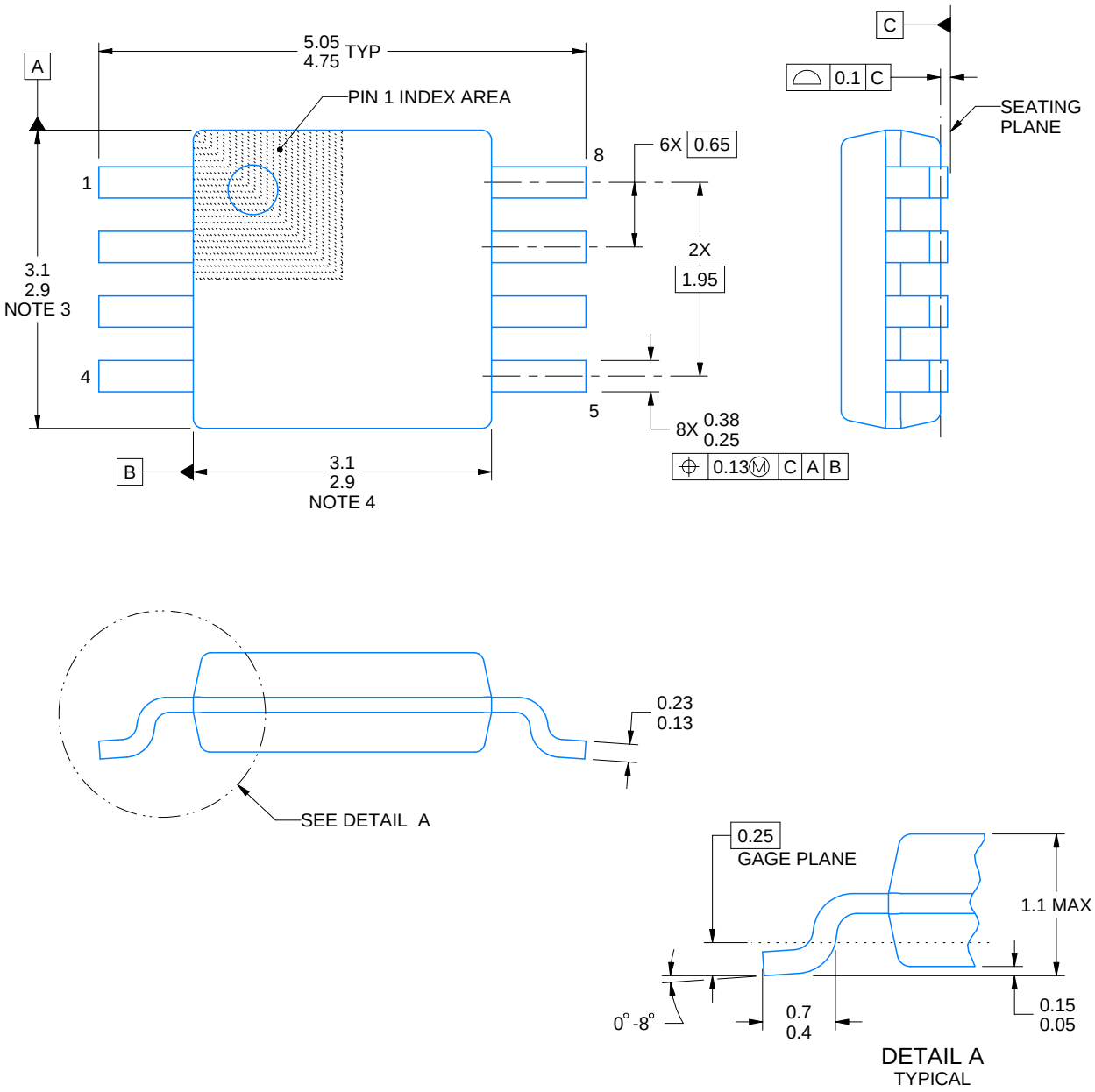
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

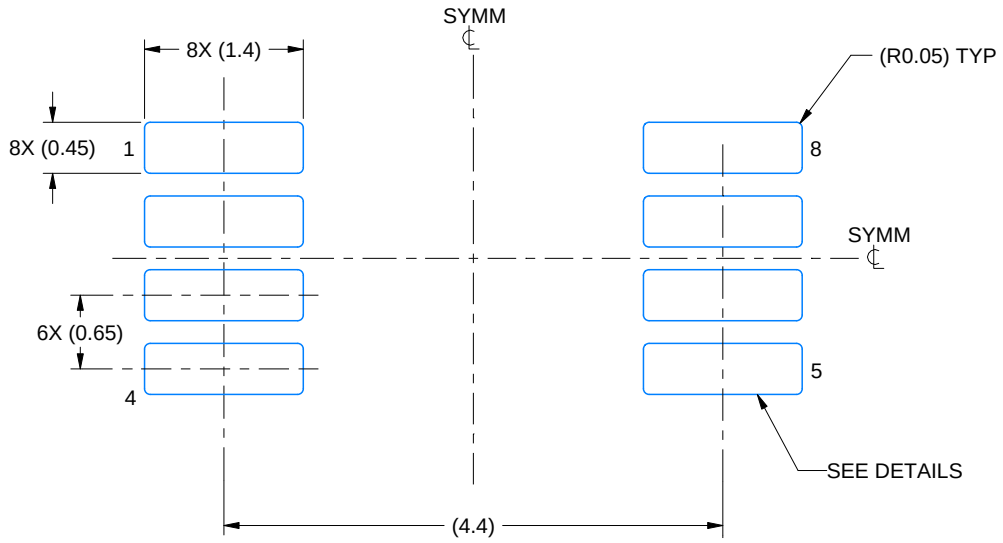
SMALL OUTLINE PACKAGE



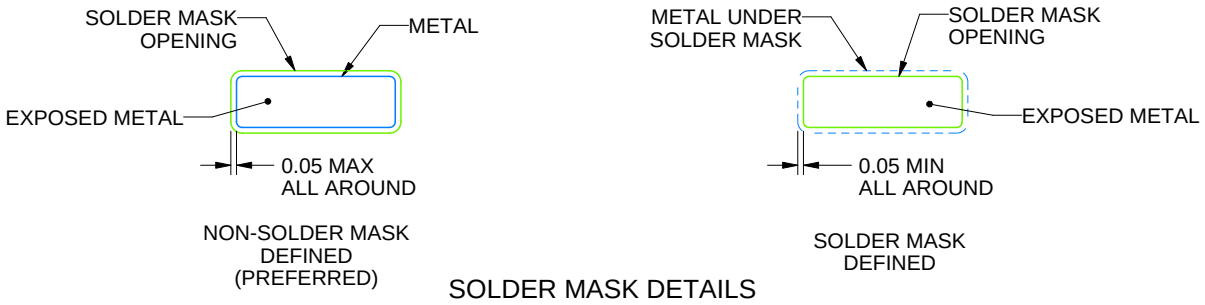
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

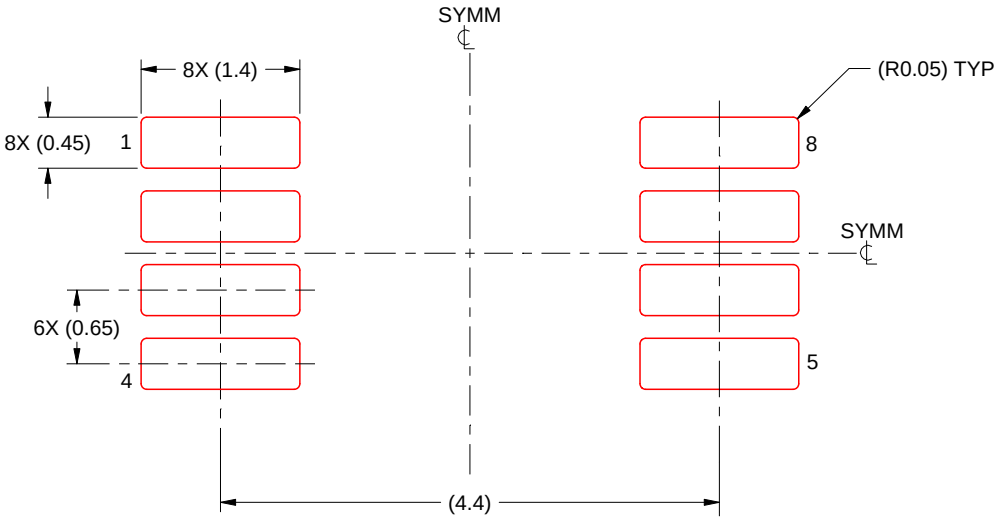


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月