TLVx825 3.5MHz、1.8V 至 5.5V、高精度、零漂移运算放大器

1 特性

- 超低温漂：±0.02 μV/°C
- 平坦的低频噪声：0.3 μ V_{PP}（0.1Hz 至 10Hz）
- 超低失调电压：±4 μV
- 轨到轨输入和输出
- 非常高的 A_{OL}、CMRR、PSRR：> 120dB
- 宽输入共模：超过电源轨 100mV
- 低输入偏置电流：±100pA
- 低热本底噪声：15nV/ √Hz
- 宽增益带宽：3.5MHz
- 高 C_L 驱动：1nF（无持续振荡）
- 低静态电流：500 μA/通道
- 宽电源电压范围：1.8V 至 5.5V
- 宽温度范围：-40°C 至 +125°C

2 应用

- 传感器信号调节
  - 称重秤
  - 压力变送器
  - 温度变送器
  - 流量变送器
  - 商用直流/直流
  - 电表
  - 微型和光伏逆变器

3 说明

TLVx825 系列单通道、双通道和四通道运算放大器可实现高精度性能，例如，更低的失调电压、更低的温漂、更好的长期偏移稳定性以及平坦的本底噪声。这种性能水平对多种系统至关重要，尤其是依赖传感器进行高精度电压检测以及使用小阻值分流电阻进行高精度电流检测的系统。

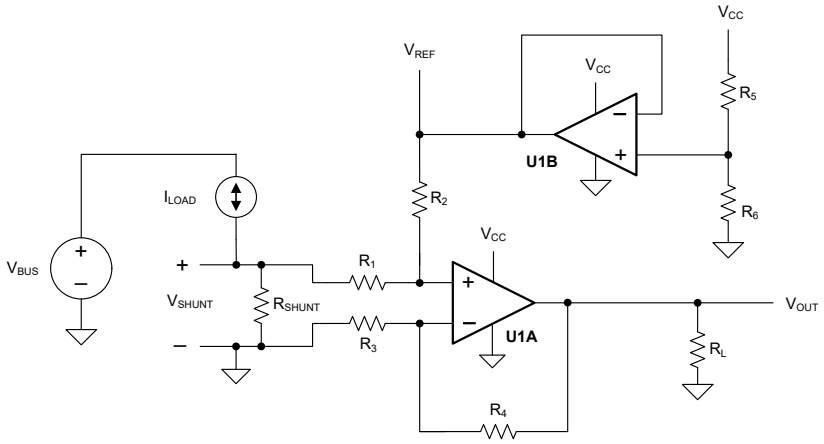
TLVx825 采用零漂移架构，实现 4μV 的输入参考失调电压、0.02μV/°C 的温漂，以及标准 0.1Hz 至 10Hz 范围内 320nV$_{PP}$ 的低频噪声。该组合规格在高增益应用中提供出色的精度，从而大幅降低系统级校准的需求。

此外，在 500μA 静态电流条件下，TLVx825 可实现 3.5MHz 带宽以及 15nV/ √Hz 的宽带噪声性能。这种能力对于在中速高分辨率模数转换器 (ADC) 应用中实现更高线性度与信噪比，同时降低系统功耗至关重要。

封装信息

器件型号	通道数	封装(1)	封装尺寸(2)
TLV825	单通道	DBV（SOT-23，5）(3)	2.9mm × 2.8mm
		DCK（SOT-SC70，5）(3)	2mm × 2.1mm
		DRL（SOT-5X3，5）(3)	1.6mm × 1.6mm
TLV2825	双通道	D（SOIC，8）	4.9mm × 6mm
		DGK（VSSOP，8）	3mm × 4.9mm
		DDF（SOT-23-THN，8）(3)	2.9mm × 2.8mm
		DSG（WSON，8）(3)	2mm × 2mm
TLV4825	四通道	PW（TSSOP，14）	5mm × 6.4mm
		D（SOIC，14）	8.65mm × 6mm
		DYY（SOT-23-THN，14）(3)	3mm × 3mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 预发布信息（非预告信息）。



双向电流感应应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 单通道器件的热性能信息 7
5.5 双通道器件的热性能信息 7
5.6 四通道器件的热性能信息 7
5.7 电气特性 8
5.8 典型特性 10
6 详细说明 19
6.1 概述 19
6.2 功能方框图 19
6.3 特性说明 19
6.4 器件功能模式 24
7 应用和实施 25
7.1 应用信息 25
7.2 典型应用 27
7.3 电源相关建议 28
7.4 布局 28
8 器件和文档支持 30
8.1 器件支持 30
8.2 文档支持 30
8.3 接收文档更新通知 30
8.4 支持资源 30
8.5 商标 31
8.6 静电放电警告 31
8.7 术语表 31
9 修订历史记录 31
10 机械、封装和可订购信息 31

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

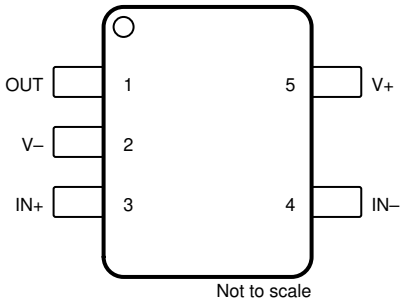


图 4-1. TLV825 DBV 封装，
5 引脚 SOT-23
（顶视图）

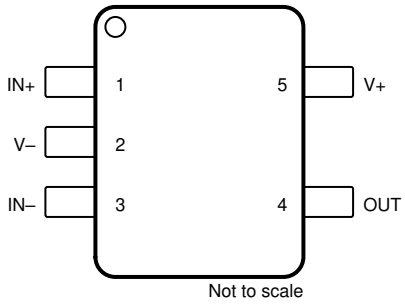


图 4-2. TLV825 DCK 和 DRL 封装，
5 引脚 SOT-SC70 和 SOT-5X3
（顶视图）

表 4-1. 引脚功能：TLV825

引脚			类型[1]	说明
名称	SOT-23	SOT-SC70、SOT-5X3		
IN –	4	3	I	反相输入
IN+	3	1	I	同相输入
OUT	1	4	O	输出
V –	2	2	I	负（低）电源或接地（对于单电源供电）
V+	5	5	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

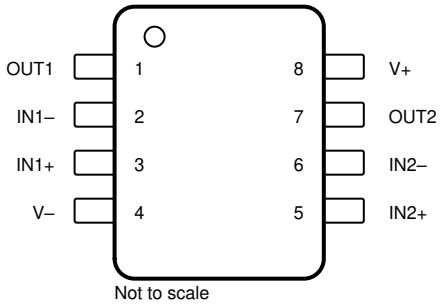
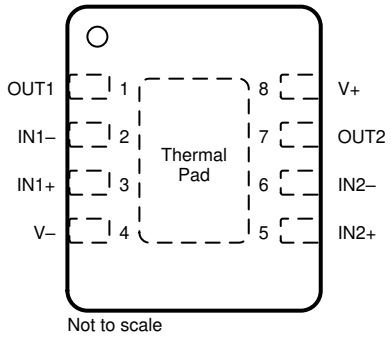


图 4-3. TLV2825 D、DGK 和 DDF 封装，8 引脚 SOIC、VSSOP 和 SOT-23-THIN（顶视图）



将外露散热焊盘连接至 V – 。

图 4-4. TLV2825 DSG 封装，8 引脚 WSON（带有外露散热焊盘）（顶视图）

表 4-2. 引脚功能：TLV2825

引脚		类型(1)	说明
名称	SOIC、VSSOP、SOT-23-THIN、WSON		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V –	4	I	负（低）电源或接地（对于单电源供电）
V+	8	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

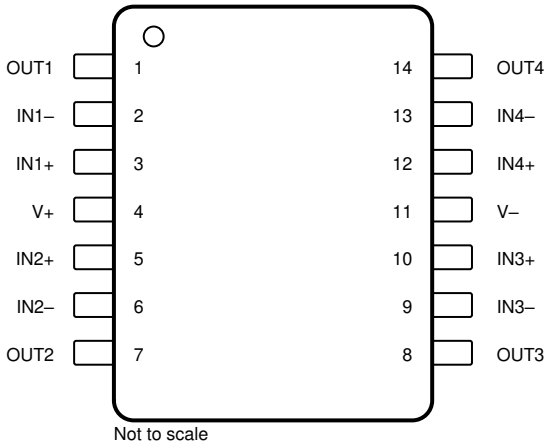


图 4-5. TLV4825 D、PW 和 DYY 封装，14 引脚 SOIC、TSSOP 和 SOT-23-THIN（顶视图）

表 4-3. 引脚功能：TLV4825

引脚		类型(1)	说明
名称	SOIC、TSSOP、SOT-23-THIN		
IN1 –	2	I	反相输入，通道 1
IN1+	3	I	同相输入，通道 1
IN2 –	6	I	反相输入，通道 2
IN2+	5	I	同相输入，通道 2
IN3 –	9	I	反相输入，通道 3
IN3+	10	I	同相输入，通道 3
IN4 –	13	I	反相输入，通道 4
IN4+	12	I	同相输入，通道 4
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V –	11	I	负（低）电源或接地（对于单电源供电）
V+	4	I	正（高）电源

(1) I = 输入，O = 输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)	单电源	0	6	V
	双电源	±0	±3	
信号输入引脚	共模(3)	(V–) – 0.5	(V+) + 0.5	V
	差分(3)		(V+) – (V–) + 0.2	
	电流(3)		±10	mA
输出短路(2)		持续		
工作温度，T_A		-55	150	°C
结温，T_J		-55	150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源	1.8		5.5	V
		双电源	±0.9		±2.75	
T_A	额定温度		-40		125	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 单通道器件的热性能信息

热指标(1)		TLV825		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	待定	待定	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	待定	待定	°C/W
$R_{\theta JB}$	结至电路板热阻	待定	待定	°C/W
ψ_{JT}	结至顶部特征参数	待定	待定	°C/W
ψ_{JB}	结至电路板特征参数	待定	待定	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标 应用手册*。

5.5 双通道器件的热性能信息

热指标(1)		TLV2825		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	146.6	167.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	85.0	75.0	°C/W
$R_{\theta JB}$	结至电路板热阻	90.7	98.5	°C/W
Ψ_{JT}	结至顶部特征参数	33.7	14.8	°C/W
Ψ_{JB}	结至电路板特征参数	90.1	97.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.6 四通道器件的热性能信息

热指标(1)		TLV4285		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	97.0	120.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	53.6	55.4	°C/W
$R_{\theta JB}$	结至电路板热阻	52.2	75.1	°C/W
Ψ_{JT}	结至顶部特征参数	20.6	13.7	°C/W
Ψ_{JB}	结至电路板特征参数	51.9	74.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.7 电气特性

在 T_A = 25°C 的条件下，R_L = 10kΩ 连接至 V_S/2，V_S = 1.8V 至 5.5V，V_{CM} = V_S/2，V_{OUT} = V_S/2，制造半导体成品测试中确定的最小和最大规格（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入偏移电压	T_A = 25°C(1)			±4	±15	μV
dV_{OS}/dT	输入失调电压漂移	T_A = -40°C 至 +125°C(1)			±0.02		μV/°C
PSRR	电源抑制比			110	130		dB
		T_A = -40°C 至 +125°C(1)		105			dB
	通道隔离	f = 0Hz			5		μV/V
					106		dB
输入偏置电流							
I_B	输入偏置电流				±50	±200	pA
		T_A = -40°C 至 +125°C(1)				±400	
I_{OS}	输入失调电流				±100	±400	pA
		T_A = -40°C 至 +125°C(1)				±800	
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			320		nV_{PP}
					48		nV_{RMS}
e_N	输入电压噪声密度	f = 1Hz			15		nV/√Hz
		f = 10Hz			15		
		f = 100Hz			15		
		f = 1kHz			15		
i_N	输入电流噪声	f = 1kHz			60		fA/√Hz
输入电压							
V_{CM}	共模电压范围	T_A = -40°C 至 +125°C(1)		(V–) – 0.1		(V+) + 0.1	V
CMRR	共模抑制比	V_S = 5.5V，(V–) - 0.1V < V_{CM} < (V+) + 0.1V		112	130		dB
			T_A = -40°C 至 +125°C(1)	110			
		V_S = 1.8V，(V–) - 0.1V < V_{CM} < (V+) + 0.1V		105	120		
			T_A = -40°C 至 +125°C(1)	104			
输入电容							
Z_{ID}	差动				100 || 6		MΩ || pF
Z_{ICM}	共模				60 || 3.5		GΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 5.5V，(V–) + 0.1V < V_{OUT} < (V+) – 0.1V		114	124		dB
			T_A = -40°C 至 +125°C(1)	113			
		V_S = 5.5V，(V–) + 0.15V < V_{OUT} < (V+) – 0.15V，R_L = 2kΩ		114	120		
			T_A = -40°C 至 +125°C(1)	113			
A_{OL}	开环电压增益	V_S = 1.8V，(V–) + 0.1V < V_{OUT} < (V+) – 0.1V		104	114		dB
			T_A = -40°C 至 +125°C(1)	100			

Copyright © 2026 Texas Instruments Incorporated

5.7 电气特性（续）

在 T_A = 25°C 的条件下，R_L = 10kΩ 连接至 V_S/2，V_S = 1.8V 至 5.5V，V_{CM} = V_S/2，V_{OUT} = V_S/2，制造半导体成品测试中确定的最小和最大规格（除非另有说明）

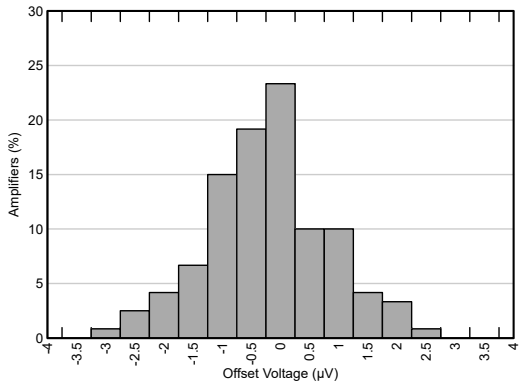
参数		测试条件		最小值	典型值	最大值	单位
频率响应							
GBW	增益带宽积				3.5		MHz
SR	压摆率	V_S = 5.5V，G = +1			1.8		V/μs
t_S	趋稳时间	到 0.1%，1V 阶跃，G = +1			5		μs
t_{OR}	过载恢复时间	V_{IN} × G > V_S			1.2		μs
f_{CHOP}	斩波时钟频率(1)				200		kHz
THD+N	总谐波失真 + 噪声	V_{OUT} = 1V_{RMS}，G = +1，f = 1kHz	RL = 10kΩ		0.0007		%
			R_L = 2kΩ		0.0015		
输出							
	相对于电源轨的电压输出摆幅	R_L = 空载			2.5	5	mV
			T_A = -40°C 至 +125°C(1)			8	
		R_L = 10kΩ			7	10	
			T_A = -40°C 至 +125°C(1)			15	
		R_L = 2kΩ(1)			25	30	
			T_A = -40°C 至 +125°C(1)			45	
I_{SC}	短路电流	V_S = 5.5V			±60		mA
		V_S = 1.8V			±10		
	相位裕度	G = +1，R_F = 10kΩ			75		°
C_{LOAD}	容性负载驱动				请参阅典型特性曲线		
R_O	开环输出阻抗	f = 1MHz			180		Ω
电源							
I_Q	每个放大器的静态电流	I_O = 0mA			500	615	μA
			T_A = -40°C 至 125°C(1)			625	
	导通时间	在 V_S = 5.5V 时，V_S 升降速率 > 0.05V/μs，稳定至 1%			25		μs

(1) 根据多个批次的器件组装工作台系统测量值建立的规范。

Copyright © 2026 Texas Instruments Incorporated

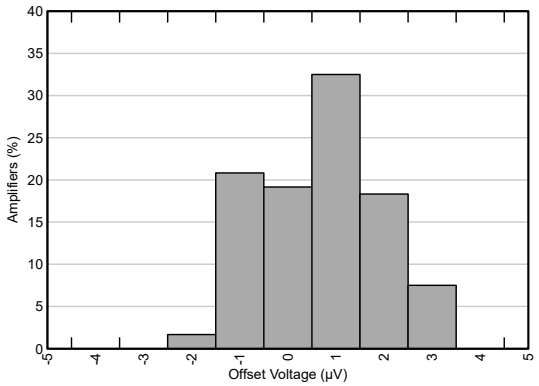
5.8 典型特性

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）



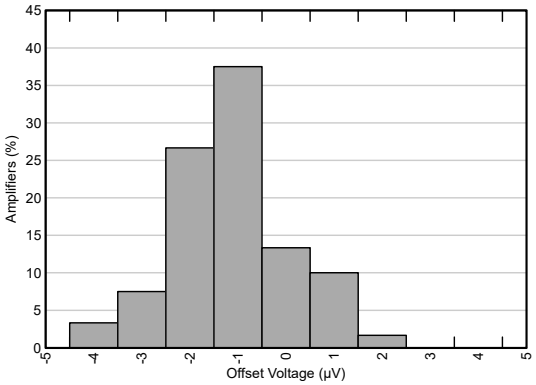
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25°C
N = 120　　均值 = 0.03µV　　Σ = 1.02µV

图 5-1. 失调电压分布图



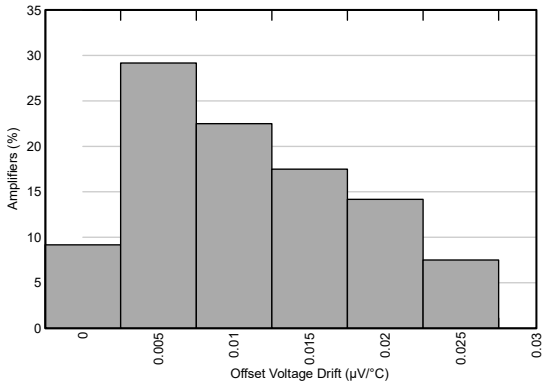
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 125°C
N = 120　　均值 = 1.17µV　　Σ = 1.22µV

图 5-2. 失调电压分布图



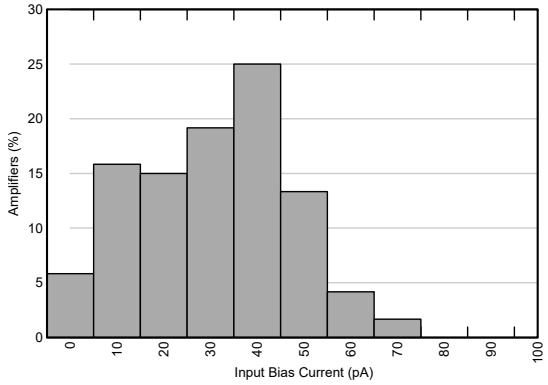
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = -40°C
N = 120　　均值 = –0.64µV　　Σ = 1.2µV

图 5-3. 失调电压分布图



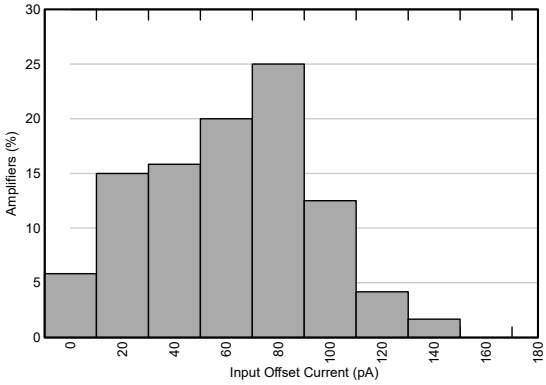
V_S = 5.5V　　V_{CM} = V_S/2　　N = 120
均值 = 0.013µV/°C　　Σ = 0.007µV/°C

图 5-4. 偏移电压漂移



V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25°C
N = 120　　均值 = 35.9pA　　Σ = 16.1pA

图 5-5. 输入偏置电流分布



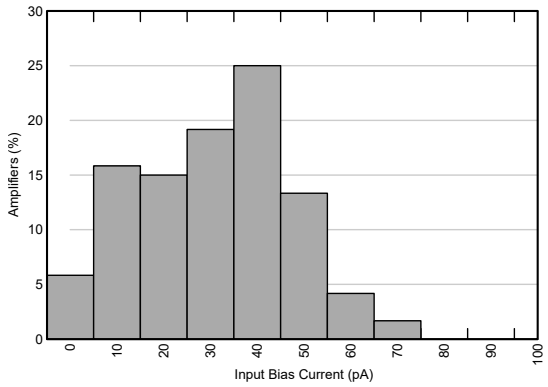
V_S = 5.5V　　V_{CM} = V_S/2　　T_A = 25°C
N = 120　　均值 = 71.7pA　　Σ = 32.1pA

图 5-6. 输入偏移电流分配

Copyright © 2026 Texas Instruments Incorporated

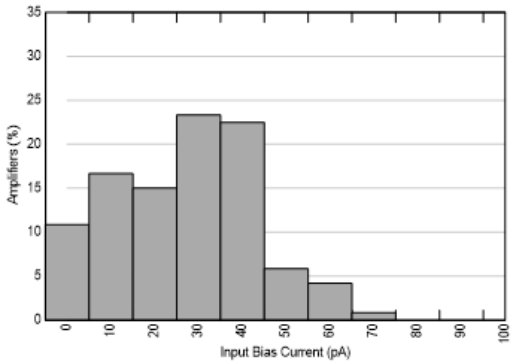
5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）



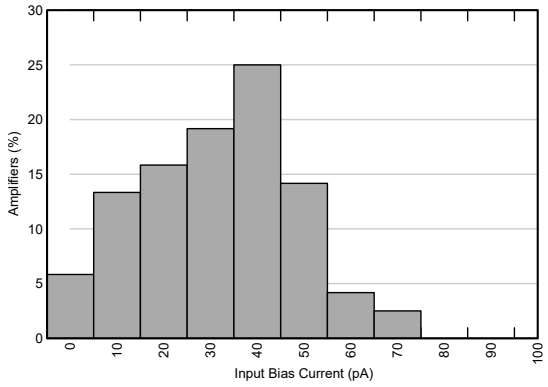
V_S = 5.5V　V_{CM} = V_S/2　T_A = 125°C
N = 120　均值 = 35.9pA　Σ = 16.1pA

图 5-7. 输入偏置电流分布



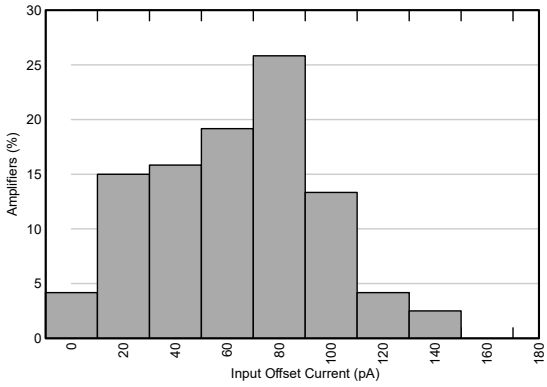
V_S = 5.5V　V_{CM} = V_S/2　T_A = 125°C
N = 120　均值 = 31.5pA　Σ = 15.7pA

图 5-8. 输入偏移电流分配



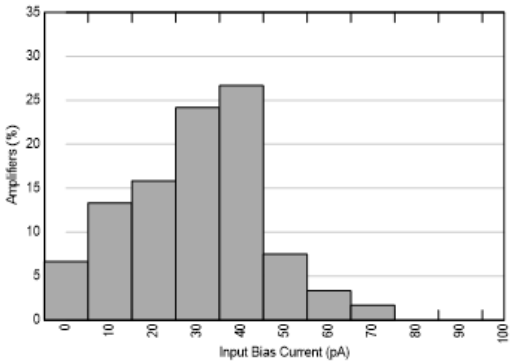
V_S = 1.8V　V_{CM} = V_S/2　T_A = 25°C
N = 120　均值 = 36.7pA　Σ = 16.3pA

图 5-9. 输入偏置电流分布



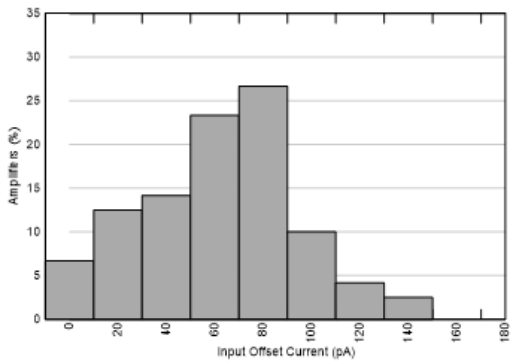
V_S = 1.8V　V_{CM} = V_S/2　T_A = 25°C
N = 120　均值 = 73.1pA　Σ = 32.4pA

图 5-10. 输入偏移电流分配



V_S = 1.8V　V_{CM} = V_S/2　T_A = 125°C
N = 120　均值 = 34.1pA　Σ = 16.2pA

图 5-11. 输入偏置电流分布



V_S = 1.8V　V_{CM} = V_S/2　T_A = 125°C
N = 120　均值 = 72pA　Σ = 32.4pA

图 5-12. 输入偏移电流分配

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）

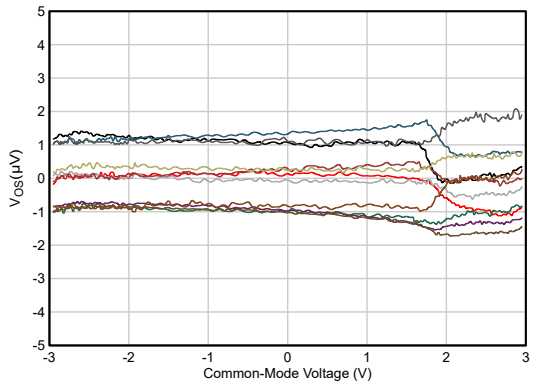


图 5-13. 失调电压与共模电压间的关系

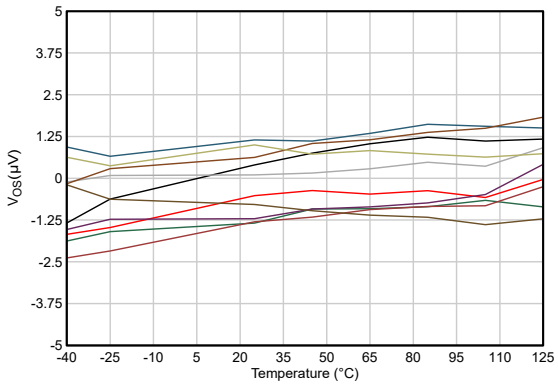


图 5-14. 失调电压与温度间的关系

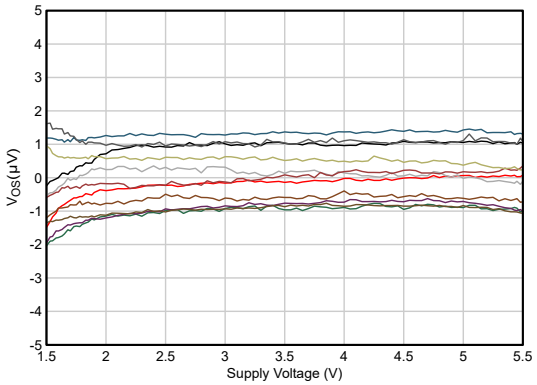


图 5-15. 偏移电压与电源电压间的关系

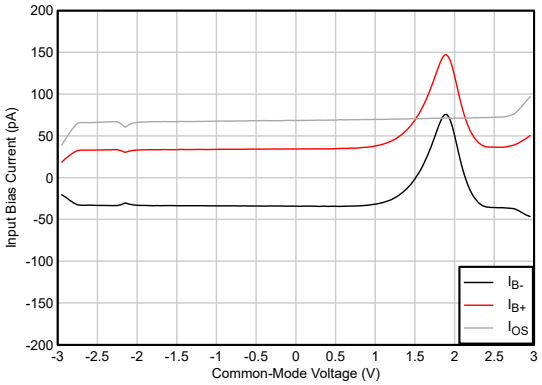


图 5-16. 输入偏置电流与共模电压间的关系

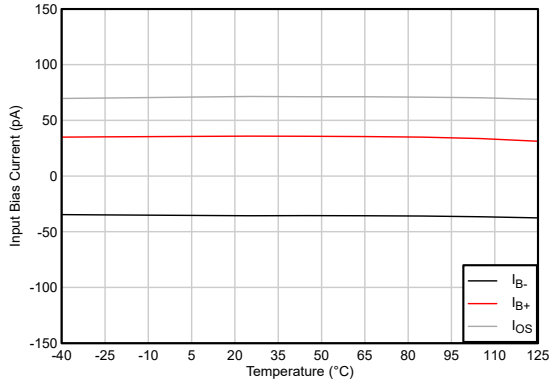


图 5-17. 输入偏置电流、失调电流与温度间的关系

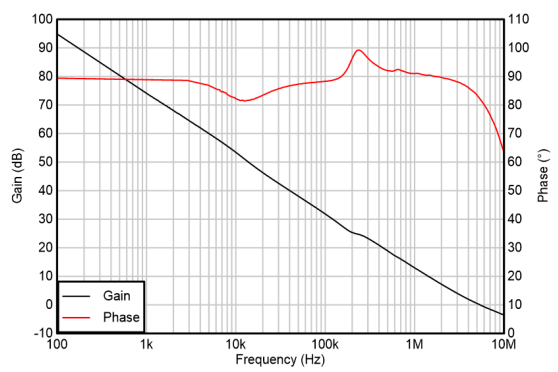


图 5-18. 开环增益和相位与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）

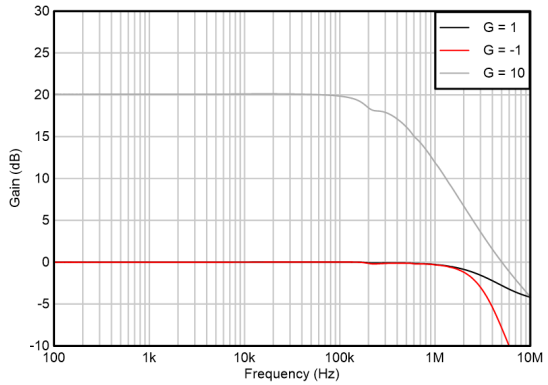


图 5-19. 闭环增益与频率间的关系

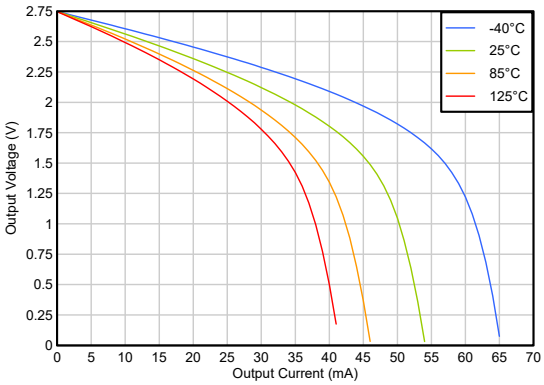


图 5-20. 输出电压摆幅与
输出电流（拉电流）间的关系

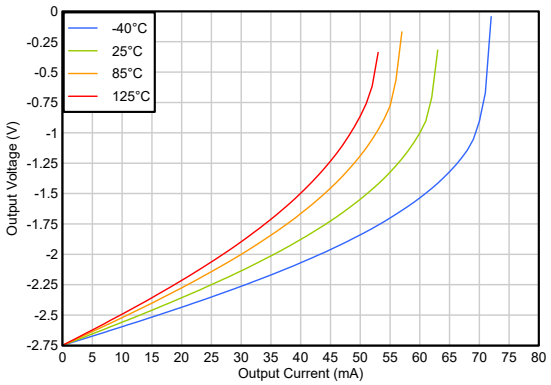
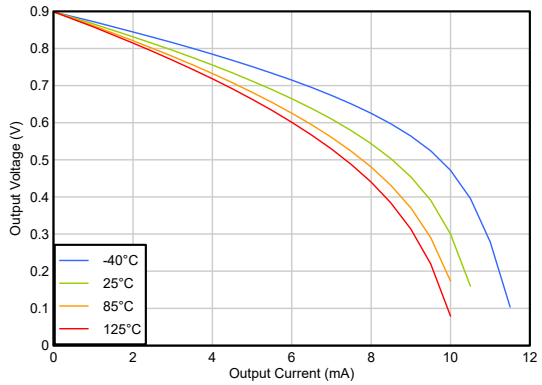
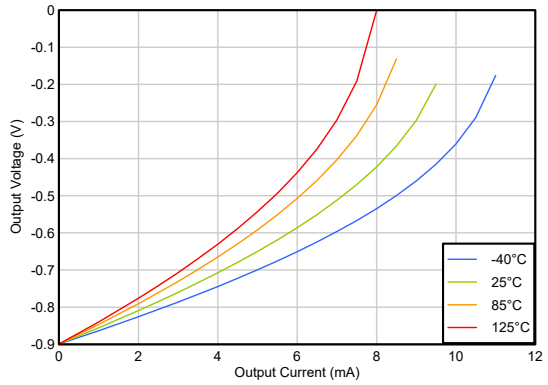


图 5-21. 输出电压摆幅与
输出电流（灌电流）间的关系



V_S = 1.8V

图 5-22. 输出电压摆幅与
输出电流（拉电流）间的关系



V_S = 1.8V

图 5-23. 输出电压摆幅与
输出电流（灌电流）间的关系

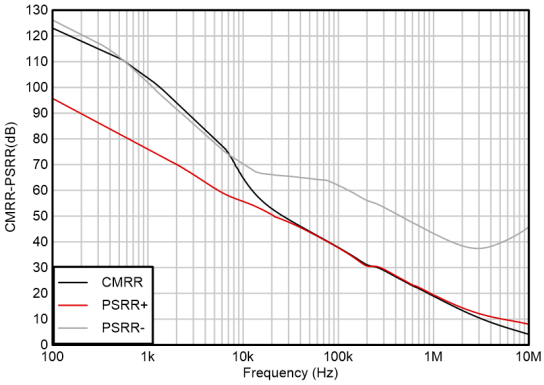


图 5-24. CMRR 和 PSRR 与频率间的关系

5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）

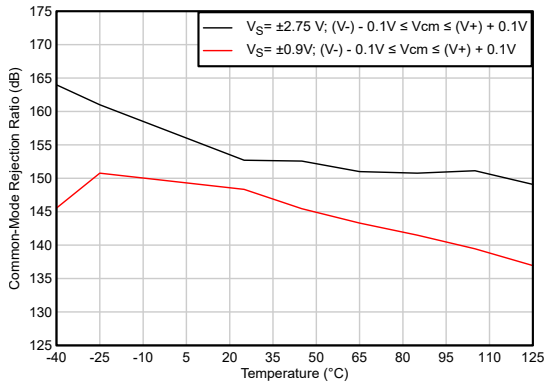


图 5-25. CMRR 与温度间的关系

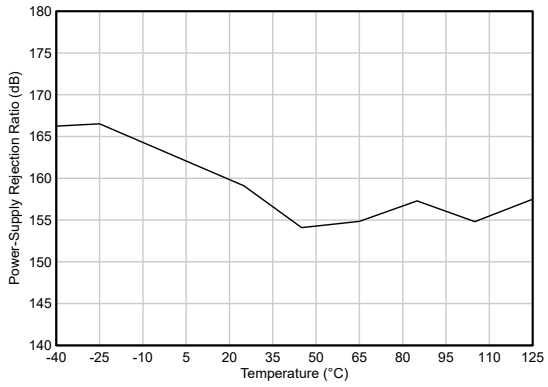


图 5-26. PSRR 与温度间的关系

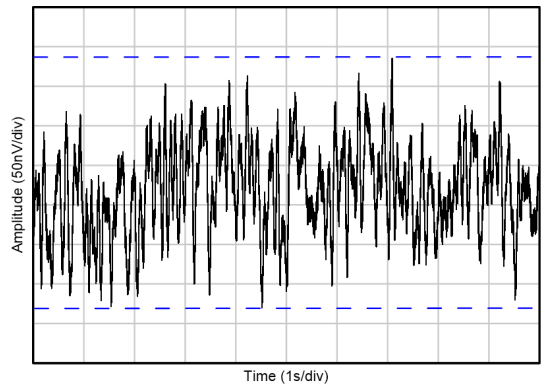


图 5-27. 0.1Hz 至 10Hz 电压噪声

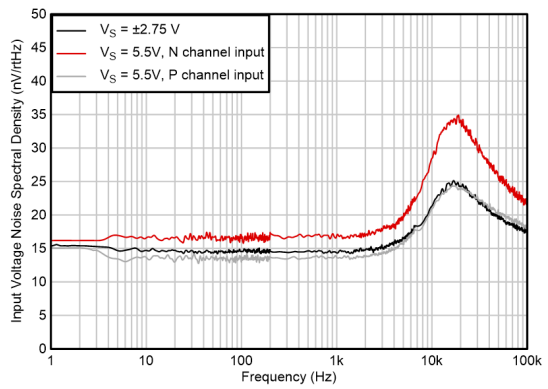


图 5-28. 输入电压噪声频谱密度与频率间的关系

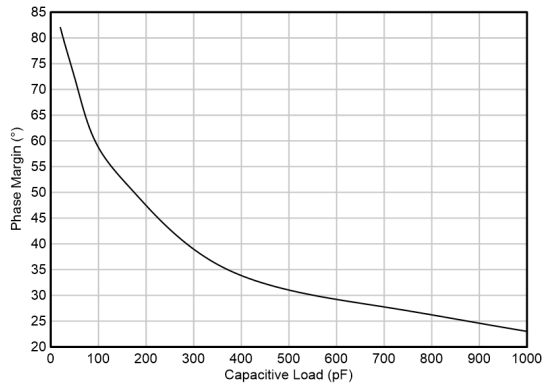
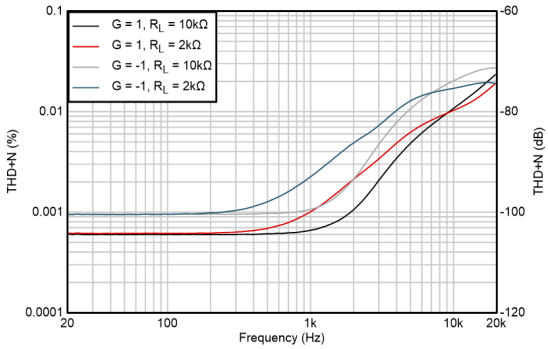


图 5-29. 相位裕度与容性负载间的关系



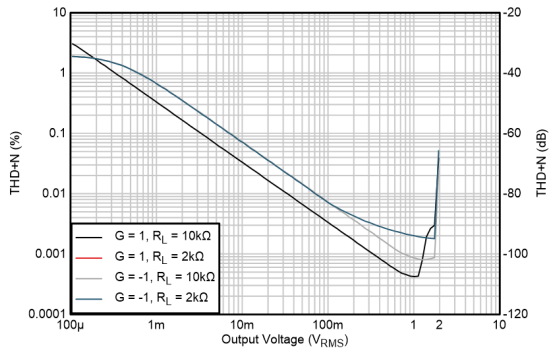
V_{OUT} = 1V_{RMS}

图 5-30. THD+N 与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）



f = 1kHz

图 5-31. THD+N 与输出幅度间的关系

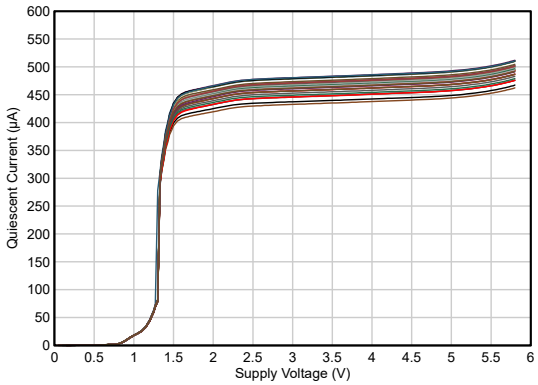


图 5-32. 静态电流与电源电压间的关系

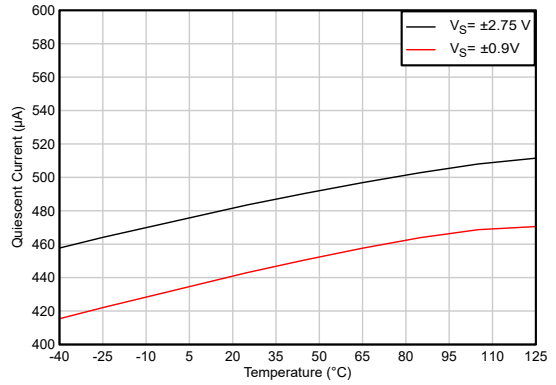


图 5-33. 静态电流与温度间的关系

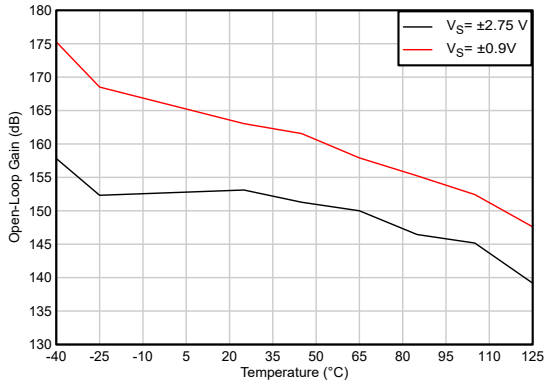


图 5-34. 开环增益与温度间的关系

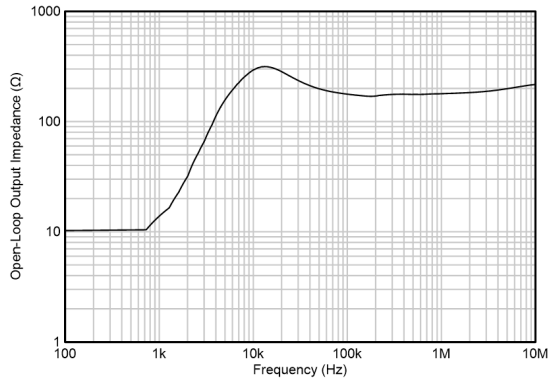
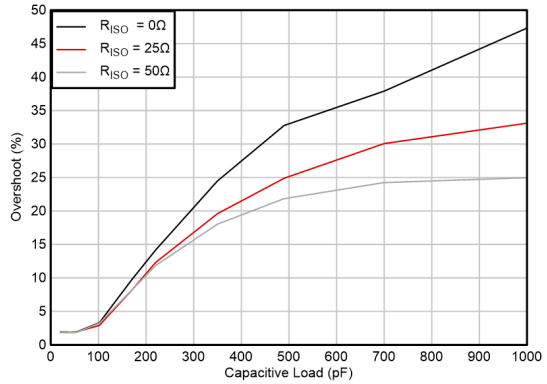


图 5-35. 开环输出阻抗与频率间的关系

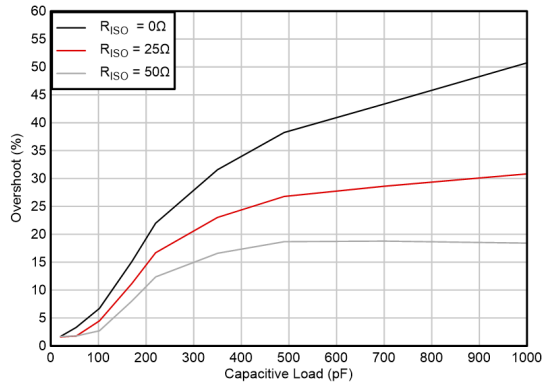


增益 = -1，10mV 阶跃

图 5-36. 小信号过冲与容性负载间的关系

5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）



增益 = 1，10mV 阶跃

图 5-37. 小信号过冲与容性负载间的关系

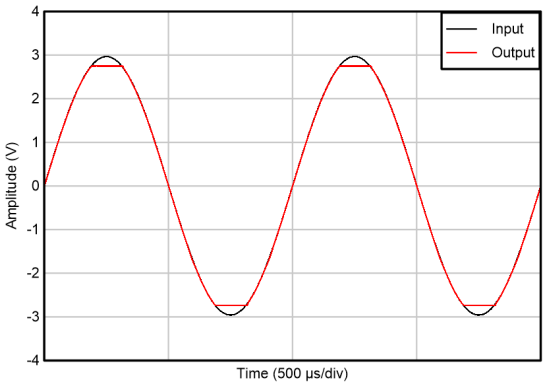


图 5-38. 无相位反转

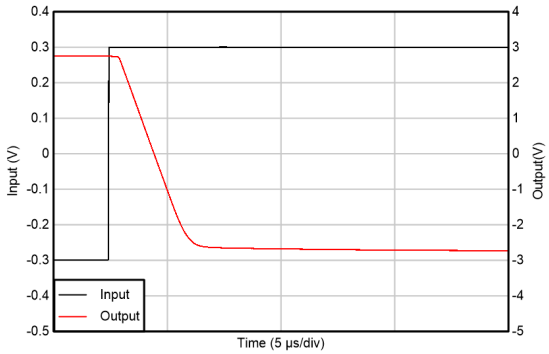


图 5-39. 正过载恢复

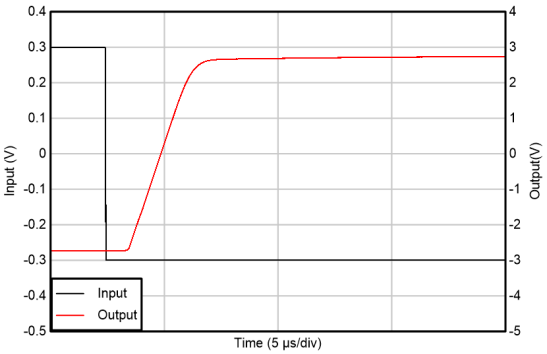
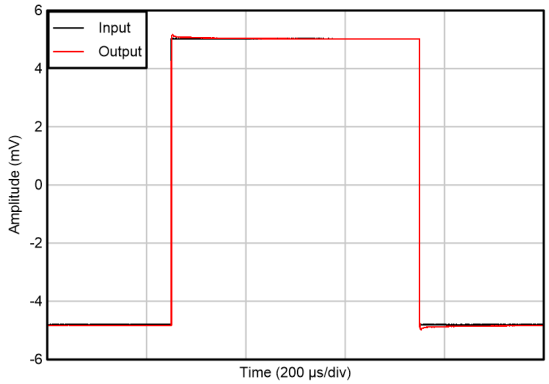
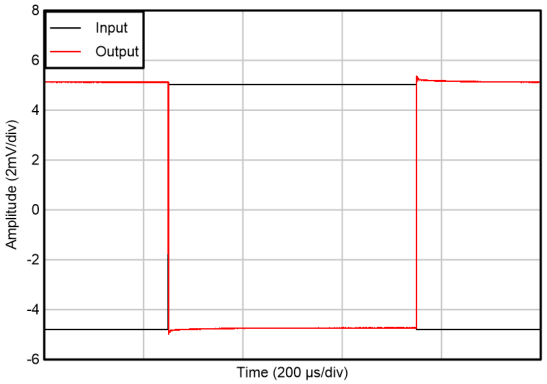


图 5-40. 负过载恢复



增益 = 1，10mV 阶跃

图 5-41. 小信号阶跃响应



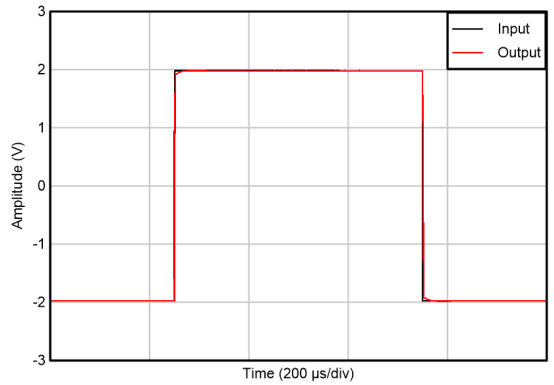
增益 = -1，10mV 阶跃

图 5-42. 小信号阶跃响应

Copyright © 2026 Texas Instruments Incorporated

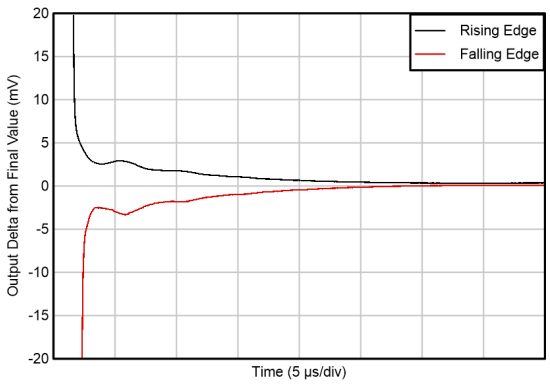
5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）



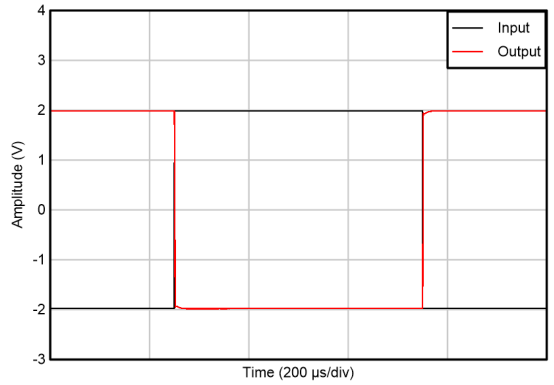
增益 = 1，4V 阶跃

图 5-43. 大信号阶跃响应



增益 = 1，4V 阶跃

图 5-44. 输出稳定至最终值



增益 = -1，4V 阶跃

图 5-45. 大信号阶跃响应

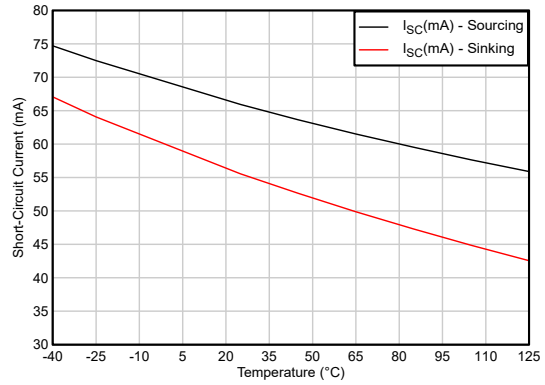


图 5-46. 短路电流与温度间的关系

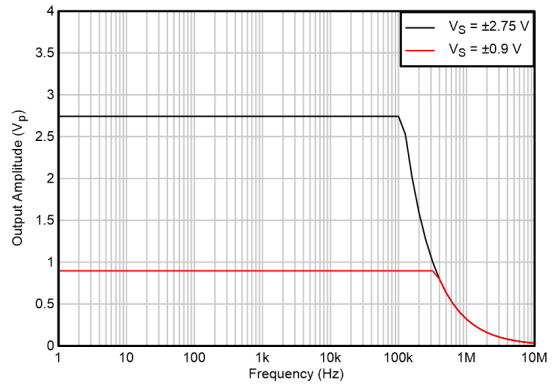


图 5-47. 最大输出电压与频率间的关系

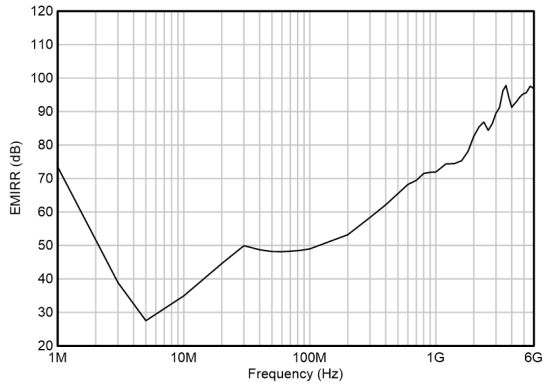


图 5-48. EMIRR 与频率间的关系

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性 (续)

测量条件：T_A = 25°C，V_S = ±2.75V，V_{CM} = V_S / 2，以 R_L = 10kΩ（除非另有说明）

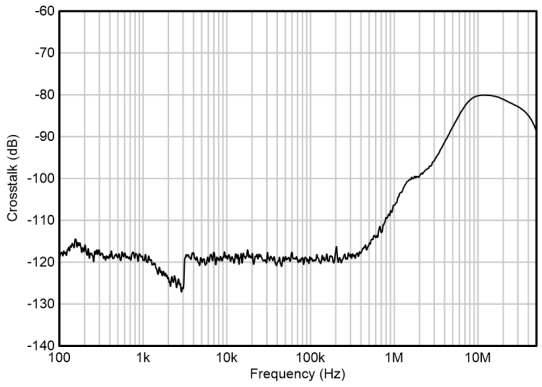


图 5-49. 通道隔离

Copyright © 2026 Texas Instruments Incorporated

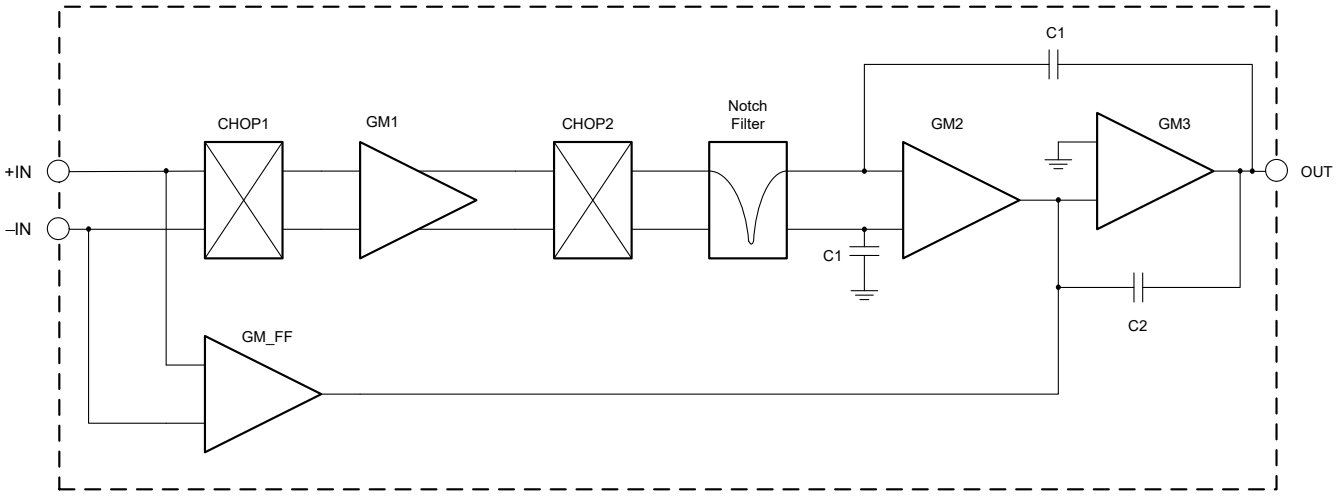
6 详细说明

6.1 概述

TLVx825 是 TI 旗下零漂移运算放大器系列的一员。零漂移架构提供高精度性能，例如，更低的失调电压、更低的温漂、更高的长期失调电压稳定性以及平坦的本底噪声。TLVx825 实现 4μV 的输入参考失调电压，在 –40°C 至 +125°C 的整个工作温度范围内温漂为 0.02μV/°C，并在标准 0.1Hz 至 10Hz 范围内实现仅 320nV$_{PP}$ 的低频噪声。此外，该器件具备优异的线性性能，具有较高的 CMRR、PSRR 和 A$_{OL}$。该组合规格在高增益应用中提供出色的精度，从而大幅降低系统级校准的需求。

TLVx825 运算放大器兼具精密的偏移与漂移特性和优异的整体交流性能，使该器件成为多种高精度电压检测与电流检测应用的理想选择。该器件工作电压范围为 1.8V 至 5.5V，静态电流为 500μA，同时在单位增益条件下可实现 300pF 的稳定容性负载驱动能力，过冲为 30%。该器件还具备良好的交流性能，包括 3.5MHz 带宽、15nV/√Hz 宽带噪声，以及在低于 200kHz 斩波频率运行时的良好失真性能。

6.2 功能方框图



6.3 特性说明

TLVx825 运算放大器使用专有的周期性自动校准技术，可提供非常低的输入偏移电压以及随时间和温度变化的输入偏移电压漂移。这些器件具有多种集成功能，有助于在各种应用中保持高精度水平。这些特性包括强大的容性负载稳定性、相位反转保护和强大的 EMI 抑制功能。

优化斩波放大器精度 技术白皮书和 *运算放大器偏移电压和偏置电流限制* 技术白皮书详细介绍了用于保持 TLVx825 指定性能的若干设计技术和注意事项。

6.3.1 工作电压

TLVx825 系列运算放大器的额定工作电压范围为 1.8V 至 5.5V。此外，许多规格在 –40°C 至 125°C 的温度范围内都适用。*典型特性* 部分中提供了随工作电压或温度的变化而显著变化的参数。TI 强烈建议在每个电源引脚和接地之间添加低 ESR 陶瓷旁路电容器 (C$_{BYP}$)。对于单电源运行，只需一个 C$_{BYP}$ 就足够了。确保 C$_{BYP}$ 尽可能靠近器件放置，并且电源布线在到达放大器电源端子之前经过 C$_{BYP}$。

6.3.2 输入共模范围

TLVx825 的额定工作电压范围是 1.8V 至 5.5V (±0.9V 至 ±2.75V) 。TLVx825 被归类为轨到轨输入运算放大器，因为其宽输入共模电压 (V$_{CM}$) 范围可扩展至超出任一电源轨 100mV。该范围使其成为单个电源操作和精密低侧、高侧电流检测应用的理想选择。该器件在 1.8V 与 5.5V 电源导轨条件下，于整个共模范围内可实现 120dB 或更高的典型 CMRR。

Copyright © 2026 Texas Instruments Incorporated

6.3.3 输出范围

TLVx825 提供稳健的输出驱动能力。它采用一个具有共源晶体管的输出级来实现完全的轨到轨输出摆幅功能。该器件在室温且 5.5V 条件下设计的典型输出短路电流为 ±60mA，使其成为驱动电阻性负载与电流负载的理想选择。对于高达 2kΩ 的电阻负载和 5.5V 的电源，输出电压摆幅在最大 30mV 以内，这与任一电源轨相差无几，从而在 ADC 驱动器应用中几乎可以使用 ADC 的整个输入范围。

6.3.4 容性负载和稳定性

TLVx825 设计用于需要驱动电容负载的应用。与所有运算放大器一样，可能存在会使器件变得不稳定的特定情况。在确定特定运算放大器的运行是否稳定时，需要考虑放大器电路配置、布局、增益和输出负载等因素。

在单位增益 (1V/V) 缓冲器配置下驱动容性负载的运算放大器比在更高噪声增益下工作的放大器更容易出现不稳定的情况。容性负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相位裕度降级的极点。当容性负载增加时，相位裕度的降级会增大。在单位增益配置下运行时，TLVx825 的相位裕度为 60°，容性负载为 100pF。器件具有可接受的相位裕度 35°，在高达约 350pF 的纯容性负载下仍能保持稳定，并且不超过 1nF 时无持续振荡。有时某些超大电容器（大于 1μF）的等效串联电阻 (ESR) 足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测量放大器的过冲响应，放大器驱动能力的提升会非常明显。

要提升在单位增益配置下运行的放大器的容性负载驱动能力，一种方法是插入一个与输出串联的小型电阻器（一般为 10Ω 到 50Ω），（如图 6-1 中所示）。这个电阻器大大减少了与大容性负载相关的过冲和振铃。此操作通常是 ADC 驱动器应用中使用的电路配置，其中 C_{load} 用作 ADC 采样电容器的电荷桶。

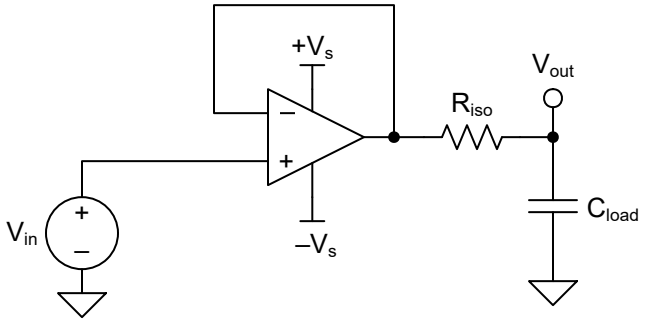


图 6-1. 增强容性负载驱动能力

Copyright © 2026 Texas Instruments Incorporated

6.3.5 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出级进入饱和区。一旦其中一个输出进入饱和区，输出级需要额外的时间才能恢复到线性工作状态，这被称为过载恢复时间。在输出级恢复线性工作状态后，放大器开始以指定的转换率转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TLVx825 系列的过载恢复时间典型值约为 1.5 µs。

6.3.6 相位反转保护

TLVx825 包括内部相位反转保护功能。当输入驱动超出线性共模范围时，一些运算放大器会发生相位反转。这是同相与单位增益电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。TLVx825 的输入采用额外的共模电压来防止相位反转。或者，输出被限制至适当的电源轨。图 6-2 展示了该性能。

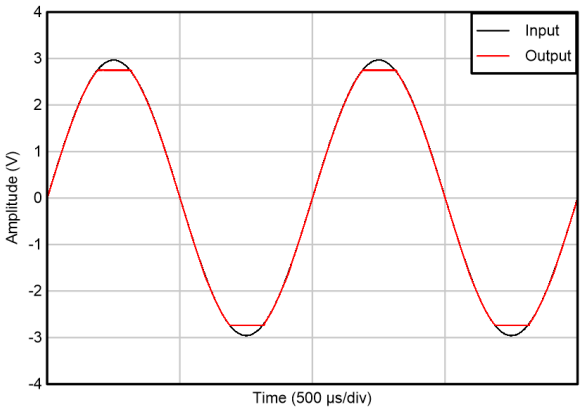


图 6-2. 无相位反转

6.3.7 斩波瞬态

零漂移放大器（如 TLVx825）在输入上使用开关架构来改正放大器的固有偏移和漂移。输入上来自集成开关的电荷注入可能会在放大器的输入偏置电流中引入短时瞬态。这些脉冲极短的持续时间可以防止放大，但是这些脉冲可通过反馈网络与放大器的输出进行耦合。使用低值反馈和输入电阻器可以更大限度地减小放大器输出端的输入瞬态影响。使用 RC 网络等低通滤波器，以更大限度地减少由瞬态引起的任何额外噪声。TLVx825 的斩波频率通常为 200kHz。

6.3.8 EMI 抑制

TLVx825 通过集成电磁干扰 (EMI) 滤波降低无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；TLVx825 从这些设计改进中受益。

传导或辐射到运算放大器任何引脚的高频信号都可能导致不利影响，因为放大器环路增益不足，无法校正频谱含量超出带宽的信号。在输入端、电源或输出端上传导或辐射的 EMI 可能会导致意想不到的直流偏置、瞬态电压或其他未知的行为。请注意在敏感模拟节点与噪杂的无线电信号以及数字时钟和接口之间实施适当的屏蔽和隔离。

德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。图 6-3 展示了对 TLVx825 执行此测试的结果。表 6-1 列出了 TLVx825 在实际应用中常见特定频率下的 EMIRR IN+ 值。表 6-1 列出了可在下图所示的特定频率或其近似频率下运行的应用。另请参见*运算放大器的 EMI 抑制比（以 OPA333 和 OPA333-Q1 为例）*应用报告。

Copyright © 2026 Texas Instruments Incorporated

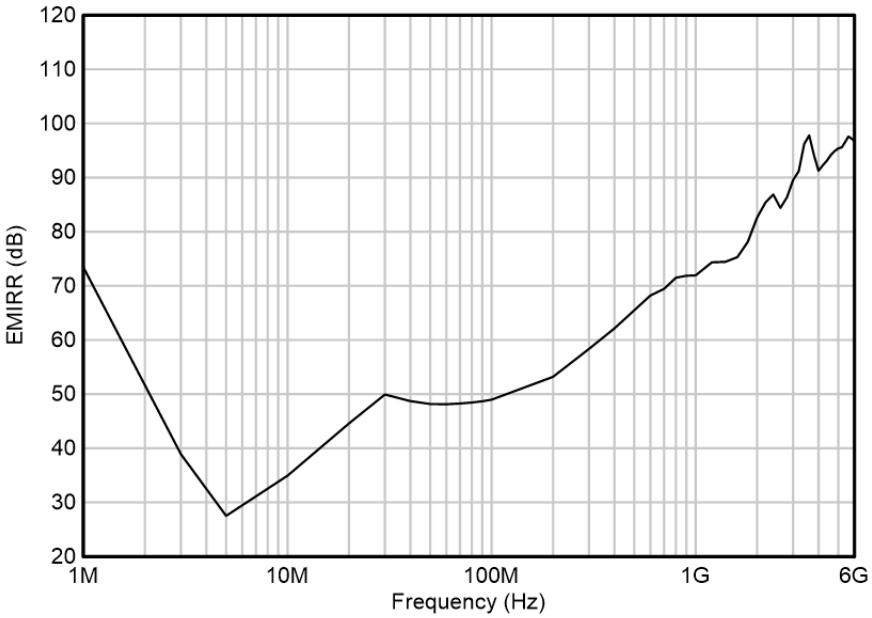


图 6-3. EMIRR 测试

表 6-1. TLVx825 在相关频率下的 EMIRR IN+

频率	应用和分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	63dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	72dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	75.5dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	86dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	97dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	95.5dB

电磁干扰 (EMI) 抑制比 (EMIRR) 可用来描述运算放大器的 EMI 抗扰性。对许多运算放大器而言，射频信号整流会导致偏移电压变化这一常见不利影响。如果一个运算放大器能更有效地抑制由 EMI 引起的偏移电压变化，该放大器会具有较高的 EMIRR 并通过分贝值量化。测量 EMIRR 的方法有很多种，但本节提供的是 EMIRR +IN，它专门描述了当射频信号施加到运算放大器的同相输入引脚时的 EMIRR 性能。一般来说，出于以下三个原因，仅对同相输入进行 EMIRR 测试：

- 众所周知，运算放大器输入引脚对 EMI 最为敏感，通常比电源引脚或输出引脚能更好地校正射频信号。
- 同相和反相运算放大器输入具有对称的物理布局，并表现出近乎匹配的 EMIRR 性能。
- 在同相引脚上测量 EMIRR 比在其他引脚上测量更简单，因为在 PCB 上可以隔离同相输入终端。这种隔离使得射频信号可以直接施加到同相输入端子上，而不会与其他组件或连接性 PCB 走线之间发生复杂的相互作用。

传导或辐射到运算放大器任何引脚的高频信号都可能导致不利影响，因为放大器环路增益不足，无法校正频谱含量超出带宽的信号。在输入端、电源或输出端上传导或辐射的 EMI 可能会导致意想不到的直流偏置、瞬态电压或其他未知的行为。请注意在敏感模拟节点与噪杂的无线电信号以及数字时钟和接口之间实施适当的屏蔽和隔离。

6.3.9 电过应力

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气

Copyright © 2026 Texas Instruments Incorporated

过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

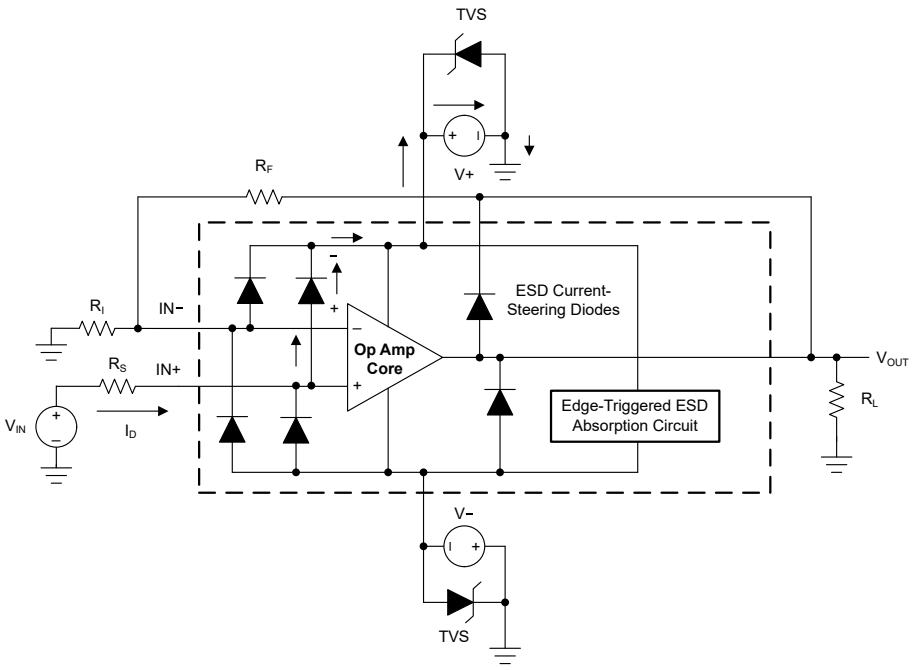
充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。图 6-4 展示了 TLVx825 中包含的 ESD 电路（用虚线区域展示）。ESD 保护电路涉及多个电流驱动二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未运行状态。

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发或阈值电压，该电压高于 TLVx825 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

图 6-4 显示了当运算放大器接入某个电路时，ESD 保护元件将保持未激活状态，并且不会参与应用电路的运行。不过，如果施加的电压超出指定引脚的工作电压范围，可能会引起一些问题。如果出现这种情况，则存在部分内部 ESD 保护电路可能被偏置并传导电流的风险。此类电流将流经导流二极管路径，但很少涉及吸收器件。

Copyright © 2026 Texas Instruments Incorporated



V_{IN} = (V+) + 500mV

TVS：V+ < $V_{TVSBR\ (min)}$ < 6V，其中 $V_{TVSBR\ (min)}$ 是 TVS 击穿电压的最小额定值。

过压条件下，R_S 的建议值约为 5kΩ。

图 6-4. 与典型电路应用相关的等效内部 ESD 电路

图 6-4 给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 (V+) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 V+ 能够灌入电流，那么上面的一个输入导流二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 V+ 或 V– 为 0V 时向输入施加一个输入信号，放大器将如何响应。同样，此问题取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，则运算放大器电源电流可由输入源通过导流二极管进行提供。该状态不是放大器的正常偏置条件，可能导致规格下降或运行异常。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源引脚处外接瞬态电压抑制器 (TVS) 二极管；另请参阅 图 6-4。必须正确选择击穿电压，以确保二极管不会在正常工作期间导通。不过，击穿电压必须足够低，以便 TVS 二极管在电源引脚电压上升至超过安全工作电源电压水平时导通。

6.4 器件功能模式

TLVx825 具有单一功能模式，当电源电压至少为 1.8V (±0.9V) 或更高时即可正常工作。TLVx825 的建议电源电压范围为 1.8V 至 5.5V（±0.9V 至 ±2.75V）。

Copyright © 2026 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLVx825 运算放大器兼具精密的偏移和漂移与出色的总体性能，使该器件成为许多精密应用的理想选择。凭借仅 0.02μV/°C 的精密温漂，该器件可在整个温度范围内提供稳定性。此外，该器件还集出色的 CMRR、PSRR 和 A_{OL} 直流性能与出色的低噪声运行于一体。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下，0.1μF 电容器已足够满足需求。

7.1.1 基本噪声计算

低噪声电路设计需要仔细分析所有噪声源。在许多情况下，外部噪声源可能具有主导作用；应考虑源阻抗对整体运算放大器噪声性能的影响。电路总计噪声是所有噪声分量的平方和根值。

源阻抗的电阻部分产生的热噪声与电阻的方根成正比。源阻抗一般为固定的值；因此，需通过选择运算放大器和反馈电阻来尽可能降低总噪声的相应分量。

图 7-1 显示采用增益配置的同相运算放大器电路。图 7-2 显示采用增益配置的反相运算放大器电路。在增益配置电路中，反馈网络电阻也会产生噪声。通常情况下，运算放大器的电流噪声根据反馈电阻不同，进而产生额外的噪声分量。但是，TLVx825 的低电流噪声意味着我们可以忽略电流噪声的作用。

一般可通过选择合适的反馈电阻值使这些噪声源降低至忽略不计。低阻抗反馈电阻可负载放大器的输出。以下为两种配置的总噪声计算公式。

有关噪声计算的其他资源，请访问 *TI 高精度实验室*。

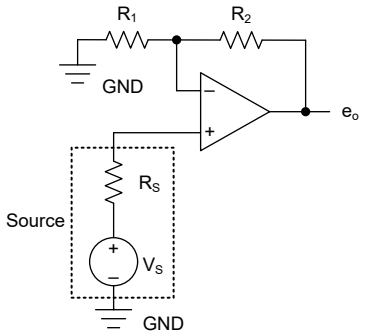


图 7-1. 同相增益配置中的噪声计算

$$E_o = e_o\sqrt{BW_N}\ [V_{RMS}] \quad (1)$$

$$e_o = \left(1 + \frac{R_2}{R_1}\right)\sqrt{{e_S}^2 + {e_N}^2 + \left(e_{R_1||R_2}\right)^2 + \left(i_N R_S\right)^2 + \left(i_N \frac{R_1 R_2}{R_1 + R_2}\right)^2}\left[\frac{V}{\sqrt{Hz}}\right] \quad (2)$$

$$e_S = \sqrt{4k_B T(K) R_S}\left[\frac{V}{\sqrt{Hz}}\right] \quad (3)$$

$$e_{R_1||R_2} = \sqrt{4k_B T(K)\left(\frac{R_1 R_2}{R_1 + R_2}\right)}\left[\frac{V}{\sqrt{Hz}}\right] \quad (4)$$

$$k_B = 1.38065 \times 10^{-23}\left[\frac{J}{K}\right] \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

$$T(K) = 2.37.15 + T(°C)\ [K] \quad (6)$$

其中

- e_n 是放大器的电压噪声频谱密度。对于 TLVx825，e_n = 15nV/ √Hz（1kHz 时）。
- e_N 是总计噪声密度。
- e_S 是 R_S 的热噪声。
- $e_{R_1 \,||\, R_2}$ 是 R_1 || R_2 的热噪声。
- k_B 是玻尔兹曼常数。
- T(K) 是以开尔文为单位的温度。

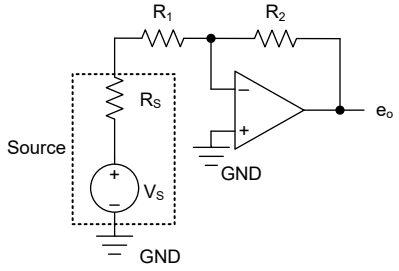


图 7-2. 反相增益配置中的噪声计算

$$E_o = e_o\sqrt{BW_N}\ [V_{RMS}] \quad (7)$$

$$e_o = \left(1 + \frac{R_2}{R_S + R_1}\right)\sqrt{{e_N}^2 + \left(e_{R_1 + R_S||R_2}\right)^2 + \left(i_N\frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)^2}\left[\frac{V}{\sqrt{Hz}}\right] \quad (8)$$

$$e_{R_1 + R_S||R_2} = \sqrt{4k_BT(K)\left(\frac{(R_S + R_1)R_2}{R_S + R_1 + R_2}\right)}\left[\frac{V}{\sqrt{Hz}}\right] \quad (9)$$

$$k_B = 1.38065 \times 10^{-23}\left[\frac{J}{K}\right] \quad (10)$$

$$T(K) = 2.37.15 + T(°C)\ [K] \quad (11)$$

其中

- e_n 是放大器的电压噪声频谱密度。对于 TLVx825，e_n = 15nV/ √.Hz（1kHz 时）
- e_N 是总计噪声密度。
- e_S 是 R_S 的热噪声。
- $e_{(R_1 + R_S) \,||\, R_2}$ 是 (R_1 + R_S) || R_2 的热噪声。
- k_B 是玻尔兹曼常数。
- T(K) 是以开尔文为单位的温度。

Copyright © 2026 Texas Instruments Incorporated

7.2 典型应用

7.2.1 TLVx825 低侧电流检测应用

图 7-3 展示了低侧电流检测应用中配置的 TLVx825。

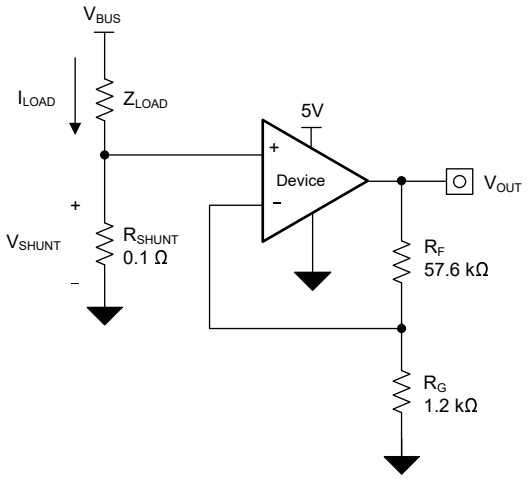


图 7-3. 低侧电流检测应用中的 TLVx825

7.2.1.1 设计要求

此设计的设计要求如下：

- 负载电流：0A 至 1A
- 输出电压最大值：4.9V
- 最大分流电压：100mV

7.2.1.2 详细设计过程

方程式 12 提供了图 7-3 中的电路传递函数。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \tag{12}$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 13 定义了最大分流电阻。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\ mV}{1\ A} = 100\ m\Omega \tag{13}$$

使用方程式 13 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 TLVx825 放大，从而产生约 0V 至 4.9V 的输出电压。TLVx825 产生必要输出电压时所需的增益根据方程式 14 算出。

$$Gain = \frac{V_{OUT_MAX} - V_{OUT_MIN}}{V_{IN_MAX} - V_{IN_MIN}} \tag{14}$$

使用方程式 14 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 15 可确定 R_F 和 R_G 电阻器的大小，从而将 TLV825 的增益设置为 49V/V。

$$Gain = 1 + \frac{R_F}{R_G} \tag{15}$$

选择 R_F 为 57.6kΩ 和 R_G 为 1.2kΩ 的组合，可得到 49V/V。图 7-4 展示了图 7-3 中所示电路测得的传递函数。请注意，增益只是反馈和增益电阻器的函数。通过改变电阻器的比率来调整该增益，并且实际电阻器值由设计人

Copyright © 2026 Texas Instruments Incorporated

员想要建立的阻抗水平确定。阻抗水平决定了电流损耗、杂散电容的影响以及其他一些行为。并不存在适用于每个系统的阻抗选择；应选择适合您的系统参数的阻抗。

7.2.1.3 应用曲线

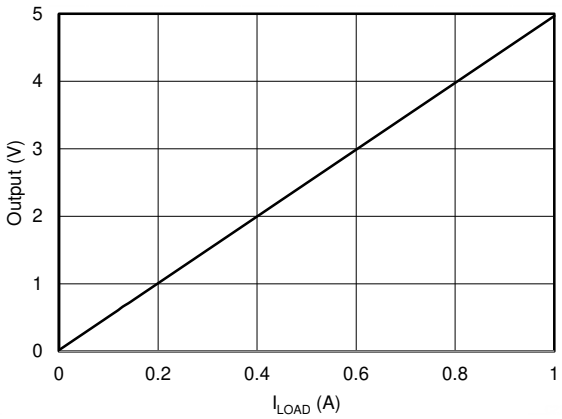


图 7-4. 低侧电流检测传递函数

7.3 电源相关建议

TLVx825 的额定工作电压范围是 1.8V 至 5.5V（±0.9V 至 ±2.75V）。TLVx825 可由单电源和双电源供电。TLVx825 不需要对称电源；运算放大器只需 1.8V 的最小电压即可工作。

小心
电源电压大于 6V 会对器件造成永久性损坏（请参阅*绝对最大额定值* 表）。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。有关旁路电容器放置位置的详细信息，请参阅*布局*。

7.4 布局

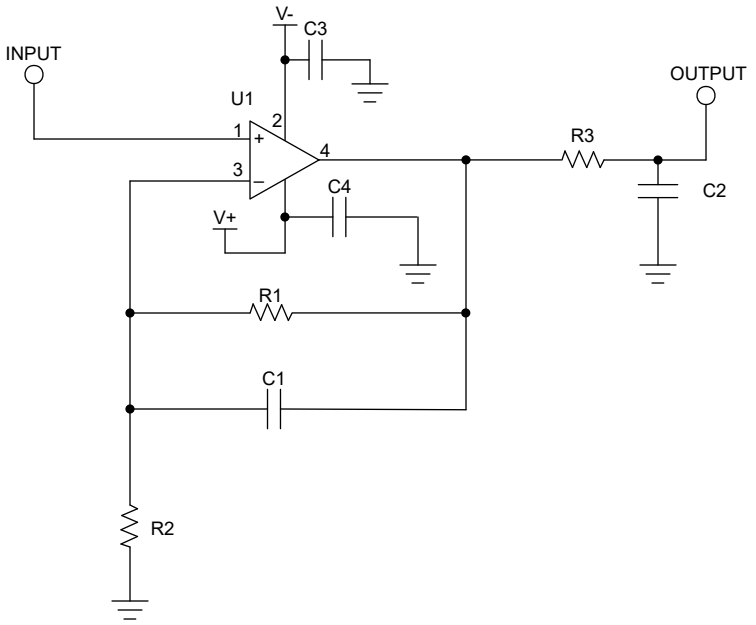
7.4.1 布局指南

为了实现出色的运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 噪声可以通过电路板的电源连接传播到模拟电路中，并传播到运算放大器的电源引脚。旁路电容器用于通过提供低阻抗接地路径来降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。从 V+ 到接地端的一个旁路电容器足以满足单电源应用的需求。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分开，则以 90 度角穿过敏感走线比平行于噪声走线来排布走线要好得多。
- 外部元件的位置应尽量靠近器件，如*布局示例* 中所示。使 R_1 和 R_2 接近反相输入可更大限度地减小寄生电容。
- 尽可能缩短输入走线的长度。切记，输入走线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- TI 建议在组装 PCB 板之后对其进行清洁，以获得卓越性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，TI 建议将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 布局示例



C3 和 C4 是 C_{BYP} 电容器

图 7-5. 同相配置布局示例的原理图

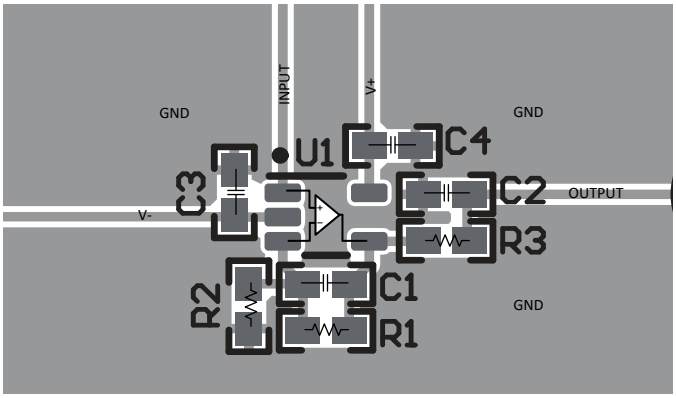


图 7-6. 同相配置的运算放大器电路板布局布线 - SOT-SC70 (DCK) 封装

Copyright © 2026 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型设计，可降低开发成本并缩短上市时间。

8.1.1.2 TINA-TI™ 仿真软件（免费下载）

TINA-TI™ 仿真软件是一款简单易用、功能强大且基于 SPICE 引擎的电路仿真程序。TINA-TI 仿真软件是 TINA™ 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 仿真软件提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 仿真软件提供全面的后处理能力，便于用户以多种方式获得结果，用户可从设计和仿真工具网页免费下载。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

必须安装 TINA 软件或者 TINA-TI 软件后才能使用这些文件。请从 TINA-TI 软件文件夹中下载免费的 TINA-TI 仿真软件。

8.2 文档支持

8.2.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*零漂移放大器：特性和优势* 应用简报
- 德州仪器 (TI)，*PCB 是一个运算放大器设计的组件* 模拟设计期刊
- 德州仪器 (TI)，*运算放大器增益稳定性，第 3 部分：交流增益误差分析* 模拟设计期刊
- 德州仪器 (TI)，*运算放大器增益稳定性，第 2 部分：直流增益误差分析* 模拟设计期刊
- 德州仪器 (TI)，*在全差分有源滤波器中使用无限增益、MFB 滤波器拓扑* 模拟设计期刊
- 德州仪器 (TI)，*运算放大器性能分析* 应用手册
- 德州仪器 (TI)，*运算放大器的单电源操作* 应用说明
- 德州仪器 (TI)，*无铅组件涂层的货架期评估* 应用说明
- 德州仪器 (TI)，*反馈曲线图定义运算放大器交流性能* 应用说明
- 德州仪器 (TI)，*运算放大器的 EMI 抑制比（以 OPA333 和 OPA333-Q1 为例）* 应用手册
- 德州仪器 (TI)，*电阻式温度检测器的模拟线性化* 模拟设计期刊
- 德州仪器 (TI)，*TI 精密设计 TIPD102 高侧电压电流 (V-I) 转换器* 参考指南
- 德州仪器 (TI)，*优化斩波放大器精度* 技术白皮书
- 德州仪器 (TI)，*运算放大器失调电压和偏置电流限制* 技术白皮书

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

Copyright © 2026 Texas Instruments Incorporated

8.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (June 2026) to Revision B (September 2026)	Page
• 将 TLV2825 D 和 DGK 封装的状态从“预览”更改为“量产数据”	1

Changes from Revision * (May 2026) to Revision A (June 2026)	Page
• 将 TLV4825 D 和 PW 封装的状态从“预告信息”更改为“量产数据”	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2825DGKR	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45VS
TLV2825DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45QT
TLV4825DR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45WTLV4825
TLV4825PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45US825

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

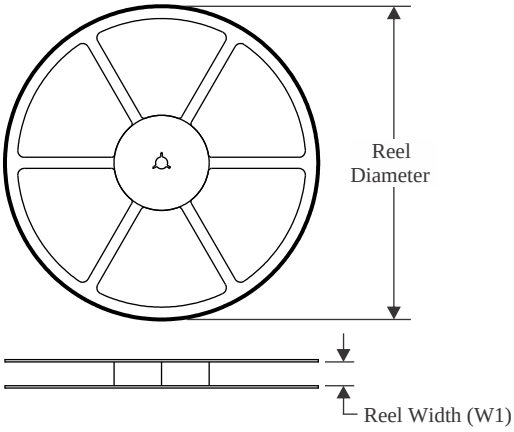
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

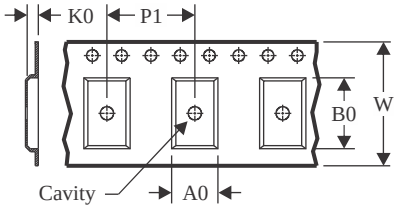
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

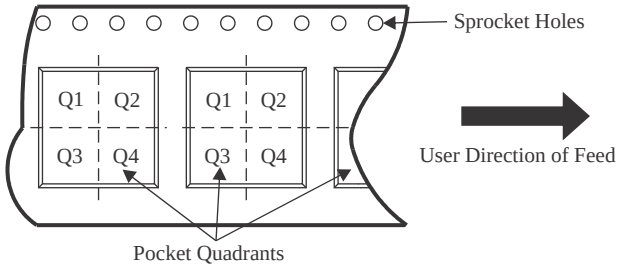


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

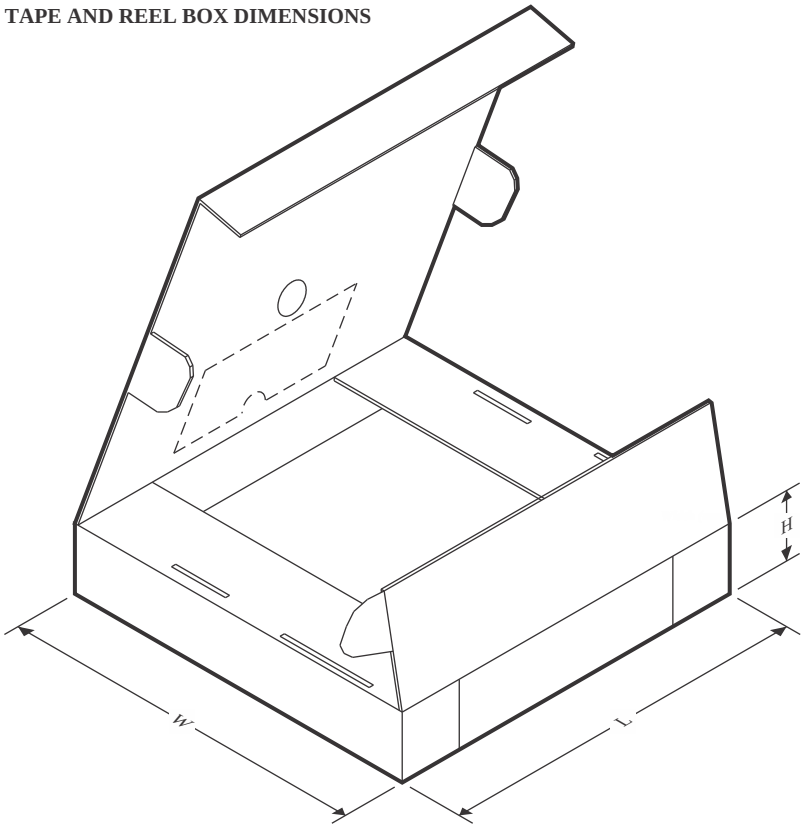
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2825DGKR	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TLV2825DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV4825DR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV4825PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

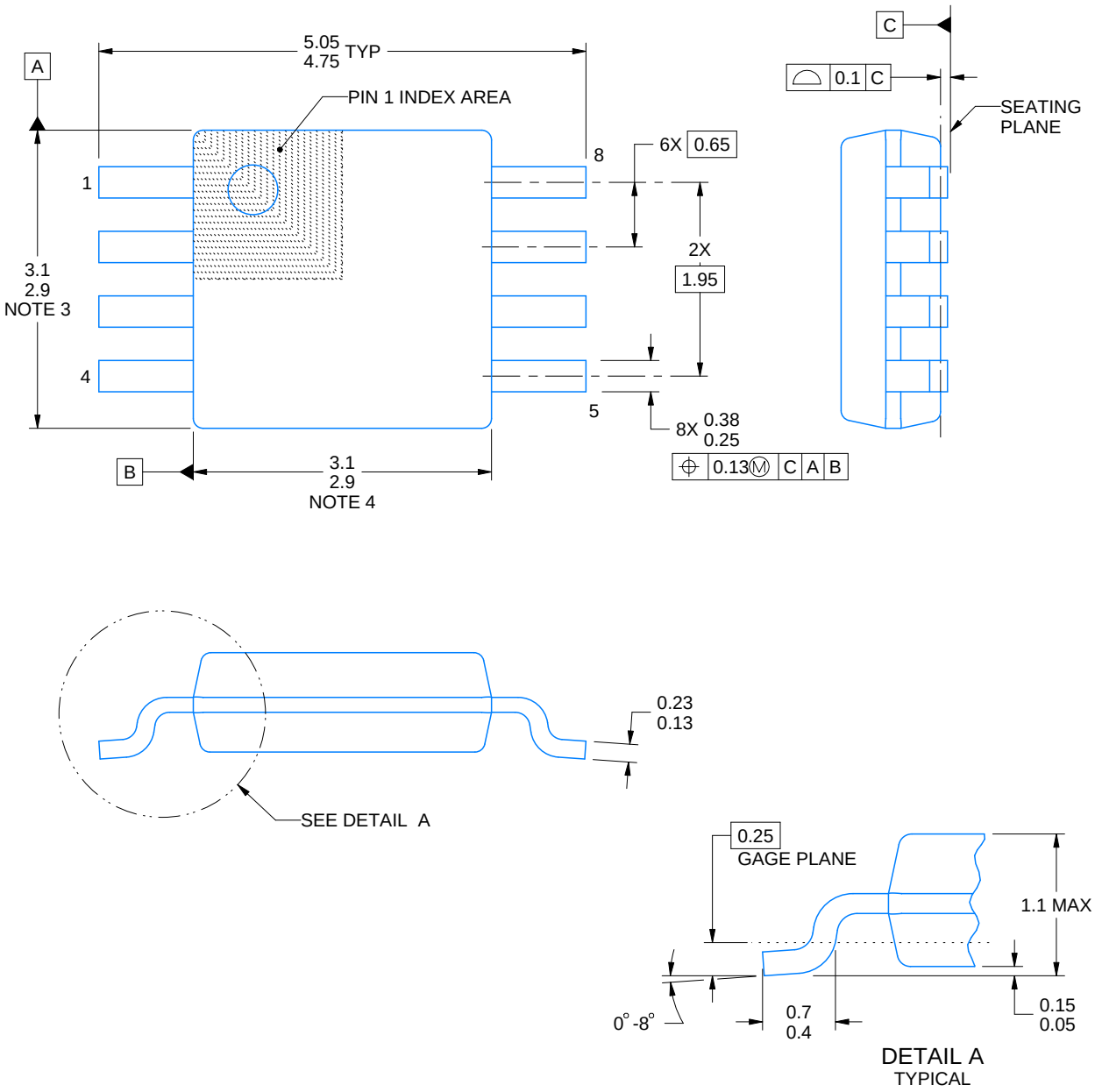
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2825DGKR	VSSOP	DGK	8	3500	353.0	353.0	32.0
TLV2825DR	SOIC	D	8	3000	353.0	353.0	32.0
TLV4825DR	SOIC	D	14	3000	340.5	336.1	32.0
TLV4825PWR	TSSOP	PW	14	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

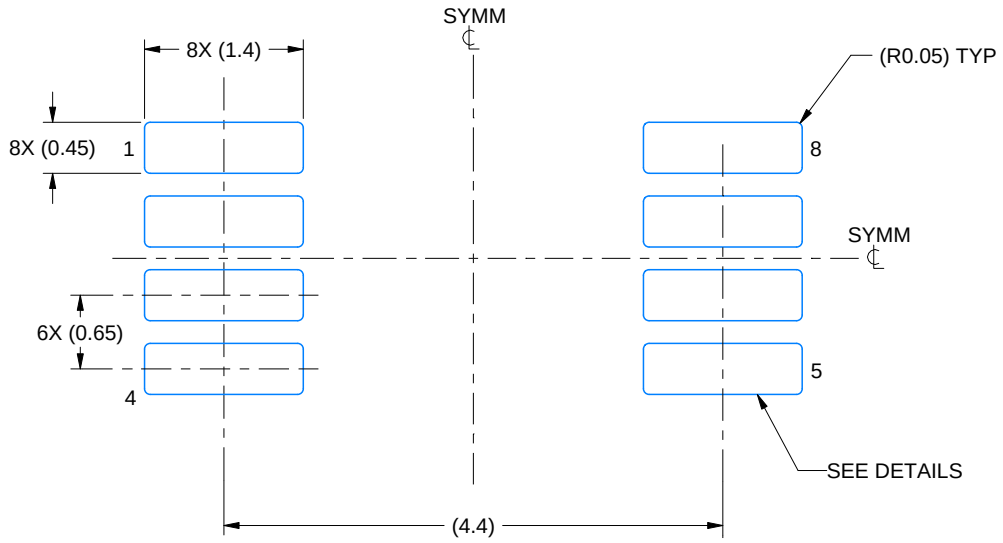
SMALL OUTLINE PACKAGE



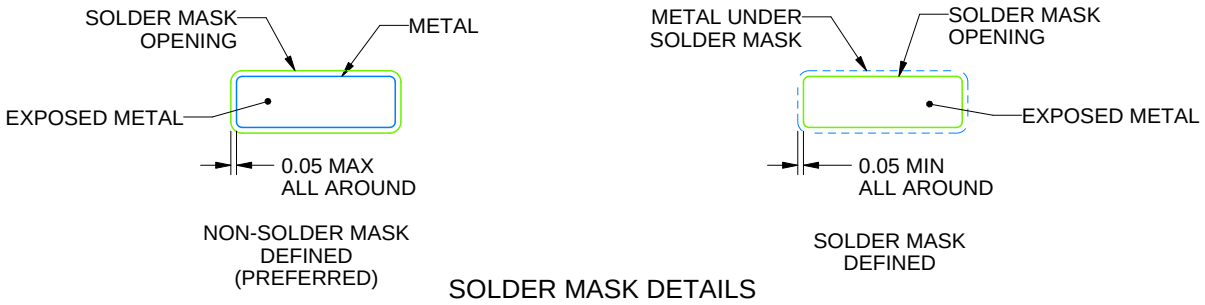
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

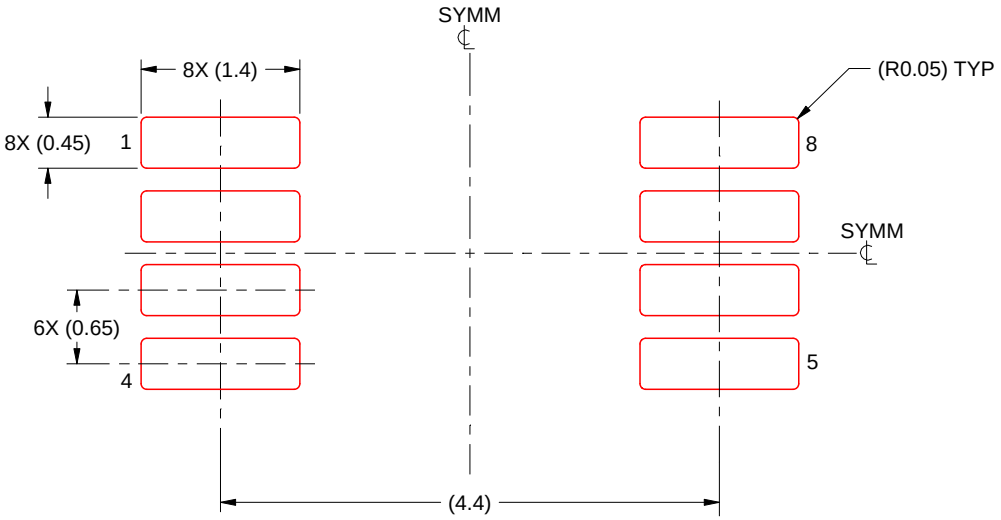


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

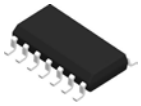


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

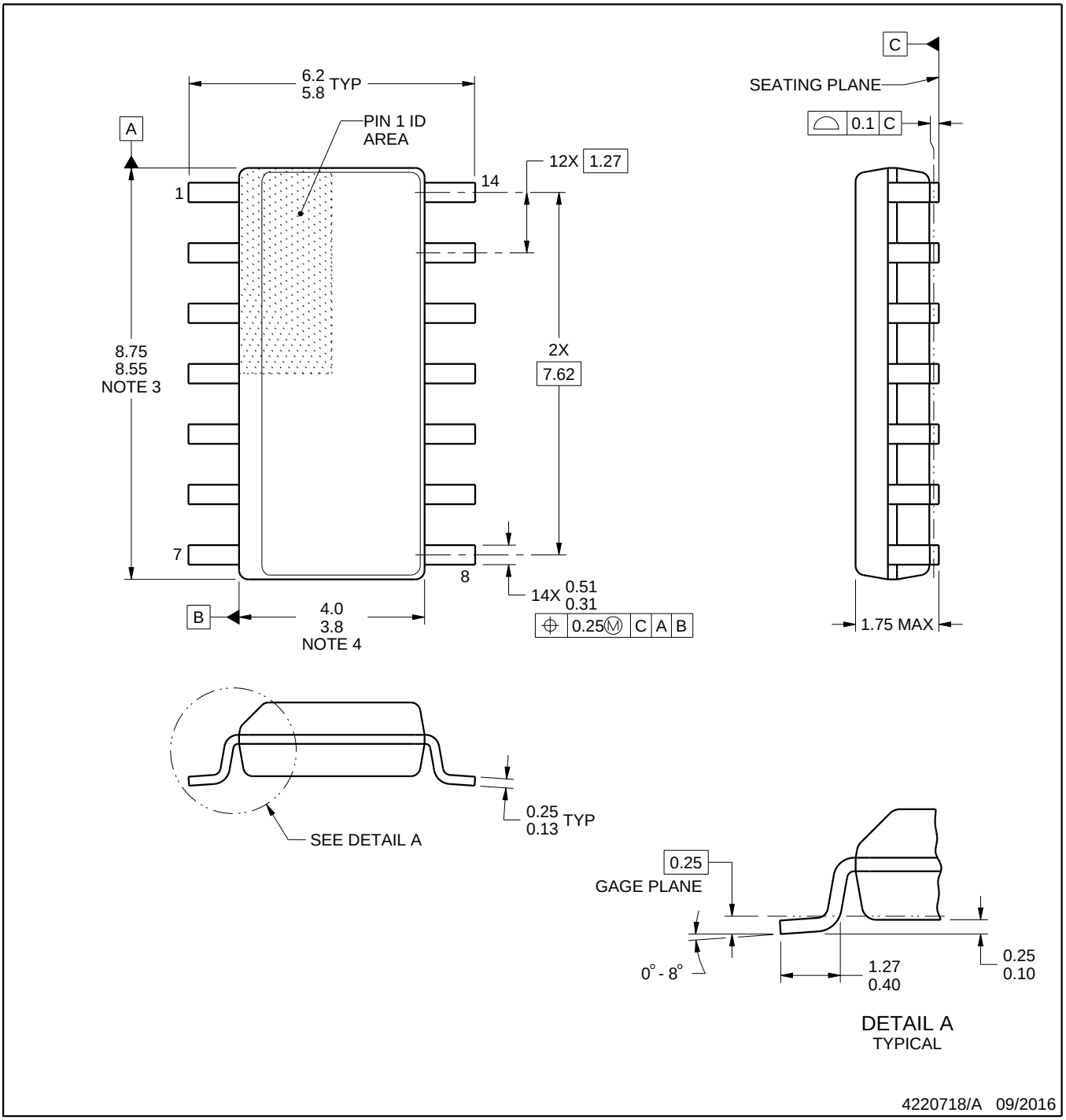


PACKAGE OUTLINE

D0014A

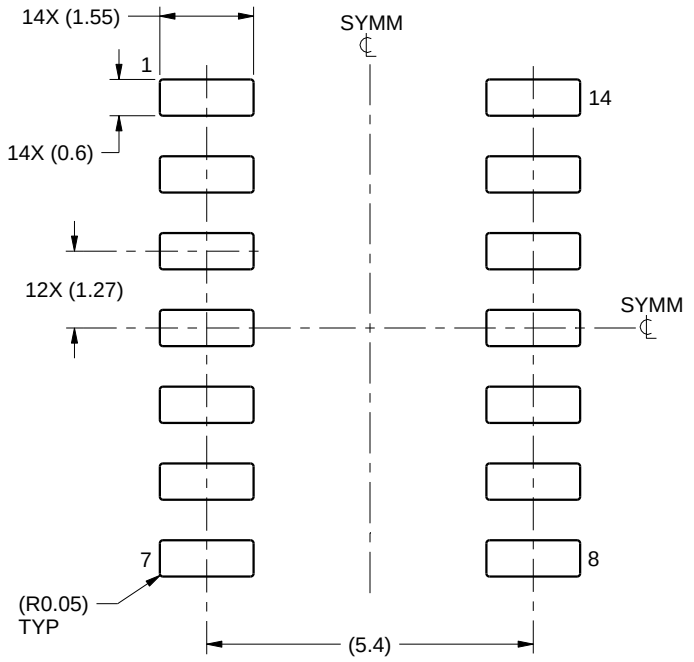
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

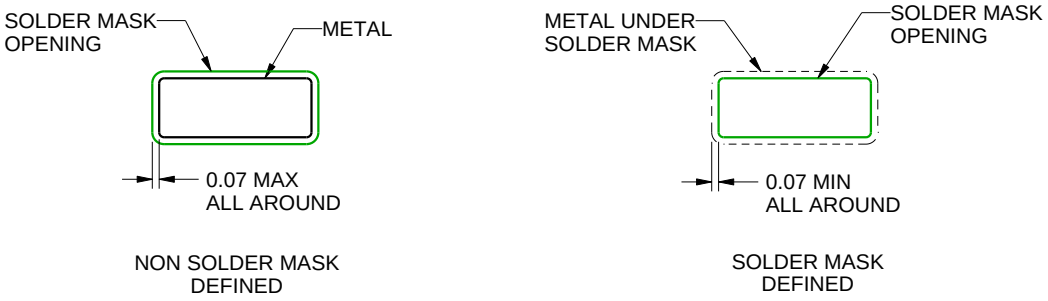


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

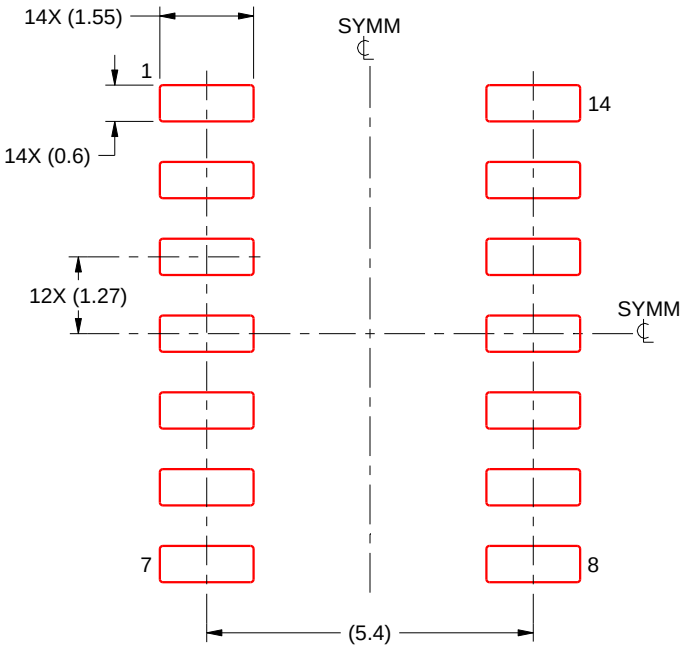
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

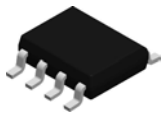


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

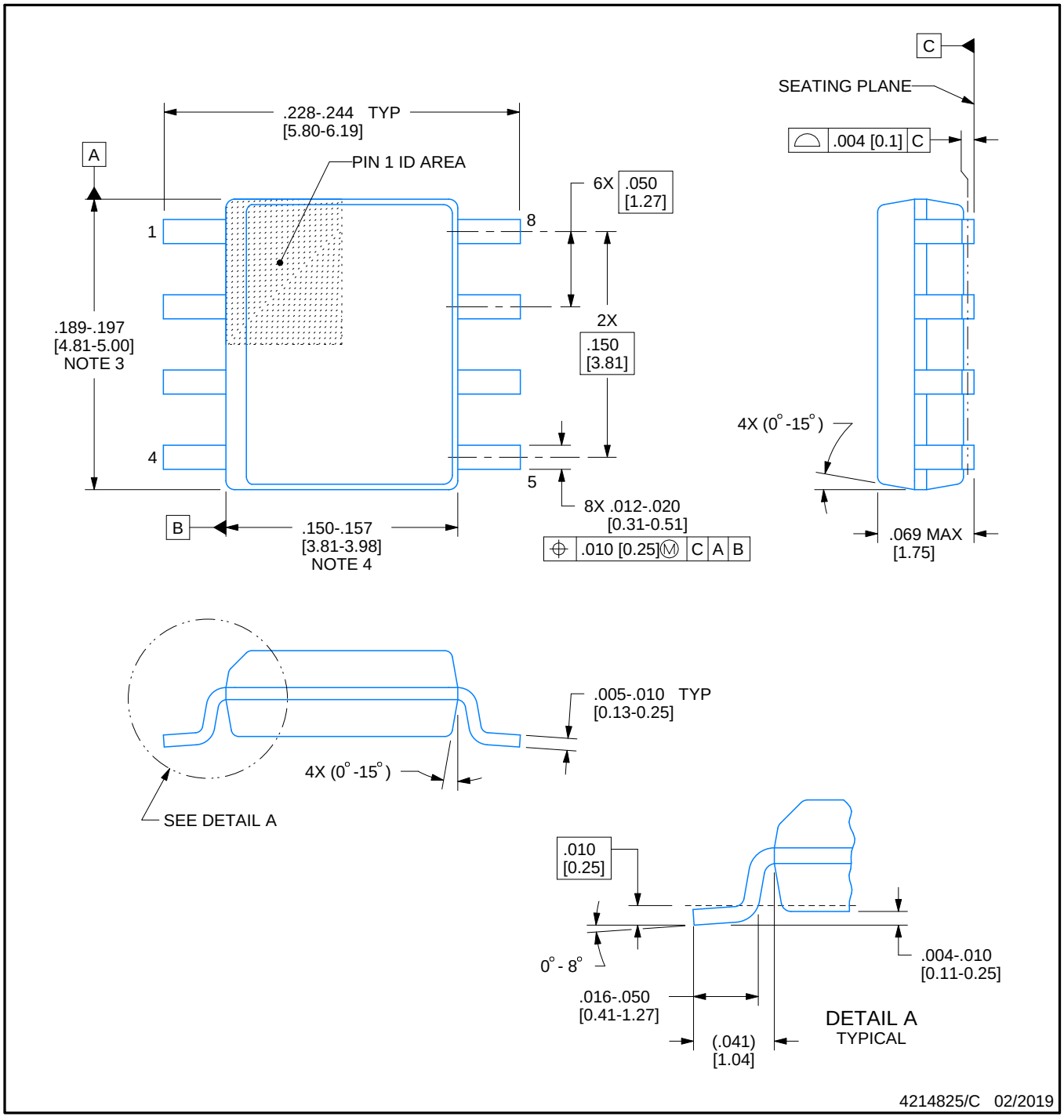


PACKAGE OUTLINE

D0008A

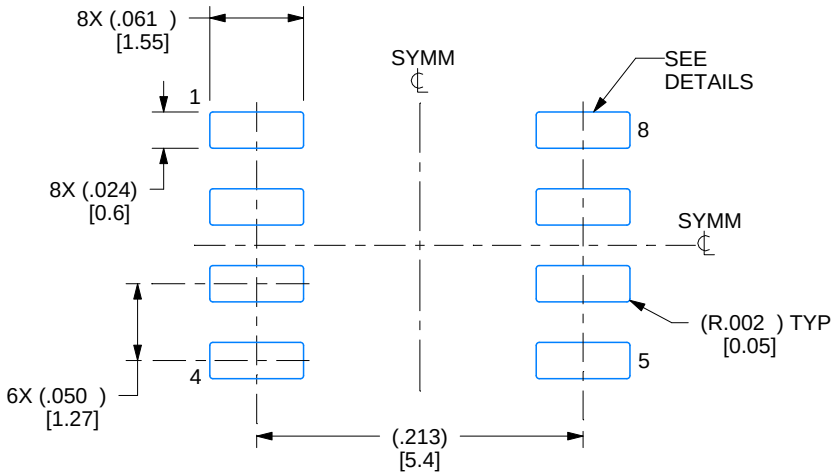
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

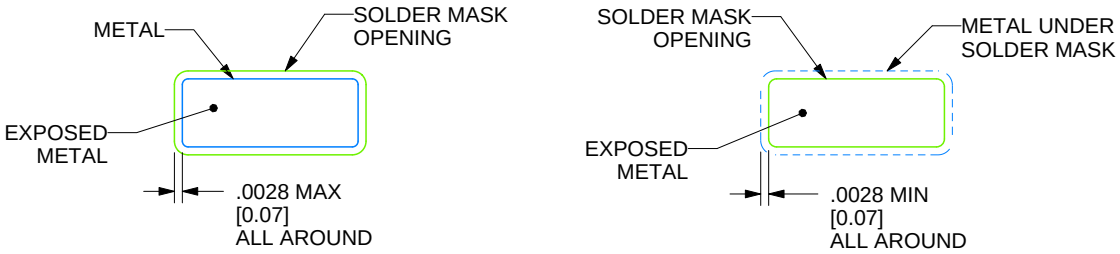


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

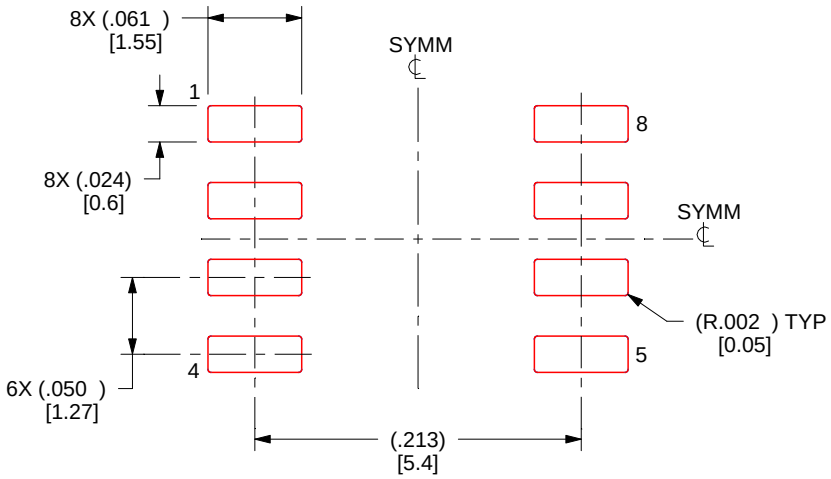
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

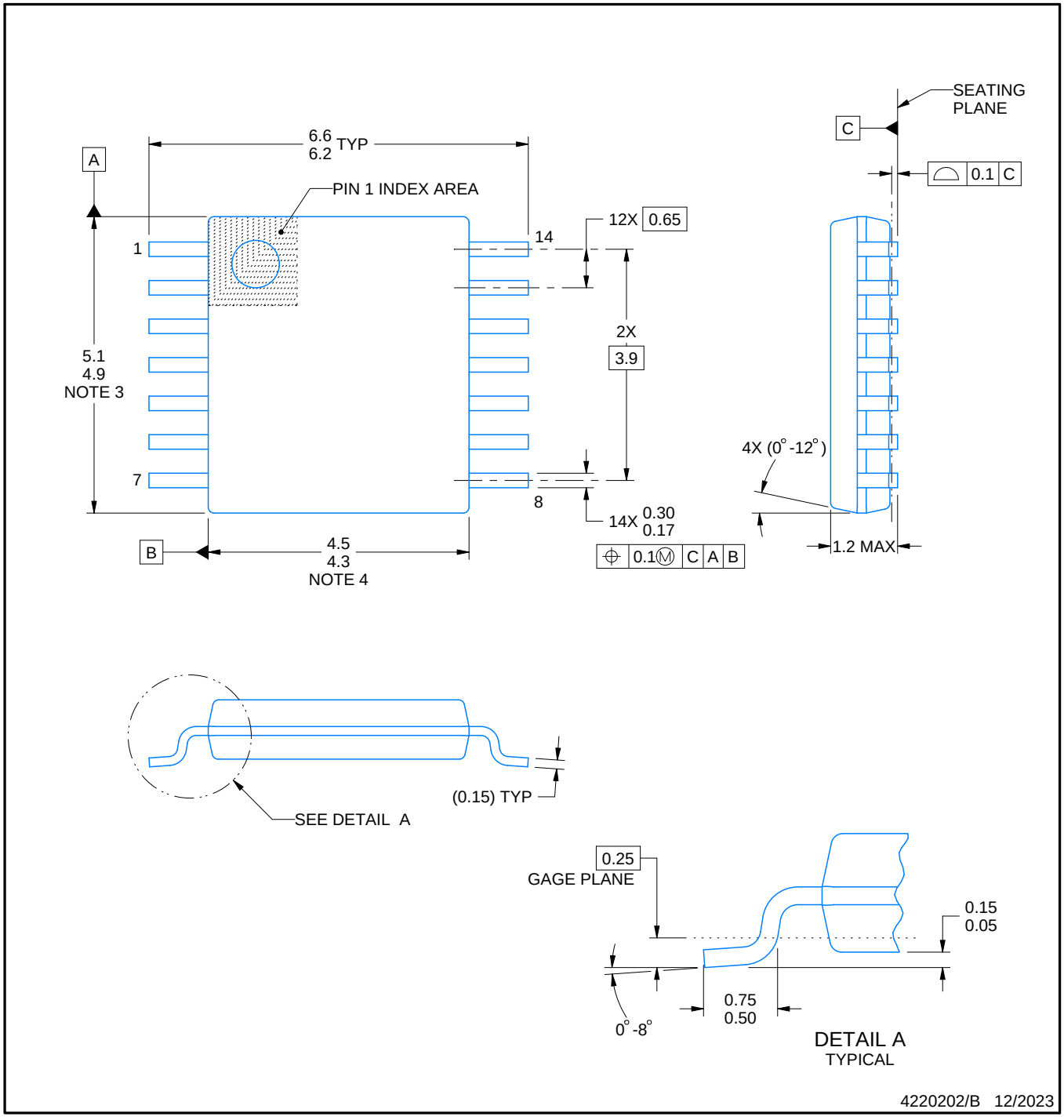
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

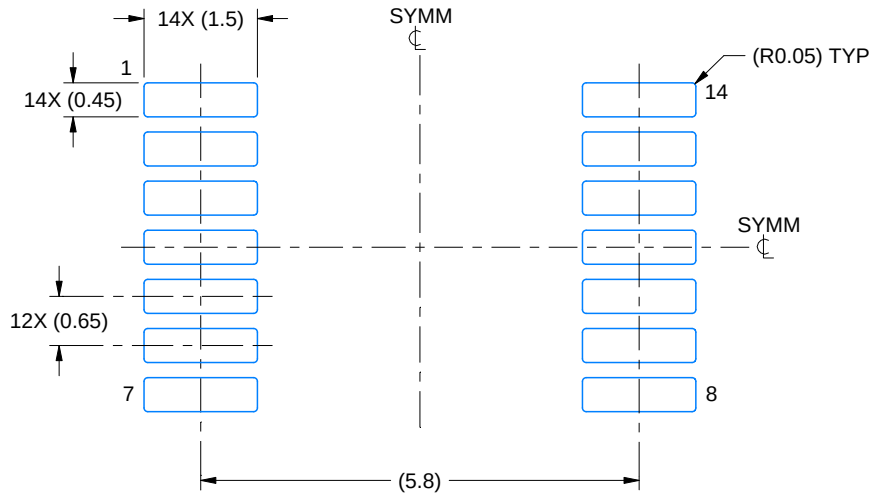
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

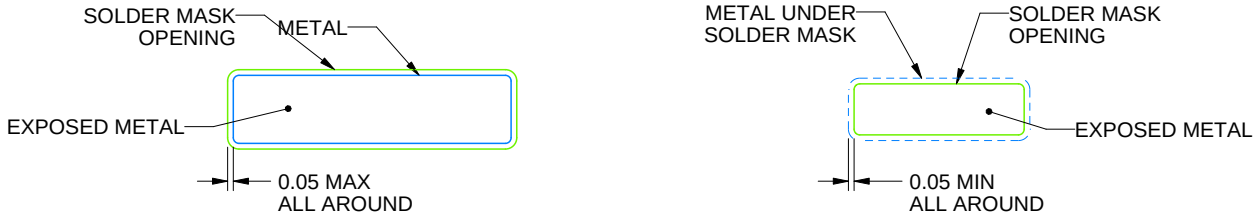


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

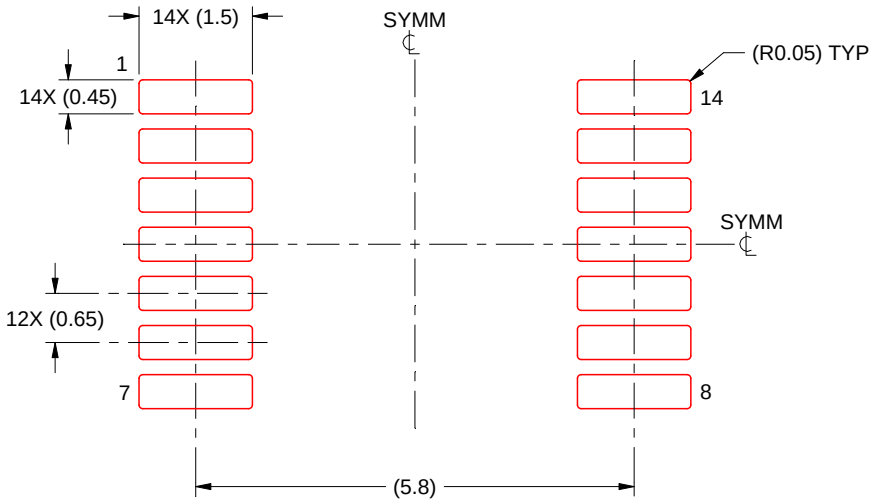


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月