TLV183x 和 TLV184x 系列 40V 高速比较器

1 特性

- 宽电源电压范围：2.7V 至 40V
- 65ns 传播延迟
- 低电源电流：每通道 75µA
- 轨到轨输入
- 低输入失调电压：500 µ V
- 上电复位 (POR) 可提供已知的启动条件
- 推挽输出选项 (TLV183x)
- 开漏输出选项 (TLV184x)
- 双电源选项 (TLV187x)
- 温度范围：-40°C 至 +125°C

2 应用

- 电机驱动器
- 电器
- 电网基础设施
- 工厂自动化和控制
- 牵引逆变器

3 说明

TLV183x 和 TLV184x 是工作电压高达 40V 的高速比较器。该比较器提供轨到轨输入以及推挽或开漏输出选项。这些特性与 65ns 传播延迟相结合，使得该系列非常适合高速电流检测和电压保护应用。

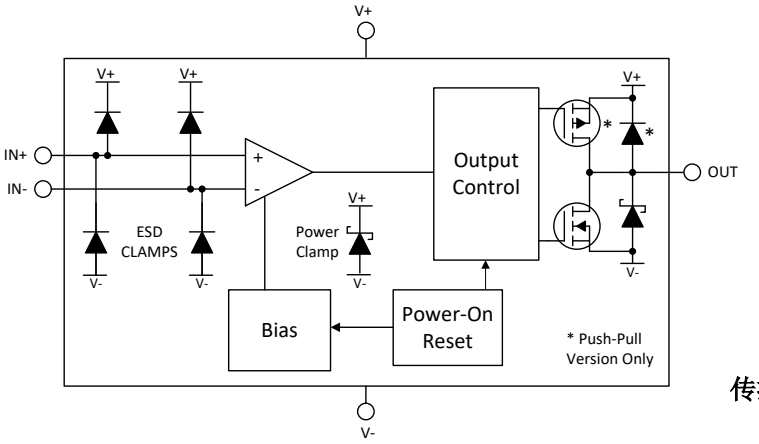
所有器件都包括上电复位 (POR) 特性，可确保输出处于已知状态，直到达到最低电源电压。一旦达到此电压，输出就会响应输入，从而防止系统上电和断电期间出现错误输出。

TLV183x 比较器具有推挽输出级，专为需要在上升和下降输出响应之间保持对称性的应用而设计。TLV184x 比较器具有开漏输出级，因此适用于电平转换。

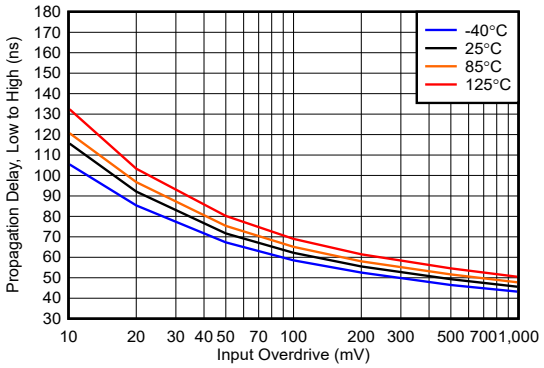
器件信息

器件型号	封装 (1)	本体尺寸（标称值）(2)
TLV1831、TLV1841	SC-70 (5)	2.00mm × 2.00mm
	SOT-23 (5)	2.90mm × 1.60mm
TLV1832、TLV1842	VSSOP (8)	3.00mm × 3.00mm
	TSSOP (8)	3.00mm × 4.40mm
	WSON (8)	2.00mm × 2.00mm
TLV1834、TLV1844	SOT-23 (14)（预发布）	4.20mm × 2.00mm
	WQFN (16)（预发布）	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



功能方框图



传播延迟（低电平到高电平）与输入过驱间的关系，12V

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

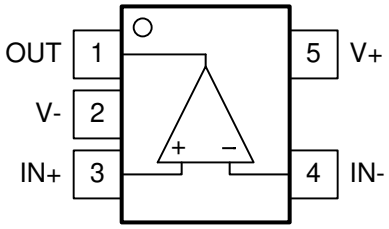
内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
引脚配置：TLV1831 和 TLV1841 3
引脚配置：TLV1832 和 TLV1842 4
引脚配置和功能：TLV1834 和 TLV1844 5
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 热性能信息 6
5.4 建议运行条件 6
5.5 电气特性 7
5.6 开关特性 8
5.7 典型特性 9
6 详细说明 14
6.1 概述 14
6.2 功能方框图 14
6.3 特性说明 14
6.4 器件功能模式 14
7 应用和实施 17
7.1 应用信息 17
7.2 典型应用 20
7.3 电源相关建议 23
7.4 布局 23
8 器件和文档支持 25
8.1 文档支持 25
8.2 接收文档更新通知 25
8.3 支持资源 25
8.4 商标 25
8.5 静电放电警告 25
8.6 术语表 25
9 修订历史记录 25
10 机械、封装和可订购信息 26

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

引脚配置：TLV1831 和 TLV1841



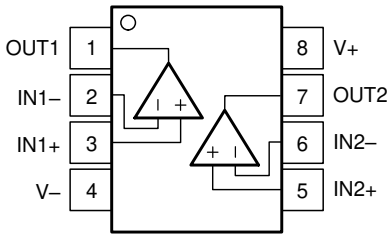
DCK、DBV 封装
SOT-23-5、SC-70-5
顶视图
（标准“西北”引脚排列）

表 4-1. 引脚功能：TLV1831 和 TLV1841

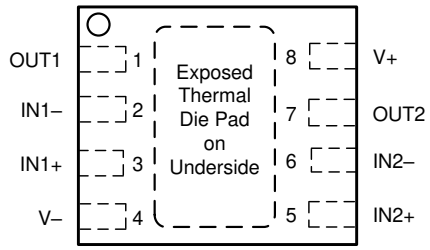
引脚		I/O	说明
名称	编号		
OUT	1	O	输出
V-	2	-	负电源电压
IN+	3	I	同相 (+) 输入
IN-	4	I	反相 (-) 输入
V+	5	-	正电源电压

Copyright © 2025 Texas Instruments Incorporated

引脚配置：TLV1832 和 TLV1842



DGK、PW 封装
8 引脚 VSSOP、TSSOP
顶视图



注意：将外露散热焊盘直接连接到 V- 引脚。

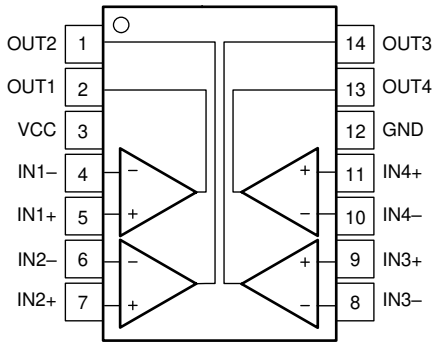
DSG 封装
8 引脚 WSON（带有外露散热焊盘），
顶视图

表 4-2. 引脚功能：TLV1832 和 TLV1842

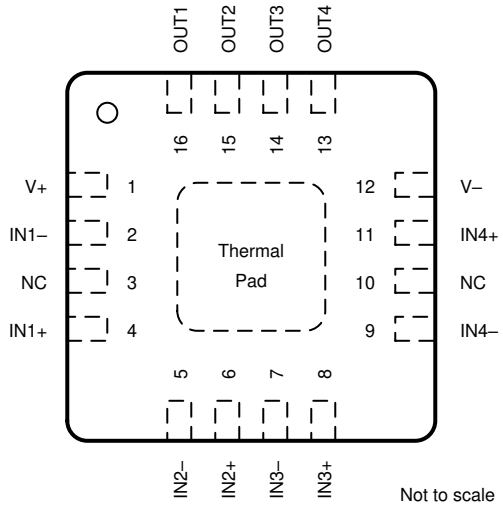
引脚		I/O	说明
名称	编号		
OUT1	1	O	比较器 1 的输出引脚
IN1 –	2	I	比较器 1 的反相输入引脚
IN1+	3	I	比较器 1 的同相输入引脚
V-	4	—	负电源电压
IN2+	5	I	比较器 2 的同相输入引脚
IN2 –	6	I	比较器 2 的反相输入引脚
OUT2	7	O	比较器 2 的输出引脚
V+	8	—	正电源电压

Copyright © 2025 Texas Instruments Incorporated

引脚配置和功能：TLV1834 和 TLV1844



DYY 封装
14 引脚 SOT-23
顶视图



注意：将外露散热焊盘直接连接到 V- 引脚。

RTE 封装，
16 引脚 WQFN（带有外露散热焊盘）
顶视图

表 4-3. 引脚功能：TLV1834 和 TLV1844

引脚			I/O	说明
名称	SOT-23	WQFN		
OUT2	1	15	O	比较器 2 的输出引脚
OUT1	2	16	O	比较器 1 的输出引脚
V+	3	1	-	正电源电压
IN1-	4	2	I	比较器 1 的反相输入引脚
IN1+	5	4	I	比较器 1 的非反相输入引脚
IN2-	6	5	I	比较器 2 的反相输入引脚
IN2+	7	6	I	比较器 2 的非反相输入引脚
IN3-	8	7	I	比较器 3 的反相输入引脚
IN3+	9	8	I	比较器 3 的非反相输入引脚
IN4-	10	9	I	比较器 4 的反相输入引脚
IN4+	11	11	I	比较器 4 的非反相输入引脚
V-	12	12	-	负电源电压
OUT4	13	13	O	比较器 4 的输出引脚
OUT3	14	14	O	比较器 3 的输出引脚
NC	-	3	-	没有内部连接 - 保持悬空或 GND
NC	-	10	-	没有内部连接 - 保持悬空或 GND
散热焊盘	-	PAD	-	直接连接到 V- 引脚

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压：V_S = (V+) – (V–)	-0.3	42	V
(V–) 的输入引脚（IN+、IN–）(2)	-0.3	(V+) + 0.3	V
进入输入引脚（IN+、IN–）的电流	-10	10	mA
(V–) 的输出 (OUT) (开漏)(3)	-0.3	42	V
(V–) 的输出 (OUT) (推挽)	-0.3	(V+) + 0.3	V
输出短路电流(4)	-10	10	mA
结温，T_J		150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。 绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。 如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 输入端子被二极管钳制至 (V–) 和 (V+)。对于摆幅可能超过电源轨 0.3V 的输入信号，必须将其电流限制为 10mA 或者更低。
(3) 只要电压在 –0.3V 至 42V 范围内，开漏输出 (OUT) 就可以大于 (V+) 和输入（IN+、IN–）
(4) 在升高的电源电压下持续输出短路会导致过热并超过允许的最大结温，最终导致器件损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 热性能信息

热指标(1)		TLV183x/4x					单位
		DCK (SC-70)	DBV (SOT-23)	PW (TSSOP)	DSG (WSON)	DGK (VSSOP)	
		5 引脚	5 引脚	8 引脚	8 引脚	8 引脚	
R_{qJA}	结至环境热阻	216.4	183.6	157.6	110.3	151.5	°C/W
$R_{qJC(top)}$	结至外壳（顶部）热阻	167.9	81.1	65.7	92.8	61.1	°C/W
R_{qJB}	结至电路板热阻	98.1	50.4	96.5	71.0	86.1	°C/W
y_{JT}	结至顶部特征参数	75.7	18.4	8.1	5.7	5.0	°C/W
y_{JB}	结至电路板特征参数	97.1	50.0	95.2	70.8	84.8	°C/W
$R_{qJC(bot)}$	结至外壳（底部）热阻	-	-	-	62.0	-	°C/W

(1) 更多有关新旧热指标的信息，请参阅半导体和 IC 封装热指标报告。

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
电源电压： V_S = (V+) – (V–)		2.7	40	V
(V–) 的输入电压范围		-0.2	(V+) + 0.2	V
开漏的输出电压		-0.2	40	V
环境温度，T_A		-40	125	°C

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

对于 V_S（总电源电压）= (V+) – (V–) = 12V，在 T_A = 25°C 时，V_{CM} = Vs/2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压	T_A = 25°C	-2.5	±0.3	2.5	mV
		T_A = -40°C 至 +125°C	-3.0		3.0	mV
dV_{IO}/dT	输入偏移电压漂移	T_A = -40°C 至 +125°C		±1.2		µV/°C
电源						
I_Q	每个比较器的静态电流，仅 TLV18x1	无负载，输出高电平 T_A = 25°C TLV1831、TLV1841		75	100	µA
		无负载，输出高电平 T_A = –40°C 至 +125°C TLV1831、TLV1841			105	µA
		无负载，输出低电平 T_A = 25°C TLV1831、TLV1841		100	135	µA
		无负载，输出低电平 T_A = –40°C 至 +125°C TLV1831、TLV1841			140	µA
I_Q	静态电流（每个比较器）	无负载，输出高电平 T_A = 25°C		75	95	µA
		无负载，输出高电平 T_A = –40°C 至 +125°C			100	µA
		无负载，输出低电平 T_A = 25°C		95	130	µA
		无负载，输出低电平 T_A = –40°C 至 +125°C			135	µA
V_{POR}				1.9		V
输入偏置电流						
I_B	输入偏置电流(1)			500		pA
I_B	输入偏置电流 (1) (2)	T_A = -40°C 至 +125°C	-5		5	nA
I_{OS}	输入失调电流			10		pA
输入电容						
C_{ID}	输入电容，差分			5		pF
C_{IC}	输入电容，共模			5		pF
输入共模范围						
$V_{CM\text{-}Range}$	共模电压范围	V_S = 2.7V 至 40V T_A = -40°C 至 +125°C	(V–) – 0.2		(V+) + 0.2	V
输出						
V_{OL}	(V–) 的电压摆幅	I_{SINK} = 4mA T_A = -40°C 至 +125°C			400	mV
V_{OH}	(V+) 的电压摆幅（仅适用于推挽）	I_{SOURCE} = 4mA T_A = -40°C 至 +125°C			400	mV
I_{LKG}	开漏输出漏电流	V_{ID} = +0.1V，V_{PULLUP} = (V+) T_A = -40°C 至 +125°C		3	70	nA
I_{OL}	短路电流	灌电流 T_A = –40°C 至 +125°C		30		mA
I_{OH}	短路电流	拉电流 T_A = –40°C 至 +125°C		30		mA

(1) 请参阅图中的 I_{BIAS} 与 V_{ID} 性能曲线
(2) 此参数根据设计和/或表征验证，而未经生产测试。

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性

对于 V_S（总电源电压）= (V+) – (V–) = 12V，在 TA = 25°C 时，V_{CM} = VS/2，C_L = 15pF（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
输出						
T_{PD-HL}	传播延迟时间，高电平到低电平	V_{OD} = 10mV，V_{UD} = 100mV V_{PU} = 5V 且 R_{PU} = 10k（仅开漏输出）		110		ns
T_{PD-HL}	传播延迟时间，高电平到低电平	V_{OD} = 100mV，V_{UD} = 100mV V_{PU} = 5V 且 R_{PU} = 10k（仅开漏输出）		65		ns
T_{PD-LH}	传播延迟时间，低电平到高电平，推挽输出	V_{OD} = 10mV，V_{UD} = 100mV		110		ns
T_{PD-LH}	传播延迟时间，低电平到高电平，推挽输出	V_{OD} = 100mV，V_{UD} = 100mV		65		ns
T_{RISE}	输出上升时间，20% 至 80%，推挽输出	V_{OD} = 100mV，V_{UD} = 100mV		5		ns
T_{FALL}	输出下降时间，80% 至 20%	V_{OD} = 100mV，V_{UD} = 100mV		5		ns
F_{TOGGLE}	切换频率	V_{ID} = 200mV		7.5		MHz
上电时间						
P_{ON}	上电时间			80		µs

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

在 T_A = 25°C 时，V_S = 12V，V_{CM} = V_S/2V，C_L = 15pF，输入过驱 = 输入欠驱 = 100mV，R_{PU} = 10kΩ，除非另有说明。

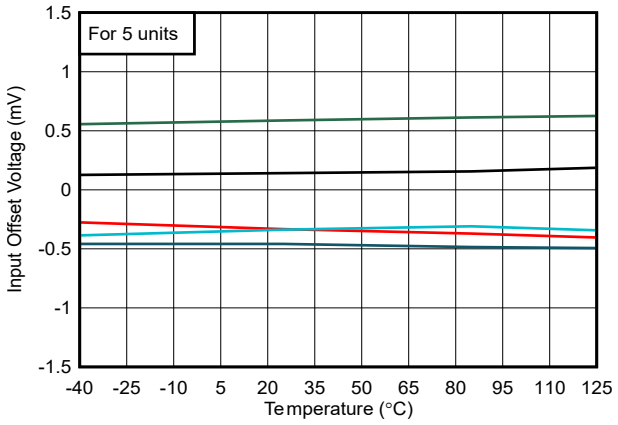


图 5-1. 失调电压与温度间的关系

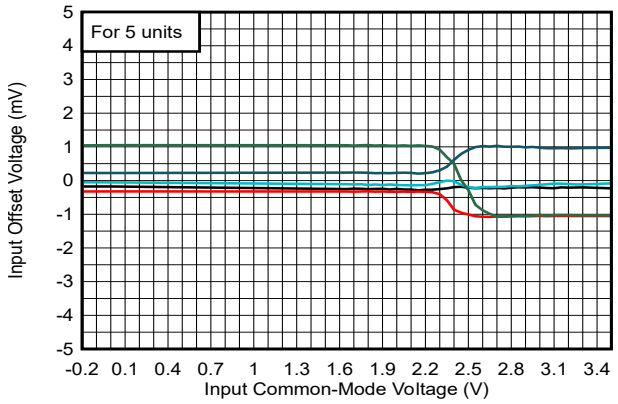


图 5-2. 失调电压与共模电压间的关系，3.3V

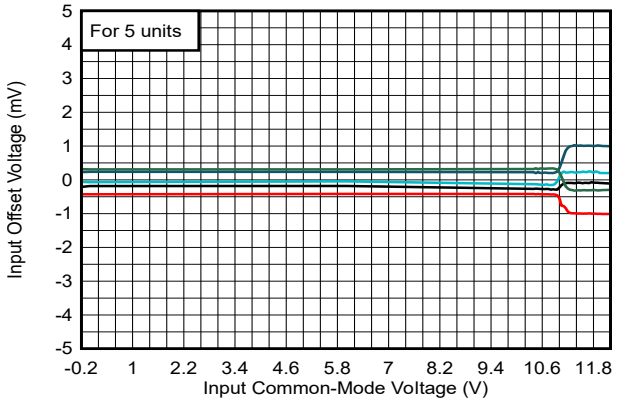


图 5-3. 失调电压与共模电压间的关系，12V

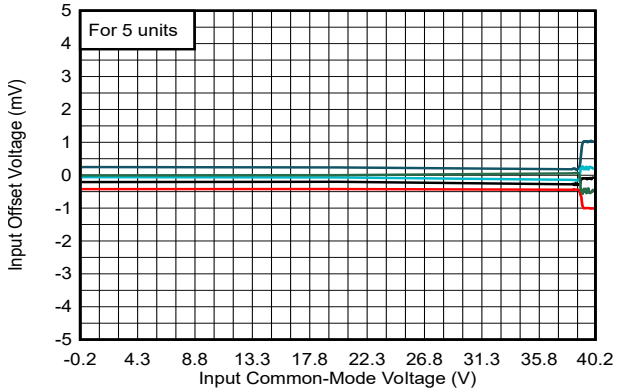


图 5-4. 失调电压与共模电压间的关系，40V

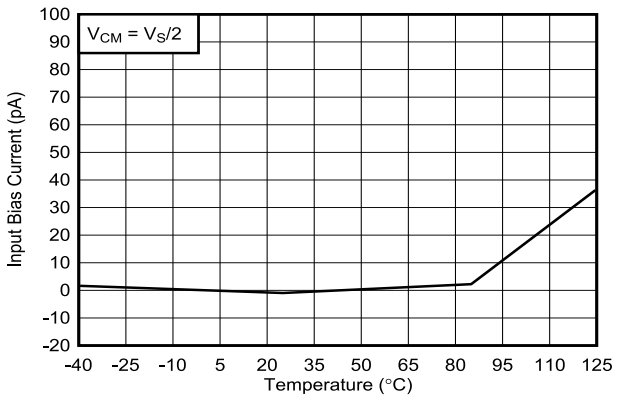


图 5-5. 偏置电流与温度间的关系，3.3V

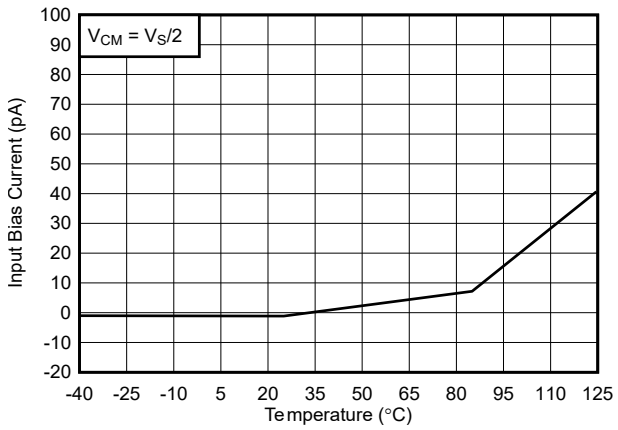


图 5-6. 偏置电流与温度间的关系，40V

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = 12V，V_{CM} = V_S/2V，C_L = 15pF，输入过驱 = 输入欠驱 = 100mV，R_{PU} = 10kΩ，除非另有说明。

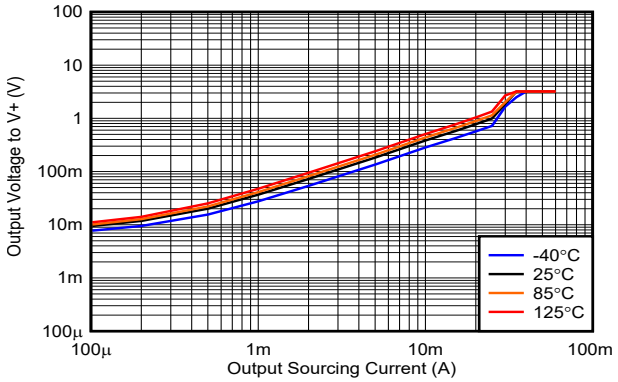


图 5-7. 输出电压与拉电流间的关系，3.3V，仅推挽

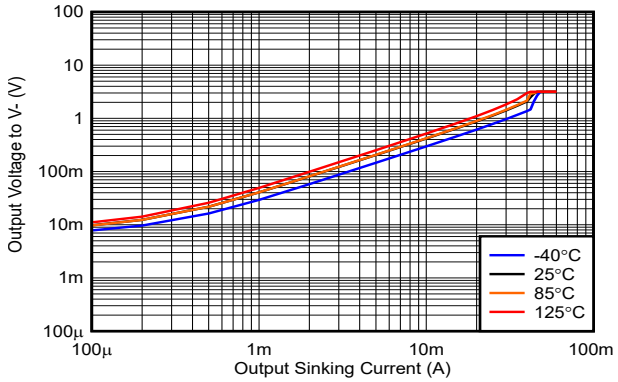


图 5-8. 输出电压与灌电流间的关系，3.3V

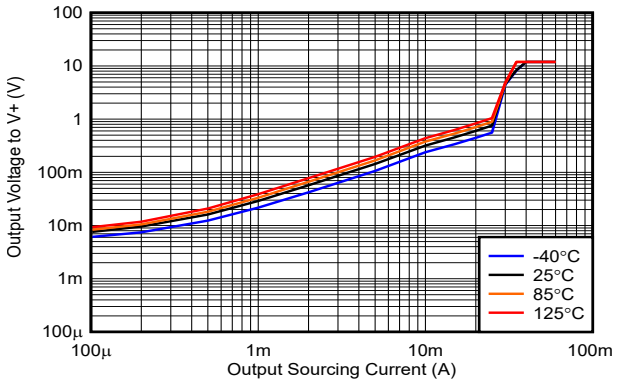


图 5-9. 输出电压与拉电流间的关系，12V，仅推挽

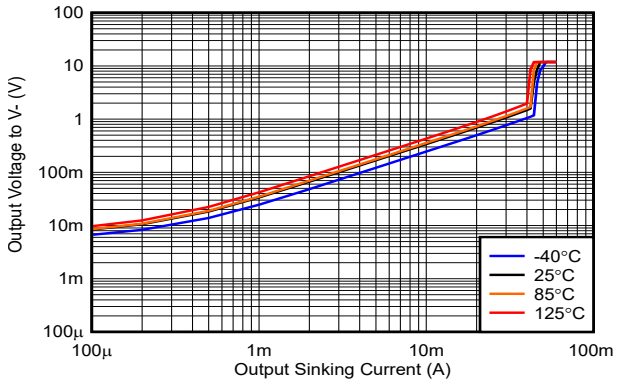


图 5-10. 输出电压与灌电流间的关系，12V

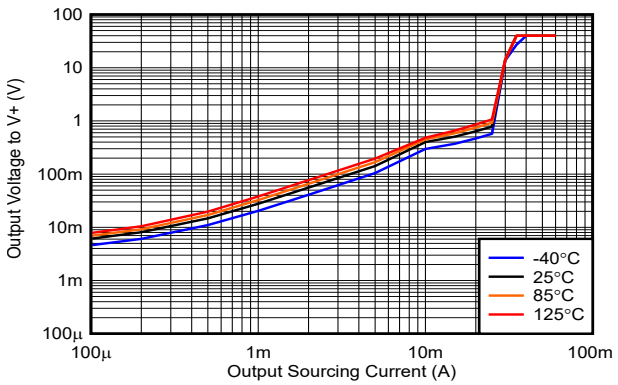


图 5-11. 输出电压与拉电流间的关系，40V，仅推挽

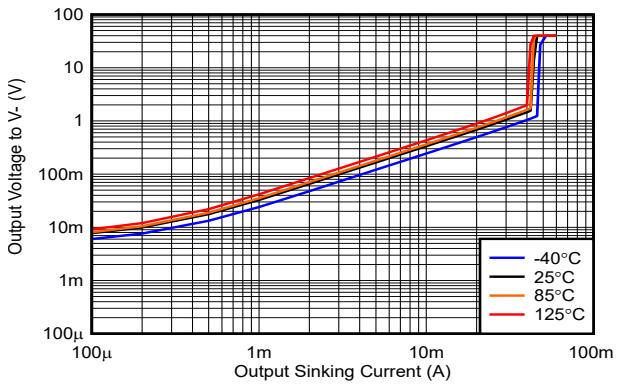


图 5-12. 输出电压与灌电流间的关系，40V

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = 12V，V_{CM} = V_S/2V，C_L = 15pF，输入过驱 = 输入欠驱 = 100mV，R_{PU} = 10kΩ，除非另有说明。

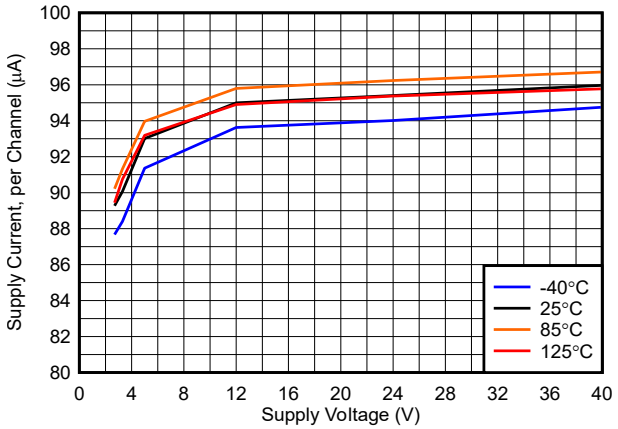


图 5-13. 电源电流与电源电压间的关系，输出低电平，无负载

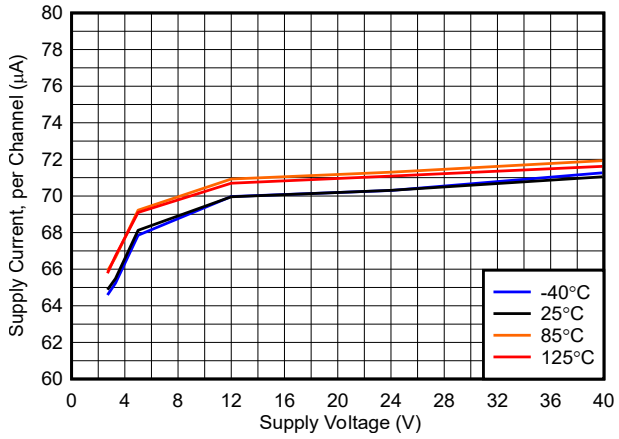


图 5-14. 电源电流与电源电压间的关系，输出高电平，无负载

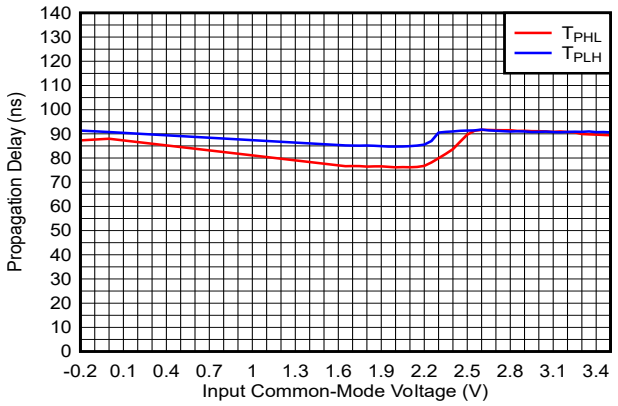


图 5-15. 传播延迟与共模电压间的关系，3.3V

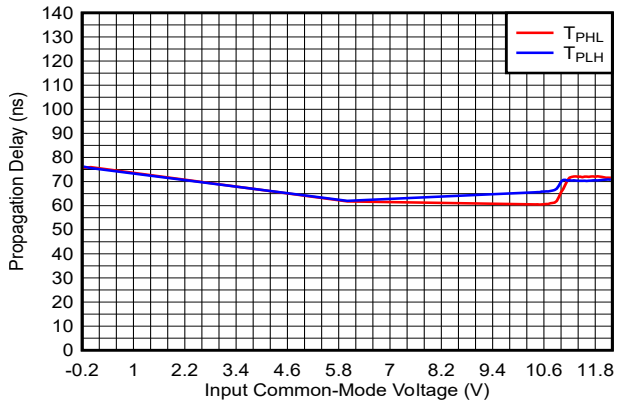


图 5-16. 传播延迟与共模电压间的关系，12V

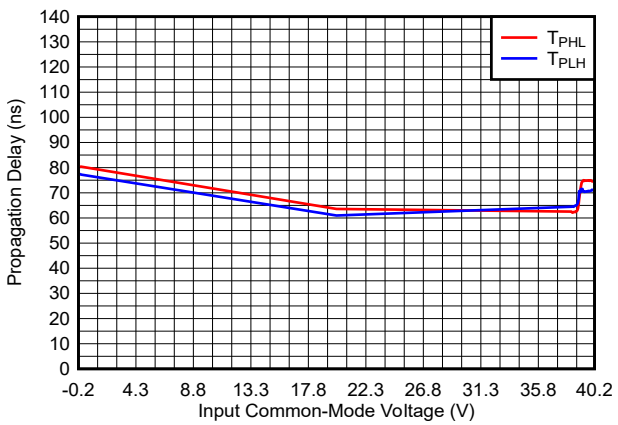


图 5-17. 传播延迟与共模电压间的关系，40V

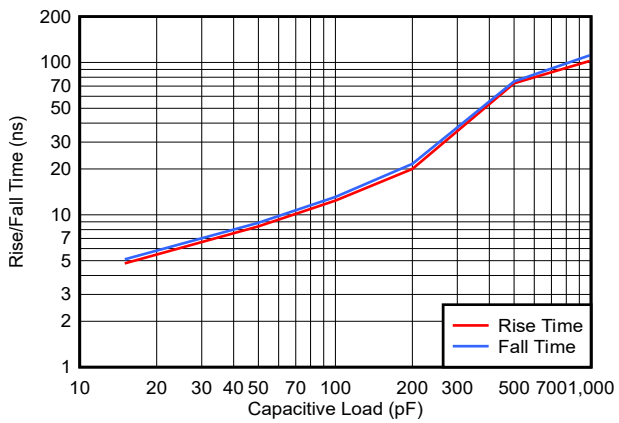


图 5-18. 上升/下降时间与容性负载间的关系，12V

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = 12V，V_{CM} = V_S/2V，C_L = 15pF，输入过驱 = 输入欠驱 = 100mV，R_{PU} = 10kΩ，除非另有说明。

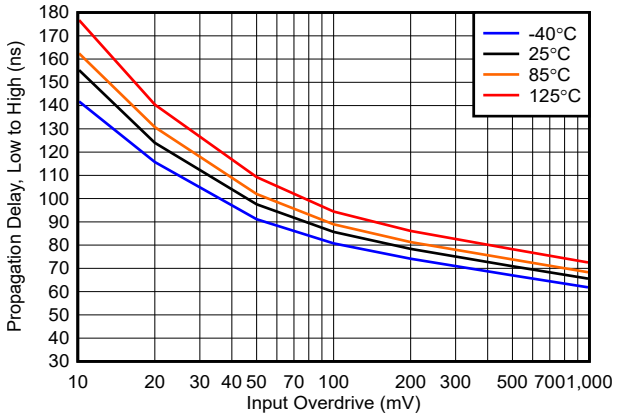


图 5-19. 传播延迟（低电平到高电平）与输入过驱间的关系，3.3V

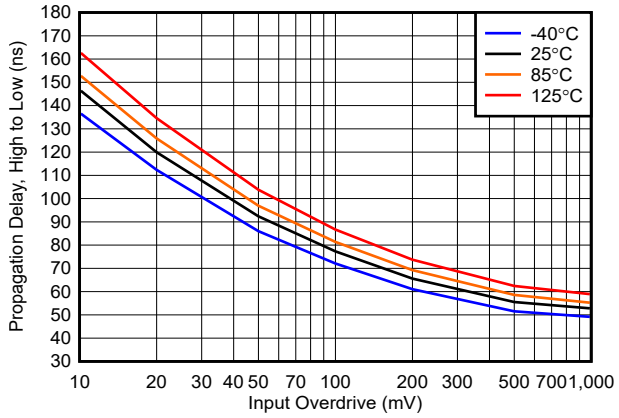


图 5-20. 传播延迟（低电平到高电平）与输入过驱间的关系，3.3V

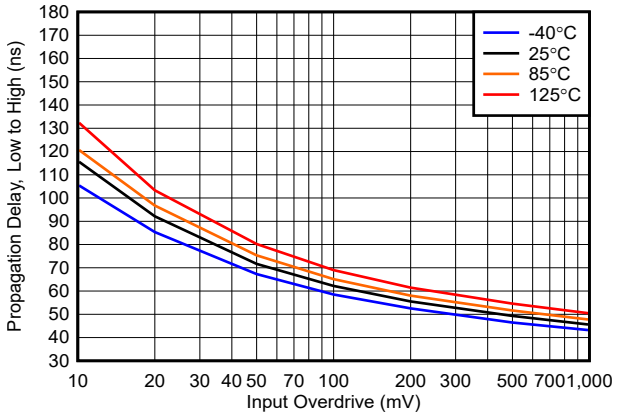


图 5-21. 传播延迟（低电平到高电平）与输入过驱间的关系，12V

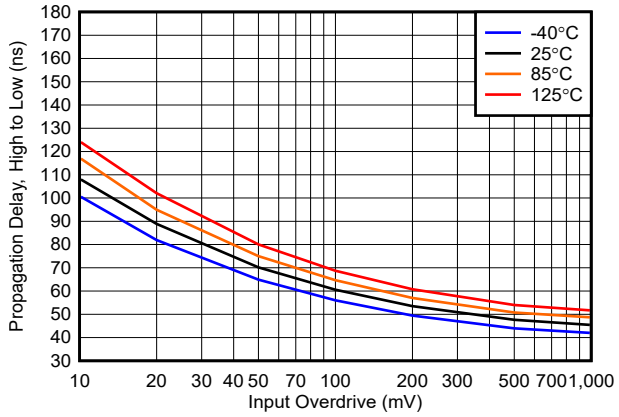


图 5-22. 传播延迟（低电平到高电平）与输入过驱间的关系，12V

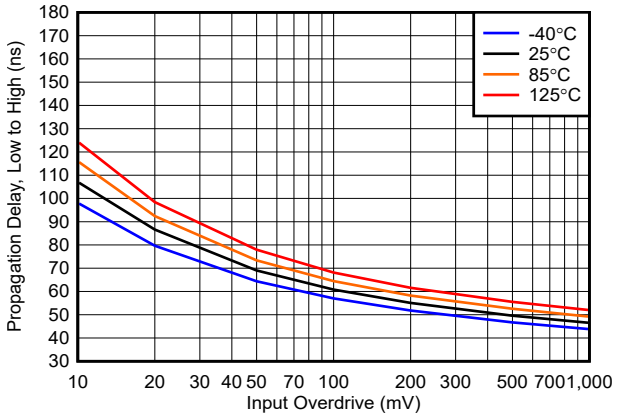


图 5-23. 传播延迟（低电平到高电平）与输入过驱间的关系，40V

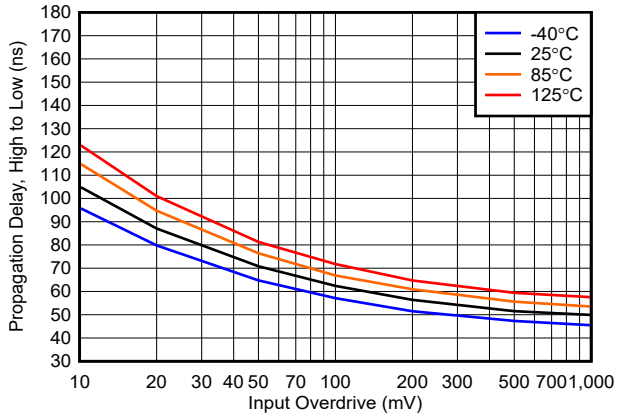


图 5-24. 传播延迟（低电平到高电平）与输入过驱间的关系，40V

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = 12V，V_{CM} = V_S/2V，C_L = 15pF，输入过驱 = 输入欠驱 = 100mV，R_{PU} = 10kΩ，除非另有说明。

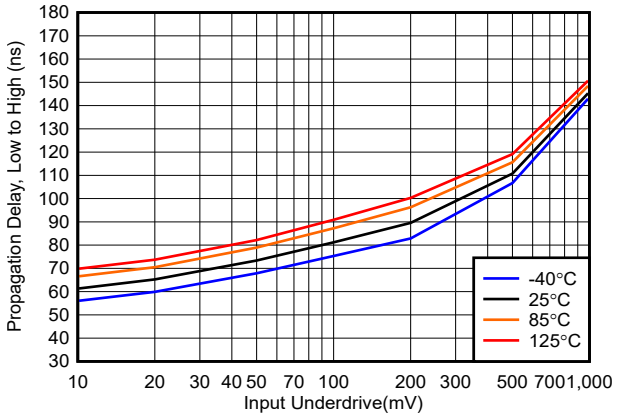


图 5-25. 传播延迟（低电平到高电平）与输入欠驱间的关系，3.3V

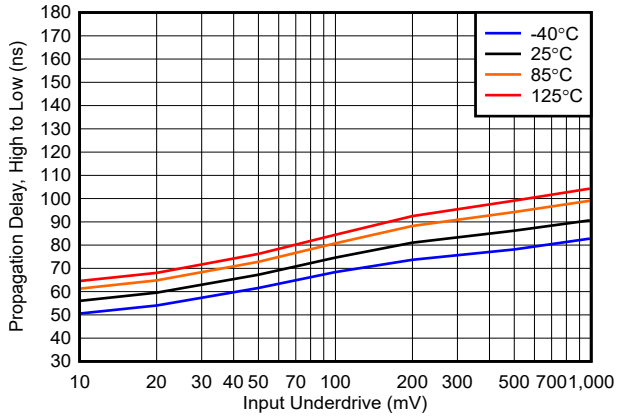


图 5-26. 传播延迟（高电平到低电平）与输入欠驱间的关系，3.3V

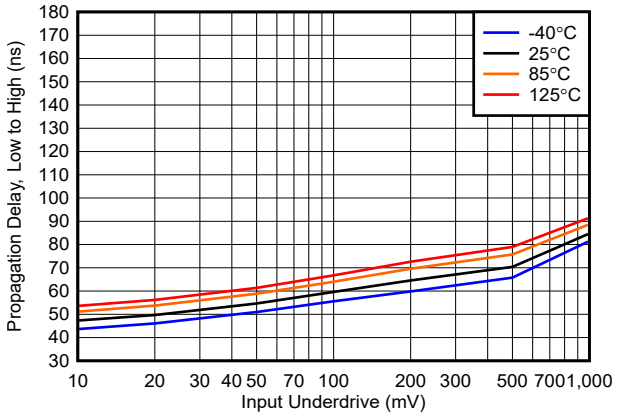


图 5-27. 传播延迟（低电平到高电平）与输入欠驱间的关系，12V

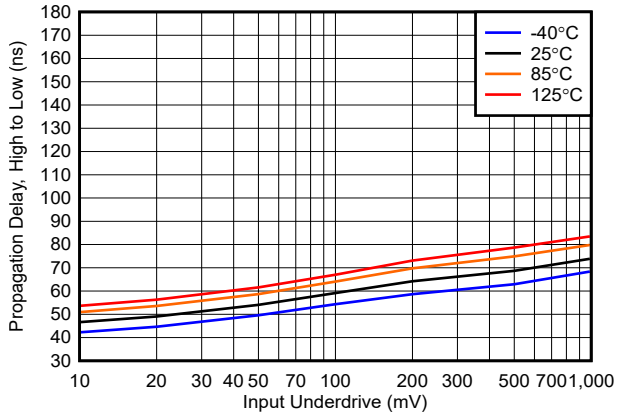


图 5-28. 传播延迟（高电平到低电平）与输入欠驱间的关系，12V

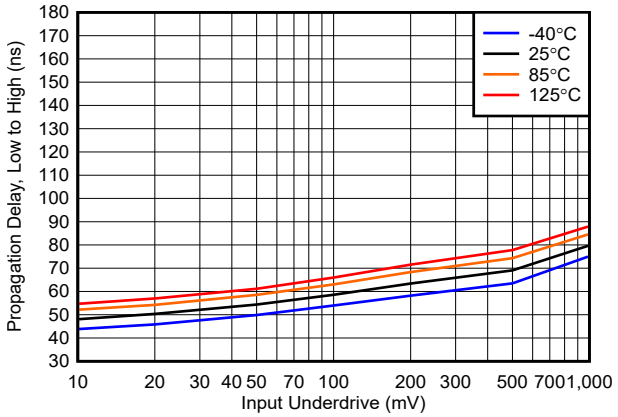


图 5-29. 传播延迟（低电平到高电平）与输入欠驱间的关系，40V

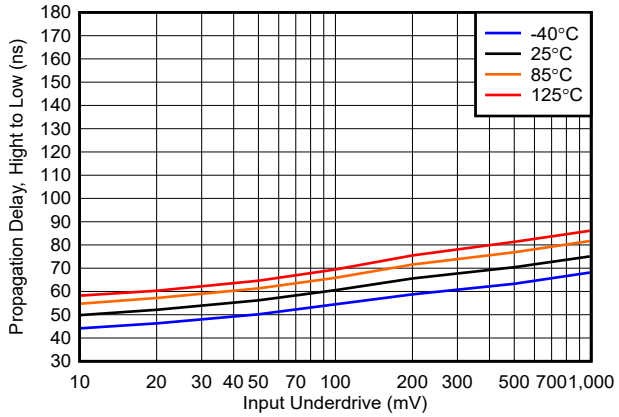


图 5-30. 传播延迟（高电平到低电平）与输入欠驱间的关系，40V

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

TLV183x 和 TLV184x 器件是 40V 高速比较器，具有推挽和开漏输出选项。TLV183x 和 TLV184x 的工作电压低至 2.7V，而且每通道仅消耗 75µA 的电流，专为高电压工业和汽车系统中的电压和电流检测应用而设计。内部上电复位电路可确保在上电和断电期间输出保持在已知状态。

6.2 功能方框图

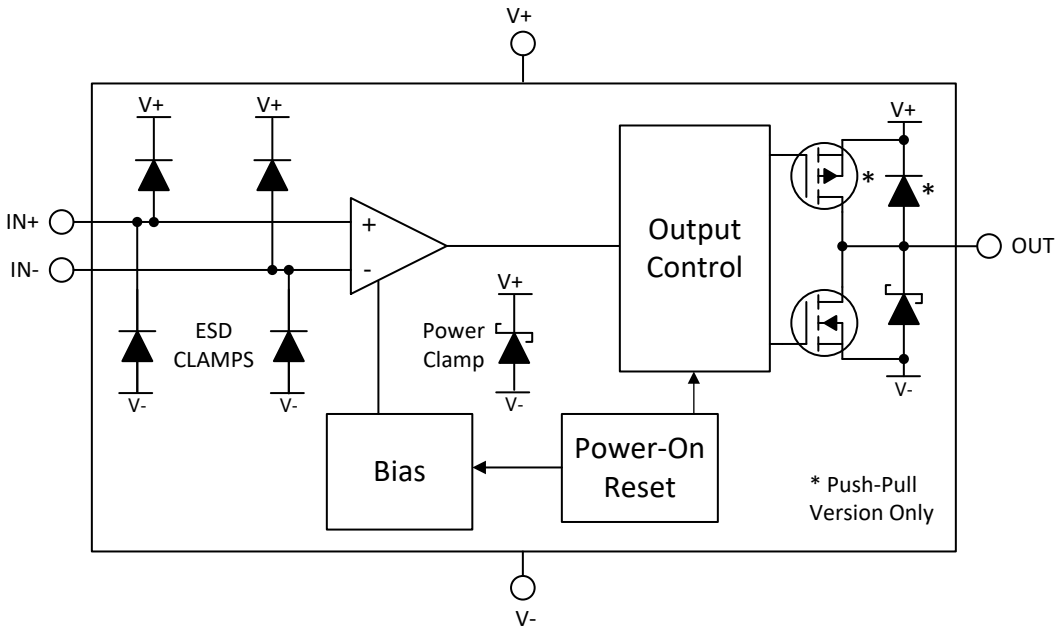


图 6-1. 方框图

6.3 特性说明

TLV183x（推挽输出）和 TLV184x（开漏输出）器件是高速比较器，典型传播延迟为 65ns，可在高达 40V 的电压下运行。这些比较器非常适合高电压系统，其中短路电流和过压保护是内部元件必不可少的。这些比较器还具有轨到轨输入级，能够在超出电源轨高达 200mV 的电压下运行，还具有最大 2.5mV 的输入失调电压和用于已知启动条件的上电复位 (POR)。

6.4 器件功能模式

6.4.1 输入

6.4.1.1 轨到轨输入

输入电压范围扩大为 (V-) - 200mV 至 (V+) + 200mV，从而更大限度地扩大了输入动态范围。输入级具有通往 (V+) 电源线的 ESD 钳位，因此输入电压不得超出电源电压 200mV 以上。请勿在没有电源电压的情况下向轨到轨输入施加信号。为避免在超过建议的输入电压范围时损坏输入，必须使用外部电阻器把电流限制到不足 1mA。

同样，与高速放大器不同，比较器输入之间没有钳位二极管。这适合输入差分电压可与电源电压 (V+) 匹配的应用。但是，当输入差分电压增加到 2V 时，偏置电流会增加到 nA 范围。这是内部电路的结果，其目的是更大限度地减少由于输入欠驱振幅巨大而增加的传播延迟。

6.4.1.2 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低失调电压，将输入端直接连接在一起会导致高频振荡，因为器件会触发其自身的内部宽带噪声。必须将输入端连接到处于指定输入电压范围内并提供至少

Copyright © 2025 Texas Instruments Incorporated

50mV 差分电压的任何可用电压。例如，一个输入可以接地，另一个输入可以连接到基准电压，甚至连接到 (V+)。

6.4.2 输出

6.4.2.1 TLV183x 推挽输出

TLV183x 具有推挽输出级，既能灌入电流，也能拉出电流。这允许驱动负载（如 LED 和 MOSFET 栅极），并且无需使用外部上拉电阻器。推挽输出绝不能连接到另一个输出端。

直接将输出与电源轨短接（当输出为“低电平”时为 (V+)，当输出为“高电平”时为 (V-)）会导致热失控，并最终在高电源电压 (>12V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的推挽输出必须保持悬空，绝不能连接到电源、地面或其他输出端。

6.4.2.2 TLV184x 开漏输出

TLV184x 具有一个仅灌入的开漏（通常也被称为集电极开路）输出级，可将输出逻辑电平上拉至高达 40V 的外部电压，而不受比较器电源电压 (V+) 的影响。该开漏输出还允许对多个开漏输出进行逻辑或运算和逻辑电平转换。TI 建议将上拉电阻器电流设置到 100uA 至 1mA 之间，以优化 V_{OL} 逻辑电平。较低的上拉电阻值有助于增加上升沿的上升时间，但代价是增加 V_{OL} 和功耗。上升时间取决于总上拉电阻和总负载电容的时间常数。大阻值上拉电阻 (>1MΩ) 由于输出 RC 时间常数而产生指数上升沿，并增加上升时间。

直接将输出短接至 (V+) 可导致热失控，并最终在高上拉电压 (>12V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的开漏输出必须保持悬空，如果不想要使用悬空引脚，则可以连接到 (V-) 引脚。

6.4.3 ESD 保护

6.4.3.1 输入

轨到轨输入有一个连接 (V+) 和 (V-) 的 ESD 钳位，因此输入电压不得超出电源电压 200mV 以上。请勿在没有电源电压的情况下向轨到轨输入施加信号。为避免在超过建议的输入电压范围时损坏输入，必须使用外部电阻器把电流限制到不足 1mA。

同样，如果输入端要连接到低阻抗源（例如电源或缓冲参考线），请添加一个与输入端串联的限流电阻器，以限制钳位导通时的任何瞬态电流。将电流限制为 1mA 或更低。该串联电阻可以是任何电阻输入分压器或网络的一部分。

6.4.3.2 输出

TLV183x 推挽输出 ESD 保护电路包含输出与 (V+) 之间的传统 ESD 钳位和输出与 (V-) 之间的 ESD 钳位。输出电压不得比电源轨高出 200mV 以上。

TLV184x 开漏输出 ESD 保护电路仅包括通往 (V-) 的 ESD 钳位电路，以允许将输出拉至高于 (V+)，最高为 40V。输出与开漏输出上的 (V+) 之间没有 ESD 钳位二极管。

6.4.4 上电复位 (POR)

TLV183x 和 TLV184x 器件具有内部上电复位 (POR) 电路，用于已知的启动或断电条件。当电源电压 (V+) 逐渐上升或逐渐下降时，在超过 1.9V 的 V_{POR} 后，激活 POR 电路并持续长达 80µs。当电源电压大于等于最小电源电压时，经过延迟周期后，比较器输出将反映差分输入的状态 (V_{ID})。

对于 TLV183x 和 TLV184x 器件，POR 电路在 POR 期间 (P_{on}) 使输出保持高阻抗 (Hi-Z)。

Copyright © 2025 Texas Instruments Incorporated

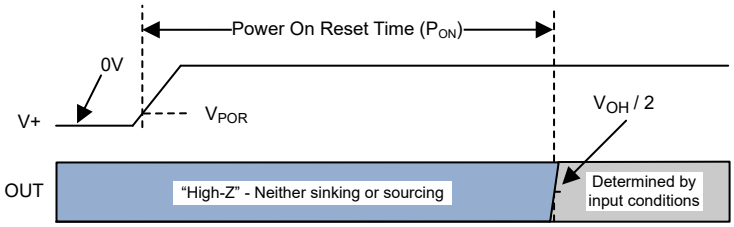


图 6-2. 上电复位时序图

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

7.1.1 基本的比较器定义

7.1.1.1 操作

基本比较器将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 7-1 示例中，如果 V_{IN} 小于 V_{REF}，则输出电压 (V_O) 为逻辑低电平 (V_{OL})。如果 V_{IN} 大于 V_{REF}，则输出电压 (V_O) 为逻辑高电平 (V_{OH})。表 7-1 总结了输出条件。只需交换输入引脚，即可反转输出逻辑。

表 7-1. 输出条件

输入条件	输出
IN+ > IN-	高 (V_{OH})
IN+ = IN-	不确定（抖动 - 请参阅迟滞）
IN+ < IN-	低 (V_{OL})

7.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟，这种延迟称为传播延迟。输入从高电平转换为低电平和从低电平转换为高电平时，传播延迟可能不同。如 图 7-1 中的 t_{pLH} 和 t_{pHL} 所示，从输入的中点到输出的中点进行测量。

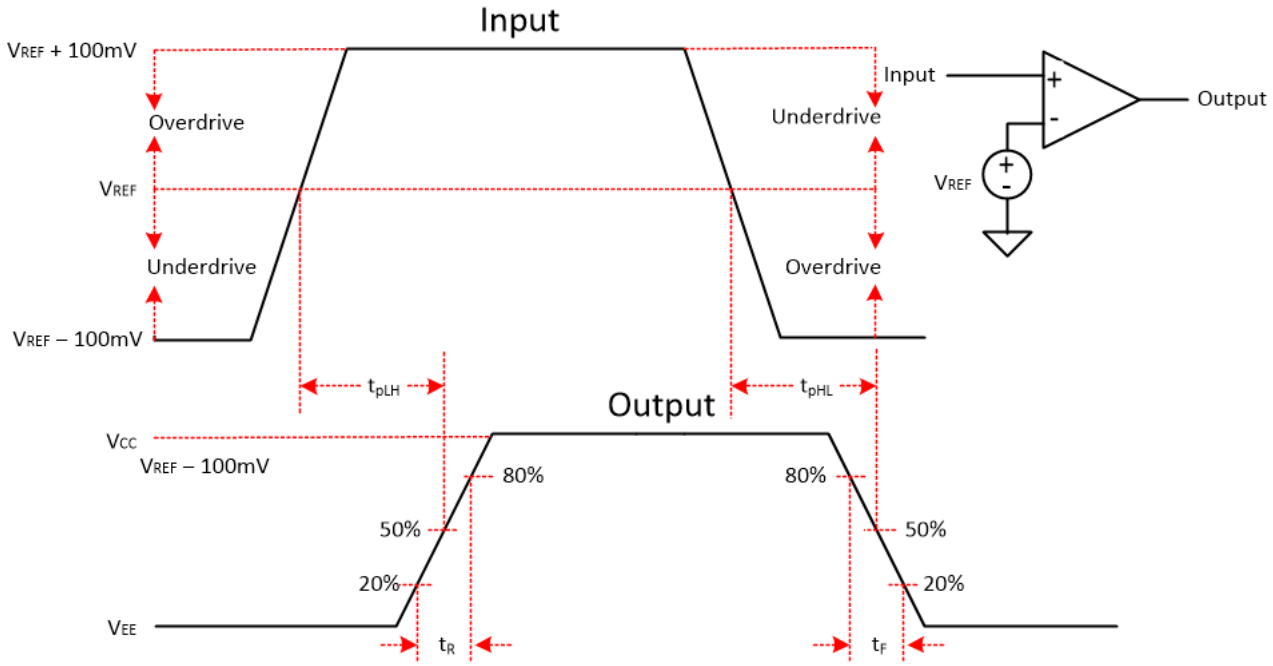


图 7-1. 比较器时序图

7.1.1.3 过驱电压

过驱电压 V_{OD} 是超出基准电压的输入电压（而不是总输入峰峰值电压）。如 图 7-1 示例所示，过驱电压为 100mV。过驱电压会影响传播延迟 (t_p)。过驱电压越小，传播延迟越长，尤其在 < 100mV 时。如果需要非常快的速度，TI 建议使用尽可能大的过驱电压。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

7.1.2 迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置会产生有噪声的抖动输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。向比较器添加外部迟滞可防止出现这个问题。

可以通过正反馈环路形式施加外部迟滞，从而根据电流输出状态调整比较器的跳变点。

图 7-2 展示了迟滞传递曲线。该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

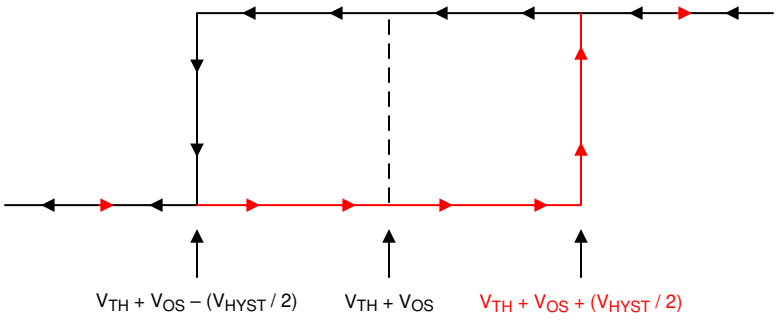


图 7-2. 迟滞传递曲线

更多相关信息，请参阅应用手册 SBOA219 “具有/不具有迟滞功能的比较器电路”。

7.1.2.1 具有迟滞功能的反相比较器

具有迟滞功能的反相比较器需要一个以比较器电源电压 (V_{CC}) 为基准的三电阻器网络，如图 7-3 所示。

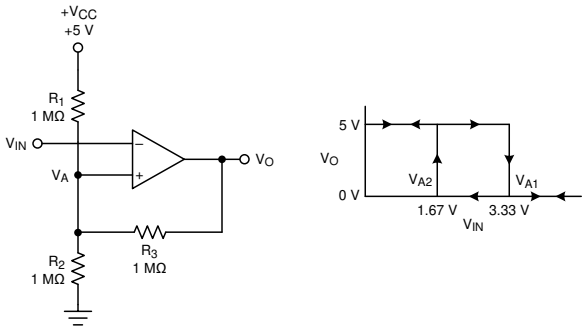


图 7-3. 采用反相配置、具有迟滞功能的 TLV183x

输出为高电平和低电平时的等效电阻器网络如图 7-3 所示。

Copyright © 2025 Texas Instruments Incorporated

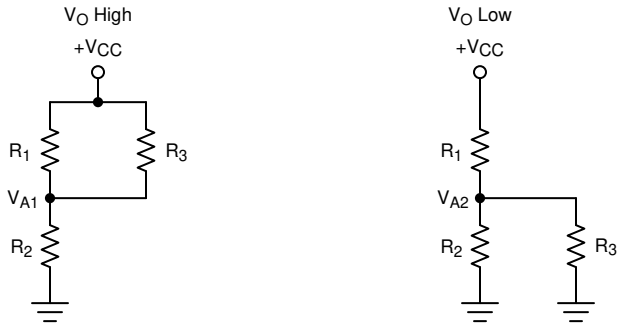


图 7-4. 反相配置电阻器等效网络

当 V_{IN} 小于 V_A 时，输出电压为高电平（为简单起见，假设 V_O 切换至与 V_{CC} 一样高）。三电阻器网络可以表示为 R1 || R3 与 R2 串联，如图 7-4 所示。

下面的方程式 1 定义了从高电平转换到低电平的跳变电压 (V_{A1})。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

当 V_{IN} 大于 V_A 时，输出电压较低。在这种情况下，三电阻器网络可以表示为 R2 || R3 与 R1 串联，如方程式 2 所示。

使用方程式 2 定义从低电平转换到高电平的跳变电压 (V_{A2})。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

方程式 3 定义了网络提供的总迟滞。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

7.1.2.2 具有迟滞功能的同相比较器

具有迟滞功能的同相比较器需要一个双电阻器网络和反相输入端的电压基准 (V_{REF})，如图 7-5 所示。

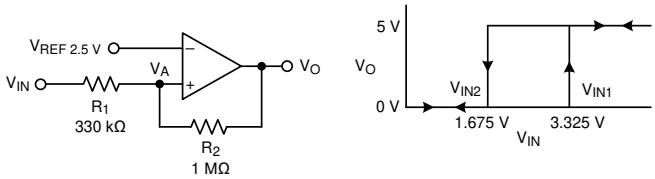


图 7-5. 采用同相配置、具有迟滞功能的 TLV183x

输出为高电平和低电平时的等效电阻器网络如图 7-6 所示。

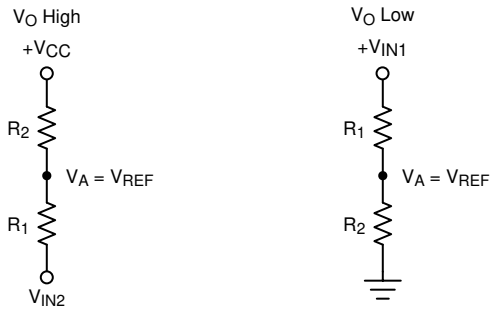


图 7-6. 同相配置电阻器网络

当 V_{IN} 小于 V_{REF} 时，输出为低电平。若要使输出从低电平切换到高电平，V_{IN} 必须高于 V_{IN1} 阈值。请使用方程式 4 来计算 V_{IN1}。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

当 V_{IN} 大于 V_{REF} 时，输出为高电平。若要使比较器切换回低电平状态，V_{IN} 必须降至 V_{IN2} 以下。请使用方程式 5 来计算 V_{IN2}。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

在此电路中，迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，如方程式 6 所示。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

更多相关信息，请参阅应用手册 SNOA997“具有迟滞功能的反相比较器电路”和 SBOA313“具有迟滞功能的同相比较器电路”。

7.1.2.3 使用开漏输出的反相和同相迟滞

可以使用漏极开路输出器件，例如 TLV184x，但在计算中还必须考虑输出上拉电阻器。当输出为高电平时，可以看到上拉电阻器与反馈电阻器串联。因此，反馈电阻器实际上可视为 R2 + R_{PULLUP}。TI 建议上拉电阻器阻值至少是反馈电阻器的十分之一。

7.2 典型应用

7.2.1 窗口比较器

窗口比较器通常用于检测欠压和过压情况。图 7-7 显示了一个简单的窗口比较器电路。如果输出端直接连接在一起，则窗口比较器需要开漏输出 (TLV184x)。

Copyright © 2025 Texas Instruments Incorporated

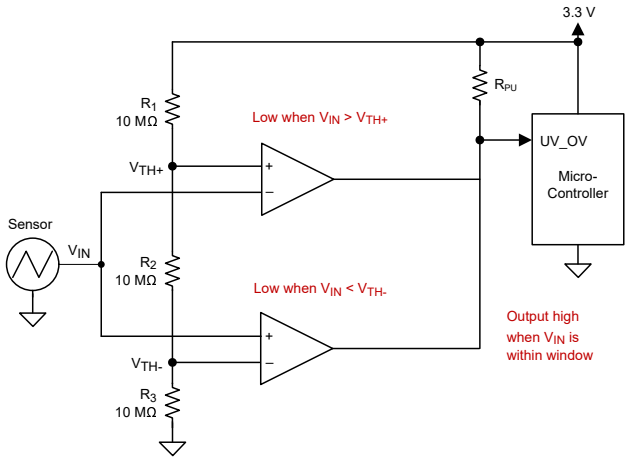


图 7-7. 窗口比较器

7.2.1.1 设计要求

对于此设计，请遵循以下设计要求：

- 当输入信号低于 1.1V 时发出警报（逻辑低电平输出）
- 当输入信号高于 2.2V 时发出警报（逻辑低电平输出）
- 警报信号为低电平有效
- 使用 3.3V 电源供电

7.2.1.2 详细设计过程

如图 7-7 所示配置电路。将 V+ 连接到 3.3V 电源，并将 V_{EE} 接地。使 R1、R2 和 R3 电阻器各为 10MΩ。这三个电阻器用于创建窗口比较器的正阈值和负阈值（V_{TH+} 和 V_{TH-}）。

每个电阻相等时，V_{TH+} 为 2.2V 且 V_{TH-} 为 1.1V。10MΩ 等大电阻值可更大限度地降低功耗。可以重新计算电阻值以在跳变点提供所需的值。

传感器输出电压施加到两个比较器的反相和同相输入端。使用两个开漏输出比较器可将两个比较器输出以“线或”(Wire-OR) 方式连接在一起。

当传感器小于 1.1V 或大于 2.2V 时，相应的比较器输出为低电平。如 图 7-8 所示，当传感器在 1.1V 至 2.2V 范围内（在“窗口”内）时，相应的比较器输出为高电平。

7.2.1.3 应用曲线

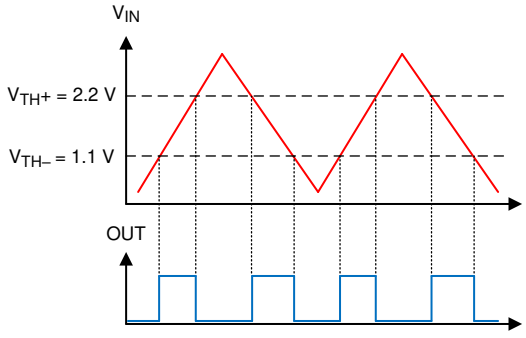


图 7-8. 窗口比较器结果

更多相关信息，请参阅应用手册 SBOA221“窗口比较器电路”。

7.2.2 方波振荡器

方波振荡器可用作低成本时序基准或系统监控时钟源。推荐使用推挽输出 (TLV183x) 以获得最佳对称性。

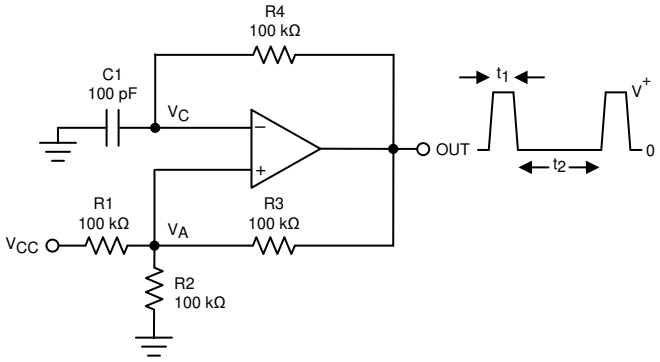


图 7-9. 方波振荡器

7.2.2.1 设计要求

方波周期由电容器 C_1 和电阻器 R_4 的 RC 时间常数决定。最高频率受限于器件的传播延迟以及输出端的容性负载。在给定的振荡器频率下，低输入偏置电流允许采用较低的电容值和较大的电阻值组合，这可有助于降低 BOM 成本并减少布板空间。TI 建议 R4 超过几千欧，以尽量减少输出负载。

7.2.2.2 详细设计过程

振荡频率由电阻值和电容值决定。以下计算提供了这些步骤的详细信息。

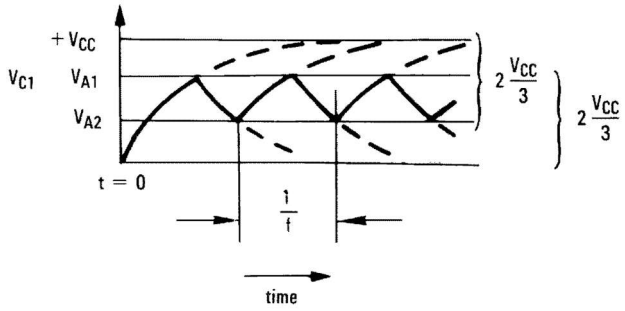


图 7-10. 方波振荡器时序阈值

首先考虑图 方波振荡器 的输出为高电平，这表明反相输入 (V_C) 低于同相输入 (V_A)。这将使 C_1 通过 R_4 充电，电压 V_C 将增加，直到等于同相输入。下面计算了此时 V_A 的值。

$$V_{A1} = \frac{V_{CC} \times R_2}{R_2 + R_1 \| R_3} \tag{7}$$

如果 $R_1 = R_2 = R_3$，则 $V_{A1} = 2V_{CC}/3$

此时，比较器输出会跳闸，将输出拉低至负电源轨。下面计算了此时 V_A 的值。

$$V_{A2} = \frac{V_{CC}(R_2 \| R_3)}{R_1 + R_2 \| R_3} \tag{8}$$

如果 $R_1 = R_2 = R_3$，则 $V_{A2} = V_{CC}/3$

Copyright © 2025 Texas Instruments Incorporated

C_1 现在通过 R_4 放电，电压 V_{CC} 下降，直到达到 V_{A2}。此时，输出切换回起始状态。振荡周期等于 C_1 从 $2V_{CC}/3$ 到 $V_{CC}/3$ 再回到 $2V_{CC}/3$ 的持续时间，每次切换为 $R_4C_1 \times \ln 2$。因此，总持续时间的计算公式为 $2\ R_4C_1 \times \ln 2$。

下方可得出振荡频率。

$$f = 1/(2\ R4 \times C1 \times In2) \quad (9)$$

7.2.2.3 应用性能曲线图

方波振荡器输出波形显示了使用以下元件值的振荡器的仿真结果：

- $R_1 = R_2 = R_3 = R_4 = 10k\Omega$
- $C_1 = 100pF$，$C_L = 20pF$
- V+ = 5V，V– = GND
- C_{stray}（未显示）为 V_A 至 GND = 10pF

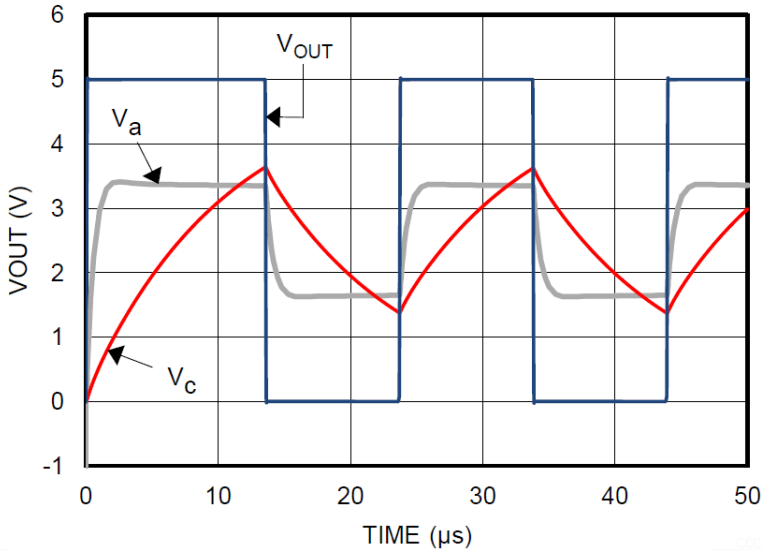


图 7-11. 方波振荡器输出波形

7.3 电源相关建议

由于存在快速输出边沿，所以电源引脚上的旁路电容器至关重要，可防止电源振铃和误触发以及振荡。在 (V+) 引脚和接地引脚之间直接放一个低 ESR 0.1µF 陶瓷旁路电容器，直接在*每个*器件上实现电源旁路。输出转换期间会汲取窄峰值电流，特别是对于推挽输出器件而言。这些窄脉冲会导致电源线无旁路和不良的接地振铃，可能会导致可影响输入电压范围并造成不准确比较甚至振荡的变化。

该器件可由“双”电源（(V+) 和 (V-)）或“单”电源（(V+) 和 GND，GND 连接 (V-) 引脚）供电。对于任一类型，输入信号必须保持在建议的输入范围内。请注意，使用“双”电源时，输出现在将“低电平” (V_{OL}) 摆动到 (V-) 电位而不是摆动到 GND。

7.4 布局

7.4.1 布局指南

在应用精确比较器时，需要保持电源稳定且将噪声和干扰降至最低。输出上升和下降时间为几十纳秒，必须被视为高速逻辑器件。旁路电容器必须尽可能靠近电源引脚放置并连接到实心接地层，最好直接放在 (V+) 与 GND 引脚之间。

尽量减少输出和输入之间的耦合，以防止输出振荡。如下图所示，只要在输出之间有一条 (V+) 或 GND 走线以减少耦合，输入和输出走线就可以平行布局。减少耦合的一种“更好”的方法是使迹线彼此远离。

Copyright © 2025 Texas Instruments Incorporated

向输入端添加串联电阻时，将电阻器放在靠近器件的位置。还可以在输出端串联一个低阻值（<100 欧姆）电阻器，以抑制非阻抗控制的长迹线上出现任何振铃或反射。为获得理想边沿形状，在进行长距离布线时必须使用带有反向终端的受控阻抗迹线。

7.4.2 布局示例

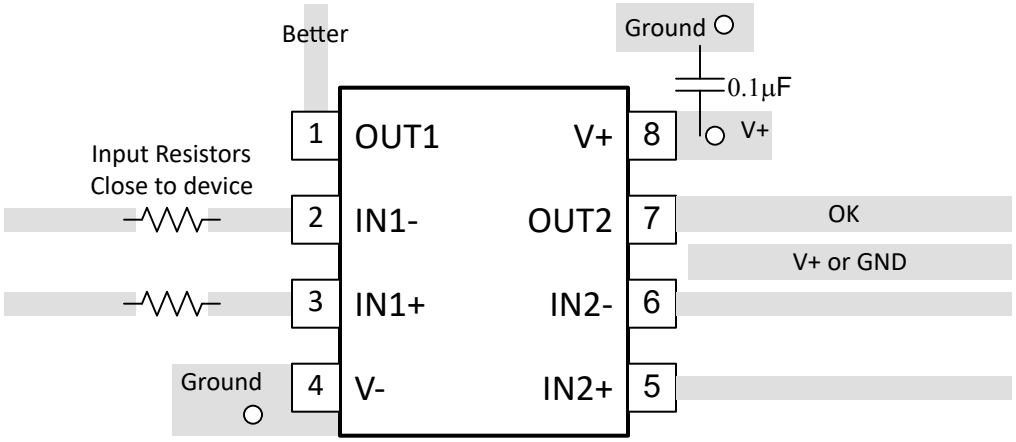


图 7-12. 双通道布局示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

模拟工程师电路设计指导手册：放大器（请参阅“比较器”一节）- SLYY137

精密设计，具有迟滞功能的比较器参考设计 - TIDU020

窗口比较器电路 - SBOA221

参考设计，窗口比较器参考设计 - TIPD178

具有/不具有迟滞功能的比较器电路 - SBOA219

具有迟滞功能的反相比较器电路 - SNOA997

具有迟滞功能的同相比较器电路 - SBOA313

四个独立运行的比较器 - SNOA654

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (November 2024) to Revision B (February 2025)	Page
• 发布了 WSON 封装选项	1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (May 2024) to Revision A (November 2024) **Page**

- 通篇更新了静态电流和输入失调电压规格 1
- 在整个数据表中将 TLV1831_41_32_42-Q1 发布为量产产品 1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV1831DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1831
TLV1831DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	See TLV1831DBVR	1831
TLV1831DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1TL
TLV1831DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	See TLV1831DCKR	1TL
TLV1832DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	T32D
TLV1832DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TLV1832DGKR	T32D
TLV1832DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	T32C
TLV1832PWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1832
TLV1832PWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TLV1832PWR	TL1832
TLV1841DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1841
TLV1841DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	See TLV1841DBVR	1841
TLV1841DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1TM
TLV1841DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	See TLV1841DCKR	1TM
TLV1842DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T42D
TLV1842DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T42D
TLV1842DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T42C
TLV1842PWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1842
TLV1842PWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1842

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV1831, TLV1832, TLV1841, TLV1842 :

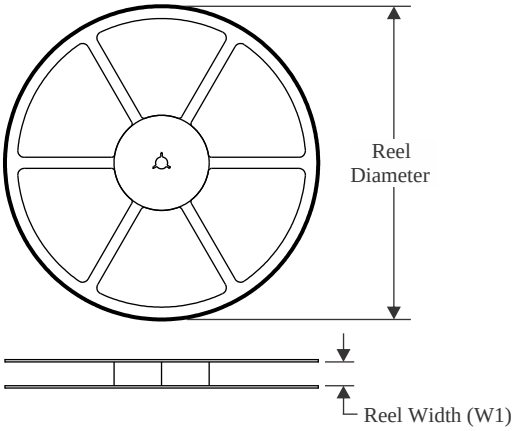
- Automotive : TLV1831-Q1, TLV1832-Q1, TLV1841-Q1, TLV1842-Q1

NOTE: Qualified Version Definitions:

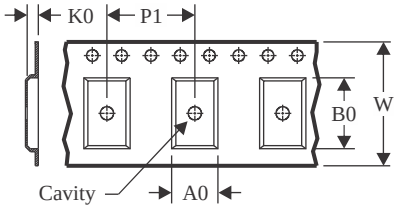
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

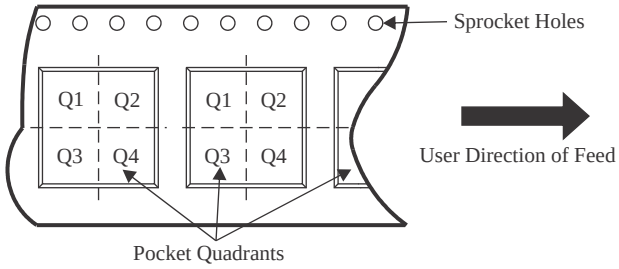


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

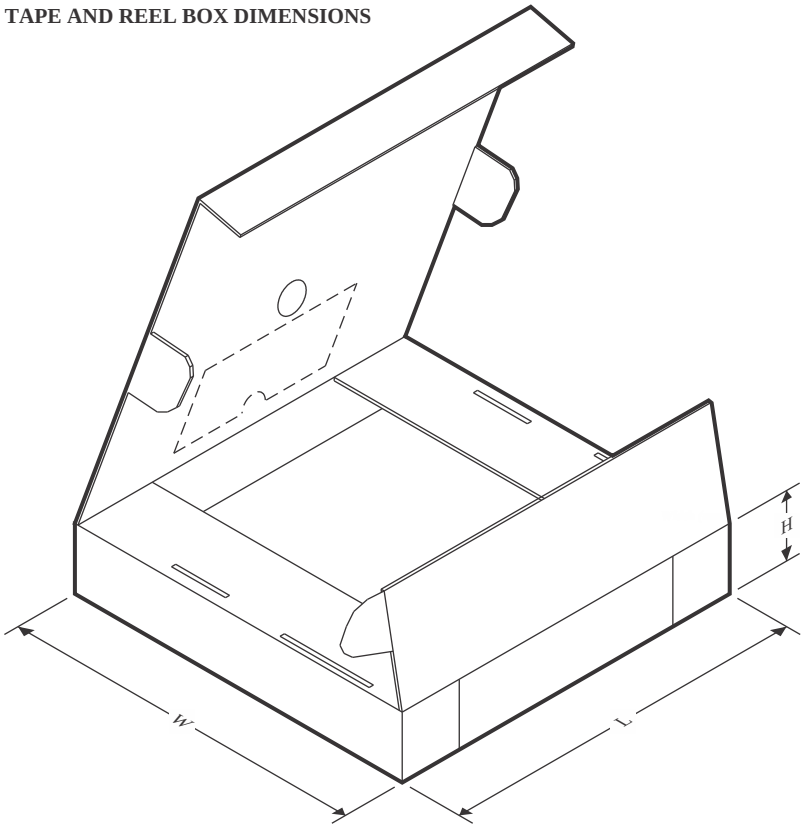
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV1831DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1831DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV1832DGKR	VSSOP	DGK	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1832DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV1832PWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV1841DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1841DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
TLV1842DGKR	VSSOP	DGK	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1842DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV1842PWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

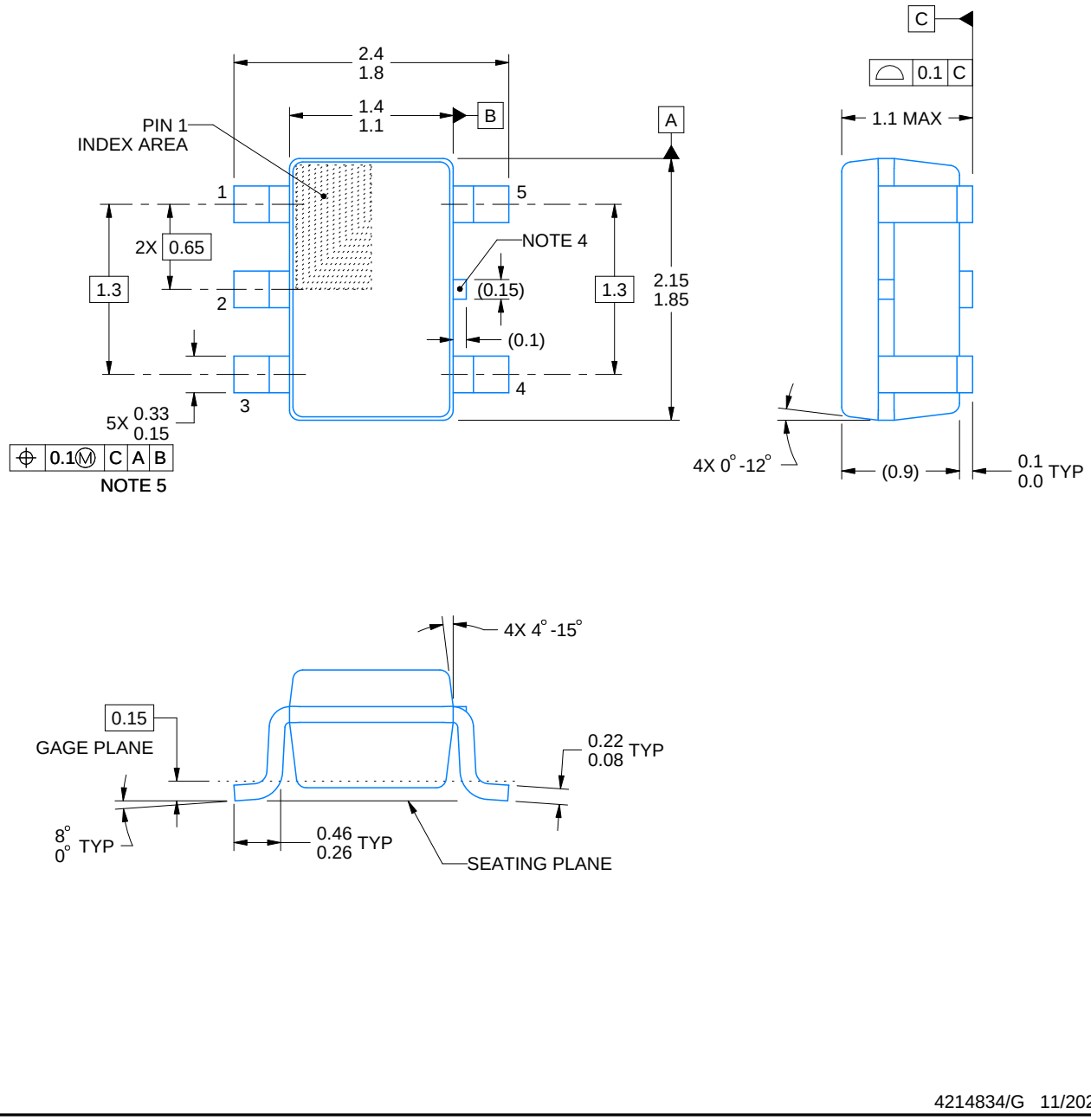
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV1831DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV1831DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV1832DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV1832DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV1832PWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV1841DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV1841DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
TLV1842DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV1842DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV1842PWR	TSSOP	PW	8	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

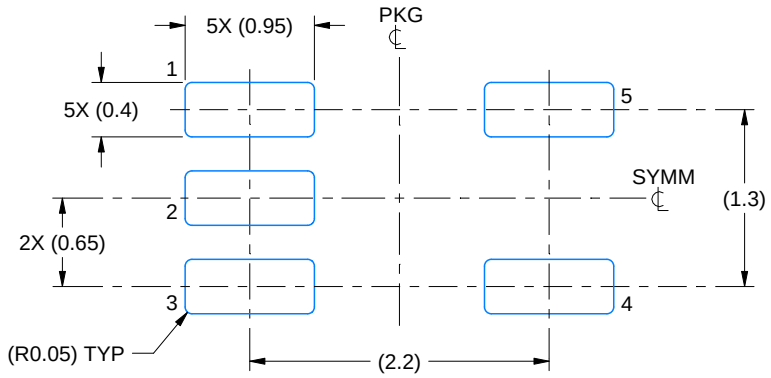
SMALL OUTLINE TRANSISTOR



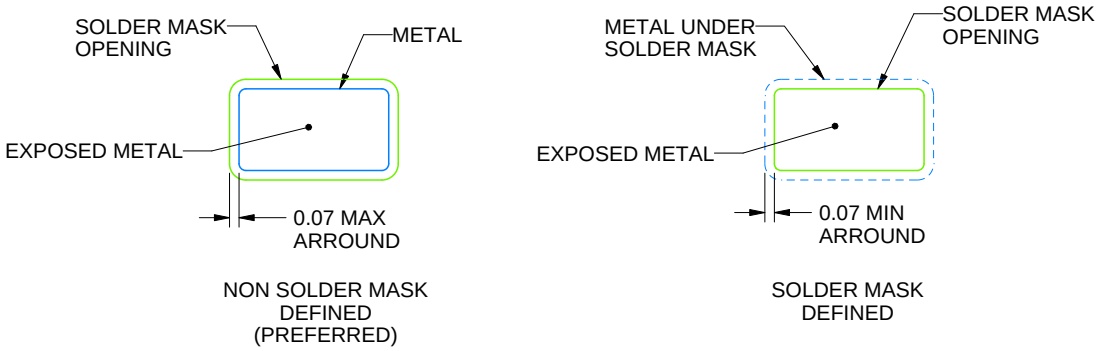
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

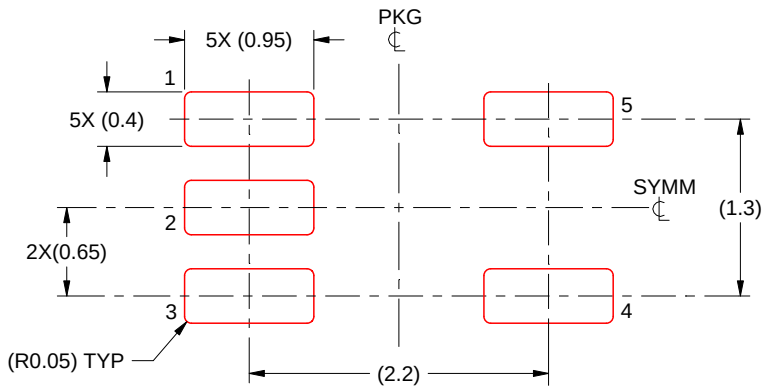


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

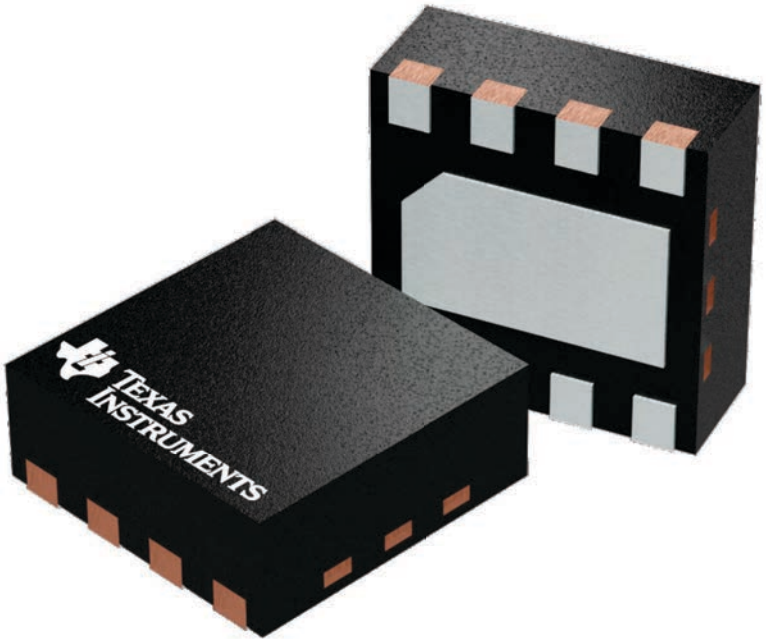
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



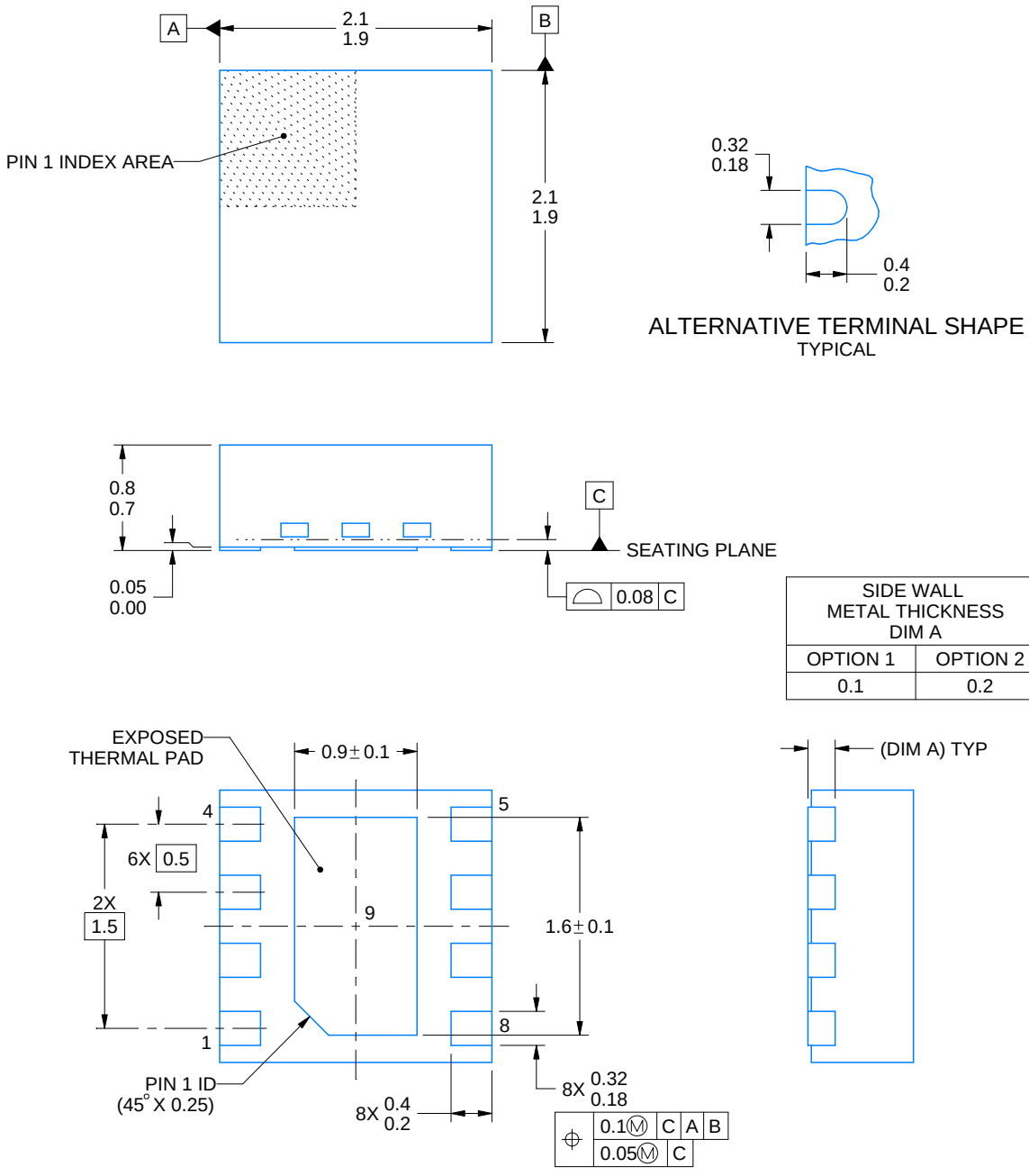
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

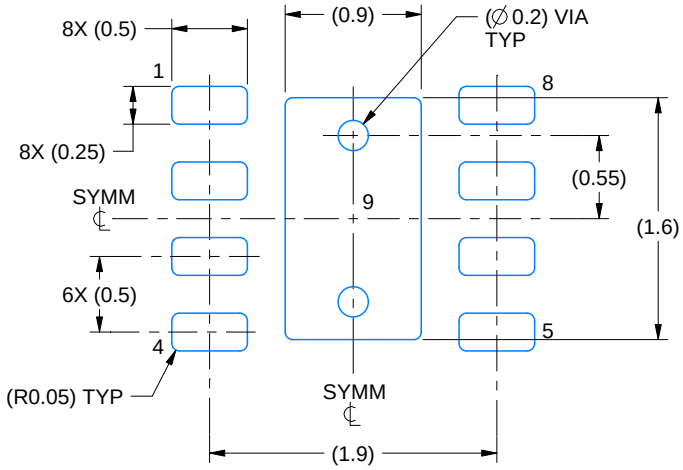
PLASTIC SMALL OUTLINE - NO LEAD



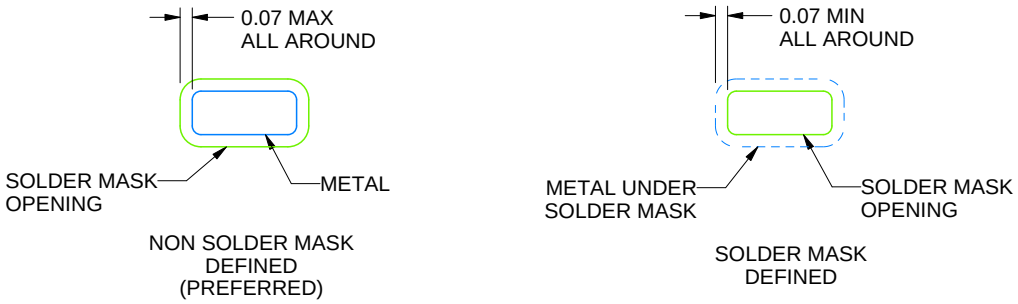
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

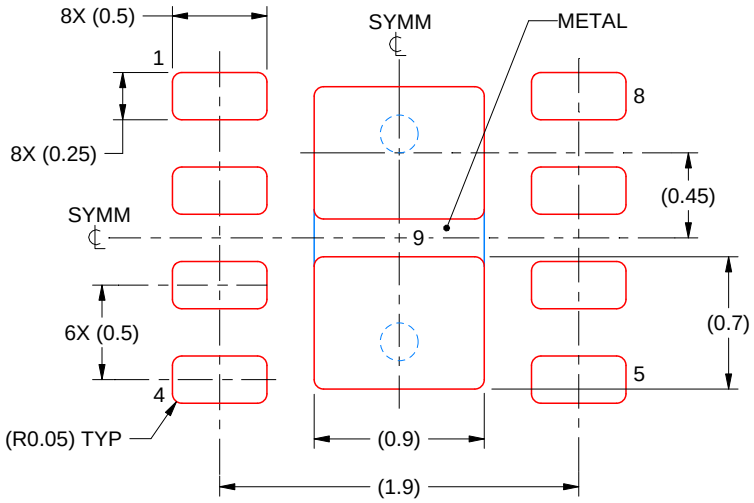


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

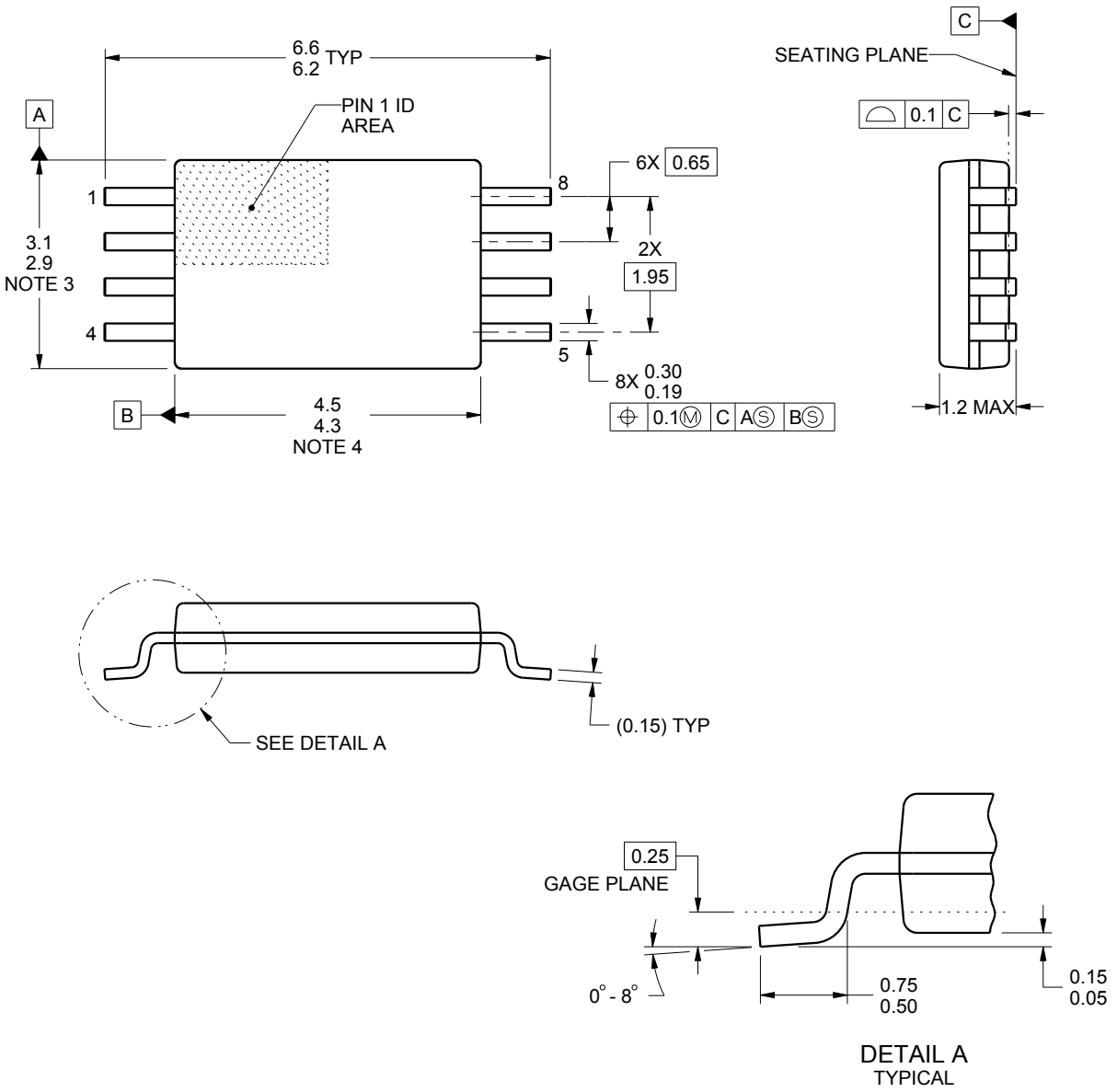
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0008A

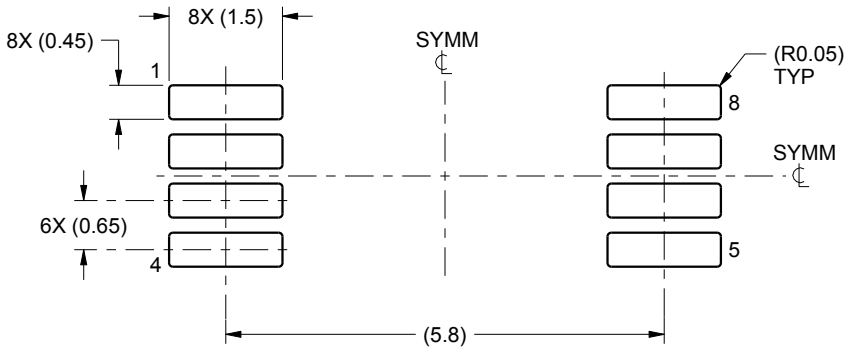
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

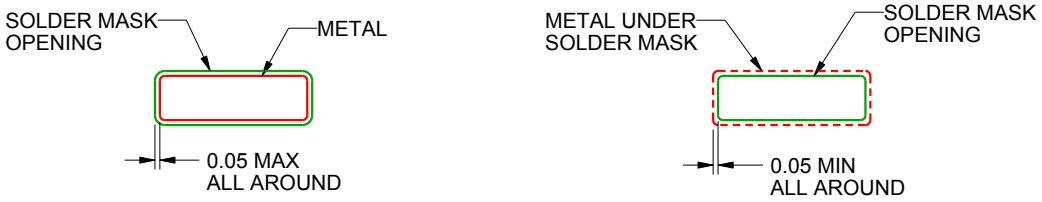


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

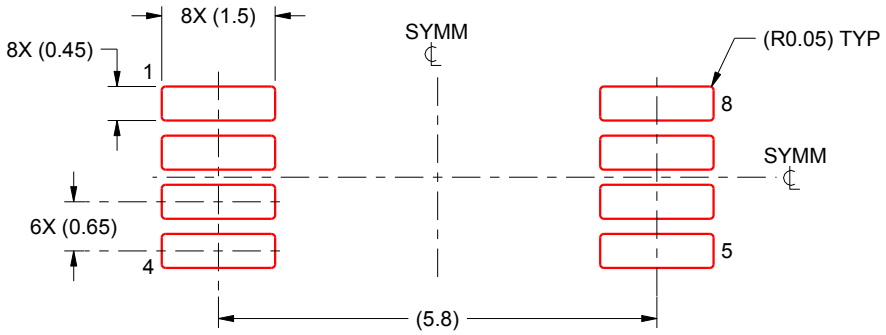


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

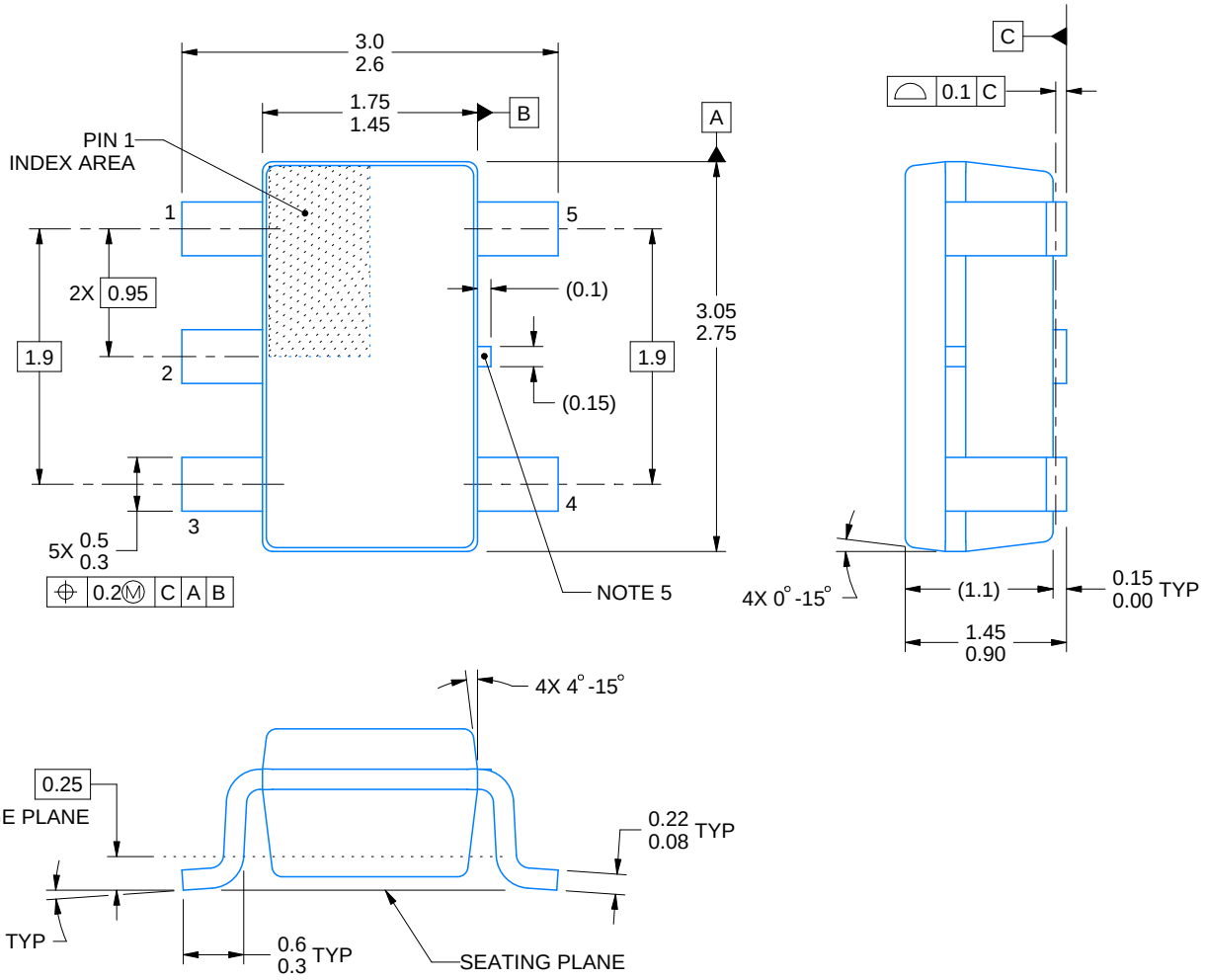
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

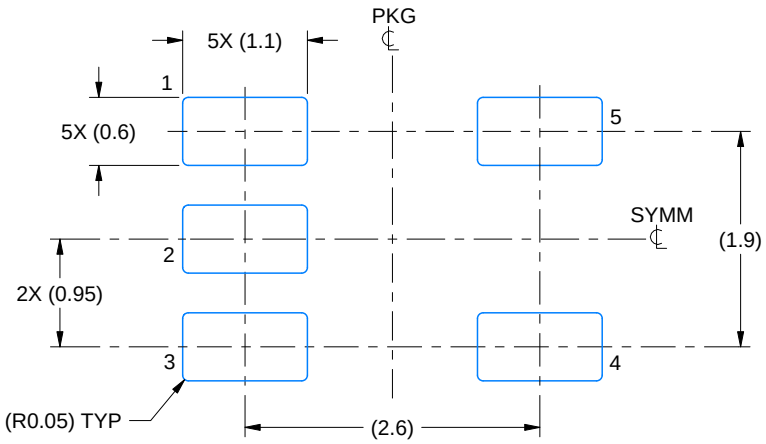
SMALL OUTLINE TRANSISTOR



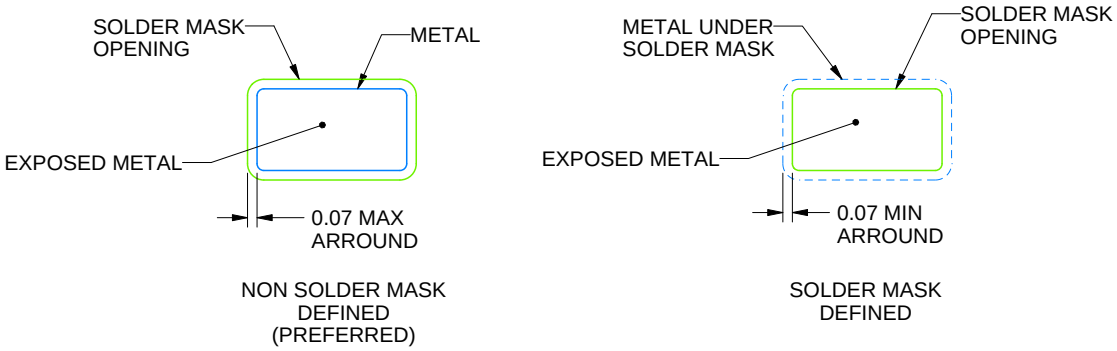
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

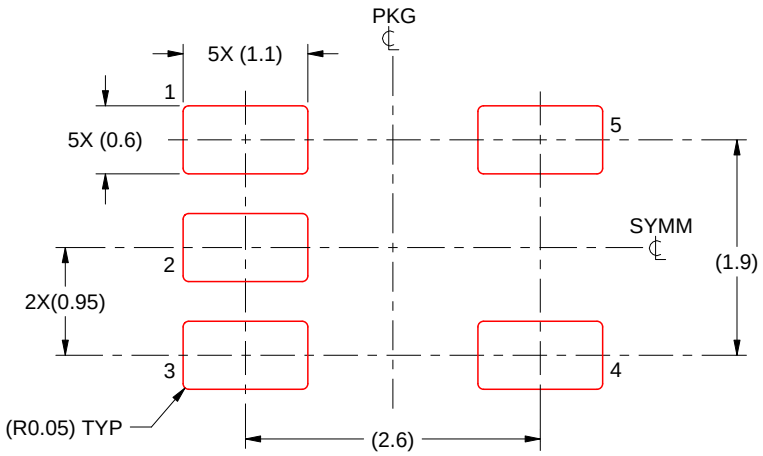


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

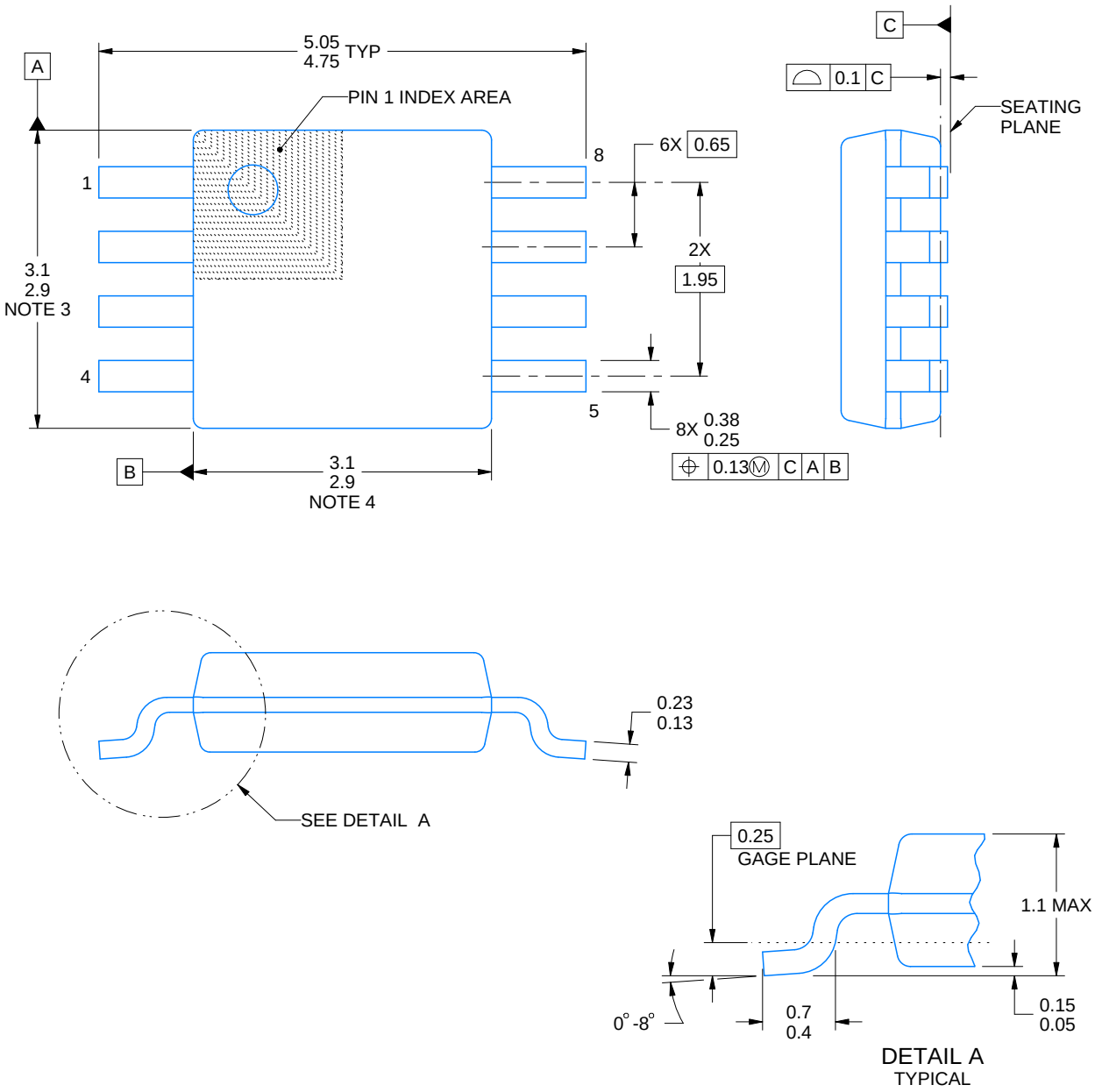
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

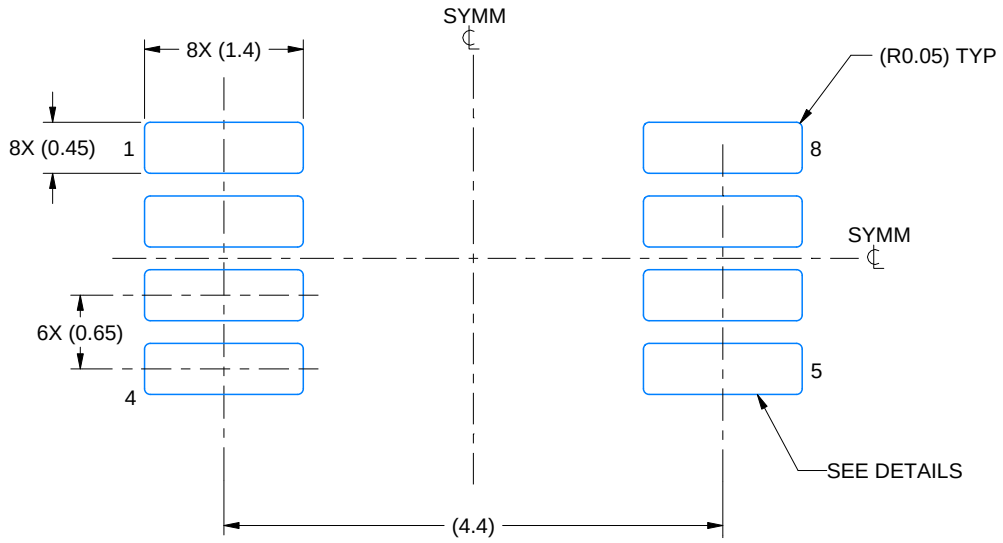
SMALL OUTLINE PACKAGE



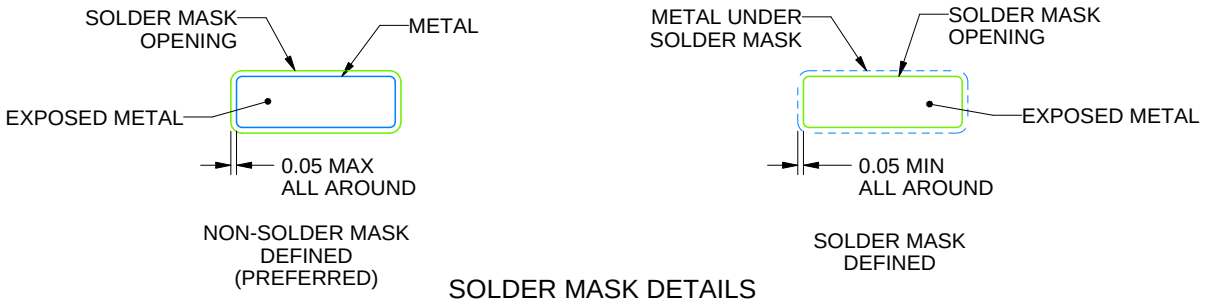
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

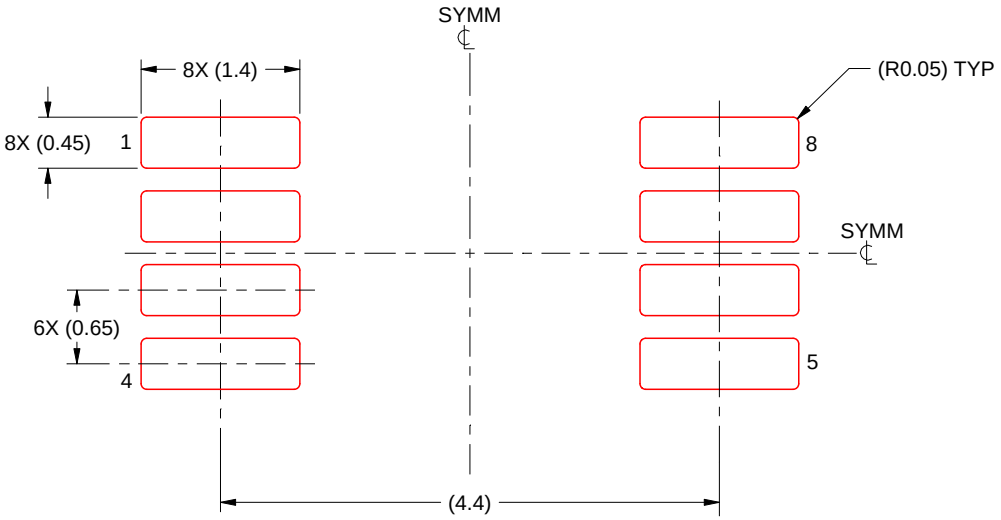


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月