

TLV07 36V 精密轨到轨输出运算放大器

1 特性

- 低失调电压：100μV（最大值）
- 轨到轨输出
- 低噪声：19nV/√Hz
- 单位增益稳定
- RFI 滤波输入
- 输入范围包括负电源
- 轨到轨输出
- 增益带宽：1MHz
- 低静态电流：930μA
- 全工业温度范围：
–40°C 至 +125°C
- 采用符合行业标准的 8 引脚 SOIC 封装

2 应用

- 电池测试仪
- 电源模块内的跟踪放大器
- 商用电源
- 变频器放大器
- 温度测量
- 应力计放大器

3 说明

TLV07 器件是使用 TI 激光修整运算放大器技术制造的一款 36V、单电源、低噪声、精密运算放大器。每个放大器的输入失调电压均在生产中经过修整，从而获得 100μV（最大值）的低失调电压。

TLV07 具有出色的直流精度和交流性能，包括轨到轨输出、低失调电压（最大值 ±100μV）和 1MHz 带宽。TLV07 可在 $G = 1$ 且电容负载高达 200pF 时保持稳定。输入可在负电源轨以下 100mV 以及正电源轨 2V 之内工作。这种宽输入电压范围与 120dB 的高 CMRR 特性相结合，使得 TLV07 非常适合在同相配置下工作。

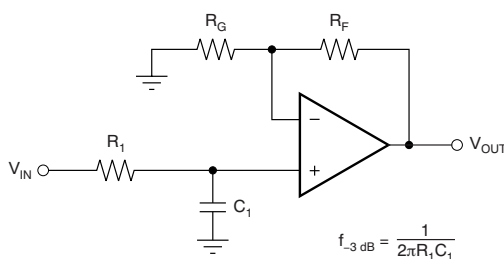
TLV07 运算放大器的额定工作温度范围为 –40°C 至 +125°C。

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
TLV07	SOIC (8)	4.90mm x 3.91mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

具有增益的单极低通滤波器



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1C_1}\right)$$



目录

1	特性	1	7.4	器件功能模式	15
2	应用	1	8	应用和实现	16
3	说明	1	8.1	应用信息	16
4	修订历史记录	2	8.2	典型应用	16
5	引脚配置和功能	3	9	电源建议	17
6	规格	4	10	布局	18
6.1	绝对最大额定值	4	10.1	布局指南	18
6.2	ESD 额定值	4	10.2	布局示例	19
6.3	建议的工作条件	4	11	器件和文档支持	20
6.4	热性能信息: TLV07	4	11.1	器件支持	20
6.5	电气特性	5	11.2	Documentation Support	21
6.6	典型特性	6	11.3	Community Resources	21
7	详细 说明	12	11.4	商标	21
7.1	概述	12	11.5	静电放电警告	21
7.2	功能框图	12	11.6	Glossary	21
7.3	特性 说明	13	12	机械、封装和可订购信息	21

4 修订历史记录

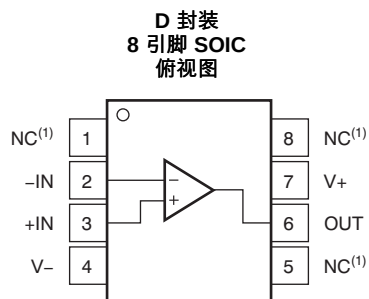
注：之前版本的页码可能与当前版本有所不同。

Changes from Original (July 2017) to Revision A

Page

•	首次发布生产数据数据表	1
---	-------------------	---

5 引脚配置和功能



(1) NC = 无内部连接

引脚功能：TLV07

名称	编号	I/O	说明
-IN	2	I	负（反相）输入
+IN	3	I	正（同相）输入
NC	1、5、8	—	没有与内部电路连接（可以悬空）
OUT	6	O	输出
V+	7	—	正电源（最高）
V-	4	—	负电源（最低）

6 规格

6.1 绝对最大额定值

在自然通风温度范围内测得，除非另有说明。⁽¹⁾

	最小值	最大值	单位
电源电压	-20	20	V
单电源电压		40	V
信号输入引脚电压	(V-) - 0.5	(V+) + 0.5	V
信号输入引脚电流	-10	10	mA
输出短路电流 ⁽²⁾	持续		
工作环境温度, T _A	-40	125	°C
结温, T _J		150	°C
贮存温度, T _{stg}	-65	150	°C

(1) 超出绝对最大额定值下列值的应力可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出推荐的操作条件下的任何其它操作时，器件能够功能性运行。在绝对最大额定值条件下长时间运行会影响器件可靠性。

(2) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
V _(ESD) 静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	组件充电模式 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议的工作条件

在自然通风温度范围内测得（除非另有说明）

	最小值	最大值	单位
V _S 电源电压 (V _S = V+ - V-)	2.7	36	V
T _A 工作温度	-40	125	°C

6.4 热性能信息：TLV07

热指标		TLV07	单位
		D (SOIC)	
		8 引脚	
R _{θJA}	结至环境热阻	149.5	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	97.9	°C/W
R _{θJB}	结至电路板热阻	87.7	°C/W
ψ _{JT}	结至顶部的特征参数	35.5	°C/W
ψ _{JB}	结至电路板的特征参数	89.5	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	—	°C/W

6.5 电气特性

$T_A = 25^\circ\text{C}$, $V_+ = +15\text{V}$, $V_- = -15\text{V}$, $V_{CM} = V_{OUT} = V_S / 2$, 且 $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$) (除非另有说明) 。

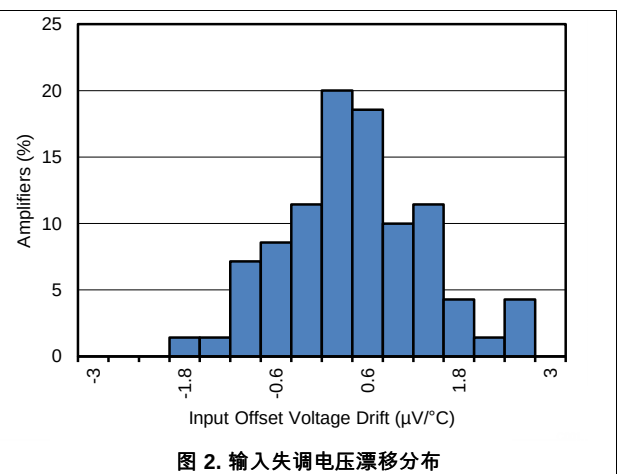
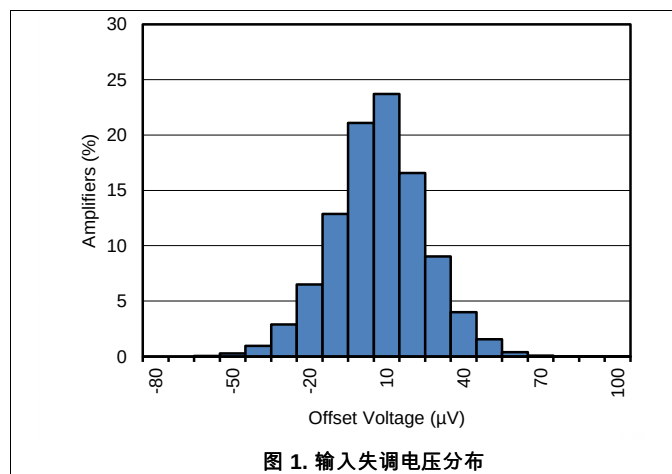
参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入失调电压			50	± 100	μV
dV_{OS}/dT 输入失调电压漂移	$T_A = -40^\circ\text{C}$ 至 125°C		± 0.9		$\mu\text{V}/^\circ\text{C}$
PSRR 输入失调电压与电源间的关系	$V_S = 2.7\text{V}$ 至 36V		0.3		$\mu\text{V}/\text{V}$
输入偏置电流					
I_B 输入偏置电流			± 40		pA
	$T_A = -40^\circ\text{C}$ 至 125°C		± 3		nA
I_{OS} 输入失调电流			± 4		pA
噪声					
输入电压噪声	$f = 0.1\text{Hz}$ 至 10Hz		2.7		μV_{PP}
e_n 输入电压噪声密度	$f = 1\text{kHz}$		19		$\text{nV}/\sqrt{\text{Hz}}$
输入电压					
V_{CM} 共模电压范围		$(V_-) - 0.1$		$(V_+) - 2$	V
CMRR 共模抑制比	$V_S = \pm 18\text{V}$, $(V_-) - 0.1\text{V} < V_{CM} < (V_+) - 2\text{V}$	104	120		dB
输入阻抗					
差模			$100 \parallel 3$		$\text{M}\Omega \parallel \text{pF}$
共模			$6 \parallel 3$		$10^{12}\Omega \parallel \text{pF}$
开环增益					
A_{OL} 开环电压增益	$(V_-) + 0.35\text{V} < V_O < (V_+) - 0.35\text{V}$	110	130		dB
频率响应					
GBP 增益带宽积			1		MHz
SR 压摆率	$G = 1$		0.4		$\text{V}/\mu\text{s}$
t_S 建立时间	达到 0.1% , $V_S = \pm 18\text{V}$, $G = +1$, 10V 阶跃		20		μs
	达到 0.01% (12 位) , $V_S = \pm 18\text{V}$, $G = 1$, 10V 阶跃		28		μs
输出					
V_O 电压输出摆幅到	$R_L = 10\text{k}\Omega$		120		mV
I_{SC} 短路电流			17		mA
R_O 开环输出电阻	$f = 1\text{MHz}$, $I_O = 0\text{A}$		900		Ω
电源					
I_Q 静态电流 (每个放大器)	$I_O = 0\text{A}$		930	1800	μA
温度					
额定温度范围		-40		125	$^\circ\text{C}$
工作范围		-40		125	$^\circ\text{C}$

6.6 典型特性

$V_S = \pm 18V$, $V_{CM} = V_S / 2$, $R_{LOAD} = 10k\Omega$ (连接至 $V_S / 2$), 且 $C_L = 100pF$ (除非另有说明)

表 1. 特征性能测量

说明	图表
失调电压分布	图 1
失调电压漂移分布	图 2
失调电压与温度间的关系	图 3
失调电压与共模电压间的关系	图 4
失调电压与电源间的关系	图 5
I_B 和 I_{OS} 与共模电压间的关系	图 6
输入偏置电流与温度间的关系	图 7
输出电压摆幅与输出电流间的关系 (最大电源电压)	图 8
CMRR 和 PSRR 与频率间的关系 (以输入为基准)	图 9
CMRR 与温度间的关系	图 10
PSRR 与温度间的关系	图 11
0.1Hz 至 10Hz 噪声	图 12
输入电压噪声频谱密度与频率间的关系	图 13
THD+N 比与频率间的关系	图 14
THD+N 与输出幅度间的关系	图 15
静态电流与温度间的关系	图 16
静态电流与电源电压间的关系	图 17
开环增益和相位与频率间的关系	图 18
闭环增益与频率间的关系	图 19
开环增益与温度间的关系	图 20
开环输出阻抗与频率间的关系	图 21
无相位反转	图 22
正过载恢复	图 23
负过载恢复	图 24
小信号阶跃响应	图 25, 图 26
大信号阶跃响应	图 27, 图 28
大信号稳定时间	图 29
短路电流与温度间的关系	图 30
最大输出电压与频率间的关系	图 31
EMIRR IN+ 与频率间的关系	图 32



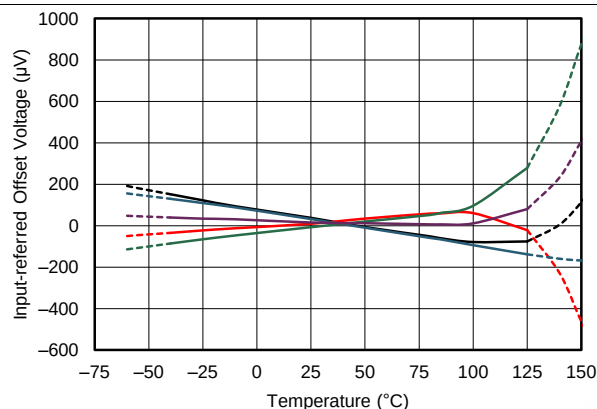


图 3. 输入失调电压与温度间的关系

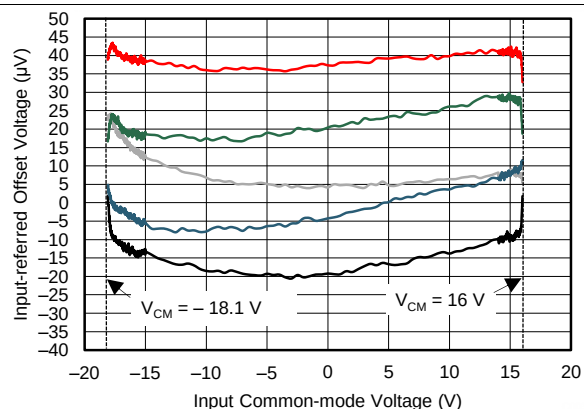


图 4. 输入失调电压与共模电压间的关系

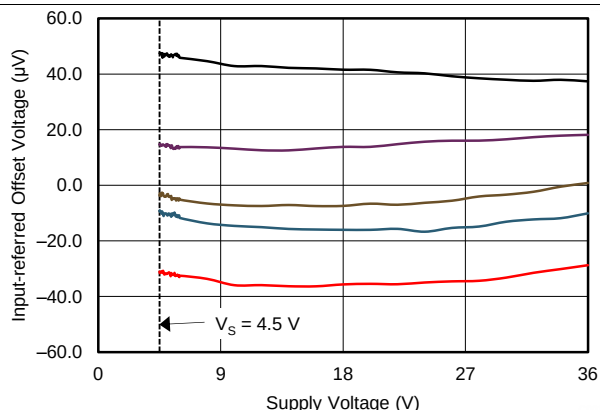


图 5. 失调电压与电源间的关系

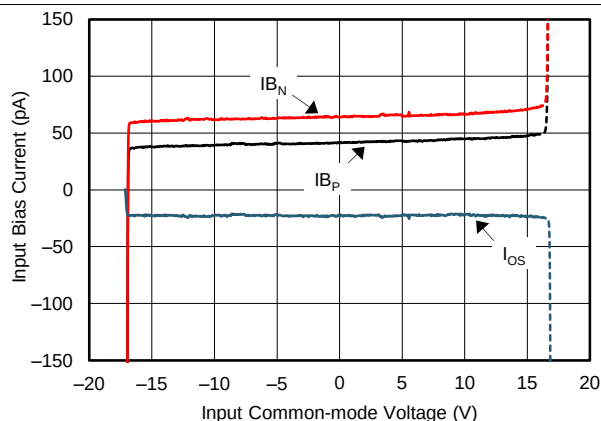


图 6. I_B 和 I_{OS} 与共模电压间的关系

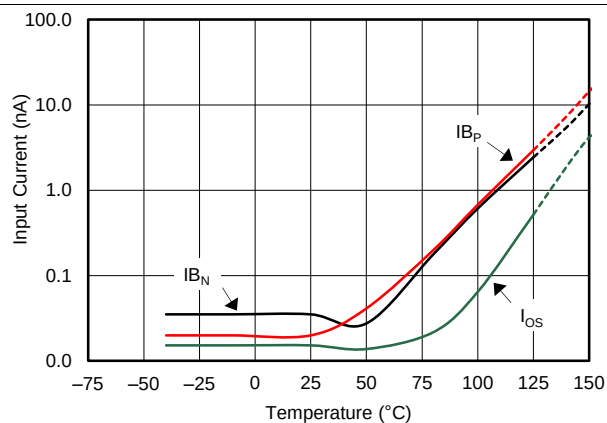


图 7. 输入偏置电流与温度间的关系

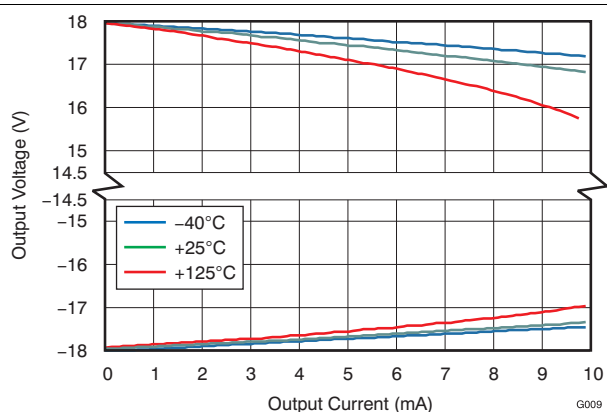


图 8. 输出电压摆幅与输出电流间的关系 (最大电源电压)

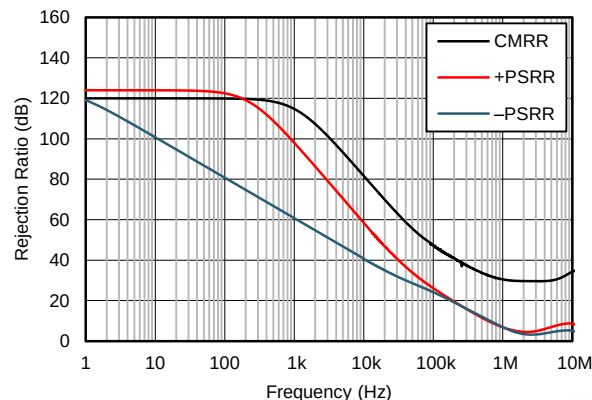


图 9. CMRR 和 PSRR 与频率间的关系

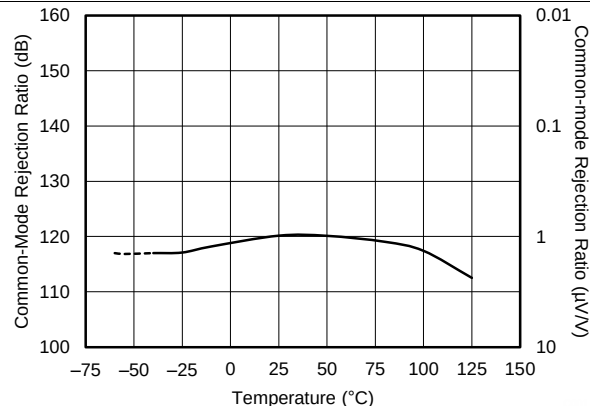


图 10. CMRR 与温度间的关系

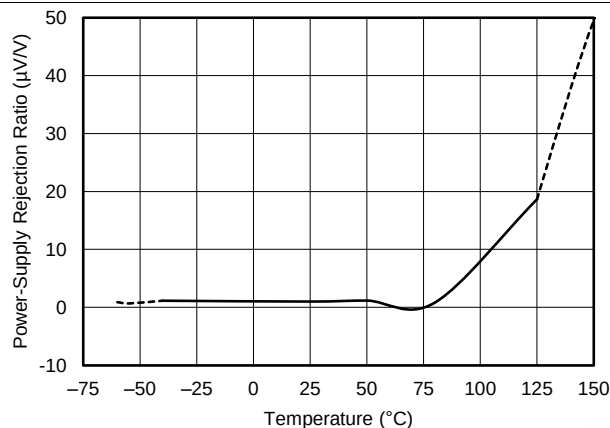


图 11. PSRR 与温度间的关系

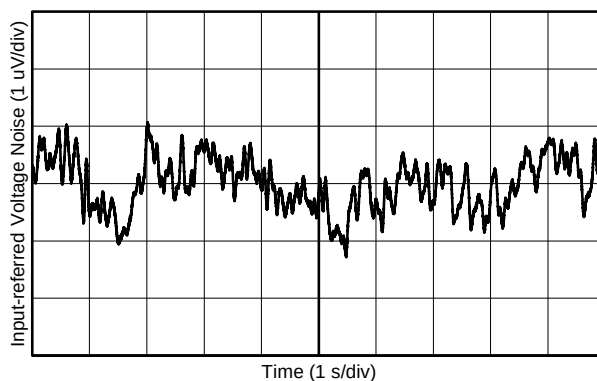


图 12. 0.1Hz 至 10Hz 噪声

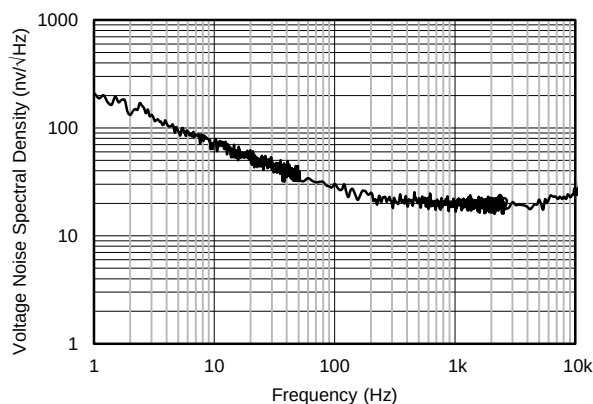


图 13. 输入电压噪声频谱密度与频率间的关系

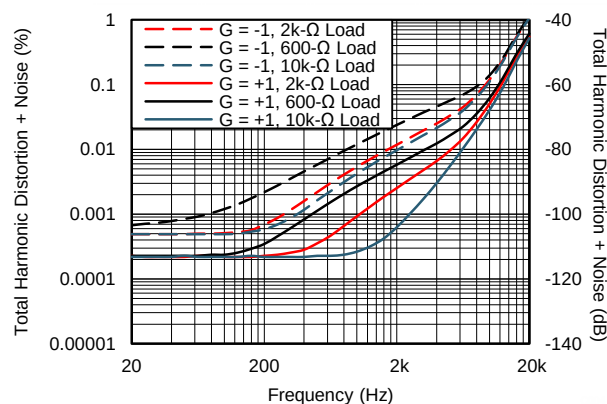


图 14. THD + N 比与频率间的关系

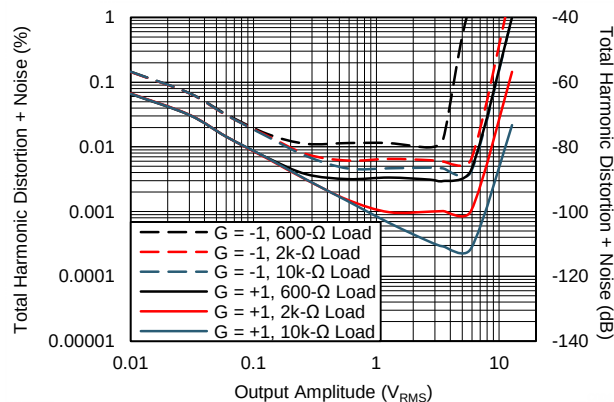


图 15. THD + N 与输出幅度间的关系

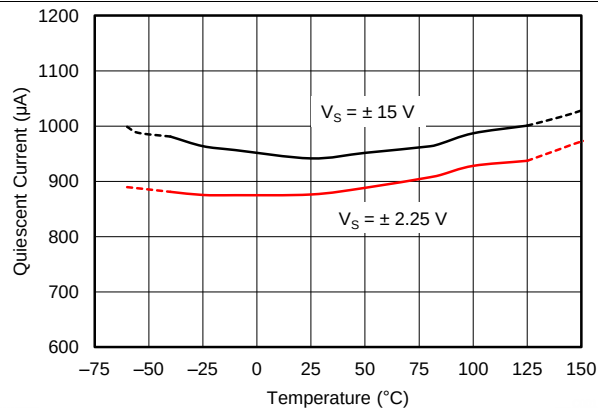


图 16. 静态电流与温度间的关系

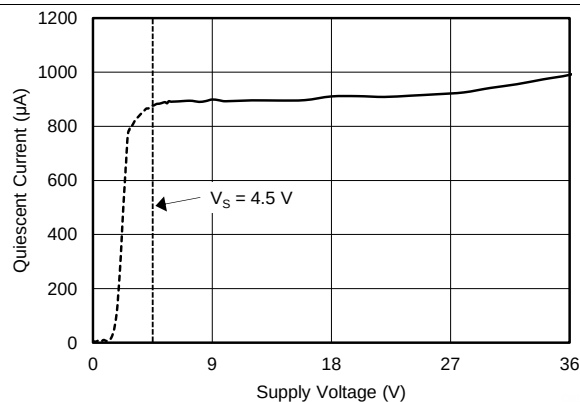


图 17. 静态电流与电源电压间的关系

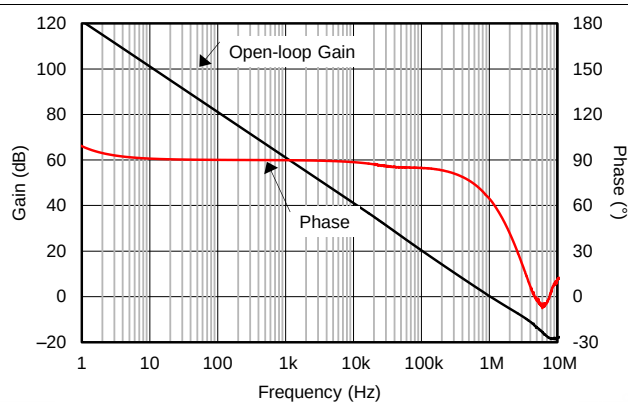


图 18. 开环增益和相位与频率间的关系

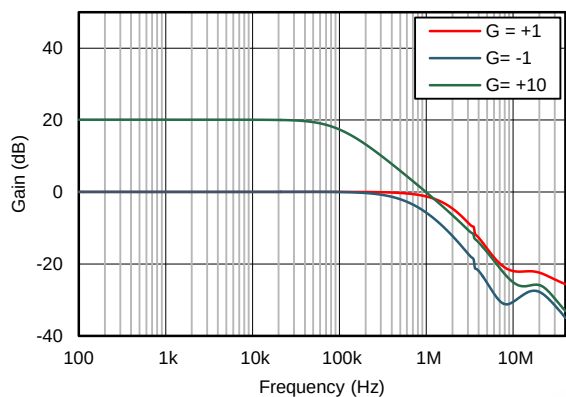


图 19. 闭环增益与频率间的关系

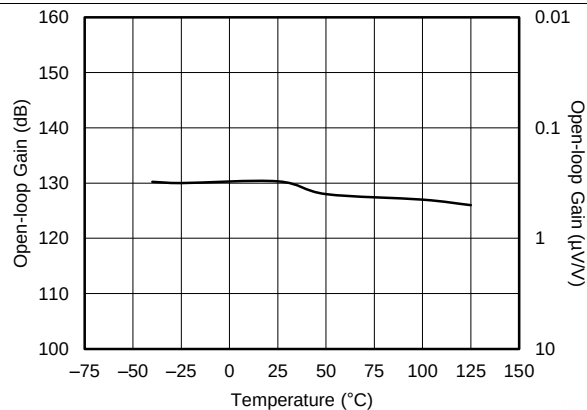


图 20. 开环增益与温度间的关系

TLV07

ZHCSG06A – JULY 2017 – REVISED AUGUST 2017

www.ti.com.cn

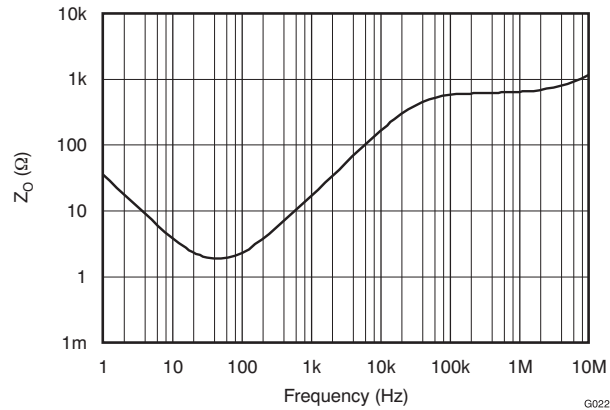


图 21. 开环输出阻抗与频率间的关系

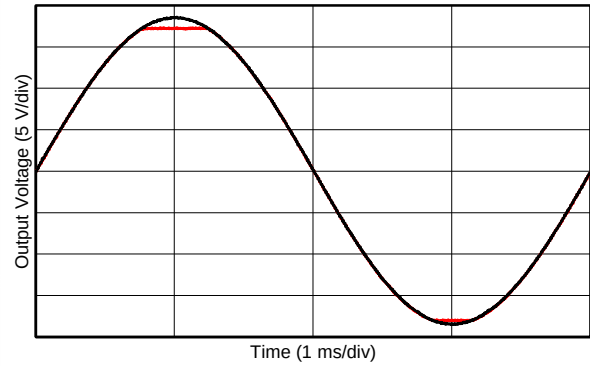


图 22. 无相位反转

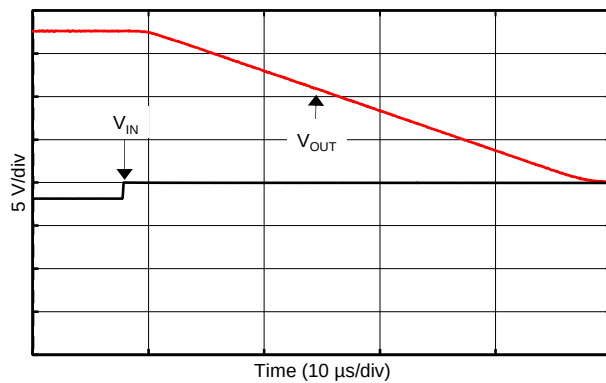


图 23. 正过载恢复

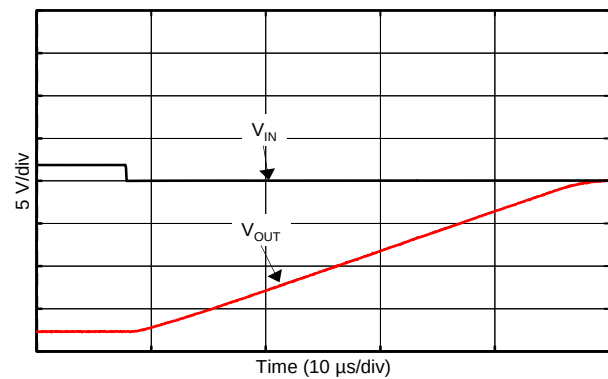
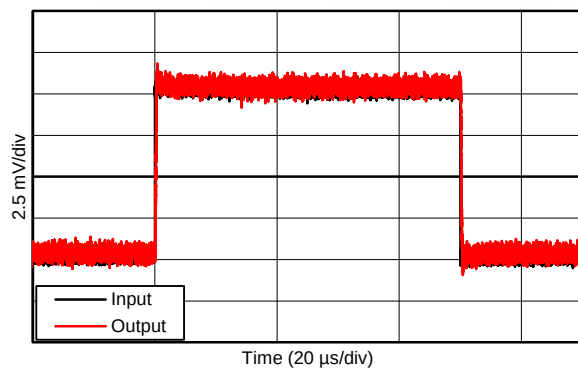
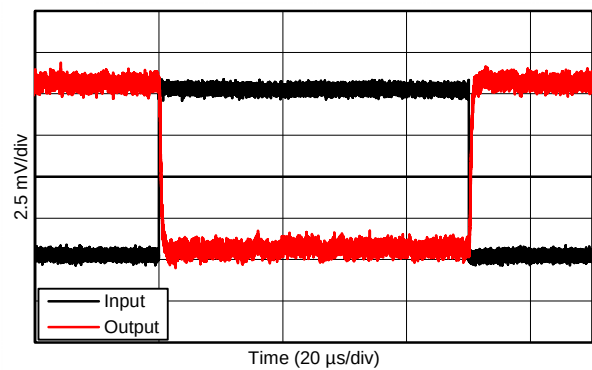


图 24. 负过载恢复



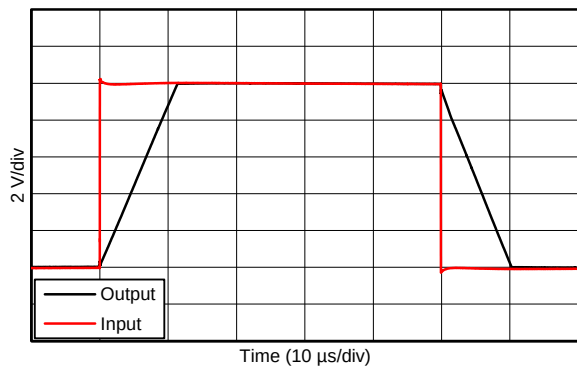
$G = +1V/V$

图 25. 小信号阶跃响应



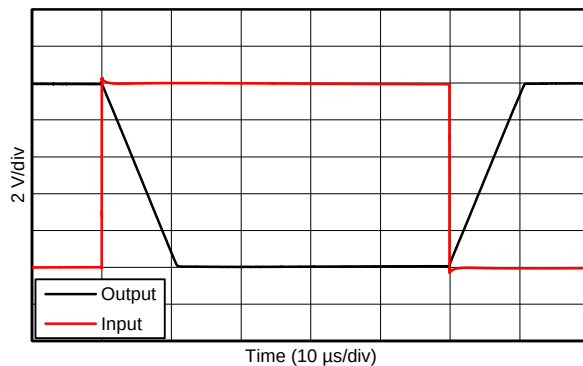
$G = -1V/V$

图 26. 小信号阶跃响应



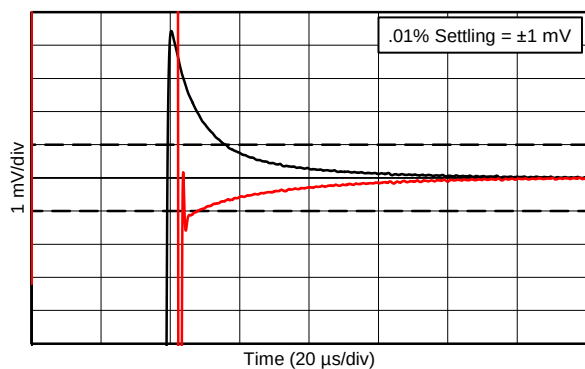
$G = +1V/V$

图 27. 大信号阶跃响应



$G = -1V/V$

图 28. 大信号阶跃响应



10V 正阶跃

图 29. 大信号稳定时间

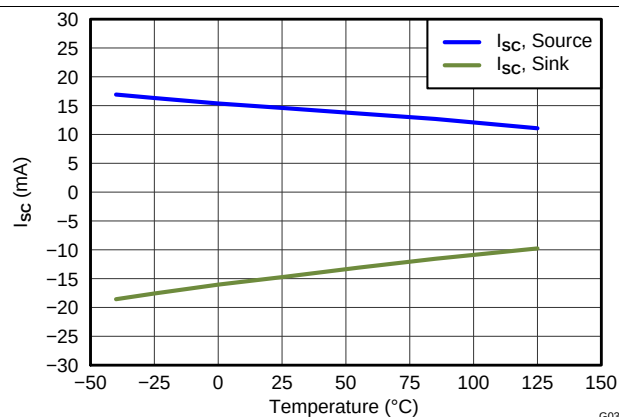


图 30. 短路电流与温度间的关系

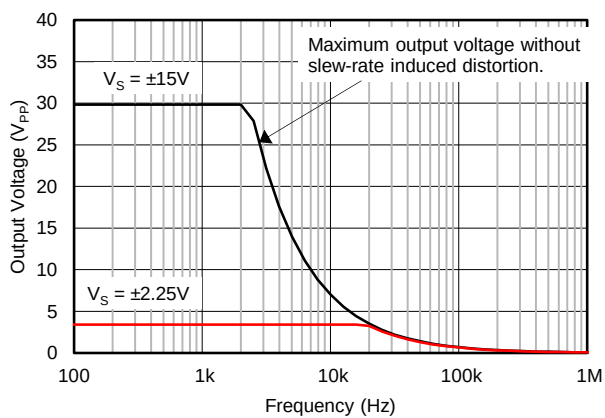


图 31. 最大输出电压与频率间的关系

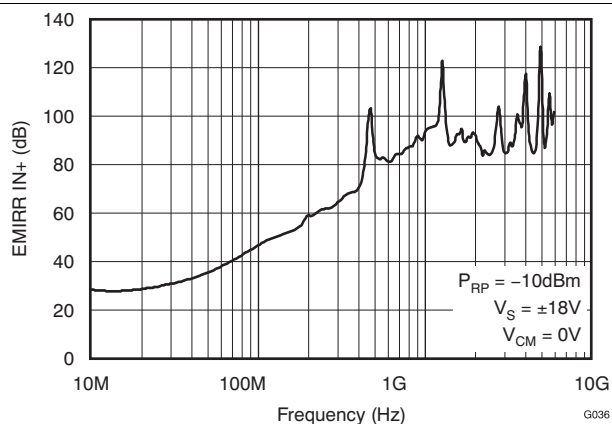


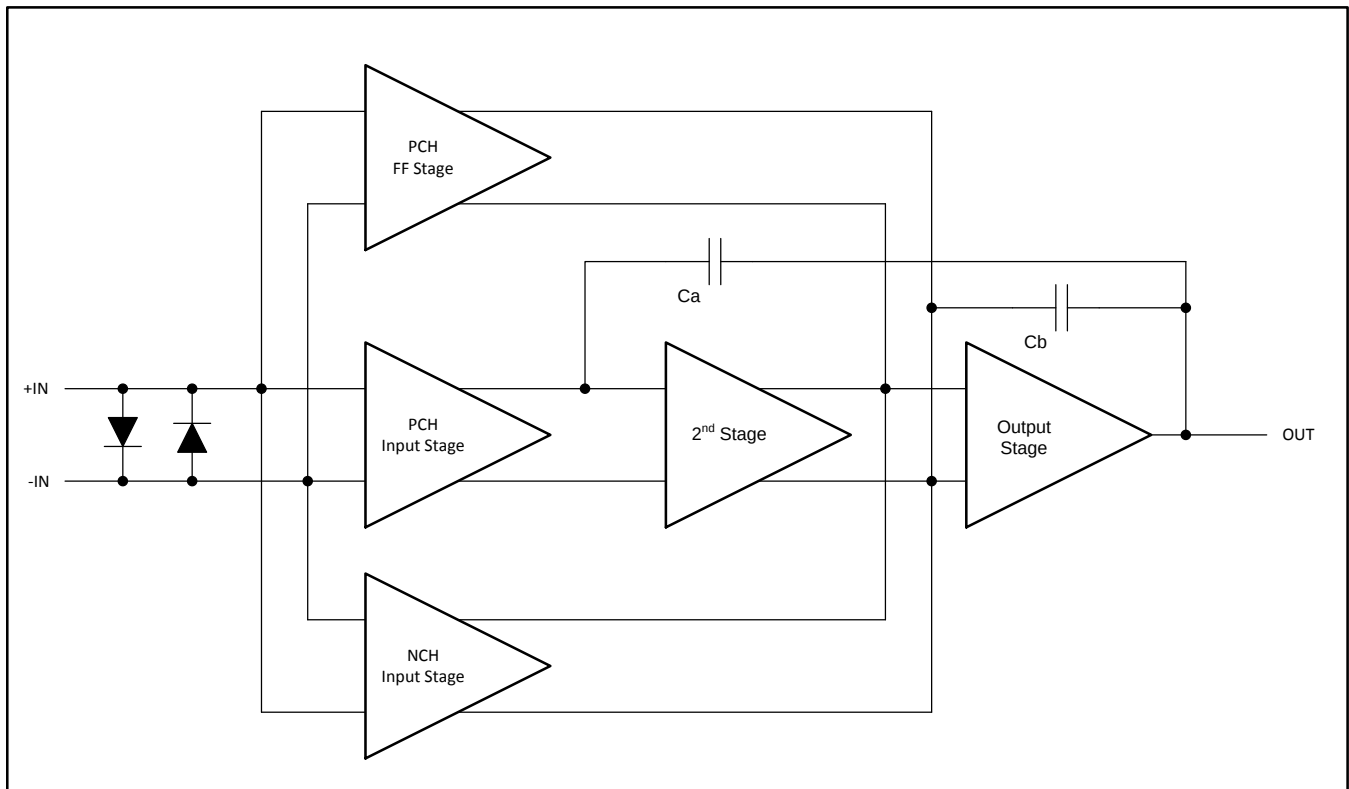
图 32. EMIRR IN+ 与频率间的关系

7 详细 说明

7.1 概述

TLV07 运算放大器可提供出色的总体性能，因此非常适合多种通用 应用。仅为 $0.9\mu\text{V}/^\circ\text{C}$ 的出色温漂，可在整个温度范围内提供极佳的稳定性。此外，该器件整体性能优异，具有高 CMRR、PSRR 和 A_{OL} 。

7.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

7.3 特性说明

7.3.1 工作特性

TLV07 运算放大器的额定工作电压范围是 2.7V 至 36V ($\pm 1.35\text{V}$ 至 $\pm 18\text{V}$)。多数技术规格适用于 -40°C 至 $+125^{\circ}\text{C}$ 的温度范围。[典型特性](#) 中提供了多个参数，它们会随着工作电压和温度的变化而发生显著变化。

7.3.2 相位反转保护

TLV07 具有内部相位反转保护功能。当输入驱动到超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动到超出额定共模电压范围时最常见的现象，会导致输出反向进入相对的电源轨。TLV07 的输入采用额外的共模电压来防止相位反转。或者，输出限制至适当的电源轨。[图 33](#)中显示了这个特性。

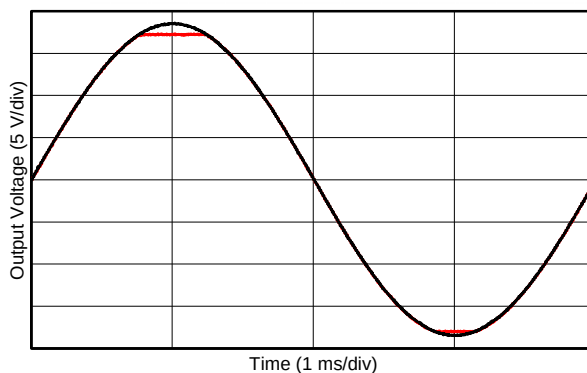


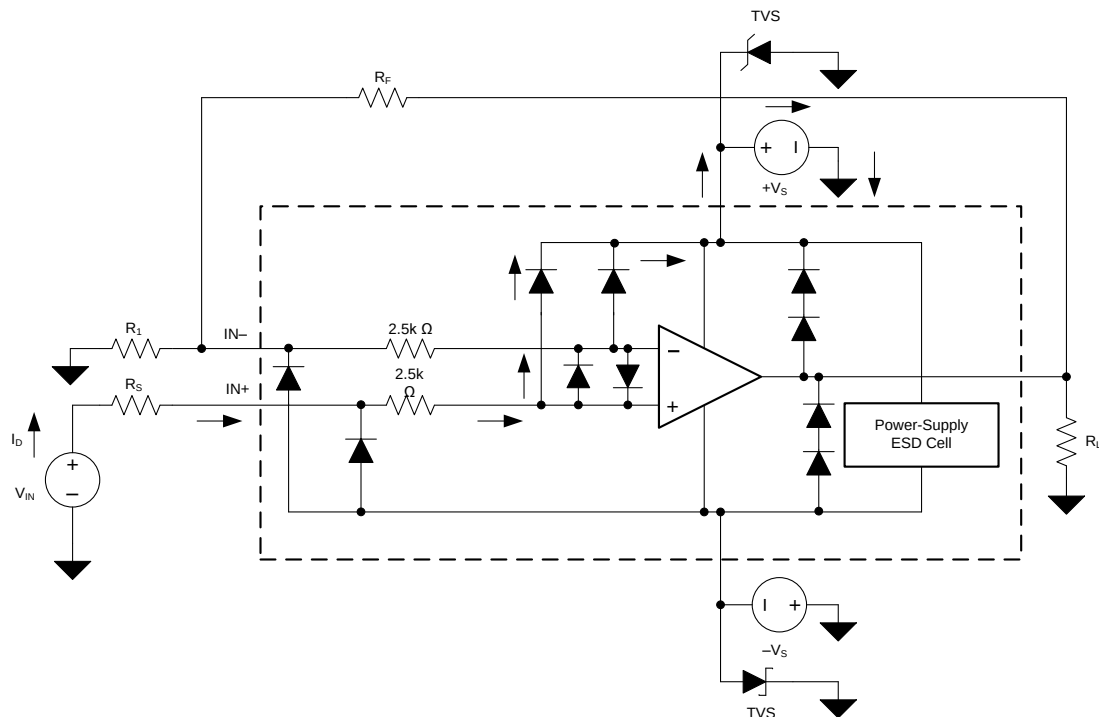
图 33. 无相位反转

7.3.3 电气过载

设计人员经常会问到关于运算放大器承受电气过载能力的问题。这些问题的重点通常在于器件输入，但可能也会涉及电源电压引脚甚至输出引脚。这些不同的引脚功能均具有由特定半导体制造工艺和连接到引脚的特定电路的电压击穿特性决定的电应力限制。这些电路均内置了内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路以及该电路与电气过载事件的关联性会有所帮助。[图 34](#) 展示了 TLV07 中包含的 ESD 电路 (用虚线区域指示)。ESD 保护电路涉及从输入和输出引脚接入并接回到内部供电线路的数个导流二极管，其中二极管在电源 ESD 单元 (一种吸收器件，位于运算放大器内部) 处相接。该保护电路在电路正常工作时处于未激活状态。

特性 说明 (接下页)



Copyright © 2017, Texas Instruments Incorporated

图 34. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路可围绕运算放大器核心提供电流路径，防止对核心造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个驱动二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发器，即阈值电压，该电压介于 TLV07 的正常工作电压和器件击穿电压之间。超出该阈值后，吸收器件会迅速激活并将电源轨上的电压钳制在安全的水平。

当运算放大器接入某个电路（请参阅图 34）时，ESD 保护组件将保持未激活状态并且不会参与应用电路的运行。然而，如果施加的电压超出某个特定引脚的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经驱动二极管路径，但很少涉及吸收器件。

图 34 给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 ($V+$) 500mV 甚至更多。电路中将发生的大多数情况取决于电源特性。如果 $V+$ 能够吸收电流，那么上面的一个输入导向二极管就会导通，并将电流传导至 $V+$ 。越来越高的 V_{IN} 会带来过高的电流。因此，本数据表的规格建议应用将输入电流限制为 10mA。

如果电源无法灌入电流， V_{IN} 会将电流拉至运算放大器，然后成为正电源电压源。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题涉及到，如果在电源 ($V+$ 或 $V-$) 为 0V 时向输入端施加输入信号，放大器如何回应。这个问题取决于电源在 0V 或低于输入信号幅度时的特性。如果电源呈现高阻抗状态，输入源通过导流二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源引脚处外接齐纳二极管；请参阅图 34。选择齐纳电压可确保二极管不会在正常运行过程中导通。但齐纳电压必须足够低，以便齐纳二极管在电源引脚电压超过安全工作电压时导通。

特性 说明 (接下页)

TLV07 的输入引脚通过背靠背二极管获得保护，避免因差分电压过大而受损；请参阅图 34。在大多数电路应用中，输入保护电路没有任何作用。但在低增益或 $G = 1$ 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行内在限定，则应使用输入串联电阻器来限制输入信号电流。

7.4 器件功能模式

7.4.1 过载恢复

过载恢复是运算放大器输出从饱和状态恢复为线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件将进入饱和区。器件进入饱和区后，输出器件中的电荷载体必须有时间恢复到正常状态。当电荷载体恢复至平衡状态后，器件开始以正常压摆率进行转换。因此，传播延迟（过载情况下）等于过载恢复时间与转换时间之和。TLV07 的过载恢复时间大约为 $2\mu\text{s}$ 。

8 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TLV07 运算放大器可在大量通用 应用中提供较高的总体性能。与所有放大器一样，在采用噪声电源或高阻抗电源的 应用 中，去耦电容器需靠近器件引脚放置。在大多数情况下，0.1μF 电容器已足够满足需求。请遵循[布局指南](#)中的其他建议，以便实现此器件的最大性能。许多 应用 可能将容性负载引入到放大器输出（可能会导致不稳定）。请在放大器输出和容性负载间添加一个隔离电阻器来稳定放大器。[典型应用](#) 说明了选择此电阻器的设计流程。

8.2 典型应用

此电路可驱动电缆屏蔽层、基准缓冲器、MOSFET 栅极和二极管等容性负载。此电路使用隔离电阻器 (R_{ISO}) 来稳定运算放大器的输出。 R_{ISO} 会修改系统的开环增益以确保电路具有足够的相位裕度。

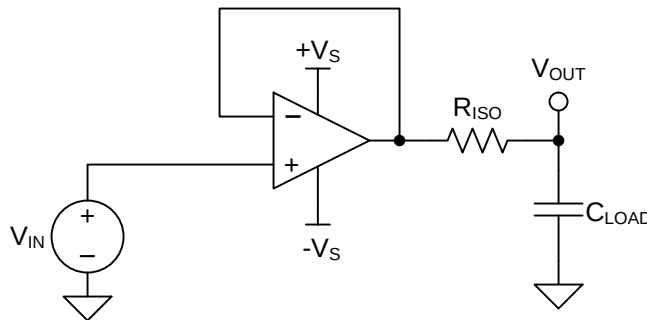


图 35. 具有 R_{ISO} 稳定性补偿的单位增益缓冲器

8.2.1 设计要求

设计要求包括：

- 电源电压：30V ($\pm 15V$)
- 容性负载：100pF、1000pF、0.01μF、0.1μF 和 1μF
- 相位裕度：45° 和 60°

8.2.2 详细设计流程

图 35 显示了驱动容性负载的单位增益缓冲器。[公式 1](#) 显示了图 35 中的电路传递函数。图 35 未显示运算放大器的开环输出电阻 (R_O)。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_O + R_{ISO}) \times C_{LOAD} \times s} \quad (1)$$

[公式 1](#) 中所示的传递函数存在极点和零点。 $(R_O + R_{ISO})$ 和 C_{LOAD} 决定了极点频率 (f_p)。 R_{ISO} 和 C_{LOAD} 组件决定了零点频率 (f_z)。通过选择 R_{ISO} ，可使开环增益 (A_{OL}) 与 $1/\beta$ 间的接近率 (ROC) 达到 20dB/十倍频，从而确保系统稳定性。

ROC 稳定性分析通常为仿真结果。分析的有效性取决于多种因素，尤其是准确的 R_O 建模。除仿真 ROC 外，可靠的稳定性分析还包括使用函数生成器、示波器以及增益和相位分析器对电路的过冲百分比和交流增益峰值进行测量。然后，通过这些测量值可计算相位裕度。[表 2](#) 显示了与 45° 和 60° 相位裕度对应的过冲百分比和交流增益峰值。有关此设计以及可用于代替 TLV07 的其他备选器件的更多详细信息，请参阅[《采用隔离电阻器的容性负载驱动解决方案》](#)

表 2. 相位裕度与过冲和交流增益峰值间的关系

相位裕度	过冲	交流增益峰值
45°	23.3%	2.35dB
60°	8.8%	0.28dB

8.2.3 应用曲线

使用描述的方法，可确定在不同容性负载条件下能够生成 45° 和 60° 相位裕度的 R_{ISO} 值。图 36 显示了结果。

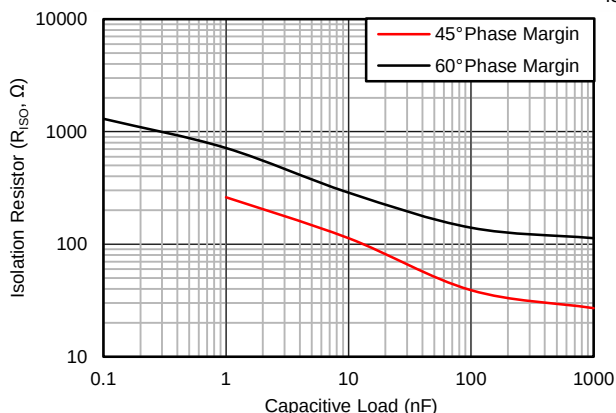


图 36. 不同容性负载实现目标相位裕度所需的隔离电阻器

9 电源建议

TLV07 的额定工作电压范围是 2.7V 至 36V ($\pm 1.35V$ 至 $\pm 18V$)；多种技术规格适用于 $-40^{\circ}C$ 至 $+125^{\circ}C$ 的温度范围。典型特性中介绍了可能会随工作电压或温度的变化而显著变化的参数。

CAUTION

电源电压超过 40V 可能会对器件造成永久损坏；请参阅绝对最大额定值。

将 0.1 μF 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的更多详细信息，请参阅布局指南。

10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚及运算放大器本身传入模拟电路。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR 0.1 μ F 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为降低寄生耦合，输入走线应尽量远离电源或输出走线。如果上述走线无法分离，感测走线与噪声走线可优先选择以交叉垂直的方式排布，而非平行布线。
- 外部组件的位置应尽量靠近器件。如图 38 所示，使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

10.2 布局示例

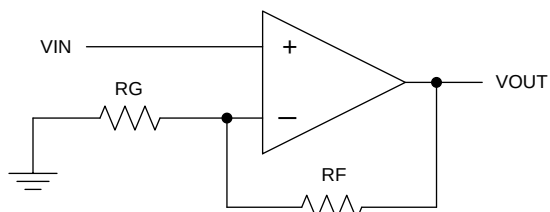


图 37. 同相放大器的原理图

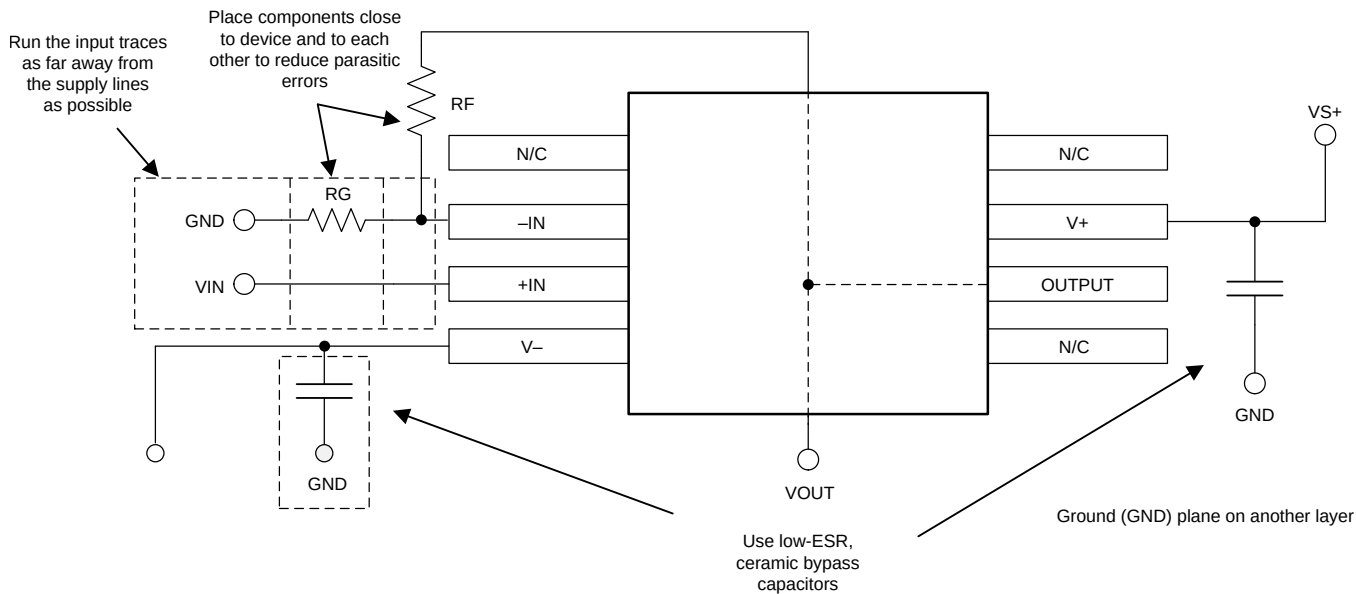


图 38. 同相配置的运算放大器电路板布局

Copyright © 2017, Texas Instruments Incorporated

11 器件和文档支持

11.1 器件支持

11.1.1 Third-Party Products Disclaimer

TI'S PUBLICATION OF INFORMATION REGARDING THIRD-PARTY PRODUCTS OR SERVICES DOES NOT CONSTITUTE AN ENDORSEMENT REGARDING THE SUITABILITY OF SUCH PRODUCTS OR SERVICES OR A WARRANTY, REPRESENTATION OR ENDORSEMENT OF SUCH PRODUCTS OR SERVICES, EITHER ALONE OR IN COMBINATION WITH ANY TI PRODUCT OR SERVICE.

11.1.2 开发支持

11.1.2.1 TINA-TI™ (免费下载)

TINA™是一款简单、功能强大且易于使用的电路仿真程序，此程序基于 SPICE 引擎。TINA-TI™ 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可供[免费下载](#)（位于 WEBENCH®设计中心），并且可提供广泛的后处理功能，允许用户以各种方式设置结果的格式。虚拟仪器提供选择输入波形和探测电路节点、电压和波形的功能，从而创建一个动态的快速入门工具。

注

这些文件需要安装 TINA 软件（由 DesignSoft™提供）或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

11.1.2.2 DIP 适配器 EVM

[DIP 适配器 EVM](#) 工具提供了一种针对小型表面贴装器件进行原型设计的简易低成本方法。评估工具适用于以下 TI 封装：D 或 U (SOIC-8)、PW (TSSOP-8)、DGK (MSOP-8)、DBV (SOT23-6、SOT23-5 和 SOT23-3)、DCK (SC70-6 和 SC70-5) 和 DRL (SOT563-6)。DIP 适配器 EVM 也可搭配引脚排使用或直接与现有电路相连。

11.1.2.3 通用运放 EVM

[通用运放 EVM](#) 是一系列通用空白电路板，可简化采用各种器件封装类型的电路板原型设计。借助评估模块电路板设计，可以轻松快速地构造多种不同电路。共有 5 个模型可供选用，每个模型都对应一种特定封装类型。支持 PDIP、SOIC、MSOP、TSSOP 和 SOT-23 封装。

注

这些电路板均为空白电路板，用户必须自行提供相关器件。TI 建议您在订购通用运算放大器 EVM 时申请几个运算放大器器件样品。

11.1.2.4 TI 高精度设计

TI 高精度设计的模拟设计方案是由 TI 公司高精度模拟实验室设计应用专家创建的模拟解决方案，提供了许多实用电路的工作原理、组件选择、仿真、完整印刷电路板 (PCB) 电路原理图和布局布线、物料清单以及性能测量结果。欲获取 TI 高精度设计，请访问 <http://www.ti.com.cn/www/analog/precision-designs/>。

器件支持 (接下页)

11.1.2.5 WEBENCH®滤波器设计器

WEBENCH® 滤波器设计器是一款简单、功能强大且便于使用的有源滤波器设计程序。**WEBENCH® Filter Designer** 允许用户通过选择 TI 运算放大器以及 TI 供应商合作伙伴的无源组件来构建优化滤波器设计方案。

WEBENCH® 设计中心以基于网络的工具形式提供 **WEBENCH® 滤波器设计器**。用户通过该工具可在短时间内完成多级有源滤波器解决方案的设计、优化和仿真。

11.2 Documentation Support

11.2.1 Related Documentation

相关文档如下（下载网站 www.ti.com）：

- 《反馈曲线图定义运算放大器交流性能》
- 《采用隔离电阻的电容式负载驱动器解决方案》

11.3 Community Resources

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

TI E2E™ 在线社区 **TI 的工程师对工程师 (E2E) 社区**。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 **TI 参考设计支持** 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.4 商标

TINA-TI, E2E are trademarks of Texas Instruments.

WEBENCH is a registered trademark of Texas Instruments.

TINA, DesignSoft are trademarks of DesignSoft, Inc.

11.5 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.6 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如欲获取此数据表的浏览器版本，请参阅左侧的导航。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV07IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV07
TLV07IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV07
TLV07IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV07
TLV07IDRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV07

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

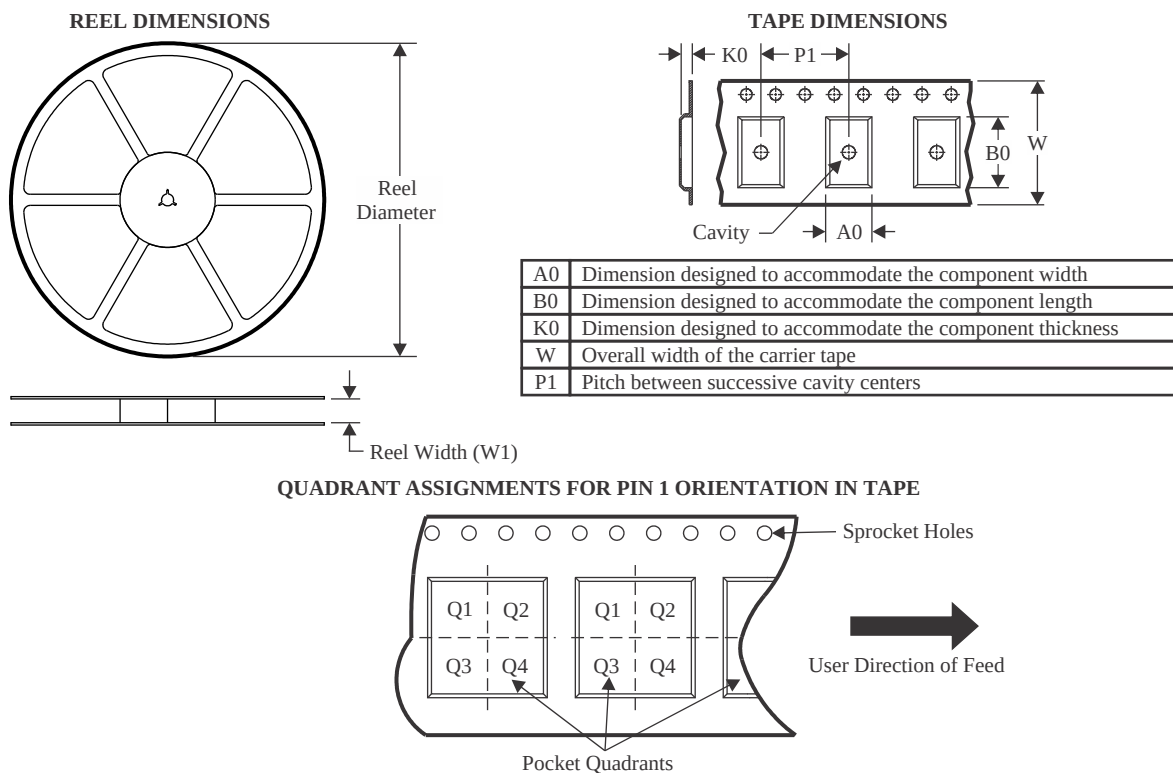
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

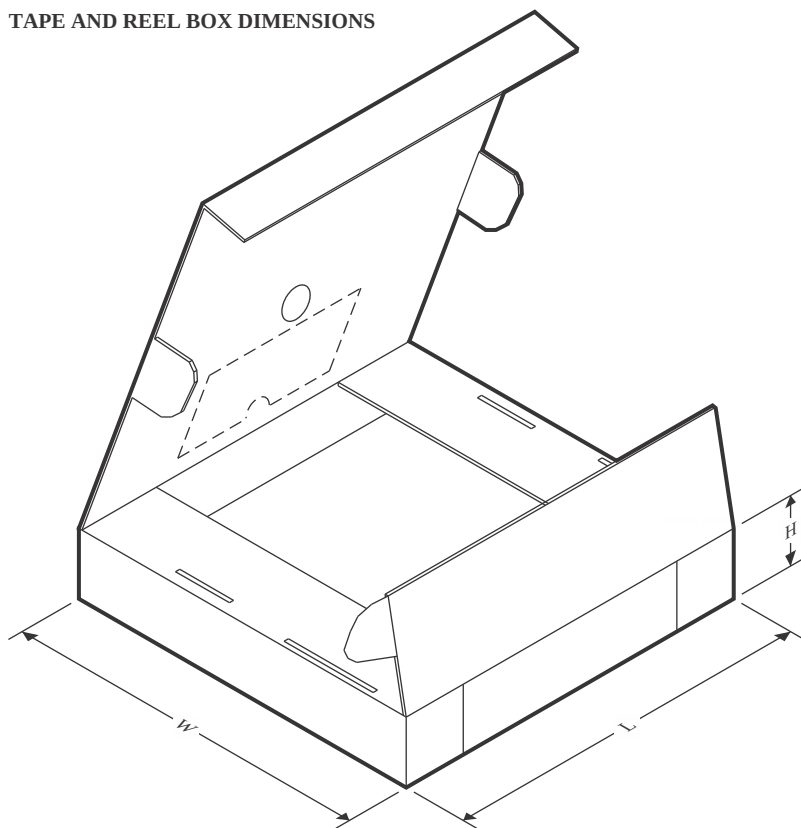
TAPE AND REEL INFORMATION



*All dimensions are nominal

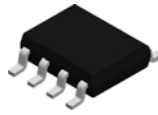
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV07IDR	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TLV07IDRG4	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV07IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV07IDRG4	SOIC	D	8	2500	353.0	353.0	32.0

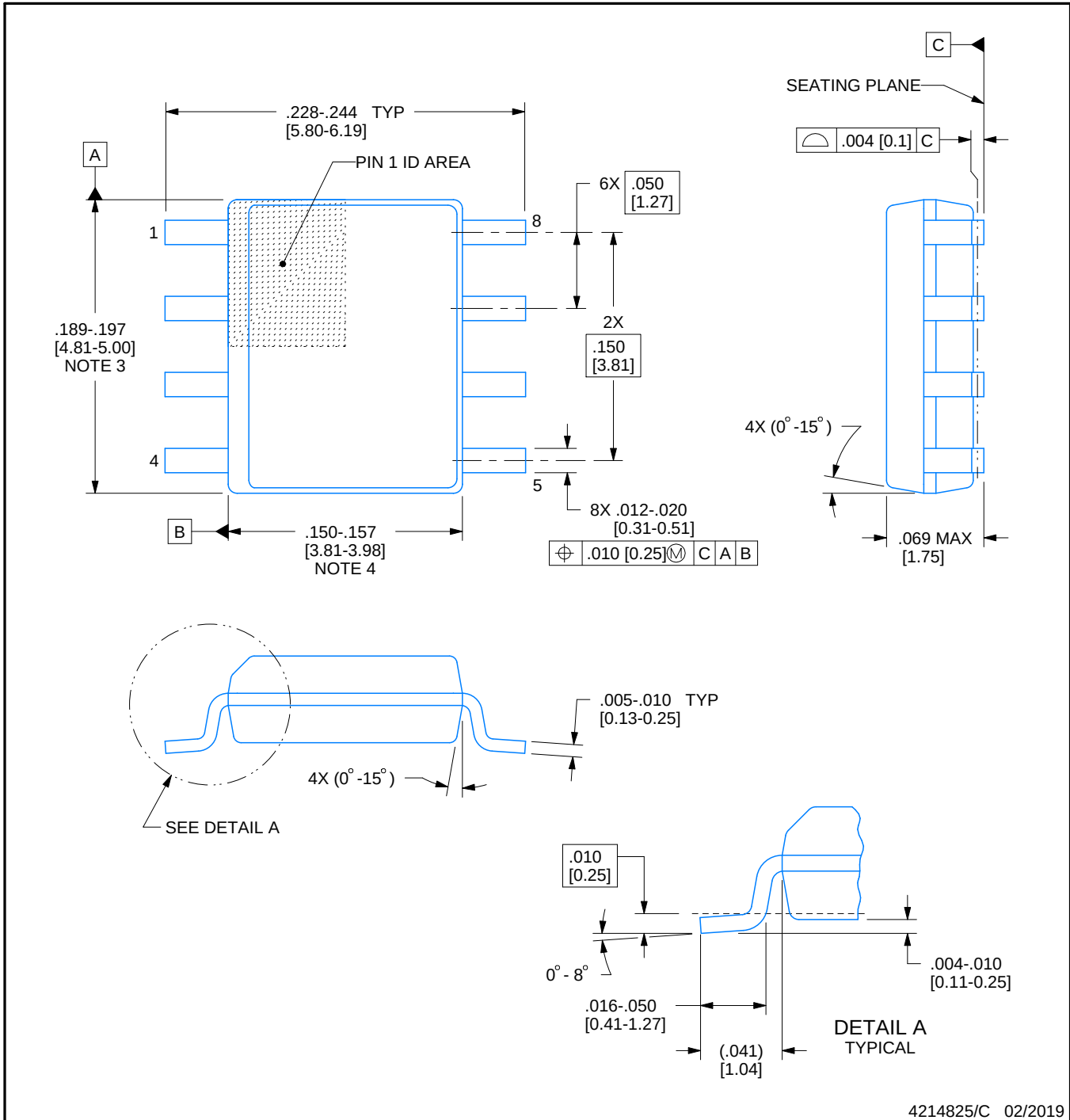


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

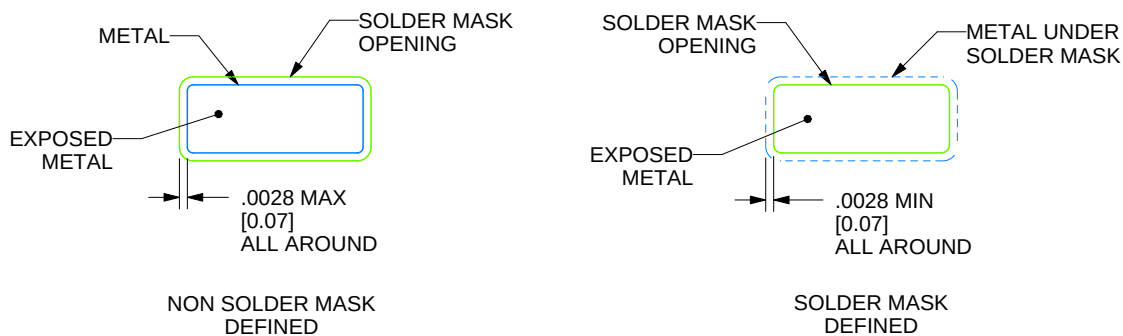
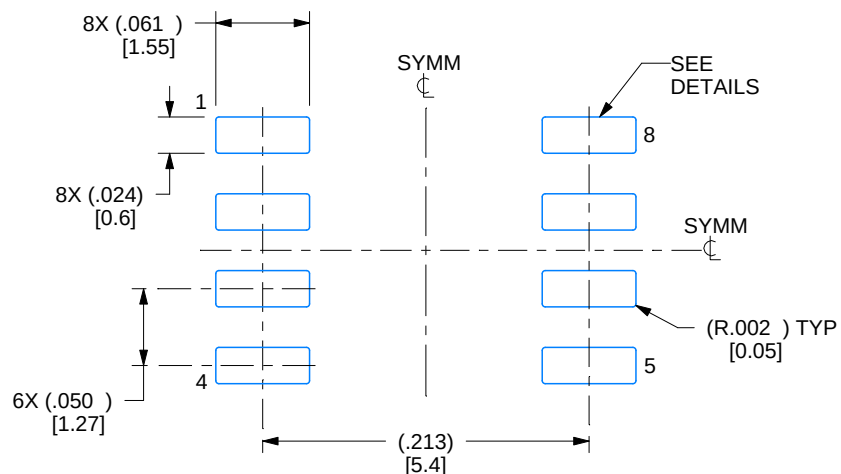
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

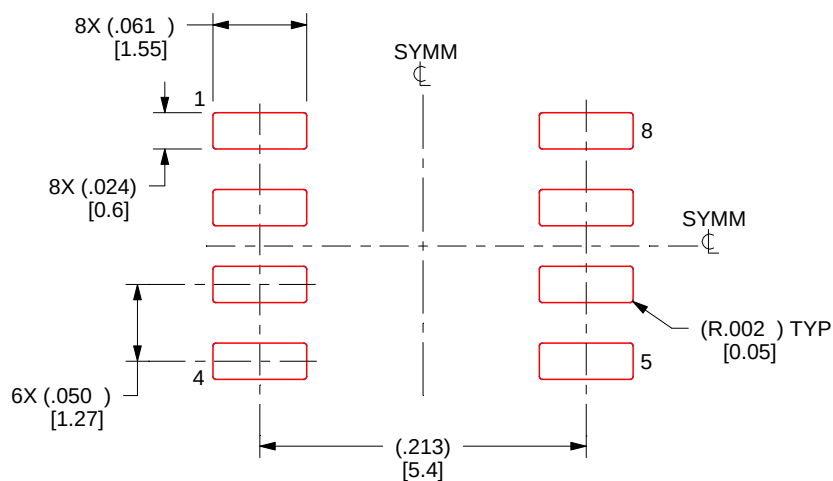
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月