TLC6989 适用于 TLC698x 器件系列的 SPI 兼容型连接

1 特性

- 工作电压 V_{CC} 范围：2.5V 至 5.5V
- SPI 外设
  - 数据传输速率高达 20MHz
  - 支持多个外设和一个控制器
- 连续时钟串行接口 (CCSI) 控制器和外设
  - 数据传输速率高达 20MHz
  - 用于增强 EMI 性能的可编程时钟抖动
- 诊断
  - 开漏 FAULT 引脚
  - SPI 通信丢失检测
  - 用于 SPI 通信的 CRC
  - CCSI 数据完整性
- 数据就绪中断指示数据可用性

2 应用

- TLC6983 和 TLC6984 SPI 兼容型连接

3 说明

TLC6989 SPI 兼容型连接支持使用标准 SPI 控制器控制 TLC698x 器件系列。该器件具有一个内部振荡器，用于生成 TLC698x 器件系列所需的连续时钟。可以将抖动添加到连续时钟以增强 EMI 性能。传输的数据与连续时钟对齐，以保持 CCSI 接口的时序要求。

TLC6989 整合了 TLC698x 菊花链和 TLC6989 内部的故障报告。向 TLC698x 菊花链传输的寄存器和 VSYNC 命令数据受 TLC6989 的 CRC 保护。此外，数据线由 TLC6989 提供卡滞故障保护。

封装信息

器件型号	封装(1)	封装尺寸(2)
TLC6989	SOT-23-THN (14)	4.20mm x 2.00mm
	WSON (12)	3.00mm x 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值。

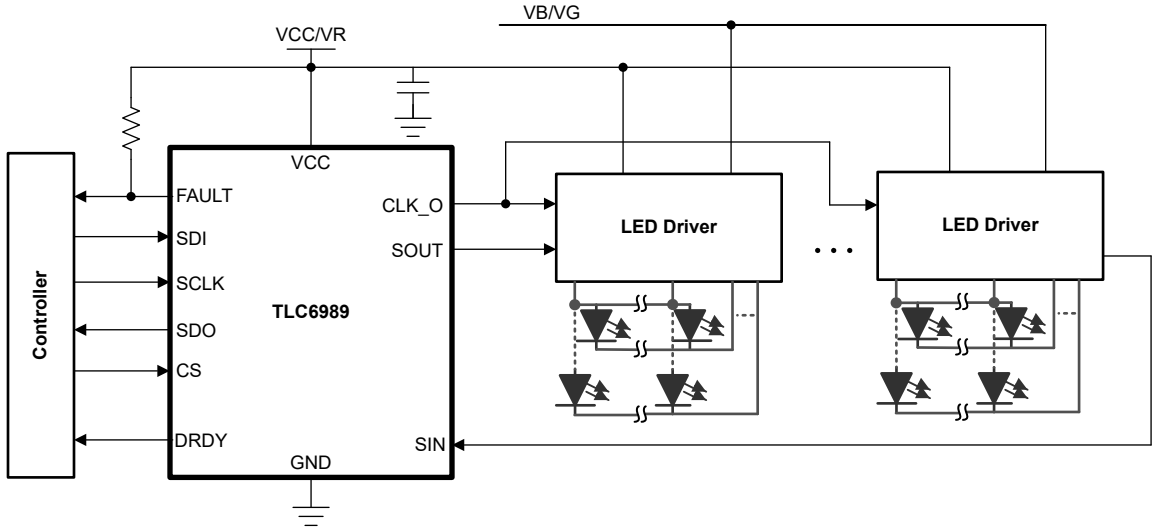


图 3-1. 典型应用图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 器件比较.....3
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 热性能信息.....4
6.4 建议运行条件.....4
6.5 电气特性.....5
6.6 时序要求.....6
6.7 开关特性.....6
6.8 时序图.....7
6.9 典型特性.....8
7 详细说明.....9
7.1 概述.....9
7.2 功能方框图.....9
7.3 特性说明.....10
7.4 器件功能模式.....22
7.5 编程.....23
7.6 器件寄存器.....33
8 应用和实施.....46
8.1 应用信息.....46
8.2 典型应用.....46
8.3 电源相关建议.....50
8.4 布局.....50
9 器件和文档支持.....51
9.1 器件支持.....51
9.2 文档支持.....51
9.3 接收文档更新通知.....51
9.4 支持资源.....51
9.5 商标.....51
9.6 静电放电警告.....51
9.7 术语表.....51
10 修订历史记录.....51
11 机械、封装和可订购信息.....51
11.1 卷带包装信息.....52
11.2 机械数据.....54

Copyright © 2024 Texas Instruments Incorporated

4 器件比较

器件型号	材料	封装
TLC6989	TLC6989DYYR	SOT-23-THN (14)
	TLC6989DRRR	WSON (12)

5 引脚配置和功能

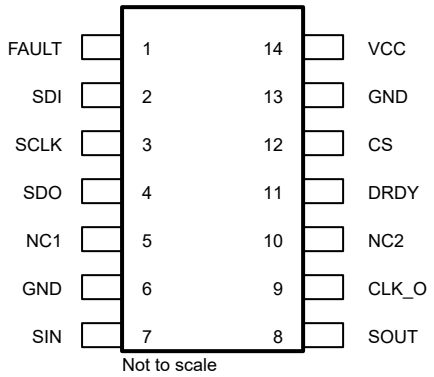


图 5-1. TLC6989 DYY 封装 14 引脚 SOT-23-THN 顶视图

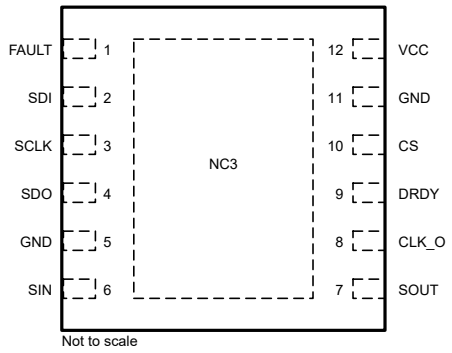


图 5-2. TLC6989 DRR 封装 12 引脚 WSON（带有外露散热焊盘）顶视图

表 5-1. 引脚功能

引脚			类型(1)	说明
名称	DYY 编号	DRR 编号		
FAULT	1	1	O	故障指示引脚
SDI	2	2	I	SPI 串行数据输入
SCLK	3	3	I	SPI 串行时钟输入
SDO	4	4	O	SPI 串行数据输出
NC1	5	-	NC	无连接。可用于信号路由。
GND	6	5	G	接地引脚（必须接地）
SIN	7	6	I	CCSI 串行数据输入
SOUT	8	7	O	CCSI 串行数据输出
CLK_O	9	8	O	CCSI 串行时钟输出
NC2	10	-	NC	无连接。可用于信号路由。
DRDY	11	9	O	数据就绪中断。
CS	12	10	I	SPI 片选
GND	13	11	G	接地引脚（必须接地）
VCC	14	12	P	VCC 电源输入
NC3	-	外露焊盘	NC	无连接。需要与除接地以外的任何信号进行电气隔离。

(1) I = 输入，O = 输出，G = 接地，P = 电源，NC = 无连接。

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
引脚上的电压	VCC	-0.3	6	V
	SDI、SCLK、CS、SIN	-0.3	VCC + 0.3	V
	SDO、DRDY、SOUT、CLK_O	-0.3	VCC + 0.3	V
	FAULT	-0.3	6	V
T_J	结温	-40	150	°C
T_{stg}	贮存温度	-55	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 热性能信息

热指标(1)		DRR (SON)	DYY (SOT)	单位
		12 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	66.6	127.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	57.1	58.9	°C/W
$R_{\theta JB}$	结至电路板热阻	37.1	54.6	°C/W
Ψ_{JT}	结至顶部特征参数	2.3	3.2	°C/W
Ψ_{JB}	结至电路板特征参数	36.9	54.1	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	12.7		°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	2.5		5.5	V
引脚上的电压	SDI、SCLK、CS、SIN	0		V_{CC}	V
	SDO、DRDY、SOUT、CLK_O	0		V_{CC}	V
	FAULT	0		V_{CC}	V
f_{SCLK}	SPI 时钟频率			20	MHz
C_{VCC}	V_{CC} 解耦电容器	100			nF
T_A	环境温度	-40		85	°C

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明），2.5V < V_{CC} < 5.5V

参数		测试条件	最小值	典型值	最大值	单位
输入电源						
V_{CC}	器件电源电压				5.5	V
V_{UVR}	欠压重启	V_{CC} 上升			2.3	V
V_{UVF}	欠压关断	V_{CC} 下降	2			V
$V_{UV,HYS}$	欠压关断迟滞			0.12		V
I_{CC}	器件电源电流	V_{CC} = 3.3V，CCSI_DATA_RATE[3:0] = 4b'1110		3.1		mA
振荡器						
f_{OSC}	内部振荡器频率		-3%	40	3%	MHz
$t_{WD,OSC}$	内部振荡器看门狗		0.66	1.45	2.48	µs
数字 IO						
V_{IH}	高电平输入电压（SCLK、SDI、CS、SIN）		1.05			V
V_{IL}	低电平输入电压（SCLK、SDI、CS、SIN）				0.45	V
V_{OH}	高电平输出电压（SOUT、CLK_O、SDO、DRDY）	I_{OH} = -3mA	VCC – 0.4		VCC	V
V_{OL}	低电平输出电压（SOUT、CLK_O、SDO、DRDY）	I_{OL} = 3mA			0.4	V
I_{LOGIC}	逻辑引脚电流（SCLK、SDI、CS、SIN）	SCLK/SDI/CS/SIN = V_{CC} 或 GND	-1		1	µA
FAULT						
$I_{PD,FAULT}$	FAULT 下拉电流能力	V_{FAULT} = 0.4V	22	59		mA
$I_{LKG,FAULT}$	FAULT 漏电流				1	µA
$V_{OH,FAULT}$	高电平输出电压 (FAULT)	通过外部上拉电阻器施加到 FAULT 引脚的电压			VCC	V
$V_{OL,FAULT}$	低电平输出电压 (FAULT)	I_{OL} = 3mA，必须由外部上拉电阻限制			0.4	V
诊断						
$t_{WD,SIN}$	SIN 看门狗			5		ms

Copyright © 2024 Texas Instruments Incorporated

6.6 时序要求

参数		测试条件	最小值	标称值	最大值	单位
$f_{SCLK,NORMAL}$	正常状态下的 SCLK 时钟频率				20	MHz
$f_{SCLK,INIT}$	初始状态下的 SCLK 时钟频率				5	MHz
$t_{LEAD,CS}$	延时时间，CS 下降沿后的第一个 SCLK 上升沿		15			ns
$t_{LAG,CS}$	延时时间，最后一个 SCLK 下降沿后的 CS 上升沿		5			ns
$t_{SU,SDI}$	SCLK 上升沿之前的 SDI 输入数据建立时间		10			ns
$t_{HD,SDI}$	SCLK 上升沿之后的 SDI 输入数据保持时间		5			ns
$t_{wh,CS}$	脉冲持续时间，CS 高电平		40			ns
$t_{SU,SIN}$	CLK_O 上升沿和下降沿之前的 SIN 输入数据建立时间		10			ns
$t_{HD,SIN}$	CLK_O 上升沿和下降沿之后的 SIN 输入数据保持时间		2			ns

6.7 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$t_{ACC,CS}$	传播延迟时间，CS 下降沿至 SDO 驱动				50	ns
$t_{DIS,CS}$	传播延迟时间，CS 上升沿至 SDO 高阻抗				75	ns
$t_{VALID,SDO}$	传播延迟时间，SCLK 下降沿至有效新 SDO				22	ns
$t_{r,SOUT}$	上升时间 (SOUT) - 从 V_{CC} 的 10% 到 V_{CC} 的 90%	V_{CC} = 3.3V，C_{SOUT} = 30pF		2	10	ns
$t_{f,SOUT}$	下降时间 (SOUT) - 从 V_{CC} 的 90% 到 V_{CC} 的 10%	V_{CC} = 3.3V，C_{SOUT} = 30pF		2	10	ns
f_{CLK_O}	CLK_O 输出频率。在指定的翻转频率下，输出电压至少达到 V_{CC} 的 10% 和 90%。	V_{CC} = 3.3V，C_{CLK_O} = 30pF			10.3	MHz

Copyright © 2024 Texas Instruments Incorporated

6.8 时序图

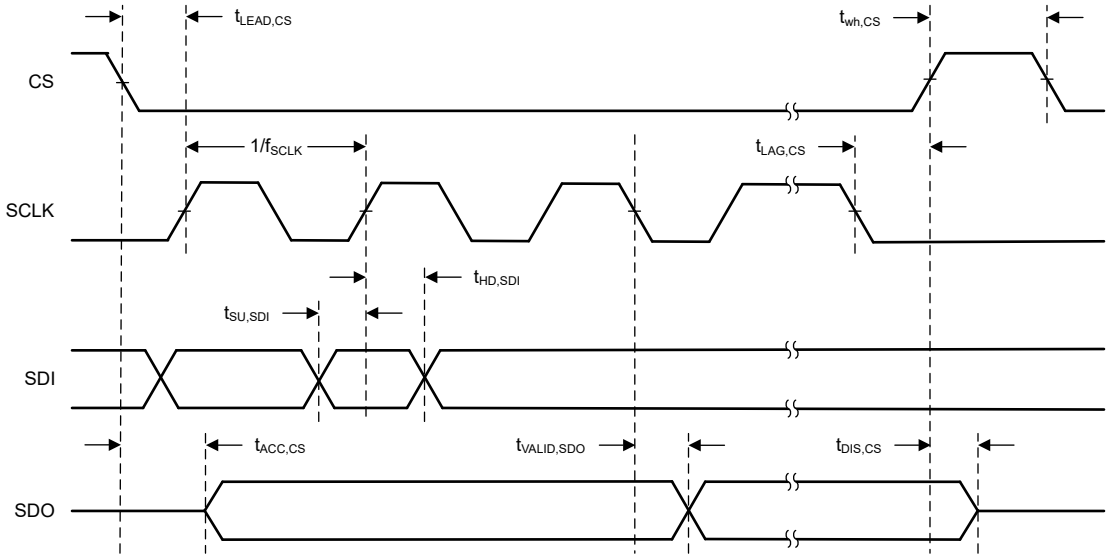


图 6-1. SPI 接口时序图

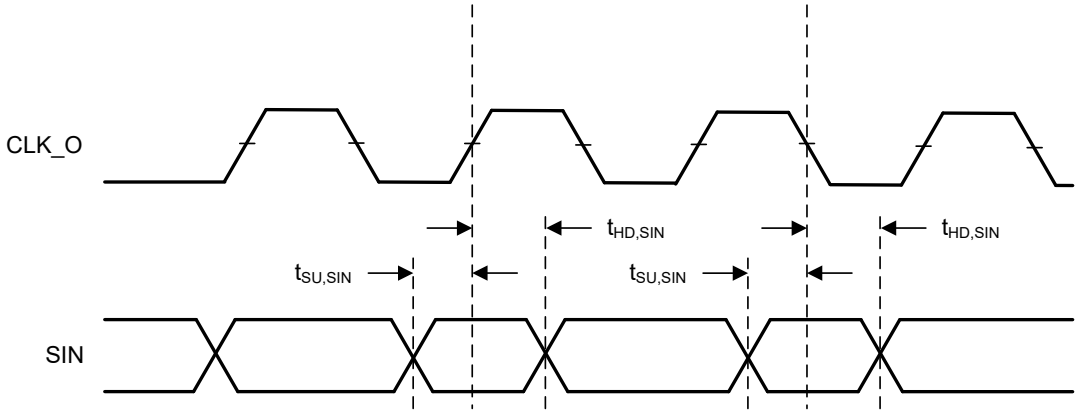


图 6-2. CCSI 接口时序图

Copyright © 2024 Texas Instruments Incorporated

6.9 典型特性

除非另有说明，否则 T_A = 25°C 且 V_{CC} = 3.3V。

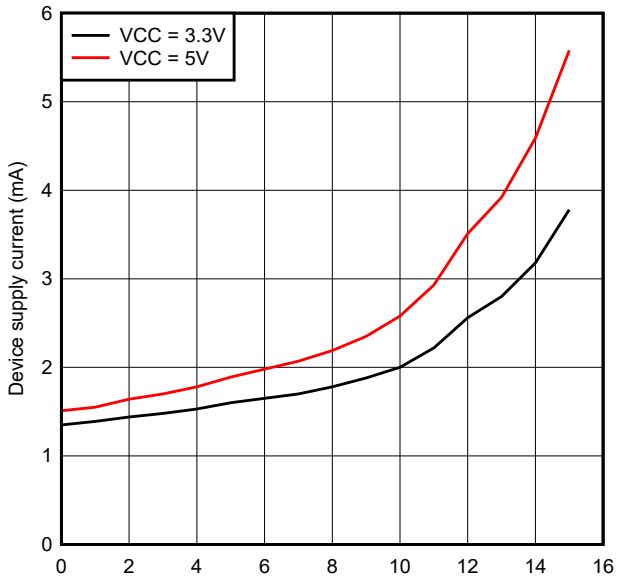


图 6-3. 器件电源电流与 CCSI_DATA_RATE 间的关系

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

TLC6989 是 SPI 与连续时钟串行接口 (CCSI) 之间的 SPI 兼容型连接。该器件可驱动 TLC698x 系列任意数量的级联 LED 驱动器。级联器件的最大数量受 LED 驱动器的限制。

TLC6989 使用内部振荡器和时钟分频器为 CCSI 提供可编程的连续时钟频率。SPI 外设接收到的数据字由 CCSI 控制器转发，其中数据与连续时钟对齐。CCSI 外设接收到的数据字可由 TLC6989 存储并由控制器使用 SPI 读取。连续时钟包含可编程的假随机抖动 (展频) 功能，可降低 EMI 辐射。

在转发 SPI 外设接收到的数据字时，TLC6989 会自动插入所需的起始位和校验位。对于 CCSI 外设接收到的数据字，TLC6989 会自动分析校验位并在检测到错误时报告。当存储数据字以供 SPI 读取时，起始位和校验位会从数据字符串中删除。

TLC6989 在转发 SPI 外设接收的数据字时自动插入所需的结束字节，以确保不同的 SPI 命令被识别为不同的 CCSI 命令。当存储数据字以供 SPI 读取时，数据字符串中会删除结束字节。

TLC6989 的 SPI 外设使用时钟的上升沿移入数据。对于 CCSI，TLC6989 在连续时钟的上升沿和下降沿都移出数据。

7.2 功能方框图

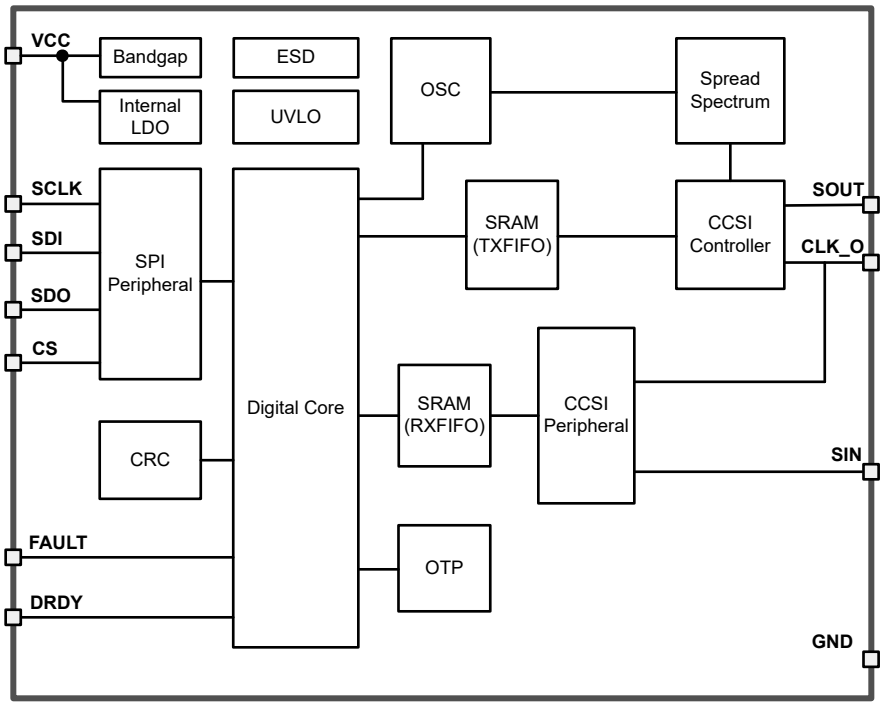


图 7-1. 功能方框图

7.3 特性说明

7.3.1 内部振荡器和时钟

7.3.1.1 时钟源

TLC6989 具有一个内部振荡器，该振荡器可为器件提供 40MHz 系统时钟。系统时钟用于操作数字逻辑。

内部振荡器看门狗

内部振荡器看门狗计时器 ($t_{WD,OSC}$) 在退出 POR 后自动启用。如果内部振荡器停止切换的时间超过 $t_{WD,OSC}$，那么看门狗会过期并将逻辑保持在复位 (POR) 状态，直到振荡器再次开始切换。内部振荡器用作系统时钟。

7.3.1.2 连续时钟串行接口 (CCSI) 时钟

通过 CCSI 控制器传输数据的时钟来自系统时钟。提供了 16 个分频器选项（寄存器 CCSICTRL 中的 CCSI_DATA_RATE），可为 LED 驱动器菊花链实现所需的时钟频率。

可以通过可编程数字展频对 CCSI 时钟进行调制，以改善系统级 EMI 性能。寄存器 CCSICTRL 中的 CCSI_SS_CLKO 字段确定是否启用展频。当 CCSI_DATA_RATE * CCSI_SS_CLKO * 2 小于 120kBit/s 时，使用 30kHz 的调制频率。否则，调制频率为 120kHz。

7.3.2 连续时钟串行接口 (CCSI)

连续时钟串行接口 (CCSI) 提供对 LED 驱动器的可编程功能和寄存器的访问，这些驱动器以菊花链形式连接在 CCSI 控制器和 CCSI 外设之间。串行数据输出 (SOUT) 和串行时钟输出 (CLK_O) 用于 CCSI 控制器。当 CCSI 控制器不传输数据时，SOUT 设置为逻辑高电平，而 CLK_O 保持有效和连续。连续时钟在器件上电后启动。若要开始通过 CCSI 控制器进行传输，器件需要处于正常状态，并且必须清除 FLAG_POR 标志。

CCSI 外设包含一根线，它是串行数据输入 (SIN)。使用与 CLK_O 一样的时钟源移入数据。

Copyright © 2024 Texas Instruments Incorporated

7.3.2.1 命令格式

命令格式从 CCSI 外设端查看。图 7-2 定义了命令传输的格式。一条命令有三种状态：

- **空闲：**CLK_O 始终有效且连续。SIN 始终为高电平。
- **START:** SIN 在空闲状态后从高电平变为低电平。
- **DATA:**
  - **Head_byte：**命令标识符，包含一个 16 位数据和一个校验位。
  - **Data_bytes_N-1：**每个数据字节包含 3 × 17 位数据，每个 17 位数据包含一个 16 位数据字和一个校验位。
- **END：**该器件会识别 SIN 上的连续 18 位高电平，然后返回空闲状态。
- **校验位：**校验位（第 17 位）的值*不是* 第 16 位的值，以避免持续 18 位高电平（与 END 区分开来）。

空闲状态不是必需的，这意味着下一条命令的 START 状态可以连接到当前命令的 END 状态。

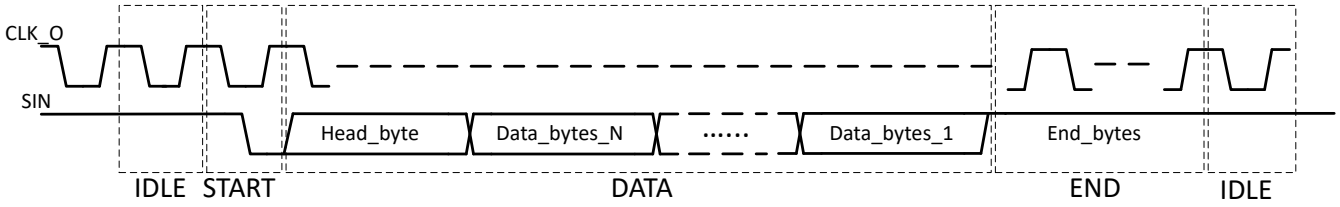


图 7-2. 命令格式

7.3.2.2 命令识别和同步

两种不同的 CCSI 命令之间必须至少有一个 END 字节，才能被识别为单独的命令。TLC6989 会在传输完来自一条 SPI 命令的所有数据后自动插入一个 END 字节。但是，对于某些 CCSI 命令，LED 驱动器会向数据流中添加数据。在这种情况下，传输期间的一个 END 字节不足以区分 CCSI 外设发出的两条 CCSI 命令。如果 END 字节不足够，CCSI 控制器和 CCSI 外设将退出同步。多个操作需要同步。例如，要确定是否需要将接收到的数据存储在 RXFIFO 中，或者是否需要基于接收到的数据计算 CRC，并与基于传输的数据计算出的 CRC 进行比较。如果同步丢失，可以使用 SPI 命令 SOFTRESET_CRC 使 CCSI 控制器和外设恢复同步。SPI 控制器负责 CCSI 命令之间有足够的 END 字节来保持同步，这通过使用插入额外 END 字节的专用 SPI 命令来实现。

7.3.2.3 CCSI 命令队列

CCSI 控制器能够对多条 SPI 命令进行排队。这意味着，当 CCSI 控制器仍在发送时，SPI 外设可以接收新的 SPI 转发命令。旧命令发送完毕后，会自动发送这个新命令。图 7-3 展示了一个示例。请注意，在该图中，每个数据字都是 16 位。这意味着当块宽度较大时，时钟频率较低。在此示例中，CCSI 频率低于 SPI 频率。

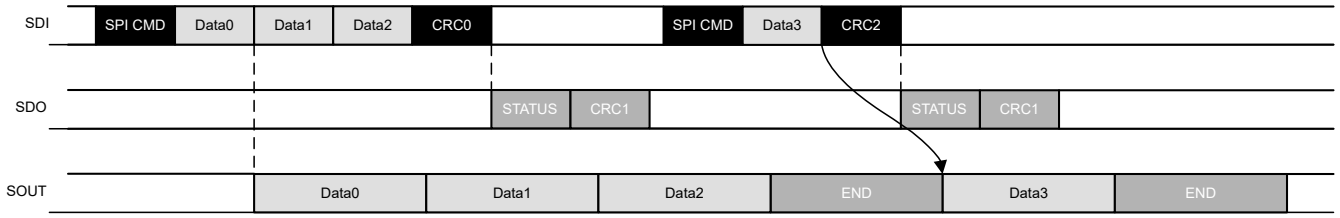


图 7-3. 使 CCSI 命令排队的示例

7.3.2.4 CCSI 起始位和校验位插入和删除

TLC6989 会自动插入和删除 CCSI 所需的起始位和校验位。这意味着当由控制器传输时，不必将这些位插入 SPI 数据字中。此外，当使用 SPI 读回数据时，起始位和校验位会被删除。这会产生标准 16 位 SPI 数据字。此功能的示例如图 7-4 所示。在本文档的其余部分中，不再明确显示起始位和校验位。

Copyright © 2024 Texas Instruments Incorporated

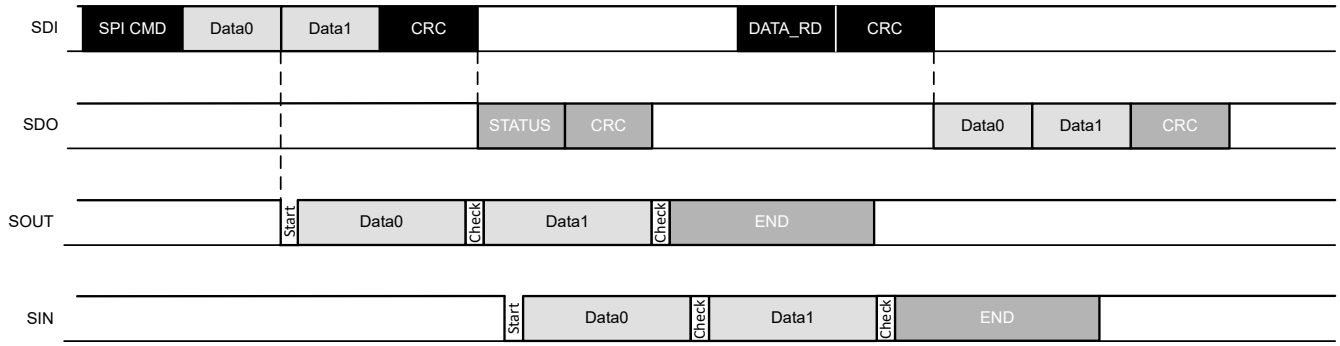


图 7-4. 插入和删除起始位和校验位的示例

Copyright © 2024 Texas Instruments Incorporated

7.3.3 FIFO

TLC6989 具有发送和接收 FIFO。FIFO 的命名可从连续时钟串行接口 (CCSI) 中查看。这意味着传输 FIFO (TXFIFO) 是由 SPI 外设接收并由 CCSI 控制器传输的数据。接收 FIFO (RXFIFO) 是 CCSI 外设接收的数据，可由控制器通过 SPI 外设读取。

两个 FIFO 都是 16 位宽的先入先出存储器缓冲区。FIFO 用于存储数据字，以满足数据在 SPI 时钟域和 CCSI 时钟域之间传输时的时序要求。TXFIFO 保存从 SPI 时钟交叉到 CCSI 时钟域期间的数据。RXFIFO 保存从 CCSI 时钟域交叉到 SPI 时钟域期间的数据。

当 SPI 时钟域以高于 CCSI 时钟域的频率运行时，TXFIFO 会存储尚未由 CCSI 控制器传输的 SPI 外设接收到的数据。计数器 (TXFFST) 会跟踪当前存储在 TXFIFO 中的字数。图 7-5 中描述了 SPI 外设以比 CCSI 控制器更高的时钟频率运行时的示例。请注意，在该图中，每个数据字都是 16 位。这意味着当块宽度较大时，时钟频率较低。

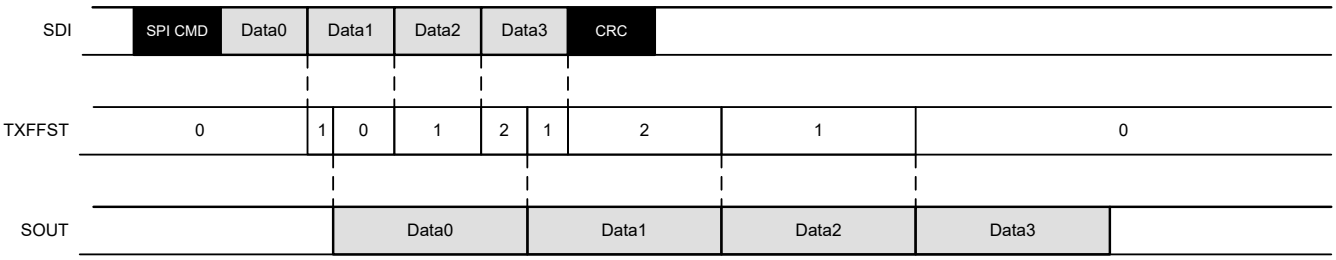


图 7-5. 以高于 CCSI 控制器的频率运行的 SPI 外设示例

当 SPI 外设以低于 CCSI 控制器的时钟频率运行时，TXFIFO 用于首先存储 SPI 外设接收的若干数据字，然后 CCSI 控制器才开始传输。按照这种方法，由于 SPI 外设尚未接收到数据字，CCSI 上的数据流可以连续而无需停止连续时钟。图 7-6 展示了此情形的示例。

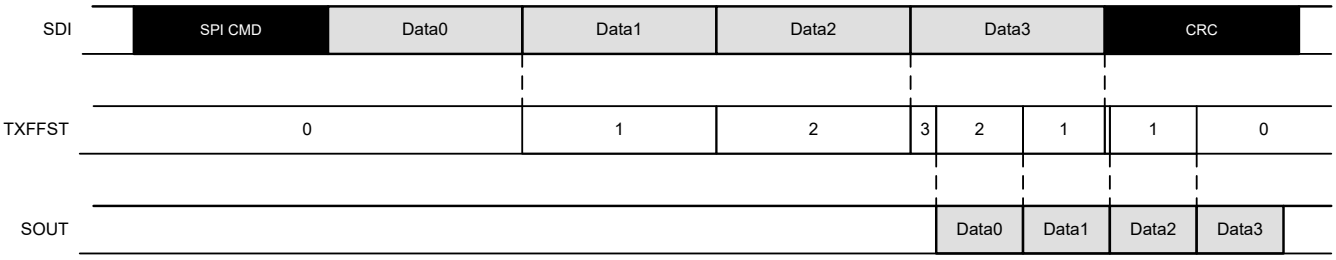


图 7-6. 以低于 CCSI 控制器的频率运行的 SPI 外设示例

对于 RXFIFO，CCSI 外设接收数据并将其存储在 RXFIFO 中。SPI 外设从 RXFIFO 读取数据并将其传输到 SPI 控制器。此外，对于 RXFIFO，还存在一个计数器 (RXFFST) 来跟踪当前存储的数据字的数量。

请注意，当接收到 END 字节时，存储将停止。END 字节本身不存储在 RXFIFO 中。另外，也不会存储 START 位和 CHECK 位。

Copyright © 2024 Texas Instruments Incorporated

7.3.3.1 FIFO 深度和数据就绪 (DRDY) 中断

TXFIFO 深度 (TXFFLVL) 控制 CCSI 控制器开始传输独立于 SPI CRC 的 SPI 转发命令。通过正确设置 FIFO 深度，可以防止 FIFO 溢出和下溢。设置取决于 SPI 时钟频率和 CCSI 时钟频率之间的差异、提供给 SPI 外设的时钟精度、CCSI 控制器时钟的精度，以及要转发的数据的最大长度。

RXFIFO 深度 (RXFFLVL) 控制数据就绪 (DRDY) 中断。当 RXFIFO 上的数据字数超过 RXFFLVL 时，DRDY 引脚变为逻辑低电平。在 RXFIFO 上没有更多字之前，该 DRDY 引脚保持逻辑低电平。RXFFLVL 设置与 TXFFLVL 具有相同的相关性，只是将要转发的数据的最大长度替换为 CCSI 外设接收的数据字数上限。图 7-7 中描述了 DRDY 引脚行为的示例。

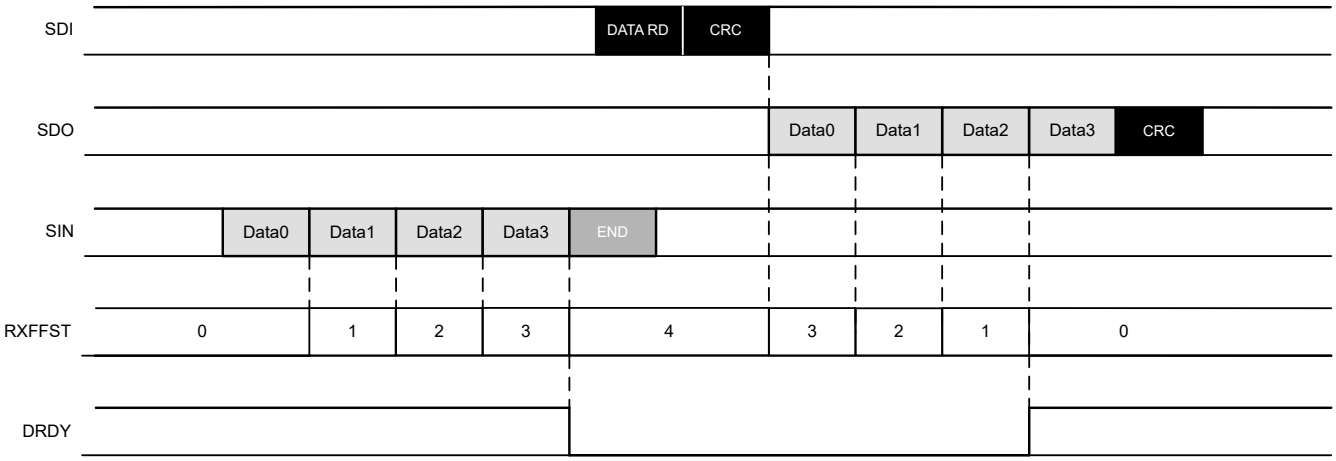


图 7-7. RXFFLVL 寄存器设置为 3 时的 DRDY 引脚示例

当检测到 END 字节且 RXFIFO 中的字数尚未达到 RXFFLVL 时，DRDY 引脚也会变为逻辑低电平。

7.3.3.2 FIFO 清除

要停止正在进行的 CCSI 传输，可通过寄存器 TXFFLVL 中的 TXFFCLR 位将 TXFIFO 清除。这会将 TXFIFO 计数器 (TXFFST) 复位为 0。队列中的所有命令都将被清除。CCSI 控制器自动插入一个 END 字节来复位 LED 驱动器。CCSI 外设继续正常工作。TXFFCLR 位自动返回到 0。

RXFIFO 上的数据可由寄存器 RXFFLVL 中的 RXFFCLR 位清零。这会将 RXFIFO 计数器 (RXFFST) 复位为 0。如果 CCSI 外设正在接收需要存储在 RXFIFO 上的数据，则针对该命令停止存储。CCSI 外设接收到的下一个 CCSI 命令遵循 SPI 命令的原始请求。CCSI 控制器继续正常工作。RXFFCLR 位自动返回到 0。

Copyright © 2024 Texas Instruments Incorporated

7.3.4 诊断

TLC6989 提供器件内部和器件外部诊断。该器件会检测故障并通过 FAULT 引脚和状态寄存器报告状态。SPI 控制器必须采取措施以使器件处于正常运行状态。可以通过写入 STATUS 寄存器中的 CLR_FLAG 位来清除故障。该位只不能清除 OTP CRC 错误和失效防护状态标志。CLR_FLAG 位自动返回到 0。如果故障仍然存在，则会在下一次检测后设置错误标志。

7.3.4.1 欠压锁定

当 VCC 电压降至 UVLO 阈值以下时，器件进入未通电状态。电压恢复后，器件会自动切换到初始化状态，并将 FLAG_POR 和 FLAG_ERR 设置为 1。SPI 控制器可以向寄存器 CLR_FLAG 写入 1 来清除这些标志。

7.3.4.2 振荡器故障诊断

内部时钟看门狗计时器 ($t_{WD,OSC}$) 在退出 POR 后自动启用。如果内部振荡器停止切换的时间超过 $t_{WD,OSC}$，则看门狗过期且 FAULT 引脚被拉至低电平。故障被锁存，当振荡器再次开始切换时，FLAG_OSC 和 FLAG_ERR 设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。

7.3.4.3 SPI 通信丢失

TLC6989 可监测 SPI 与内部看门狗计时器的通信情况。该器件期望在通信丢失间隔内接收到有效的 SPI 命令。当器件进入正常状态时，计时器开始计数。当检测到有效的 SPI 命令时，计时器会复位。当看门狗计时器溢出时，器件自动切换到失效防护状态，并将 DEV_STATE 设置为 0x3，FLAG_ERR 设置为 1。SPI 控制器可以访问 TLC6989 并向寄存器 DEVCTRL 中的 EXIT_FS 写入 1，以便在通信恢复时再次将器件设置为正常状态。看门狗计时器可通过寄存器 SPICTRL 中的 2 位字段 SPI_WDT_CFG 进行编程。通过将 SPI_WDT_CFG 设置为 0x3 来禁用看门狗计时器，可防止器件自动进入失效防护状态。

Copyright © 2024 Texas Instruments Incorporated

7.3.4.4 SPI 通信错误

7.3.4.4.1 复位计时器

TLC6989 可监测 SPI 与内部 SPI 复位计时器的通信情况。SPI 命令启动后，计时器启动，并且器件期望在计时器溢出之前完成完整命令（包括数据读取）。当器件尝试检测 SPI 命令字时，计时器从 SCLK 引脚上的第一个时钟脉冲开始计数（CS 引脚处于活动状态）。当器件开始等待下一个 SPI 命令字时，计时器会复位。如果看门狗计时器溢出，SPI 外设会复位并开始等待接收下一个 SPI 命令字。此外，FLAG_SPI_TIMEOUT、FLAG_SPI 和 FLAG_ERR 设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。SPI 复位计时器可通过寄存器 SPICTRL 中的 4 位字段 SPI_RST_TIMEOUT_CFG 进行编程。TI 建议在 CS 引脚始终连接到活动状态时启用此计时器。

7.3.4.4.2 片选 (CS) 复位

通过将 CS 引脚拉至逻辑高电平来复位 SPI 外设。这通常在整个 SPI 命令完成且 SPI 外设等待下一条命令时完成。如果 CS 引脚在 SPI 外设接收到 SPI 命令字后但在接收到整个命令之前被拉高，则 FLAG_SPI_CS、FLAG_SPI 和 FLAG_ERR 会设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。

7.3.4.4.3 CRC 误差

CRC 字是 SPI 控制器会传输以确保 TLC6989 已正确接收到来自 SPI 控制器的所有字的命令的最后一个字。SPI 控制器必须计算所有字（包括 SPI 命令字和任何数据字）的 CRC 值。TLC6989 会接收所有字、计算 CRC 字，并将计算出的 CRC 字与接收到的 CRC 字进行比较。如果两个 CRC 字不匹配，则 TLC6989 会将 FLAG_SPI_CRC 和 FLAG_ERR 设置为 1。根据收到的命令，TLC6989 会忽略该命令或继续处理该命令。SPI 控制器可以访问器件并向 CLR_FLAG 写入 1 以清除标志。支持两种不同的 CRC 算法。默认算法为 CCITT-FALSE。可以使用 REG_WR SPI 命令将其更改为 CRC-16/XMODEM 算法。更改 CRC 算法后，下一条 SPI 命令会使用新算法。

7.3.4.4.4 寄存器写入失败

CCSICTRL 寄存器在 CCSI 控制器传输数据或 CCSI 外设接收数据时被禁止写入。这样，CLK_O 上的连续时钟输出就会与 SOUT 上传输和 SIN 上接收的数据保持一致。当用户在 CCSI 控制器和/或外设活动期间尝试写入 CCSICTRL 寄存器时，器件会自动检测到这种情况并将 FLAG_SPI_REG_WRITE 设置为 1。SPI 控制器可以访问器件并向 CLR_FLAG 写入 1 以清除标志。

7.3.4.5 CCSI 通信丢失

7.3.4.5.1 SIN 固定诊断

CCSI 外设的数据输入 (SIN) 引脚受到监控。在 CCSI 控制器开始传输数据（SOUT 引脚上的逻辑高电平到低电平转换）后，计时器开始计数。如果在计时器溢出（5 毫秒后）之前在 SIN 引脚上未检测到切换，则 FLAG_CCSI_SIN、FLAG_CCSI 和 FLAG_ERR 将设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。

设置 FLAG_CCSI_SIN 时，CCSI 控制器和 CCSI 外设可能退出同步。因此，TI 建议在设置了此标志后执行 SOFTRESET 命令。

7.3.4.6 CCSI 通信错误

CCSI 外设诊断接收到的数据。对所有接收到的数据进行校验位检测，而只会对未添加或修改 CCSI 控制器传输的数据的 CCSI 命令进行数据完整性检查。

7.3.4.6.1 CHECK 位错误

每个 CCSI 数据字节的 CHECK（第 17 个）位*不能*是第 16 位。当 CHECK 位与第 16 位相同时，FLAG_CCSI_CHECK_BIT、FLAG_CCSI 和 FLAG_ERR 设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。CCSI 外设停止接收当前 CCSI 命令并等待，直到接收到 END 字节。之后，CCSI 外设正常工作，与错误标志的状态无关。

Copyright © 2024 Texas Instruments Incorporated

7.3.4.6.2 数据完整性诊断

未在 LED 驱动器的菊花链中修改或扩展的 CCSI 控制器传输的数据由带有 CRC 的 TLC6989 器件提供保护。基于 CCSI 命令的所有传输字计算 CRC 值。一旦 CCSI 外设接收到该命令，就会基于所有接收到的字计算另一个 CRC。当基于传输的字计算出的 CRC 与基于接收到的字计算出的 CRC 不匹配时，FLAG_CCSI_CRC、FLAG_CCSI 和 FLAG_ERR 将设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。

当 SPI 命令以 FWD（命令 0x2 至 0x7）开头时，会检查 SPI 命令的第一个数据字。当该字与写入 FC0 至 FC15（0xAA00 至 0xAA0F）或 VSYNC (0xAAF0) CCSI 命令匹配时，将执行数据完整性诊断。

当连续触发此错误标志时，CCSI 控制器和 CCSI 外设可能不同步。在这种情况下，TI 建议执行 SOFTRESET 命令。

7.3.4.6.3 CCSI 命令队列溢出

当队列中有太多命令要由 CCSI 控制器发送或预计要由 CCSI 外设接收时，TLC6989 提供检测。当命令队列已满且 SPI 外设接收到新的 CCSI 命令时，FLAG_CCSI_CMD_QUEUE_OVF、FLAG_CCSI 和 FLAG_ERR 将设置为 1。此外，CCSI 命令队列和 TXFIFO 的清零方式与 TXFFCLR 相同。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。必须清除错误标志以便能够存储新的 CCSI 命令，并且 CCSI 控制器可以开始传输数据。

设置 FLAG_CCSI_CMD_QUEUE_OVF 时，CCSI 控制器和 CCSI 外设可能会退出同步。因此，TI 建议在设置了此标志后执行 SOFTRESET 命令。

7.3.4.7 FIFO 诊断

TXFIFO 和 RXFIFO 都有自己的溢出和下溢诊断。以下各节将更详细地介绍这些内容。

7.3.4.7.1 TXFIFO 溢出

当 TXFIFO 已满 (TXFFST = 0x1FF) 且 SPI 外设接收到新的数据字（这些数据字必须存储在 TXFIFO 中）时，FLAG_TXFFOVF、FLAG_TXFF 和 FLAG_ERR 将设置为 1。此外，TXFIFO 的清零方式与 TXFFCLR 相同。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。必须清除错误标志以便能够在 TXFIFO 上存储新的 CCSI 数据字，并且 CCSI 控制器可以开始传输数据。

7.3.4.7.2 TXFIFO 下溢

当 FIFO 为空 (TXFFST = 0x0) 且 CCSI 控制器尝试从 TXFIFO 读取新字时，FLAG_TXFFUVF、FLAG_TXFF 和 FLAG_ERR 将设置为 1。CCSI 控制器正在进行的传输停止。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。必须清除错误标志以便能够在 TXFIFO 上存储新的 CCSI 数据字，并且 CCSI 控制器可以开始传输数据。

7.3.4.7.3 TXFIFO 单一错误检测 (SED)

TXFIFO 受一个奇偶校验位保护。当在从 TXFIFO 进行读取操作期间检测到单个位错误时，FLAG_TXFFSED、FLAG_TXFF 和 FLAG_ERR 将设置为 1。CCSI 控制器正在进行的传输停止。但是，TXFIFO 不会自动清零。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。必须清除错误标志以便能够在 TXFIFO 上存储新的 CCSI 数据字，并且 CCSI 控制器可以开始传输数据。

7.3.4.7.4 RXFIFO 溢出

当 RXFIFO 已满 (RXFFST = 0x0FF) 且 CCSI 外设接收到新的数据字（这些数据字必须存储在 RXFIFO 中）时，FLAG_RXFFOVF、FLAG_RXFF 和 FLAG_ERR 将设置为 1。RXFIFO 不会被清除，但仍然可以由 SPI 控制器访问数据。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。CCSI 外设只能在清除错误标志后开始将新数据存储在 RXFIFO 中。存储从 FWD_RD_END 或 FWD_RD_END_CRC SPI 命令接收的第一个 CCSI head_byte 开始。

Copyright © 2024 Texas Instruments Incorporated

7.3.4.7.5 RXFIFO 下溢

当 RXFIFO 为空 (RXFFST = 0x0) 且 SPI 外设尝试从 RXFIFO 读取新数据字时，FLAG_RXFFUVF、FLAG_RXFF 和 FLAG_ERR 将设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。CCSI 外设只能在清除错误标志后开始将新数据存储在 RXFIFO 中。存储从 FWD_RD_END 或 FWD_RD_END_CRC SPI 命令接收的第一个 CCSI head_byte 开始。

7.3.4.7.6 RXFIFO 单一错误检测 (SED)

RXFIFO 受一个奇偶校验位保护。当在从 RXFIFO 进行读取操作期间检测到单个位错误时，FLAG_RXFFSED、FLAG_RXFF 和 FLAG_ERR 将设置为 1。SPI 控制器可以访问 TLC6989 并向 CLR_FLAG 写入 1 以清除标志。

7.3.4.8 OTP CRC 错误

内部 OTP 由基于多项式 $X^8 + X^2 + X + 1$ 的 8 位 CRC 保护。当器件上电时，读取 OTP，并将读取 CRC 与所有读取 OTP 字节的计算出的 CRC 进行比较。当 CRC 不匹配时，FLAG_OTP_CRC 和 FLAG_ERR 将设置为 1。该标志不能由 SPI 控制器清除。器件保持在初始化状态。只有断电和上电 VCC 才能重新启动 OTP 的读数。

Copyright © 2024 Texas Instruments Incorporated

7.3.4.9 故障屏蔽

TLC6989 使用屏蔽寄存器提供故障屏蔽功能。该器件能够按故障类型屏蔽故障。故障屏蔽不会禁用诊断功能，但只会阻止向 FLAG_ERR 寄存器和 FAULT 输出报告故障。下表给出了每个故障屏蔽寄存器的详细说明。

检测故障	屏蔽位	标志名称	FAULT 引脚
SPI CRC 错误	MASK_SPI_CRC = 1	FLAG_SPI_CRC = 1 FLAG_ERR = 0	无操作
	MASK_SPI_CRC = 0	FLAG_SPI_CRC = 1 FLAG_ERR = 1	常量下拉
SIN 阻塞错误	MASK_CCSI_SIN = 1	FLAG_CCSI_SIN = 1 FLAG_CCSI = 1 FLAG_ERR = 0	无操作
	MASK_CCSI_SIN = 0	FLAG_CCSI_CC = 1 FLAG_CCSI = 1 FLAG_ERR = 1	常量下拉
CCSI CHECK 位错误	MASK_CCSI_CHECK_BIT = 1	FLAG_CCSI_CHECK_BIT = 1 FLAG_CCSI = 1 FLAG_ERR = 0	无操作
	MASK_CCSI_CHECK_BIT = 0	FLAG_CCSI_CHECK_BIT = 1 FLAG_CCSI = 1 FLAG_ERR = 1	常量下拉
CCSI CRC 错误	MASK_CCSI_CRC = 1	FLAG_CCSI_CRC = 1 FLAG_CCSI = 1 FLAG_ERR = 0	无操作
	MASK_CCSI_CRC = 0	FLAG_CCSI_CRC = 1 FLAG_CCSI = 1 FLAG_ERR = 1	常量下拉

Copyright © 2024 Texas Instruments Incorporated

7.3.4.10 诊断表

表 7-1. 诊断表

故障类型	检测标准	条件	故障操作	故障输出	FAULT 引脚
VCC UVLO	$V_{CC} < V_{UVF}$		器件切换至未通电状态	FLAG_POR FLAG_ERR	常量下拉
振荡器误差	$t_{WD,OSC}$ 溢出		无操作	FLAG_OSC FLAG_ERR	常量下拉
SPI 通信丢失故障	t_{SPI_WDT} 溢出		器件进入失效防护状态	DEV_STATE = FAILSAFE FLAG_ERR	常量下拉
SPI 命令超时故障	$t_{SPI_RST_TIMEOUT}$ 溢出		复位 SPI 逻辑	FLAG_SPI_TIMEOUT FLAG_SPI FLAG_ERR	常量下拉
SPI 片选 (CS) 故障	CS 引脚在 SPI 命令中间被拉至高电平		复位 SPI 逻辑	FLAG_SPI_CS FLAG_SPI FLAG_ERR	常量下拉
SPI CRC 错误	计算出的 CRC 与接收到的 CRC 不同		无操作	FLAG_SPI_CRC FLAG_ERR (可屏蔽)	常量下拉 (可屏蔽)
寄存器写入失败	CCSICTRL 在 CCSI 控制器/外设活动期间写入		无操作	FLAG_SPI_REG_WRITE	无操作
SIN 阻塞错误	$t_{WD,SIN}$ 溢出		无操作	FLAG_CCSI_SIN FLAG_CCSI FLAG_ERR (可屏蔽)	常量下拉 (可屏蔽)
CCSI CHECK 位错误	CHECK 位不是 16 th 位值的反转		无操作	FLAG_CCSI_CHECK_BIT FLAG_CCSI FLAG_ERR (可屏蔽)	常量下拉 (可屏蔽)
CCSI CRC 错误	CCSI SOUT Head_bytes 和 Data_bytes_N 会产生与 SIN 上接收到的 CRC 值不同的 CRC 值	Head_bytes = VSYNC (0xAAF0) 或 写入 FCx (0xAA00 - 0xAA0F)	无操作	FLAG_CCSI_CRC FLAG_CCSI FLAG_ERR (可屏蔽)	常量下拉 (可屏蔽)
CCSI 命令队列溢出	命令队列已满 和 SPI 接收新的 CCSI 命令		CCSI 控制器停止 (如果正在进行) 并将 TXFFST 设置为 0	FLAG_CCSI_CMD_QUEUE_OVF FLAG_CCSI FLAG_ERR	常量下拉
TXFIFO 溢出	需要存储 TXFFST = 511 和 SPI 数据字	SPI 命令类型以 FWD 开头	CCSI 控制器停止 (如果正在进行) 并将 TXFFST 设置为 0	FLAG_TXFFOVF FLAG_TXFF FLAG_ERR	常量下拉
TXFIFO 下溢	TXFFST = 0 和 CCSI 控制器针对传输请求一个新字		CCSI 控制器停止	FLAG_TXFFUVF FLAG_TXFF FLAG_ERR	常量下拉
TXFIFO 单路错误检测	CCSI 控制器针对传输和 TXFIFO 奇偶校验错误请求一个新字		CCSI 控制器停止	FLAG_TXFFSED FLAG_TXFF FLAG_ERR	常量下拉

Copyright © 2024 Texas Instruments Incorporated

表 7-1. 诊断表（续）

故障类型	检测标准	条件	故障操作	故障输出	FAULT 引脚
RXFIFO 溢出	需要存储 RXFFST = 255 和 CCSI 数据字		CCSI 外设不会在 RXFIFO 中存储任何字	FLAG_RXFFOVF FLAG_RXFF FLAG_ERR	常量下拉
RXFIFO 下溢	RXFFST = 0 且 SPI 外设针对传输请求一个新字	SPI 命令类型以 DATA_READ 开头	CCSI 外设不会在 RXFIFO 中存储任何字	FLAG_RXFFUVF FLAG_RXFF FLAG_ERR	常量下拉
RXFIFO 单路错误检测	SPI 外设针对传输和 RXFIFO 奇偶校验错误请求一个新字	SPI 命令类型以 DATA_READ 开头	无操作	FLAG_RXFFSED FLAG_RXFF FLAG_ERR	常量下拉
OTP CRC 错误	CALC_OTPCRC 是不同的 OTPCRC		无操作	FLAG_OTP_CRC FLAG_ERR	常量下拉

Copyright © 2024 Texas Instruments Incorporated

7.4 器件功能模式

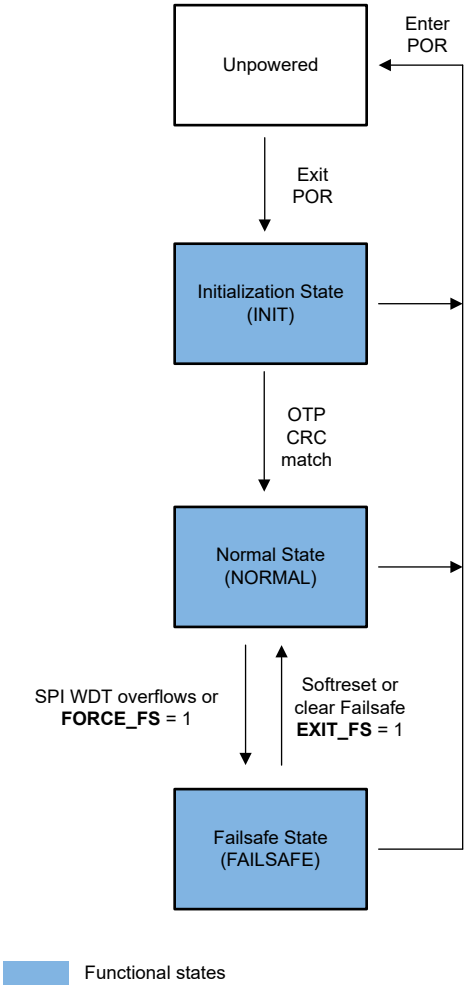


图 7-8. 器件功能模式

7.4.1 未供电

只要 VCC 低于 UVLO 阈值，器件就会保持 POR 状态。所有寄存器都保持复位状态。如果 VCC 在其他状态下降至低于 UVLO 阈值，该器件会立即保持 POR 状态。

7.4.2 初始化状态

VCC 高于 UVLO 阈值后，器件进入初始化状态。在此状态下会启用 SPI 外设，但支持的最大频率低于正常状态下的频率。CCSI 控制器的连续时钟被启用，但传输只能在正常状态下开始。此外，读取 OTP 并将读取 CRC 与所有读取 OTP 字节的计算出的 CRC 进行比较。如果 CRC 匹配，则更新 OTP 寄存器，器件进入正常状态。

Copyright © 2024 Texas Instruments Incorporated

7.4.3 正常状态

若要启用 CCSI 控制器的传输，需要将 FLAG_POR 清零。如果启用了通信看门狗计时器，然后由于缺少通信而到期，则器件进入失效防护状态。通过将寄存器 DEVCTRL 中的 FORCE_FS 位设置为 1，还可以随时强制器件进入失效防护状态。FORCE_FS 位会自动返回到 0。

7.4.4 失效防护状态

当器件进入失效防护状态时，TXFFCLR 位将设置为停止任何正在进行的 CCSI 传输。

进入失效防护状态时，首先复位 SPI 外设。然后，SPI 外设保持活动状态以允许与器件通信。但是，无法控制 CCSI 控制器和 CCSI 外设。这意味着当 SPI 命令以 FWD 开头时，数据将被忽略，并且不会存储在 TXFIFO 中。

通过将寄存器 DEVCTRL 中的 EXIT_FS 位设置为 1，器件可以从失效防护状态退出至正常状态。EXIT_FS 位会自动返回至 0。另一种使器件进入正常状态的方法是发送 SOFTRESET_CRC SPI 命令。

7.5 编程

TLC6989 具有串行外设接口 (SPI) 外设，这是一种高速同步串行输入和输出 (I/O) 端口，其允许根据外部提供的时钟速率将具有 16 位长度的串行位流移入和移出器件。移入器件的位流提供对可编程功能和寄存器的访问。该接口由 4 根线组成：

- 串行数据输入 (SDI)
- 串行数据输出 (SDO)
- 串行时钟 (SCLK)
- 片选 (CS)

7.5.1 SPI 数据有效性

SDI 线上的数据必须在 SCLK 线的上升沿保持稳定。SDO 上的数据在 SCLK 线的下降沿移出。可通过 SPICTRL 寄存器中的 SPI_SDO_DIS 位强制禁用 SDO。当同一命令广播到单个 SPI 总线上的多个 TLC6989 器件时，此功能很有用。当没有数据移入器件时，SCLK 线路预计为逻辑低电平。

7.5.2 片选 (CS) 和 SPI 复位控制

CS 信号能够选通任何杂散时钟和数据脉冲。CS 上的高电平逻辑信号会阻止外设接收数据。这会阻止 SPI 外设与控制器失去同步。TI 不建议将 CS 始终绑定到运行状态。

如果 SPI 外设与控制器失去同步，则在 CS 上提供高电平逻辑信号会复位 SPI 外设（包括位计数器）。另一种方法是停止 SCLK 并使等待时间长于 SPICTRL 寄存器中 SPI_RST_TIMEOUT_CFG 字段的设置。当 SPI 外设需要命令字时，此超时从 SCLK 的第一个上升时钟边沿开始计数。

Copyright © 2024 Texas Instruments Incorporated

7.5.3 SPI 命令格式

图 7-9 和表 7-2 定义了 SPI 命令传输的格式。每个 SPI 命令包含多个 16 位字。不同类型的字包括：

- **命令字：**命令字始终包含命令类型的标识符。根据类型，命令字还包含：
  - 要写入或读取的起始地址。当字段地址 = 0 时表示地址 0x00。
  - 传输或预期读取的数据长度。当长度字段以 OPT 开头时，数据是可选的。因此，opt_data_length = 0 表示 0 个数据字。对于不以 OPT 开头的字段，data_length = 0 表示 1 个数据字。
  - 转发数据时要附加的额外 END 字节数。字段 extra_end_bytes = 0 表示额外的 END 字节。一条 SPI 命令最多可附加 127 个额外的 END 字节。
  - 固定数据（如果是 SOFTRESET_CRC 命令）
- **数据字：**根据命令类型，此数据是需要转发的数据（0 到 N）、写入器件的寄存器数据（0 到 N）或从器件读取的寄存器数据（N+1 到 M），或从 RXFIFO 读取的数据（N+1 到 M）。
- **CRC 字：**每个命令中有 2 个不同的 CRC 字：
  - 由 SPI 控制器生成的 CRC 字。此 CRC 根据 SPI 命令字和传输的所有数据字（0 到 N）计算得出
  - 由 SPI 外设生成的 CRC 字。此 CRC 根据所有返回的数据字（N+1 到 M）计算得出。

  支持两种不同的 CRC 算法。默认算法为 CCITT-FALSE。可以使用 REG_WR 命令将其更改为 CRC-16/XMODEM 算法。更改 CRC 算法后，下一条 SPI 命令会使用新算法。两种算法都基于多项式 $X^{16} + X^{12} + X^{5} + 1$。

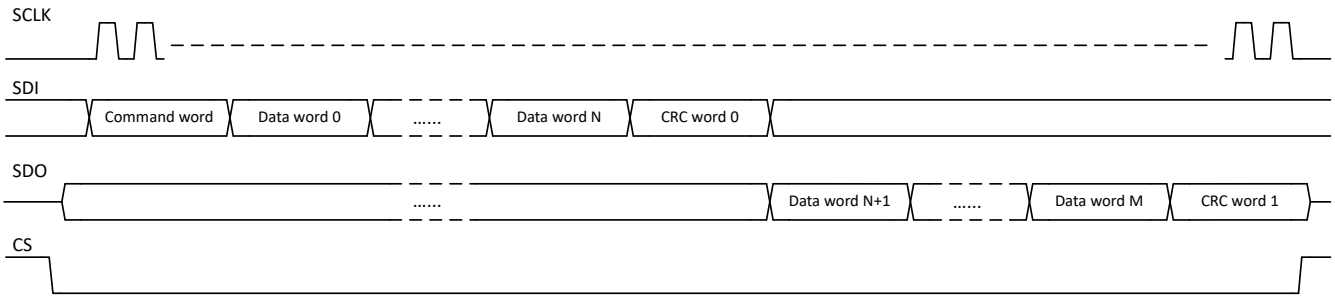


图 7-9. SPI 命令格式

Copyright © 2024 Texas Instruments Incorporated

表 7-2. SPI 命令详细信息

命令类型	命令字													数据字	CRC 字
	CMD[15:12]	11	10	9	8	7	6	5	4	3	2	1	0		
FWD_WR_CRC	0x2	0x0			data_length[8:0]									数据字 0-data_length	CRC
FWD_WR	0x3	data_length[11:0]												数据字 0-data_length	CRC
FWD_WR_END_CRC	0x4	opt_data_length[4:0]					extra_end_bytes[6:0]							数据字 0-(opt_data_length-1)	CRC
FWD_WR_END	0x5	opt_data_length[4:0]					extra_end_bytes[6:0]							数据字 0-(opt_data_length-1)	CRC
FWD_RD_END_CRC	0x6	data_length[4:0]					extra_end_bytes[6:0]							数据字 0-data_length	CRC
FWD_RD_END	0x7	data_length[4:0]					extra_end_bytes[6:0]							数据字 0-data_length	CRC
DATA_RD_CRC	0x8	0x0				data_length[7:0]								不适用	CRC
DATA_RD	0x9	0x0				data_length[7:0]								不适用	CRC
REG_WR_CRC	0xA	0x0		address[3:0]				0x0		data_length[3:0]				数据字 0-data_length	CRC
REG_WR	0xB	0x0		address[3:0]				0x0		data_length[3:0]				数据字 0-data_length	CRC
REG_RD_CRC	0xC	0x0		address[3:0]				0x0		data_length[3:0]				不适用	CRC
REG_RD	0xD	0x0		address[3:0]				0x0		data_length[3:0]				不适用	CRC
SOFTRESET_CRC	0xE	0x1E1												不适用	CRC

Copyright © 2024 Texas Instruments Incorporated

7.5.4 SPI 命令详细信息

除了 SOFTRESET_CRC 之外，每条命令都有两个版本。即使 CRC 值不正确，类型名称末尾没有 CRC 的版本也始终执行。仅当接收到的 CRC 与基于命令字和数据字计算出的 CRC 匹配时，才会执行类型名称末尾带有 CRC 的版本。

以 FWD 开头的命令通过 CCSI 控制器转发接收到的数据字。只要数据长度大于 0，CCSI 控制器就会自动插入一个起始位、校验位和一个 END 字节。因此，一条 SPI 命令的 SPI 数据字被视为一条 CCSI 命令，该命令在第一个 SPI 数据字之前具有 1 个起始位，在每个数据字之后具有一个校验位，在最后一个 SPI 数据字之后具有一个 END 字节。

以 REG 开头的命令用于写入和读取 TLC6989 器件的寄存器。DATA_RD 命令返回 RXFIFO 中存储的数据。

以 FWD、REG_WR 和 SOFTRESET_CRC 开头的命令会返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。可以通过 SPICTRL 寄存器中的 SPI_ACK_DIS 位来禁用此确认。在确认被禁用的情况下执行 SOFTRESET_CRC 时必须小心。在这种情况下，TI 建议在发送下一条命令之前至少等待一个 SPI 字。

每当 TLC6989 器件在 SDO 引脚上将数据返回到控制器时，控制器必须在 SCLK 引脚上提供足够的时钟脉冲以移出数据。TI 建议在提供时钟脉冲以移出数据的同时将 SDI 引脚保持在逻辑高电平。

FWD_WR_CRC (转发写入 CRC 命令)

返回到 SPI 命令表

FWD_WR_CRC 命令由器件中的 CCSI 控制器用于传输数据字。SPI 外设接收到的所有数据字都存储在 TXFIFO 中。仅当接收到的 CRC 与基于命令字和数据字计算出的 CRC 匹配时，CCSI 控制器才开始传输。这意味着 TXFFLVL 不影响该传输的开始。SPI 控制器必须注意到，数据长度小于 TXFIFO 的大小。此 SPI 命令支持多达 512 个数据字并返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。FWD_WR_CRC 命令转发 2 个数据字的示例如图 7-10 所示。

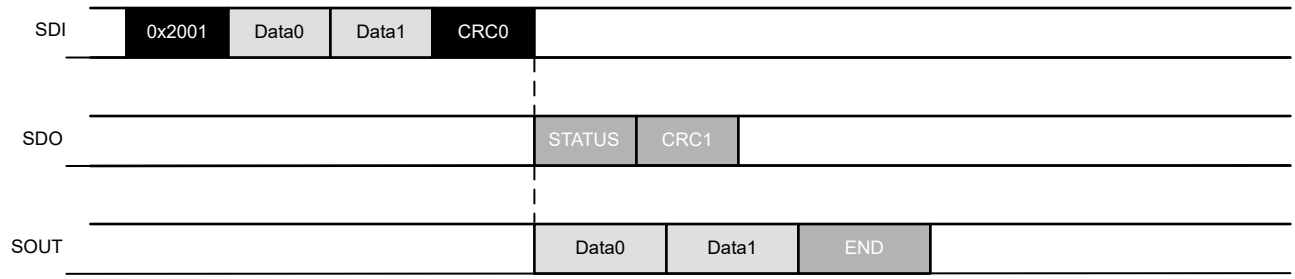


图 7-10. FWD_WR_CRC 命令示例

Copyright © 2024 Texas Instruments Incorporated

FWD_WR (转发写入命令)

返回到 SPI 命令表

FWD_WR 命令由器件中的 CCSI 控制器用于传输数据字。SPI 外设接收到的所有数据字都存储在 TXFIFO 中。如果满足以下一个或多个条件，CCSI 控制器会开始传输。

- TXFIFO 上存储的字数达到 TXFFLVL
- 已接收到 SPI 命令的所有数据字

这意味着 CRC 不影响该传输的开始。当接收到的 CRC 与基于命令字和数据字计算出的 CRC 不匹配时，FAULT 引脚会被拉至低电平 (未屏蔽时) 并设置 FLAG_SPI_CRC 标志。此 SPI 命令支持多达 4096 个数据字并返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。图 7-11 中描述了 FWD_WR 命令转发 3 个字的示例，其中 TXFFLVL 设置为 2 个数据字。

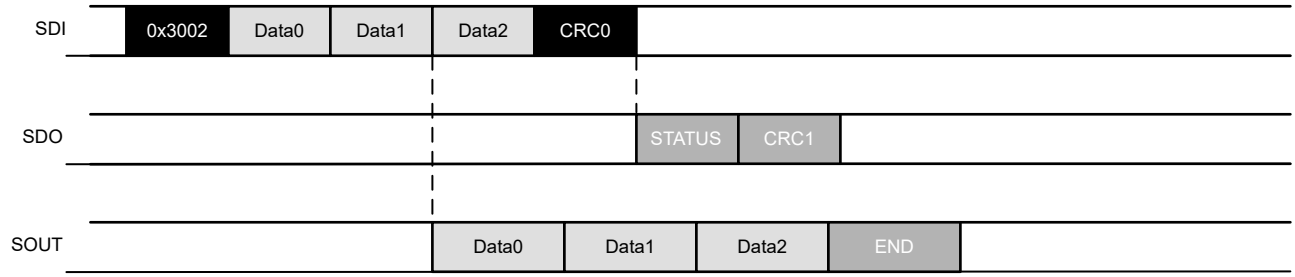


图 7-11. FWD_WR 命令示例

FWD_WR_END_CRC (具有 END 字节的转发写入 CRC 命令)

返回到 SPI 命令表

FWD_WR_END_CRC 命令由器件中的 CCSI 控制器用于传输数据字。SPI 外设接收到的所有数据字都存储在 TXFIFO 中。仅当接收到的 CRC 与基于命令字和数据字计算出的 CRC 匹配时，CCSI 控制器才开始传输。这意味着 TXFFLVL 不影响该传输的开始。在 CCSI 控制器传输完所有数据字后，会附加指定数量的额外 END 字节。数据字的传输和额外 END 字节的传输被视为 2 条单独的 CCSI 命令。此 SPI 命令支持多达 31 个数据字并返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。FWD_WR_END_CRC 命令转发 0 数据字 (因此不插入一个 END 字节) 和 3 个额外 END 字节的示例如图 7-12 所示。

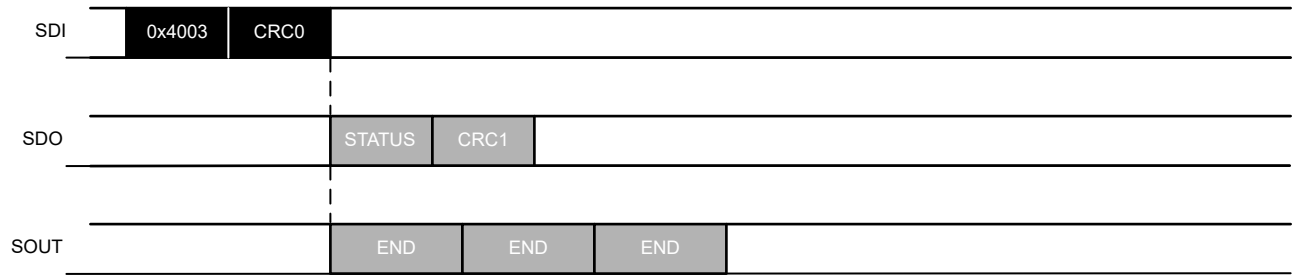


图 7-12. FWD_WR_END_CRC 命令示例

Copyright © 2024 Texas Instruments Incorporated

FWD_WR_END (具有 END 字节的转发写入命令)

返回到 SPI 命令表

FWD_WR_END 命令由器件中的 CCSI 控制器用于传输数据字。SPI 外设接收到的所有数据字都存储在 TXFIFO 中。如果满足以下一个或多个条件，CCSI 控制器会开始传输。

- TXFIFO 上存储的字数达到 TXFFLVL
- 已接收到 SPI 命令的所有数据字

这意味着 CRC 不影响该传输的开始。当接收到的 CRC 与基于命令字和数据字计算出的 CRC 不匹配时，FAULT 引脚会被拉至低电平 (未屏蔽时) 并设置 FLAG_SPI_CRC 标志。在 CCSI 控制器传输完所有数据字后，会附加指定数量的额外 END 字节。数据字的传输和额外 END 字节的传输被视为 2 条单独的 CCSI 命令。此 SPI 命令支持多达 31 个数据字并返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。FWD_WR_END 命令转发 2 个数据字和 1 个额外 END 字节的示例如图 7-13 所示。请注意，在此示例中，TXFFLVL 被设定为 2 个字或更多字。

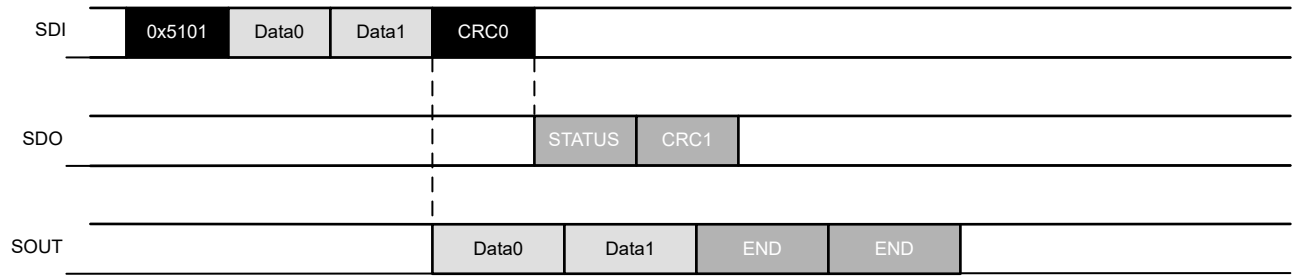


图 7-13. FWD_WR_END 命令示例

FWD_RD_END_CRC (具有 END 字节的转发读取 CRC 命令)

返回到 SPI 命令表

FWD_RD_END_CRC 命令由器件中的 CCSI 控制器用于传输数据字。SPI 外设接收到的所有数据字都存储在 TXFIFO 中。仅当接收到的 CRC 与基于命令字和数据字计算出的 CRC 匹配时，CCSI 控制器才开始传输。这意味着 TXFFLVL 不影响该传输的开始。在 CCSI 控制器传输完所有数据字后，会附加指定数量的额外 END 字节。数据字的传输和额外 END 字节的传输被视为 2 条单独的 CCSI 命令。CCSI 外设接收到的用于该命令的所有数据字都存储在 RXFIFO 中。此 SPI 命令支持多达 32 个数据字并返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。FWD_RD_END_CRC 命令转发 2 个数据字和 1 个额外 END 字节的示例如图 7-14 所示。

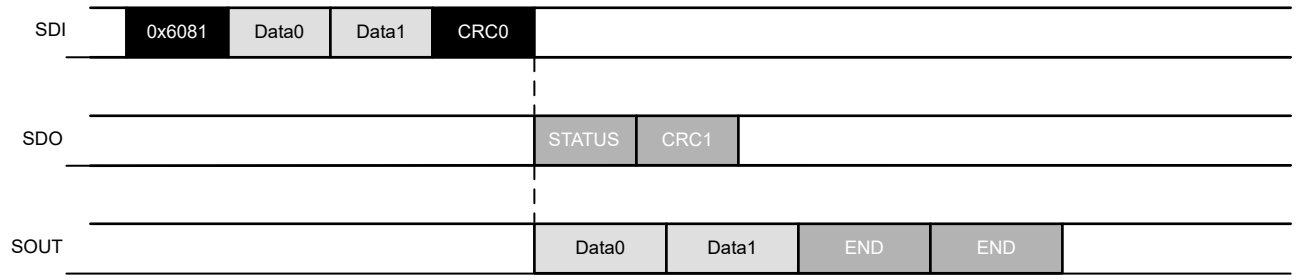


图 7-14. FWD_RD_END_CRC 命令示例

Copyright © 2024 Texas Instruments Incorporated

FWD_RD_END (具有 END 字节的转发读取命令)

返回到 SPI 命令表

FWD_RD_END 命令由器件中的 CCSI 控制器用于传输数据字。SPI 外设接收到的所有数据字都存储在 TXFIFO 中。如果满足以下一个或多个条件，CCSI 控制器会开始传输。

- TXFIFO 上存储的字数达到 TXFFLVL
- 已接收到 SPI 命令的所有数据字

这意味着 CRC 不影响该传输的开始。当接收到的 CRC 与基于命令字和数据字计算出的 CRC 不匹配时，FAULT 引脚会被拉至低电平 (未屏蔽时) 并设置 FLAG_SPI_CRC 标志。在 CCSI 控制器传输完所有数据字后，会附加指定数量的额外 END 字节。数据字的传输和额外 END 字节的传输被视为 2 条单独的 CCSI 命令。CCSI 外设接收到的用于该命令的所有数据字都存储在 RXFIFO 中。此 SPI 命令支持多达 32 个数据字并返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。FWD_RD_END 命令转发 3 个数据字 (TXFFLVL 设为 2 个数据字) 和 2 个额外 END 字节的示例如图 7-15 所示。

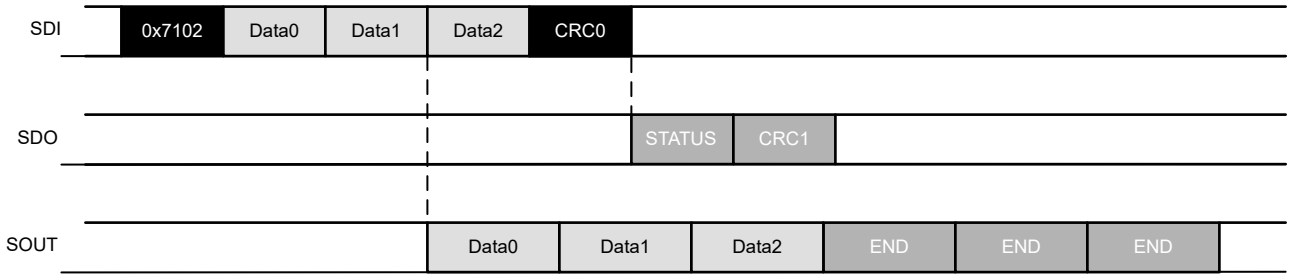


图 7-15. FWD_RD_END 命令示例

DATA_RD_CRC (数据读取 CRC 命令)

返回到 SPI 命令表

DATA_RD_CRC 命令用于从 RXFIFO 读取数据字。仅当接收到的 CRC 与基于命令字计算出的 CRC 匹配时，该器件才会返回所请求的数据字数以及基于数据字计算出的 CRC。当 CRC 失败时，SDO 保持为逻辑高电平。DATA_RD_CRC 命令请求 4 个数据字的示例如图 7-16 所示。

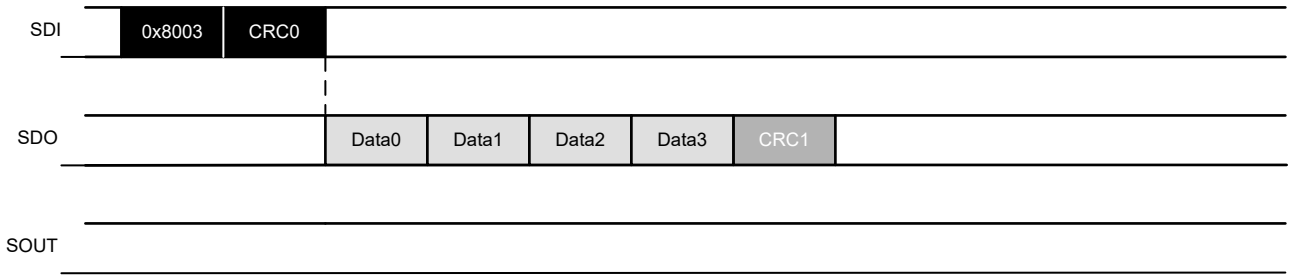


图 7-16. DATA_RD_CRC 命令示例

Copyright © 2024 Texas Instruments Incorporated

DATA_RD（数据读取命令）

返回到 SPI 命令表

DATA_RD 命令用于从 RXFIFO 读取数据字。即使接收到的 CRC 与基于命令字计算出的 CRC 不匹配，该器件也会返回所请求的数据字数以及基于数据字计算出的 CRC。当接收到的 CRC 与基于命令字计算出的 CRC 不匹配时，FAULT 引脚会被拉至低电平（未屏蔽时）并设置 FLAG_SPI_CRC 标志。DATA_RD 命令请求 3 个数据字的示例如图 7-17 所示。

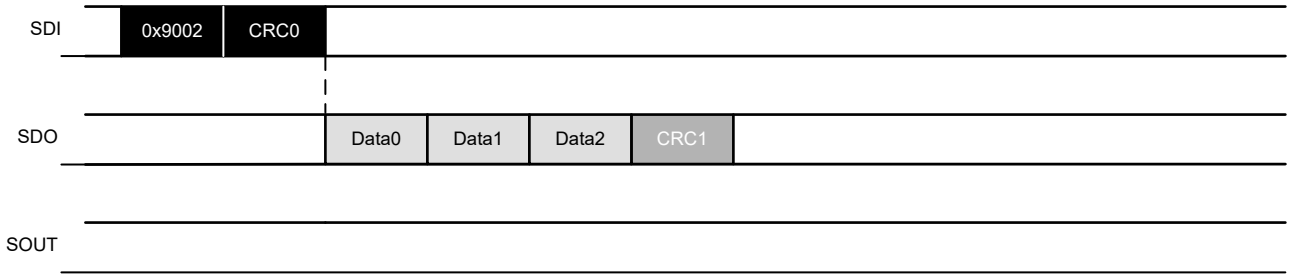


图 7-17. DATA_RD 命令示例

REG_WR_CRC（寄存器写入 CRC 命令）

返回到 SPI 命令表

REG_WR_CRC 命令用于写入 TLC6989 器件的内部寄存器。该命令包含一个字段，用于指示要写入的第一个寄存器的地址。SPI 外设接收到的所有数据字都存储在影子寄存器中。仅当接收到的 CRC 与基于命令字和数据字计算出的 CRC 匹配时，才更新寄存器。该命令返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。REG_WR_CRC 命令写入 3 个寄存器的示例如图 7-18 所示。

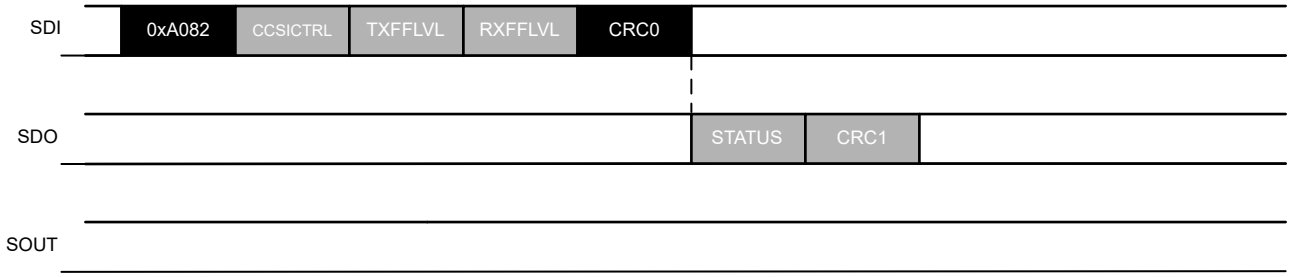


图 7-18. REG_WR_CRC 命令示例

Copyright © 2024 Texas Instruments Incorporated

REG_WR (寄存器写入命令)

返回到 SPI 命令表

REG_WR 命令用于写入 TLC6989 器件的内部寄存器。该命令包含一个字段，用于指示要写入的第一个寄存器的地址。SPI 外设接收到的所有数据字均直接写入寄存器。这意味着 CRC 不会影响寄存器的写入。当接收到的 CRC 与基于命令字计算出的 CRC 不匹配时，FAULT 引脚会被拉至低电平 (未屏蔽时) 并设置 FLAG_SPI_CRC 标志。该命令返回 STATUS 寄存器和通过 STATUS 寄存器计算出的 CRC。REG_WR_CRC 命令写入 2 个寄存器的示例如图 7-19 所示。

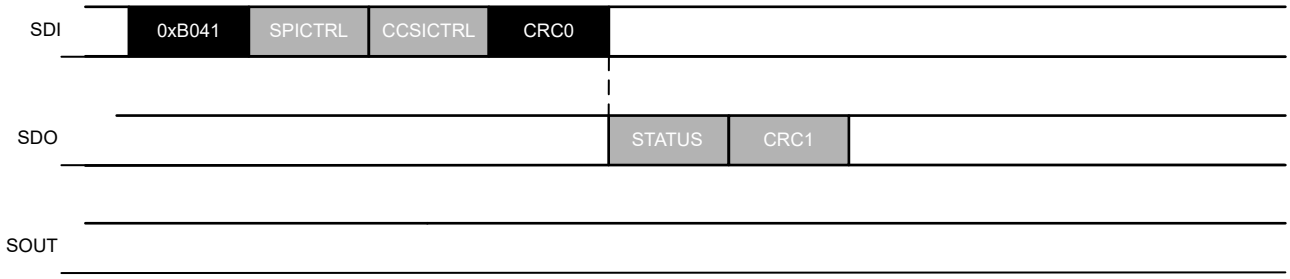


图 7-19. REG_WR 命令示例

REG_RD_CRC (寄存器读取 CRC 命令)

返回到 SPI 命令表

REG_RD_CRC 命令用于读取 TLC6989 器件的内部寄存器。该命令包含一个字段，用于指示要读取的第一个寄存器的地址。仅当接收到的 CRC 与基于命令字计算出的 CRC 匹配时，该器件才会返回所请求的寄存器字数以及基于寄存器字计算出的 CRC。当 CRC 失败时，SDO 保持为逻辑高电平。REG_RD_CRC 命令读取 1 个寄存器的示例如图 7-20 所示。



图 7-20. REG_RD_CRC 命令示例

Copyright © 2024 Texas Instruments Incorporated

REG_RD（寄存器读取命令）

返回到 SPI 命令表

REG_RD 命令用于读取 TLC6989 器件的内部寄存器。该命令包含一个字段，用于指示要读取的第一个寄存器的地址。即使接收到的 CRC 与基于命令字计算出的 CRC 不匹配，该器件也会返回所请求的寄存器字数以及基于寄存器字计算出的 CRC。当接收到的 CRC 与基于命令字计算出的 CRC 不匹配时，FAULT 引脚会被拉至低电平（未屏蔽时）并设置 FLAG_SPI_CRC 标志。REG_RD 命令读取 3 个寄存器的示例如图 7-21 所示。

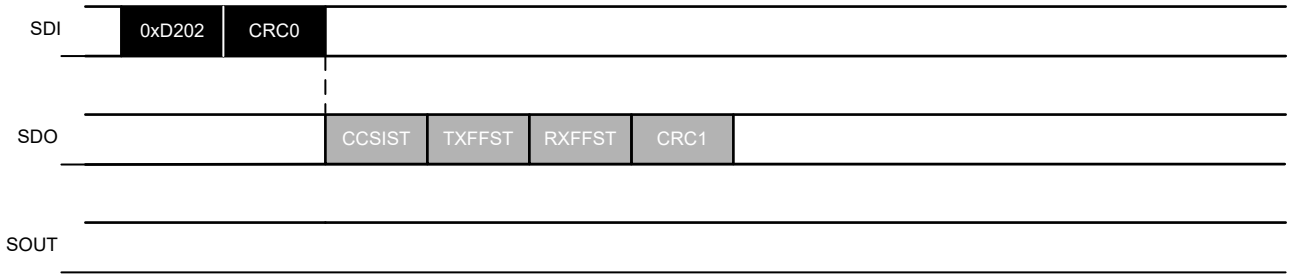


图 7-21. REG_RD 命令示例

SOFTRESET_CRC（软复位 CRC 命令）

返回到 SPI 命令表

SOFTRESET_CRC 命令用于将所有内部寄存器复位为默认值并同步 CCSI 控制器和外设。该命令在以下情况下执行：

- 接收到的 CRC 与基于命令字计算出的 CRC 相匹配，并且
- CCSI 控制器未传输数据

使用 CCITT-FALSE 算法的 SOFTRESET_CRC 命令的 CRC 值为 0xD383，以及使用 CRC-16/XMODEM 算法 0xCE8C 时。

所有内部寄存器复位后，之前设置的大部分故障标志都会被清除。只有 FLAG_POR 和 FLAG_ERR 会复位为高电平。此外，RXFIFO 中存储的所有数据将无法访问。如果 LED 菊花链中有 CCSI 命令尚未被 CCSI 外设接收到，则无法再检查 CCSI CRC 诊断，因为计算出的 CRC 值已被清除，以便在 CCSI 控制器和 CCSI 外设之间进行同步。TI 建议在传输 SOFTRESET_CRC 命令后，传输的 END 字节数与菊花链中的 LED 驱动器数相同。这将清除任何已传输的 CCSI 命令，因此会保持同步。当器件处于失效防护模式时，SOFTRESET_CRC 命令会使器件进入正常模式。未成功的 SOFTRESET_CRC 命令会记录在 STATUS 寄存器的 FLAG_SRST 位中。SOFTRESET_CRC 命令的示例如图 7-22 所示。

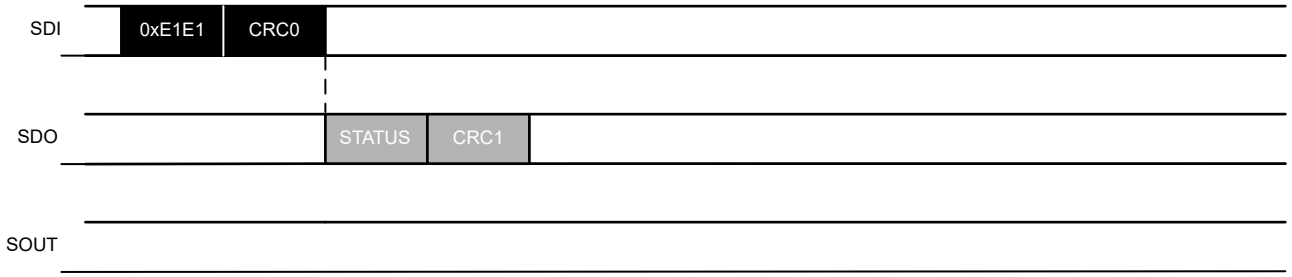


图 7-22. SOFTRESET_CRC 命令示例

Copyright © 2024 Texas Instruments Incorporated

7.6 器件寄存器

器件寄存器汇总表 列出了器件寄存器的存储器映射寄存器。器件寄存器汇总表 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-3. 器件寄存器汇总表

地址	首字母缩写词	说明	部分
0x0	DEVID	器件标识	节 7.6.1
0x1	SPICTRL	SPI 控制	节 7.6.2
0x2	CCSICTRL	连续时钟串行接口 (CCSI) 控制	节 7.6.3
0x3	TXFFLVL	传输 FIFO 深度控制	节 7.6.4
0x4	RXFFLVL	接收 FIFO 深度控制	节 7.6.5
0x5	DEVCTRL	器件的控制寄存器	节 7.6.6
0x6	DIAGMASK	诊断屏蔽	节 7.6.7
0x7	状态	全局器件状态	节 7.6.8
0x8	IFST	详细接口状态	节 7.6.9
0x9	TXFFST	详细传输 FIFO 状态	节 7.6.10
0xA	RXFFST	详细接收 FIFO 状态	节 7.6.11

复杂的位访问类型经过编码可适应小型表单元。表 7-4 展示了适用于此部分中访问类型的代码。

表 7-4. 器件访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
W1C	W 1C	写入 1 以清零
复位或默认值		
-n		复位后的值或默认值

Copyright © 2024 Texas Instruments Incorporated

7.6.1 DEVID 寄存器（地址 = 0x0）[复位 = 0xEDD9]

图 7-23 展示了 DEVID，表 7-5 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-23. DEVID 寄存器

15	14	13	12	11	10	9	8
DEVID							
R-0xEDD9							
7	6	5	4	3	2	1	0
DEVID							
R-0xEDD9							

表 7-5. DEVID 寄存器字段说明

位	字段	类型	复位	说明
15-0	DEVID	R	0xEDD9	器件标识

Copyright © 2024 Texas Instruments Incorporated

7.6.2 SPICTRL 寄存器（地址 = 0x1）[复位 = 0x00A0]

图 7-24 展示了 SPICTRL，表 7-6 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-24. SPICTRL 寄存器

15	14	13	12	11	10	9	8
保留		SPI_WDT_CFG		保留			
R/W-0x0		R/W-0x0		R/W-0x0			
7	6	5	4	3	2	1	0
SPI_RST_TIMEOUT_CFG				保留	SPI_CRC_ALG	SPI_SDO_DIS	SPI_ACK_DIS
R/W-0xA				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0

表 7-6. SPICTRL 寄存器字段说明

位	字段	类型	复位	说明
15-14	保留	R/W	0x0	保留
13-12	SPI_WDT_CFG	R/W	0x0	SPI 上的看门狗，用于进入失效防护状态 0x0 = 40ms 0x1 = 20ms 0x2 = 10ms 0x3 = 禁用
11-8	保留	R/W	0x0	保留
7-4	SPI_RST_TIMEOUT_CFG	R/W	0xA	SCLK 上的看门狗，用于在超时之后复位 SPI 0x0 = 禁用 0x1 = 500us 0x2 = 1ms 0x3 = 2ms 0x4 = 3ms 0x5 = 4ms 0x6 = 5ms 0x7 = 10ms 0x8 = 15ms 0x9 = 20ms 0xA = 30ms 0xB = 40ms 0xC = 50ms 0xD = 85ms 0xE = 100ms 0xF = 200ms
3	保留	R/W	0x0	保留
2	SPI_CRC_ALG	R/W	0x0	用于 SPI 通信的 CRC 算法 0x0 = 使用 CCITT-FALSE 0x1 = 使用 CRC-16/XMODEM
1	SPI_SDO_DIS	R/W	0x0	SPI SDO 禁用位 0x0 = 当 CS 为低电平时驱动 SDO 0x1 = SDO 始终为高阻抗
0	SPI_ACK_DIS	R/W	0x0	STATUS 寄存器的 SPI 自动回复禁用位 0x0 = 启用自动回复 0x1 = 禁用自动回复

Copyright © 2024 Texas Instruments Incorporated

7.6.3 CCSICTRL 寄存器（地址 = 0x2）[复位 = 0x0000]

图 7-25 展示了 CCSICTRL，表 7-7 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-25. CCSICTRL 寄存器

15	14	13	12	11	10	9	8
保留						CCSI_SS_CLKO	
R/W-0x0						R/W-0x0	
7	6	5	4	3	2	1	0
保留				CCSI_DATA_RATE			
R/W-0x0				R/W-0x0			

表 7-7. CCSICTRL 寄存器字段说明

位	字段	类型	复位	说明
15-10	保留	R/W	0x0	保留
9-8	CCSI_SS_CLKO	R/W	0x0	CLK_O 引脚的展频设置 0x0 = 禁用 0x1 = 2% 0x2 = 4% 0x3 = 8%
7-4	保留	R/W	0x0	保留
3-0	CCSI_DATA_RATE	R/W	0x0	CCSI 的数据速率 0x0 = 1Mbit/s 0x1 = 1.25Mbit/s 0x2 = 1.43Mbit/s 0x3 = 1.67Mbit/s 0x4 = 2Mbit/s 0x5 = 2.22Mbit/s 0x6 = 2.5Mbit/s 0x7 = 2.86Mbit/s 0x8 = 3.33Mbit/s 0x9 = 4Mbit/s 0xA = 5Mbit/s 0xB = 6.67Mbit/s 0xC = 8Mbit/s 0xD = 10Mbit/s 0xE = 13.33Mbit/s 0xF = 20Mbit/s

Copyright © 2024 Texas Instruments Incorporated

7.6.4 TXFFLVL 寄存器（地址 = 0x3）[复位 = 0x01FF]

图 7-26 展示了 TXFFLVL，表 7-8 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-26. TXFFLVL 寄存器

15	14	13	12	11	10	9	8
TXFFCLR	保留						TXFFLVL
R/W1C-0x0	R/W-0x0						R/W-0x1FF
7	6	5	4	3	2	1	0
TXFFLVL							
R/W-0x1FF							

表 7-8. TXFFLVL 寄存器字段说明

位	字段	类型	复位	说明
15	TXFFCLR	R/W1C	0x0	清除传输 FIFO 上的所有数据
14-9	保留	R/W	0x0	保留
8-0	TXFFLVL	R/W	0x1FF	在 CCSI 上开始传输时的 TX FIFO 深度，以字为单位，0x0 表示 1 个字

Copyright © 2024 Texas Instruments Incorporated

7.6.5 RXFFLVL 寄存器（地址 = 0x4）[复位 = 0x00FF]

图 7-27 展示了 RXFFLVL，表 7-9 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-27. RXFFLVL 寄存器

15	14	13	12	11	10	9	8
RXFFCLR	保留						
R/W1C-0x0	R/W-0x0						
7	6	5	4	3	2	1	0
RXFFLVL							
R/W-0xFF							

表 7-9. RXFFLVL 寄存器字段说明

位	字段	类型	复位	说明
15	RXFFCLR	R/W1C	0x0	清除接收 FIFO 上的所有数据
14-8	保留	R/W	0x0	保留
7-0	RXFFLVL	R/W	0xFF	当超出字数（0x0 表示 1 个字）时，下拉 DRDY 引脚的 RX FIFO 深度

Copyright © 2024 Texas Instruments Incorporated

7.6.6 DEVCTRL 寄存器（地址 = 0x5）[复位 = 0x0000]

图 7-28 展示了 DEVCTRL，表 7-10 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-28. DEVCTRL 寄存器

15	14	13	12	11	10	9	8
保留							
R/W-0x0							
7	6	5	4	3	2	1	0
保留					FORCE_FS	保留	EXIT_FS
R/W-0x0					R/W1C-0x0	R/W-0x0	R/W1C-0x0

表 7-10. DEVCTRL 寄存器字段说明

位	字段	类型	复位	说明
15-3	保留	R/W	0x0	保留
2	FORCE_FS	R/W1C	0x0	将器件从正常状态切换到失效防护状态 0x0 = 保持当前状态 0x1 = 使器件进入失效防护状态
1	保留	R/W	0x0	保留
0	EXIT_FS	R/W1C	0x0	使器件退出失效防护模式，进入正常模式

Copyright © 2024 Texas Instruments Incorporated

7.6.7 DIAGMASK 寄存器（地址 = 0x6）[复位 = 0x0000]

图 7-29 展示了 DIAGMASK，表 7-11 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-29. DIAGMASK 寄存器

15	14	13	12	11	10	9	8
保留				MASK_CCSI_CHECK_BIT	保留	MASK_CCSI_CRC	MASK_CCSI_SIN
R/W-0x0				R/W-0x0	R/W-0x0	R/W-0x0	R/W-0x0
7	6	5	4	3	2	1	0
保留							MASK_SPI_CRC
R/W-0x0							R/W-0x0

表 7-11. DIAGMASK 寄存器字段说明

位	字段	类型	复位	说明
15-12	保留	R/W	0x0	保留
11	MASK_CCSI_CHECK_BIT	R/W	0x0	屏蔽 CCSI 校验位故障以设置 FLAG_ERR 和下拉故障引脚 0x0 = 启用故障报告 0x1 = 禁用故障报告
10	保留	R/W	0x0	保留
9	MASK_CCSI_CRC	R/W	0x0	屏蔽 CCSI CRC 故障以设置 FLAG_ERR 和下拉 FAULT 引脚 0x0 = 启用故障报告 0x1 = 禁用故障报告
8	MASK_CCSI_SIN	R/W	0x0	屏蔽 CCSI SIN 卡滞故障，以设置 FLAG_ERR 和下拉 FAULT 引脚 0x0 = 启用故障报告 0x1 = 禁用故障报告
7-1	保留	R/W	0x0	保留
0	MASK_SPI_CRC	R/W	0x0	屏蔽 SPI CRC 故障以设置 FLAG_ERR 和下拉 FAULT 引脚 0x0 = 启用故障报告 0x1 = 禁用故障报告

Copyright © 2024 Texas Instruments Incorporated

7.6.8 STATUS 寄存器（地址 = 0x7）[复位 = 0x0403]

图 7-30 展示了 STATUS，表 7-12 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-30. STATUS 寄存器

15	14	13	12	11	10	9	8
CLR_FLAG	FLAG_CCSI	保留	FLAG_TXFF	FLAG_RXFF	DRDYST	FLAG_SRST	FLAG_SPI
R/W1C-0x0	R-0x0	R-0x0	R-0x0	R-0x0	R-0x1	R-0x0	R-0x0
7	6	5	4	3	2	1	0
FLAG_SPI_REG_WRITE	FLAG_SPI_CRC	DEV_STATE		FLAG_OTP_CRC	FLAG_OSC	FLAG_POR	FLAG_ERR
R-0x0	R-0x0	R-0x0		R-0x0	R-0x0	R-0x1	R-0x1

表 7-12. 状态寄存器字段说明

位	字段	类型	复位	说明
15	CLR_FLAG	R/W1C	0x0	写入以清除所有标志。 0x0 = 不清除标志 0x1 = 清除所有标志
14	FLAG_CCSI	R	0x0	CCSI 错误标志。 0x0 = 未检测到器件错误 0x1 = 检测到器件错误。有关更多详细信息，请检查 IFST。
13	保留	R	0x0	保留
12	FLAG_TXFF	R	0x0	传输 FIFO 错误检测。 0x0 = 未检测到传输 FIFO 错误 0x1 = 检测到传输 FIFO 错误。有关更多详细信息，请检查 TXFFST。
11	FLAG_RXFF	R	0x0	接收 FIFO 错误检测。 0x0 = 未检测到接收 FIFO 错误 0x1 = 检测到接收 FIFO 错误。有关更多详细信息，请检查 RXFFST。
10	DRDYST	R	0x1	DRDY 引脚的状态。 0x0 = DRDY 引脚为逻辑低电平 0x1 = DRDY 引脚为逻辑高电平
9	FLAG_SRST	R	0x0	SOFTRESET 失败。无法在 CCSI 传输时执行软复位。 0x0 = 未检测到 SOFTRESET 错误 0x1 = 检测到 SOFTRESET 错误
8	FLAG_SPI	R	0x0	SPI 错误标志。 0x0 = 未检测到器件错误 0x1 = 检测到器件错误。有关更多详细信息，请检查 IFST。
7	FLAG_SPI_REG_WRITE	R	0x0	SPI 寄存器写入命令失败。CCSI 正在传输和/或接收时，CCSICTRL 不能被写入。 0x0 = 未检测到 SPI 寄存器写入错误 0x1 = 检测到 SPI 寄存器写入错误
6	FLAG_SPI_CRC	R	0x0	检测到 SPI 通信 CRC 错误。 0x0 = 未检测到 CRC 错误 0x1 = 检测到 CRC 错误
5-4	DEV_STATE	R	0x0	器件状态。 0x0 = 器件处于正常状态 0x1 = 器件处于初始状态 0x2 = 器件处于初始状态 0x3 = 器件处于失效防护状态

Copyright © 2024 Texas Instruments Incorporated

表 7-12. 状态寄存器字段说明（续）

位	字段	类型	复位	说明
3	FLAG_OTP_CRC	R	0x0	OTP CRC 错误检测。 0x0 = 未检测到 OTP CRC 错误 0x1 = 检测到 OTP CRC 错误
2	FLAG_OSC	R	0x0	振荡器超出范围检测。 0x0 = 未检测到振荡器错误 0x1 = 检测到振荡器错误
1	FLAG_POR	R	0x1	上电复位标志 0x0 = 未触发 POR 0x1 = 器件已触发 POR
0	FLAG_ERR	R	0x1	全局错误标志。这是 FAULT 引脚的反相状态。 0x0 = 未检测到错误 0x1 = 检测到一个或多个错误

Copyright © 2024 Texas Instruments Incorporated

7.6.9 IFST 寄存器（地址 = 0x8）[复位 = 0x0000]

图 7-31 展示了 IFST，表 7-13 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-31. IFST 寄存器

15	14	13	12	11	10	9	8
保留						FLAG_SPI_CS	FLAG_SPI_TIMEOUT
R-0x0						R-0x0	R-0x0
7	6	5	4	3	2	1	0
保留			FLAG_CCSI_CMD_QUEUE_OVF	FLAG_CCSI_CHECK_BIT	保留	FLAG_CCSI_CRC	FLAG_CCSI_SIN
R-0x0			R-0x0	R-0x0	R-0x0	R-0x0	R-0x0

表 7-13. IFST 寄存器字段说明

位	字段	类型	复位	说明
15-10	保留	R	0x0	保留
9	FLAG_SPI_CS	R	0x0	SPI 片选引脚在接收命令的过程中被拉高。 0x0 = 未检测到 CS 错误 0x1 = 检测到 CS 错误
8	FLAG_SPI_TIMEOUT	R	0x0	检测到 SPI 超时错误。仅当启用了 SPI_RST_TIMEOUT_CFG 时才会设置该位。 0x0 = 未检测到 SPI 超时 0x1 = 检测到 SPI 超时
7-5	保留	R	0x0	保留
4	FLAG_CCSI_CMD_QUEUE_OVF	R	0x0	检测到 CCSI 命令队列溢出错误。 0x0 = 未检测到溢出错误 0x1 = 检测到溢出错误
3	FLAG_CCSI_CHECK_BIT	R	0x0	检测到 CCSI 接收的数据存在 CCSI 校验位错误。 0x0 = 未检测到校验位错误 0x1 = 检测到校验位错误
2	保留	R	0x0	保留
1	FLAG_CCSI_CRC	R	0x0	检测到 CCSI 数据存在 CRC 错误。 0x0 = 未检测到 CRC 错误 0x1 = 检测到 CRC 错误
0	FLAG_CCSI_SIN	R	0x0	SIN 上缺少切换。 0x0 = 未检测到 SIN 上缺少切换错误 0x1 = 检测到 SIN 上缺少切换错误

Copyright © 2024 Texas Instruments Incorporated

7.6.10 TXFFST 寄存器（地址 = 0x9）[复位 = 0x0000]

图 7-32 展示了 TXFFST，表 7-14 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-32. TXFFST 寄存器

15	14	13	12	11	10	9	8
FLAG_TXFFOVF	FLAG_TXFFUVF	FLAG_TXFFSED	保留				TXFFST
R-0x0	R-0x0	R-0x0	R-0x0				R-0x0
7	6	5	4	3	2	1	0
TXFFST							
R-0x0							

表 7-14. TXFFST 寄存器字段说明

位	字段	类型	复位	说明
15	FLAG_TXFFOVF	R	0x0	传输 FIFO 上出现溢出错误
14	FLAG_TXFFUVF	R	0x0	传输 FIFO 上出现下溢错误
13	FLAG_TXFFSED	R	0x0	传输 FIFO 上的单一错误检测
12-9	保留	R	0x0	保留
8-0	TXFFST	R	0x0	TX FIFO 状态 0x0 = 传输 FIFO 为空。 0x1 = 传输 FIFO 有 1 个字。 0x2 = 传输 FIFO 有 2 个字。 ... 0x1FE = 传输 FIFO 有 510 个字。 0x1FF = 传输 FIFO 有 511 或 512 个字。

Copyright © 2024 Texas Instruments Incorporated

7.6.11 RXFFST 寄存器（地址 = 0xA）[复位 = 0x0000]

图 7-33 展示了 RXFFST，表 7-15 中对此进行了介绍。

返回到器件寄存器汇总表。

图 7-33. RXFFST 寄存器

15	14	13	12	11	10	9	8
FLAG_RXFFOVF	FLAG_RXFFUVF	FLAG_RXFFSED	保留				
R-0x0	R-0x0	R-0x0	R-0x0				
7	6	5	4	3	2	1	0
RXFFST							
R-0x0							

表 7-15. RXFFST 寄存器字段说明

位	字段	类型	复位	说明
15	FLAG_RXFFOVF	R	0x0	接收 FIFO 上出现溢出错误
14	FLAG_RXFFUVF	R	0x0	接收 FIFO 上出现下溢错误
13	FLAG_RXFFSED	R	0x0	接收 FIFO 上的单一错误检测
12-8	保留	R	0x0	保留
7-0	RXFFST	R	0x0	RX FIFO 状态 0x0 = 接收 FIFO 为空。 0x1 = 接收 FIFO 有 1 个字。 0x2 = 接收 FIFO 有 2 个字。 ... 0xFE = 接收 FIFO 有 254 个字。 0xFF = 接收 FIFO 有 255 或 256 个字。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

使用标准 SPI 来控制 TLC6989。该器件连接到使用 TLC6989 器件所提供连续时钟串行接口 (CCSI) 进行控制的 TLC698x 器件的菊花链。可通过可编程寄存器访问 TLC6989 的所有特性。

8.2 典型应用

图 8-1 展示了一个典型应用，其中只有一个 TLC6989 使用一条 SPI 总线连接到控制器，而许多 TLC698x 是使用一条 CCSI 总线以菊花链形式连接。

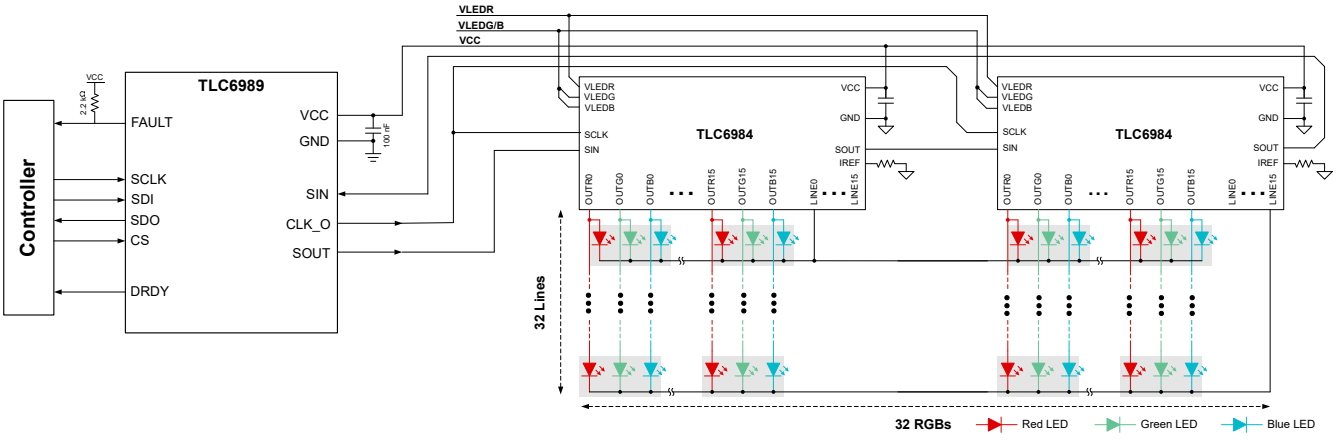


图 8-1. 典型应用原理图

8.2.1 设计要求

表 8-1. 设计参数

参数	值
V_{CC}	2.8V
帧速率	30Hz
亮度分辨率	16 位
级联器件数	6
扫描线数	30
f_{SPI}	8MHz

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

设计人员首先需要确定应用所需的 CCSI 数据速率。最小 CCSI 数据速率来自需要在一个帧周期内传输到所有 LED 驱动器的亮度信息。所选 LED 驱动器的数据表提供了有关所需最低 CCSI 数据速率的更多详细信息。在本应用示例中，帧周期为 33.33ms。菊花链中有 6 个器件（3 组，每组 2 个可堆叠模式），具有 30 条扫描线。假设数据传输效率为 70%（因为传输的 CCSI 命令之间可能存在一段空闲时间），则所需的最小 CCSI 数据速率为 7.04Mbit/s。因此，寄存器 CCSICTRL 中的 CCSI_DATA_RATE 设置为 8Mbit/s。

SPI 频率通常设置为介于与 CCSI 数据速率相似的范围。因此，在本应用示例中，SPI 频率设置为 8MHz。下一步是确定 TXFFLVL。TI 建议将 TXFFLVL 设置为大于为一个 CCSI 命令转发的字数上限。对于非广播数据写入命令，例如写入 SRAM 命令，会出现字数上限。对于该命令，字数等于级联器件数量的 3 倍加上一个标头字节。在此应用示例中，字数上限为 19 (3 x 6 + 1) 字。请注意，当使用 SPI 命令 FWD_WR_CRC 时，TXFFLVL 将被忽略，只有当 CRC 字正确时才会开始转发。此外，在 CCSI 控制器转发期间，由于 TLC6989 中的 CCSI 命令队列，下一个 SPI 转发命令可能已经由 SPI 控制器传输。

Copyright © 2024 Texas Instruments Incorporated

8.2.2.1 编程过程

图 8-2 描述了典型的器件编程流程。该流程与 TLC698x 器件系列类似，通过几个额外的初始化步骤来配置 TLC6989。上电 VCC 并等待器件处于正常状态（这意味着 OTP CRC 正确）后，初始化 TLC6989 并且必须清除 FLAG_POR（通过设置 CLR_FLAG）以允许转发命令。之后，可以将命令转发到 TLC698x 菊花链。

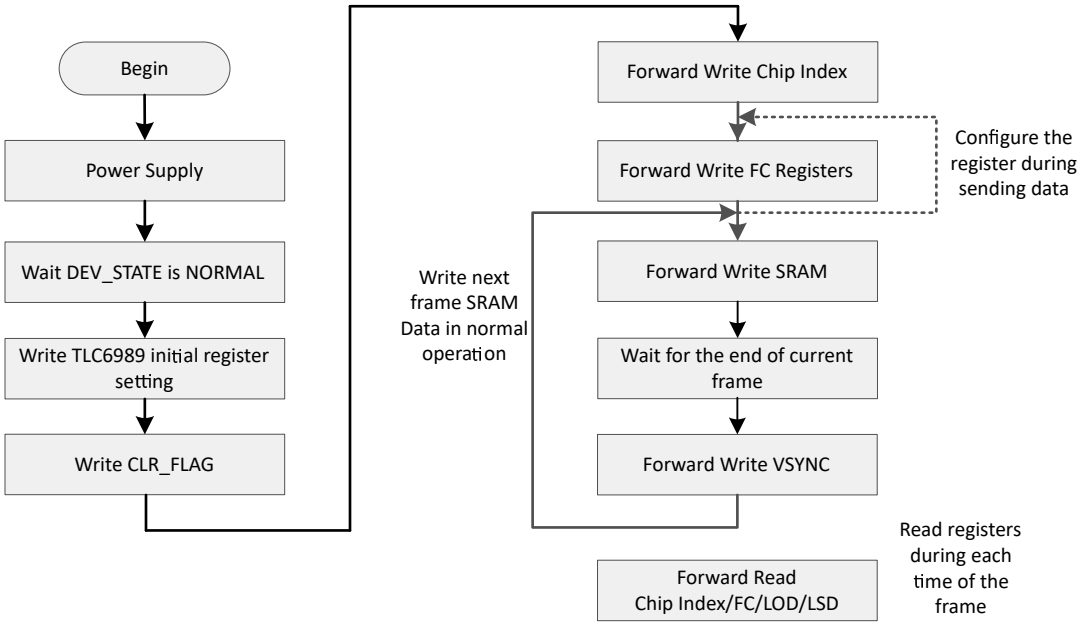


图 8-2. 编程过程

Copyright © 2024 Texas Instruments Incorporated

8.2.3 应用曲线

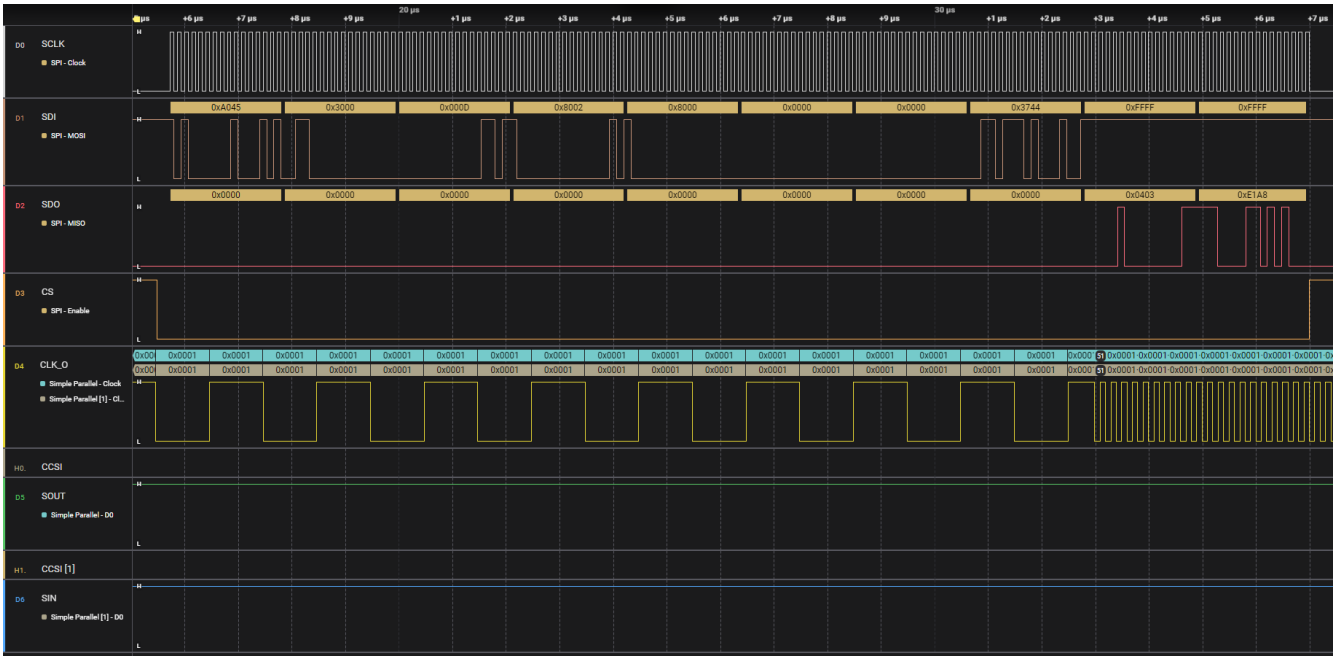


图 8-3. 写入初始寄存器设置示例

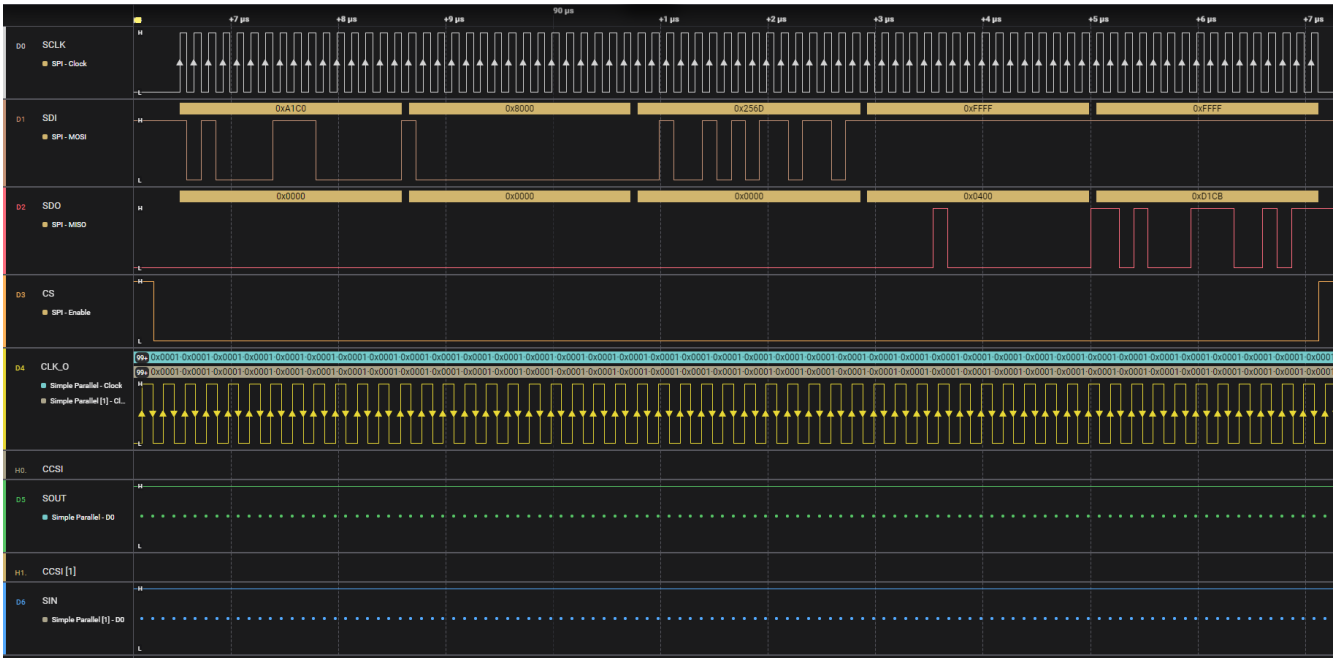


图 8-4. 写入 CLR_FLAG 示例

Copyright © 2024 Texas Instruments Incorporated

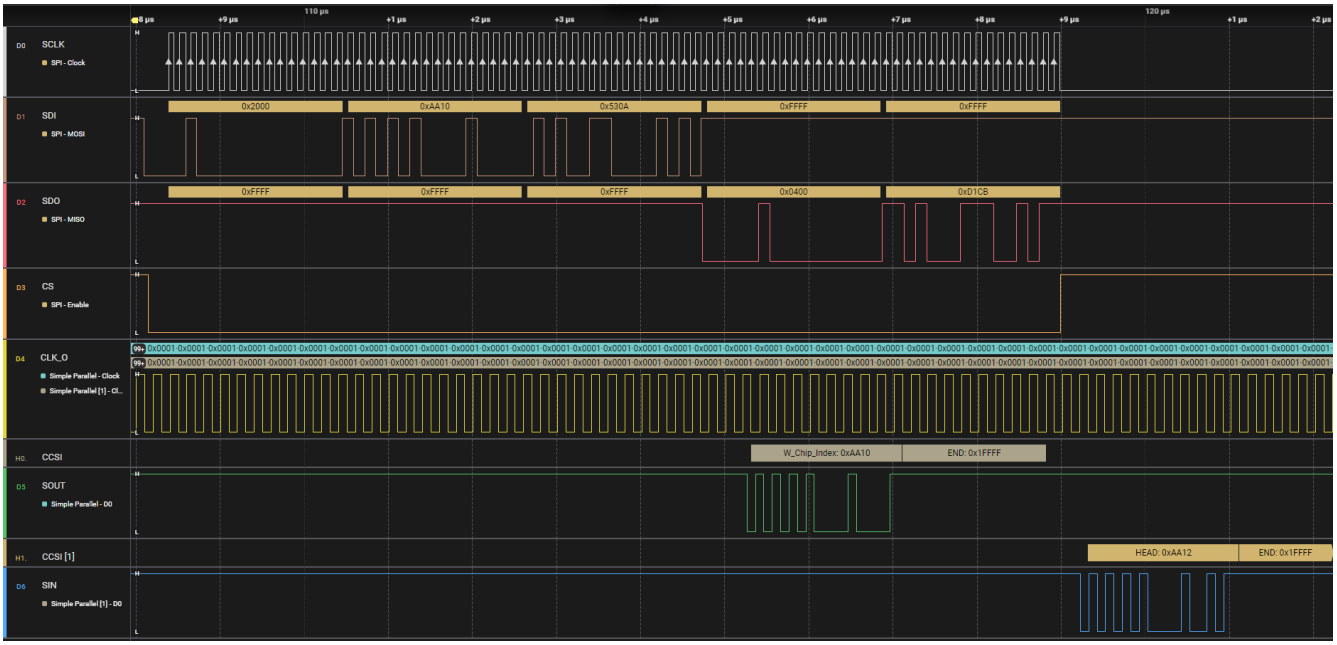


图 8-5. 菊花链示例中 2 个 LED 驱动器的转发写入芯片索引命令

8.3 电源相关建议

该器件设计为可在 2.5V 至 5.5V VCC 电压电源下运行。该输入电源必须经过良好调节。VCC 电源轨的电阻必须足够低，以便输入电流瞬态不会导致器件 VCC 电源电压降至最大 V_{UVR} 电压以下。

8.4 布局

8.4.1 布局指南

TLC6989 只需要两个外部元件。将 VCC 输入的电容器尽可能靠近 VCC 引脚放置。FAULT 引脚是一个开漏输出。当 FAULT 引脚连接到控制器时，需要一个外部上拉电阻器。

8.4.2 布局示例

图 8-6 所示为 DYY 封装的布局示例。两个 GND 引脚连接在一起。该布局显示引脚 10 可用于布线目的。也可以使用引脚 5，但此示例中未显示这种情况。

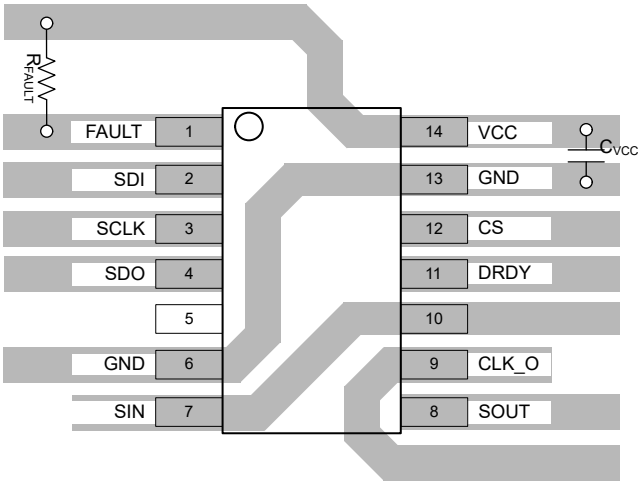


图 8-6. TLC6989 布局示例

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 器件支持

9.2 文档支持

9.2.1 相关文档

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
2024 年 11 月	*	初始发行版

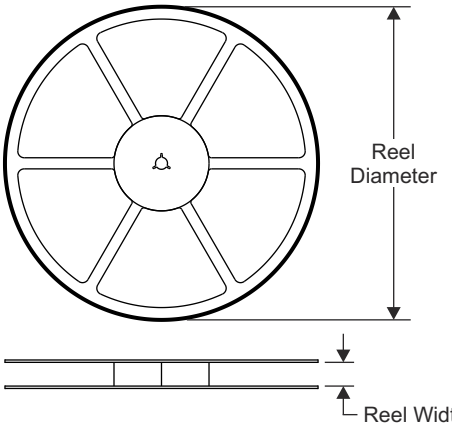
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

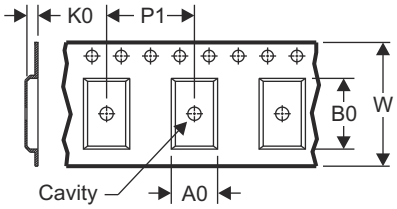
Copyright © 2024 Texas Instruments Incorporated

11.1 卷带包装信息

REEL DIMENSIONS

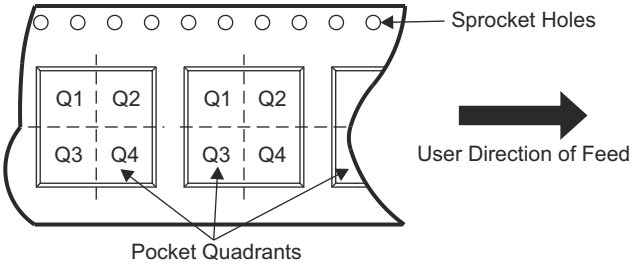


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

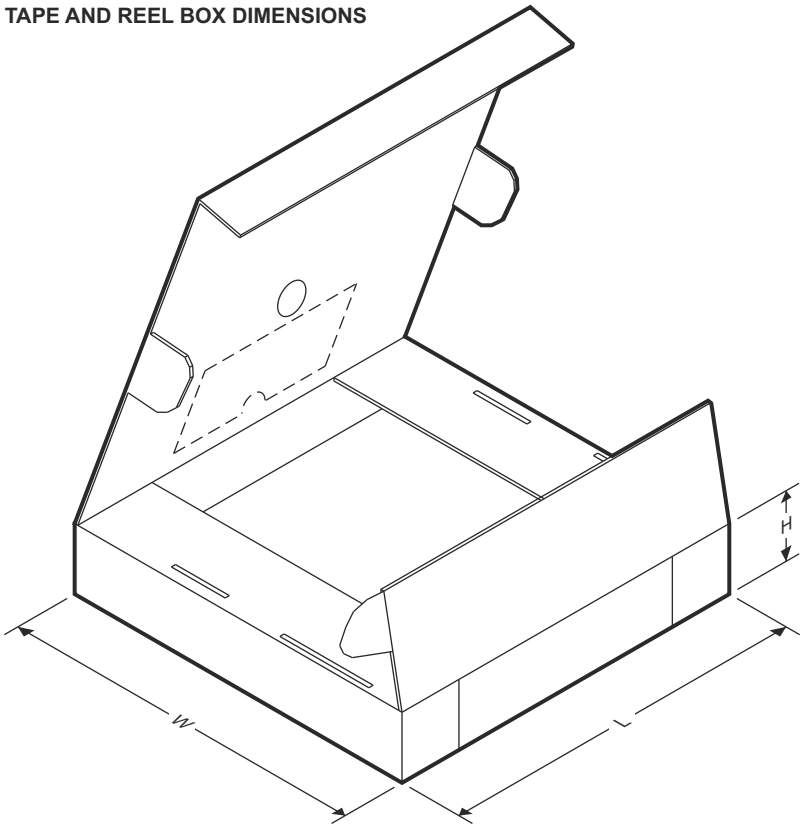
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
TLC6989DYYR	SOT-23-THN	DYY	14									
TLC6989DRRR	WSON	DRR	12									

Copyright © 2024 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TLC6989DYYR	SOT-23-THN	DYY	14				
TLC6989DRRR	WSON	DRR	12				

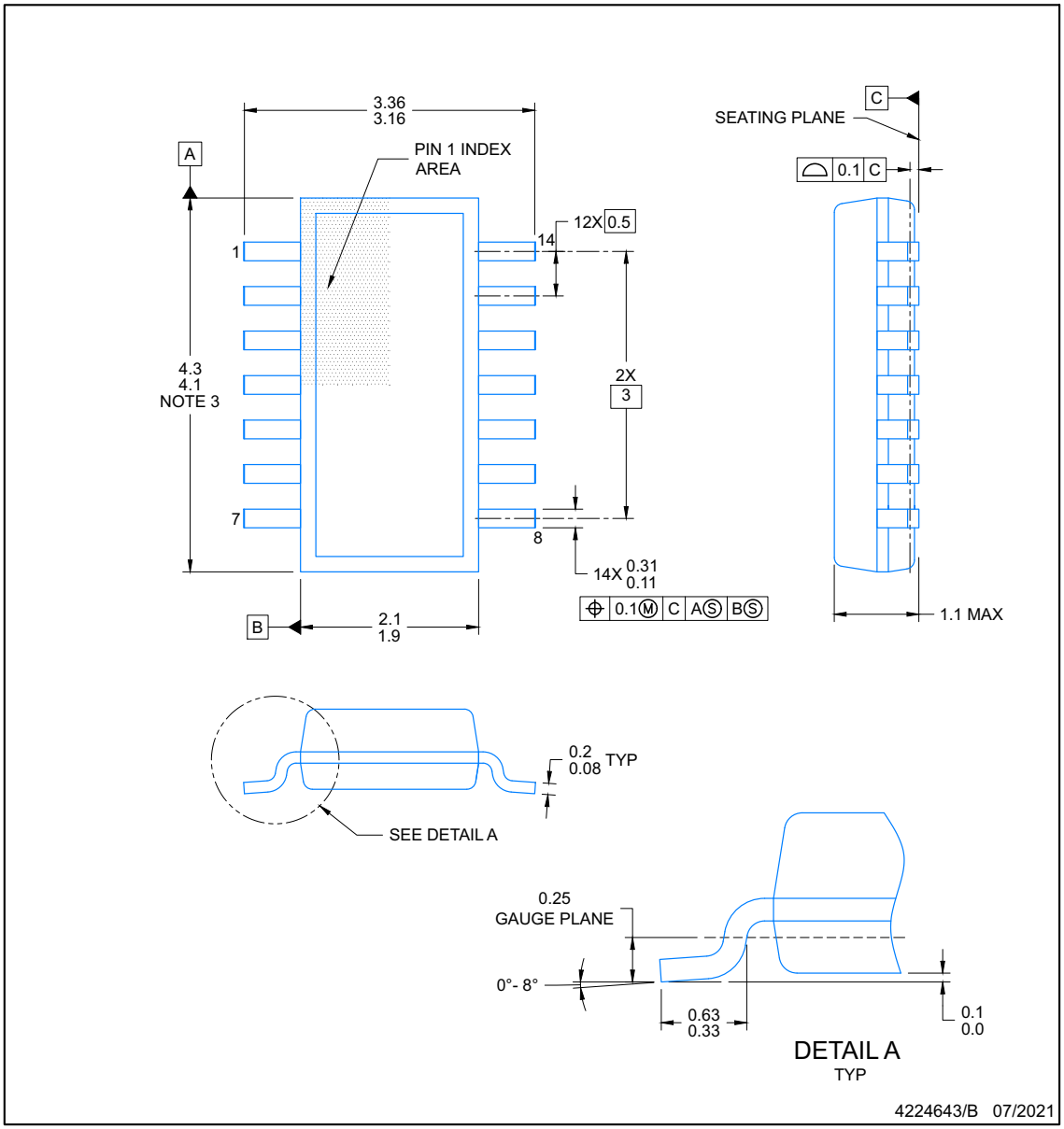
Copyright © 2024 Texas Instruments Incorporated

11.2 机械数据

PACKAGE OUTLINE

DYY0014A **SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB

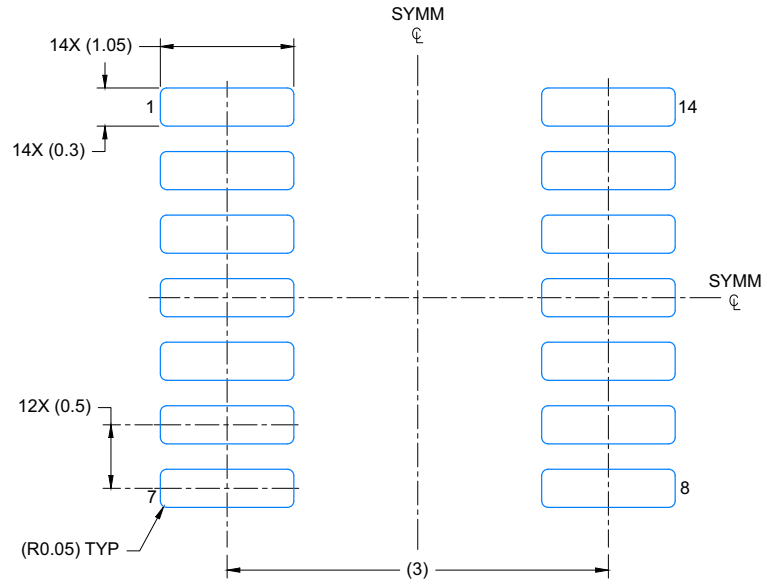
Copyright © 2024 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

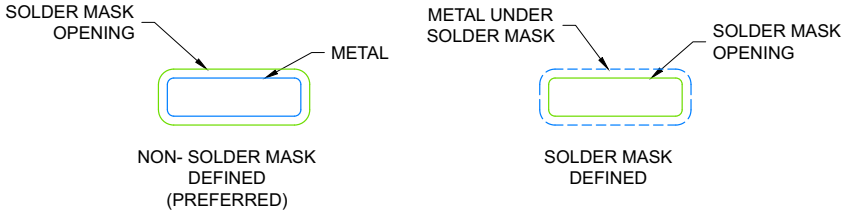
DYY0014A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224643/B 07/2021

NOTES: (continued)

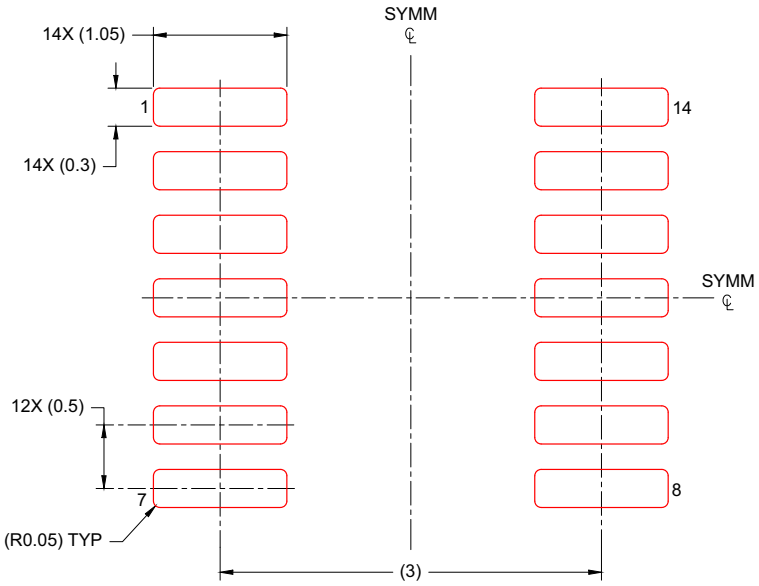
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DYY0014A — **SOT-23-THIN - 1.1 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/B 07/2021

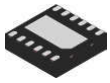
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2024 Texas Instruments Incorporated

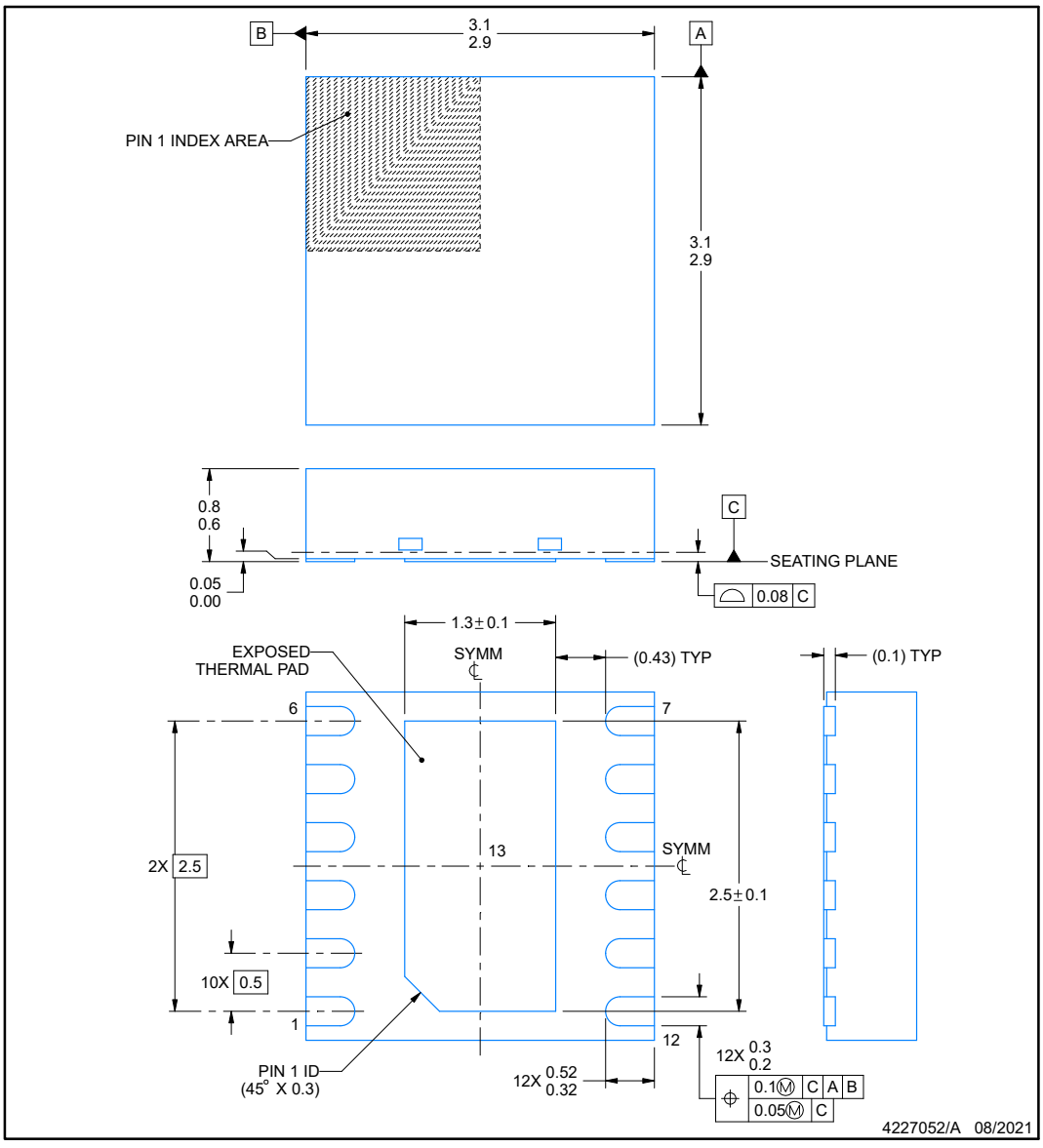
PACKAGE OUTLINE

DRR0012G



WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

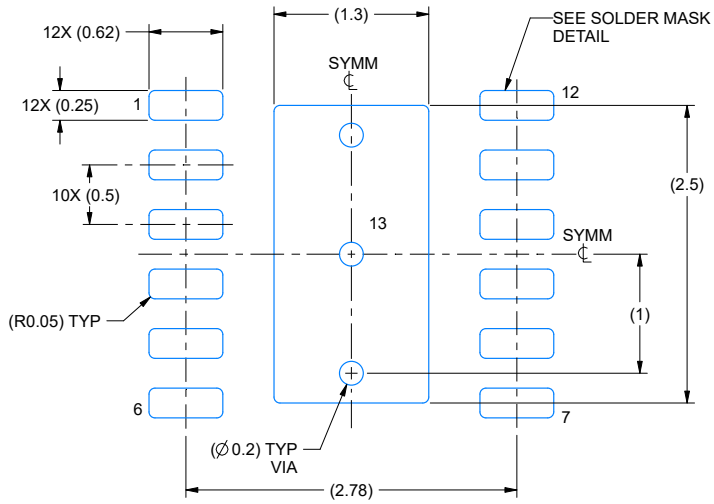
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2024 Texas Instruments Incorporated

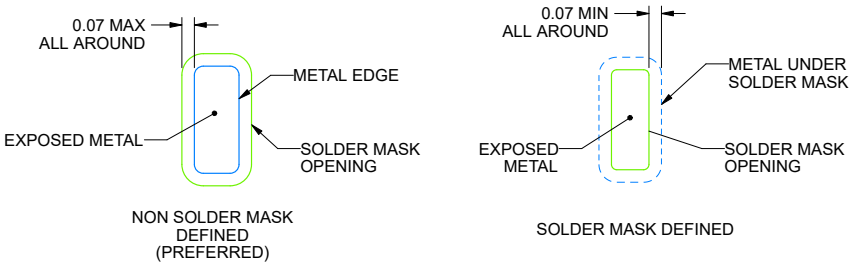
EXAMPLE BOARD LAYOUT

DRR0012G — **WSON - 0.8 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4227052/A 08/2021

NOTES: (continued)

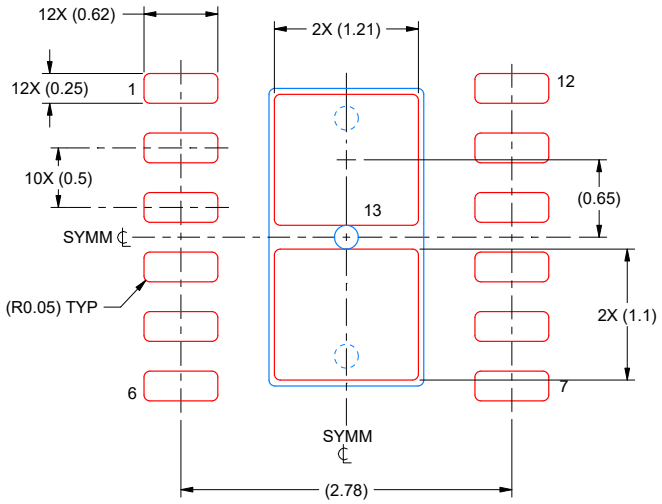
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2024 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DRR0012G — **WSON - 0.8 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 13
82% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227052/A 08/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC6989DRRR	Active	Production	WSON (DRR) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6989N
TLC6989DRRR.A	Active	Production	WSON (DRR) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TLC6989DRRR	L6989N
TLC6989DYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	L6989T
TLC6989DYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TLC6989DYYR	L6989T

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

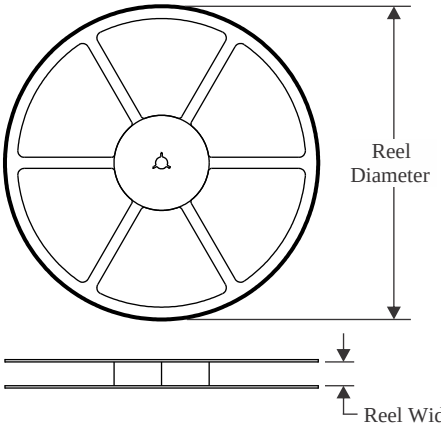
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

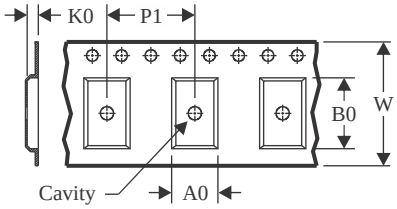
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

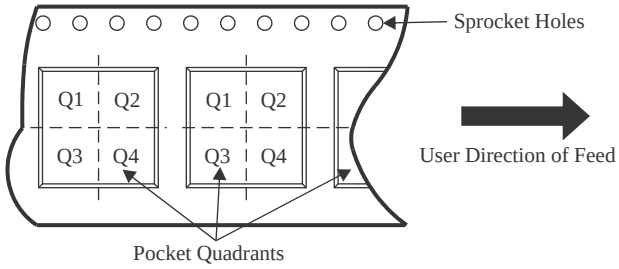


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

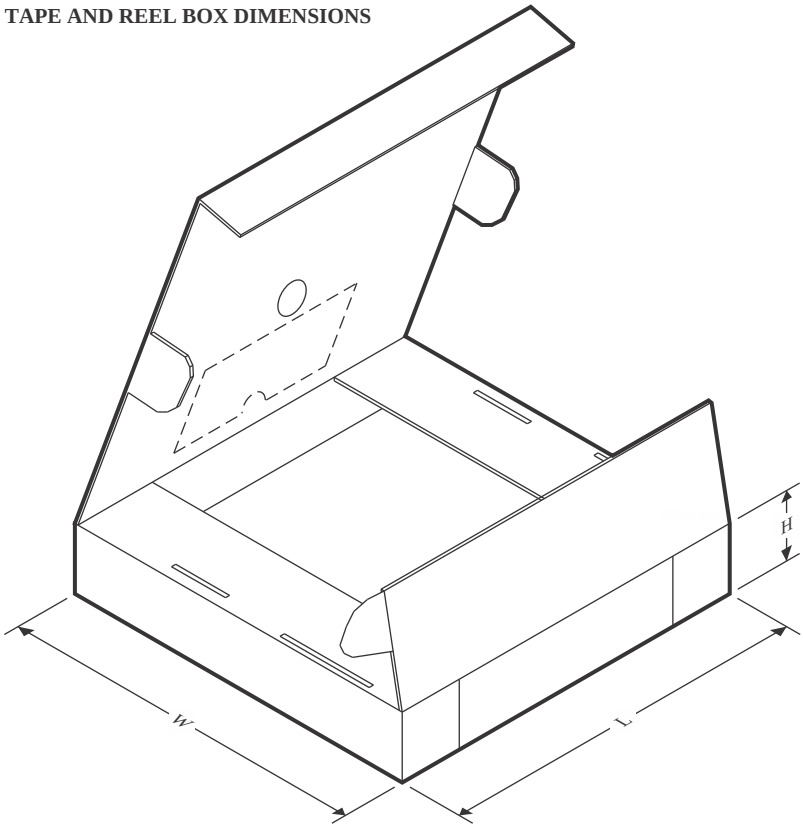
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC6989DRRR	WSON	DRR	12	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLC6989DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC6989DRRR	WSON	DRR	12	3000	360.0	360.0	36.0
TLC6989DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8

GENERIC PACKAGE VIEW

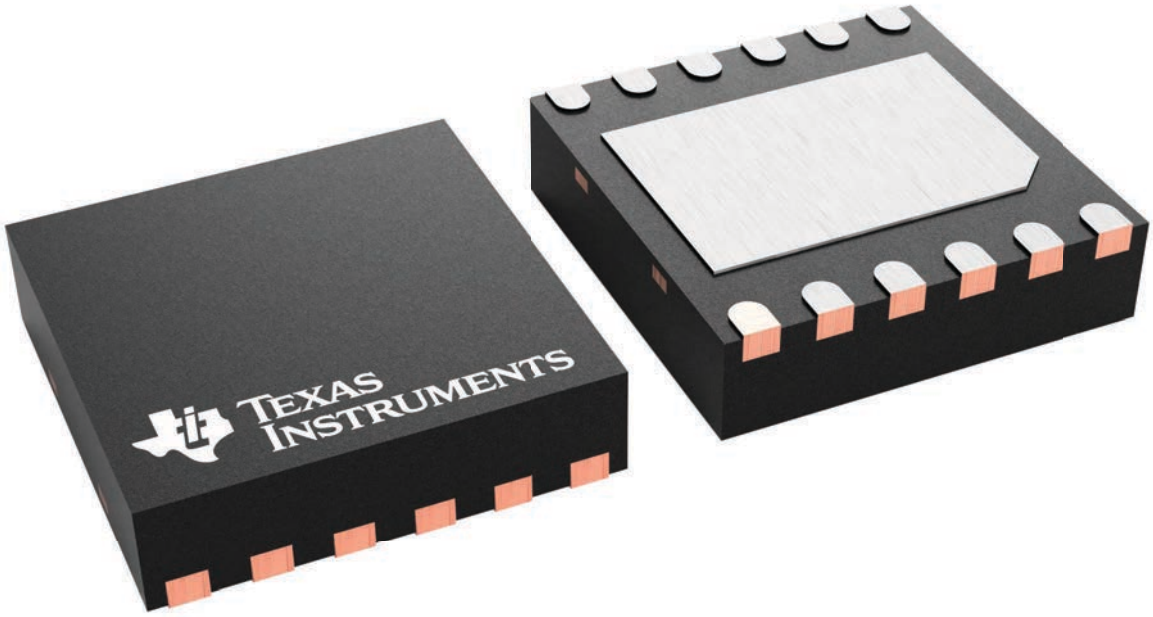
DRR 12

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



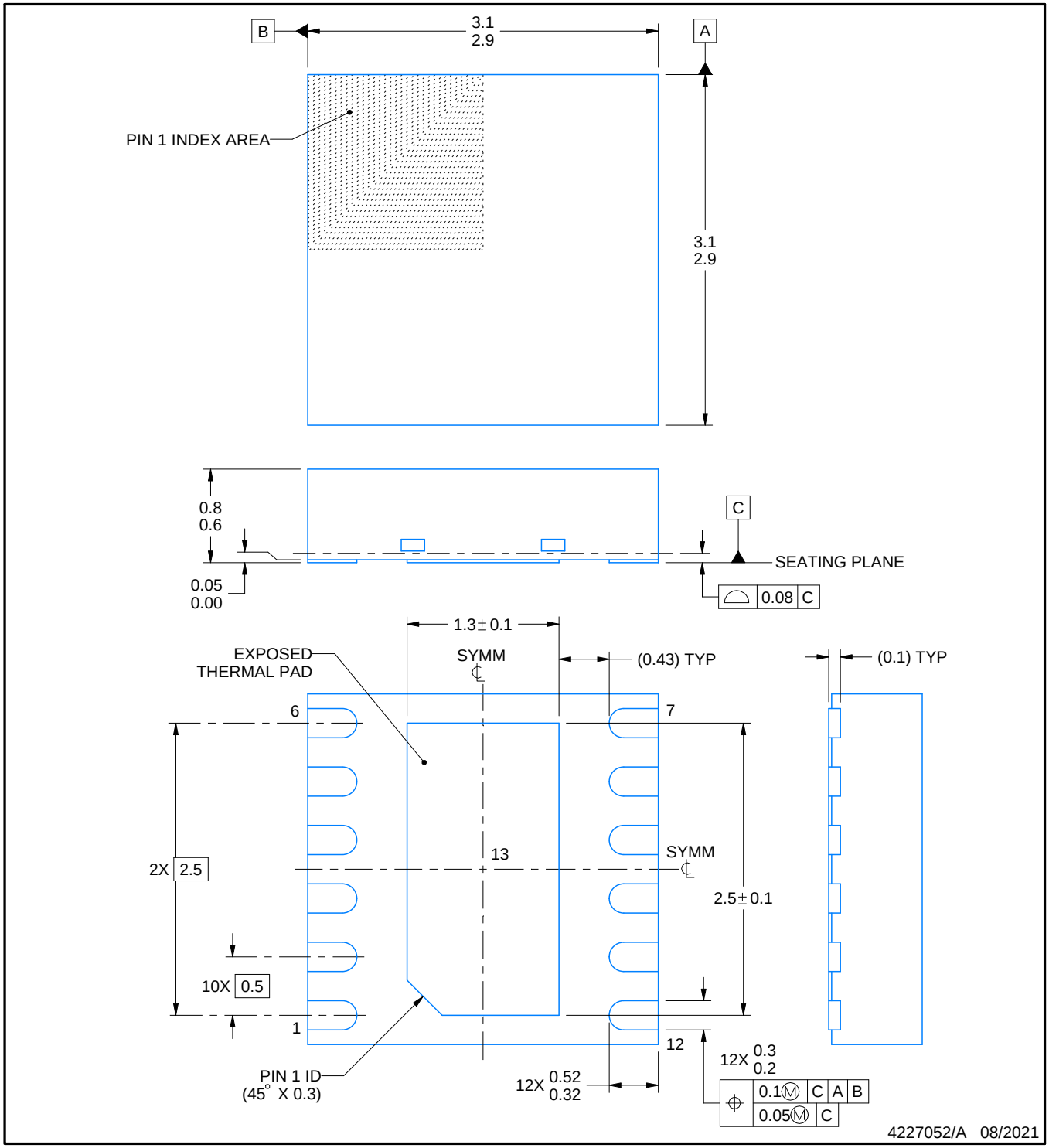
4223490/B

PACKAGE OUTLINE

DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

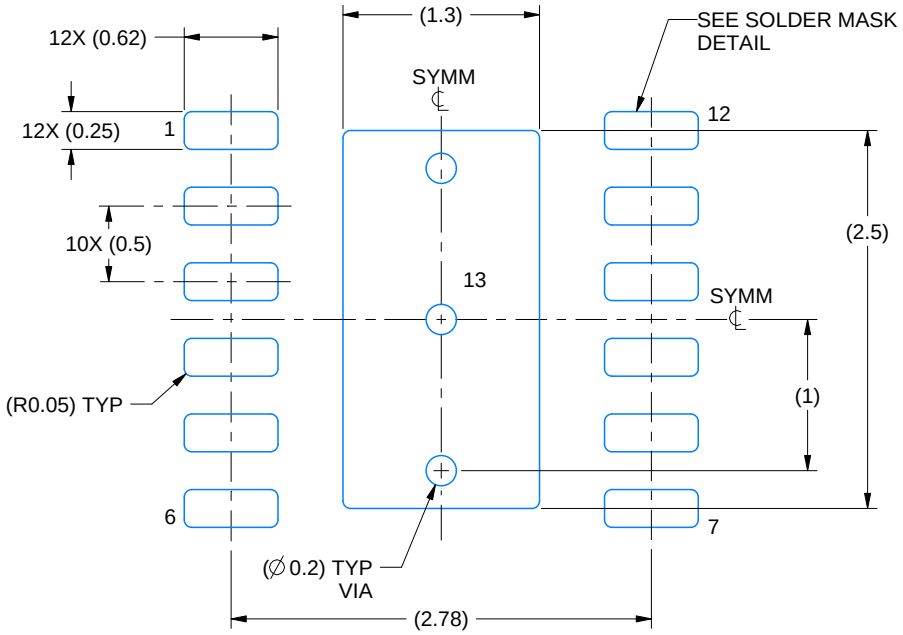
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

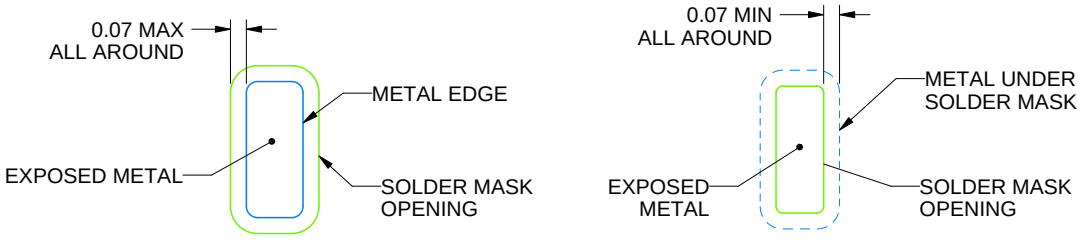
DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4227052/A 08/2021

NOTES: (continued)

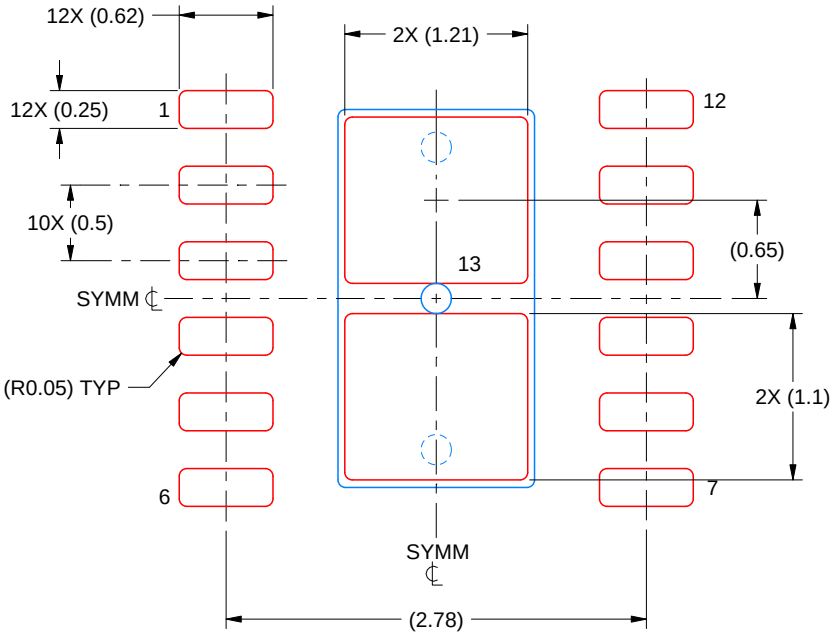
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRR0012G

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 13
82% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227052/A 08/2021

NOTES: (continued)

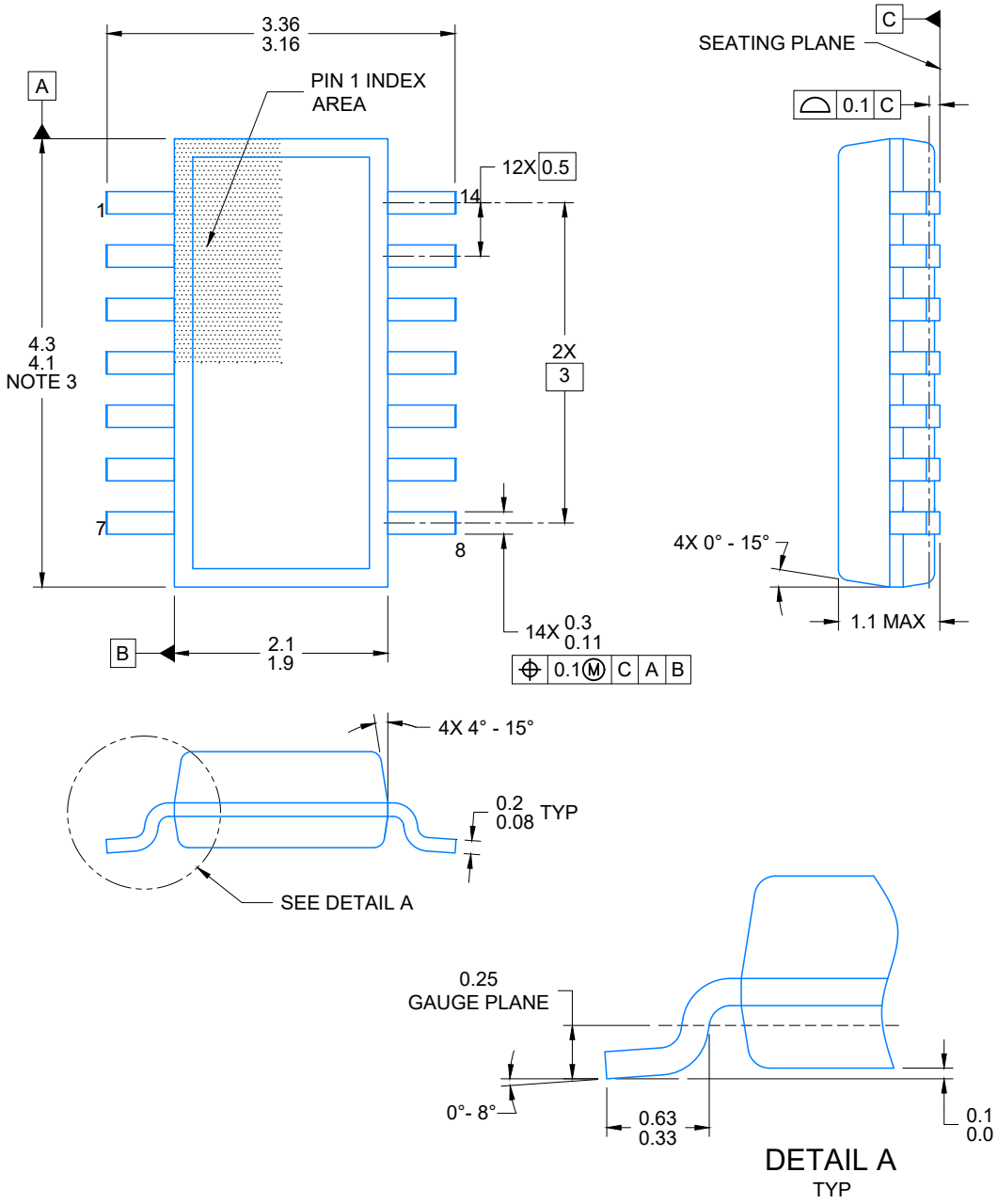
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0014A

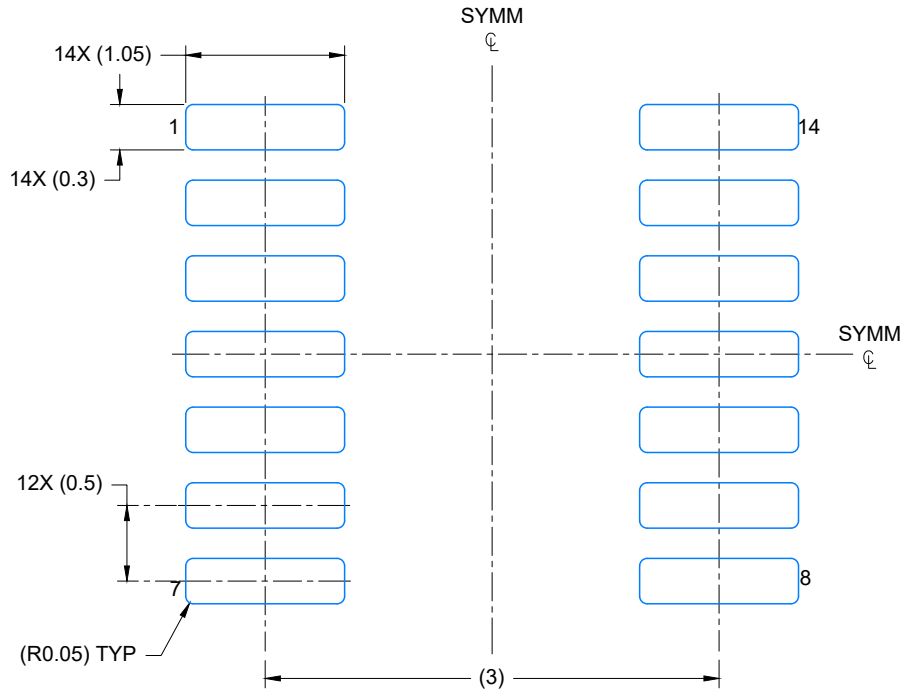
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

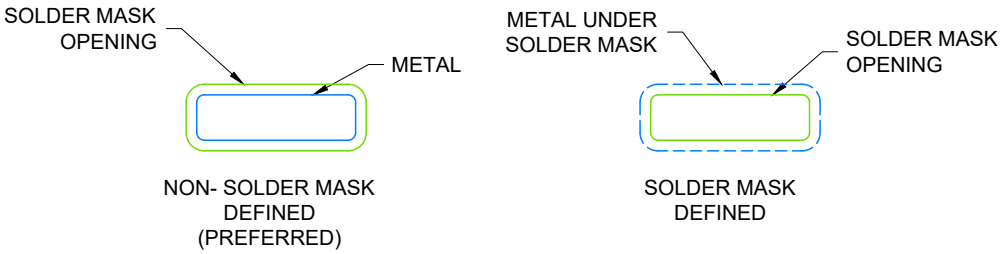


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

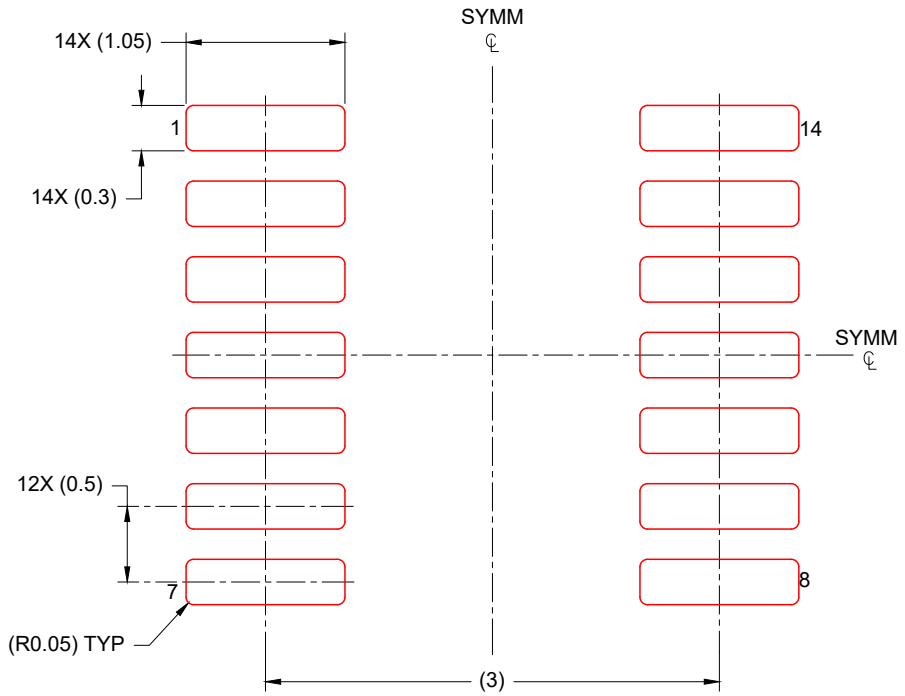


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月