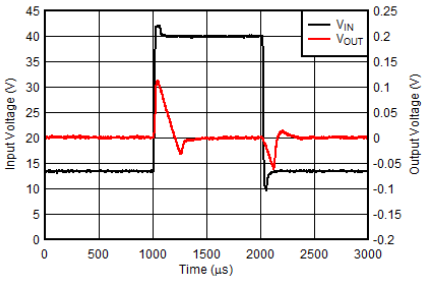
TL720M05-Q1 汽车级 500mA 40V 低压降稳压器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1：–40°C 至 +125°C，T_A
  - 结温：–40°C 至 +150°C，T_J
- 输入电压范围：
  - 旧芯片：5.5V 至 42V（绝对最大值为 45V）
  - 新芯片：3.0V 至 40V（绝对最大值为 42V）
- 最大输出电流：500mA（新芯片）
- 输出电压精度：±2.0%（线路、负载和温度范围）
- 低压降：300mA 电流时为 500mV（最大值）
- 低静态电流：
  - 旧芯片：I_{OUT} = 1mA 时 100µA（典型值）
  - 新芯片：轻负载时为 17µA（典型值）
- 出色的线路瞬态响应（新芯片）：
  - 冷启动时出现 ±2% V_{OUT} 偏差
  - ±2% V_{OUT} 偏差（V_{IN} 压摆率 1V/µs）
- 与 2.2µF 或更高的电容器搭配使用时可保持稳定（新芯片）
- 反极性保护（旧芯片）
- 封装：
  - 3 引脚 TO-252 (KVU)
  - 3 引脚 DDPAK/TO-263 (KTT)
  - 20 引脚 HTSSOP (PWP)（旧芯片）

2 应用

- 可重新配置仪表组
- 车身控制模块 (BCM)
- 常开型电池连接应用：
  - 汽车网关
  - 远程免钥匙进入 (RKE)



线路瞬态响应（V_{IN} 压摆率 3V/µs）（新芯片）

3 说明

TL720M05-Q1 是一款低压降线性稳压器，专用于连接汽车应用中的电池。该器件的输入电压范围高达 40V（新芯片），因此可承受汽车系统可能发生的瞬变（如负载突降）。该器件在轻负载下的静态电流消耗较低，专为满足常开型元件供电需求而设计。常开型元件的示例包括待机系统中的微控制器 (MCU) 和控制器局域网 (CAN) 收发器。

该器件（新芯片）具有先进的瞬态响应，因此输出端可对负载或线路变化作出迅速响应。例如，在冷启动条件下。此外，该器件架构新颖，可在从电压跌落恢复过程中更大限度降低输出过冲幅度。正常运行时，该器件可在整个线路、负载和温度范围内维持 ±2% 的直流精度。

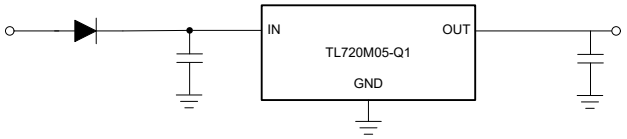
该器件还包含多个内部电路，可提供过载和过热保护。旧芯片还提供反极性保护。

TL720M05-Q1 采用导热封装，可将热量高效传导到电路板上。

封装信息

器件型号	封装(1)	封装尺寸(2)
TL720M05-Q1	KTT（TO-263，3）	10.16mm × 15.24mm
	KVU（TO-252，3）	6.6mm × 10.11mm
	PWP（HTSSOP，20）（旧芯片）	6.5mm × 6.4mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用原理图（新芯片）

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性（仅适用于 KVU 封装） 5
5.6 电气特性（仅适用于 KTT 封装） 6
5.7 典型特性 7
6 参数测量信息 15
7 详细说明 16
7.1 概述 16
7.2 功能方框图 16
7.3 特性说明 17
7.4 器件功能模式 17
8 应用和实施 19
8.1 应用信息 19
8.2 典型应用 23
8.3 电源相关建议 24
8.4 布局 24
9 器件和文档支持 26
9.1 器件支持 26
9.2 文档支持 26
9.3 接收文档更新通知 26
9.4 支持资源 26
9.5 商标 26
9.6 静电放电警告 26
9.7 术语表 27
10 修订历史记录 27
11 机械、封装和可订购信息 27

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

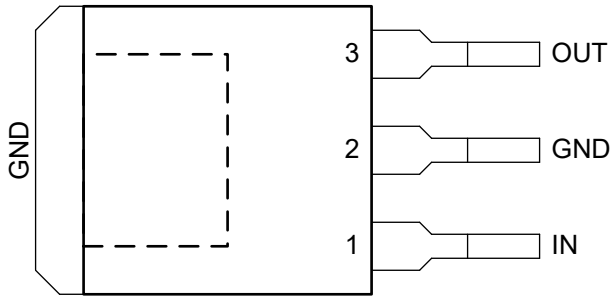


图 4-1. KTT 封装，3 引脚 TO-263（顶视图）

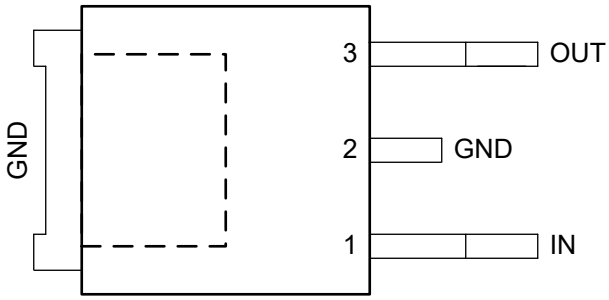


图 4-2. KVU 封装，3 引脚 TO-252（顶视图）

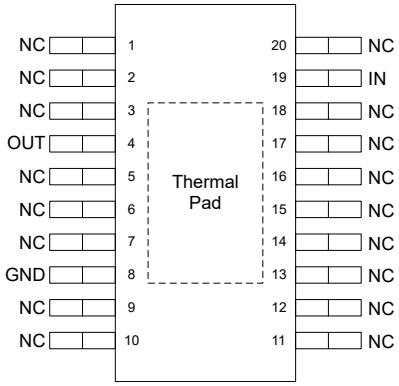


图 4-3. PWP 封装(1)，采用 PowerPAD 的 20 引脚 HTSSOP（顶视图）

表 4-1. 引脚功能

引脚				类型(2)	说明
名称	TO-263	TO-252	HTSSOP（旧芯片）		
GND	2	2	8	O	接地。内部连接到散热器。
IN	1	1	19	I	输入电源电压引脚。为获得出色的瞬态响应并尽可能减小输入阻抗，请在 IN 到地之间使用建议值或更高的陶瓷电容器。请参阅*建议运行条件*表和*输入和输出电容器选择*部分。将此输入电容器尽可能靠近器件输入端放置
NC	—	—	1-3，5-7，9-18，20	—	未连接。
OUT	3	3	4	O	稳压输出电压引脚。需要在 OUT 到接地端之间连接一个电容器以确保稳定性。为获得出色的瞬态响应，请使用标称推荐值或从 OUT 到接地端的更大陶瓷电容器。请参阅*建议运行条件*表和*输入和输出电容器选择*部分。将此输出电容器尽可能靠近器件输出端放置。

(1) NC = 无内部连接。
(2) I = 输入，O = 输出。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{IN}	电源输入电压（旧芯片）	-42	45	V
	电源输入电压（新芯片）	-0.3	42	
V_{OUT}	经稳压的输出电压（旧芯片）	-1.0	40	
	经稳压的输出电压（新芯片）	-0.3	V_{IN} + 0.3V(2)	
电流	最大输出	受内部限制		A
温度	工作结温，T_J	-40	150	°C
	贮存温度，T_{stg}	-65	150	

(1) 在*绝对最大额定值*范围外运行可能对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 绝对最大额定值为 VIN + 0.3V 或 20V（以较小者为准）

5.2 ESD 等级

				值（旧芯片）	值（新芯片）	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)			±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	不适用	±500	
			转角引脚	不适用	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V_{IN}	电源输入电压（旧芯片）	5.5		42	V
	电源输入电压（新芯片）	3		40	
V_{OUT}	输出电压		5.0		
I_{OUT}	输出电流（旧芯片）	0		400	mA
	输出电流（新芯片）	0		500	
C_{OUT}	输出电容器（旧芯片）(1)	22			μF
	输出电容器（新芯片）(1)	2.2		220	
C_{IN}	输入电容器(2)		1		
ESR	输出电容器 ESR 要求（旧芯片）	0.001		5	Ω
	输出电容器 ESR 要求（新芯片）	0.001		2	
T_J	工作结温	-40		150	°C

(1) 为了实现稳定性，需要最小值为 1μF 的有效输出电容。
(2) 为确保强大的 EMI 性能，最小输入电容要达到 500nF。

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标(1) (2)		TL720M05-Q1					单位
		KVU (TO-252-3)		KTT (TO-263-3)		PWP (HTSSOP-20)	
		旧芯片	新芯片	旧芯片	新芯片	旧芯片	
$R_{\theta JA}$	结至环境热阻	45.3	30	34.2	22.6	39.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	36.8	39.5	38.2	6.0	22.7	°C/W
$R_{\theta JB}$	结至电路板热阻	30.8	8.6	44.9	30.9	19.1	°C/W
ψ_{JT}	结至顶部特征参数	2.8	2.6	6	2.0	0.6	°C/W
ψ_{JB}	结至电路板特征参数	30.2	8.6	44.5	3.4	18.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.7	1.3	0.8	5.8	1.5	°C/W

(1) 此热数据基于 JEDEC 标准高 K 尺寸 JESD 51-7。具有 2oz 覆铜的双信号、双平面、四层电路板。铜箔圆配被焊接到散热焊垫上。另外，请验证是否包含正确的连接程序。
(2) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性（仅适用于 KVU 封装）

规定条件如下（除非另有说明）：T_J = –40°C 至 +150°C，V_{IN} = 13.5V，I_{OUT} = 0mA，C_{OUT} = 2.2µF，1mΩ < C_{OUT} ESR < 2Ω，以及 C_{IN} = 1µF；典型值条件为 T_J = 25°C。

参数		测试条件		最小值	典型值	最大值	单位
V_{OUT}	经稳压的输出（旧芯片）	V_{IN} = 6V 至 28V，I_{OUT} = 5mA 至 400mA		4.9	5.0	5.1	V
		V_{IN} = 6V 至 40V，I_{OUT} = 5mA 至 400mA		4.9	5.0	5.1	
	经稳压的输出（新芯片）	V_{IN} – V_{OUT} = 1V 至 40V，I_{OUT}= 100µA 至 450mA，T_J = 25°C(1)		-0.85		0.85	%
		V_{IN} – V_{OUT} = 1V 至 40V，I_{OUT}= 100µA 至 500mA，T_J = 25°C(1)		-0.85		0.85	
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA 至 450mA(1)		-1.15		1.15	
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA 至 500mA(1)		-1.15		1.15	
$\Delta V_{OUT(\Delta IOUT)}$	负载调整（旧芯片）	I_{OUT} = 5mA 至 400mA			15	30	mV
	负载调整（新芯片）	V_{IN} = V_{OUT} + 1V，I_{OUT} = 100µA 至 450mA				0.425	%
$\Delta V_{OUT(\Delta VIN)}$	线路调整（旧芯片）	V_{IN} = 8V 至 32V，I_{OUT} = 5mA		-15	5	15	mV
	线路调整（新芯片）	V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 100µA				0.2	%
ΔV_{OUT}	负载瞬态响应设置时间（新芯片）(2)	t_R = t_F = 1µs；C_{OUT} = 10µF				100	µs
ΔV_{OUT}	负载瞬态响应过冲/下冲（针对新芯片）(2)	t_R = t_F = 1µs；C_{OUT} = 10µF	I_{OUT} = 150mA 至 350mA	-2%			%V_{OUT}
			I_{OUT} = 350mA 至 150mA			10%	
			I_{OUT} = 0mA 至 500mA	-10%			
I_Q	静态电流（旧芯片）I_Q = I_{IN} – I_{OUT}	I_{OUT} = 1mA	T_J = 25°C		100	220	µA
			T_J ≤ 85°C		100	220	
		I_{OUT} = 250mA			5	10	mA
		I_{OUT} = 400mA			12	22	
	静态电流（新芯片）：	V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 0mA，T_J = 25°C(3)			17	21	µA
		V_{IN} = V_{OUT} + 1V 至 40V，I_{OUT} = 0mA(3)				26	
		I_{OUT} = 500µA				35	
V_{DO}	压降（旧芯片）	I_{OUT} = 300mA			250	500	mV
	压降（新芯片）	I_{OUT} ≤ 1mA，V_{IN} = $V_{OUT(NOM)}$ × 0.95				46	
		I_{OUT} = 315mA，V_{IN} = $V_{OUT(NOM)}$			275	400	
		I_{OUT} = 450mA，V_{IN} = $V_{OUT(NOM)}$			360	525	
		I_{OUT} = 500mA，V_{IN} = $V_{OUT(NOM)}$			390	575	
$V_{UVLO(RISING)}$	上升输入电源 UVLO（新芯片）	V_{IN} 上升		2.6	2.7	2.82	V

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（仅适用于 KVU 封装）（续）

规定条件如下（除非另有说明）：T_J = –40°C 至 +150°C，V_{IN} = 13.5V，I_{OUT} = 0mA，C_{OUT} = 2.2µF，1mΩ < C_{OUT} ESR < 2Ω，以及 C_{IN} = 1µF；典型值条件为 T_J = 25°C。

参数		测试条件	最小值	典型值	最大值	单位
$V_{UVLO(FALLING)}$	下降输入电源 UVLO（新芯片）	V_{IN} 下降	2.38	2.5	2.6	V
$V_{UVLO(HYST)}$	$V_{UVLO(IN)}$ 迟滞（新芯片）			230		mV
I_{CL}	输出电流限制（旧芯片）	V_{IN} = V_{OUT} + 1V，V_{OUT} 短接至 90% × $V_{OUT(NOM)}$	450	700	950	mA
	输出电流限制（新芯片）	V_{IN} = V_{OUT} + 1V，V_{OUT} 短接至 90% × $V_{OUT(NOM)}$	540		780	
PSRR	电源抑制比（旧芯片）	V_{IN} - V_{OUT} = 1V，频率 = 100Hz，Vr = 0.5V_{pp}，I_{OUT} = 450mA		60		dB
	电源抑制比（新芯片）	V_{IN} - V_{OUT} = 1V，频率 = 1kHz，I_{OUT} = 450mA		70		
T_J	结温		-40		150	°C
$T_{SD(SHUTDOWN)}$	结关断温度（新芯片）			175		
$T_{SD(HYST)}$	热关断迟滞（新芯片）			20		
$\Delta V_{OUT}/\Delta T$	温度输出电压漂移（旧芯片）			0.5		mV/K

(1) 出于器件生产测试的目的，功率耗散限制为 2W。正常工作期间的功率耗散可能更高。如需进一步了解将结温保持在 150℃ 以下时器件可以耗散多少功率，请参阅节 8.1.4.1。
(2) 根据设计确定。
(3) 对于可调输出，要在单位增益中进行测试，不包括电阻器电流。

5.6 电气特性（仅适用于 KTT 封装）

在推荐的自然通风条件下的工作温度范围内测得，V_{IN} = 13.5V，T_J = −40°C 至 150°C（除非另有说明）（请参阅节 6）

参数		测试条件		最小值	典型值	最大值	单位
V_{OUT}	输出电压	V_{IN} = 6V 至 28V，I_{OUT} = 5mA 至 400mA		4.9	5.0	5.1	V
		V_{IN} = 6V 至 40V，I_{OUT} = 5mA 至 200mA		4.9	5.0	5.1	
I_{CL}	输出电流限制			450	700	950	mA
I_Q	静态电流 I_Q = I_{IN} – I_{OUT}（旧芯片）	I_{OUT} = 1mA	T_J = 25°C		100	220	µA
			T_J ≤ 85°C		100	220	
	静态电流 I_Q = I_{IN} – I_{OUT}（新芯片）	I_{OUT} = 1mA	T_J = 25°C		28	50	
			T_J ≤ 85°C		28	55	
	静态电流 I_Q = I_{IN} – I_{OUT}	I_{OUT} = 250mA			5	10	mA
		I_{OUT} = 400mA			12	22	mA
V_{DO}	压降电压 (1)	I_{OUT} = 300mA，V_{DO} = V_{IN} – V_{OUT}			250	500	mV
$\Delta V_{OUT(\Delta IOUT)}$	负载调整（旧芯片）	I_{OUT} = 5mA 至 400mA			15	30	mV
	负载调整（新芯片）	I_{OUT} = 5mA 至 400mA，V_{IN} = 6V			15	30	
$\Delta V_{OUT(\Delta VIN)}$	线路调整（旧芯片）	V_{IN} = 8V 至 32V，I_{OUT} = 5mA		-15	5	15	mV
	线路调整（新芯片）	V_{IN} = 6V 至 40V，I_{OUT} = 5mA		-15	5	15	
PSRR	电源抑制比	V_{IN} - V_{OUT} = 1V，频率 = 100Hz，Vr = 0.5V_{pp}，I_{OUT} = 450mA			60		dB
$\Delta V_{OUT}/\Delta T$	温度输出电压漂移：				0.5		mV/K

(1) 该值是当输出电压 V_{OUT} 从标称值（在 V_{IN} = 13.5V 时获得）下降 100mV 时测得的。

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。

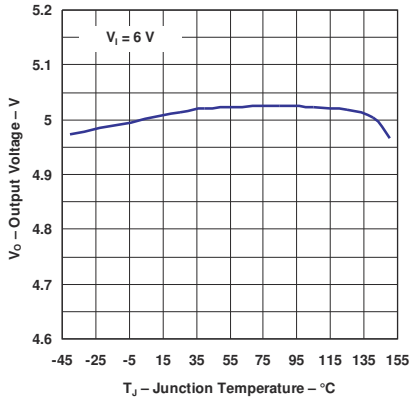


图 5-1. 输出电压与结温之间的关系（旧芯片）

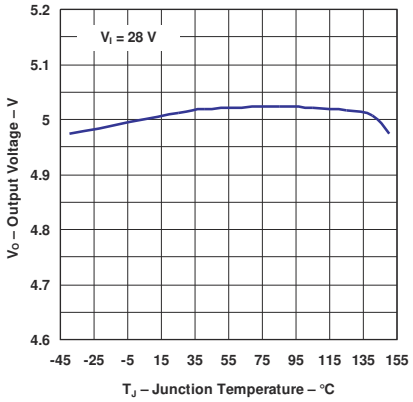


图 5-2. 输出电压与结温之间的关系（旧芯片）

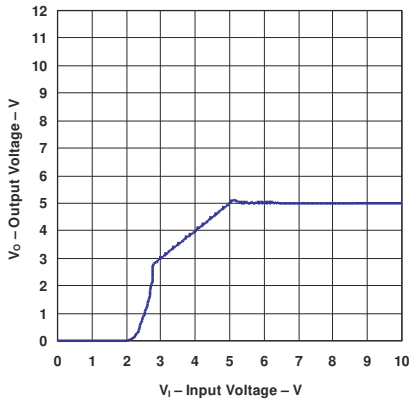


图 5-3. 输出电压与输入电压之间的关系（旧芯片）

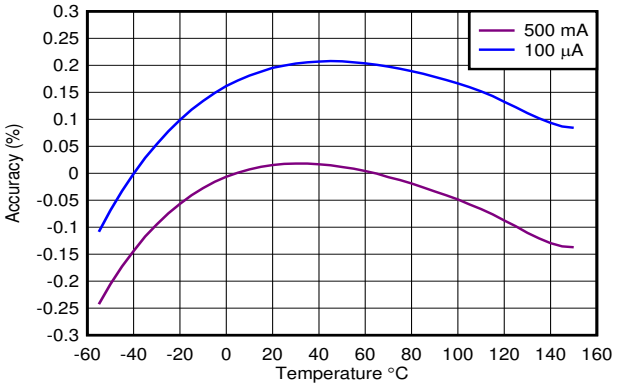
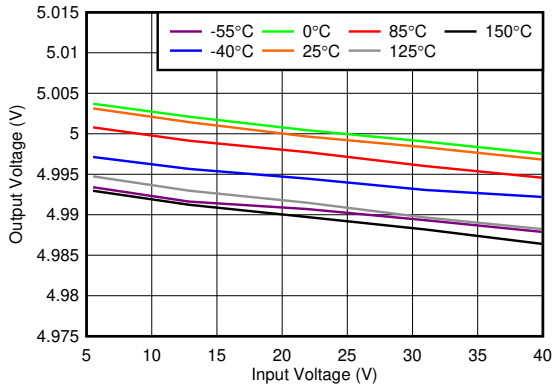
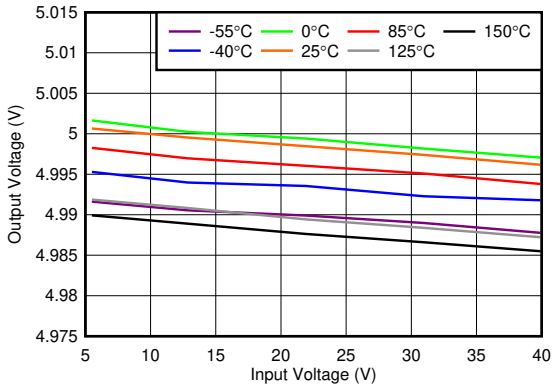


图 5-4. 输出精度与温度之间的关系（新芯片）



V_{OUT} = 5V，I_{OUT} = 150mA

图 5-5. 线路调整与 V_{IN} 之间的关系（新芯片）



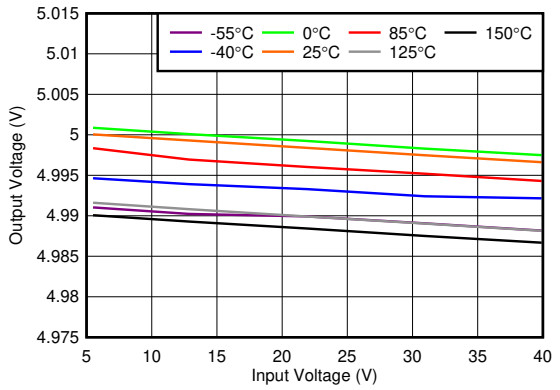
V_{OUT} = 5V，I_{OUT} = 5mA

图 5-6. 线路调整与 V_{IN} 之间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

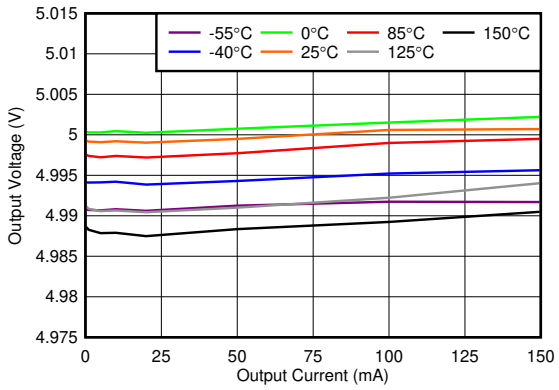
5.7 典型特性（续）

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。



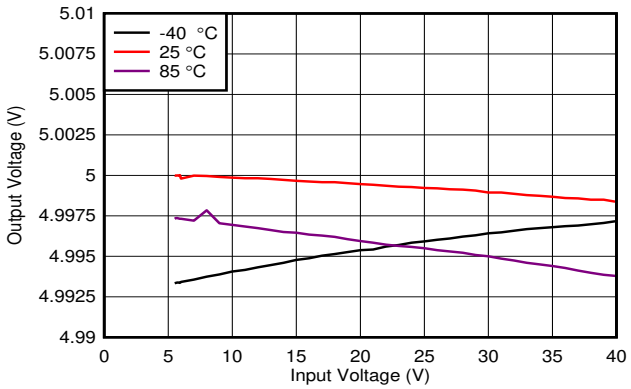
V_{OUT} = 5V，I_{OUT} = 1mA

图 5-7. 线路调整与 V_{IN} 之间的关系（新芯片）



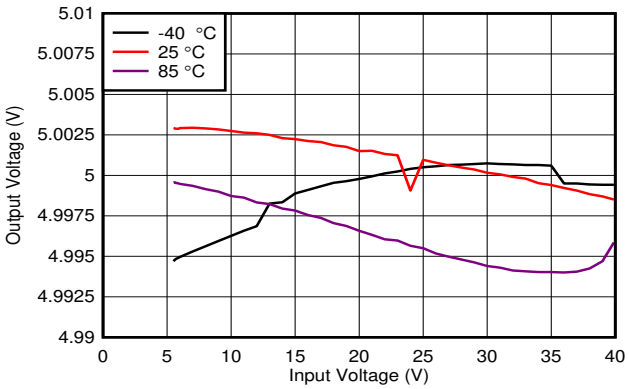
V_{OUT} = 5V

图 5-8. 线路调整与 I_{OUT} 之间的关系（新芯片）



C_{OUT} = 10µF，V_{OUT} = 5V

图 5-9. 50mA 时的线路调整（新芯片）



C_{OUT} = 10µF，V_{OUT} = 5V

图 5-10. 100mA 时的线路调整（新芯片）

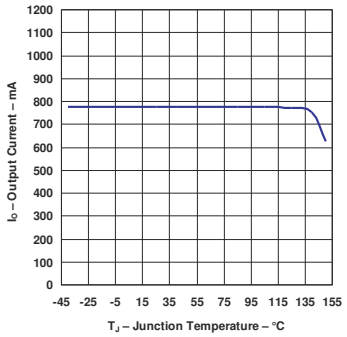


图 5-11. 输出电流与结温之间的关系（旧芯片）

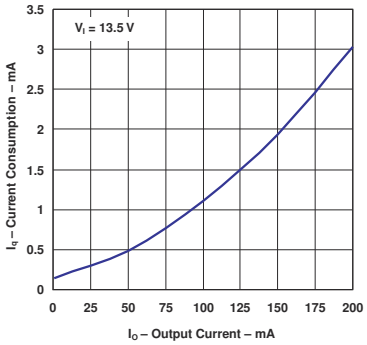


图 5-12. 电流消耗与输出电流之间的关系（旧芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。

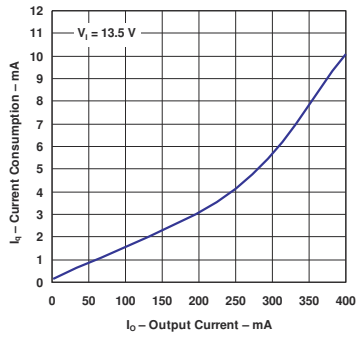


图 5-13. 电流消耗与输出电流之间的关系（旧芯片）

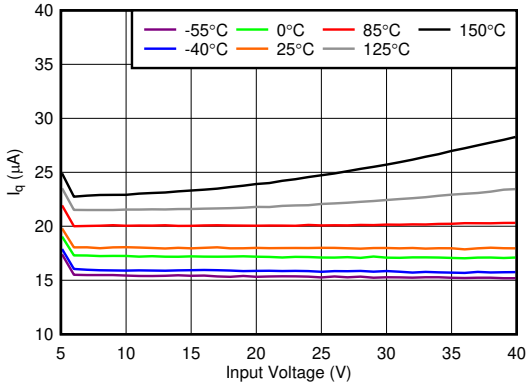
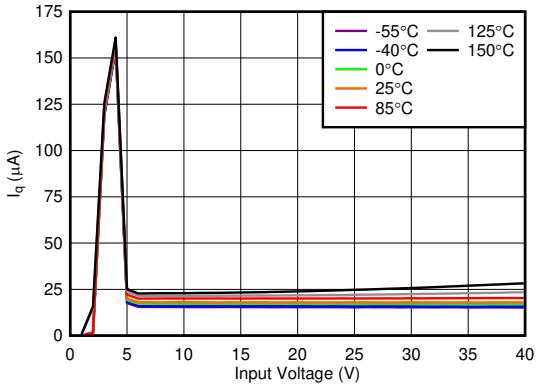


图 5-14. 静态电流 (I_Q) 与 V_{IN} 之间的关系（新芯片）



V_{OUT} = 5V

图 5-15. 静态电流 (I_Q) 与 V_{IN} 之间的关系（新芯片）

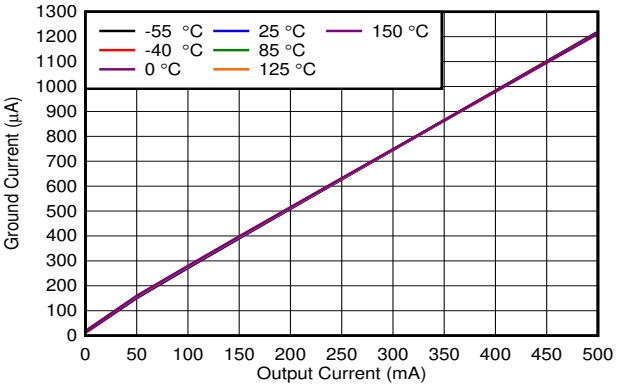


图 5-16. 接地电流 (I_{GND}) 与 I_{OUT} 之间的关系（新芯片）

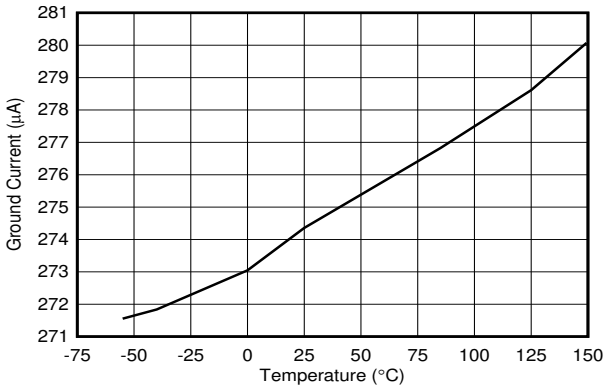


图 5-17. 100mA 时的接地电流（新芯片）

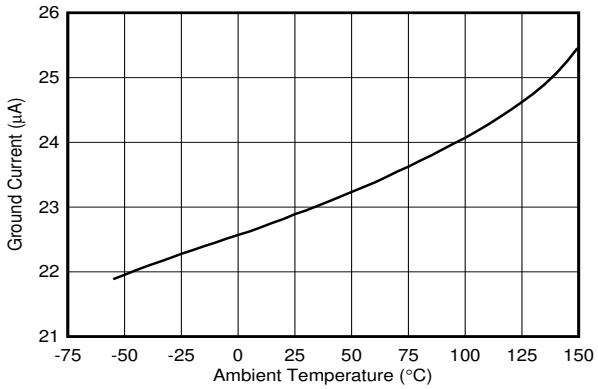


图 5-18. 500µA 时的接地电流（新芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。

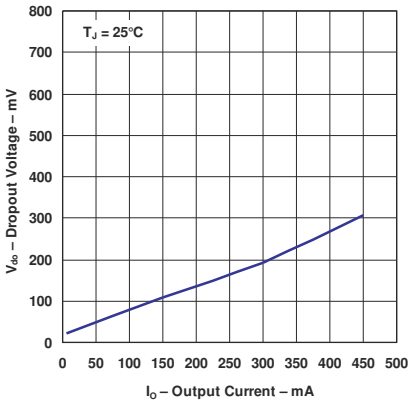


图 5-19. 压降电压与输出电流之间的关系（旧芯片）

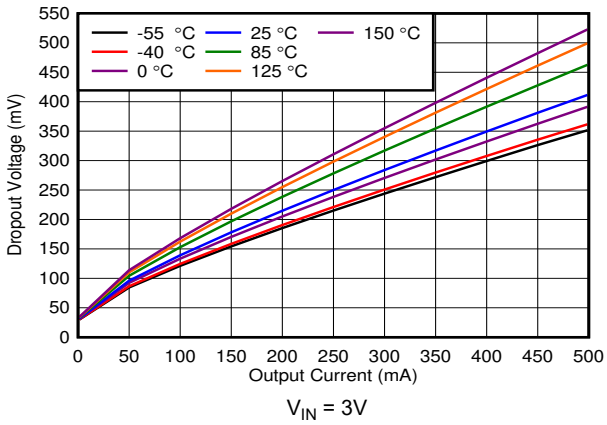


图 5-20. 压降电压 (V_{DO}) 与 I_{OUT} 之间的关系（新芯片）

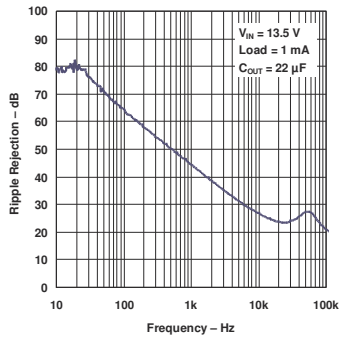


图 5-21. 电源纹波抑制与频率之间的关系（旧芯片）

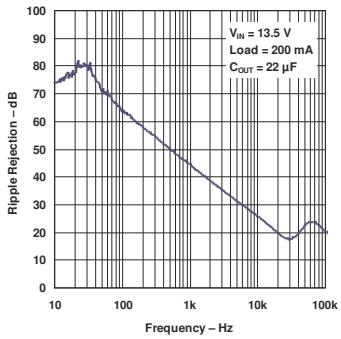


图 5-22. 电源纹波抑制与频率之间的关系（旧芯片）

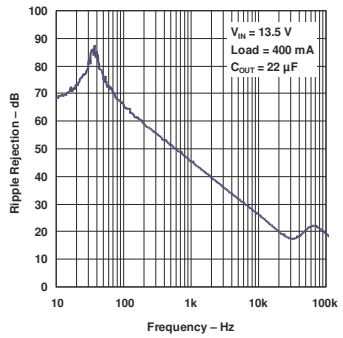
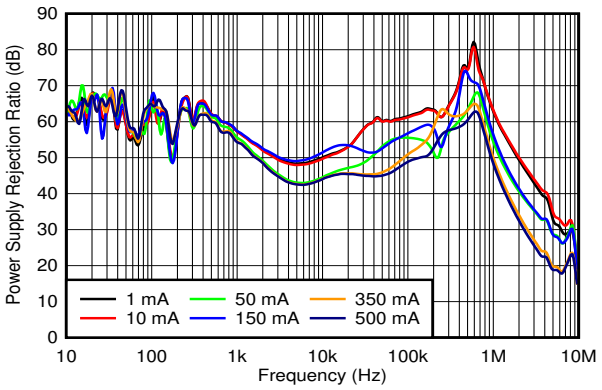


图 5-23. 电源纹波抑制与频率之间的关系（旧芯片）



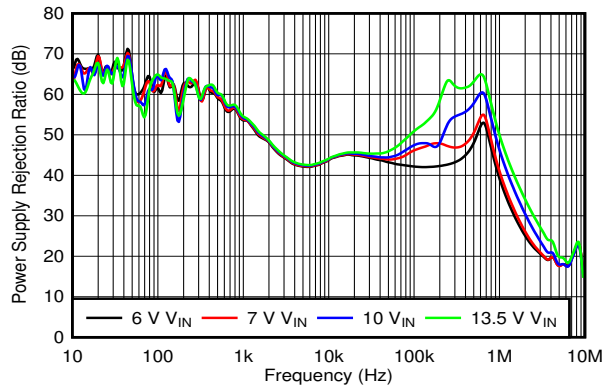
C_{OUT} = 10µF (X7R 50V)、V_{OUT} = 5V

图 5-24. 电源纹波抑制与频率和 I_{OUT} 之间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

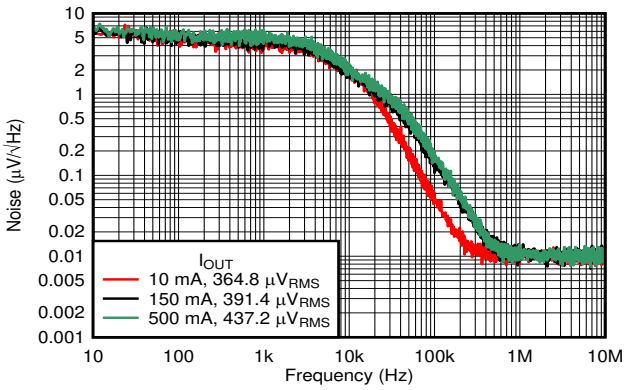
5.7 典型特性（续）

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。



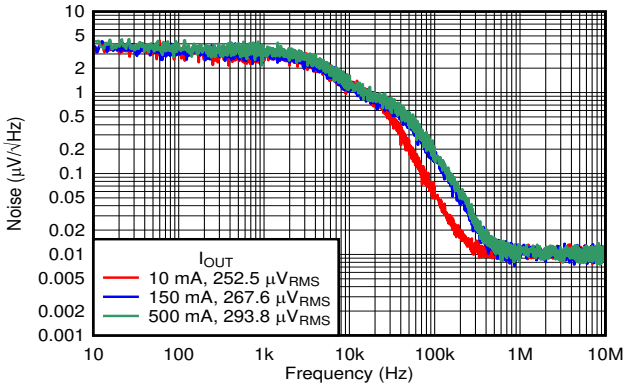
C_{OUT} = 10µF (X7R 50V)、I_{OUT} = 500mA、V_{OUT} = 5V

图 5-25. 电源纹波抑制与频率和 V_{IN} 之间的关系（新芯片）



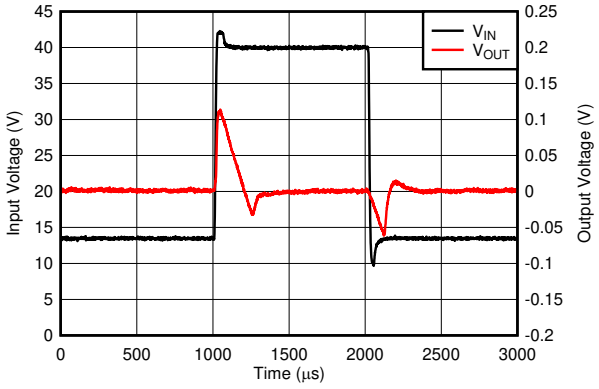
C_{OUT} = 10µF (X7R 50V)、V_{OUT} = 5V

图 5-26. 噪声与频率之间的关系（旧芯片）



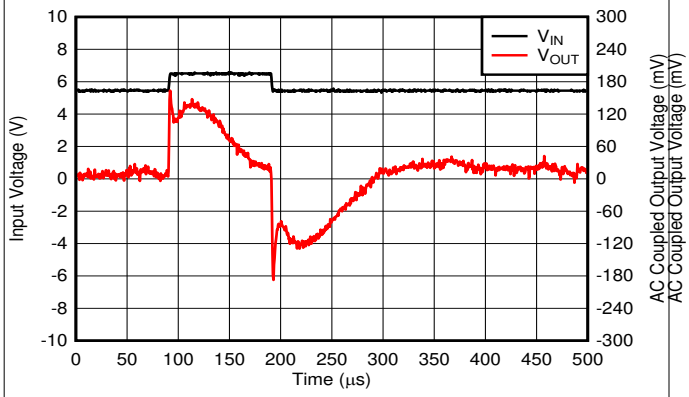
C_{OUT} = 10µF (X7R 50V)、V_{OUT} = 3.3V

图 5-27. 噪声与频率之间的关系（旧芯片）



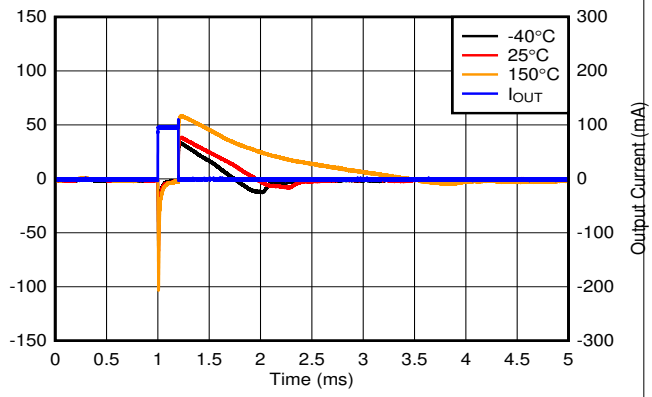
V_{OUT} = 5V、I_{OUT} = 1mA、V_{IN} = 13.5V 至 45V、压摆率 = 2.7V/µs

图 5-28. 线路瞬态（新芯片）



V_{OUT} = 5V、I_{OUT} = 100mA、V_{IN} = 5.5V 至 6.5V、上升时间 = 1µs

图 5-29. 线路瞬态（新芯片）



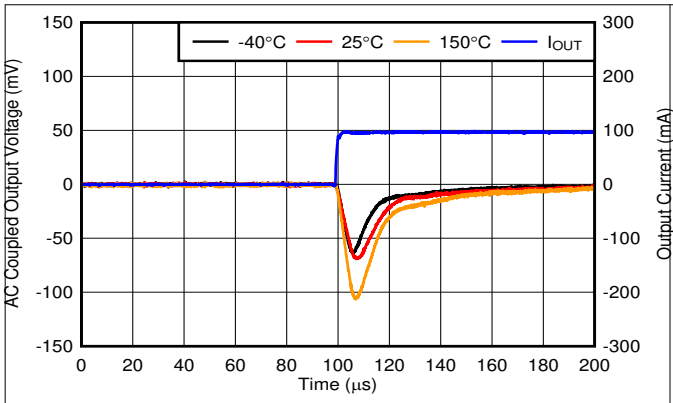
V_{OUT} = 5V，I_{OUT} = 0mA 至 100mA，压摆率 = 1A/µs、C_{OUT} = 10µF

图 5-30. 负载瞬态，100mA 无负载（新芯片）

Copyright © 2025 Texas Instruments Incorporated

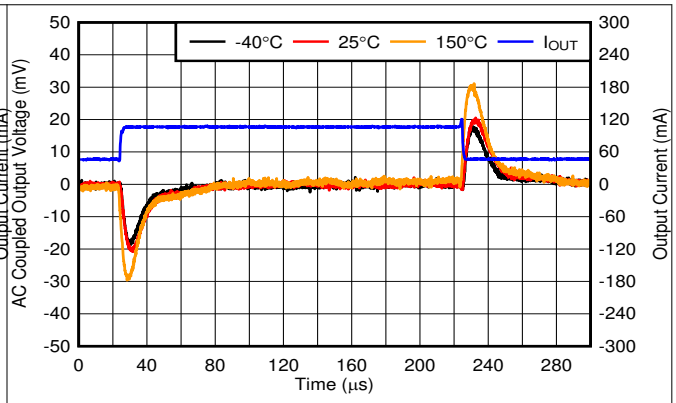
5.7 典型特性（续）

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。



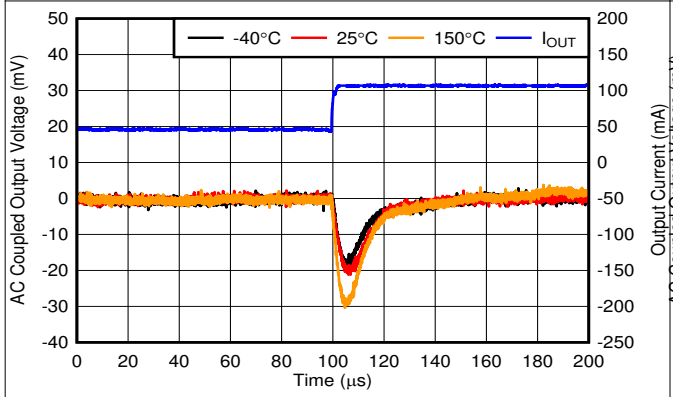
V_{OUT} = 5V，I_{OUT} = 0mA 至 100mA，压摆率 = 1A/µs，C_{OUT} = 10µF

图 5-31. 负载瞬态，100mA 上升沿无负载（新芯片）



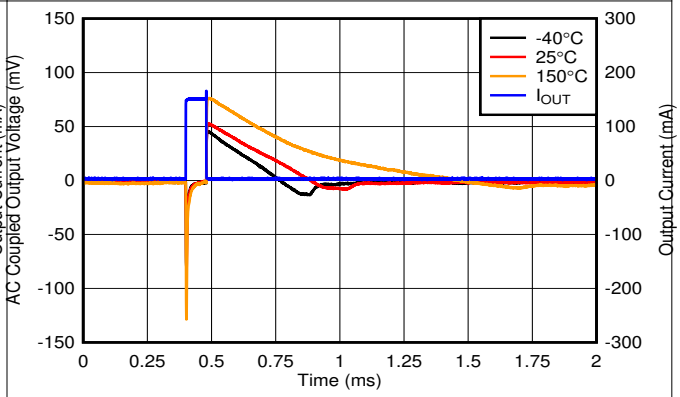
V_{OUT} = 5V、I_{OUT} = 45mA 至 105mA、压摆率 = 0.1A/µs、C_{OUT} = 10µF

图 5-32. 负载瞬态，45mA 至 105mA（新芯片）



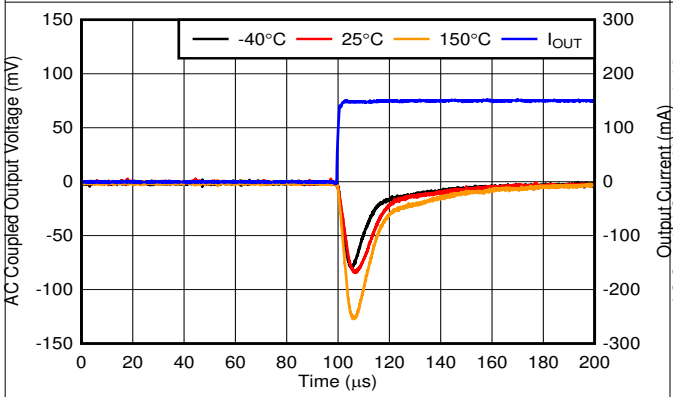
V_{OUT} = 5V、I_{OUT} = 45mA 至 105mA、压摆率 = 0.1A/µs、C_{OUT} = 10µF

图 5-33. 负载瞬态，45mA 至 105mA 上升沿（新芯片）



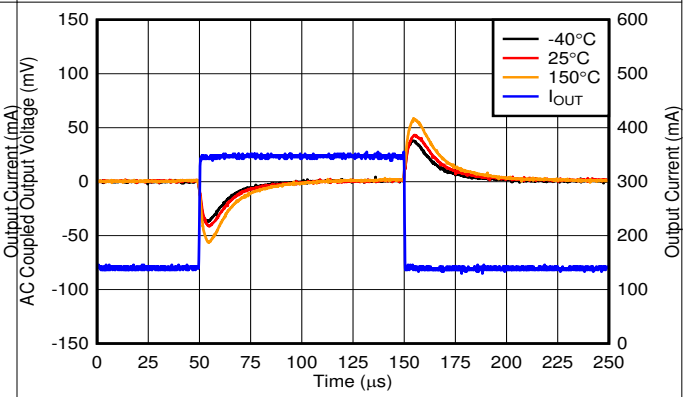
V_{OUT} = 5V、I_{OUT} = 0mA 至 150mA、压摆率 = 1A/µs、C_{OUT} = 10µF

图 5-34. 负载瞬态，150mA 无负载（新芯片）



V_{OUT} = 5V、I_{OUT} = 0mA 至 150mA、压摆率 = 1A/µs、C_{OUT} = 10µF

图 5-35. 负载瞬态，150mA 上升沿无负载（新芯片）



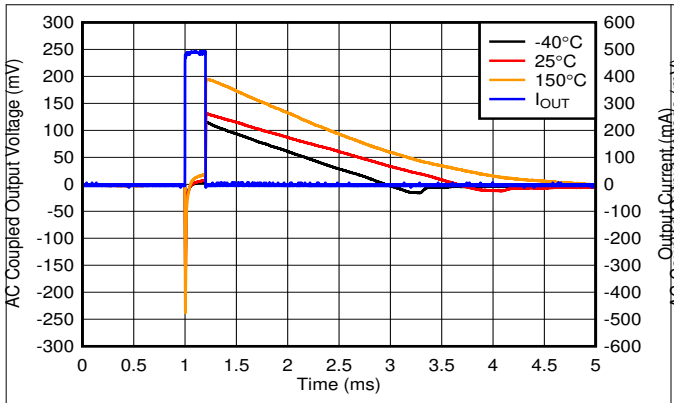
V_{OUT} = 5V、I_{OUT} = 150mA 至 350mA、压摆率 = 0.1A/µs、C_{OUT} = 10µF

图 5-36. 负载瞬态，150mA 至 350mA（新芯片）

Copyright © 2025 Texas Instruments Incorporated

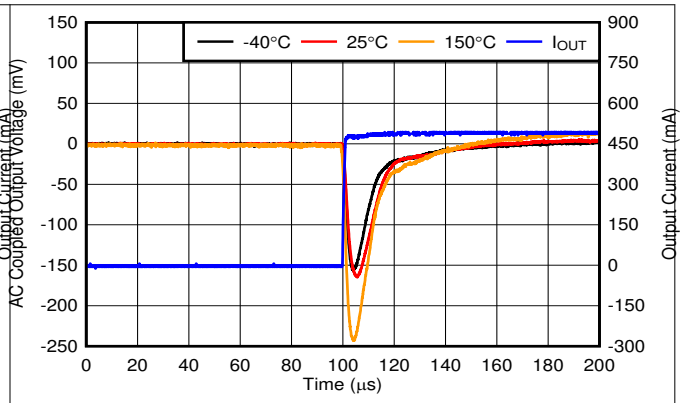
5.7 典型特性（续）

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。



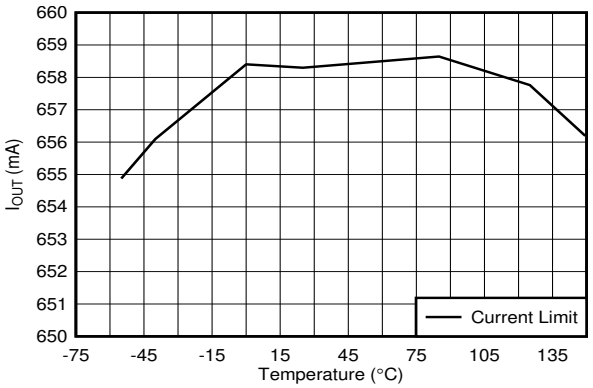
V_{OUT} = 5V、I_{OUT} = 0mA 至 500mA、压摆率 = 1A/µs、C_{OUT} = 10µF

图 5-37. 负载瞬态，500mA 无负载（新芯片）



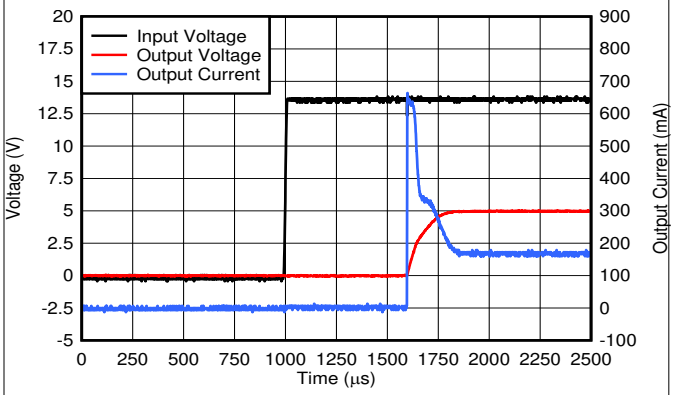
V_{OUT} = 5V、I_{OUT} = 0mA 至 500mA、压摆率 = 1A/µs、C_{OUT} = 10µF

图 5-38. 负载瞬态，500mA 上升沿无负载（新芯片）



V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

图 5-39. 输出电流限制与温度之间的关系（新芯片）



V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

图 5-40. 启动图浪涌电流（新芯片）

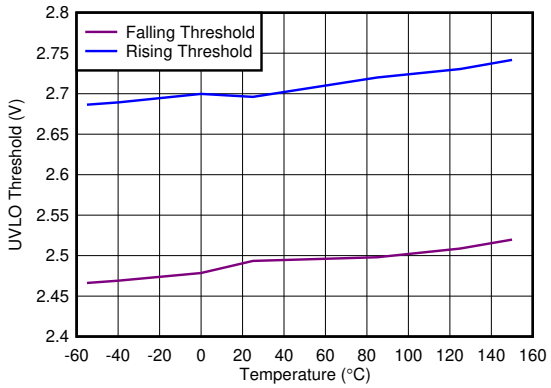


图 5-41. 欠压锁定 (UVLO) 阈值与温度间的关系（新芯片）

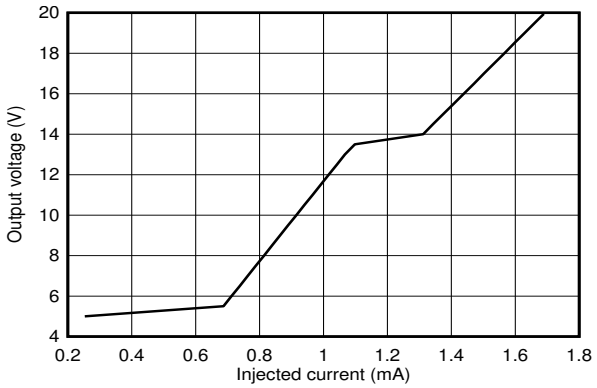


图 5-42. 输出电压与注入电流间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在以下新条件下为新芯片指定：T_J = –40°C 至 +150°C、V_{IN} = 13.5V、I_{OUT} = 100µA、C_{OUT} = 2.2µF、1mΩ < C_{OUT} ESR < 2Ω 且 C_{IN} = 1µF（除非另有说明）。

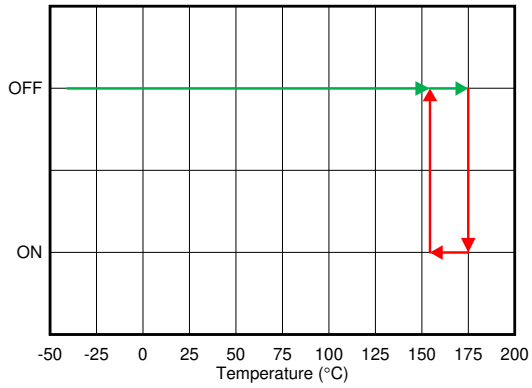


图 5-43. 热关断信息（新芯片）

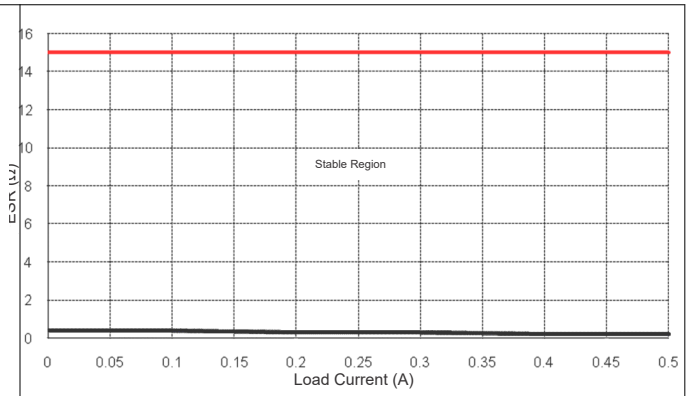


图 5-44. ESR 稳定性与负载电流之间的关系（旧芯片）

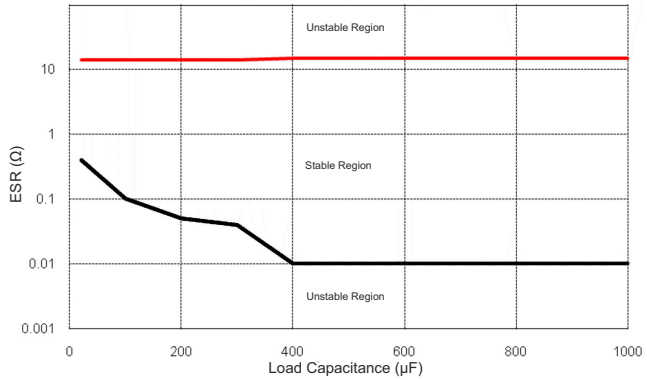


图 5-45. ESR 稳定性与负载电容之间的关系（旧芯片）

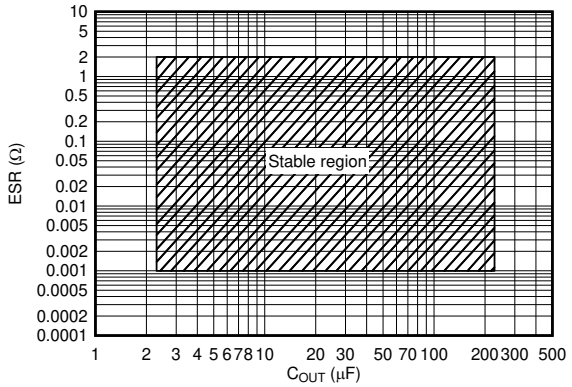


图 5-46. 稳定性、ESR 与 C_{OUT} 之间的关系（新芯片）

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

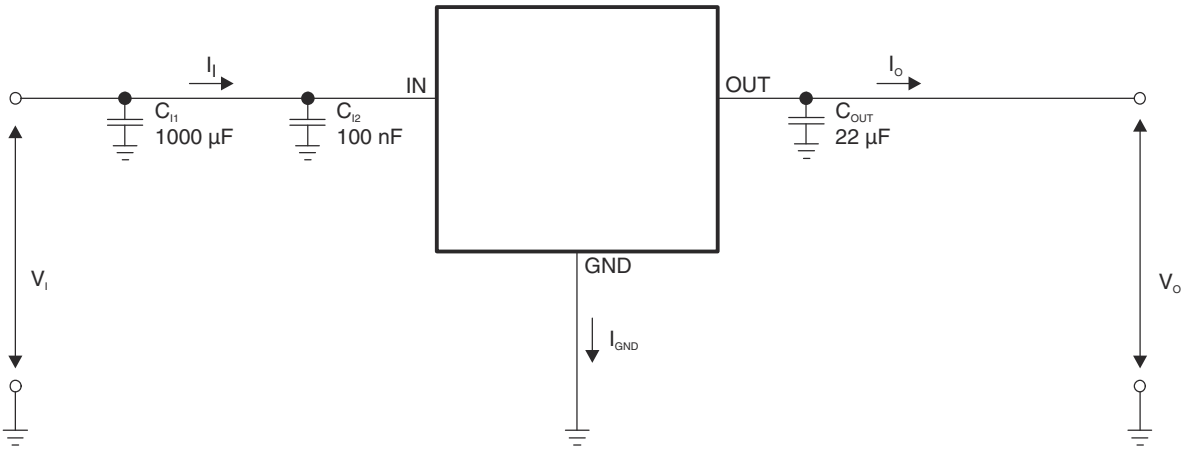


图 6-1. 测试电路

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TL720M05-Q1 是一款具有更高瞬态性能的低压降线性稳压器 (LDO)，可以快速响应线路或负载条件的变化。此器件还特有新颖的输出过冲减降特性（新芯片），因此可大大减少冷启动条件下的输出过冲。

正常运行时，该器件可在整个线路、负载和温度范围内维持 ±2.0% 的直流精度。更高的精度可支持为敏感的模拟负载或传感器供电。

TL720M05-Q1 在输出负载短路或故障条件下具有过热保护和过电流保护。

7.2 功能方框图

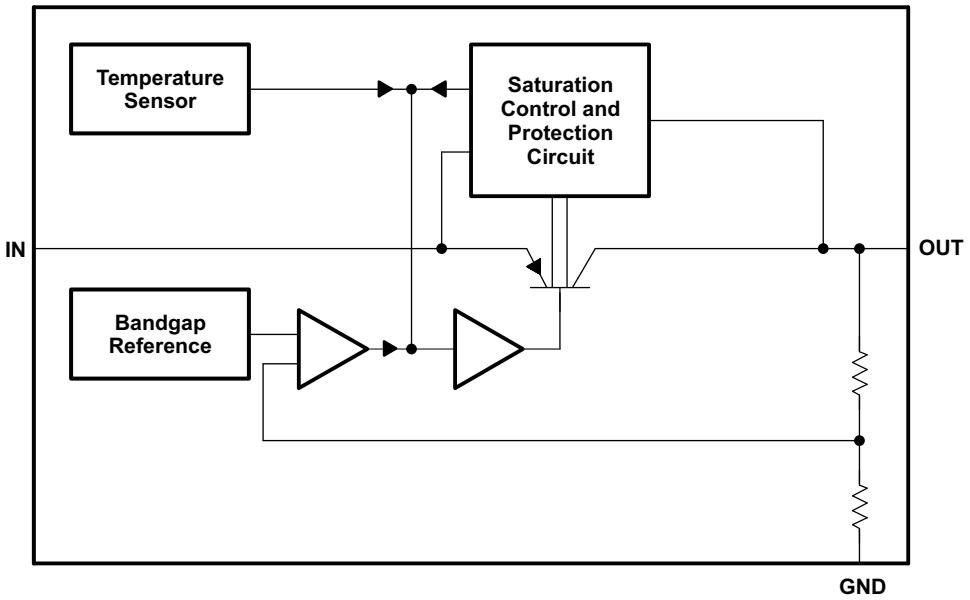


图 7-1. 功能方框图（旧芯片）

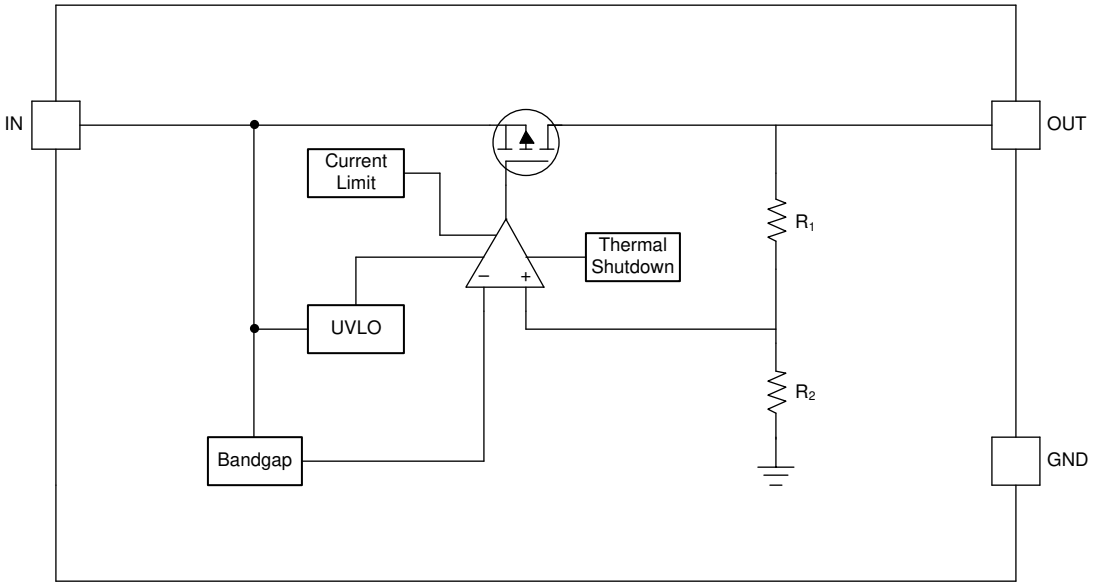


图 7-2. 功能方框图（新芯片）

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 欠压锁定

该器件具有一个独立的欠压锁定 (UVLO) 电路，可监控输入电压，从而以可控且一致的方式导通和关断输出电压。为了防止器件在导通期间输入下降时关断，UVLO 会出现迟滞，如*电气特性（仅适用于 KVU 封装）*表中所示。

7.3.2 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$（典型值）时禁用器件。热关断迟滞可确保在温度降至 $T_{SD(reset)}$（典型值）时器件复位（导通）。

半导体芯片的热时间常数相当短，因此当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 V_{IN} – V_{OUT} 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在*建议运行条件*表中列出的最大值。在超过最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

7.3.3 电流限值

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是砖墙方案。在高负载电流故障中，砖墙方案将输出电流限制为电流限值 (I_{CL})。I_{CL} 列在*电气特性（仅适用于 KVU 封装）*和*电气特性（仅适用于 KTT 封装）*表格中。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 [(V_{IN} – V_{OUT}) × I_{CL}]。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅*了解限制*应用手册。

图 7-3 展示了电流限制图。

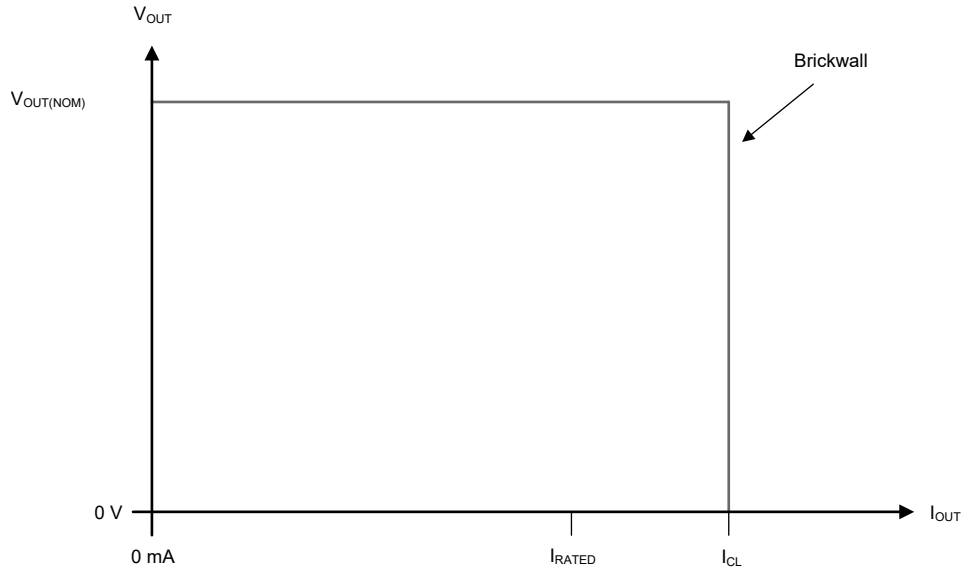


图 7-3. 电流限值

7.4 器件功能模式

表 7-1 给出了不同工作模式的参数条件。有关参数值，请参阅节 5.5 和节 5.6 中的表格。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. 器件功能模式比较

工作模式	参数		
	V_{IN}	I_{OUT}	T_J
正常运行	$V_{IN} > V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} > V_{IN(min)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
压降运行	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
禁用（任何真条件都会禁用该器件）	$V_{IN} < V_{UVLO}$	不适用	$T_J > T_{SD(shutdown)}$

7.4.1 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

7.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，则器件在压降模式下运行。在压降模式下，输出电压会跟踪输入电压。在压降模式下，器件的瞬态性能会显著下降。在压降模式期间，导通晶体管处于欧姆区域或三极管区域并充当开关。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态时，导通晶体管驱动为完全导通。稳定压降状态定义为器件直接在正常稳压状态后，而*非*启动期间处于压降状态。当 $V_{IN} < V_{OUT(NOM)} + V_{DO}$ 时，发生压降。当输入电压返回值 $\geq V_{OUT(NOM)} + V_{DO}$ 时，输出电压可能会在短时间内过冲。$V_{OUT(NOM)}$ 是标称输出电压，V_{DO} 是压降电压。在退出压降状态期间，该器件将导通晶体管拉回线性区域。

7.4.3 禁用

通过强制输入电压低于 UVLO 下降阈值来关断器件输出（请参阅*电气特性（仅适用于 KVU 封装）*表）。禁用时，导通晶体管关断，内部电路关断。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

基于终端应用的不同，可以使用不同值的外部元件。在某些情况下，应用在快速负载阶跃期间使用容值更大的输出电容器，以防止发生复位。使用电介质类型为 X5R 或 X7R 的低 ESR 陶瓷电容器，以获得更好的负载瞬态响应。

8.1.1 输入和输出电容器选择

8.1.1.1 旧芯片电容器选择

输入电容器 (C_{IN}) 可补偿线路波动。将大约 1Ω 的电阻器与 C_{IN} 串联可抑制输入电感和输入电容的振荡。输出电容 (C_{OUT}) 可使调节电路保持稳定。输出在 C_{OUT} ≥ 22μF 和 ESR ≤ 5Ω 下保持稳定，处于工作温度范围内。

8.1.1.2 新芯片输出电容器

为了实现稳定性，TL720M05-Q1 的新芯片版本需要一个 2.2μF 或更大的输出电容器（1μF 或更大的电容）。0.001Ω 和 2Ω 之间还需要一个等效串联电阻 (ESR)。为了获得出色瞬态性能，请使用 X5R 和 X7R 类型的陶瓷电容器，因为这些电容器的值和 ESR 随温度的变化极小。为特定应用选择电容器时，请注意电容器的直流偏置特性。较高的输出电压会导致电容器显著降额。为了获得出色性能，建议的最大输出电容为 220μF。

8.1.1.3 新芯片输入电容器

尽管不需要输入电容器来实现稳定性，但良好的模拟设计实践是将电容器从 IN 连接到 GND。一些输入电源具有高阻抗，因此将输入电容器放置在输入电源上有助于降低输入阻抗。该电容可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。如果输入电源在很大的频率范围内具有高阻抗，请并联使用多个输入电容器以降低频率范围内的阻抗。如果有可能出现较大、快速上升时间的负载瞬态或者器件距离输入电源几英寸远，请使用一个更大电容值的电容器。

8.1.2 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 V_{IN} – V_{OUT} 之差，此时，导通晶体管完全导通。V_{IN} 是输入电压、V_{OUT} 是输出电压、I_{RATED} 是 *建议运行条件* 表中列出的最大 I_{OUT}。在该运行点，导通晶体管驱动为完全导通。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于标称输出调节，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

8.1.3 反向电流

反向电流过大可能会损坏此器件。反向电流流经导通晶体管的固有体二极管，而不是正常的传导通道。如果幅度较大，该电流会降低器件的长期可靠性。

本节概述了会发生反向电流的条件，所有这些条件都可能超过 V_{OUT} ≤ V_{IN} + 0.3V 的绝对最大额定值。

- 如果器件具有较大的 C_{OUT} 且输入电源崩溃，则负载电流极小或无负载电流
- 当输入电源未建立时，输出被偏置
- 输出偏置为高于输入电源

Copyright © 2025 Texas Instruments Incorporated

如果应用中需要反向电流，请使用外部保护来保护器件。器件中的反向电流不受限制，因此如果预计反向电压工作范围会延长，则需要外部限制。

8.1.4 功率耗散 (P_D)

电路可靠性需要考虑器件功率耗散、PCB 上的电路位置以及正确的热平面尺寸。确定稳压器周围的印刷电路板 (PCB) 区域具有少量或没有其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。以下公式可计算功率耗散 (P_D)。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

备注

正确选择系统电压轨，以最大限度地减少功耗，实现更高的效率。为了实现更低功率耗散，请使用正确输出调节所需的最小输入电压。

对于带有散热焊盘的器件，器件封装的主要热传导路径是通过散热焊盘到 PCB。将散热焊盘焊接到器件下方的铜焊盘区域。确定焊盘区域包含一组电镀过孔，这些过孔会将热量传导至额外的铜平面以增加散热。

最大功耗决定了该器件允许的最高环境温度 (T_A)。功率耗散和结温通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 和环境空气温度 (T_A) 有关。$R_{\theta JA}$ 是结至环境热阻。方程式 3 可计算这一关系。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，$R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。*热性能信息* 表中列出的结至环境热阻由 JEDEC 标准 PCB 和铜扩散面积决定。该电阻用作封装热性能的相对测量值。

8.1.4.1 热性能与铜面积

最常用的热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此，$R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。节 5.4 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准（参阅图 8-1）、PCB 和铜扩散面积决定。$R_{\theta JA}$ 仅用作封装热性能的相对测量值。对于精心设计的热布局，$R_{\theta JA}$ 实际上是 $R_{\theta JCbot}$ 与 PCB 铜产生的热阻的总和。$R_{\theta JCbot}$ 是封装结至外壳（底部）热阻。

Copyright © 2025 Texas Instruments Incorporated

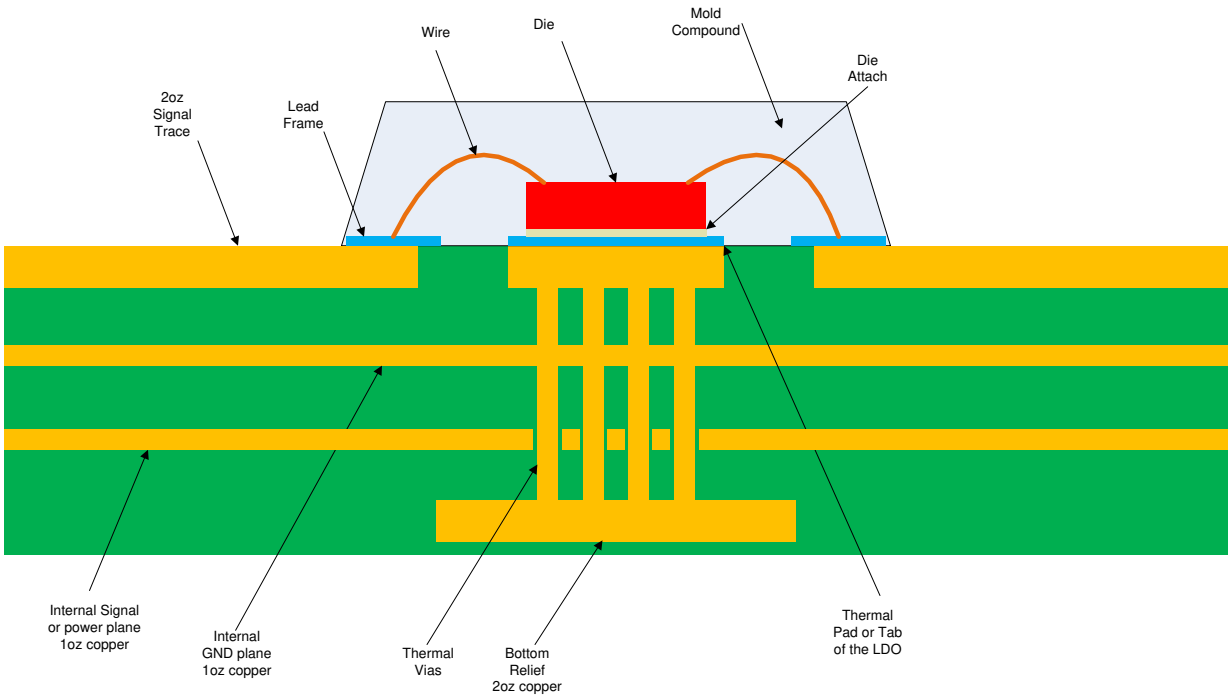


图 8-1. JEDEC 标准 2s2p PCB

图 8-2 和图 8-3 展示了 $R_{\theta JA}$ 和 ψ_{JB} 的功能与铜面积和厚度的关系。这些图是使用 101.6mm × 101.6mm × 1.6mm 两层和四层 PCB 生成。对于 4 层板，内部平面使用 1oz 厚度的覆铜。外层均使用 1oz 和 2oz 铜厚度进行模拟。一个 3 × 4（KVU 封装）阵列的热通孔具有 300µm 钻孔直径和 25µm 镀铜，位于器件散热焊盘下方。散热通孔连接顶层和底层，如果是 4 层板，则连接第一个内部 GND 平面。每一层都有一个面积相等的铜平面。

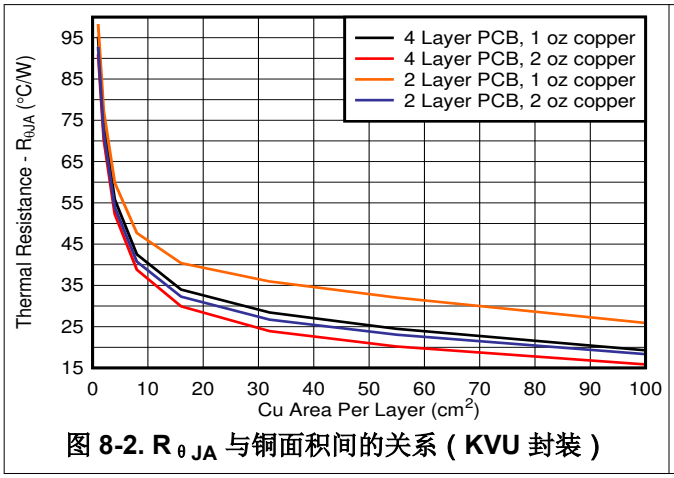


图 8-2. $R_{\theta JA}$ 与铜面积间的关系（KVU 封装）

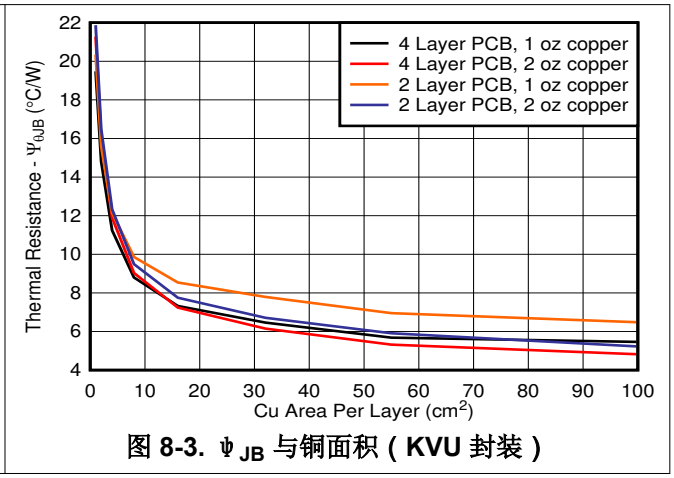


图 8-3. ψ_{JB} 与铜面积（KVU 封装）

8.1.4.2 功率耗散与环境温度之间的关系

图 8-4 基于 JESD51-7 4 层高 K 电路板。使用方程式 4 估算允许的功率损耗。添加顶层覆铜并增加散热过孔数量，以改善 JEDEC 高 K 布局中的散热性能。请参阅*电路板布局布线对 LDO 热性能影响的经验分析*应用手册。如果使用良好的热布局，热耗散可改善高达 50%。

$$T_A + R_{\theta JA} \times P_D \leq 150°C \quad (4)$$

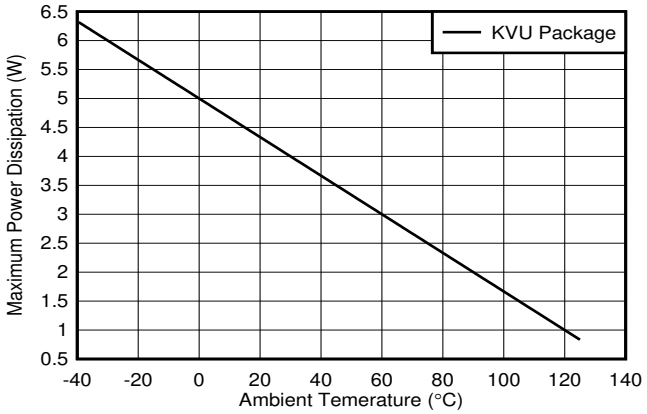


图 8-4. TL720M05-Q1 允许的功率耗散

8.1.5 估算结温

JEDEC 标准建议使用 psi (Ψ) 热指标来估算线性稳压器在典型 PCB 板应用电路中的结温。此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与可用于散热的铜面积明显无关。*热性能信息*该表列出了主要的热指标，即结至顶部特征参数 (ψ_{JT}) 和结至电路板特征参数 (ψ_{JB})。这些参数提供了两种计算结温 (T_J) 的方法，如以下公式所述。结合使用结至顶部特征参数 (ψ_{JT}) 和器件封装顶部中间位置的温度 (T_T) 来计算结温。结合使用结至电路板特征参数 (ψ_{JB}) 和距器件封装 1mm PCB 表面温度 (T_B) 来计算结温。

$$T_J = T_T + \psi_{JT} \times P_D \quad (5)$$

其中：

- P_D 是耗散功率
- T_T 器件封装顶部中间位置的温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (6)$$

其中：

- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

有关热指标及其使用方法的详细信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2025 Texas Instruments Incorporated

8.2 典型应用

图 8-5 显示了 TL720M05-Q1 的典型应用电路。

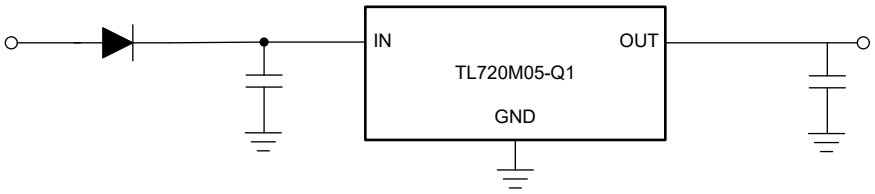


图 8-5. 典型应用图（新芯片）

8.2.1 设计要求

此设计示例使用表 8-1 中列出的参数。

表 8-1. 设计参数

设计参数	示例值
输入电压范围	4V 至 40V
输出电压	5V
输出电流额定值	400mA
输出电容器范围	10 µ F 至 200 µ F

8.2.2 详细设计过程

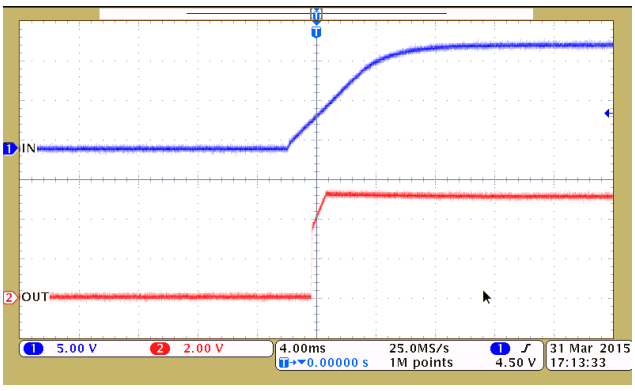
8.2.2.1 输入电容器

该器件需要一个输入去耦电容器，其值取决于应用。去耦电容器的典型建议值为 1 µ F。确定电压额定值大于最大输入电压。

8.2.2.2 输出电容器

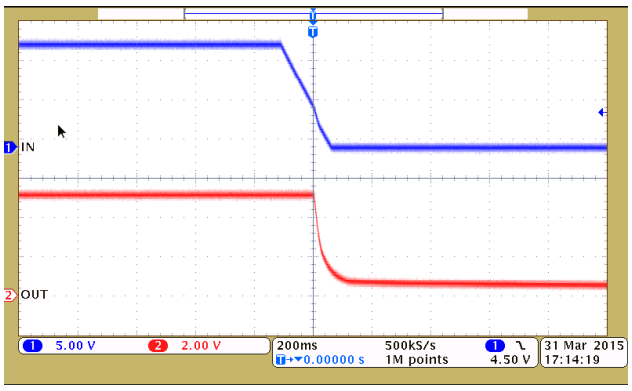
此器件（新芯片）需要一个输出电容器来稳定输出电压。确认电容器值介于 2.2µF 和 200µF 之间，ESR 范围介于 1mΩ 和 2Ω 之间。本设计使用了低 ESR、10µF 陶瓷电容器来提高瞬态性能。

8.2.3 应用曲线



通道 1: V_{IN}，通道 2 : V_{OUT}

图 8-6. 上电波形（负载 = 50mA）（旧芯片）



通道 1: V_{IN}，通道 2 : V_{OUT}

图 8-7. 断电波形（负载 = 50mA）（旧芯片）

Copyright © 2025 Texas Instruments Incorporated

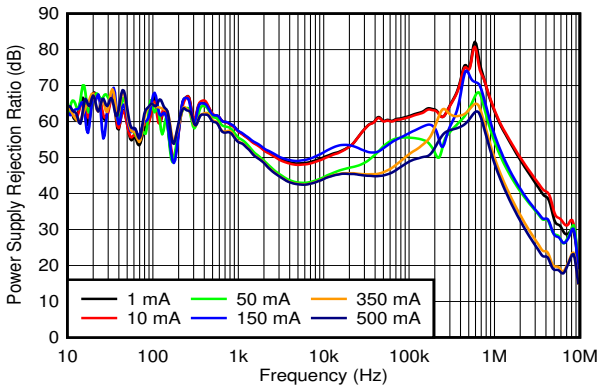
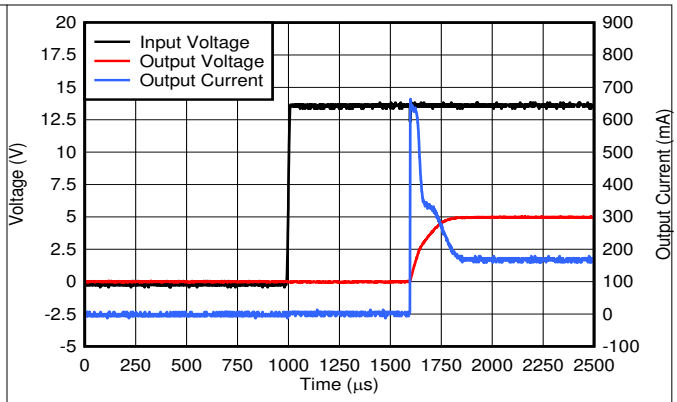


图 8-8. 电源纹波抑制与频率和 I_{OUT} 之间的关系（新芯片）



V_{IN} = V_{OUT} + 1V、V_{OUT} = 90% × $V_{OUT(NOM)}$

图 8-9. 启动图浪涌电流（新芯片）

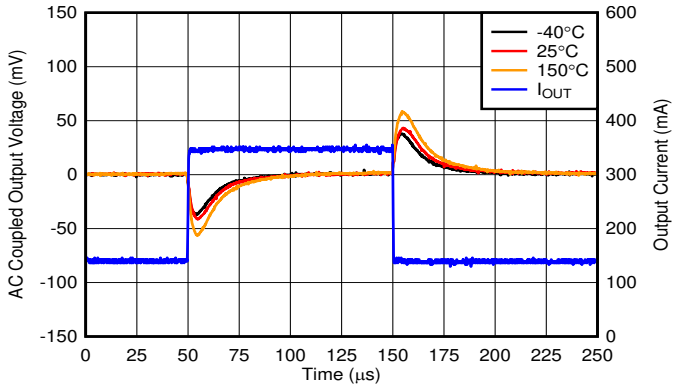


图 8-10. 瞬态响应（新芯片）

8.3 电源相关建议

该器件专为在 4V 至 40V 输入电压电源下运行而设计。确认该输入电源得到良好调节。输入电源与 TL720M05-Q1 的距离不要超过数英寸。如果这个位置不可避免，请在输入端添加一个 22µF 的电解质电容器和一个陶瓷旁路电容器。

8.4 布局

8.4.1 布局指南

为了获得出色的整体性能，请将所有电路元件放置在电路板的同一侧。将电路元件放置在尽可能靠近各自 LDO 引脚连接的位置。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近。使用较宽的元件侧铜表面进行连接。强烈建议不要在输入和输出电容器上使用过孔和长迹线、否则会对系统性能产生负面影响。设置嵌入在 PCB 中，或者位于 PCB 底部与元件相对位置的接地基准平面。基准平面可提供输出电压精度并屏蔽噪声。当连接到散热焊盘时，此平面的作用还类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，接地平面是满足散热要求的必要条件。

Copyright © 2025 Texas Instruments Incorporated

8.4.2 布局示例

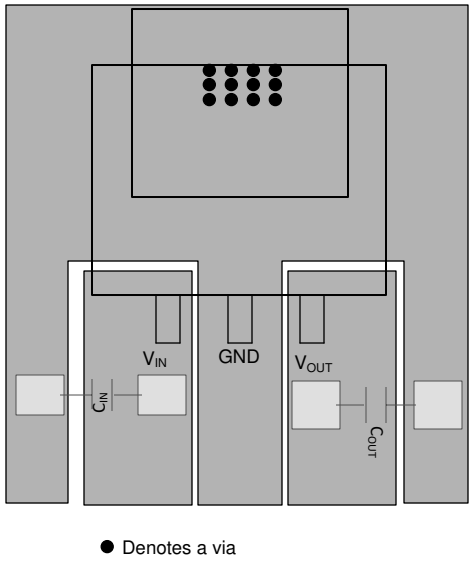


图 8-11. KVU、KTT 封装的布局示例图

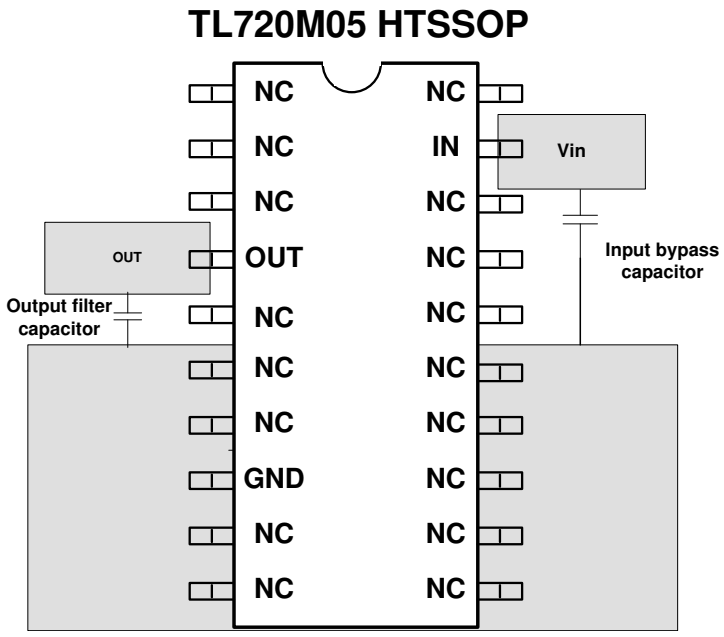


图 8-12. PWP 封装（旧芯片）的布局示例图

9 器件和文档支持

9.1 器件支持

9.1.1 评估模块

评估模块 (EVM) 可与 TLV709 配套使用，帮助评估初始电路性能。在 TI 网站上的产品文件夹中申请 MLTLDO2EVM 评估模块（和相关的用户指南）。

9.1.2 器件命名规则

表 9-1. 器件命名规则

产品(1)	V_{OUT}
TL720M05**Q xxx**R**Q1**	**xxx** 是封装名称（例如，KVU = TO-252；KTT = DDPAK/TO-263；PWP = HTSSOP）。 **Q** 表示该器件是一款符合 AEC-Q100 标准的 1 级器件。 **Q1** 表示此器件是一款汽车级 (AEC-Q100) 器件。

(1) 如需获得最新的封装和订购信息，请参阅本文档末尾的“封装选项附录”，或者访问 www.ti.com 中的器件产品文件夹。

9.1.3 开发支持

有关 PSpice® 模型，请参阅德州仪器 (TI) *TPS7B88-Q1 PSpice 瞬态模型（5V 输出）*仿真模型

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*电路板布局布线对 LDO 热性能影响的经验分析* 应用手册
- 德州仪器 (TI)，*了解限制* 应用手册
- 德州仪器 (TI)，*LDO 噪音揭秘* 应用手册
- 德州仪器 (TI)，*LDO PSRR 测量简化* 应用手册
- 德州仪器 (TI)，*MLTLDO2EVM-037 EVM* 用户指南
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用手册

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

TI E2E™ is a trademark of Texas Instruments.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

Copyright © 2025 Texas Instruments Incorporated

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (May 2024) to Revision J (August 2025)	Page
• 删除了新芯片输出电压精度	1
• 删除了新芯片低压降电压	1
• 删除了轻负载静态电流数据	1
• 将正常运行直流精度自±1.15% 更新为±2.0%（在整个文档中）	1
• 从“电气特性”更改为：电气特性（仅适用于 KVU 封装）	5
• 添加了电气特性部分（仅适用于 KTT）	6

Changes from Revision H (November 2014) to Revision I (May 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更改了整个文档以与当前系列格式保持一致	1
• 向文档添加了 M3 器件	1
• 更改了*封装信息* 表中的*封装尺寸* 值	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL720M05GQKVURQ1	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05GQKVURQ1.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05GQKVURQ1M3	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05GQKVURQ1M3.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKTTRM3Q1	Active	Production	DDPAK/ TO-263 (KTT) | 3	500 | LARGE T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	T720M05Q
TL720M05QKTTRQ1	Active	Production	DDPAK/ TO-263 (KTT) | 3	500 | SMALL T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	T720M05Q
TL720M05QKTTRQ1.A	Active	Production	DDPAK/ TO-263 (KTT) | 3	500 | SMALL T&R	Yes	SN	Level-3-245C-168 HR	-40 to 125	T720M05Q
TL720M05QKVURQ1	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKVURQ1.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKVURQ1M3	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QKVURQ1M3.A	Active	Production	TO-252 (KVU) | 3	2500 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QPWPRQ1	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720M05Q
TL720M05QPWPRQ1.A	Active	Production	HTSSOP (PWP) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	720M05Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

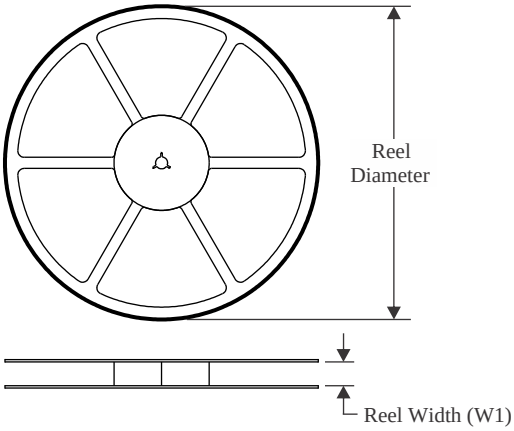
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

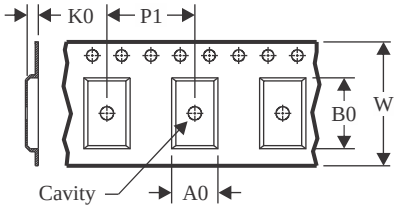
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

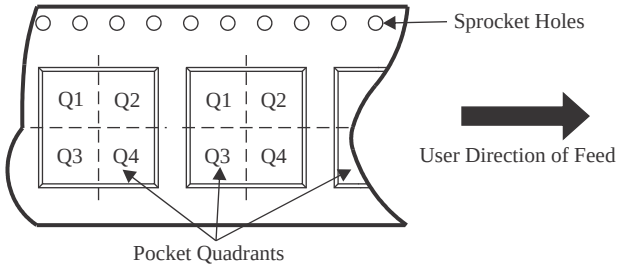


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

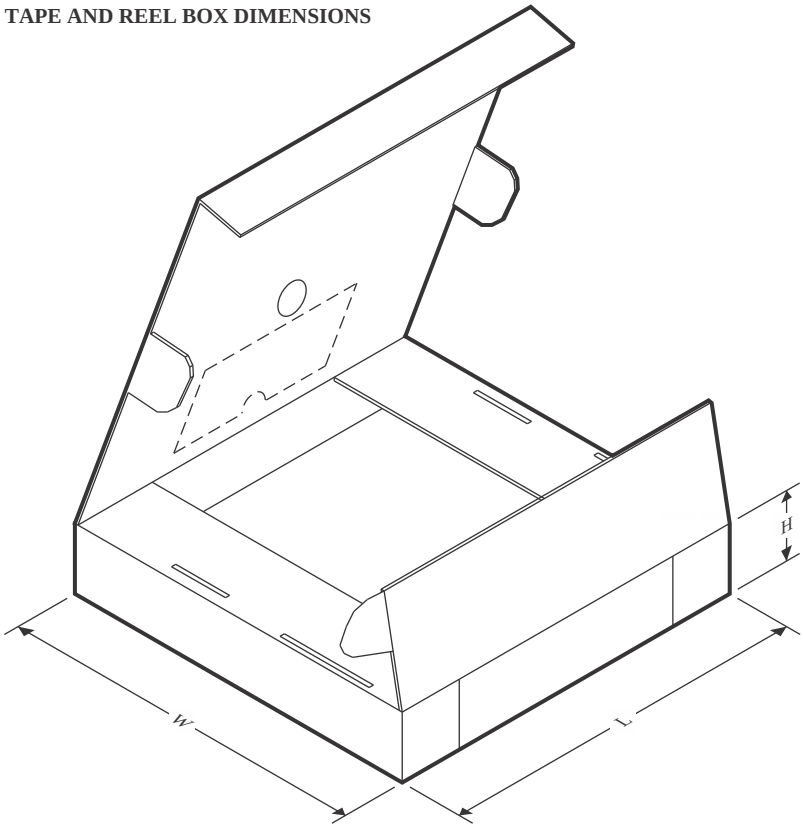
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL720M05GQKVURQ1	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05GQKVURQ1M3	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05QKTTRM3Q1	DDPAK/ TO-263	KTT	3	500	330.0	24.4	10.6	15.8	4.9	16.0	24.0	Q2
TL720M05QKTTRQ1	DDPAK/ TO-263	KTT	3	500	330.0	24.4	10.6	15.8	4.9	16.0	24.0	Q2
TL720M05QKVURQ1	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05QKVURQ1M3	TO-252	KVU	3	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TL720M05QPWPRQ1	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



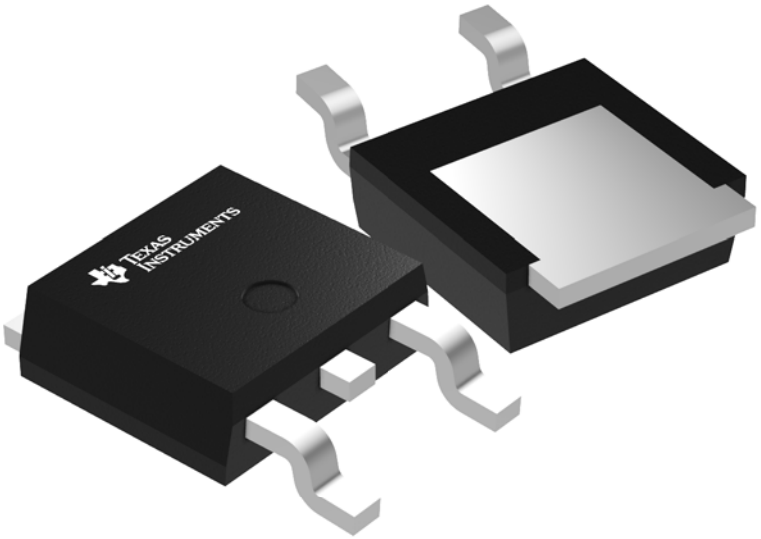
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL720M05GQKVURQ1	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05GQKVURQ1M3	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05QKTTRM3Q1	DDPAK/TO-263	KTT	3	500	340.0	340.0	38.0
TL720M05QKTTRQ1	DDPAK/TO-263	KTT	3	500	340.0	340.0	38.0
TL720M05QKVURQ1	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05QKVURQ1M3	TO-252	KVU	3	2500	340.0	340.0	38.0
TL720M05QPWPRQ1	HTSSOP	PWP	20	2000	350.0	350.0	43.0

KVU 3

TO-252 - 2.52 mm max height

TRANSISTOR OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

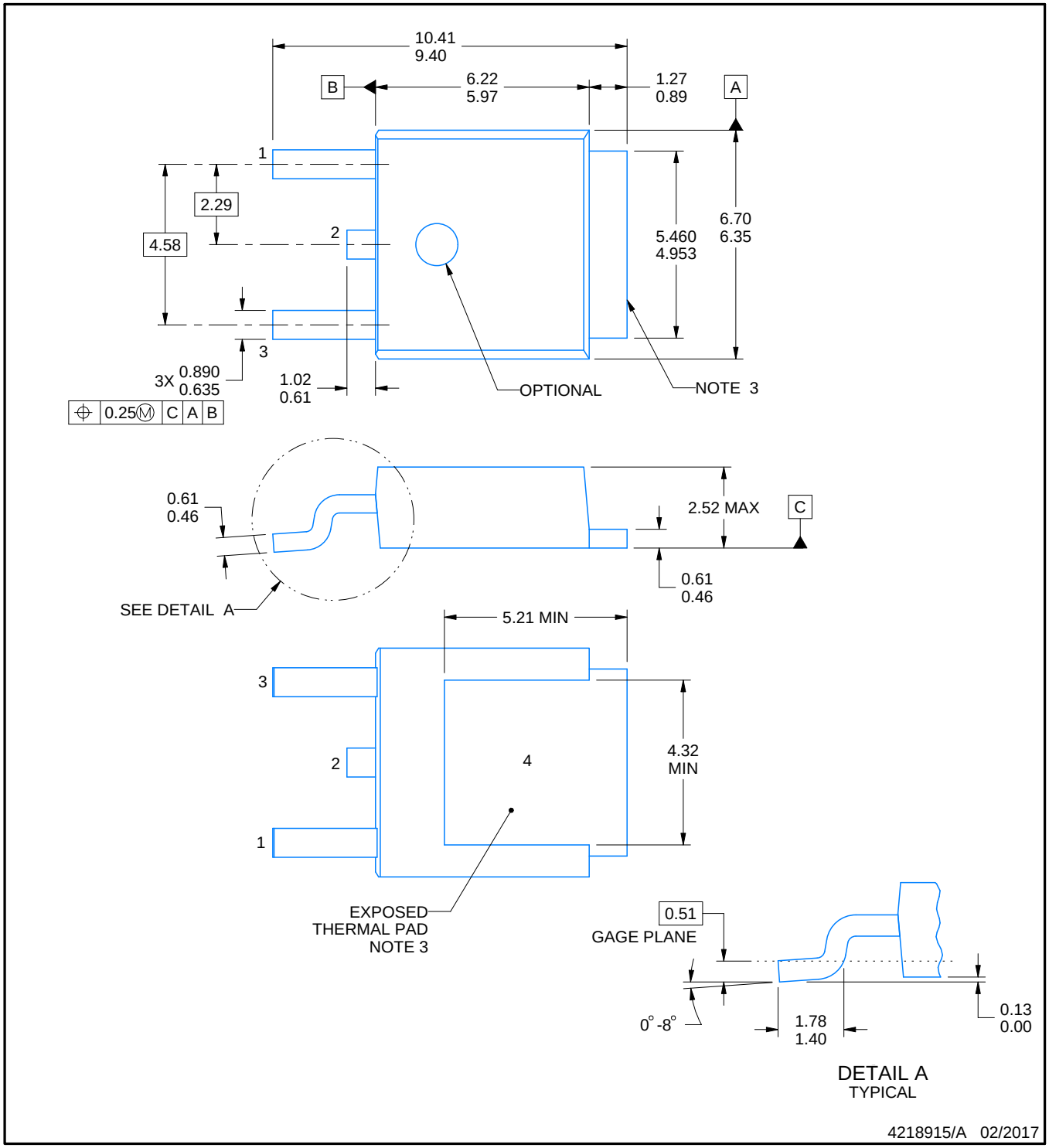


PACKAGE OUTLINE

KVU0003A

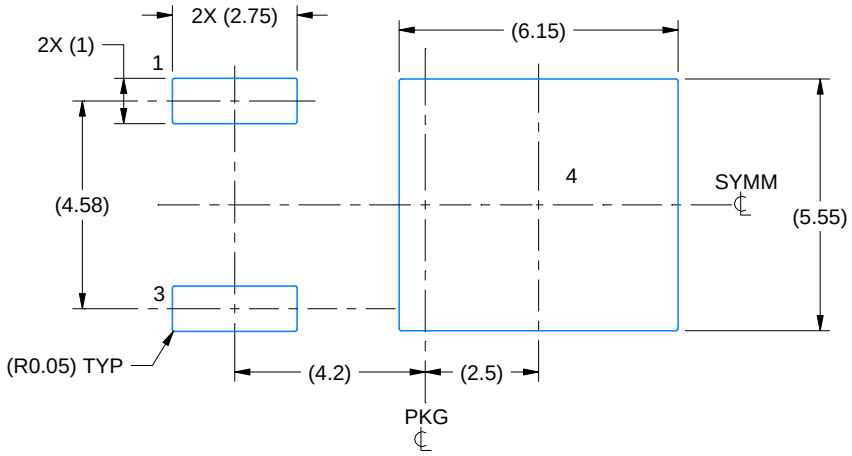
TO-252 - 2.52 mm max height

TO-252

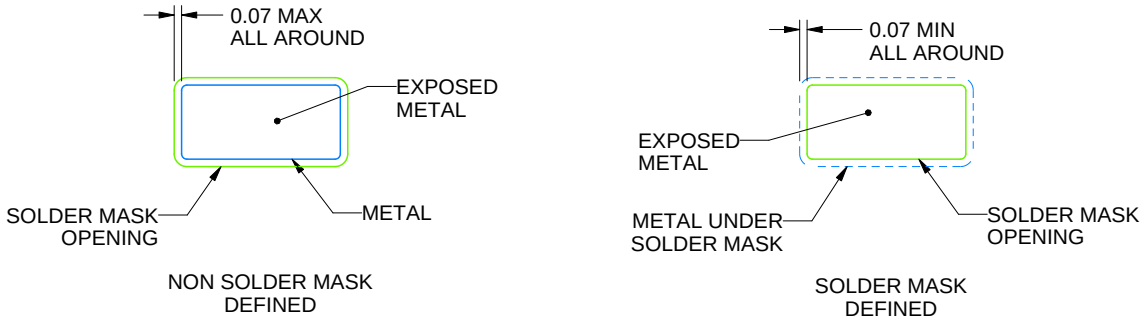


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Shape may vary per different assembly sites.
4. Reference JEDEC registration TO-252.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4218915/A 02/2017

NOTES: (continued)

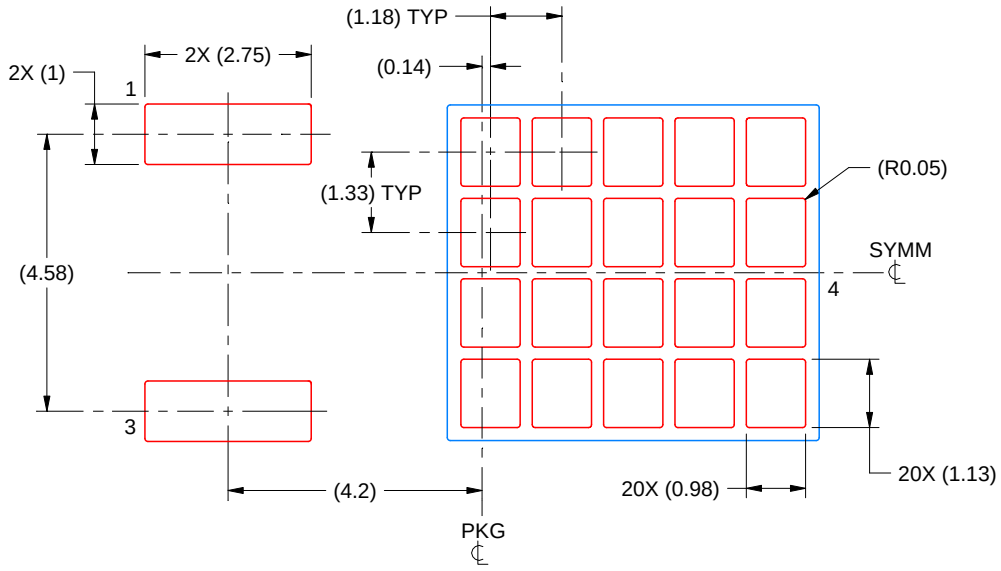
5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002(www.ti.com/lit/slm002) and SLMA004 (www.ti.com/lit/slma004).
6. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

KVU0003A

TO-252 - 2.52 mm max height

TO-252



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

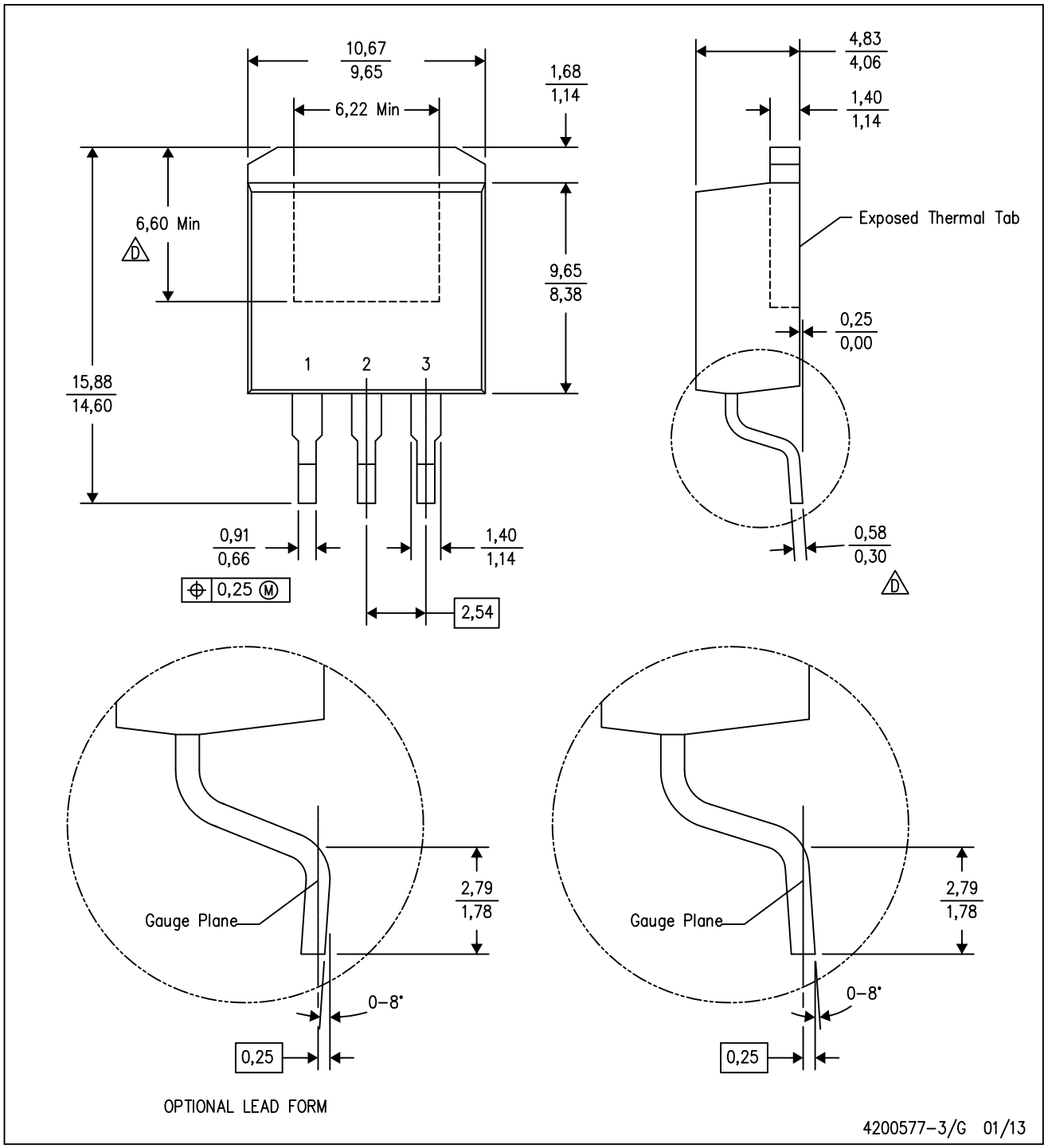
EXPOSED PAD
65% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

4218915/A 02/2017

NOTES: (continued)

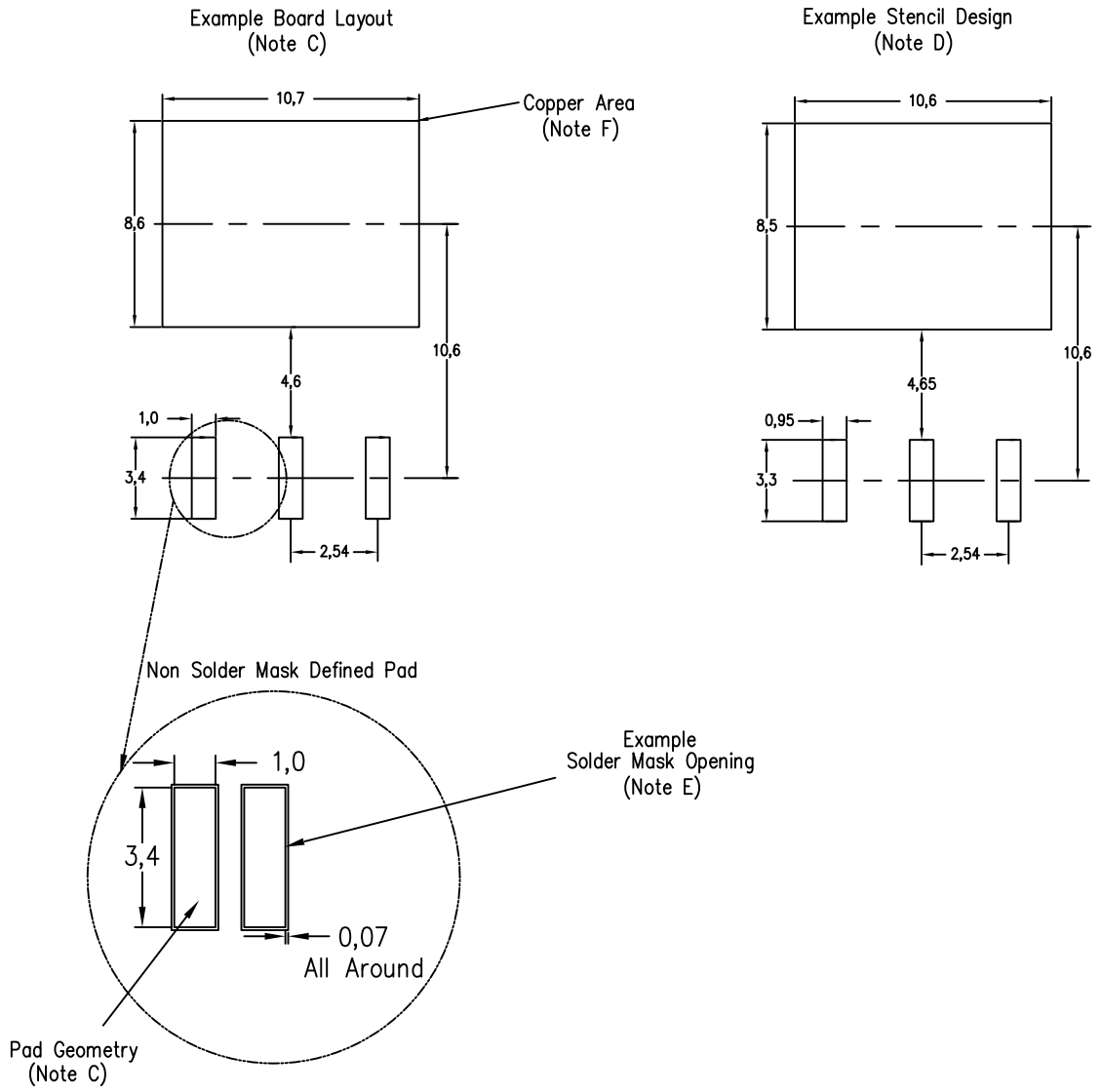
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

KTT (R–PSFM–G3) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash or protrusion not to exceed 0.005 (0,13) per side.
D. Falls within JEDEC TO–263 variation AA, except minimum lead thickness and minimum exposed pad length.

KTT (R–PSFM–G3) PLASTIC FLANGE–MOUNT PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–SM–782 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.
F. This package is designed to be soldered to a thermal pad on the board. Refer to the Product Datasheet for specific thermal information, via requirements, and recommended thermal pad size. For thermal pad sizes larger than shown a solder mask defined pad is recommended in order to maintain the solderable pad geometry while increasing copper area.

GENERIC PACKAGE VIEW

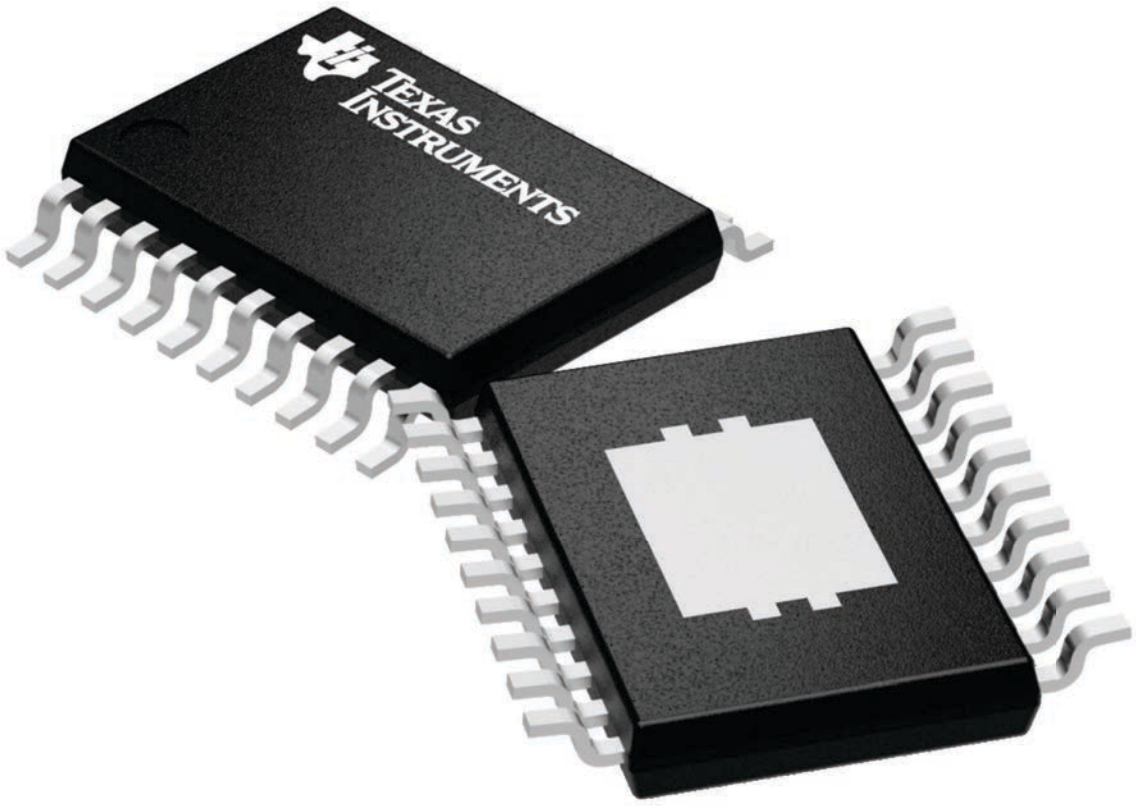
PWP 20

HTSSOP - 1.2 mm max height

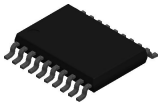
6.5 x 4.4, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224669/A

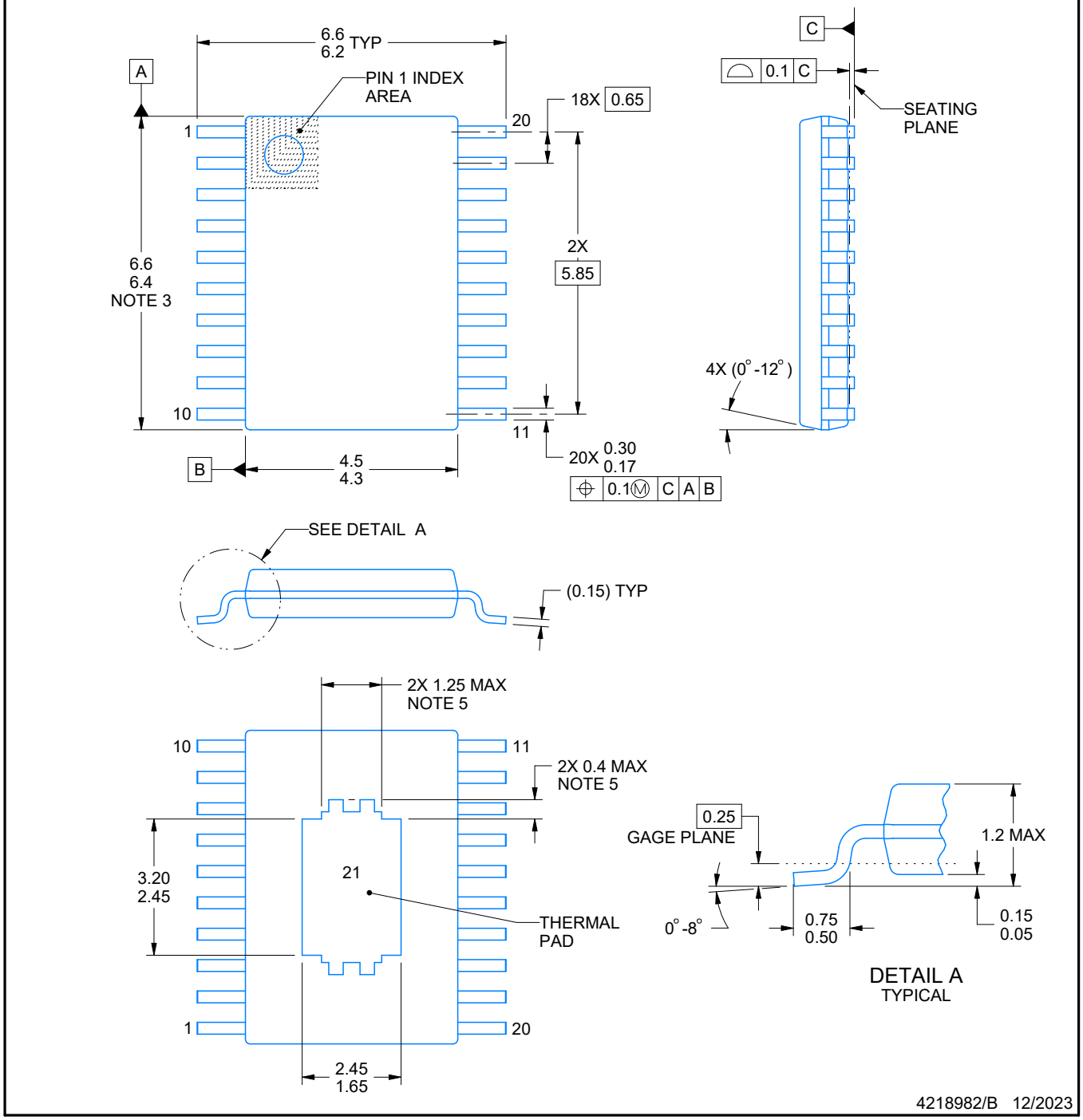


PACKAGE OUTLINE

PWP0020N

PowerPAD™ TSSOP - 1.2 mm max height

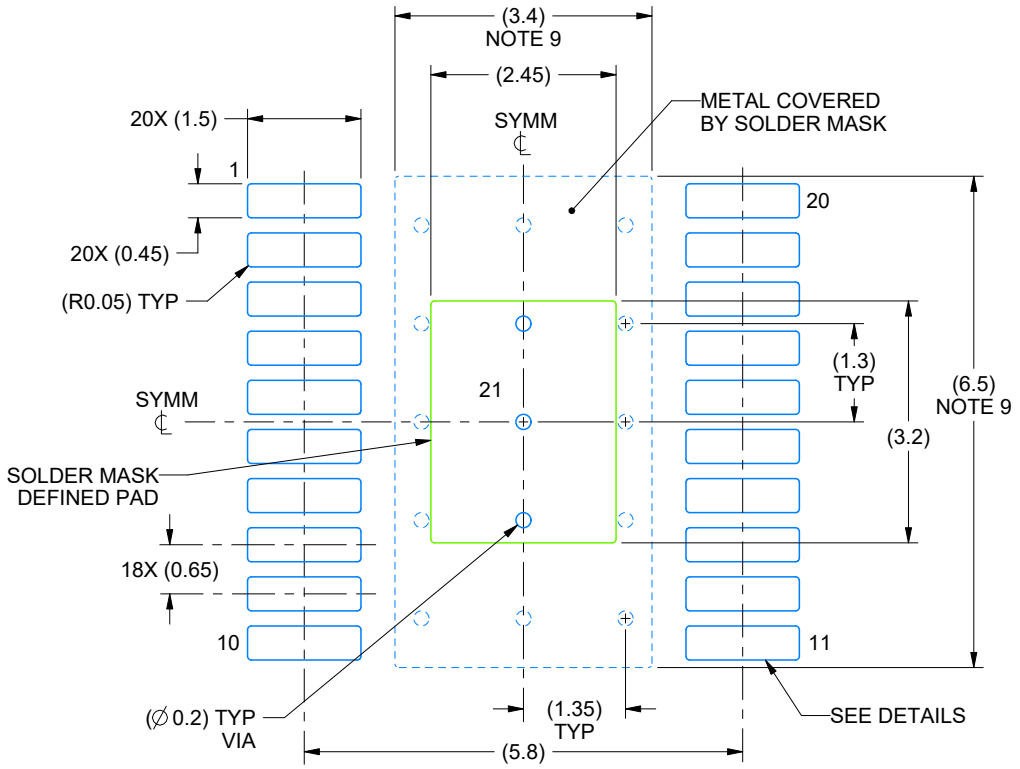
SMALL OUTLINE PACKAGE



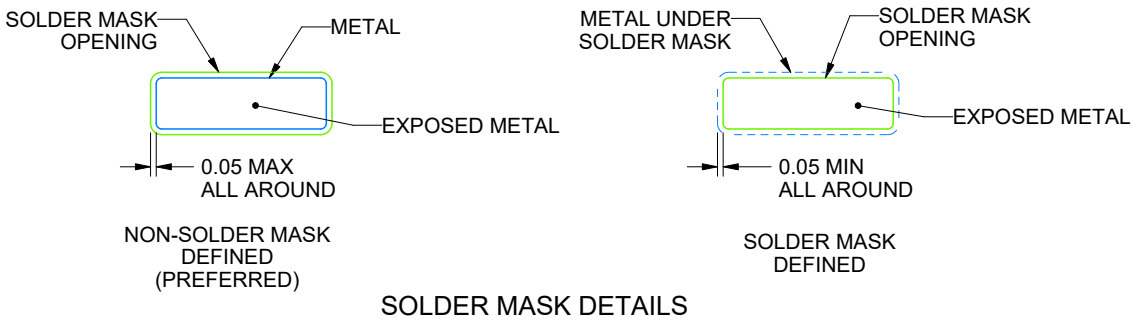
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

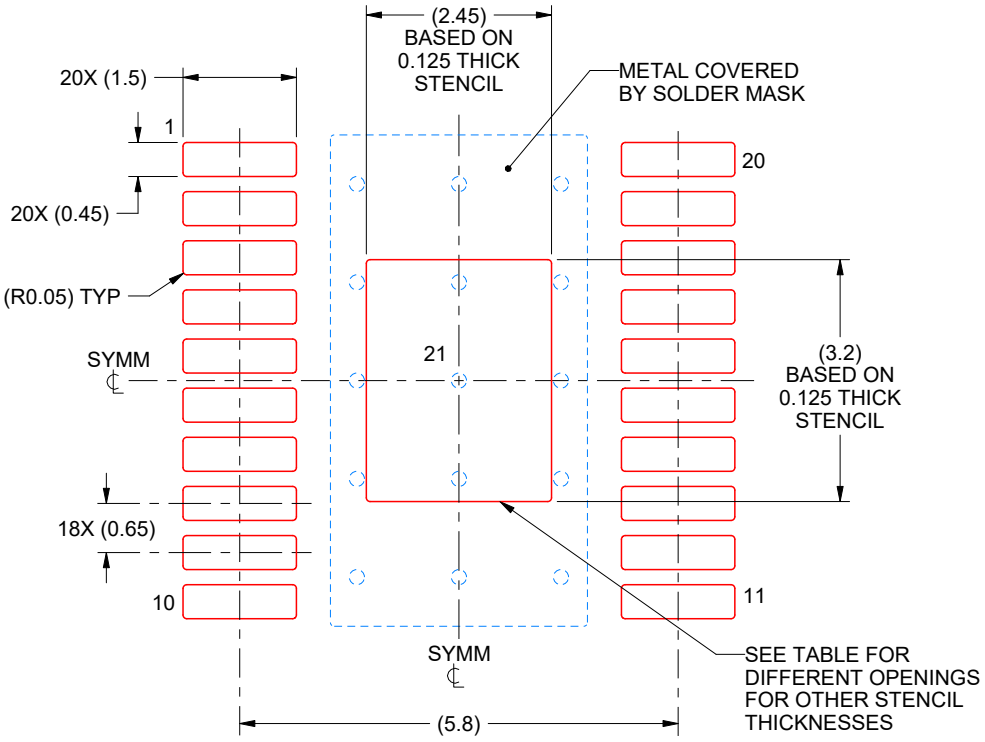


SOLDER MASK DETAILS

4218982/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.74 X 3.58
0.125	2.5 X 3.2 (SHOWN)
0.15	2.24 X 2.92
0.175	2.07 X 2.70

4218982/B 12/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月