THVD9491-SEP 具有灵活的 I/O 电源和 IEC ESD 保护功能的耐辐射 3V 至 5.5V RS-485 收发器

1 特性

- VID V62/24626
- 符合或超出 TIA/EIA-485A 和 TIA/EIA-422B 标准的要求
- 电离辐射总剂量 (TID) 特征值高达 30krad (Si)
  - 每个晶圆批次的辐射批次验收测试电离辐射总剂量 (TID RLAT) 额定值高达 30krad (Si)
- 确定了单粒子效应 (SEE)
  - 125°C 时单粒子锁定 (SEL) 对于线性能量传递 (LET) 的抗扰度 = 43MeV·cm2/mg
- 增强型航天塑料（航天 EP）
  - 受控基线
  - 一个封装测试厂
  - 一个制造基地
  - 金键合线
  - NiPdAu 铅涂层
  - 军用级温度范围（-55°C 至 125°C）
  - 延长了产品生命周期
  - 产品可追溯性
  - 符合 NASA ASTM E595 释气规格要求
- 3 V 至 5.5 V 的电源电压
- 1.65V 至 5.5V 数据和使能信号电源
- SLR 引脚可选数据速率：
  - 20Mbps 和 50Mbps
- 总线 I/O 保护
  - ±40V 直流总线故障
  - ±16kV HBM ESD
  - ±8kV IEC 61000-4-2 接触放电
  - ±4kV IEC 61000-4-4 快速瞬态突发
- 对称共模范围：±12V
- 增强型接收器迟滞，可获得抗噪能力
- 适用于热插拔功能的无干扰上电或断电
- 开路、短路和空闲总线失效防护
- 1/8 单位负载（多达 256 个总线节点）
- 引线式 14 引脚 SOIC 封装

2 应用

- 近地轨道 (LEO) 航天应用
- 命令和数据处理
- 通信有效载荷系统
- 光学成像
- 雷达成像有效载荷

3 说明

THVD9491-SEP 是一款空间增强型 ±40V 故障保护全双工 RS-422/RS-485 收发器，采用 1.65V 至 5.5V 逻辑电源提供数据和使能逻辑信号，并采用 3V 至 5.5V 总线侧电源。该器件具有压摆率选择功能，因此可在两种最大速度（根据 SLR 引脚设置）下使用。

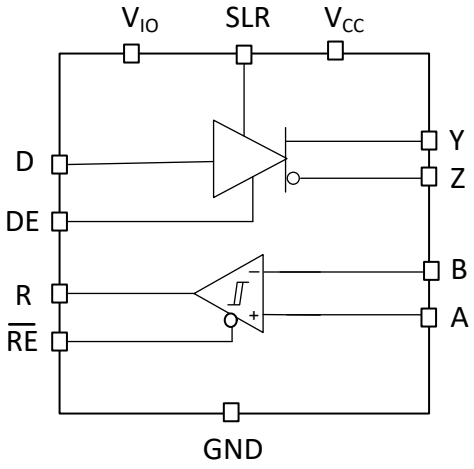
该器件具有集成式 IEC ESD 保护，无需外部系统级保护元件。在更长的电缆敷设长度和/或存在大接地环路电压的情况下，±12V 输入共模范围可实现可靠的数据通信。增强型 250mV 接收器迟滞可提供高噪声抑制。此外，当输入同时开路或短路时，接收器失效防护功能可确保逻辑高电平。

THVD9491-SEP 器件采用标准 14 引脚 SOIC 封装。

封装信息

器件型号	封装(1)	封装尺寸(2)
THVD9491-SEP	SOIC（D，14）	8.65mm × 6mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 ESD 等级 [IEC].....4
5.4 建议运行条件.....5
5.5 热性能信息.....5
5.6 功率耗散.....5
5.7 电气特性.....6
5.8 开关特性：20Mbps.....7
5.9 开关特性：50Mbps.....8
5.10 典型特性.....9
6 参数测量信息.....10
7 详细说明.....12
7.1 概述.....12
7.2 功能方框图.....12
7.3 特性说明.....12
7.4 器件功能模式.....13
8 应用和实施.....15
8.1 应用信息.....15
8.2 典型应用.....15
8.3 电源相关建议.....20
8.4 布局.....21
9 器件和文档支持.....22
9.1 器件支持.....22
9.2 接收文档更新通知.....22
9.3 支持资源.....22
9.4 商标.....22
9.5 静电放电警告.....22
9.6 术语表.....22
10 修订历史记录.....22
11 机械、封装和可订购信息.....23

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

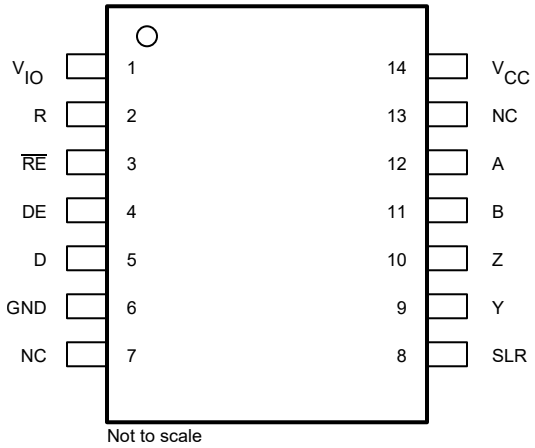


图 4-1. D (SOIC) 封装，14 引脚
（顶视图）

表 4-1. 引脚功能

名称	编号	类型	说明
V_{IO}	1	逻辑电源	用于逻辑 I/O 信号（R、$\overline{RE}$、D、DE 和 SLR）的 1.65V 至 5.5V 电源
R	2	数字输出	接收数据输出
$\overline{RE}$	3	数字输入	接收器使能输入
DE	4	数字输入	驱动器使能输入
D	5	数字输入	传输数据输入
GND	6	基准电位	本地器件接地
NC	7.13	无连接	内部未连接。
SLR	8	数字输入	压摆率选择引脚：低电平 = 50Mbps，高电平 = 20Mbps。如果悬空，则默认为 50Mbps。
Y	9	总线输出	RS-485 总线输出，Y
Z	10	总线输出	RS-485 总线输出，Z
B	11	总线输入	RS-485 总线输入，B
A	12	总线输入	RS-485 总线输入，A
V_{CC}	14	总线电源	A 和 B 总线的 3V 至 5.5V 电源

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
逻辑电源电压	V_{IO}	-0.5	V_{CC} + 0.2	V
总线电源电压	V_{CC}	-0.5	6.5	V
总线电压	以 GND 为基准的任何总线引脚（A 或 B）的差模或共模范围	-40	40	V
输入电压	任何逻辑引脚（D、DE、SLR 或 $\overline{RE}$）上的电压范围	-0.3	V_{IO} + 0.2	V
接收器输出电流	I_O	-24	24	mA
贮存温度	T_{stg}	-65	170	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	总线端子和 GND	±16,000	V
			除总线端子和 GND 外的所有引脚	±4,000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)		±1,500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 ESD 等级 [IEC]

				值	单位
$V_{(ESD)}$	静电放电	接触放电，符合 IEC 61000-4-2 (1)	总线端子和 GND	±8,000	V
		空气间隙放电，符合 IEC 61000-4-2 标准(1)	总线端子和 GND	±8,000	
$V_{(EFT)}$	电气快速瞬变	符合 IEC 61000-4-4 标准	总线终端	±4,000	V

(1) 为优化 IEC ESD 性能，建议在所有直接连接到电源或地的逻辑输入上连接串联电阻 (≥ 50 Ω)，以更大限度地减少流入或流出逻辑引脚的瞬态电流。

Copyright © 2025 Texas Instruments Incorporated

5.4 建议运行条件

在自然通风条件下的工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_{CC}	电源电压		3		5.5	V
V_{IO}	I/O 电源电压		1.65		V_{CC}	V
V_I	任何总线端子上的输入电压（独立或共模）(1)		-12		12	V
V_{IH}	高电平输入电压（驱动器、驱动器使能和压摆率选择输入）		0.7*V_{IO}		V_{IO}	V
V_{IL}	低电平输入电压（驱动器、驱动器使能和压摆率选择输入）		0		0.3*V_{IO}	V
V_{ID}	差分输入电压		-12		12	V
I_O	驱动器输出电流		-60		60	mA
I_{OR}	接收器输出电流	V_{IO} = 1.8V 或 2.5V	-4		4	mA
I_{OR}	接收器输出电流	V_{IO} = 3.3V 或 5V	-8		8	mA
R_L	差分负载电阻		54	60		Ω
$1/t_{UI}$	信令速率	SLR = V_{IO}			20	Mbps
		SLR = 0 或悬空			50	Mbps
T_A	工作环境温度		-55		125	°C
T_J	结温		-55		150	°C

(1) 本数据表采用将最小正值（最大负值）指定为最小值的代数约定。

5.5 热性能信息

热指标(1)		THVD9491-SEP D (SOIC) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻	87.5	°C/W
$R_{\theta JB}$	结至电路板热阻	43.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	41.8	°C/W
Ψ_{JT}	结至顶部特征参数	8.1	°C/W
Ψ_{JB}	结至电路板特征参数	43.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.6 功率耗散

参数		测试条件		值	单位
P_D	驱动器和接收器被启用，针对全双工器件的环回（通过 A 连接至 Y、B 连接至 Z）V_{CC} = 5.5V，T_A = 125°C，占空比为 50% 的方波	未端接 R_L = 300Ω、C_L = 50pF（驱动器）	20Mbps	335	mW
			50Mbps	571	
		RS-422 负载 R_L = 100Ω、C_L = 50pF（驱动器）	20Mbps	325	mW
			50Mbps	522	
		RS-485 负载 R_L = 54Ω、C_L = 50pF（驱动器）	20Mbps	355	mW
			50Mbps	526	

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。除非另有说明，否则所有典型值均在温度为 25°C、电源电压 V_{CC} = 5V、V_{IO} = 3.3V 的条件下测得。(2)

参数		测试条件		最小值	典型值	最大值	单位
驱动器							
$\|V_{OD}\|$	驱动器差分输出电压幅度	R_L = 60Ω，–12V ≤ V_{test} ≤ 12V。请参阅图 6-1		1.5	2.8		V
		R_L = 60Ω，–12V ≤ V_{test} ≤ 12V，4.5V ≤ V_{CC} ≤ 5.5V。请参阅图 6-1		2.1	3.3		V
		R_L = 100Ω。请参阅图 6-2		2	4		V
		R_L = 54Ω。请参阅图 6-2		1.5	3.3		V
$\Delta\|V_{OD}\|$	差分输出电压的变化	R_L = 54Ω 或 100Ω。 请参阅 图 6-2		-200		200	mV
V_{OC}	共模输出电压	R_L = 54Ω 或 100Ω（请参阅图 6-2）		1	V_{CC}/2	3	V
$\Delta V_{OC(SS)}$	稳态共模输出电压的变化	R_L = 54Ω 或 100Ω。请参阅 图 6-2		-50		50	mV
I_{OS}	短路输出电流	DE = V_{IO}、-40V ≤（V_Y 或 V_Z）≤ 40V，或 Y 短于 Z		-250		250	mA
接收器							
I_I	总线输入电流	DE = 0V，V_{CC} 和 V_{IO} = 0V 或 5.5V	V_I = 12V		75	125	μA
			V_I = -7V	-100	-60		μA
V_{TH+}	正向输入阈值电压(1)	±12V 的共模范围以外		40	125	200	mV
V_{TH-}	负向输入阈值电压(1)			-200	-125	-40	mV
V_{HYS}	输入迟滞				250		mV
V_{TH_FSH}	输入失效防护阈值			-40		40	mV
$C_{A,B}$	输入差分电容	在 A 和 B 之间测量，f = 1MHz			50		pF
V_{OH}	输出高电压	I_{OH} = –8mA，V_{IO} = 3V 至 3.6V 或 4.5V 至 5.5V		V_{IO} – 0.4	V_{IO} – 0.2		V
V_{OL}	输出低电压	I_{OL} = 8mA，V_{IO} = 3V 至 3.6V 或 4.5V 至 5.5V			0.2	0.4	V
V_{OH}	输出高电压	I_{OH} = -4mA，V_{IO} = 1.65V 至 1.95V 或 2.25V 至 2.75V		V_{IO} – 0.4	V_{IO} – 0.2		V
V_{OL}	输出低电压	I_{OL} = 4mA，V_{IO} = 1.65V 至 1.95V 或 2.25V 至 2.75V			0.2	0.4	V
I_{OZ}	输出高阻抗电流，R 引脚	V_O = 0V 或 V_{IO}，$\overline{RE}$ = V_{IO}		-1		1	μA
逻辑							
I_{IN}	输入电流（DE，SLR）	1.65V ≤ V_{IO} ≤ 5.5V，0V ≤ V_{IN} ≤ V_{IO}				5	μA
I_{IN}	输入电流（D、$\overline{RE}$）	1.65V ≤ V_{IO} ≤ 5.5V，0V ≤ V_{IN} ≤ V_{IO}		-5			μA
热保护							
T_{SHDN}	热关断阈值	温度上升		150	180		°C
T_{HYS}	热关断迟滞				10		°C
电源							
UV_{VCC} (rising)	V_{CC} 上升欠压阈值				2.3	2.6	V
UV_{VCC} (falling)	V_{CC} 下降欠压阈值			1.95	2.2		V
$UV_{VCC(hys)}$	V_{CC} 的欠压迟滞				150		mV
UV_{VIO} (rising)	V_{IO} 上升欠压阈值				1.4	1.6	V
UV_{VIO} (falling)	V_{IO} 下降欠压阈值			1.2	1.35		V
$UV_{VIO(hys)}$	V_{IO} 的欠压迟滞				40		mV

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。除非另有说明，否则所有典型值均在温度为 25°C、电源电压 V_{CC} = 5V、V_{IO} = 3.3V 的条件下测得。(2)

参数		测试条件		最小值	典型值	最大值	单位
I_{CC}	电源电流（静态），V_{CC} = 4.5V 至 5.5V	驱动器和接收器已启用	$\overline{RE}$ = 0V，DE = V_{IO}，空载		4	7.2	mA
		驱动器被启用，接收器被禁用	$\overline{RE}$ = V_{IO}，DE = V_{IO}，空载		3	4.2	mA
		驱动器被禁用，接收器被启用	$\overline{RE}$ = 0V、DE = 0V，空载		2.5	3	mA
		驱动器和接收器被禁用	$\overline{RE}$ = V_{IO}，DE = 0V，D = 开路，空载		30	100	µA
I_{CC}	电源电流（静态），V_{CC} = 3V 至 3.6V	驱动器和接收器已启用	$\overline{RE}$ = 0V，DE = V_{IO}，空载		3.5	5	mA
		驱动器被启用，接收器被禁用	$\overline{RE}$ = V_{IO}，DE = V_{IO}，空载		2.5	3	mA
		驱动器被禁用，接收器被启用	$\overline{RE}$ = 0V、DE = 0V，空载		2	3	mA
		驱动器和接收器被禁用	$\overline{RE}$ = V_{IO}，DE = 0V，D = 开路，空载		30	100	µA
I_{IO}	逻辑电源电流（静态），V_{IO} = 3V 至 3.6V	驱动器被禁用，接收器被启用，SLR = GND	DE = 0V，$\overline{RE}$ = 0V，空载		4.5	10	µA
		驱动器被禁用，接收器被启用，SLR = V_{IO}			3.3	10	µA
		驱动器被禁用，接收器被禁用，SLR = GND	DE = 0V，$\overline{RE}$ = V_{IO}，空载		4.5	8.4	µA
		驱动器被禁用，接收器被禁用，SLR = V_{IO}			3.3	8.4	µA

(1) 在任何特定条件下，都确保 V_{TH+} 至少比 V_{TH-} 高 V_{HYS}。
(2) 对于该器件，A 和 B 为接收器输入端子，Y 和 Z 为驱动器输出端子

5.8 开关特性：20Mbps

20Mbps (SLR = V_{IO})，在建议运行条件下测得。除非另有说明，否则所有典型值均在温度为 25°C、电源电压 V_{CC} = 5V、V_{IO} = 3.3V 的条件下测得。(1)

参数		测试条件		最小值	典型值	最大值	单位
驱动器							
t_r，t_f	差分输出上升/下降时间	R_L = 54 Ω，C_L = 50pF	参阅图 6-3	4	8	15	ns
t_{PHL}，t_{PLH}	传播延迟			6	15	30	ns
$t_{SK(P)}$	脉冲延迟，$\lvert t_{PHL} - t_{PLH} \rvert$				1	3	ns
t_{PHZ}，t_{PLZ}	禁用时间	$\overline{RE}$ = X	请参阅图 6-4 和图 6-3		17	35	ns
t_{PZH}，t_{PZL}	启用时间	$\overline{RE}$ = 0V			14	39	ns
		$\overline{RE}$ = V_{IO}			3	4.5	µs
t_{SHDN}	到关断的时间	$\overline{RE}$ = V_{IO}		50		500	ns
接收器							
t_r，t_f	输出上升/下降时间	C_L = 15pF	请参阅 图 6-6		1.5	6	ns
t_{PHL}，t_{PLH}	传播延迟			25	35	60	ns
$t_{SK(P)}$	脉冲延迟，$\lvert t_{PHL} - t_{PLH} \rvert$				1	5	ns
t_{PHZ}，t_{PLZ}	禁用时间	DE = X			12	25	ns
$t_{PZH(1)}$、$t_{PZL(1)}$	启用时间	DE = V_{IO}	请参阅 图 6-7		50	82	ns
$t_{PZH(2)}$、$t_{PZL(2)}$	启用时间	DE = 0V	请参阅 图 6-8		2.8	5	µs
$t_{D(OFS)}$	延迟进入失效防护操作	C_L = 15pF	请参阅 图 6-9	7	11	18	µs
$t_{D(FSO)}$	延迟退出失效防护操作			19	32	50	ns
t_{SHDN}	到关断的时间	DE = 0V	请参阅 图 6-8	50		500	ns

(1) 对于该器件，A 和 B 为接收器输入端子，Y 和 Z 为驱动器输出端子

Copyright © 2025 Texas Instruments Incorporated

5.9 开关特性：50Mbps

50Mbps (SLR = 0)，在建议运行条件下测得。除非另有说明，否则所有典型值均在温度为 25°C、电源电压 V_{CC} = 5V、V_{IO} = 3.3V 的条件下测得。(1)

参数		测试条件		最小值	典型值	最大值	单位
驱动器							
t_r，t_f	差分输出上升/下降时间	R_L = 54 Ω，C_L = 50pF	参阅图 6-3	1	5	7	ns
t_{PHL}，t_{PLH}	传播延迟			7	12	22	ns
$t_{SK(P)}$	脉冲延迟，$\lvert t_{PHL} - t_{PLH} \rvert$				1	3	ns
t_{PHZ}，t_{PLZ}	禁用时间	$\overline{RE}$ = X	请参阅图 6-4 和图 6-5		14	30	ns
t_{PZH}，t_{PZL}	启用时间	$\overline{RE}$ = 0V			20	35	ns
t_{PZH}，t_{PZL}	启用时间	$\overline{RE}$ = V_{IO}			2.5	4.5	µs
t_{SHDN}	到关断的时间	$\overline{RE}$ = V_{IO}		50		500	ns
接收器							
t_r，t_f	输出上升/下降时间	C_L = 15pF	请参阅 图 6-6		1.5	6	ns
t_{PHL}，t_{PLH}	传播延迟			25	35	60	ns
$t_{SK(P)}$	脉冲延迟，$\lvert t_{PHL} - t_{PLH} \rvert$				1	5	ns
t_{PHZ}，t_{PLZ}	禁用时间	DE = X			12	25	ns
$t_{PZH(1)}$、$t_{PZL(1)}$	启用时间	DE = V_{IO}	请参阅 图 6-7		50	82	ns
$t_{PZH(2)}$、$t_{PZL(2)}$	启用时间	DE = 0V	请参阅 图 6-8		3	5	µs
$t_{D(OFS)}$	延迟进入失效防护操作	C_L = 15pF	请参阅 图 6-9	7	10	18	µs
$t_{D(FSO)}$	延迟退出失效防护操作			19	35	50	ns
t_{SHDN}	到关断的时间	DE = 0V	请参阅 图 6-8	50		500	ns

(1) 对于该器件，A 和 B 为接收器输入端子，Y 和 Z 为驱动器输出端子

Copyright © 2025 Texas Instruments Incorporated

5.10 典型特性

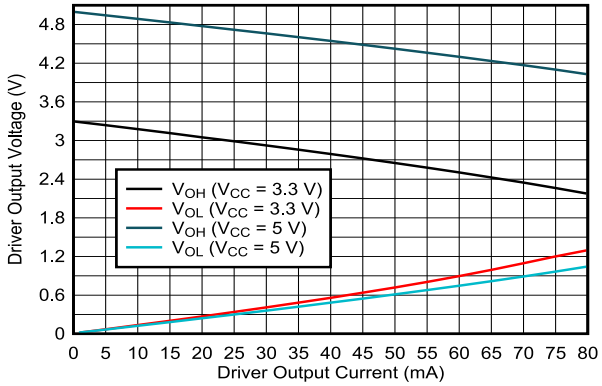


图 5-1. 驱动器输出电压与驱动器输出电流之间的关系

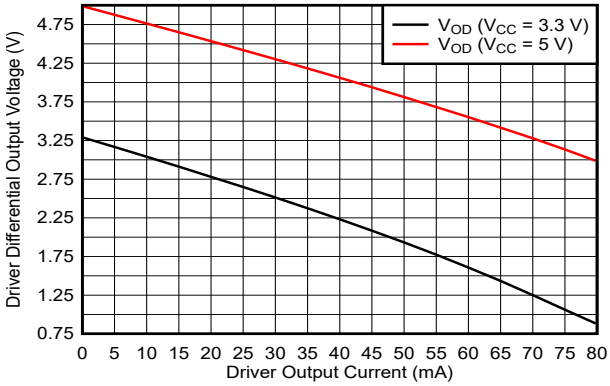


图 5-2. 驱动器差分输出电压与驱动器输出电流之间的关系

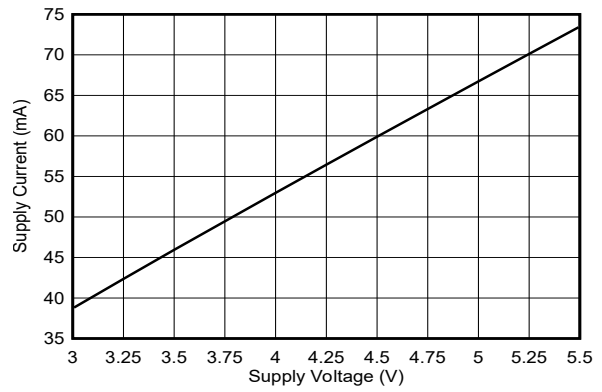


图 5-3. 电源电流与电源电压间的关系

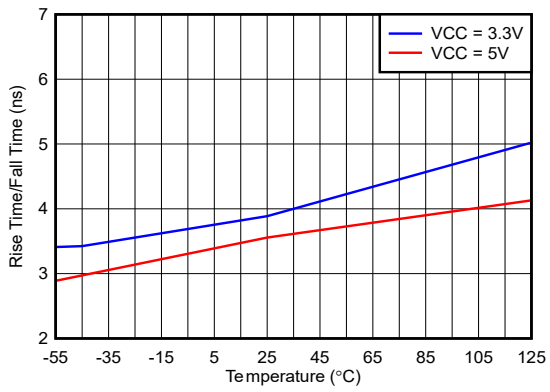


图 5-4. 上升和下降时间与温度间的关系

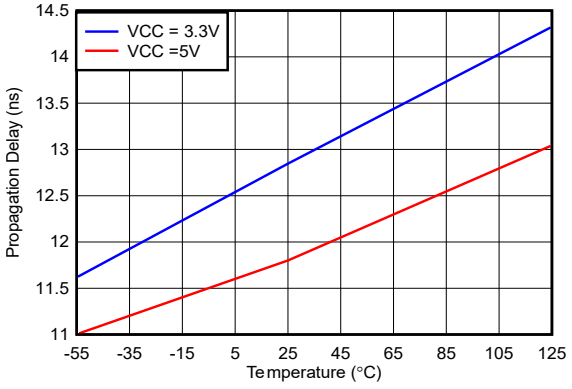


图 5-5. 传播延迟与温度之间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

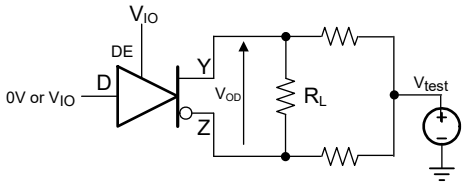


图 6-1. 具有共模负载的驱动器差分输出电压的测量

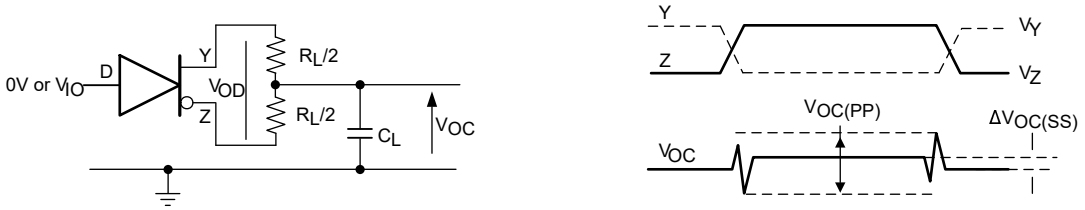


图 6-2. 具有 RS-485 负载的驱动器差分和共模输出的测量

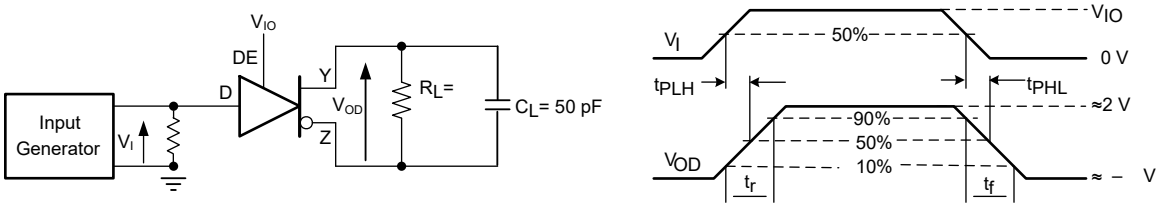
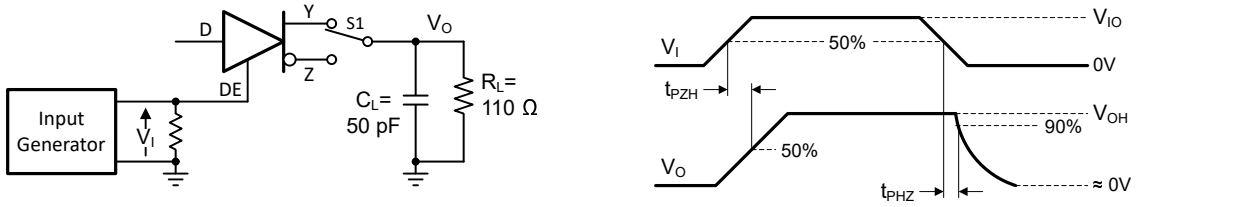
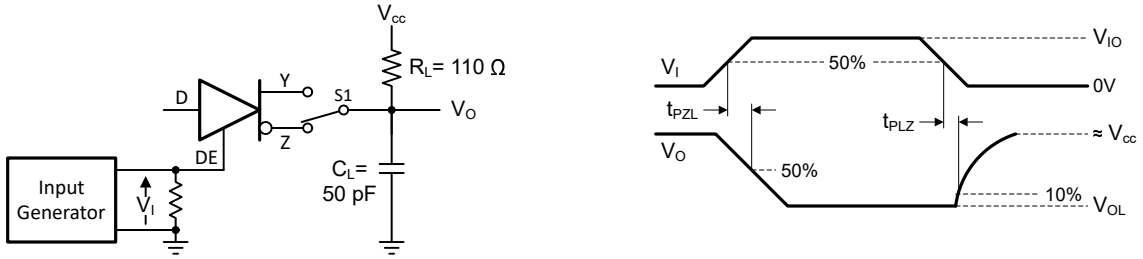


图 6-3. 驱动差分输出上升和下降次数以及传播延迟的测量



Copyright © 2017, Texas Instruments Incorporated

图 6-4. 具有高电平有效输出和下拉负载的驱动器启用和禁用次数的测量



Copyright © 2017, Texas Instruments Incorporated

图 6-5. 具有低电平有效输出和上拉负载的驱动器启用和禁用次数的测量

Copyright © 2025 Texas Instruments Incorporated

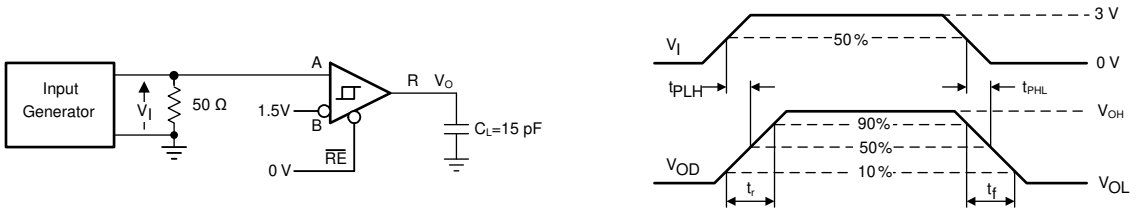


图 6-6. 接收器输出上升和下降次数以及传播延迟的测量

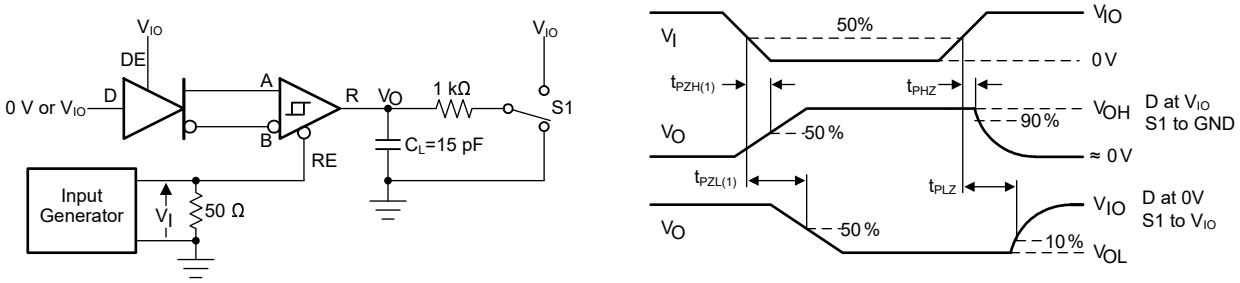


图 6-7. 驱动器已启用情况下接收器启用/禁用次数的测量

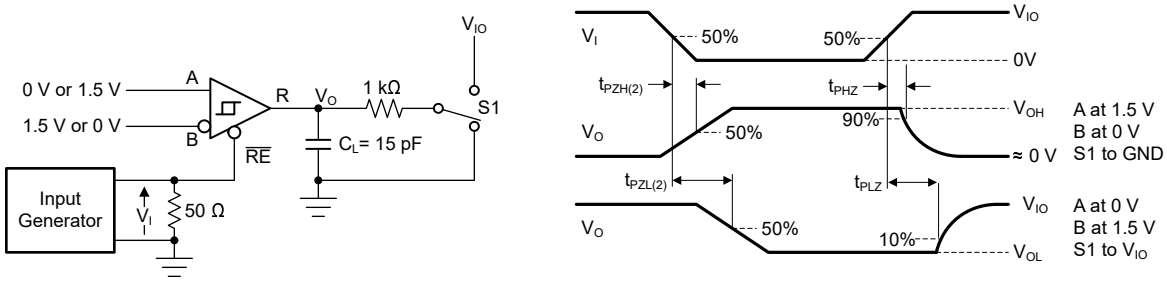


图 6-8. 驱动器被禁用情况下接收器启用次数的测量

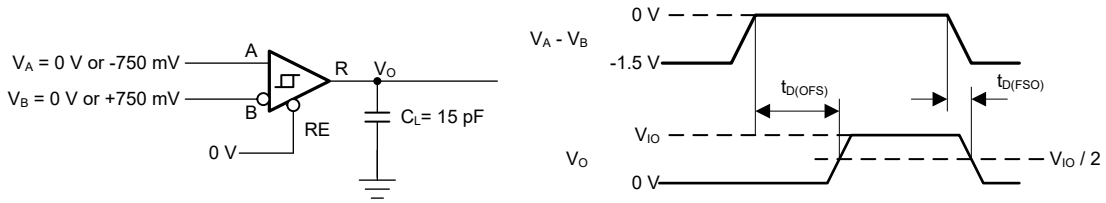


图 6-9. 失效防护延迟测量

7 详细说明

7.1 概述

THVD9491-SEP 是一款具有故障保护功能的全双工 RS-485 收发器，可支持两个速度等级，分别适用于高达 20Mbps 和 50Mbps 的数据传输，具体取决于 SLR 引脚上的逻辑电平。该器件均具有高电平有效的驱动器使能引脚和低电平有效的接收器使能引脚。

7.2 功能方框图

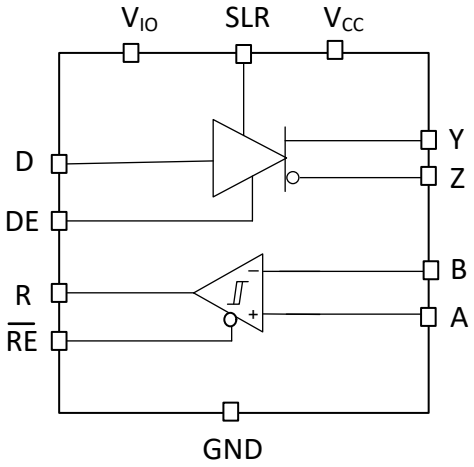


图 7-1. THVD9491-SEP 方框图

7.3 特性说明

7.3.1 ±40V 故障保护

与标准 RS-485 器件相比，THVD9491-SEP 收发器加强了总线故障保护。在恶劣工业环境中运行的收发器经常承受超过 TIA/EIA-485A 标准定义 –7V 至 +12V 的电压瞬变。为了防止在这种情况下受到损坏，具有较低绝对最大额定值的通用 RS-485 器件需要成本高昂的外部保护元件。为了简化系统设计并降低整体系统成本，该器件无需任何外部元件即可在高达 ±40V 的电压下受到保护。

7.3.2 集成 IEC ESD 和 EFT 保护

内部 ESD 保护电路可根据高达 ±8kV 的 IEC 61000-4-2 标准，保护收发器免受静电放电 (ESD) 的影响，并根据高达 ±4kV 的 IEC 61000-4-4 标准保护收发器免受电气快速瞬变 (EFT) 的影响。集成 ESD 结构有助于限制电压偏移并快速从中恢复，因为它们允许系统级的 EFT 标准 A（有瞬态噪声时不会丢失数据）。

7.3.3 驱动器过压和过流保护

THVD9491-SEP 驱动器可防止 -40V 至 +40V 范围内的任何直流电源短路。这些器件在内部将短路电流限制为 ±250mA，以符合 TIA/EIA-485A 标准。此外，如果输出故障电压超过 |±25V|，折返式限流电路可进一步将驱动器短路电流降至 ±5mA 以下。

该器件都具有热关断保护功能，如果结温超过 T_{SHDN}，则会因过多功率耗散而禁用驱动器和接收器。

7.3.4 增强型接收器抗噪性能

THVD9491-SEP 的差分接收器具有完全对称的阈值，即使在输入振幅很小的情况下也能保持信号的占空比。250mV（典型值）迟滞可提供出色的噪声抗扰度。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 接收器失效防护状态运行

接收器因以下原因而失效防护，导致无效总线状态：

- 出现总线开路，例如连接器断开
- 出现总线短路，例如电缆损坏，将双绞线短路在一起
- 当总线上的驱动器没有进行有源驱动时，出现总线空闲

其中任一种情况下，如果输入振幅停留时间超过 $t_{D(OFS)}$ 至少 $|V_{TH_FSH}|$，接收器将输出失效防护逻辑高电平状态。

7.3.6 低功耗关断模式

如果驱动 DE 低电平和 $\overline{RE}$ 高电平的时间多于 500ns，则器件进入关断模式。如果 DE 变为高电平或 $\overline{RE}$ 变为低电平，计数器复位。如果使能引脚处于禁用状态的时间少于 50ns，则器件不会进入关断模式。此功能可防止器件由于 DE 和 $\overline{RE}$ 之间的偏差而意外进入关断模式。

7.4 器件功能模式

当驱动器使能引脚 DE 为逻辑高电平时，差分输出 Y 和 Z 跟随数据输入 D 的逻辑状态。D 处的逻辑高电平会导致 Y 变为高电平，Z 变为低电平。在这种情况下，定义为 $V_{OD} = V_{(Y)} - V_Z$ 的差动分输出电压为正。当 D 为低电平时，输出状态反转：Z 变为高电平，Y 为低电平，V_{OD} 是负数。

当 DE 为低电平时，两个输出都变为高阻态。在这种情况下，与 D 处的逻辑状态无关。DE 引脚有一个内部下拉电阻接地。因此，当处于开路状态时，驱动器默认禁用（高阻抗）。D 引脚有一个连接到 V_{IO} 的内部上拉电阻器，因此，当启用驱动器且处于开路状态时，输出 Y 变为高电平，Z 变为低电平。

表 7-1. 驱动器功能表

输入	ENABLE	输出		功能
D	DE	Y	Z	
H	H	H	L	有源驱动总线高电平
L	H	L	H	有源驱动总线低电平
X	L	Z	Z	驱动器被禁用
X	断开	Z	Z	默认情况下，驱动器被禁用
断开	H	H	L	默认情况下，有源驱动总线为高电平

当接收器使能引脚 $\overline{RE}$ 为逻辑低电平时，接收器被启用。当通过 $V_{ID} = V_A - V_B$ 公式计算的差分输入电压高于正输入阈值 V_{TH+} 时，接收器输出 R 变为高电平。当 V_{ID} 低于负输入阈值 V_{TH-} 时，接收器输出 R 变为低电平。如果 V_{ID} 介于 V_{TH+} 和 V_{TH-} 之间，则输出是不确定的。

Copyright © 2025 Texas Instruments Incorporated

当 $\overline{RE}$ 为逻辑高电平或处于开路时，接收器输出为高阻抗，与 V_{ID} 的幅度和极性无关。当收发器与总线断开（开路）、总线与其他线路短接（短路）或未对总线进行有源驱动（空闲总线）时，接收器输入的内部偏置会导致输出失效防护高电平。

表 7-2. 接收器功能表

差分输入	ENABLE	输出	功能
$V_{ID} = V_A - V_B$	$\overline{RE}$	R	
$V_{TH+} < V_{ID}$	L	H	接收有效总线高电平
$V_{TH-} < V_{ID} < V_{TH+}$	L	?	待定总线状态
$V_{ID} < V_{TH-}$	L	L	接收有效总线低电平
X	H	Z	接收器被禁用
X	断开	Z	默认情况下，接收器被禁用
开路总线	L	H	失效防护高电平输出
短路总线	L	H	失效防护高电平输出
闲置（终止）总线	L	H	失效防护高电平输出

表 7-3 展示了 SLR（压摆率选择）引脚功能。SLR 具有集成下拉功能，因此器件保持在高速模式，直到 SLR 被拉至高电平，这会限制压摆率并将器件置于低速模式。

表 7-3. SLR 引脚控制

器件	以 SLR 引脚为基准的功能
THVD9491-SEP	SLR = 低电平或悬空：发送器 (TX) 和接收器 (RX) 最大速度均为 50Mbps SLR = 高：TX 和 RX 最大速度都限制为 20Mbps

表 7-4 显示了欠压场景中的器件行为：

表 7-4. 电源功能表

V_{CC}	V_{IO}	驱动器输出	接收器输出
> $UV_{VCC(rising)}$	> $UV_{VIO(rising)}$	由 DE 和 D 输入决定	由 $\overline{RE}$ 和 A-B 决定
< $UV_{VCC(falling)}$	> $UV_{VIO(rising)}$	高阻抗	失效防护 H（由 $\overline{RE}$ 控制）
> $UV_{VCC(rising)}$	< $UV_{VIO(falling)}$	高阻抗	高阻抗
< $UV_{VCC(falling)}$	< $UV_{VIO(falling)}$	高阻抗	高阻抗

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

8.1 应用信息

该器件是一款具有故障保护功能的全双工 RS-485 收发器，通常用于异步数据传输。对于这些器件，驱动器和接收器使能引脚允许配置不同的工作模式。

8.2 典型应用

RS-485 总线包含多个并联到总线电缆的收发器。为了消除线路反射，每个电缆末端都用一个端接电阻 R_T，其值与电缆的特征阻抗 $_0$ 匹配。这种方法称为并行端接，通常允许在更长的电缆长度上实现更高的数据速率。

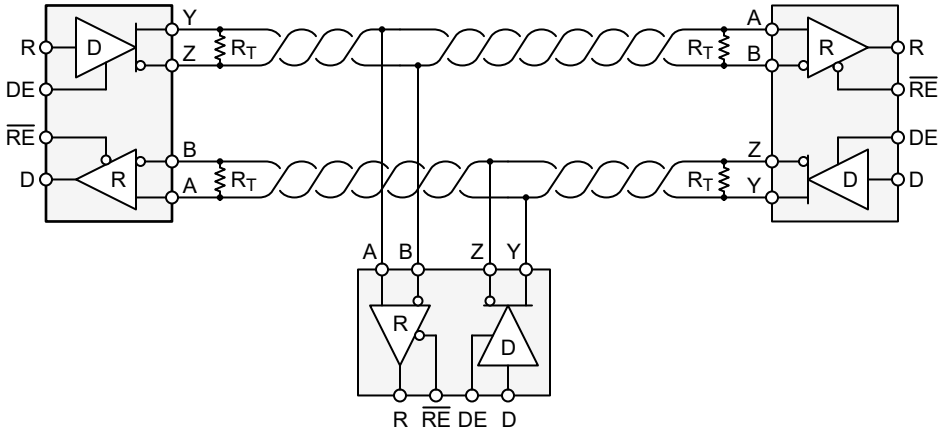


图 8-1. 具有半双工收发器的典型 RS-485 网络

8.2.1 设计要求

RS-485 是一种稳健的电气标准，适用于长距离网络，可用于具有不同要求（例如距离、数据速率和节点数量）的各种应用。

8.2.1.1 数据速率和总线长度

数据速率与电缆长度成反比关系，即数据速率越高，电缆长度越短；反之，数据速率越低，电缆长度越长。虽然大多数 RS-485 系统使用介于 10kbps 和 100kbps 之间的数据速率，但在 4000 英尺或更远距离范围内，某些应用需要的数据速率高达 250kbps。通过允许高达 5% 或 10% 的小信号抖动，可以实现更长的距离。

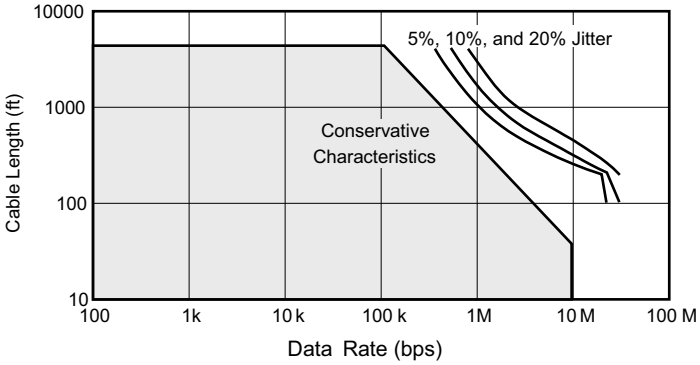


图 8-2. 电缆长度与数据速率特性间的关系

在互连足够短（或在信号频率下具有适当的低衰减）、不会降低数据质量的情况下，甚至可以实现更高的数据速率（高达 50Mbps）。

8.2.1.2 桩线长度

将节点连接到总线时，收发器输入和电缆干线之间的距离（称为桩线）应尽可能短。桩线是一段无端接的总线线路，随着长度的增加，桩线会引入相位不同的反射。作为通用指南，桩线的电气长度或往返延迟应小于驱动器上升时间的十分之一，即最大的物理桩线长度，如方程式 1 所示。

$$L_{(STUB)} \leqslant 0.1 \times t_r \times v \times c \quad (1)$$

其中

- t_r 是驱动器上升时间的 10/90
- c 是光速 (3×10^8m/s)
- v 是电缆或布线的信号速度，以 c 的系数表示

8.2.1.3 总线负载

RS-485 标准规定，符合标准的驱动器必须能够驱动 32 个单元负载 (UL)，其中 1 个单元负载表示大约 12kΩ 的负载阻抗。由于 THVD9491-SEP 器件包含 1/8 UL 收发器，因此可将多达 256 个接收器连接到总线。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.4 瞬态保护

THVD9491-SEP 收发器的总线引脚包括针对 ±16kV HBM 和 ±8kV IEC 61000-4-2 接触放电的片上 ESD 保护。国际电工委员会 (IEC) ESD 测试远比 HBM ESD 测试严格得多。IEC 模型的充电电容 $C_{(S)}$ 高出 50%，放电电阻 $R_{(D)}$ 低出 78%，所产生的放电电流明显高于 HBM 模型。如 IEC 61000-4-2 标准中所述，接触放电是首选的瞬态保护测试方法。

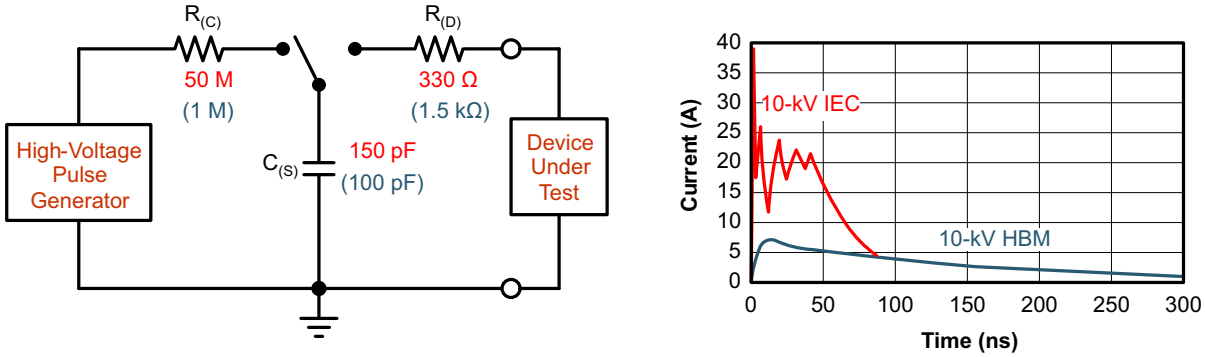


图 8-3. HBM 模型和 IEC ESD 模型的电流比较（括号中为 HBM 值）

IEC ESD 保护的片上实现可显著提高设备的稳健性。人体接触连接器和电缆时，会发生常见的放电事件。设计人员可以选择针对持续时间较长的瞬变（通常称为浪涌瞬变）实施保护。

EFT 通常是由继电器触点回跳或电感负载中断引起的。浪涌瞬变通常由雷击（直接雷击或感应电压和电流的间接雷击）或电力系统切换（包括负载变化和短路切换）引起。这些瞬变通常发生在工业环境中，例如工厂自动化和电网系统。

图 8-4 将 EFT 和浪涌瞬态的脉冲功率与 IEC ESD 瞬态功率进行了比较。左图显示了 0.5kV 浪涌瞬态和 4kV EFT 瞬态的相对脉冲功率，相比之下，左下角的 10kV ESD 瞬态不是很明显。500V 浪涌瞬态代表工业和过程自动化中工厂环境中可能发生的事件。

右图显示了 6kV 浪涌瞬变相对于相同 0.5kV 浪涌瞬变的脉冲功率。6kV 浪涌瞬变最有可能发生在发电和电网系统中。

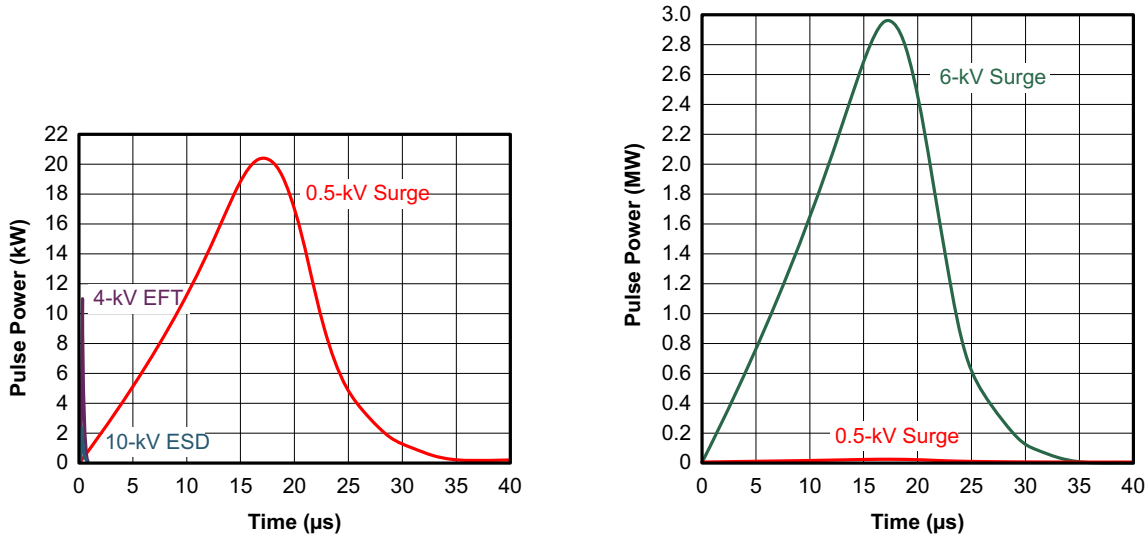


图 8-4. ESD、EFT 和浪涌瞬态的功耗比较

Copyright © 2025 Texas Instruments Incorporated

对于浪涌瞬变，高能量内容的特点是脉冲持续时间长和脉冲功率衰减缓慢。转储到收发器内部保护单元的瞬变电能被转换成热能，从而加热并破坏保护单元，进而损坏收发器。图 8-5 显示了单个 ESD、EFT、浪涌瞬变以及合规性测试期间常用的 EFT 脉冲序列的瞬态能量差异很大。

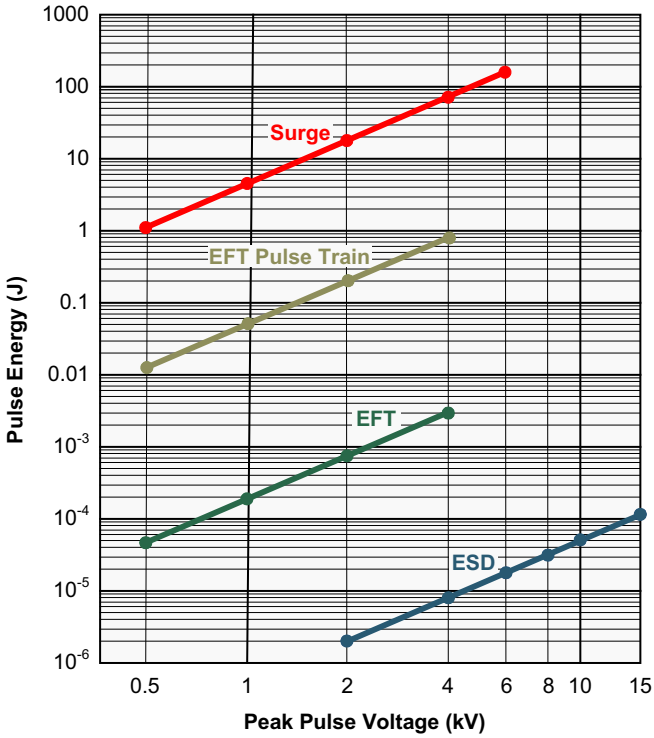


图 8-5. 瞬态能量的比较

Copyright © 2025 Texas Instruments Incorporated

8.2.2 详细设计过程

图 8-6 建议使用保护电路来抵御 1kV 浪涌 (IEC 61000-4-5) 瞬变。表 8-1 显示了相关的物料清单。SMAJ30CA TVS 二极管的额定工作电压高达 30V。这可以确保在直接 RS-485 总线与 24V 直流工业电源轨短路时，保护二极管不会导通。

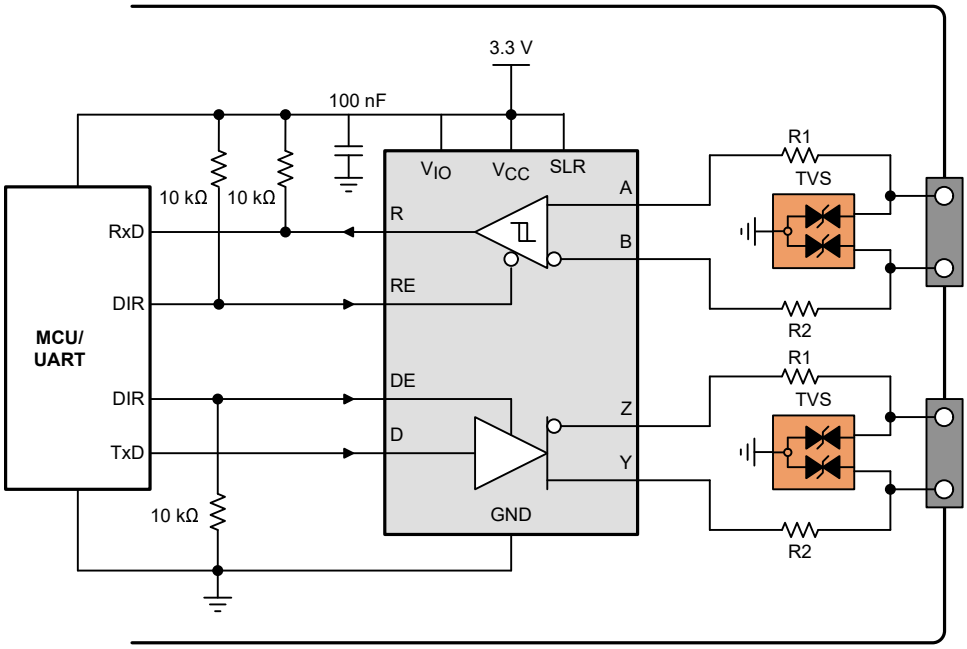


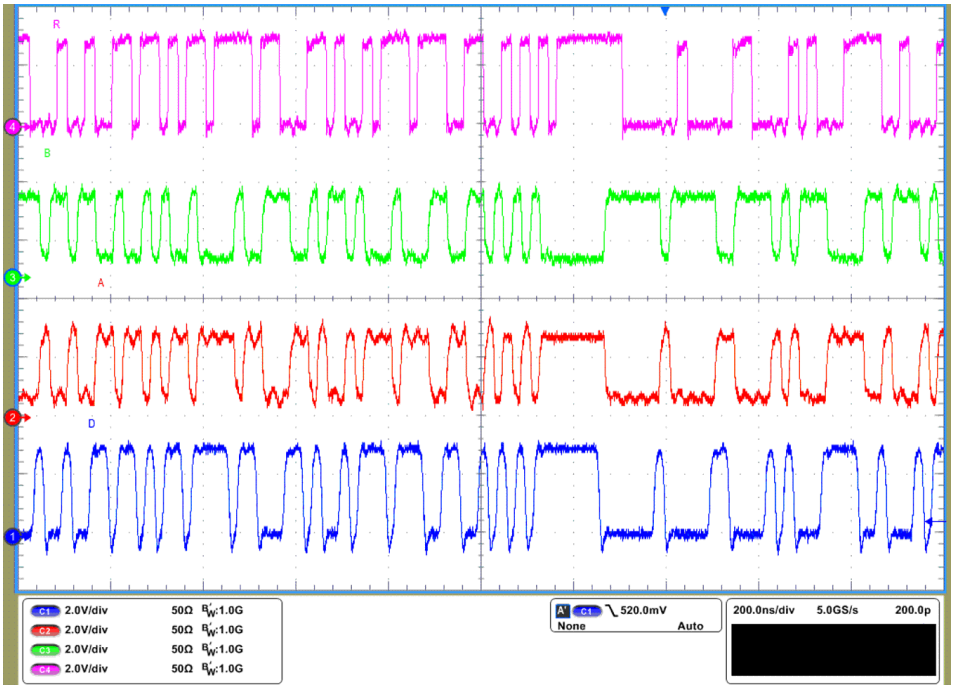
图 8-6. 针对全双工器件的浪涌瞬变的瞬态保护

表 8-1. 元件列表

器件	功能	订货编号	制造商(1)
收发器	RS-485 收发器	THVD9491-SEP	TI
TVS	双向 400W 瞬态抑制器	SMAJ30CA	Littelfuse

(1) 请参阅第三方产品免责声明

8.2.3 应用曲线



50Mbps 时的 PRBS 数据　　V_{CC} = V_{IO} = 3.3V　　SLR = GND　　R_L = 50 Ω

图 8-7. 驱动器输入 (D)、总线（A/Y、B/Z）和接收器输出 (R) 波形

8.3 电源相关建议

为确保在所有数据速率和电源电压下可靠运行，应使用 100nF 陶瓷电容对各个电源进行去耦，该电容的位置应尽可能靠近电源引脚。这样有助于减少开关模式电源输出中出现的电源电压波纹，并且有助于补偿 PCB 电源平面的电阻和电感。

Copyright © 2025 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

稳健而可靠的总线节点设计通常需要使用外部瞬态保护器件，以抑制工业环境中可能出现的浪涌瞬变。这些瞬变的频率带宽较宽（大概 3MHz 至 300MHz），因此在 PCB 设计过程中应该应用高频布局技术。

1. 将保护电路放置在靠近总线连接器的位置，以防止噪声瞬变在电路板上传播。
2. 使用 V_{CC} 和接地平面来提供低电感。请注意，高频电流会选择阻抗最小的路径，而非电阻最小的路径。
3. 将保护元件设计成信号路径的方向。不得将瞬态电流从信号路径强行转移至保护器件。
4. 在尽可能靠近电路板上收发器、UART 和/或控制器 IC 的 V_{CC}/V_{IO} 引脚的位置应用 100nF 至 220nF 的去耦电容器。
5. 当去耦电容器和保护器件连接 V_{CC}/V_{IO} 和接地端时，应至少使用两个过孔以更大限度减小实际过孔电感。
6. 使用 1kΩ 至 10kΩ 的上拉和下拉电阻用于使能线路，从而在瞬态事件期间限制这些线路中的噪声电流。
7. 如果 TVS 钳位电压高于收发器总线引脚的指定最大电压，则在 A 和 B 总线线路中插入防脉冲电阻器。这些电阻器可限制进入收发器的剩余钳位电流并防止其锁存。

8.4.2 布局示例

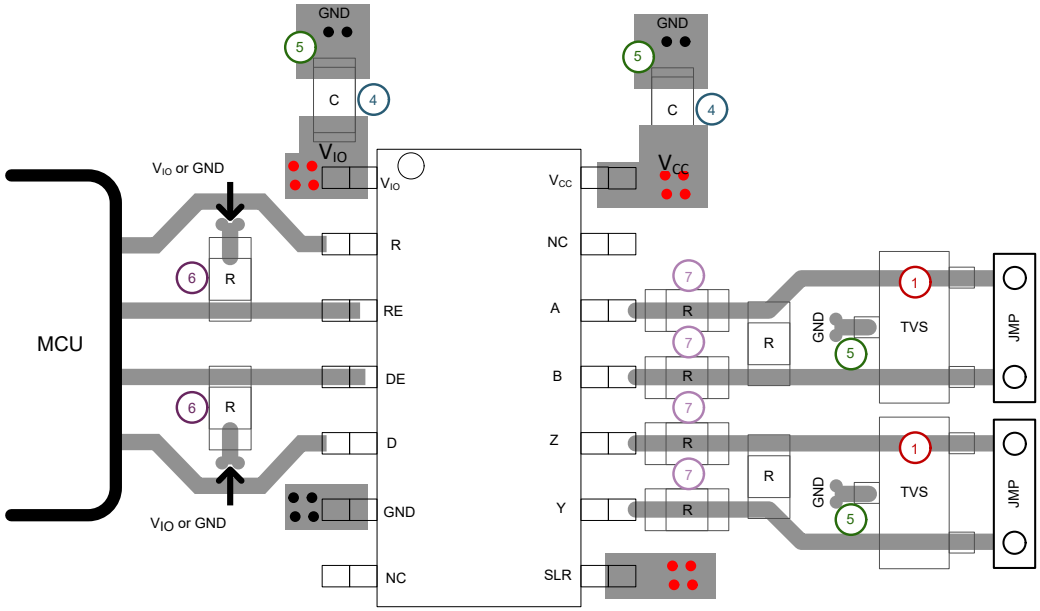


图 8-8. 全双工布局示例

9 器件和文档支持

9.1 器件支持

9.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from Revision B (December 2024) to Revision C (September 2025)	Page
• 更改了 *电气特性* 表中 I_{OS} 短路输出电流的测试条件。	6

Changes from Revision A (December 2024) to Revision B (December 2024)	Page
• 将 I_{IO}（接收器已启用）最大值从 8.4μA 更新为 10μA	6

Changes from Revision * (January 2024) to Revision A (December 2024)	Page
• 将文档从“预告信息”更改为*量产*数据	1

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THVD9491DTSEP	Active	Production	SOIC (D) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	T9491SEP
THVD9491DTSEP.A	Active	Production	SOIC (D) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	T9491SEP
V62/24626-01XE	Active	Production	SOIC (D) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	T9491SEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

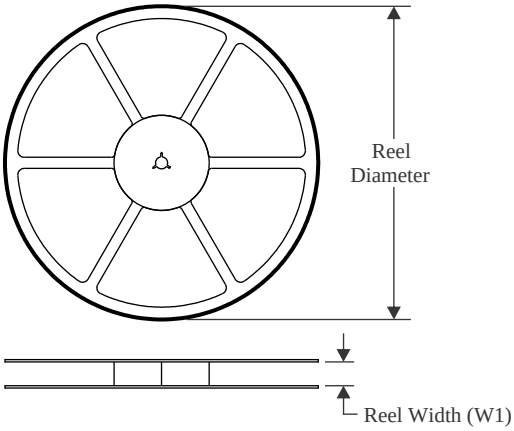
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

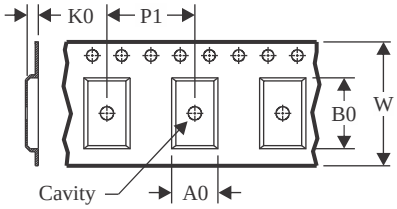
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

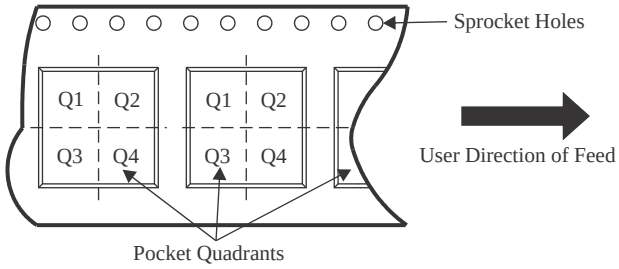


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

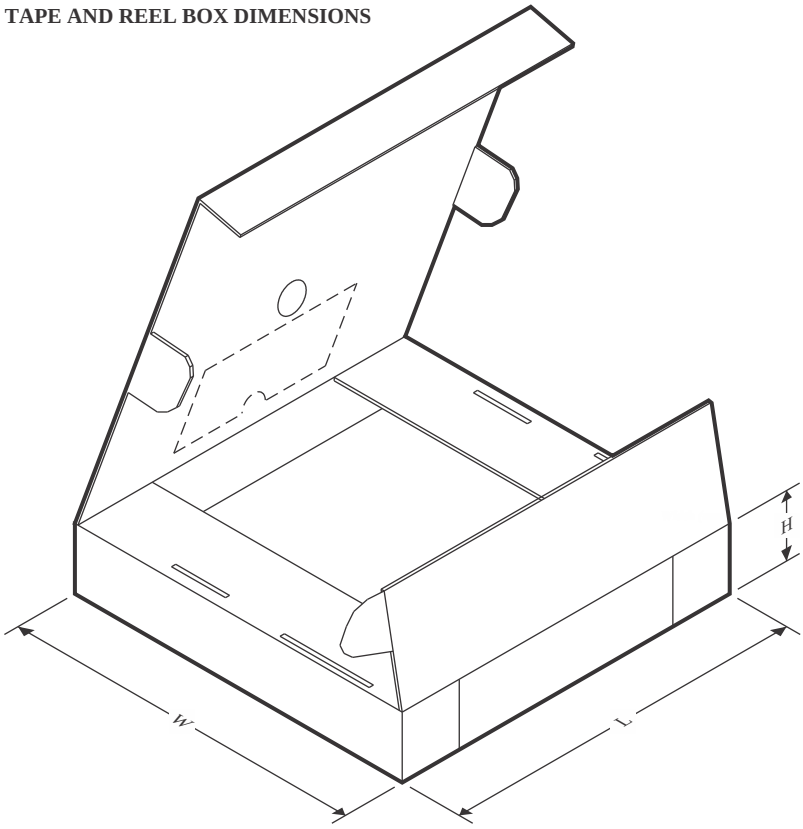
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

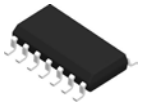
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THVD9491DTSEP	SOIC	D	14	250	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THVD9491DTSEP	SOIC	D	14	250	353.0	353.0	32.0

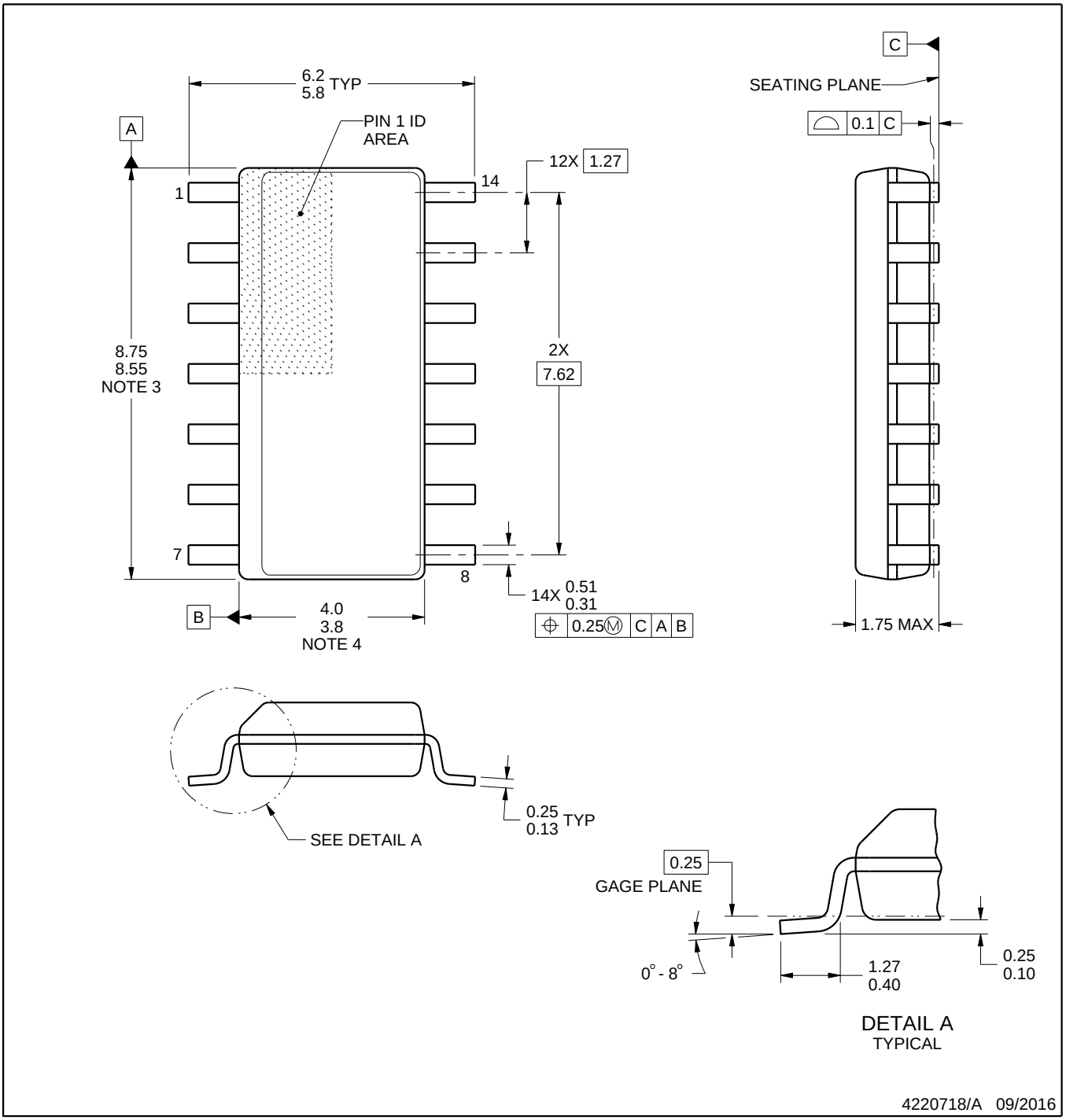


PACKAGE OUTLINE

D0014A

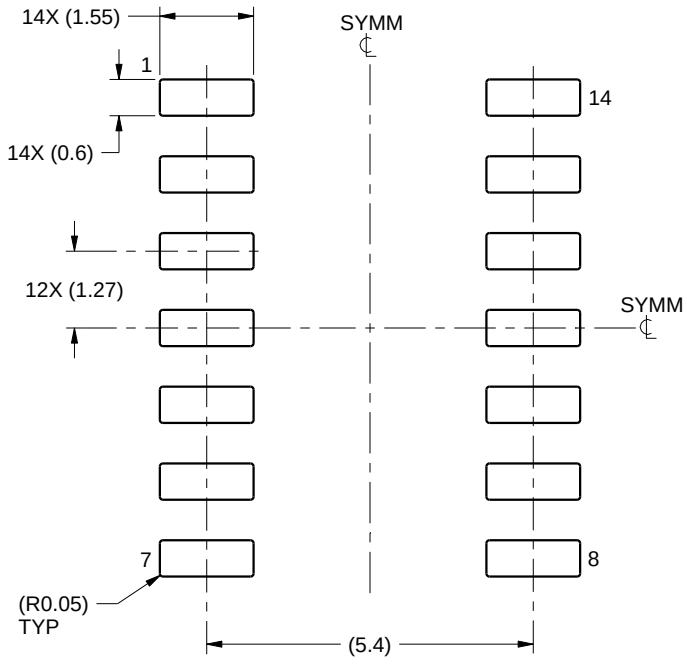
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

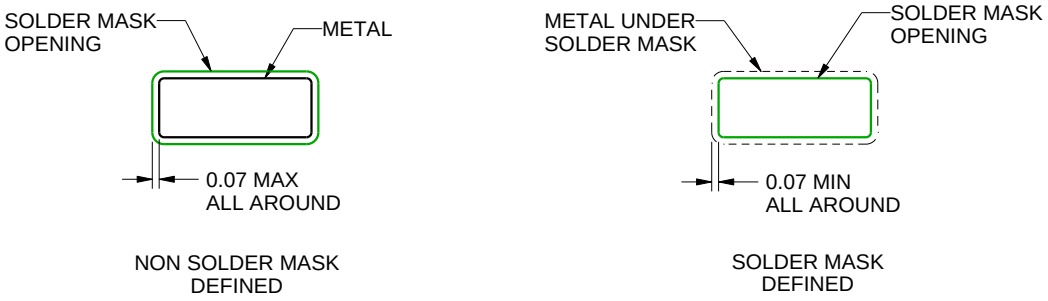


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

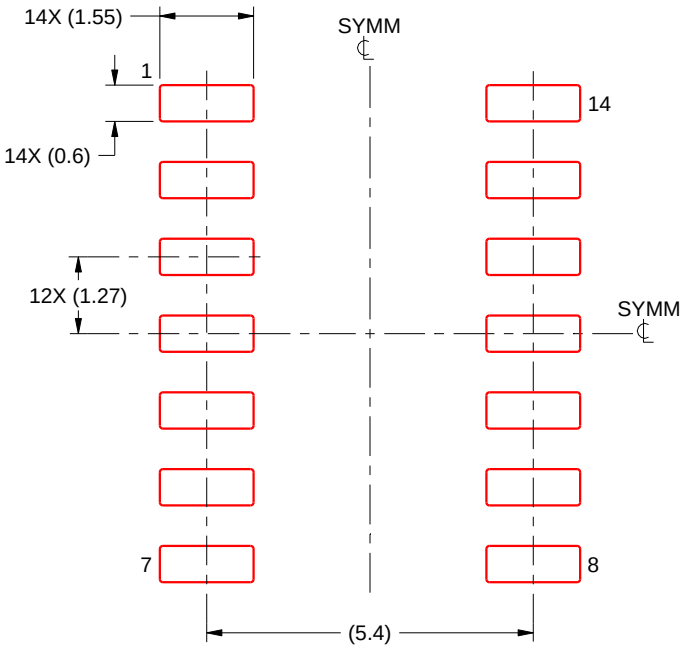
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月