

THS6232 具有共模缓冲器的 7V 至 40V 差分 HPLC 线路驱动器

1 特性

- 电源电压范围 (V_S) : 7V 至 40V
- 小信号带宽 : 75MHz ($V_O = 2V_{PP}$, $G = 5$)
- 可调功耗模式 :
 - 满偏置模式 : 25mA
 - 中偏置模式 : 19.5mA
 - 低偏置模式 : 15mA
 - 超低偏置模式 : 10mA
 - 低功耗关断模式
 - IADJ 引脚, 用于调节偏置电流
- SGCC HPLC 带外抑制 : >30dBc
 - Band0 : 49dBc
 - Band1 : 61dBc
 - Band2 : 64dBc
 - Band3 : 65dBc
- 高输出电流 : 800mA ($V_S = 40V$, 1Ω 负载)
- 低失真 ($V_S = 12V$, 50Ω 负载) :
 - HD2 (1MHz 下) : -88dBc
 - HD3 (1MHz 下) : -99dBc
- 宽输出摆幅 ($V_S = 12V$) :
 - $21V_{PP}$ (100Ω 负载) , $19V_{PP}$ (50Ω 负载)
- 集成 1/2 V_S 共模缓冲器
- 集成式过热保护
- 与采用 24 引脚 VQFN 封装的 THS6212 和 THS6222 引脚兼容

2 应用

- SGCC HPLC 线路驱动器
- 窄带 PLC : G3、PRIME、IEEE P1901.2
- 智能仪表
- 超声波流量计
- 太阳能快速关断
- 智能照明
- 数据集中器

3 说明

THS6232 是一款具有电流反馈架构的差分线路驱动器放大器, 可提供高输出电流和低失真性能。该器件专用于在驱动重线路负载时需要高线性度的宽带、高速、电力线通信 (HPLC) 线路驱动器应用。

THS6232 的独特架构可以尽可能降低静态电流, 同时提供极高的线性度。该放大器具有可调的电流引脚 (IADJ), 可设定多种偏置模式的额定电流消耗, 从而提供更佳的节能效果, 而无需发挥放大器的全部性能。关断偏置模式能够在时分多路复用 (TDM) 系统中进一步降低接收模式下的功耗, 同时保持高输出阻抗。集成式 1/2 V_S 共模缓冲器不需要外部元件, 从而降低了系统成本并节省了布板空间。

$21V_{PP}$ (100Ω 负载) 的宽输出摆幅搭配 12V 电源以及超过 550mA 的电流驱动, 可提供将失真限制在较低水平的宽动态范围。

THS6232 采用 24 引脚 VQFN 封装 (带有外露散热焊盘), 额定工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 。

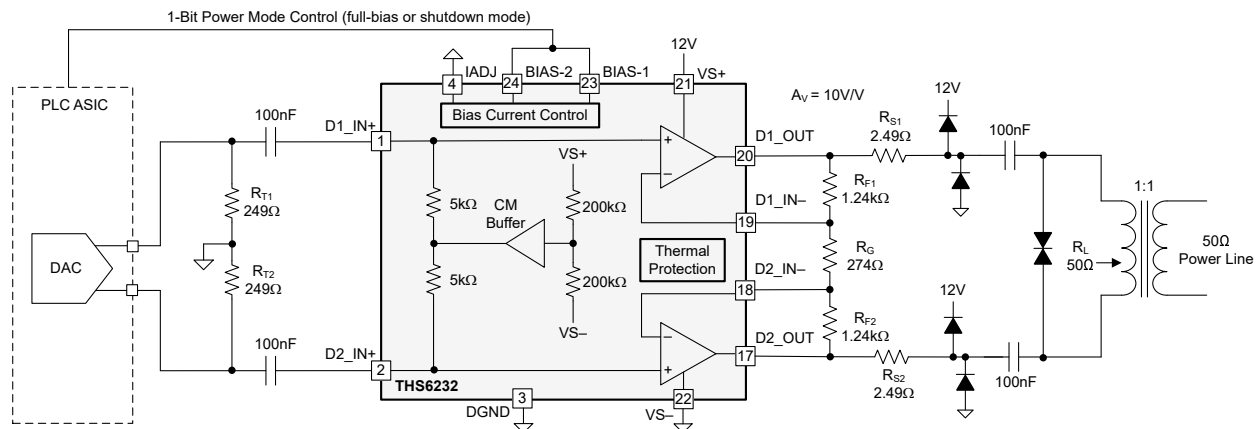
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
THS6232	RHF (VQFN , 24)	5mm × 4mm

(1) 有关更多信息, 请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。





采用 THS6232 的典型线路驱动器电路

内容

1 特性	1	6.4 器件功能模式	23
2 应用	1	7 应用和实施	23
3 说明	1	7.1 应用信息.....	23
4 引脚配置和功能	4	7.2 典型应用.....	23
5 规格	6	7.3 优秀设计实践.....	26
5.1 绝对最大额定值.....	6	7.4 电源相关建议.....	26
5.2 ESD 等级.....	6	7.5 布局.....	27
5.3 建议运行条件.....	6	8 器件和文档支持	29
5.4 热性能信息.....	6	8.1 器件支持.....	29
5.5 电气特性 $V_S = 12V$	7	8.2 文档支持.....	29
5.6 电气特性 $V_S = 40V$	9	8.3 接收文档更新通知.....	29
5.7 时序要求.....	10	8.4 支持资源.....	29
5.8 典型特性 $V_S = 12V$	11	8.5 商标.....	29
5.9 典型特性 $V_S = 40V$	16	8.6 静电放电警告.....	29
6 详细说明	19	8.7 术语表.....	29
6.1 概述.....	19	9 修订历史记录	29
6.2 功能方框图.....	19	10 机械、封装和可订购信息	29
6.3 特性说明.....	20		

4 引脚配置和功能

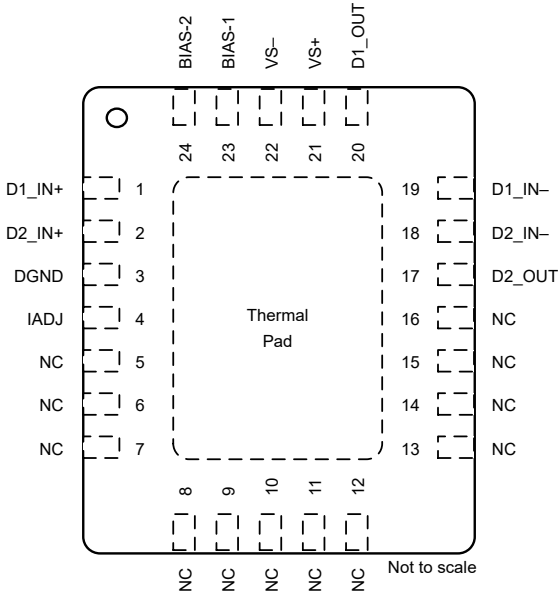


图 4-1. RHF 封装，24 引脚 VQFN（带外露散热焊盘）（顶视图）

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
BIAS-1 ⁽¹⁾	23	输入	偏置模式控制引脚 1。有关更多详细信息，请参阅表 4-2。
BIAS-2 ⁽¹⁾	24	输入	偏置模式控制引脚 2。有关更多详细信息，请参阅表 4-2。
D1_IN -	19	输入	放大器 D1 反相输入
D1_IN+	1	输入	放大器 D1 同相输入
D1_OUT	20	输出	放大器 D1 输出
D2_IN -	18	输入	放大器 D2 反相输入
D2_IN+	2	输入	放大器 D2 同相输入
D2_OUT	17	输出	放大器 D2 输出
DGND ⁽²⁾	3	输入	偏置控制引脚的接地参考
IADJ	4	输入	偏置电流调节引脚
NC	5-16	—	无内部连接
VS -	22	—	负电源连接
VS+	21	—	正电源连接
散热焊盘	Pad	—	电连接至裸片基板和 VS - 。 连接到印刷电路板 (PCB) 上的 VS - ，以获得出色性能。

(1) 如果偏置引脚上没有信号，则 THS6232 默认为关断（禁用）状态。

(2) DGND 引脚电压范围为 VS- 至 (VS+) - 5V。

表 4-2. 偏置模式逻辑表

偏置控制引脚		模式	测试条件 ($A_V = 10V/V$, $50\ \Omega$ 负载)
BIAS-1	BIAS-2		
0	0	满偏置	$R_F = 1.24k\ \Omega$, $R_G = 274\ \Omega$
1	0	中偏置	$R_F = 1.24k\ \Omega$, $R_G = 274\ \Omega$
0	1	低偏置	$R_F = 1.24k\ \Omega$, $R_G = 274\ \Omega$
0 (IADJ = 悬空)	1 (IADJ = 悬空)	超低偏置	$R_F = 2k\ \Omega$, $R_G = 442\ \Omega$

表 4-2. 偏置模式逻辑表 (续)

偏置控制引脚		模式	测试条件 ($A_V = 10V/V$, $50\ \Omega$ 负载)
BIAS-1	BIAS-2		
1	1	关断	

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V_S	电源电压, $V_S = (V_{S+}) - (V_{S-})$		42	V
V_{BIAS}	偏置控制引脚电压	$(V_{DGND}) - 0.5$	$(V_{S+}) + 0.5$	V
V_{PINS}	除 V_{S+} 、 V_{S-} 和 $BIAS$ 控制以外的所有引脚	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
V_{IADJ}	IADJ 引脚电压	V_{DGND}	$V_{DGND} + 0.5$	V
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±2500	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准, 所有引脚 ⁽²⁾	±1000	

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V_S	电源电压, $V_S = (V_{S+}) - (V_{S-})$	7		40	V
V_{DGND}	DGND 引脚电压	V_{S-}		$V_{S+} - 5$	V
T_J	工作结温	-40	25	125	°C

5.4 热性能信息

热指标 ⁽¹⁾		THS6232	单位
		RHF (VQFN)	
		24 引脚	
$R_{\theta JA}$	结至环境热阻	51.1	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	45.5	°C/W
$R_{\theta JB}$	结至电路板热阻	28.9	°C/W
Ψ_{JT}	结至顶部特征参数	5.3	°C/W
Ψ_{JB}	结至电路板特征参数	28.8	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	16.9	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性 $V_S = 12V$

在 $T_A \cong 25^\circ C$ ，差分闭环增益 (A_V) = 10V/V，差分负载 (R_L) = 50 Ω ，串联隔离电阻器 (R_S) = 2.5 Ω (每个)， $R_F = 1.24k\Omega$ ， $R_{ADJ} = 0\Omega$ ， $V_O = D1_OUT - D2_OUT$ 和满偏置时 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
交流性能						
SSBW	小信号带宽	$A_V = 5V/V$, $R_F = 1.5k\Omega$, $V_O = 2V_{PP}$		75		MHz
		$A_V = 10V/V$, $R_F = 1.24k\Omega$, $V_O = 2V_{PP}$		60		
		$A_V = 15V/V$, $R_F = 1k\Omega$, $V_O = 2V_{PP}$		55		
	0.1dB 带宽平坦度			2		MHz
LSBW	大信号带宽	$V_O = 16V_{PP}$		45		MHz
SR	压摆率 (20% 至 80%)	$V_O = 16V$ 阶跃		1200		V/ μs
	上升和下降时间 (10% 至 90%)	$V_O = 2V_{PP}$		4		ns
HD2	二阶谐波失真	$A_V = 10V/V$, $V_O = 2V_{PP}$, $R_L = 50\Omega$	满偏置, $f = 1MHz$	-88		dBc
			中偏置, $f = 1MHz$	-85		
			低偏置, $f = 1MHz$	-84		
			超低偏置, $f = 1MHz$	-83		
			满偏置, $f = 10MHz$	-53		
			中偏置, $f = 10MHz$	-51		
			低偏置, $f = 10MHz$	-50		
			超低偏置, $f = 10MHz$	-47		
HD3	三阶谐波失真	$A_V = 10V/V$, $V_O = 2V_{PP}$, $R_L = 50\Omega$	满偏置, $f = 1MHz$	-99		dBc
			中偏置, $f = 1MHz$	-90		
			低偏置, $f = 1MHz$	-85		
			超低偏置, $f = 1MHz$	-73		
			满偏置, $f = 10MHz$	-59		
			中偏置, $f = 10MHz$	-51		
			低偏置, $f = 10MHz$	-45		
			超低偏置, $f = 10MHz$	-36		
e_n	差分输入电压噪声	$f \geq 1MHz$, 以输入为基准		5		nV/ $\sqrt{Hz}$
i_{n+}	同相输入电流噪声	$f \geq 1MHz$, 每个放大器		53		pA/ $\sqrt{Hz}$
i_{n-}	反相输入电流噪声	$f \geq 1MHz$, 每个放大器		235		pA/ $\sqrt{Hz}$
直流性能						
Z_{OL}	开环跨阻增益			4		G Ω
	输入失调电压 (每个放大器)			± 7		mV
	输入失调电压匹配	放大器 A 到 B		± 0.1		mV
	同相输入偏置电流			± 30		μA
	反相输入偏置电流			± 90		μA
输入特性						
	共模输入电压	每个输入相对于 1/2 V_S		± 2.6		V
CMRR	共模抑制比	每路输入		80		dB
	同相差分输入阻抗			10 1.5		k Ω pF
	反相输入电阻			90		Ω
输出特性						

5.5 电气特性 $V_S = 12V$ (续)

在 $T_A \cong 25^\circ C$ ，差分闭环增益 (A_V) = 10V/V，差分负载 (R_L) = 50 Ω ，串联隔离电阻器 (R_S) = 2.5 Ω (每个)， $R_F = 1.24k\Omega$ ， $R_{ADJ} = 0\Omega$ ， $V_O = D1_OUT - D2_OUT$ 和满偏置时 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V _O	输出电压摆幅	R _L = 100 Ω , R _S = 0 Ω	±10.5		V	
		R _L = 50 Ω , R _S = 0 Ω	±9.5			
		R _L = 25 Ω , R _S = 0 Ω	±8			
I _O	输出电流 (拉电流和灌电流)	R _L = 25 Ω , R _S = 0 Ω , 基于 V _O 规格	±310		mA	
	短路输出电流		0.55		A	
Z _O	闭环输出阻抗	f = 1MHz , 差分	0.015		Ω	
电源						
I _{S+}	静态电流	满偏置 (BIAS-1 = 0 , BIAS-2 = 0)	25		mA	
		中偏置 (BIAS-1 = 1 , BIAS-2 = 0)	19.5			
		低偏置 (BIAS-1 = 0 , BIAS-2 = 1)	15			
		超低偏置 (BIAS-1 = 0 , BIAS-2 = 1 , IADJ = 悬空)	10			
		偏置关闭 (BIAS-1 = 1 , BIAS-2 = 1)	0.45			
	流过 DGND 引脚的电流	满偏置 (BIAS-1 = 0 , BIAS-2 = 0)	0.15		mA	
+PSRR	正电源抑制比	差分	90		dB	
- PSRR	负电源抑制比	差分	90		dB	
偏置控制						
	偏置控制引脚电压	相对于 DGND ,	0	3.3	V _{S+}	V
	偏置控制引脚逻辑阈值	逻辑 1 , 相对于 DGND ,	2.1		V	
		逻辑 0 , 相对于 DGND ,	0.8			
	偏置控制引脚电流 ⁽¹⁾	BIAS-1 , BIAS-2 = 0.5V (逻辑 0)	-7		μA	
		BIAS-1 , BIAS-2 = 3.3V (逻辑 1)	7		nA	
	开环输出阻抗	关闭偏置 (BIAS-1 = 1 , BIAS-2 = 1)	245 20		M Ω pF	

(1) 电流可视为进入引脚的正电流。

5.6 电气特性 $V_S = 40V$

在 $T_A \cong 25^\circ C$ ，差分闭环增益 (A_V) = 10V/V，差分负载 (R_L) = 100 Ω ， $R_F = 1.24k\Omega$ ， $R_{ADJ} = 0\Omega$ ， $V_O = D1_OUT - D2_OUT$ 和满偏置时（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽	$A_V = 5V/V$, $R_F = 1.5k\Omega$, $V_O = 2V_{PP}$		60		MHz	
		$A_V = 10V/V$, $R_F = 1.24k\Omega$, $V_O = 2V_{PP}$		50			
		$A_V = 15V/V$, $R_F = 1k\Omega$, $V_O = 2V_{PP}$		45			
	0.1dB 带宽平坦度			2		MHz	
LSBW	大信号带宽	$V_O = 16V_{PP}$		41		MHz	
SR	压摆率 (20% 至 80%)	$V_O = 16V$ 阶跃		1200		V/ μs	
	上升和下降时间 (10% 至 90%)	$V_O = 2V_{PP}$		5		ns	
HD2	二阶谐波失真	$A_V = 10V/V$, $V_O = 2V_{PP}$, $R_L = 100\Omega$	满偏置 , $f = 1MHz$	-101		dBc	
			中偏置 , $f = 1MHz$	-96			
			低偏置 , $f = 1MHz$	-93			
			超低偏置 , $f = 1MHz$	-93			
			满偏置 , $f = 10MHz$	-71			
			中偏置 , $f = 10MHz$	-65			
			低偏置 , $f = 10MHz$	-63			
			超低偏置 , $f = 10MHz$	-57			
HD3	三阶谐波失真	$A_V = 10V/V$, $V_O = 2V_{PP}$, $R_L = 100\Omega$	满偏置 , $f = 1MHz$	-115		dBc	
			中偏置 , $f = 1MHz$	-105			
			低偏置 , $f = 1MHz$	-98			
			超低偏置 , $f = 1MHz$	-84			
			满偏置 , $f = 10MHz$	-77			
			中偏置 , $f = 10MHz$	-67			
			低偏置 , $f = 10MHz$	-60			
			超低偏置 , $f = 10MHz$	-50			
e_n	差分输入电压噪声	$f \geq 1MHz$, 以输入为基准		5		nV/ $\sqrt{Hz}$	
i_{n+}	同相输入电流噪声	$f \geq 1MHz$, 每个放大器		53		pA/ $\sqrt{Hz}$	
i_{n-}	反相输入电流噪声	$f \geq 1MHz$, 每个放大器		235		pA/ $\sqrt{Hz}$	
直流性能							
Z_{OL}	开环跨阻增益			4		G Ω	
	输入失调电压 (每个放大器)			± 7		mV	
	输入失调电压匹配	放大器 A 到 B		± 0.6		mV	
	同相输入偏置电流			± 60		μA	
	反相输入偏置电流			± 100		μA	
输入特性							
	共模输入电压	每个输入相对于 1/2 V_s		± 15		V	
CMRR	共模抑制比	每路输入		79		dB	
	同相差分输入阻抗			10 1.5		k Ω pF	
	反相输入电阻			85		Ω	
输出特性							

5.6 电气特性 $V_S = 40V$ (续)

在 $T_A \cong 25^\circ C$ ，差分闭环增益 (A_V) = 10V/V，差分负载 (R_L) = 100 Ω ， $R_F = 1.24k\Omega$ ， $R_{ADJ} = 0\Omega$ ， $V_O = D1_OUT - D2_OUT$ 和满偏置时（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V _O	输出电压摆幅	R _L = 100 Ω , R _S = 0 Ω	±35		V	
		R _L = 50 Ω , R _S = 0 Ω	±25.5			
		R _L = 25 Ω , R _S = 0 Ω	±14.5			
I _O	输出电流 (拉电流和灌电流)	R _L = 25 Ω , R _S = 0 Ω , 基于 V _O 规格	+680/-530		mA	
	短路输出电流		0.8		A	
Z _O	闭环输出阻抗	f = 1MHz , 差分	0.017		Ω	
电源						
I _{S+}	静态电流	满偏置 (BIAS-1 = 0 , BIAS-2 = 0)	26		mA	
		中偏置 (BIAS-1 = 1 , BIAS-2 = 0)	21			
		低偏置 (BIAS-1 = 0 , BIAS-2 = 1)	16			
		超低偏置 (BIAS-1 = 0 , BIAS-2 = 1 , IADJ = 悬空)	11			
		偏置关闭 (BIAS-1 = 1 , BIAS-2 = 1)	0.75			
	流过 DGND 引脚的电流	满偏置 (BIAS-1 = 0 , BIAS-2 = 0)	0.15		mA	
+PSRR	正电源抑制比	差分	91		dB	
- PSRR	负电源抑制比	差分	91		dB	
偏置控制						
	偏置控制引脚电压	相对于 DGND ,	0	3.3	V _{S+}	V
	偏置控制引脚逻辑阈值	逻辑 1 , 相对于 DGND ,	2.1		V	
		逻辑 0 , 相对于 DGND ,	0.8			
	偏置控制引脚电流 ⁽¹⁾	BIAS-1 , BIAS-2 = 0.5V (逻辑 0)	-7		μA	
	偏置控制引脚电流 ⁽¹⁾	BIAS-1 , BIAS-2 = 3.3V (逻辑 1)	6		nA	
	开环输出阻抗	关闭偏置 (BIAS-1 = 1 , BIAS-2 = 1)	245 17		M Ω pF	

(1) 电流可视为进入引脚的正电流。

5.7 时序要求

		最小值	标称值	最大值	单位
t_{ON}	导通延时时间：输出开始跟踪输入的时间	1100		ns	
t_{OFF}	关断延时时间：输出停止跟踪输入的时间	190		ns	

5.8 典型特性 $V_S = 12V$

在 $T_A \approx 25^\circ C$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 50\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)

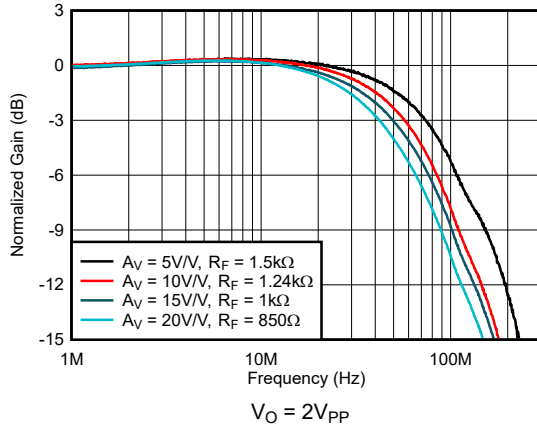


图 5-1. 小信号频率响应

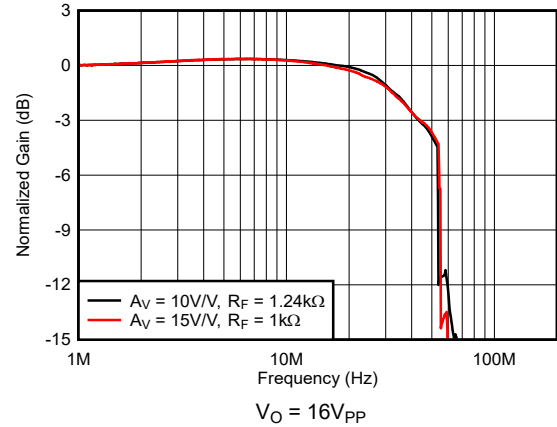
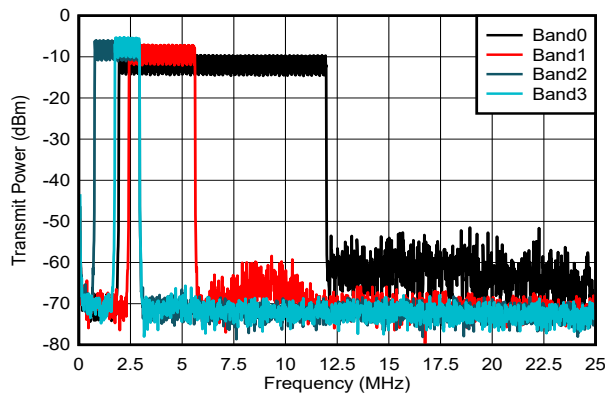
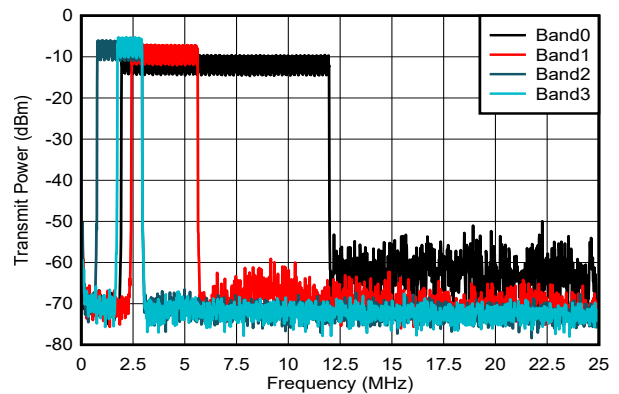


图 5-2. 大信号频率响应



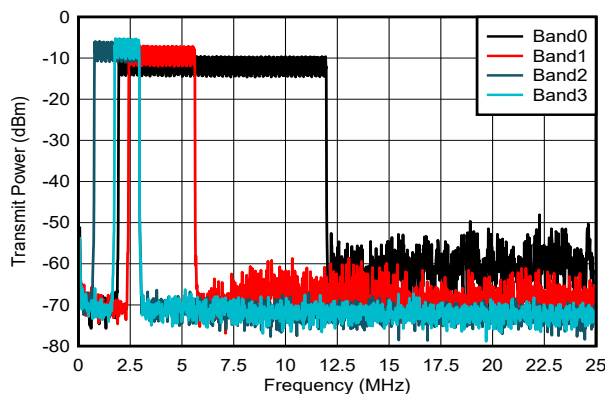
SGCC HPLC 曲线, 满偏置模式

图 5-3. 带外抑制



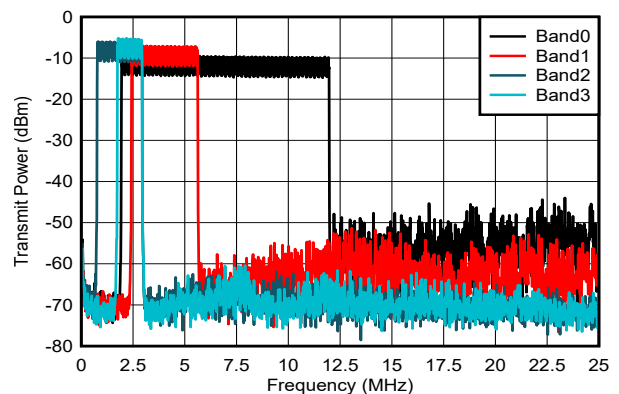
SGCC HPLC 曲线, 中偏置模式

图 5-4. 带外抑制



SGCC HPLC 曲线, 低偏置模式

图 5-5. 带外抑制

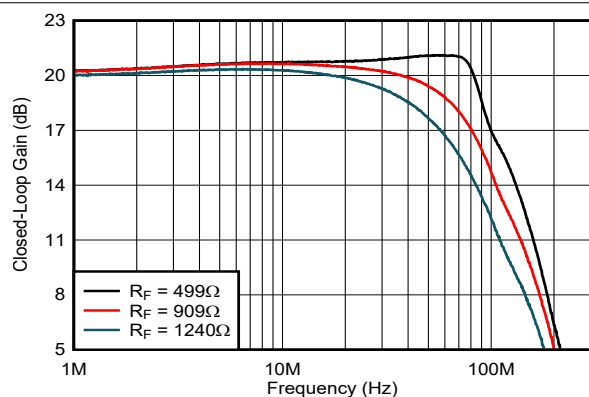


SGCC HPLC 曲线, 超低偏置模式

图 5-6. 带外抑制

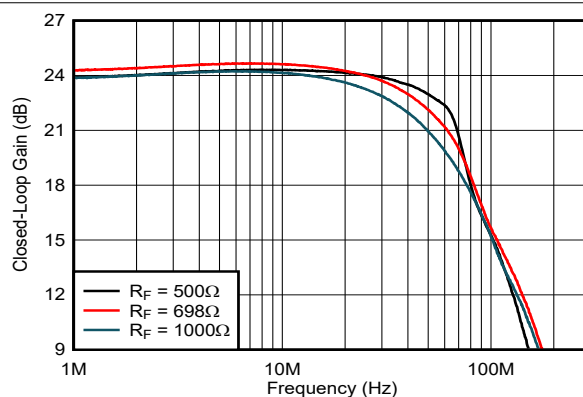
5.8 典型特性 $V_S = 12V$ (续)

在 $T_A \cong 25^\circ C$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 50\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)



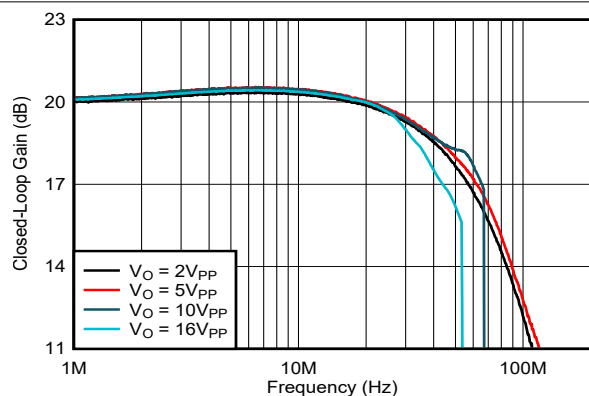
$A_V = 10V/V$, $V_O = 2V_{PP}$

图 5-7. 微小信号频率响应与 R_F 间的关系



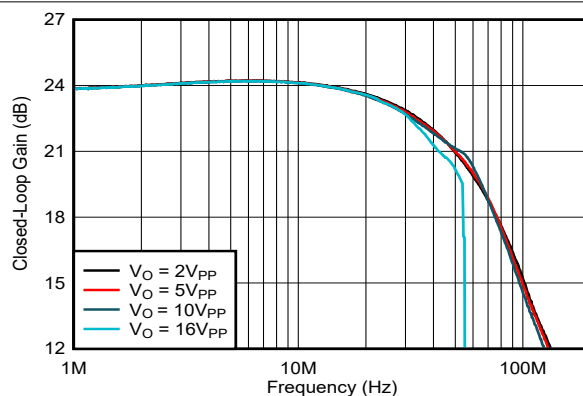
$A_V = 15V/V$, $V_O = 2V_{PP}$

图 5-8. 微小信号频率响应与 R_F 间的关系



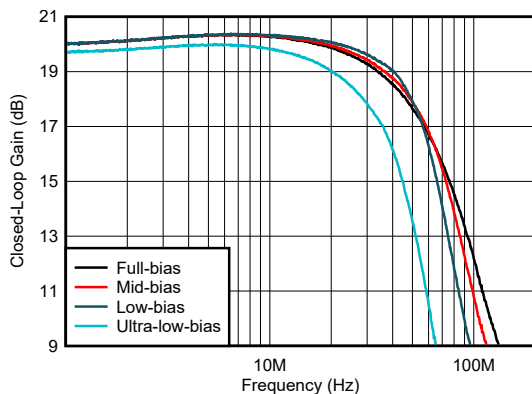
$A_V = 10V/V$

图 5-9. 大信号频率响应与 V_O 间的关系



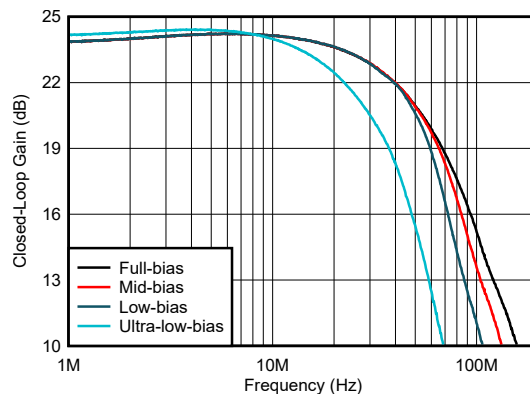
$A_V = 15V/V$

图 5-10. 大信号频率响应与 V_O 间的关系



$A_V = 10V/V$, $V_O = 2V_{PP}$

图 5-11. 小信号频率响应与偏置模式间的关系



$A_V = 15V/V$, $V_O = 2V_{PP}$

图 5-12. 小信号频率响应与偏置模式间的关系

5.8 典型特性 $V_S = 12V$ (续)

在 $T_A \cong 25^\circ C$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 50\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)

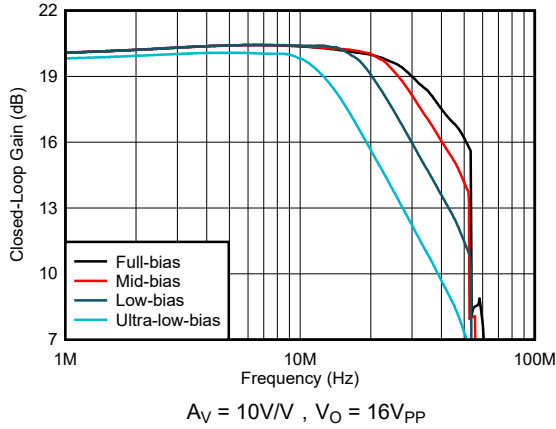


图 5-13. 大信号频率响应与偏置模式间的关系

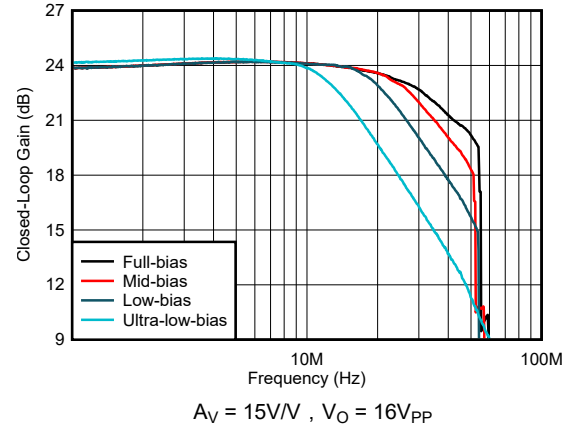


图 5-14. 大信号频率响应与偏置模式间的关系

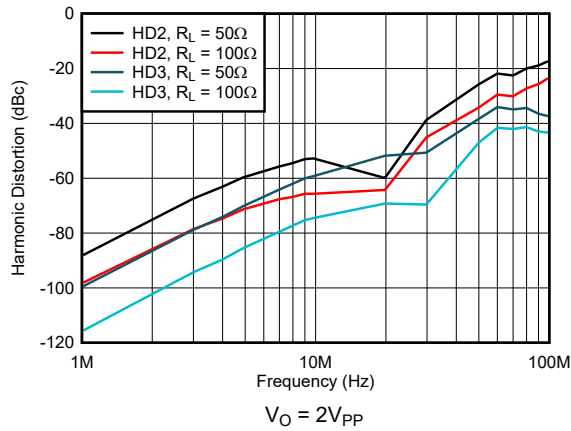


图 5-15. 谐波失真与频率间的关系

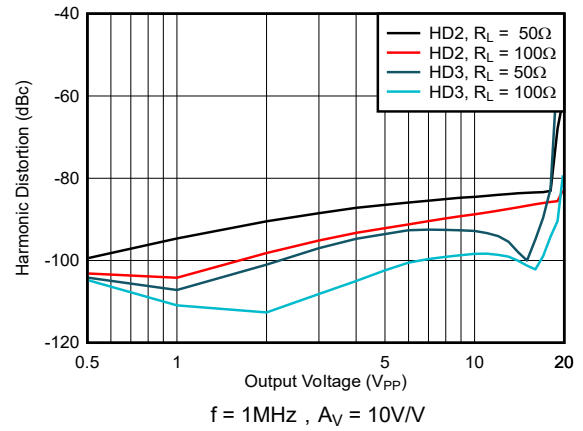


图 5-16. 谐波失真与 V_O 间的关系

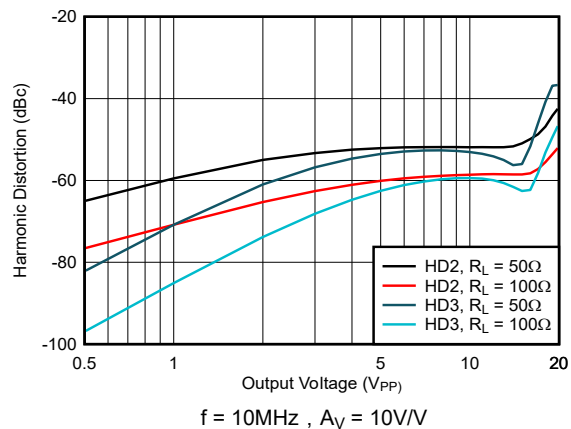


图 5-17. 谐波失真与 V_O 间的关系

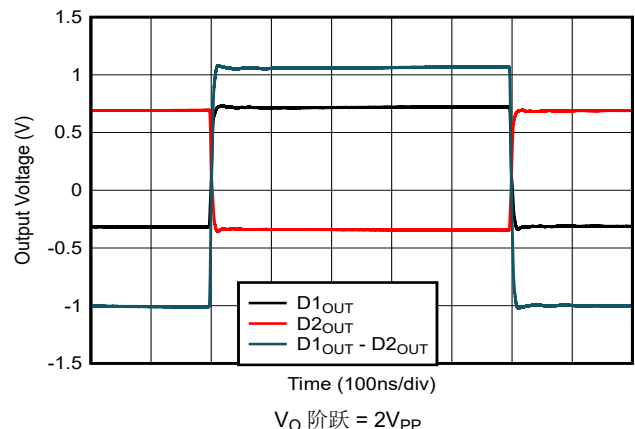


图 5-18. 小信号脉冲响应

5.8 典型特性 $V_S = 12V$ (续)

在 $T_A \cong 25^\circ C$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 50\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)

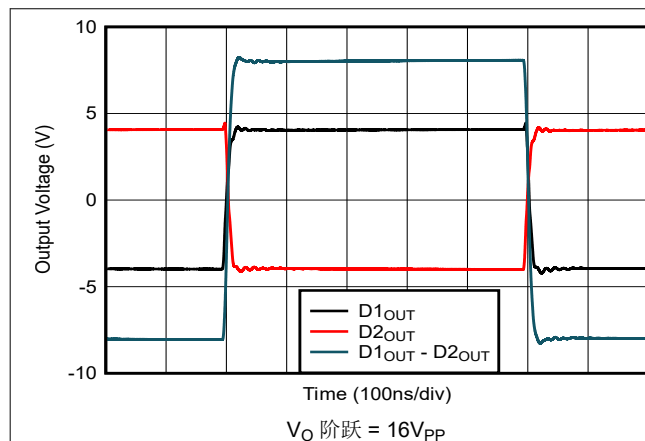
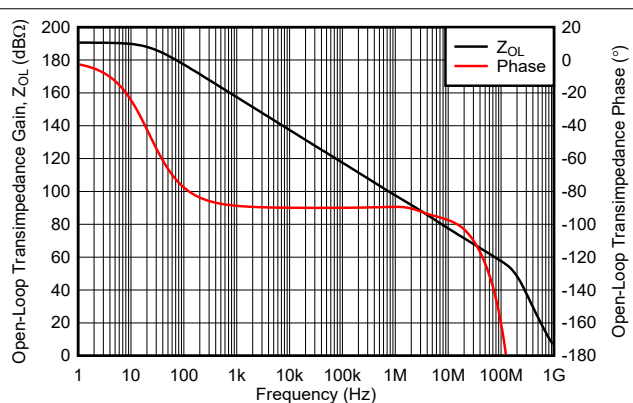
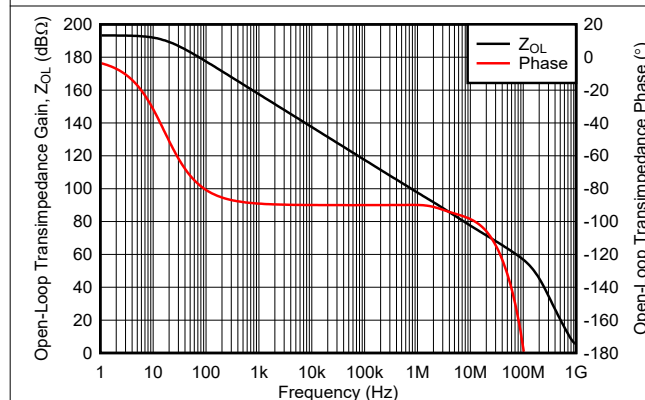


图 5-19. 大信号脉冲响应



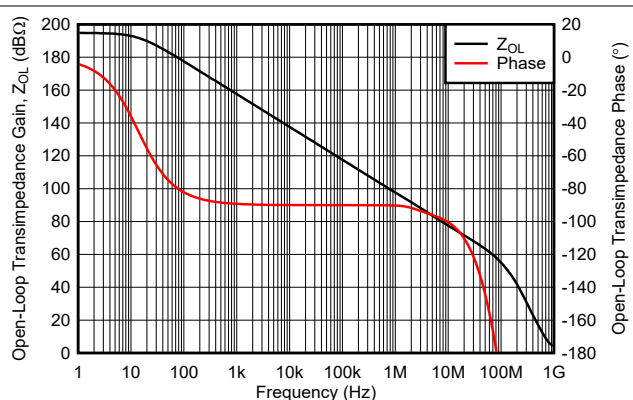
满偏置仿真

图 5-20. 开环跨阻增益和相位与频率间的关系



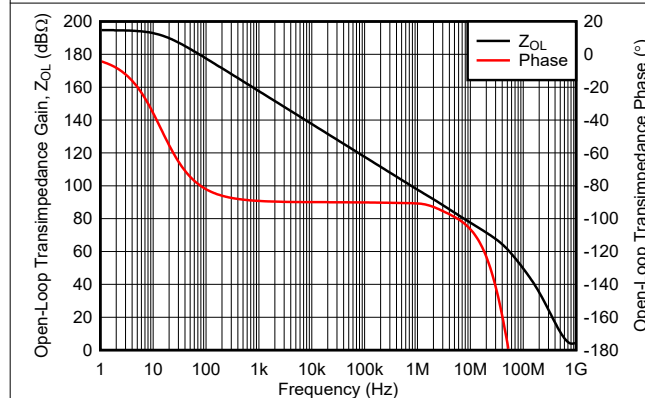
中偏置仿真

图 5-21. 开环跨阻增益和相位与频率间的关系



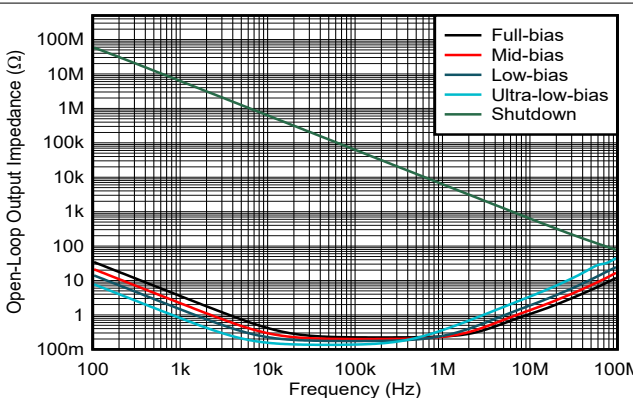
低偏置仿真

图 5-22. 开环跨阻增益和相位与频率间的关系



超低偏置仿真

图 5-23. 开环跨阻增益和相位与频率间的关系

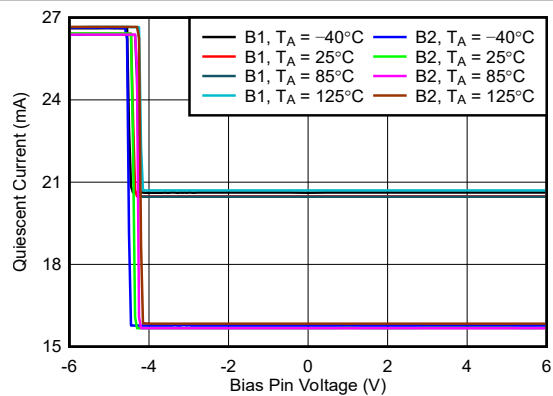


仿真

图 5-24. 开环输出阻抗与频率间的关系

5.8 典型特性 $V_S = 12V$ (续)

在 $T_A \cong 25^\circ\text{C}$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 50\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)



$V_S = \pm 6V$, $DGND = V_S -$

B1 = 满偏置向中偏置转换, B2 = DGND,

B2 = 满偏置向低偏置转换, B1 = DGND

图 5-25. 模式转换电压阈值

5.9 典型特性 $V_S = 40V$

在 $T_A \cong 25^\circ C$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 100\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)

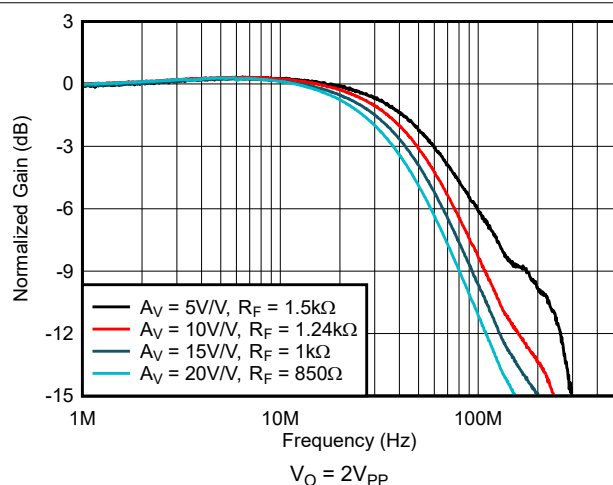


图 5-26. 小信号频率响应

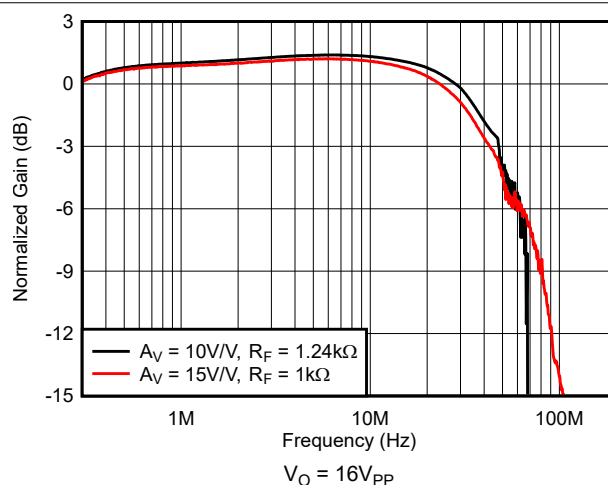
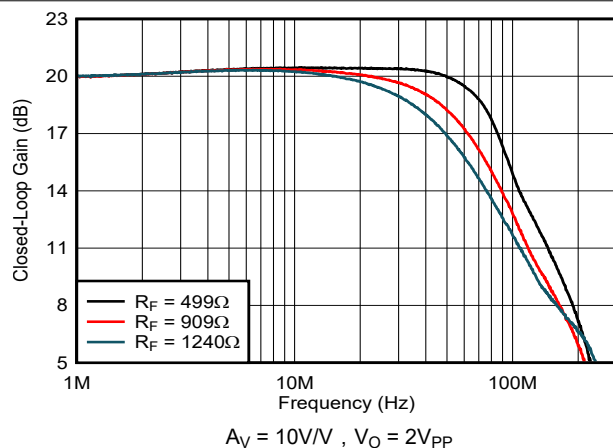
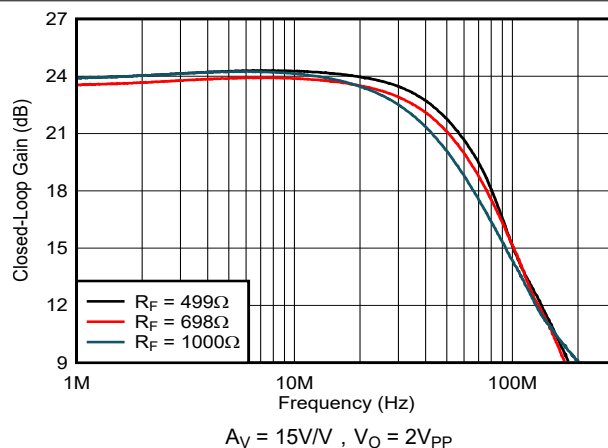
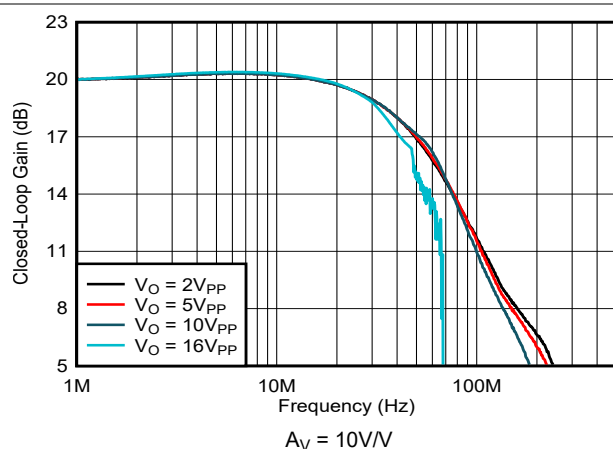
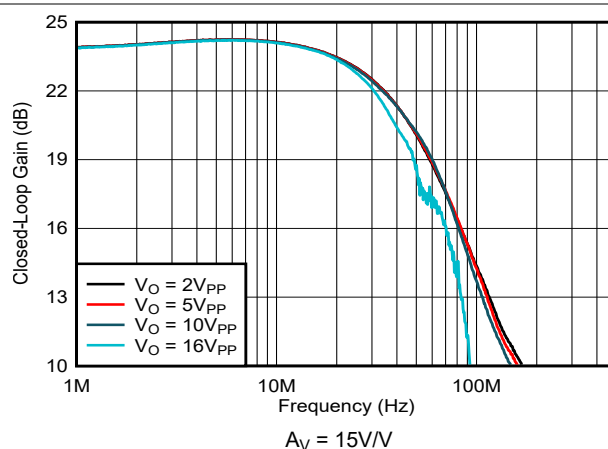


图 5-27. 大信号频率响应

图 5-28. 微小信号频率响应与 R_F 间的关系图 5-29. 微小信号频率响应与 R_F 间的关系图 5-30. 大信号频率响应与 V_O 间的关系图 5-31. 大信号频率响应与 V_O 间的关系

5.9 典型特性 $V_S = 40V$ (续)

在 $T_A \cong 25^\circ C$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 100\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)

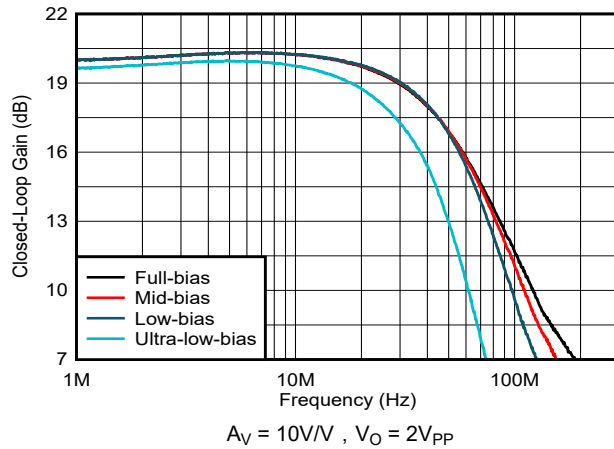


图 5-32. 小信号频率响应与偏置模式间的关系

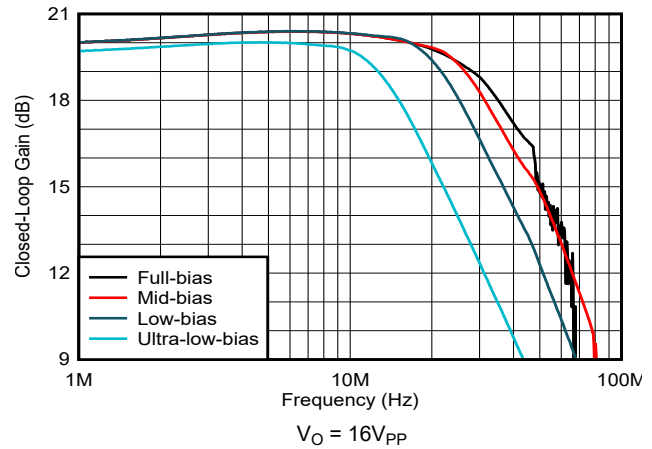


图 5-33. 大信号频率响应与偏置模式间的关系

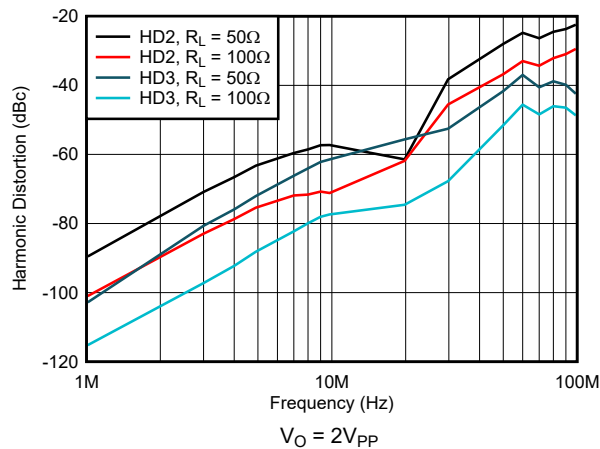


图 5-34. 谐波失真与频率间的关系

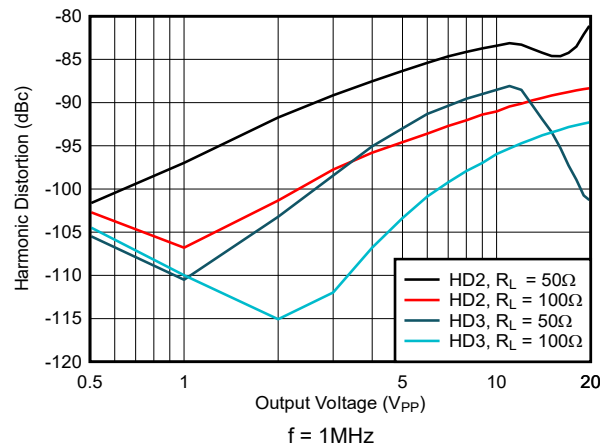


图 5-35. 谐波失真与 V_O 间的关系

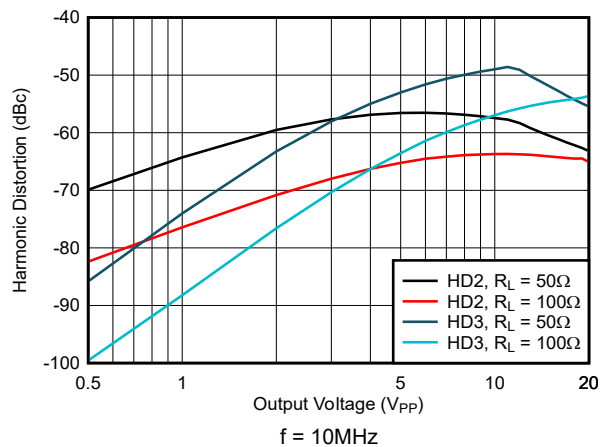


图 5-36. 谐波失真与 V_O 间的关系

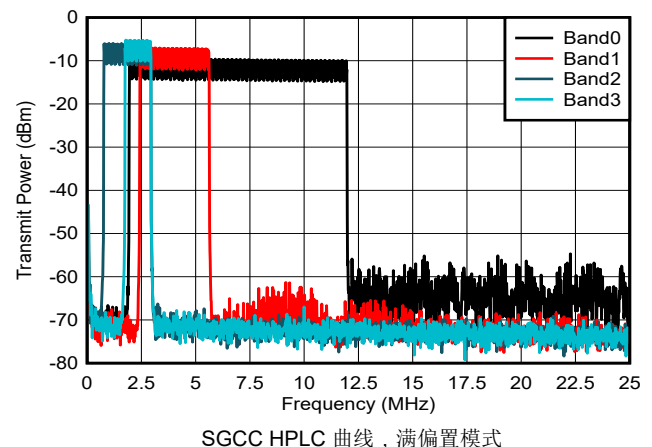


图 5-37. 带外抑制

5.9 典型特性 $V_S = 40V$ (续)

在 $T_A \cong 25^\circ C$, $A_V = 10V/V$, $R_F = 1.24k\Omega$, $R_L = 100\Omega$, $R_S = 2.5\Omega$, $R_{ADJ} = 0\Omega$ 和满偏置模式下, $R_F = 2k\Omega$ (在超低偏置模式下) 时 (除非另有说明)

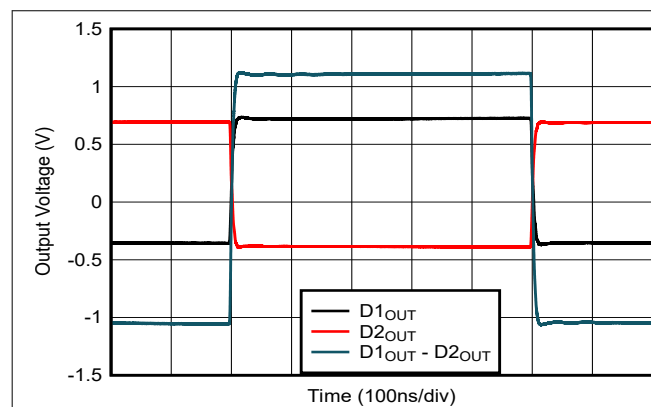


图 5-38. 小信号脉冲响应

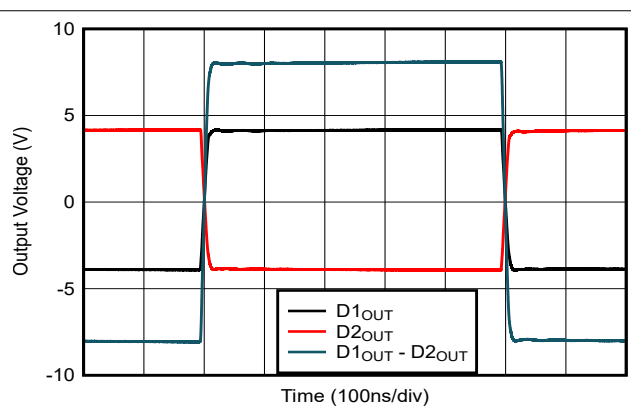


图 5-39. 大信号脉冲响应

6 详细说明

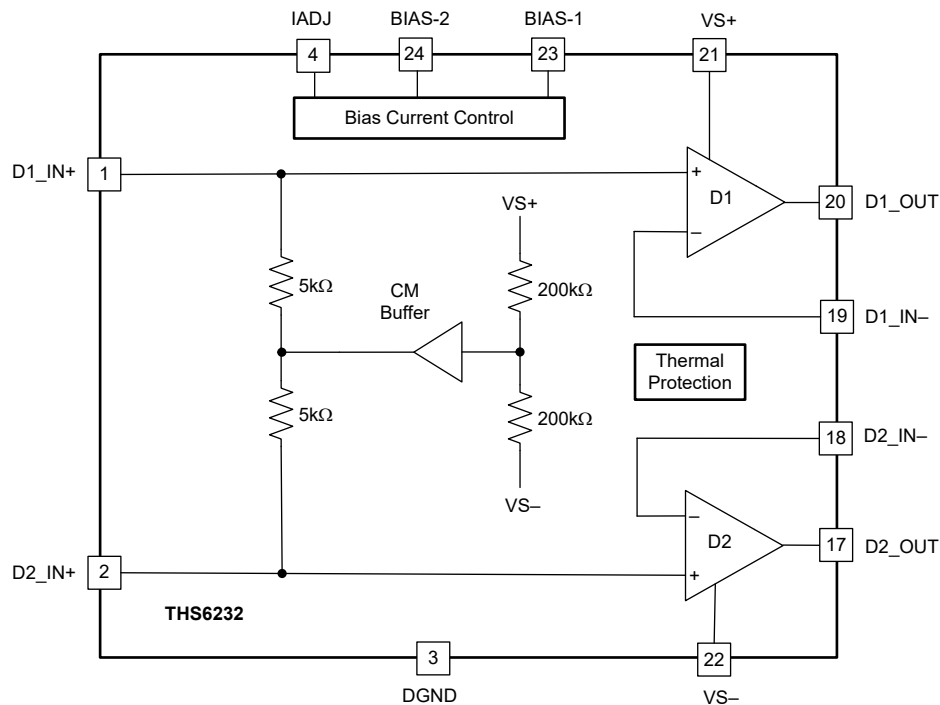
6.1 概述

THS6232 是一款具有电流反馈架构的差分线路驱动器放大器。该器件专用于线路驱动器应用，例如智能计量和家庭网络应用中常见的窄带和宽带电力线通信 (PLC)。

THS6232 被设计成一款单端口差分线路驱动器。THS6232 具有集成的共模缓冲器，减少了 PLC 应用（通常为交流耦合应用）中对输入共模电压进行电平转换所需的外部元件数量，从而节省了电路板空间并降低了整体系统成本。两个电流反馈放大器（D1 和 D2）可单独使用。不过，由于采用 THS6232 架构，请确保在应用用例中考虑内部 CM 缓冲器和同相输入之间的电阻器。

THS6232 的架构旨在通过可根据应用性能要求进行选择的可调功耗偏置模式来提供更大灵活性。该器件还提供了一个外部电流调节引脚 (IADJ)，用于进一步优化器件的静态功耗。THS6232 可使用 12V 电源向 50 Ω 差分负载提供宽输出摆幅 (19V_{PP}) 和高电流驱动能力，因此该器件非常适合高功率线路驱动应用。当采用 40V 电源时，THS6232 可借助其良好的散热设计（可使器件保持在安全的工作温度范围内），向 100 Ω 负载提供 70V_{PP} 的摆幅。

6.2 功能方框图



6.3 特性说明

6.3.1 共模缓冲器

THS6232 是一款具有集成共模缓冲器的差分线路驱动器。图 7-2 展示了一个交流耦合应用，这是 THS6232 的常见线路驱动应用之一。因此，必须对输入进行共模转换，以确保输入信号在器件的共模规格内。为了更大程度地提高动态范围，在大多数交流耦合应用中将共模电压转换为 $1/2 V_s$ 。由于具有集成的共模缓冲器，无需外部器件即可转换输入共模电压。

6.3.2 热保护和封装功率耗散

THS6232 具备热保护功能，可在结温达到约 175°C 时自动将器件置于关断模式。在此模式下，器件行为与使用偏置引脚关闭器件的行为相同。当结温达到大约 145°C 时，器件将恢复正常运行。通常，应避免热关断条件。当触发了热保护时，热循环便会开启，器件将反复进入和退出热关断模式，直到结温稳定到防止热关断发生的值为止。

计算器件可承受的最大功率耗散的一种常见技术是使用 节 5.4 中提供的结至环境热阻 ($R_{\theta JA}$)。使用以下公式估算某个封装能够耗散的功率：

$$\text{power dissipation} = (\text{junction temperature, } T_J - \text{ambient temperature, } T_A) / R_{\theta JA} \quad (1)$$

图 6-1 图解说明了基于该方程式的封装功率耗散，以在各种环境温度下达到 125°C 和 150°C 的结温。 $R_{\theta JA}$ 值使用业界通用 JEDEC 规范确定，因此可轻松比较各种封装。对于大于图 6-1 中所示功率的功率耗散，可通过良好的印刷电路板 (PCB) 热设计封装，以及使用散热器和/或主动冷却技术来实现。有关热设计的深入讨论，请参阅 [热设计：学会洞察先机，不做事后诸葛应用报告](#)。

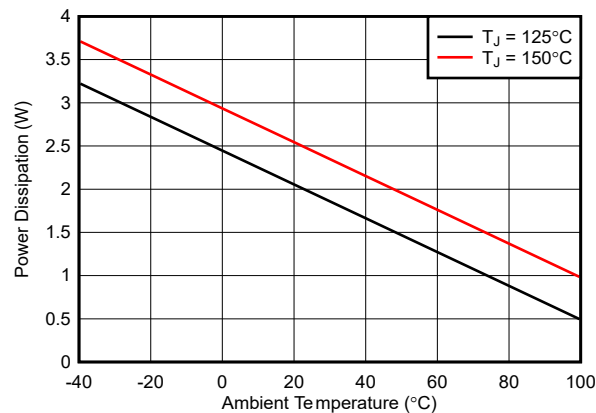


图 6-1. 封装功率损耗与环境温度间的关系

6.3.3 输出电压和电流驱动

THS6232 提供输出电压和电流能力，从而在低成本单片运算放大器中提供高电压和高电流能力。在 $100\ \Omega$ 差分负载下，输出电压的典型摆幅为 $21V_{pp}$ 。在 $25\ \Omega$ 差分负载下，输出电压的典型摆幅为 $16V_{pp}$ 。THS6232 还可以在 $25\ \Omega$ 负载下提供超过 $310mA$ 的电流。

如果 THS6232 超出输出驱动能力的限制，那么良好的系统散热设计就很重要，包括使用散热器和主动冷却方法。图 6-2、图 6-3 和图 6-4 显示了 THS6232 在两组不同的条件下的输出驱动，其中 T_A 约等于 T_J 。在实际应用中， T_J 通常远高于 T_A ，并且很大程度上取决于器件配置、信号参数和 PCB 热设计。为了表示 THS6232 的全部输出驱动能力，可通过对输出电流进行脉冲或扫描少于 $100ms$ 的时间来获得 $T_J \cong T_A$ 。

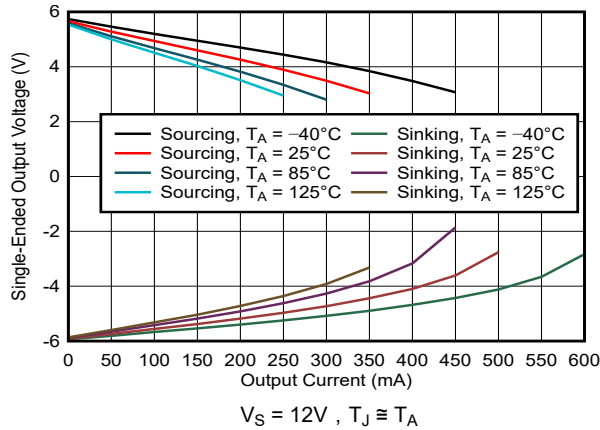


图 6-2. 饱和单端输出电压与 I_O 电流和温度间关系

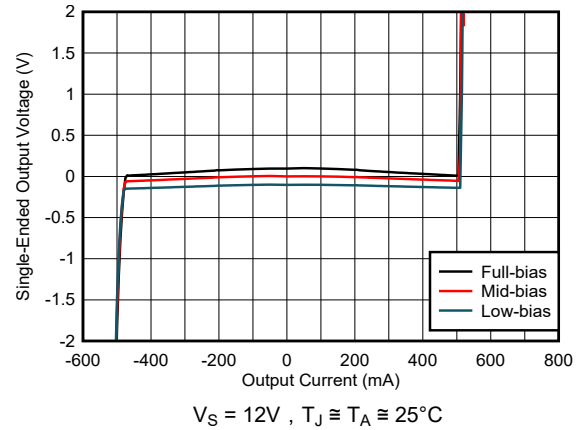


图 6-3. 线性单端输出电压与偏置模式间的关系

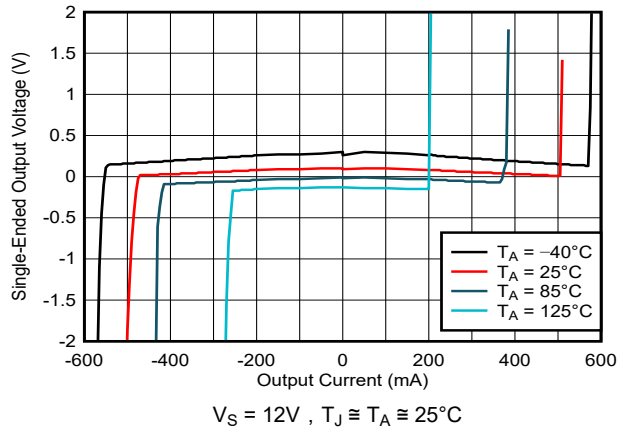


图 6-4. 线性单端输出电压与 I_O 和温度间关系

在图 6-2 中，输出电压被差分满贯到电源轨，输出电流使用源测量单元 (SMU) 进行单端拉取或灌入。持续时间小于 $100ms$ 。然后在移除负载电流之前测量每个输出的单端输出电压。移除负载电流后，输出将恢复到 $1/2 V_S$ ，然后针对不同的负载电流重复进行测量。对每种环境温度，重复整个过程。在图 6-2 所示的饱和和输出电压条件下，输出晶体管处于三极管区域，并且对于给定的 I_O ，当输出摆幅减小时，晶体管开始进入线性工作状态。

在图 6-3 和图 6-4 中，输入悬空，并且输出电压可以稳定到 $1/2 V_S$ 电压。然后在拉电流 (大于 $0mA$) 和灌电流 (小于 $0mA$) 条件下对负载电流进行单端扫描，并在每个强制电流条件下测量单端输出电压。电流扫描将在大约 3 至 4 秒内完成，以免造成器件的结温 (T_J) 明显高于环境温度 (T_A)。输出没有摆动并且输出晶体管处于线性工作状态，直到所吸收的电流超过器件的能力为止，此时输出电压开始迅速偏离空载输出电压。

为了保持最大的输出级线性，不提供输出短路保护。这种缺少短路保护的情况通常不是问题，因为大多数应用都在输出端包含一个串联匹配电阻器，如果该电阻器的输出端出现接地短路，则会限制内部功耗。但是，大多数情况下，将输出引脚直接短接至相邻的正电源引脚会永久损坏放大器。

6.3.4 击穿电源电压

为了估算超出节 5.1 中指定的最大电源电压的裕度并验证器件的耐用性，在节 5.1 中的最大规格下，对几个典型的单元进行了测试。手动扫描电源电压 V_S ，并以每 0.5V 电源电压增量记录静态电流。图 6-5 展示了典型单元开始断开时的单电源电压结果。

这些测试的主要目的是估计典型器件的稳定性裕度，并不意味着性能或最大限值超出节 5.1 和节 5.3 中指定的限制。

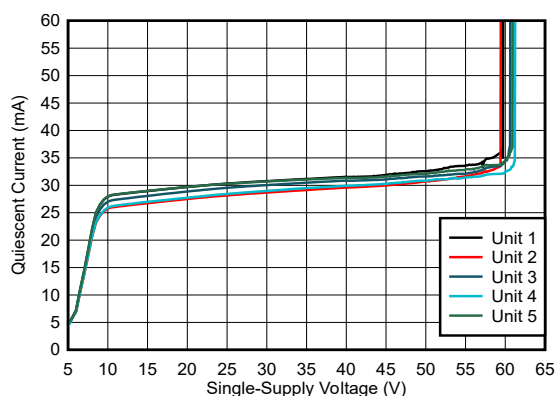


图 6-5. 典型器件击穿电源电压 ($T_A = 25^\circ\text{C}$)

6.4 器件功能模式

THS6232 具有由 BIAS-1 和 BIAS-2 引脚设置的五种不同功能模式。表 6-1 展示了器件模式引脚配置的真值表以及每种模式的相关说明。

表 6-1. BIAS-1 和 BIAS-2 逻辑表

BIAS-1	BIAS-2	功能	说明
0	0	满偏置模式 (100%)	放大器开启且具有尽可能最低的失真
1	0	中偏置模式 (78%)	放大器开启且具有省电功能和降低的失真性能
0	1	低偏置模式 (60%)	放大器开启且具有增强省电功能和降低的总体性能
0 (IADJ = 悬空)	1 (IADJ = 悬空)	超低偏置模式 (40%)	放大器开启且具有极强省电功能和降低的总体性能
1	1	关断模式	放大器关闭且输出为高阻抗

如果 PLC 应用需要在所有五种功耗模式之间切换线路驱动器，并且 PLC 应用特定集成电路 (ASIC) 具有两个控制位，则可以将这两个控制位连接到偏置引脚 BIAS-1 和 BIAS-2，以在五种功耗模式之间进行切换。在超低偏置模式下，悬空 IADJ 引脚以激活该模式。然而，大多数 PLC 应用只需要线路驱动器在一种工作模式和关断模式之间切换。图 7-1 图解说明了这种类型的 1 位功耗模式控制，其中仅使用 PLC ASIC 的一个控制位就可以在满偏置和关断模式之间切换线路驱动器。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

THS6232 通常用于具有不同负载条件的高输出电力线驱动应用，电力线通信 (PLC) 应用就是这种情况。在节 7.2 中，放大器采用典型的宽带电流反馈配置，驱动 $50\ \Omega$ 线路负载。但是，除节 7.2 所示的应用外，该放大器也适用于许多不同的通用和特定线路驱动应用。

7.2 典型应用

7.2.1 宽带 PLC 线路驱动

THS6232 通过高线性度、高功率输出级提供宽带电流反馈运算放大器的出色交流性能。低输出裕量要求和高输出电流驱动能力使 THS6232 成为 12V PLC 应用的理想选择。电流反馈运算放大器 (例如 THS6232) 相对于电压反馈运算放大器的主要优点是交流性能 (带宽和失真) 相对独立于信号增益。图 7-1 展示了典型的交流耦合宽带 PLC 应用电路，其中 PLC 应用特定集成电路 (ASIC) 的电流输出数模转换器 (DAC) 驱动 THS6232 的输入。尽管图 7-1 显示了 THS6232 与电流输出 DAC 的接口，但是通过使用更大的终端电阻 R_{T1} 和 R_{T2} ，THS6232 可以轻松与电压输出 DAC 连接。

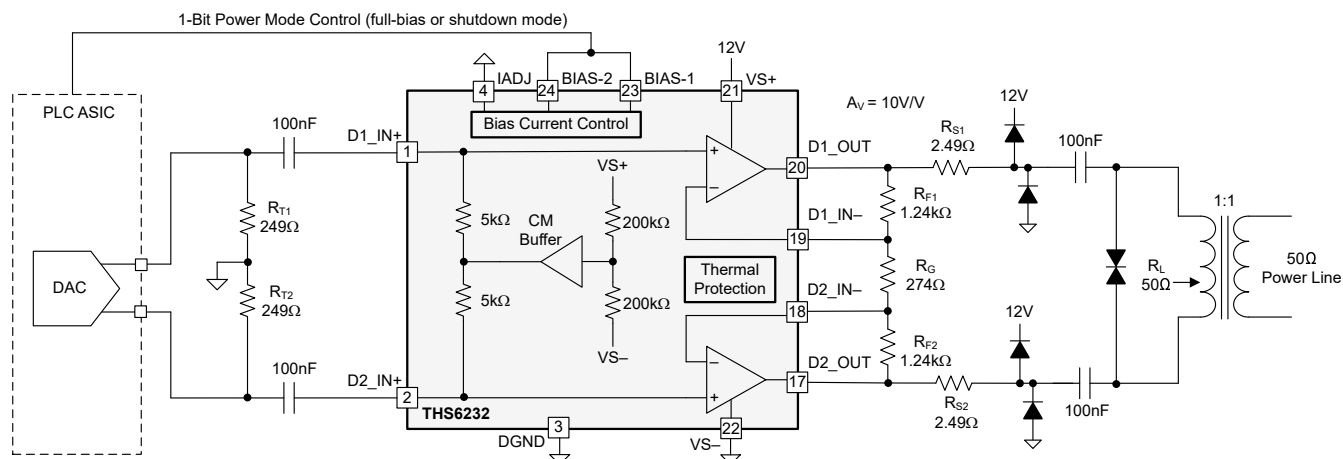


图 7-1. 典型宽带 PLC 配置

7.2.1.1 设计要求

交流耦合宽带电流反馈操作的主要设计要求是选择能满足输出电压要求的电源，并且使用能够在保持稳定性的同时支持适当带宽的反馈电阻值。利用表 7-1 所示的设计要求设计一个宽带 PLC 应用电路。

表 7-1. 设计要求

设计参数	值
电源	12V, 单电源
差分增益, A_V	10V/V
频谱图	中国 SGCC HPLC band0、band1、band2 和 band3
带内发射功率	-10dBm
最小带外抑制	35dB

7.2.1.2 详细设计过程

差分线路驱动器 (例如 THS6232) 的闭环增益公式为：

$$A_V = 1 + 2 \times (R_F / R_G) \quad (2)$$

其中， $R_F = R_{F1} = R_{F2}$ 。

THS6232 是一款电流反馈放大器，因此闭环配置的带宽由 R_F 电阻器的值设置。电流反馈架构的这一优势允许在不降低带宽的情况下通过选择 R_G 电阻器的值来灵活设置差分增益，这与电压反馈放大器的情况一样。THS6232 设计用于在 $R_{F1} = R_{F2} = 1.24k\Omega$ 时提供出色的带宽性能。要将器件配置为 10V/V 增益，请使用 274Ω 的 R_G 电阻器值。要在超低偏置模式下运行，请使用最小 $R_{F1} = R_{F2} = 2k\Omega$ ，而对于 10V/V 的器件增益，请使用 $R_G = 442\Omega$ 。有关如何选择 R_F 电阻器来优化电流反馈放大器性能的更多详细信息，请参阅 [电流反馈放大器 - 概述和补偿技术](#) 视频。

通常，PLC 应用的关键要求是带外抑制规格。带内频率携带具有一定功率级别的编码数据。线路驱动器不得在带内频谱之外产生超出特定功率级别的任何杂散。在本应用示例的设计要求中，最小带外抑制规格为 35dB，这意味着假设带内发射功率为 -10dBm，带外频谱中不应出现发射功率超过 -45dBm 的频率杂散。

图 7-2 所示的电路测量带外抑制规格。图 7-1 和图 7-2 电路之间的微小器件差异不会对带外抑制结果产生任何显著影响。

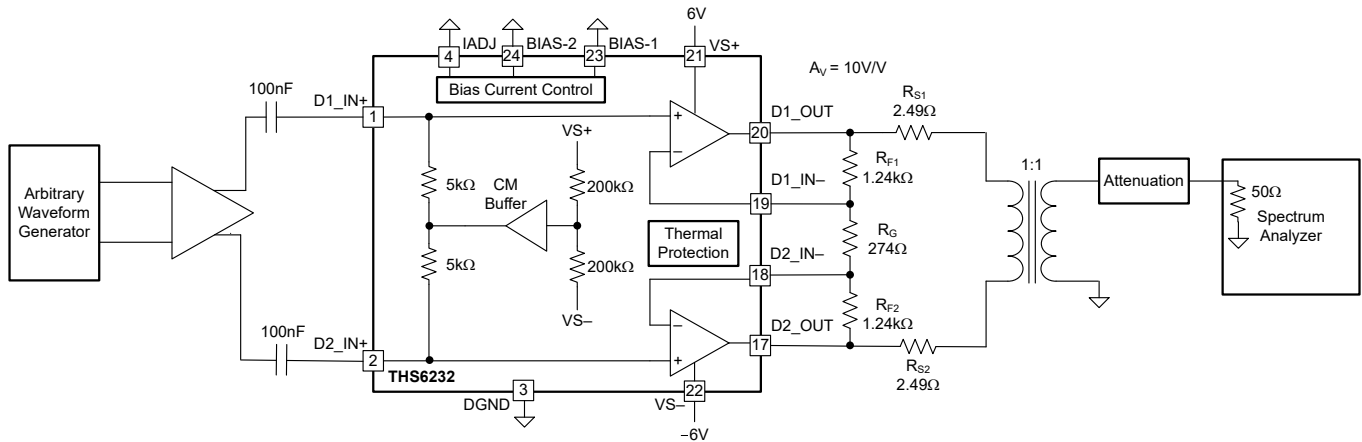


图 7-2. 带外抑制的测量测试电路

7.2.1.3 应用曲线

图 7-3 展示了电路的带外抑制测量结果。带外抑制是指示器件线性性能是否良好一个指标。图 7-3 中的结果显示该带外抑制超过 35dB，这表明 THS6232 具有出色的线性性能。

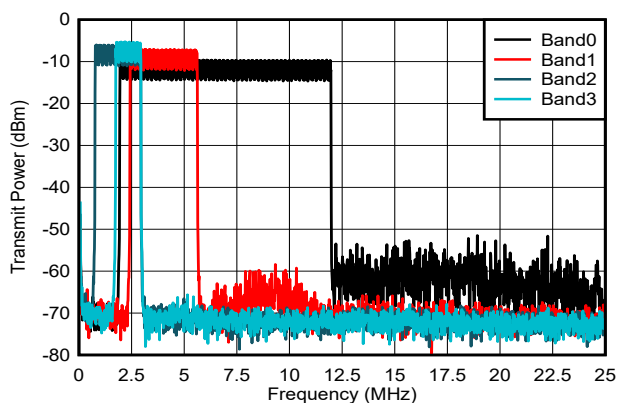


图 7-3. 带外抑制

7.3 优秀设计实践

- 在项目开始时加入热设计。
- 对所有信号都使用良好端接的传输线。
- 对电源使用固体金属层。
- 保持信号线路尽可能直。
- 保持携带差分信号的布线长度相同。
- 请勿使用低于所需值的电源电压。
- 请勿使用细金属布线进行供电。

7.4 电源相关建议

THS6232 支持单电源和双电源，以及平衡和非平衡双极电源。该器件可在 7V 至 40V 的宽电源电压范围内运行。应选择允许在放大器输入端和输出端都有足够摆幅的电源电压，以防止影响器件性能。单电源供电有很多优势。在负电源接地的情况下，可将 -PSRR 项引起的误差降至最低。DGND 引脚为偏置控制引脚提供接地参考。对于使用双电源的应用，应在 DGND 电压规格内进行设计，并在 V_{S-} 至 $V_{S+} - 5V$ 范围内。

7.5 布局

7.5.1 布局指南

为了使用 THS6232 等高频放大器实现出色性能，需要特别注意电路板布局布线的寄生和外部元件类型。THS6222RHFEVM 可在设计电路板时用作参考。优化性能的建议包括：

1. 尽可能减小所有信号 I/O 引脚的连接到任何交流接地端的寄生电容。寄生电容，特别是在输出和反相输入引脚上的寄生电容，可能会导致不稳定；在同相输入端，此电容可与源阻抗发生反应，造成意外的频带限制。为了减少不必要的电容，信号 I/O 引脚周围的窗口应在这些引脚周围的所有接地平面和电源平面中打开。否则，接地平面和电源平面必须在电路板上的其他地方完好无损。
2. 应尽可能减小从电源引脚到高频 0.1 μ F 解耦电容器之间的距离（小于 6.35mm，即 0.25 英寸）。在器件引脚上，接地平面和电源平面布局不得靠近信号 I/O 引脚。避免电源布线和接地布线过于狭窄，以便尽可能减小引脚和去耦电容器之间的电感。电源连接应始终与这些电容器解耦。两个电源（适用于双极性工作模式）之间的可选电源解耦电容器可改善二次谐波失真性能。在主电源引脚上使用较大的（2.2 μ F 至 6.8 μ F）去耦电容器（在较低频率下有效）。可将这些电容器放得离器件远一些，并可在 PCB 同一区域内的多个器件之间共享这些电容器。
3. 谨慎选择和放置外部器件有助于确保 THS6232 的高频性能。使用电抗类型非常低的电阻器。表面贴装式电阻器最适合，并可实现更紧密的总体布局。金属膜和碳成分的轴向引线电阻器也可以提供良好的高频性能。同样，尽可能缩短引线和 PCB 布线。切勿在高频应用中使用绕线式电阻器。尽管输出引脚和反相输入引脚对寄生电容最为敏感，但务必将反馈电阻器和串联输出电阻器（如果有）尽可能靠近输出引脚放置。将其他网络组件（例如同相输入终端电阻器）放置在封装附近。在需要双面器件安装的情况下，将反馈电阻器直接放置在电路板另一面封装下面，即输出引脚和反相输入引脚之间。频率响应主要由反馈电阻值决定，如节 7.2.1 所述。增大该值会降低带宽，而减小该值会导致峰值更高的频率响应。节 5.8 中使用的 1.24k Ω 反馈电阻器是实现 10V/V 设计增益的良好起点。要在超低偏置模式下运行，请使用最小 2k Ω 反馈电阻器以实现 10V/V 的器件增益。
4. 与电路板上其他宽带器件的连接可以使用较短的直接布线或通过板载传输线进行。对于短连接，应考虑将布线和下一个器件的输入视为集总容性负载。应使用相对较宽的布线（50 密耳至 100 密耳，0.050 英寸至 0.100 英寸，或者 1.27mm 至 2.54mm），最好在它们周围打开接地平面和电源平面。
5. 建议不要插入 THS6232 之类的高速器件。由插座引起的额外引线长度和引脚间电容可能会造成非常麻烦的寄生网络，并且几乎不可能实现平稳的频率响应。通过将 THS6232 直接焊接到电路板上可获得出色效果。
6. 使用 V_{S-} 平面从封装中导出热量。封装将裸片直接连接到底部外露的散热焊盘上，并必须焊接到电路板上。以电气方式将该焊盘连接到一个电压平面，此电压平面与施加到 THS6232 的最大负电源电压 (V_{S-}) 相同。在散热焊盘连接上放置尽可能多的过孔，并将过孔连接到与 PCB 底面上的 V_{S-} 处于相同电势的散热平面上。

7.5.2 布局示例

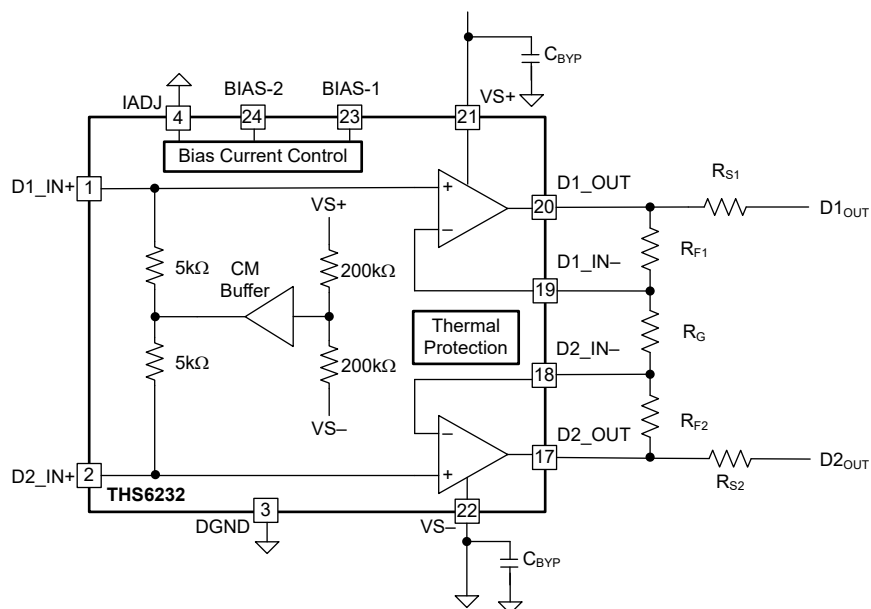


图 7-4. 图 7-5 中的代表性布局示意图

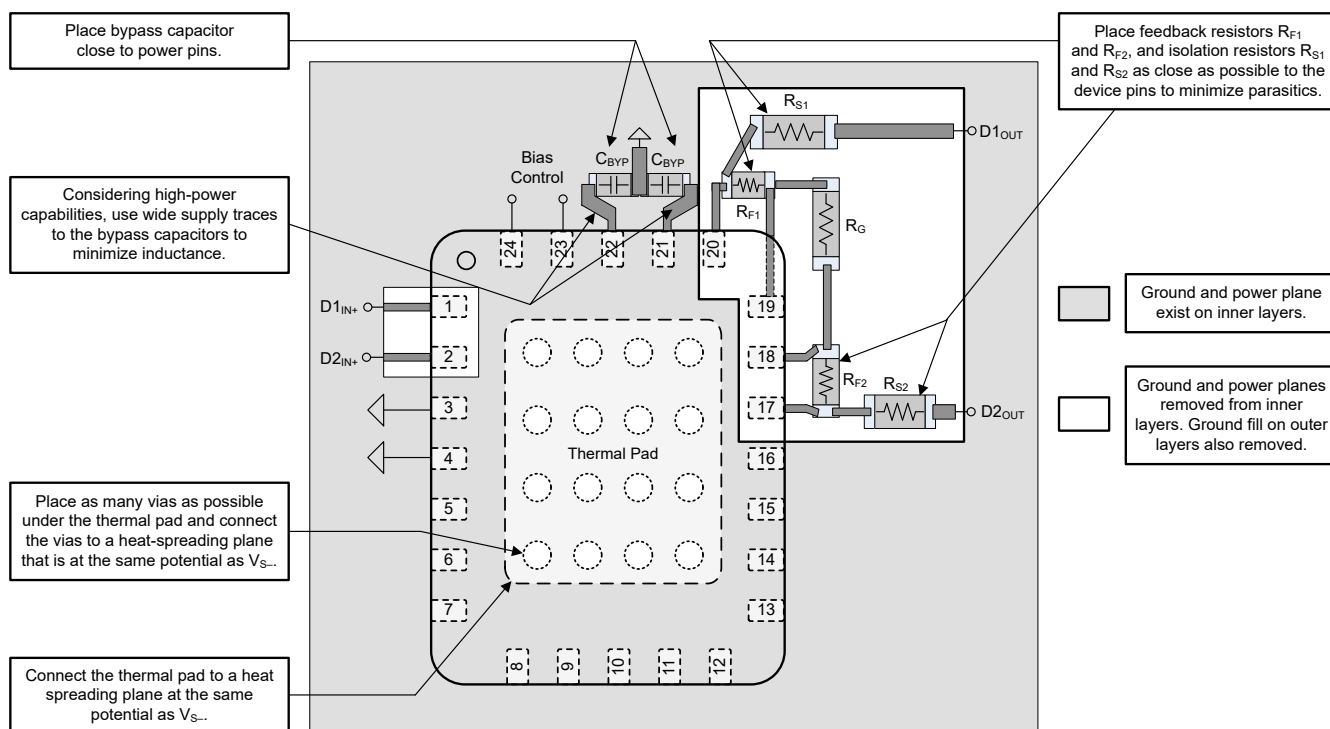


图 7-5. 布局建议

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

[TI 高精度实验室](#)

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [THS6222 差分宽带 PLC 线路驱动器放大器 数据表](#)
- 德州仪器 (TI), [热设计：学会洞察先机，不做事后诸葛 应用报告](#)
- 德州仪器 (TI), [TI IEC 61000-4-x 测试与规程 应用报告](#)
- 德州仪器 (TI), [THS6222 评估模块 用户指南](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
June 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

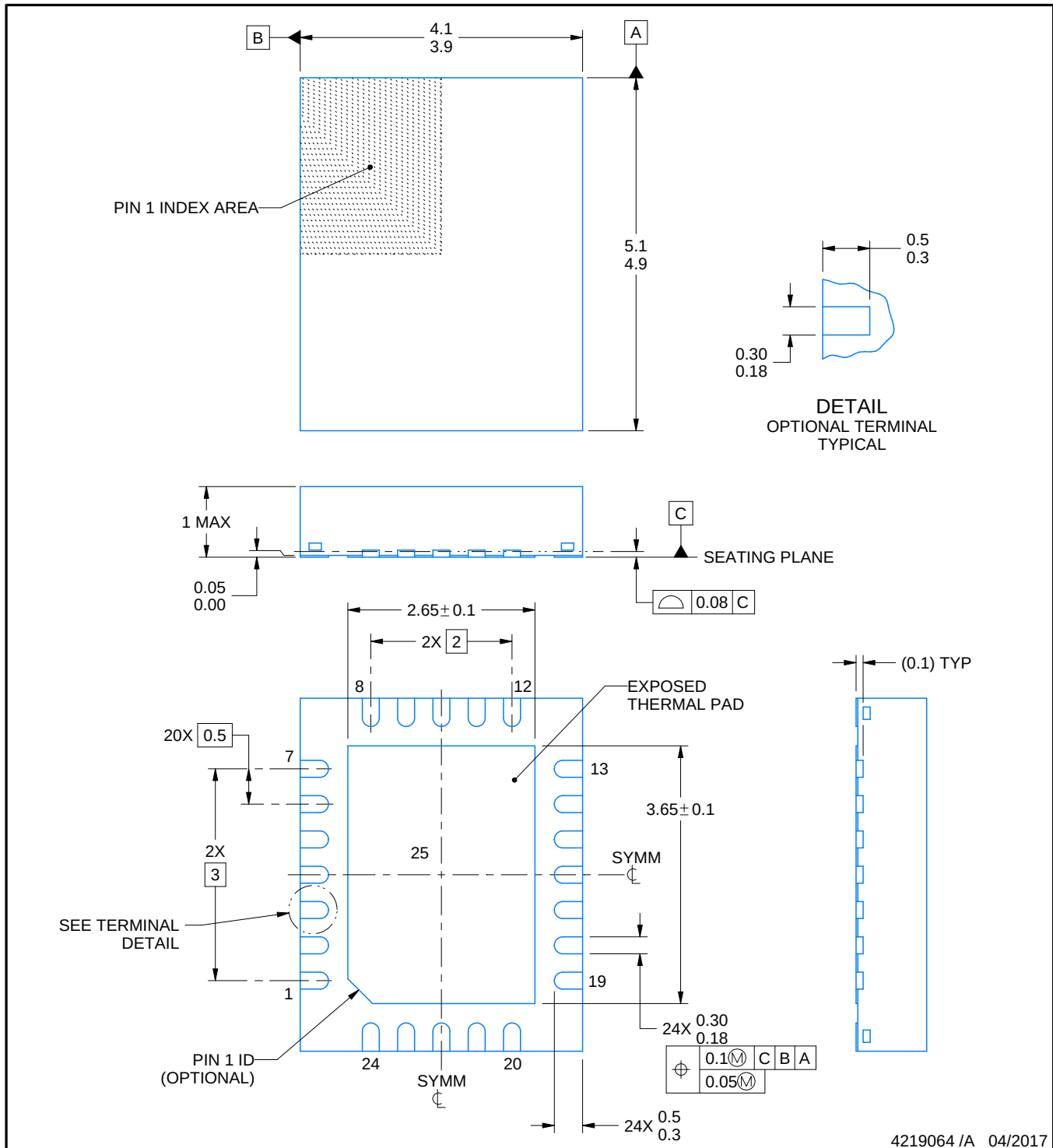
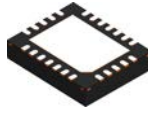
Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS6232RHFR	Active	Production	VQFN (RHF) 24	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	THS 6232
THS6232RHFR.A	Active	Production	VQFN (RHF) 24	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	THS 6232

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



NOTES:

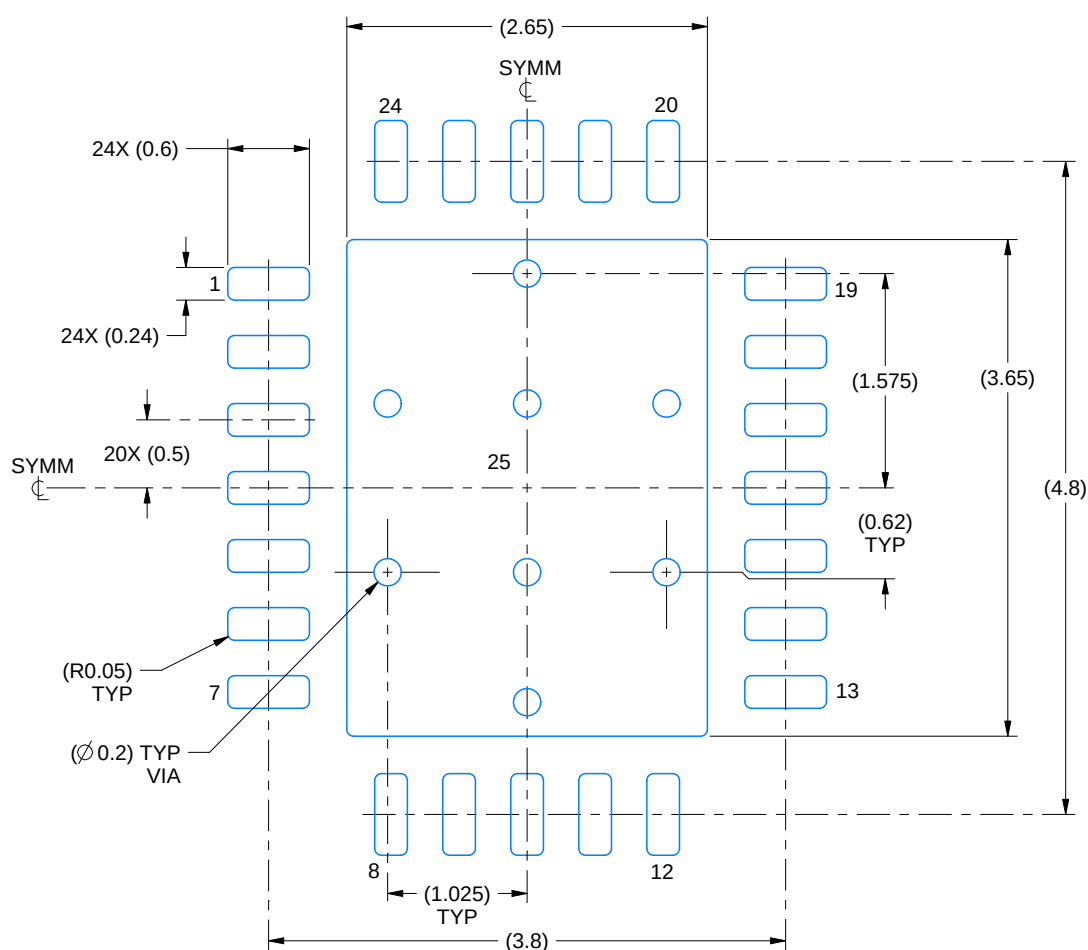
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

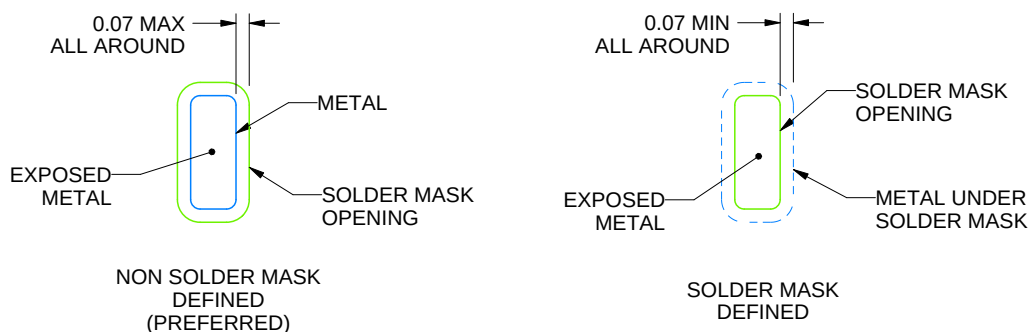
RHF0024A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4219064 /A 04/2017

NOTES: (continued)

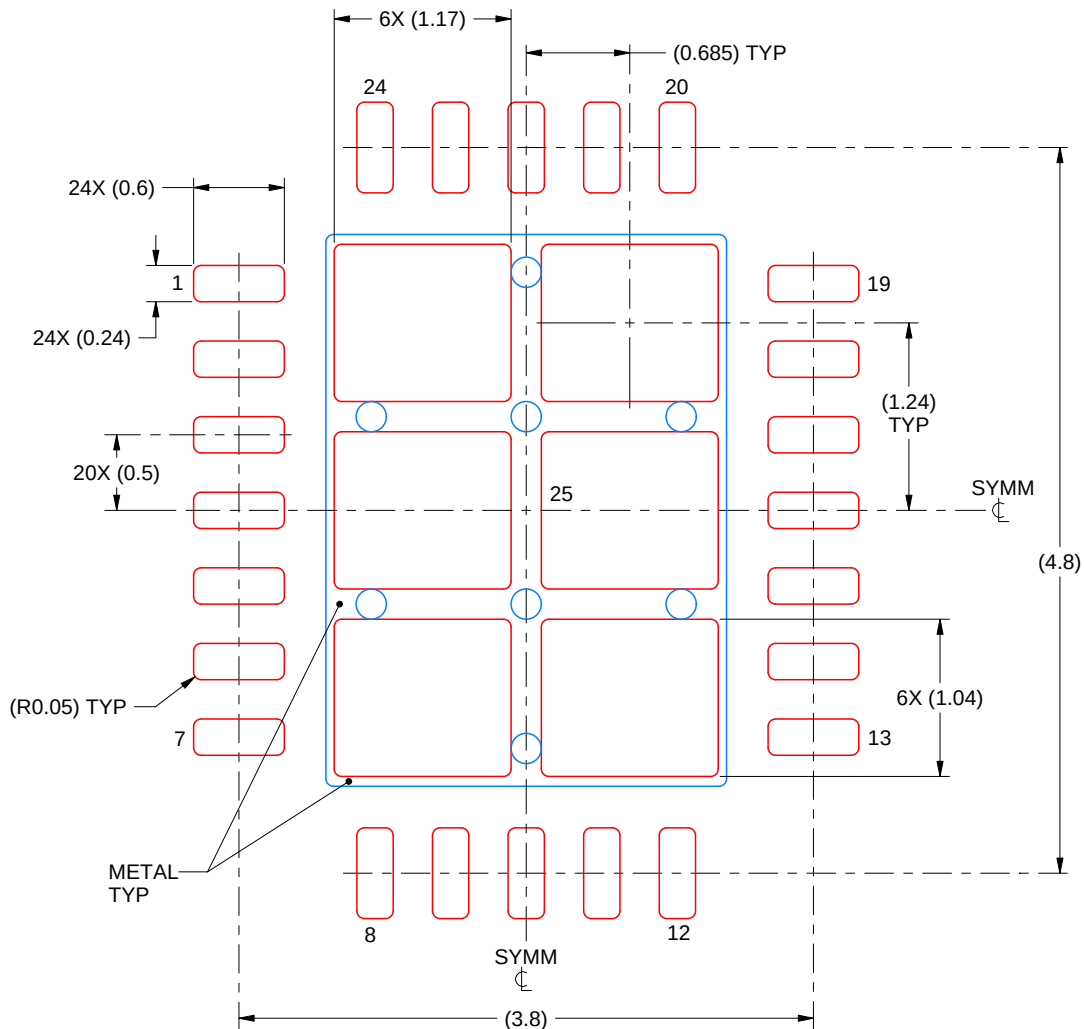
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHF0024A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 25
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4219064 /A 04/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月