THS3470 60V、1A、70MHz、6500V/µs 高速功率放大器

1 特性

- 带宽（V_S = ±20V，R_{FB} = 1.2kΩ）：
  - 小信号：70MHz (V_O = $2V_{PP}$)
  - 大信号：45MHz (V_O = $20V_{PP}$)
  - 大信号：22MHz（V_S = ±30V，V_O = $50V_{PP}$，R_F = 2kΩ）
- 压摆率 (20-80%)：
  - 3000V/µs（R_F = 1.2kΩ，C_L = 300pF）
  - 2000V/µs（R_F = 2kΩ，C_L = 1nF）
  - 6500V/µs（峰值，R_F = 1.2kΩ，R_L = 100Ω）
- 输出电流：
  - 线性输出电流：±1.35A
  - 峰值输出电流：2A
  - 线性范围内的 V_{OUT} 摆幅为 250mV（I_{OUT} = ±1A，V_O = ±25V，V_S = ±30V）
- 诊断特性：
  - 可编程电流限制（200mA 至 1.5A，独立拉电流和灌电流）
  - 裸片温度和电流输出监测
  - 诊断标志（温度、电流源、电流吸）

2 应用

- 用于 LCD/OLED 测试仪的信号发生器
- CCD 面板驱动器
- 为 SMU 供电
- 高电容负载压电元件驱动器
- 功率 FET 驱动器
- 半导体测试
- 线路驱动器
- 任意波形发生器

3 说明

THS3470 是一款高速电流反馈放大器 (CFA)，具有高线性输出电流驱动 (1.35A)、高压摆率（峰值 6500V/µs）和宽电源电压范围 (60V)。该器件可在各种容性负载下保持稳定，并支持这些应用所需的最高 2A 的峰值输出电流。THS3470 的带宽为 70MHz，具有低噪声和低失真的特点，可为高电阻负载提供出色的大信号性能。

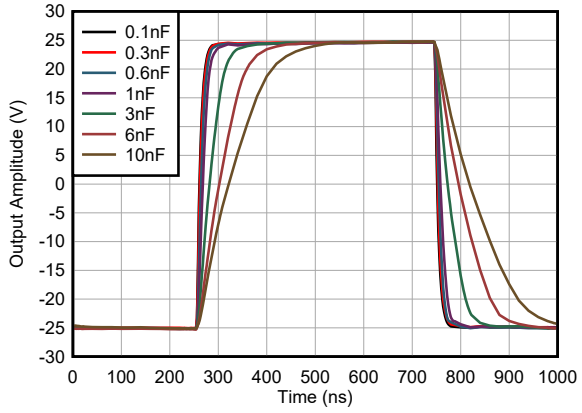
除了高速和功率性能之外，THS3470 还有许多有用的功能，例如温度监测、输出电流监测、输出电流限制和输出电流保护。器件的输出电流功能既可以手动启用，也可以通过器件的各种标志输出来驱动，使得器件在实际用例中具有更高的模块化程度。

THS3470 采用 VQFN-42 (REB) 封装，外形小巧，外露顶部散热焊盘可将热量直接传递到散热器。THS3470 具有 -40°C 至 +125°C 的宽额定工作温度范围。

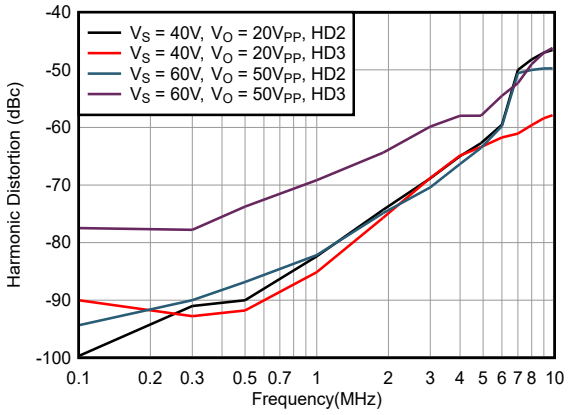
封装信息

器件型号	封装(1)	封装尺寸(2)
THS3470	REB (VQFN, 42)	7mm × 7mm

(1) 有关更多信息，请参阅 节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



THS3470 驱动容性负载



谐波失真与频率间的关系 (R_{LOAD} = 100Ω)

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 $\pm V_S$ = ±30V 6
5.6 电气特性 $\pm V_S$ = ±20V 9
5.7 典型特性 11
6 详细说明 19
6.1 概述 19
6.2 功能方框图 19
6.3 特性说明 20
6.4 器件功能模式 28
7 应用和实施 31
7.1 应用信息 31
7.2 典型应用 31
7.3 短路保护 37
7.4 电源相关建议 39
7.5 布局 39
8 器件和文档支持 46
8.1 文档支持 46
8.2 接收文档更新通知 46
8.3 支持资源 46
8.4 商标 46
8.5 静电放电警告 46
8.6 术语表 46
9 修订历史记录 46
10 机械、封装和可订购信息 46
10.1 卷带包装信息 47

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

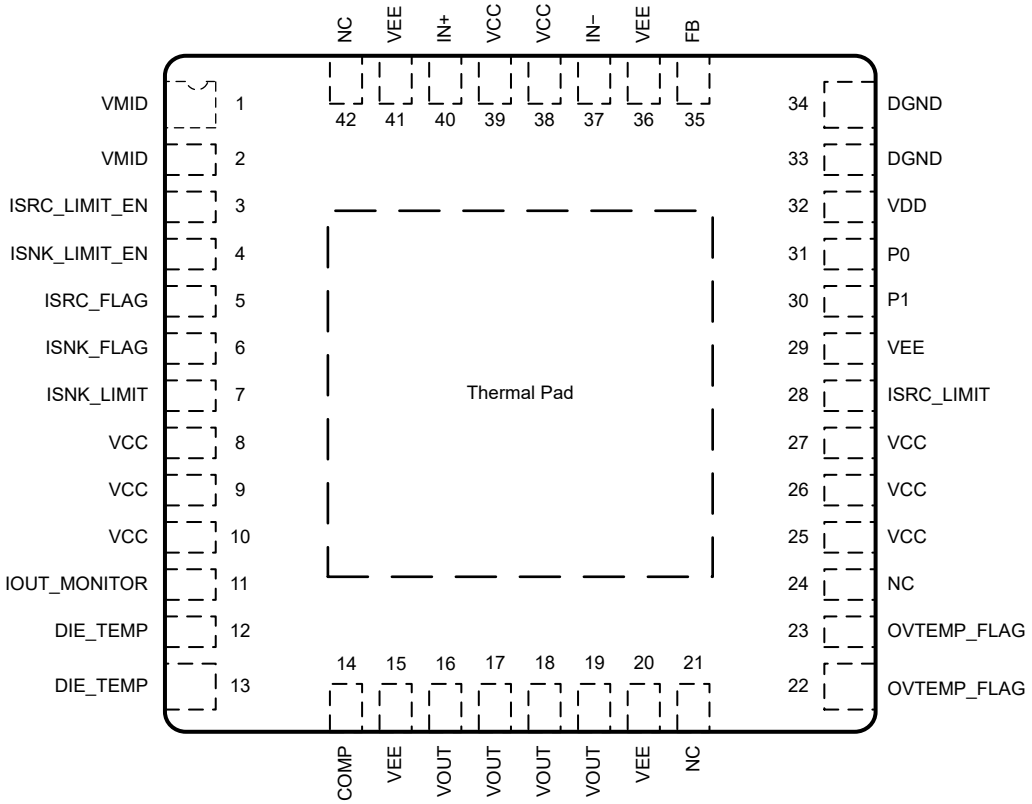


图 4-1. REB 封装，42 引脚 VQFN（俯视图）

引脚功能

引脚		类型	说明
名称	编号		
COMP	14	输入	内部补偿引脚。默认情况下，通过接地切口保持未连接状态。有关引脚操作的更多详细信息，请参阅 节 6.3.7。
DGND	33、34	输入	数字接地
DIE_TEMP	12、13	输出	裸片温度输出。默认情况下，该引脚在 25°C 时输出 1.6V。有关引脚操作的更多详细信息，请参阅 节 6.3.6。
FB	35	输出	输入侧反馈引脚
IN−	37	输入	反相输入
IN+	40	输入	同相输入
IOUT_MONITOR	11	输出	输出电流监测器默认情况下必须与 10kΩ 上拉和下拉电阻器连接。有关引脚操作的更多详细信息，请参阅 节 6.3.5。
$\overline{\text{ISNK_FLAG}}$	6	输出	输出灌电流标志。当器件默认处于设定的灌电流限制范围内时，在内部上拉至 VDD。有关引脚操作的更多详细信息，请参阅 节 6.3.4。
ISNK_LIMIT	7	输入	输出灌电流限制。默认情况下将上拉电阻器连接到 VCC。有关引脚操作的更多详细信息，请参阅 节 6.3.1。
$\overline{\text{ISNK_LIMIT_EN}}$	4	输入	输出灌电流限制控制。默认情况下在内部上拉至 VDD，因此在 VOUT 灌入电流时无电流限制。有关引脚操作的更多详细信息，请参阅 节 6.3.2。
$\overline{\text{ISRC_FLAG}}$	5	输出	输出拉电流标志。当器件默认处于设定的拉电流限制范围内时，在内部上拉至 VDD。有关引脚操作的更多详细信息，请参阅 节 6.3.4。
ISRC_LIMIT	28	输入	输出拉电流限制。默认情况下将下拉电阻器连接到 VEE。有关引脚操作的更多详细信息，请参阅 节 6.3.1。

Copyright © 2025 Texas Instruments Incorporated

引脚功能（续）

引脚		类型	说明
名称	编号		
$\overline{\text{ISRC_LIMIT_EN}}$	3	输入	输出拉电流限制控制。默认情况下在内部上拉至 VDD，因此在 VOUT 拉取电流时无电流限制。有关引脚操作的更多详细信息，请参阅 节 6.3.2。
DNC	21、24、42	—	保持未连接。引脚从内部断开连接。
$\overline{\text{OVTEMP_FLAG}}$	22、23	输出	过热标志。当器件结温低于 165°C 时默认为逻辑低电平。有关引脚的更多详细信息，请参阅 节 6.3.3。
P0	31	输入	功率模式控制，bit0。在内部拉至高电平以启用全偏置模式。有关引脚连接和性能的更多详细信息，请参阅节 6.4.1 和节 6.3.3。
P1	30	输入	功率模式控制，bit1。在内部拉至高电平以启用全偏置模式。有关引脚连接和性能的更多详细信息，请参阅节 6.4.1 和节 6.3.3。
VCC	8、9、10、25、26、27、38、39	输入	正电源。有关旁路和布局建议，请参阅节 7.5.2。
VDD	32	输出	相对于 DGND 在内部生成的 5.0V 数字电源。有关旁路和布局建议，请参阅节 7.5.2。
VEE	15、20、29、36、41	输入	负电源。有关旁路和布局建议，请参阅节 7.5.2。
VMID	1、2	输出	1/2 Vs 缓冲输出 (V_{CC}+V_{EE})/2。必须从外部对该引脚进行缓冲，以便将 VMID 电压用作设计中其他位置的电源或电压基准。有关旁路和布局建议，请参阅节 7.5.2。
VOUT	16、17、18、19	输出	放大器输出
散热焊盘		—	散热焊盘。内部连接至 VEE

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_S	电源电压，(V_{CC}) – (V_{EE})		64 (±32)	V
	差动输入电压(2)		±0.7	V
	共模输入电压	(V_{EE}) – 0.5	(V_{CC}) + 0.5	V
I_{IN}	连续输入电流(2)		±10	mA
I_{OUT}	连续输出电流(3)		±500	mA
P_D	功率耗散(4)	请参阅*热性能信息*		
T_A	工作环境温度	-40	125	°C
T_J	结温		150	°C
T_{stg}	贮存温度	-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议的工作条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) ESD 二极管到电源引脚和放大器差分输入钳位二极管有连续输入电流限制。差分输入钳位二极管将二极管两端的电压限制为 0.7V，持续输入电流流经该二极管。
(3) 用于电迁移限制的长期连续电流。
(4) 有关在重功率条件下优化器件性能的详细信息，请参阅安全工作区。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)	1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_S	单电源电压，(V_{CC}) – (V_{EE})	12		60	V
±V_S	双电源电压，(V_{S+} = V_{CC})、(V_{S-} = V_{EE})	±6		±30	V
T_J	结温	-40	25	125(1)	°C

(1) 受 $R_{\Theta JA}$ 和最大 T_J 限制，以确保安全运行。

5.4 热性能信息

热指标(1)		THS3470 REB (VQFN) 42 引脚	THS3470 REB (VQFN)(2) 42 引脚	单位
$R_{\theta JA}$	结至环境热阻	46.3	4.0	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	0.48	不适用	°C/W
$R_{\theta JB}$	结至电路板热阻	23.0	不适用	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	0.7	°C/W
Ψ_{JB}	结至电路板特征参数	22.8	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。
(2) THS3470EVM，、1m/s 线性气流速度

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性 $\pm V_S = \pm 30V$

在 $T_A \cong 25°C$、$A_V = 10V/V$、$R_F = 2k\Omega$ 且 $R_S = 5\Omega$ 时（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽 (–3dB)	$V_O = 2V_{PP}$	$R_L = 100\Omega$		30		MHz
			$R_S = 5\Omega$，$C_L = 1nF$		20		
LSBW	大信号带宽 (–3dB)	$V_O = 50V_{PP}$，< 1dB 峰值	$R_L = 100\Omega$		22		MHz
			$C_L = 1nF$ (2)		7		
SR	压摆率（峰值）	$V_O = 50V_{PP}$ 阶跃	$R_L = 100\Omega$		6500		V/µs
			$C_L = 1nF$		2600		
	压摆率 (20% – 80%)	$V_O = 50V_{PP}$ 阶跃	$R_L = 100\Omega$		3500		
			$C_L = 1nF$		2000		
	上升和下降时间	$V_O = 50V$ 阶跃	$R_L = 100\Omega$		17		ns
			$C_L = 1nF$		22		
	趋稳时间	达到 0.1%，$V_O = 50V$ 阶跃	$R_L = 100\Omega$		200		ns
			$C_L = 1nF$		375		
HD2	二次谐波失真	$V_O = 50V_{PP}$，$R_L = 100\Omega$	f = 10MHz		-47		dBc
			f = 1MHz		-80		
			f = 0.1MHz		-91		
		$V_O = 50V_{PP}$，$C_L = 1nF$	f = 1MHz		-80		
			f = 0.1MHz		-87		
HD3	三次谐波失真	$V_O = 50V_{PP}$，$R_L = 100\Omega$	f = 10MHz		-43		dBc
			f = 1MHz		-67		
			f = 0.1MHz		-75		
		$V_O = 50V_{PP}$，$C_L = 1nF$	f = 1MHz		-61		
			f = 0.1MHz		-71		
e_n	电压噪声	f > 100kHz			1.3		nV/√Hz
i_{n+}	同相输入端等效电流噪声	f > 100kHz			31		pA/√Hz
i_{n-}	反相输入端等效电流噪声	f > 100kHz			20		pA/√Hz
直流性能							
Z_{OL}	开环跨阻增益	$V_O = \pm 10V$		4.5	5.5		MΩ
Z_{OL}	开环跨阻增益	$V_O = \pm 10V$，$R_L = 100\Omega$			4.1		MΩ
V_{OS}	输入偏移电压				±0.8	±3.5	mV
	输入失调电压漂移(1)	T_J = –40°C 至 +125°C			5		µV/°C
I_{B-}	反相输入偏置电流				±3	±25	µA
	反相输入偏置电流温漂	T_J = –40°C 至 +125°C			100		nA/°C
I_{B+}	同相输入偏置电流				±1	±15	µA
	同相输入偏置电流温漂	T_J = –40°C 至 +125°C			70		nA/°C
Z_{IN+}	同相输入阻抗				900 || 1.5		kΩ || pF
Z_{IN-}	反相输入阻抗				17		Ω
	输入共模电压			V_{EE} + 4		V_{CC} – 4	V
输入							

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性 $\pm V_S = \pm 30V$（续）

在 $T_A \cong 25°C$、$A_V = 10V/V$、$R_F = 2k\Omega$ 且 $R_S = 5\Omega$ 时（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
CMRR	共模抑制比	f = dc，V_{ICM} = ±2V			67		dB
		f = dc，V_{ICM} = ±25V			72		
输出							
HR_{OUT}	任一电源的余量	R_L = 开路			±4	±5	V
HR_{OUT}	任一电源的余量	R_L = 100Ω			±4	±5	V
I_{OUTLIN}	线性输出电流	$R_L = 5\Omega$，V_O = ±10V，Z_{OL} > 200kΩ，拉电流和灌电流		1	1.35		A
I_{OUT}	最大电流输出				1.5		A
Z_{OUT}	输出直流阻抗	闭环			0.03		Ω
	开环输出电阻	断电			11		kΩ
电源							
I_Q	静态电流	全偏置，空载，ISNK/ISRC_LIMIT = 开路			31	32	mA
			T_J = –40°C 至 +125°C		31	33	
		全偏置，空载，ISNK/ISRC_LIMIT = 250mA			29	30	
			T_J = –40°C 至 +125°C		29	31	
		全偏置，空载，ISNK/ISRC LIMIT = 1A			33	34	
			T_J = –40°C 至 +125°C		33	34	
		断电，空载，ISNK/ISRC_LIMIT = 开路			14	16	
			T_J = –40°C 至 +125°C		14	16	
PSRR	电源抑制比	V_S = ±12V 至 ±30V		76	81		dB
裸片温度监测							
	$\overline{\text{OVTEMP_FLAG}}$ 状态标志低电平				165		°C
	$\overline{\text{OVTEMP_FLAG}}$ 状态标志高电平				140		°C
T_{J_SENSE}	裸片温度输出电压	T_J = 25°C			1.55		V
	T_{J_SENSE} 温度系数	T_J = -40°C 至 +125°C			4.8		mV/°C
	T_{J_SENSE} 输出阻抗				50		kΩ
输出电流监测							
	IOUT_MONITOR 响应时间	以 1/2 Vs 为基准，配置 10kΩ 上拉电阻器 (VCC) 和 10kΩ 下拉电阻器 (VEE)			20		µs
	IOUT_MONITOR 电压	以 1/2 Vs 为基准		V_{MID} - 2V		V_{MID} + 2V	V
	IOUT_MONITOR 精度	I_{OUT} = ±200mA			15		%
		I_{OUT} = ±1A			30		
电流限制管理							
	输出电流限制	外部可调		200		1500	mA
	电流限制响应时间				1		us
	电流限制准确度	I_{LIMIT} = ±200mA			5	15	%
		I_{LIMIT} = ±1A			5	15	
数字输入（P0、P1、$\overline{\text{ISRC_LIM_EN}}$、$\overline{\text{ISNK_LIM_EN}}$）							
	DGND 电压			V_{EE}		V_{CC} – 12	V

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性 $\pm V_S = \pm 30V$（续）

在 $T_A \cong 25°C$、$A_V = 10V/V$、$R_F = 2k\Omega$ 且 $R_S = 5\Omega$ 时（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
	数字输入引脚电压	相对于 DGND		0		5.0	V
	数字输入引脚逻辑阈值	逻辑高电平，相对于 DGND			1.3	1.5	V
		逻辑低电平，相对于 DGND		0.5	1.1		
	数字输入引脚偏置电流	V_{IN} = 0V，相对于 DGND	T_J = –40°C 至 +125°C	-30	-13	30	µA
		V_{IN} = 5V，相对于 DGND	T_J = –40°C 至 +125°C	-30	-5	30	
数字输出（$\overline{ISRC_FLAG}$、$\overline{ISNK_FLAG}$、$\overline{OVTEMP_FLAG}$）							
	数字输出引脚电压	相对于 DGND		0		5.0	V
	数字输出引脚电压高	相对于 DGND		4.9	4.99		V
	数字输出引脚电压低	相对于 DGND			0.01	0.1	V
	ISRC_FLAG 响应时间				5		µs
	ISNK_FLAG 响应时间				5		µs
	OVTEMP_FLAG 响应时间				5		µs

(1) 电流输出基于电迁移限制，实际性能取决于系统热性能。
(2) 由于大输出电流瞬变，1nF 之类高电容负载值会限制带宽。

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性 $\pm V_S = \pm 20V$

在 $T_J \cong 25°C$、A_V = –5V/V、R_F = 1.21kΩ、R_S = 5Ω 且 C_L = 300pF 连接到 1/2 Vs 时（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
交流性能							
SSBW	小信号带宽 (–3dB)	$V_O = 2V_{PP}$			55		MHz
			A_V = 2V/V		70		
LSBW	大信号带宽 (–3dB)	$V_O = 20V_{PP}$ (2)			45		MHz
SR	压摆率（峰值）	V_O = 30V 阶跃，A_V = 2V/V			3500		V/μs
	压摆率 (20% – 80%)	V_O = 30V 阶跃，A_V = 2V/V			3000		
	上升和下降时间	V_O = 30V 阶跃，A_V = 2V/V			9		ns
	趋稳时间	达到 0.1%，V_O = 10V 阶跃			150		ns
HD2	二次谐波失真	$V_O = 20V_{PP}$，A_V = –10V/V	f = 30MHz		-43		dBc
			f = 1MHz		-90		
			f = 0.1MHz		-105		
		$V_O = 20V_{PP}$，A_V = –10V/V，R_L = 25Ω	f = 30MHz		-46		
			f = 1MHz		-95		
			f = 0.1MHz		-91		
HD3	三次谐波失真	$V_O = 20V_{PP}$，A_V = –10V/V	f = 30MHz		-34		dBc
			f = 1MHz		-79		
			f = 0.1MHz		-86		
		$V_O = 20V_{PP}$，A_V = –10V/V，R_L = 25Ω	f = 30MHz		-33		
			f = 1MHz		-80		
			f = 0.1MHz		-86		
e_n	电压噪声	f > 100kHz			1.3		nV/√Hz
i_{n+}	同相输入端等效电流噪声	f > 100kHz			31		pA/√Hz
i_{n-}	反相输入端等效电流噪声	f > 100kHz			20		pA/√Hz
V_{OS}	输入偏移电压				±0.8	±3.5	mV
	输入失调电压漂移(1)	T_J = –40°C 至 +125°C			5		μV/°C
直流性能							
I_{B-}	反相输入偏置电流				±3	±25	μA
	反相输入偏置电流温漂	T_J = –40°C 至 +125°C			100		nA/°C
I_{B+}	同相输入偏置电流				±1	±15	μA
	同相输入偏置电流温漂	T_J = –40°C 至 +125°C			70		nA/°C
Z_{OL}	开环跨阻增益	V_O = ±10V			5.5		MΩ

Copyright © 2025 Texas Instruments Incorporated

5.6 电气特性 $\pm V_S = \pm 20V$（续）

在 $T_J \cong 25°C$、$A_V = -5V/V$、$R_F = 1.21k\Omega$、$R_S = 5\Omega$ 且 $C_L = 300pF$ 连接到 1/2 Vs 时（除非另有说明）

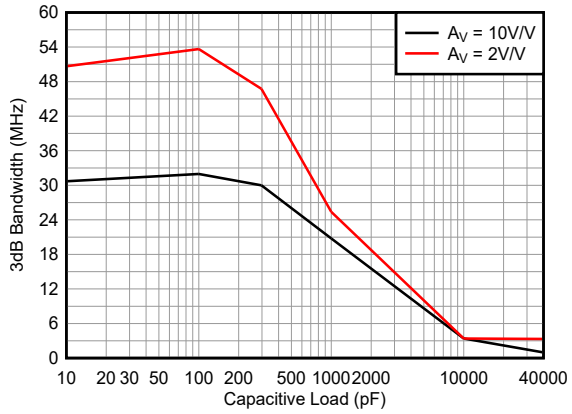
参数		测试条件		最小值	典型值	最大值	单位
输入							
Z_{IN+}	同相输入阻抗				180 || 5		kΩ || pF
Z_{IN-}	反相输入阻抗				17		Ω
	输入共模电压			V_{EE} + 4		V_{CC} – 4	V
CMRR	共模抑制比	f = dc，VICM = ±2V			67		dB
		f = dc，VICM = ±18V			72		
输出							
HR_{OUT}	任一电源的余量	R_L = 开路			±4	±5	V
		R_L = 100Ω			±4	±5	V
I_{OUTLIN}	线性输出电流			1	1.2		A
I_{OUT}	最大电流输出				1.5		A
Z_{OUT}	输出直流阻抗	闭环			0.03		Ω
电源							
I_Q	静态电流	全偏置，空载，ISNK/ISRC_LIMIT = 开路			31	32	mA
			T_J = –40°C 至 +125°C		31	33	
		全偏置，空载，ISNK/ISRC_LIMIT = 200mA			29	30	
			T_J = –40°C 至 +125°C		29	31	
		全偏置，空载，ISNK/ISRC_LIMIT = 1.5A			33	34	
			T_J = –40°C 至 +125°C		33	34	
		断电，空载，ISNK/ISRC_LIMIT = 开路			14	16	
			T_J = –40°C 至 +125°C		14	16	
输出电流监测							
	IOUT_MONITOR 精度	I_{OUT} = ±200mA			5		%
		I_{OUT} = ±1A			15		
电流限制管理							
	电流限制准确度	I_{LIMIT} = ±200mA			5		%
		I_{LIMIT} = ±1A			5		

(1) 电流输出基于电迁移限制，实际性能取决于系统热性能。
(2) 由于大输出电流瞬变，300pF 之类高电容负载值会限制带宽。

Copyright © 2025 Texas Instruments Incorporated

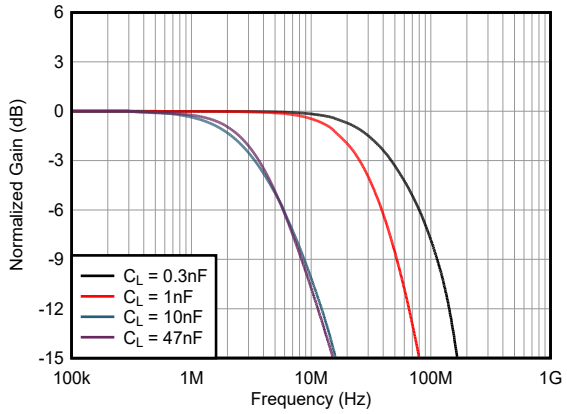
5.7 典型特性

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）



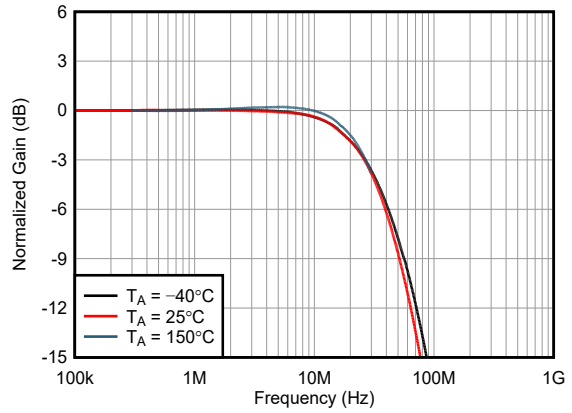
V_{OUT} = 2 V_{PP}

图 5-1. 小信号带宽与电容负载间的关系



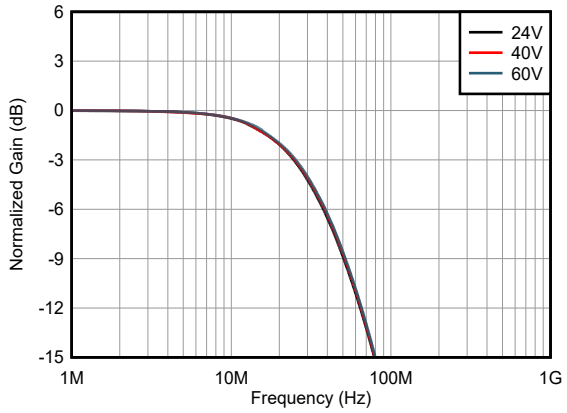
A_V = 2V/V，V_{OUT} = 2V_{PP}

图 5-2. 小信号带宽与电容负载间的关系



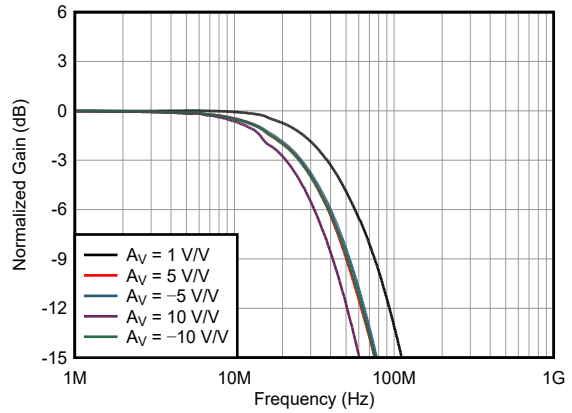
A_V = 2V/V，C_{LOAD} = 1nF，V_{OUT} = 2V_{PP}

图 5-3. 小信号带宽与温度间的关系



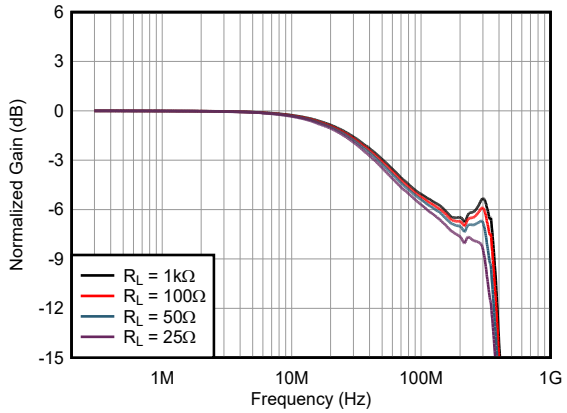
A_V = 2V/V，C_{LOAD} = 1nF，V_{OUT} = 2V_{PP}

图 5-4. 小信号带宽与电源电压间的关系



A_V = 2V/V，C_{LOAD} = 1nF，V_{OUT} = 2V_{PP}

图 5-5. 小信号带宽与增益间的关系



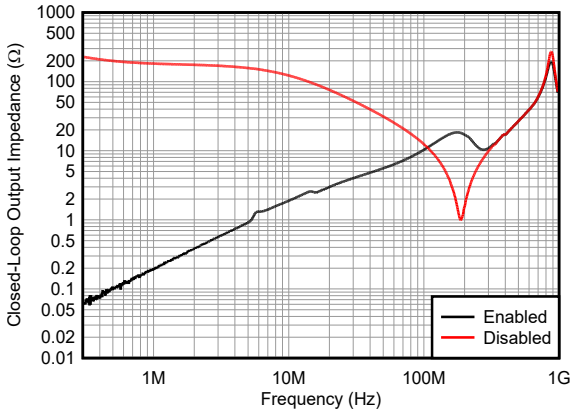
A_V = 2V/V，R_S = 0Ω，C_{LOAD} = 开路，V_{OUT} = 2V_{PP}

图 5-6. 小信号带宽与电阻负载间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）



R_S = 0Ω，C_{LOAD} = 开路

图 5-7. 闭环输出阻抗与频率间的关系

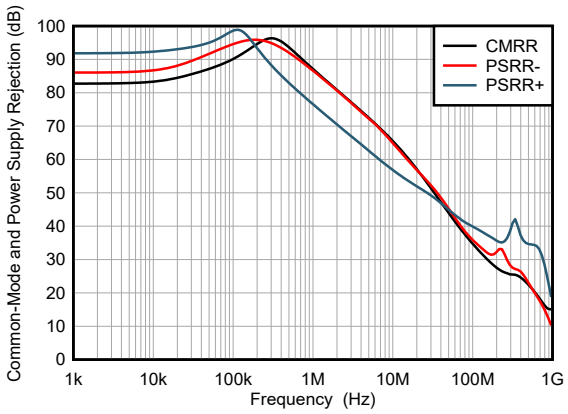
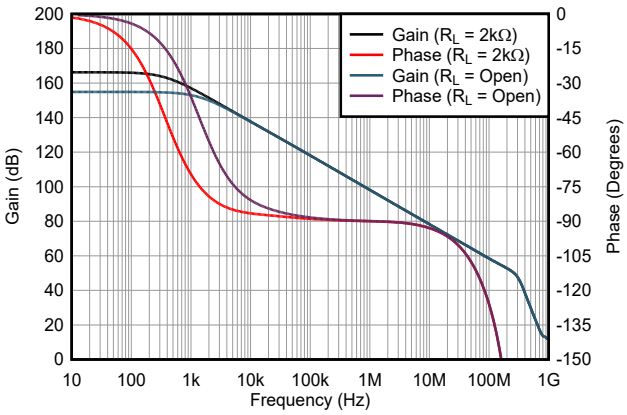
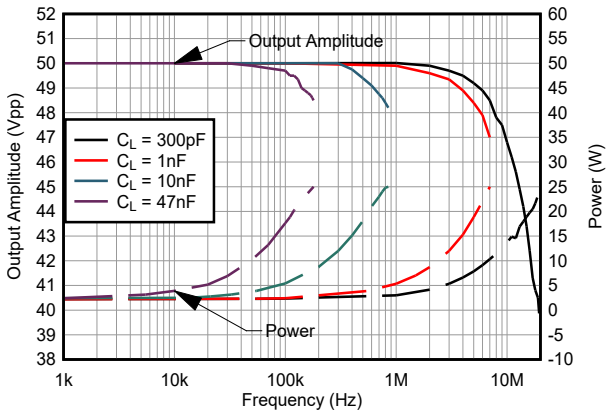


图 5-8. 共模抑制和电源抑制与频率间的关系



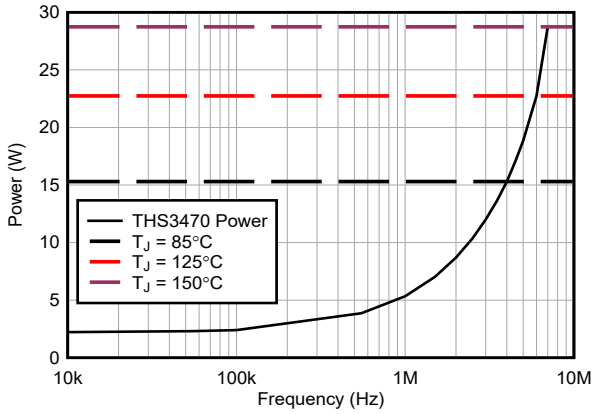
C_{LOAD} = 开路

图 5-9. 开环互阻抗与频率间的关系



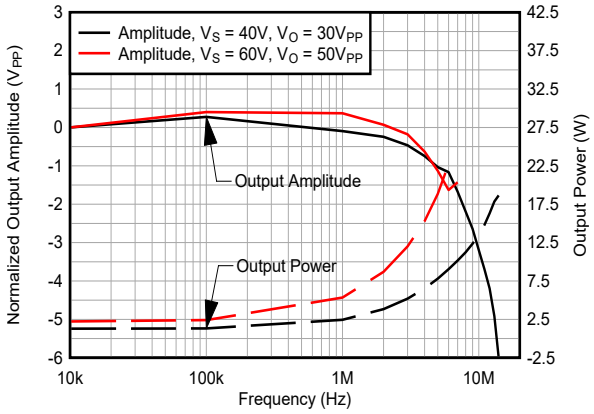
V_{OUT} = 50V_{PP}

图 5-10. 大信号带宽与电容负载间的关系



C_{LOAD} = 1nF，V_{OUT} = 50V_{PP}

图 5-11. 大信号功率与频率间的关系



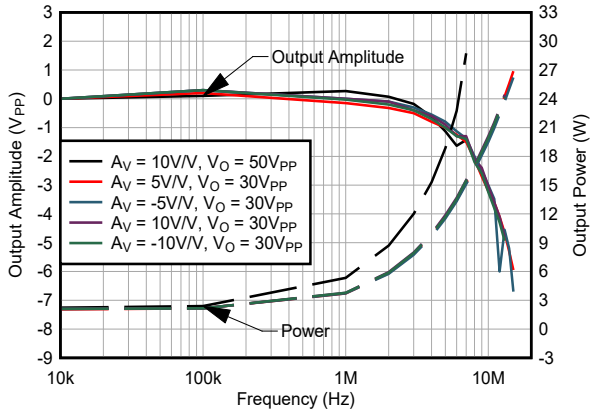
C_{LOAD} = 1nF

图 5-12. 大信号带宽与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

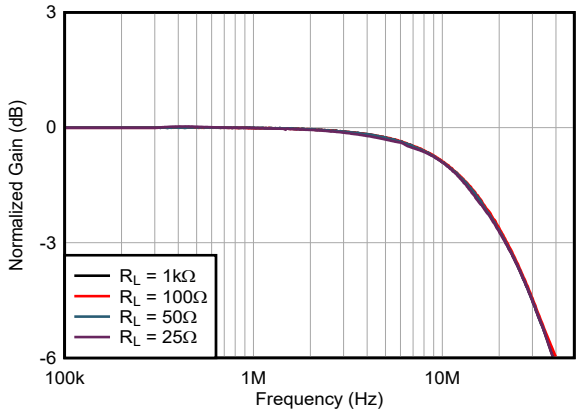
5.7 典型特性（续）

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）



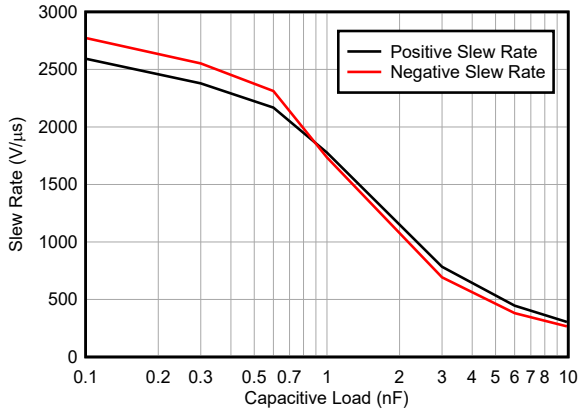
C_{LOAD} = 1nF

图 5-13. 大信号带宽与增益间的关系



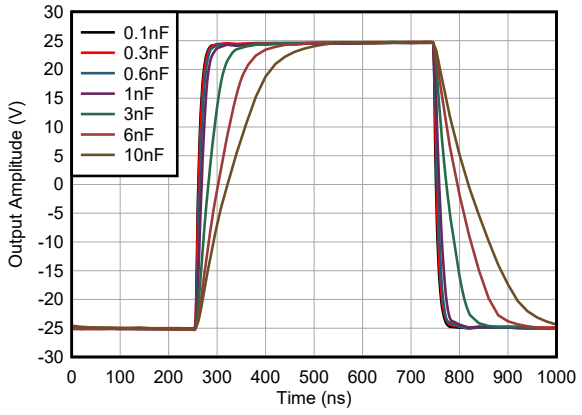
R_S = 0Ω，C_{LOAD} = 开路，V_{OUT} = 50V_{PP}

图 5-14. 大信号带宽与电阻负载间的关系



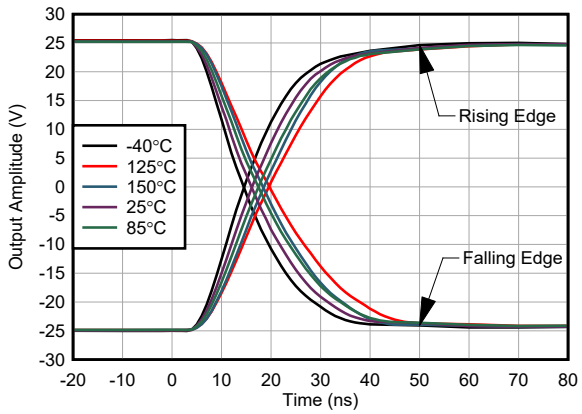
V_{OUT} = 50V_{PP}

图 5-15. 压摆率与电容负载间的关系



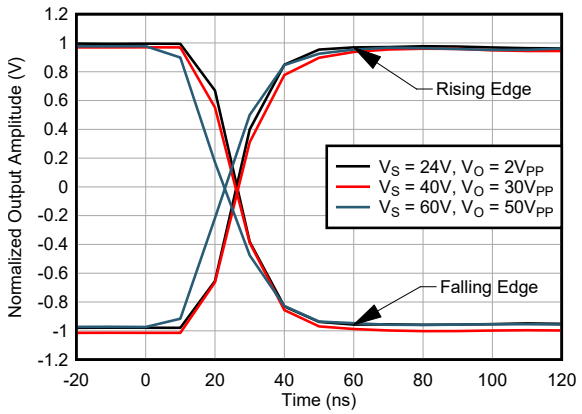
V_{OUT} = 50V_{PP}

图 5-16. 大信号阶跃响应与电容负载间的关系



C_{LOAD} = 1nF，V_{OUT} = 50V_{PP}

图 5-17. 大信号阶跃响应与温度间的关系



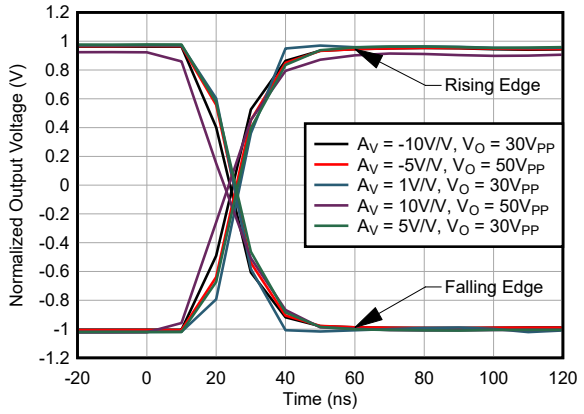
C_{LOAD} = 1nF

图 5-18. 大信号阶跃响应与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

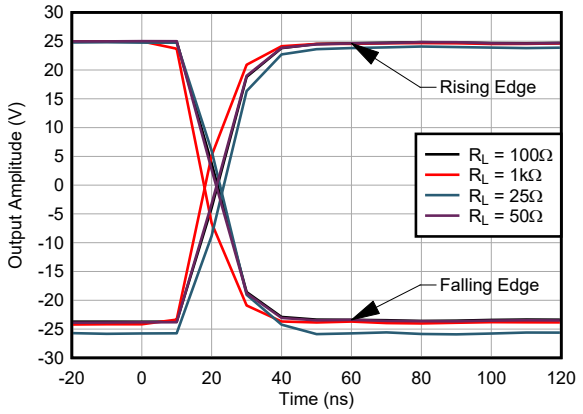
5.7 典型特性（续）

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）



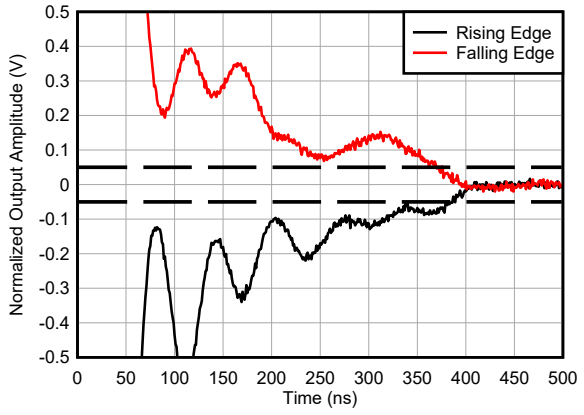
C_{LOAD} = 1nF

图 5-19. 大信号阶跃响应与增益间的关系



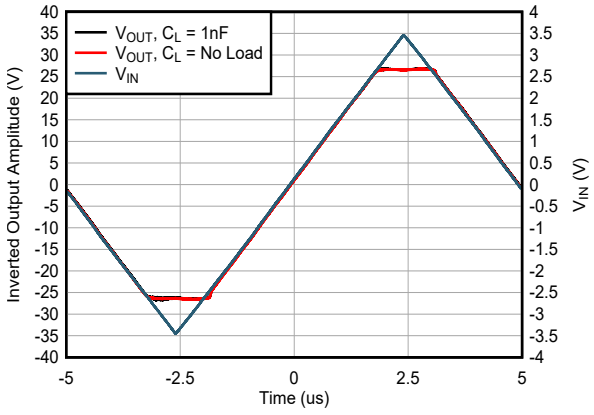
C_{LOAD} = 开路，V_{OUT} = 50V_{PP}

图 5-20. 大信号阶跃响应与电阻负载间的关系



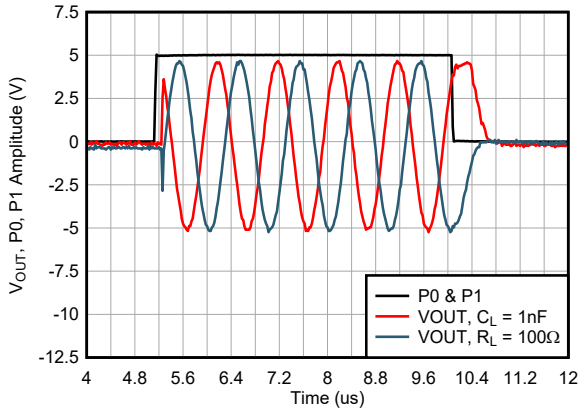
C_{LOAD} = 1nF，V_{OUT} = 50V_{PP}

图 5-21. 大信号趋稳时间



A_V = −10V/V，V_{OUT} = 50V_{PP}

图 5-22. 过载恢复时间



C_{LOAD} = 1nF，V_{OUT} = 50V_{PP}，f_{IN} = 100kHz

图 5-23. 输出使能/禁用时间

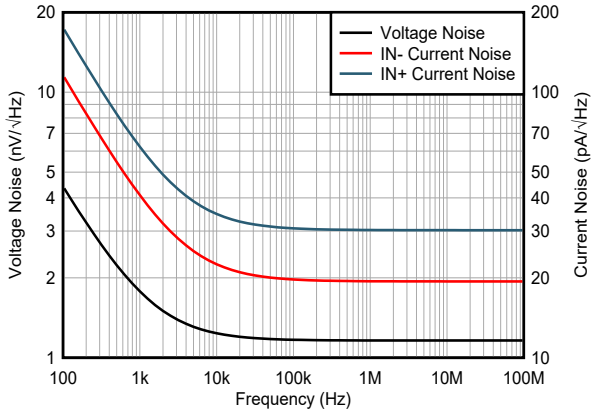
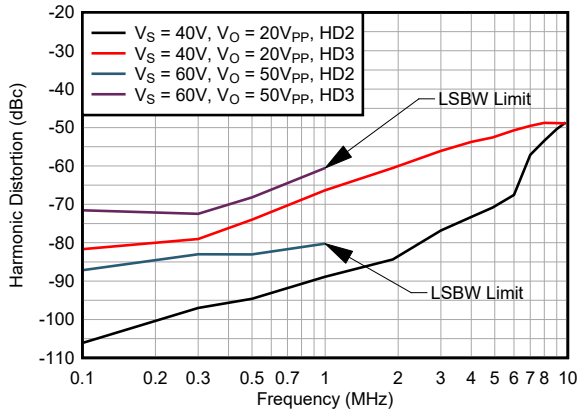


图 5-24. 电压噪声和电流噪声与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

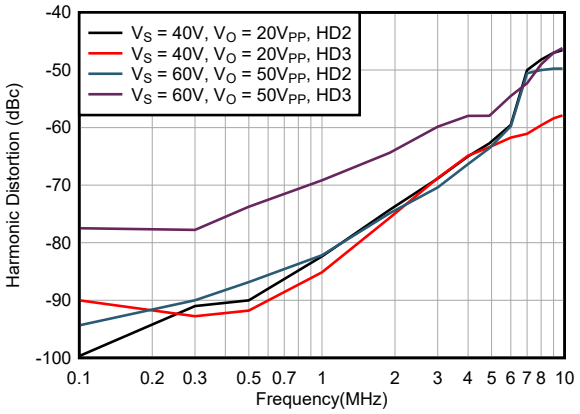
5.7 典型特性（续）

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）



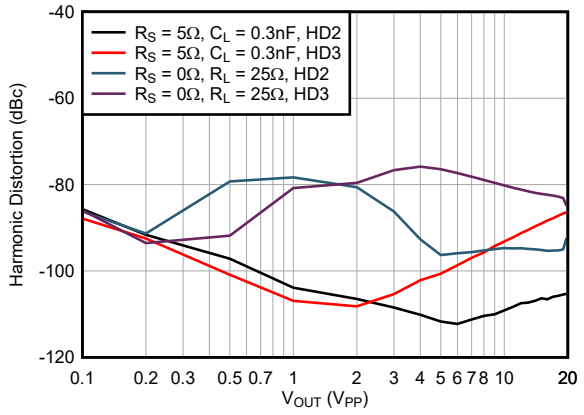
C_{LOAD} = 1nF

图 5-25. 谐波失真与频率间的关系



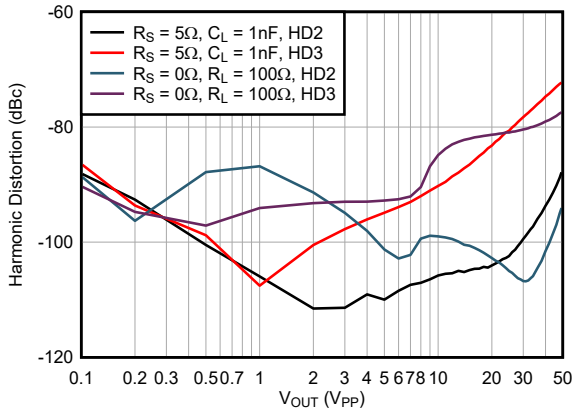
C_{LOAD} = 开路，A_V = 10V/V，R_{LOAD} = 100Ω

图 5-26. 谐波失真与频率间的关系



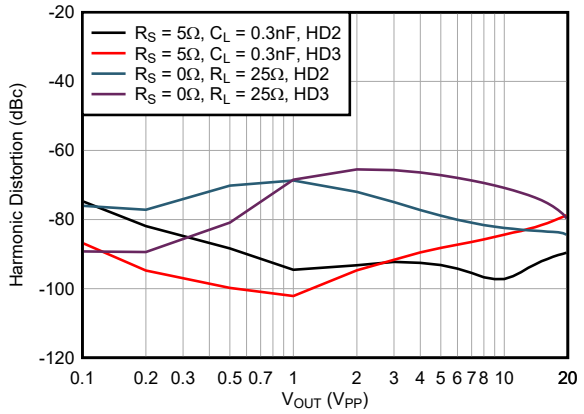
A_V = −10V/V，V_S = 40V，f_{in} = 100kHz

图 5-27. 谐波失真与输出电压间的关系



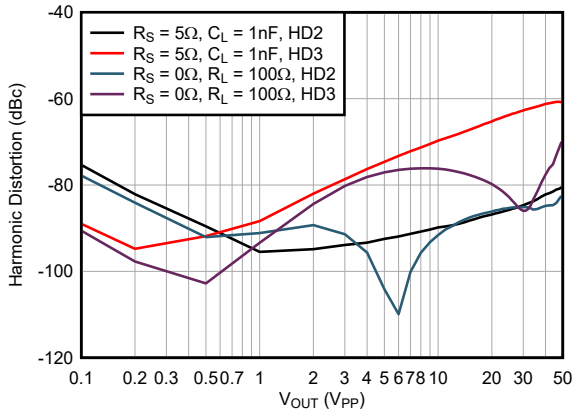
A_V = 10V/V，V_S = 60V，f_{in} = 100kHz

图 5-28. 谐波失真与输出电压间的关系



A_V = −10V/V，V_S = 40V，f_{in} = 1MHz

图 5-29. 谐波失真与输出电压间的关系



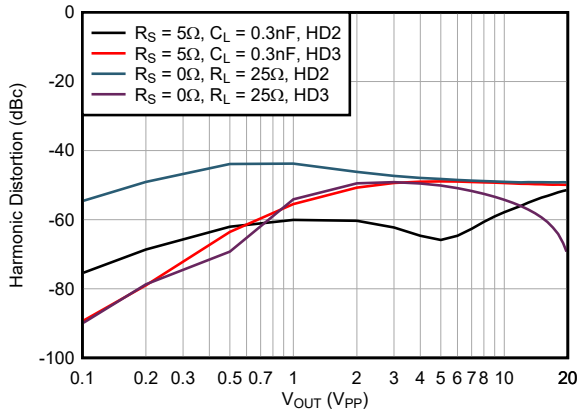
A_V = 10V/V，V_S = 60V，f_{in} = 1MHz

图 5-30. 谐波失真与输出电压间的关系

Copyright © 2025 Texas Instruments Incorporated

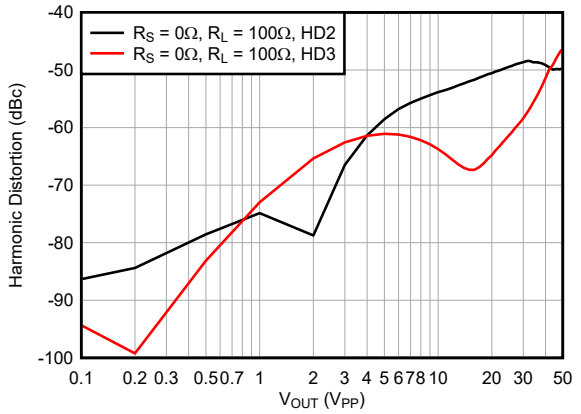
5.7 典型特性（续）

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）



A_V = −10V/V，V_S = 40V，f_{in} = 10MHz

图 5-31. 谐波失真与输出电压间的关系



A_V = 10V/V，V_S = 60V，f_{in} = 10MHz

图 5-32. 谐波失真与输出电压间的关系

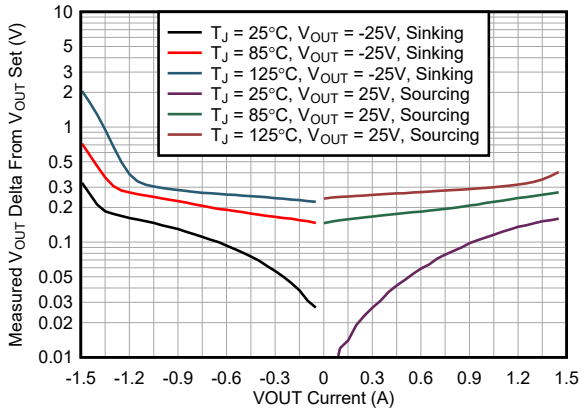
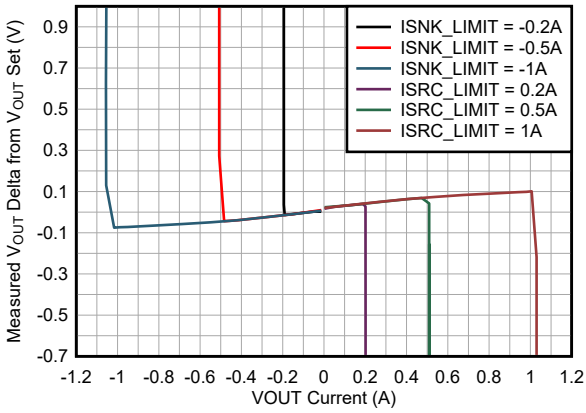


图 5-33. 输出电压余量与温度间的关系



V_{OUT} = 25V（拉电流）和 −25V（灌电流）

图 5-34. 输出余量与电流限制间的关系

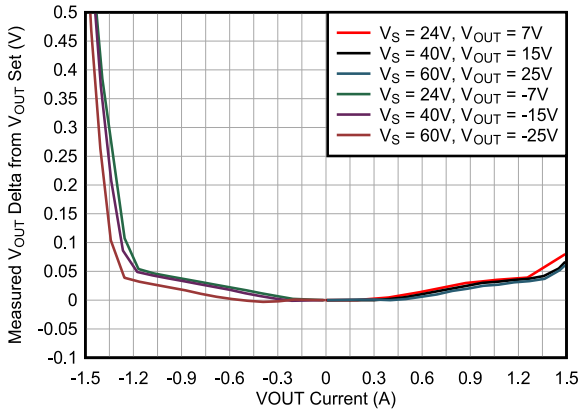
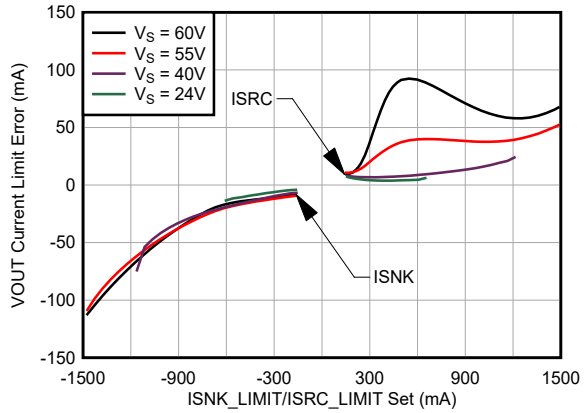


图 5-35. 输出余量与电源电压间的关系



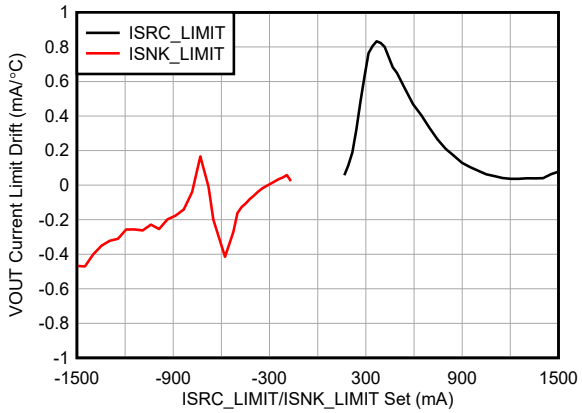
R_{LOAD} = 12.5Ω

图 5-36. 输出电流限制与 ILIMIT 设置间的关系

Copyright © 2025 Texas Instruments Incorporated

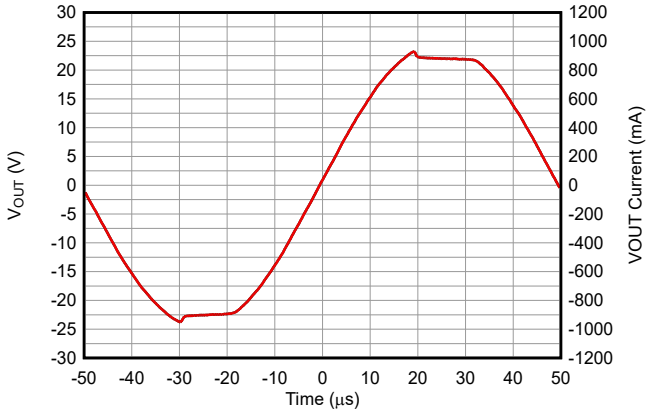
5.7 典型特性（续）

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）



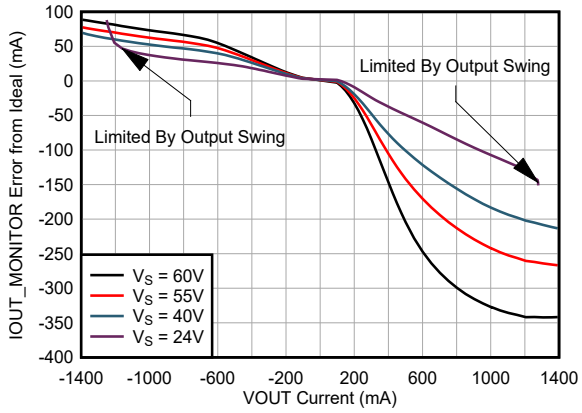
R_{LOAD} = 12.5Ω

图 5-37. 输出电流误差漂移与 ILIMIT 设置间的关系



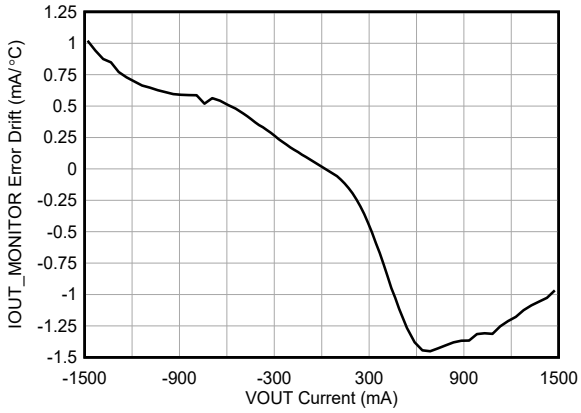
R_{LOAD} = 25Ω，V_{OUT} = 50V_{PP}，ILIMIT = 900mA，f_{in} = 10kHz

图 5-38. 输出电流限制与时间间的关系



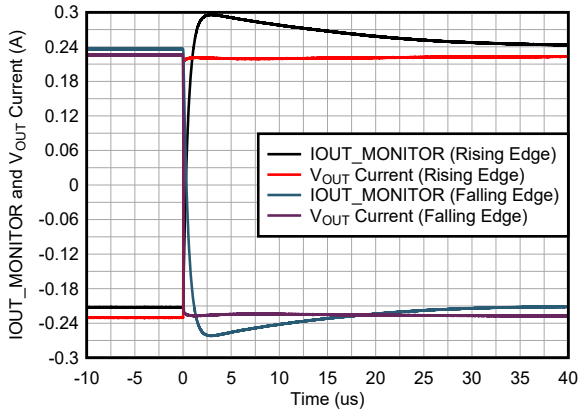
R_{LOAD} = 12.5Ω

图 5-39. IOUT_MONITOR 误差与输出电流间的关系



R_{LOAD} = 12.5Ω

图 5-40. IOUT_MONITOR 温度漂移与输出电流间的关系



V_{OUT} = 50V_{PP}，RLOAD = 100Ω，R_{IOUT_2048} = 5kΩ

图 5-41. IOUT_MONITOR 响应时间

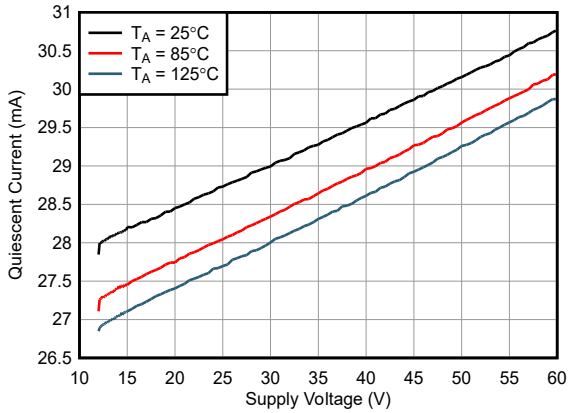


图 5-42. 静态电流与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A ≅ 25°C、A_V = 10V/V、R_F = 2kΩ、R_S = 5Ω 且 V_S = 60V 时（除非另有说明）

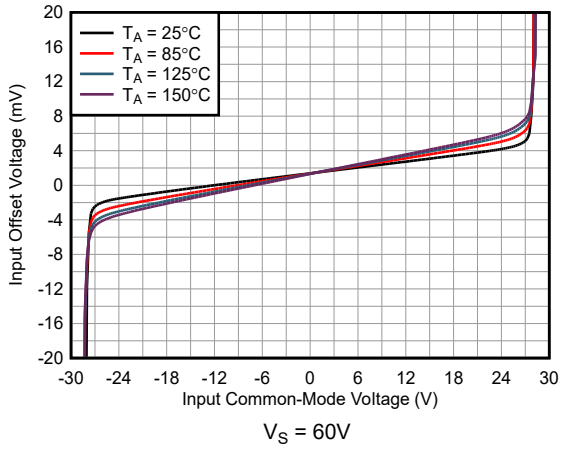


图 5-43. 输入偏移与输入共模间的关系

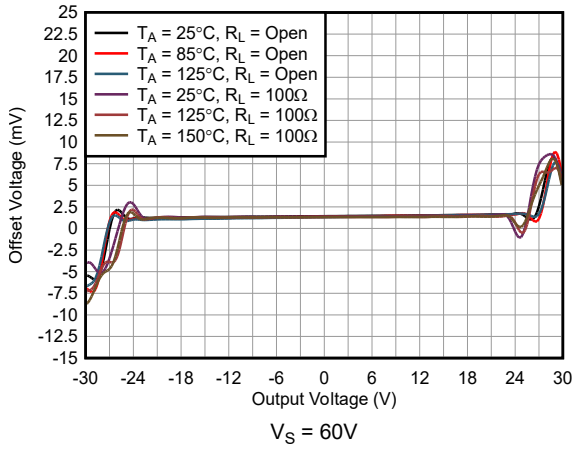


图 5-44. 输入偏移与输出电压间的关系

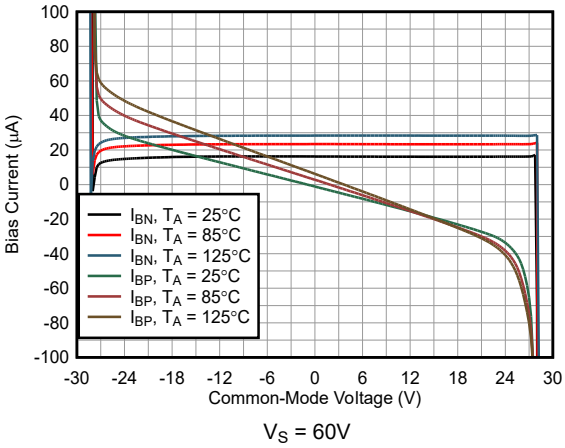


图 5-45. 输入偏置电流与输入共模间的关系

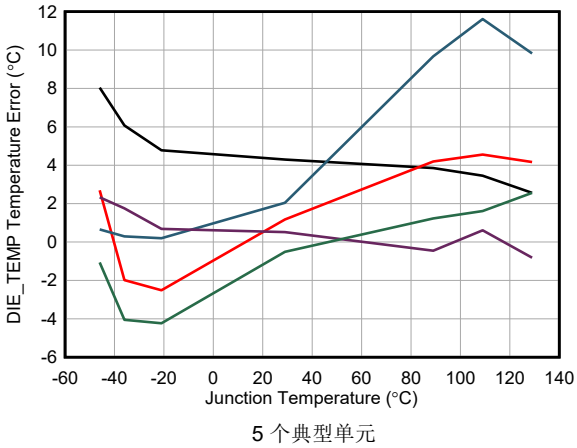


图 5-46. DIE_TEMP 精度与温度间的关系

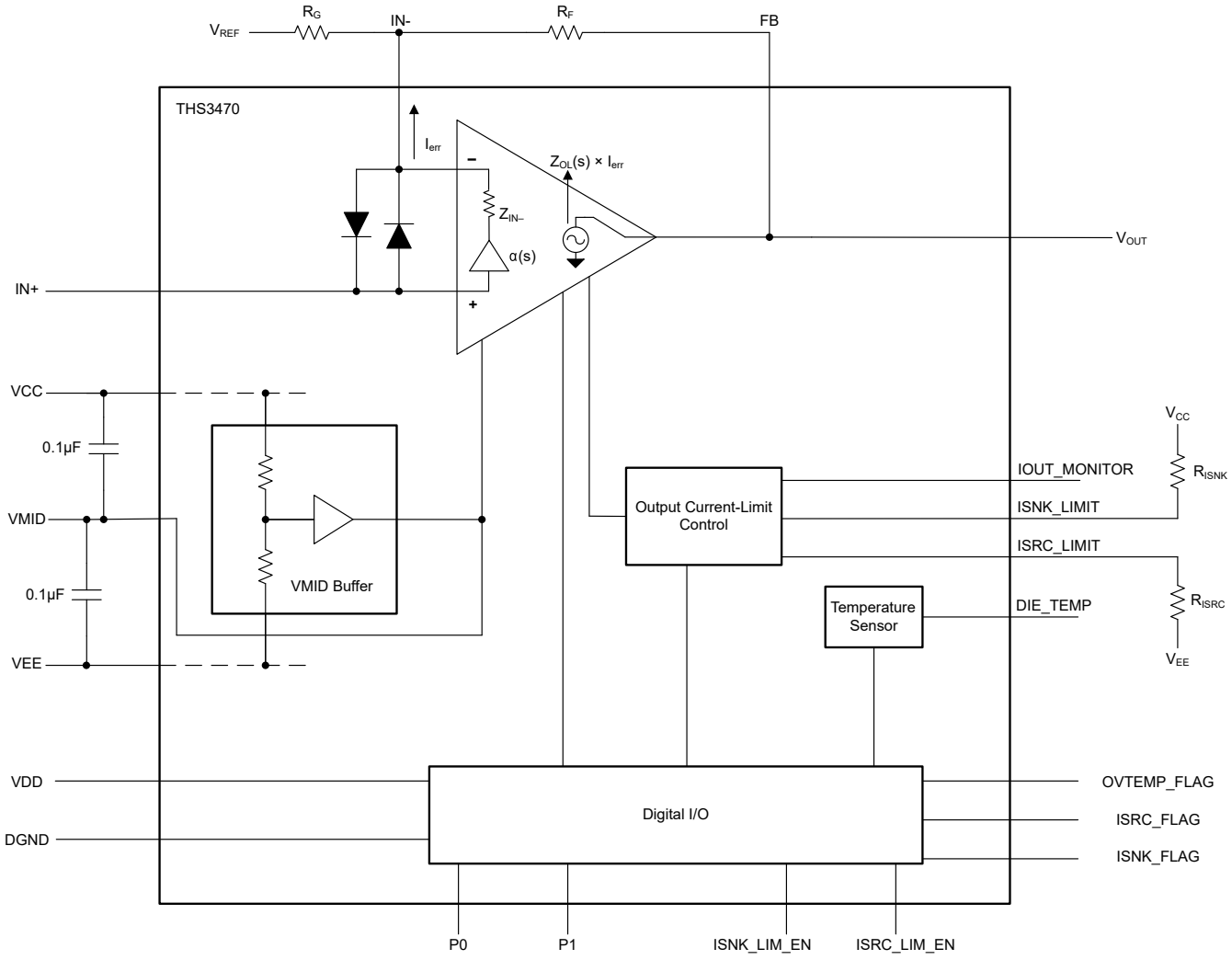
Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

THS3470 是 60V 电流反馈放大器，能够驱动高达 1.35A 的大动态和静态输出电流。对于任意波形发生器应用，THS3470 可在 22MHz 下向 100Ω 传输线路输出高达 $50V_{PP}$ 的大信号正弦波。对于 LCD 测试应用，THS3470 能够在 2kV/μs 下为 1nF 的电容负载输出 $50V_{PP}$ 电压脉冲。THS3470 配备了多种诊断引脚，有助于监测和限制器件热性能和输出电流。该器件还可提供 REB 封装（42 引脚 VQFN），其顶部散热可借助强制风冷和散热器获得 4℃/W 的 $R_{\theta JA}$ 热阻性能。这种特性组合使 THS3470 成为一款独特的目录功率放大器，适用于各种高电压和高输出电流应用。

6.2 功能方框图



6.3 特性说明

6.3.1 输出电流限制

THS3470 具有两个引脚 ISRC_LIMIT 和 ISNK_LIMIT，可通过 VOUT 引脚设置输出电流限制。ISRC_LIMIT 控制 VOUT 拉电流限制（离开器件输出端的电流，I_{OUT} 拉电流），调节范围为 200mA 至 1.5A。ISNK_LIMIT 控制 VOUT 灌电流限制（进入器件输出端的电流，I_{OUT} 灌电流），调节范围为 200mA 至 1.5A。

备注

要启用由 ISRC_LIMIT 引脚控制的输出拉电流限制，$\overline{\text{ISRC_LIMIT_EN}}$ 引脚必须为低电平。要启用由 ISNK_LIMIT 引脚控制的输出灌电流限制，$\overline{\text{ISNK_LIMIT_EN}}$ 引脚必须为低电平。

小心

如果 ISRC_LIMIT 或 ISNK_LIMIT 保持未连接状态，则器件默认为 2.1A 电流限制。如果 ISRC_LIMIT 或 ISNK_LIMIT 设置为小于 200mA，则器件会进入 2.1A 电流限制。如果未能正确调节电流，则可能会使结温升高到超过绝对最大结温，因而损坏器件。

要静态设置输出拉电流限制，请将电阻器 R_{SRC_LIMIT} 连接到 ISRC_LIMIT 和 VEE 之间。要静态设置输出灌电流限值，请将 R_{SNK_LIMIT} 连接到 ISNK_LIMIT 和 VCC 之间。图 6-1 显示了这些连接的示例，控制电流限制的公式如方程式 1 和方程式 2 所示，典型应用的电阻值如表 6-1 所示。

$$R_{SRC_LIMIT} = \frac{(V_{MID} - V_{EE}) \times 2048}{I_{OUT}\ \text{Source Limit (A)}} - 720 \quad (1)$$

$$R_{SNK_LIMIT} = \frac{(V_{CC} - V_{MID}) \times 2048}{I_{OUT}\ \text{Sink Limit (A)}} - 720 \quad (2)$$

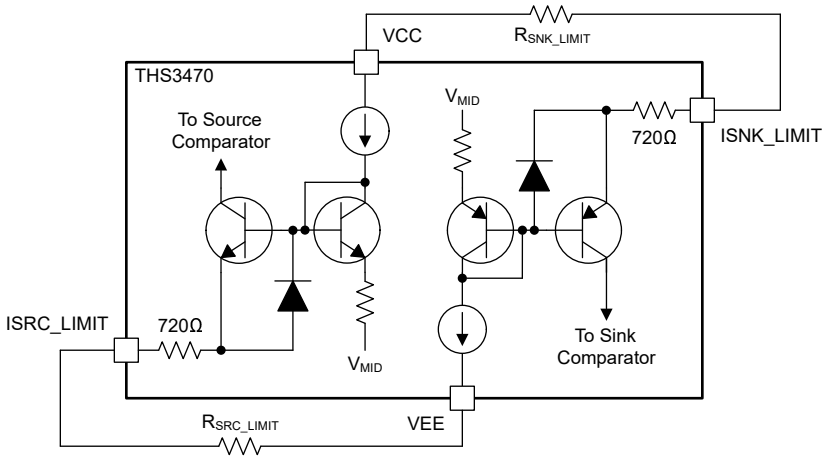


图 6-1. 静态设置输出电流限制

表 6-1. 静态设置的输出电流限制的典型电阻值

V_S (V)	I_{OUT} 拉电流/灌电流限制 (A)	$R_{SNK_LIMIT}/R_{SRC_LIMIT}$ (Ω)
60	0.2	306k
60	0.5	122k
60	1	60k
60	1.5	40k
40	0.2	204k
40	0.5	81k
40	1	40k

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 静态设置的输出电流限制的典型电阻值（续）

V_S (V)	I_{OUT} 拉电流/灌电流限制 (A)	$R_{SNK_LIMIT}/R_{SRC_LIMIT}$ (Ω)
40	1.5	27k

或者，电流限制引脚可以通过电压数模转换器 (DAC) 或其他低阻抗电压源进行调节；如图 6-2 所示。在应用需要时，该方法有助于实现对输出电流限制的可编程控制。控制这种方法的电流限制的公式如方程式 3 所示，表 6-2 显示了动态配置电流限制的示例。

$$V_{DAC}\,(V) = I_{OUT}(A) \times \frac{4.5k\Omega}{2048} \tag{3}$$

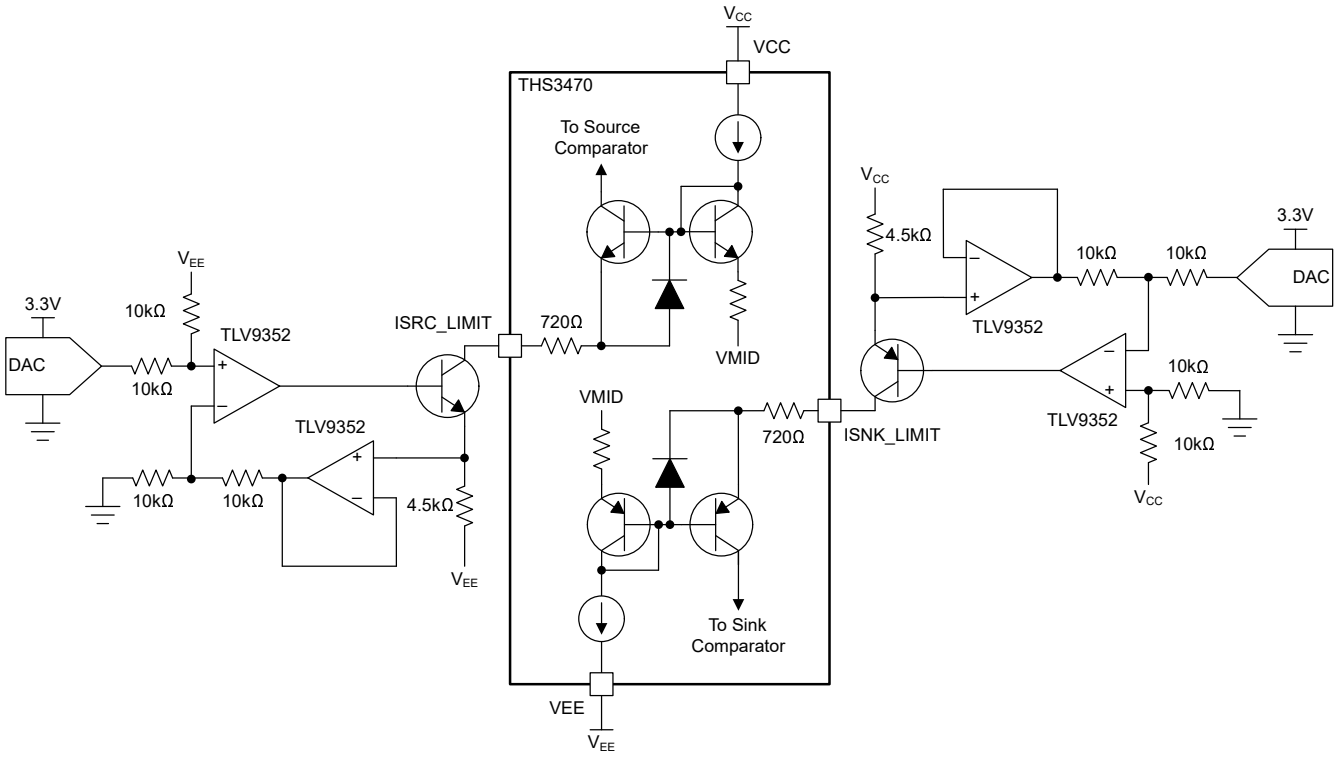


图 6-2. 动态设置输出电流限制

表 6-2. 动态设置的输出电流限制的 DAC 电压示例

V_{OUT} 电流限制 (mA)	$I_{LIMIT_SRC/SNK}$ (μA)	DAC 电压，V_{DAC} (V)
200	97.65	0.439
500	24.41	1.099
1000	488.28	2.197
1500	732.42	3.296

小心

确保 ISNK_LIMIT 电压大于 VMID 电压，并且 ISRC_LIMIT 电压小于 VMID 电压。未遵守此注意事项可能会导致器件损坏。此外，VMID 引脚必须进行外部缓冲才能用作电源。

Copyright © 2025 Texas Instruments Incorporated

6.3.2 输出电流使能

THS3470 具有两个引脚：$\overline{\text{ISNK_LIMIT_EN}}$ 和 $\overline{\text{ISRC_LIMIT_EN}}$，允许切换由 ISNK_LIMIT 和 ISRC_LIMIT 引脚设置的内部电流限制功能。

如果 $\overline{\text{ISNK_LIMIT_EN}}$ 引脚连接为低电平，则会激活灌电流的内部电流限制，并根据 ISNK_LIMIT 配置调节 VOUT 引脚上的电流。如果 $\overline{\text{ISNK_LIMIT_EN}}$ 连接为高电平，则灌电流的内部电流限制将被停用，并受到固有最大允许电流 (2.1a) 限制。无论 $\overline{\text{ISNK_LIMIT_EN}}$ 引脚配置如何，当 VOUT 灌电流超过 ISNK_LIMIT 配置规定的阈值时，$\overline{\text{ISNK_FLAG}}$ 引脚都会触发。

对于 $\overline{\text{ISNK_LIMIT_EN}}$ 已禁用的情况，使用此功能作为当器件接近必须使用 I_{OUT} 引脚或 $\overline{\text{OVTEMP_FLAG}}$ 引脚密切监测的系统运行状况限值时的警告标志。这种方法为设计人员提供了一个选项，使其更好地控制何时禁用或关闭微控制器上的器件；图 6-3 显示了此选项。如果应用不需要精细控制电流限制，设计人员可以将 $\overline{\text{ISNK_FLAG}}$ 引脚硬连接到 $\overline{\text{ISNK_LIMIT_EN}}$ 引脚；图 6-3 也显示了此选项。

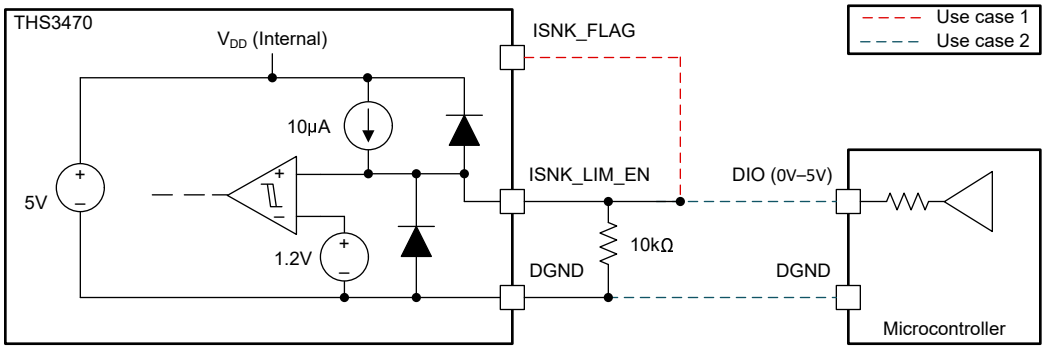


图 6-3. 输出电流使能原理图

$\overline{\text{ISRC_LIMIT_EN}}$、ISRC_LIMIT 和 $\overline{\text{ISRC_FLAG}}$ 引脚的功能都与灌电流等效项相同，但控制 VOUT 引脚的拉电流限制。

Copyright © 2025 Texas Instruments Incorporated

6.3.3 过热标志

THS3470 过热标志 $\overline{\text{OVTEMP_FLAG}}$ 用于监测器件的内部热关断何时处于活动状态。当芯片温度超过 160 度时，$\overline{\text{OVTEMP_FLAG}}$ 通常会置为低电平，具体取决于器件的工艺变化。将标志置为低电平后，该标志通常在器件温度冷却到 140 度时置为高电平（也取决于工艺变化），这样会创建一个迟滞窗口，防止器件连续置为无效。

过热标志有两种主要用例。典型用例是将 $\overline{\text{OVTEMP_FLAG}}$ 直接连接到 P0 和 P1 引脚，以便在芯片温度过高时允许器件热关断。此外，如果需要在 P0 和 P1 引脚上实现其他功耗模式之一，则可以将逻辑与门与首选 P0 和 P1 偏置状态结合使用。第二种用例是将 $\overline{\text{OVTEMP_FLAG}}$ 连接到微控制器的数字输入/输出引脚，并监测该引脚作为温度警告标志。在这种情况下，微控制器可以与 DIE_TEMP 引脚一起做出决策，在 P0 或 P1 引脚连接到 $\overline{\text{OVTEMP_FLAG}}$ 之前或之后切换 P0 和 P1 引脚的状态，从而更严格地控制 THS3470 的热调节。

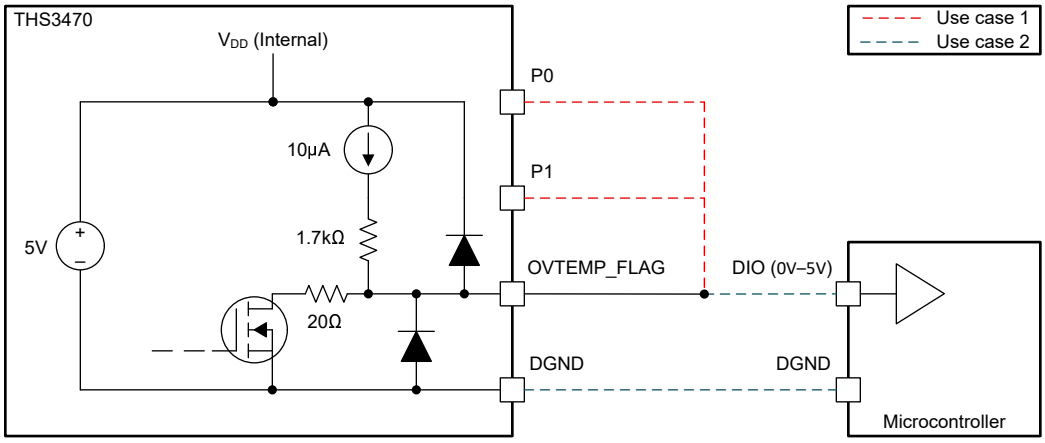


图 6-4. $\overline{\text{OVTEMP_FLAG}}$ 原理图

备注

器件温度在整个芯片上并非总是对称，根据应用可能会产生“热点”。请特别注意快速加热场景，例如驱动大电容负载，这些场景无法及时触发 $\overline{\text{OVTEMP_FLAG}}$ 来防止器件出现破坏性故障。有关在这些应用中防止器件过热的更多信息，请参阅数据表的“安全工作区”。

6.3.4 输出电流标志

THS3470 输出电流标志 $\overline{\text{ISNK_FLAG}}$ 和 $\overline{\text{ISRC_FLAG}}$ 用于监测在器件的 VOUT 引脚上何时达到或超过 ISNK_LIMIT 和 ISRC_LIMIT 设置的电流限制。如果超过 ISNK_LIMIT 灌电流限制（进入器件输出端的电流），则 $\overline{\text{ISNK_FLAG}}$ 引脚会被拉低至 DGND。如果未超过 ISNK_LIMIT 灌电流限制，$\overline{\text{ISNK_FLAG}}$ 引脚会被拉高至 5V 的内部 VDD 电压。如果超过 ISRC_LIMIT 拉电流限制（离开器件输出端的电流），则 $\overline{\text{ISNK_FLAG}}$ 引脚会被拉低至 DGND。如果未超过 ISRC_LIMIT 拉电流限制，$\overline{\text{ISNK_FLAG}}$ 引脚会被拉高至 5V 的内部 VDD 电压。

备注

无论输出电流使能标志的状态如何，输出电流标志的功能都相同。

输出电流标志有两种主要用例。第一种用例是将 $\overline{\text{ISNK_FLAG}}$ 连接到 $\overline{\text{ISNK_LIMIT_EN}}$ 引脚，以允许器件自限制流入 VOUT 的电流。第二种用例是将 $\overline{\text{ISNK_FLAG}}$ 连接到微控制器的数字输入/输出引脚，并监测该引脚作为电流警告标志。有关这些用例的详细信息，另请参阅节 6.3.2。

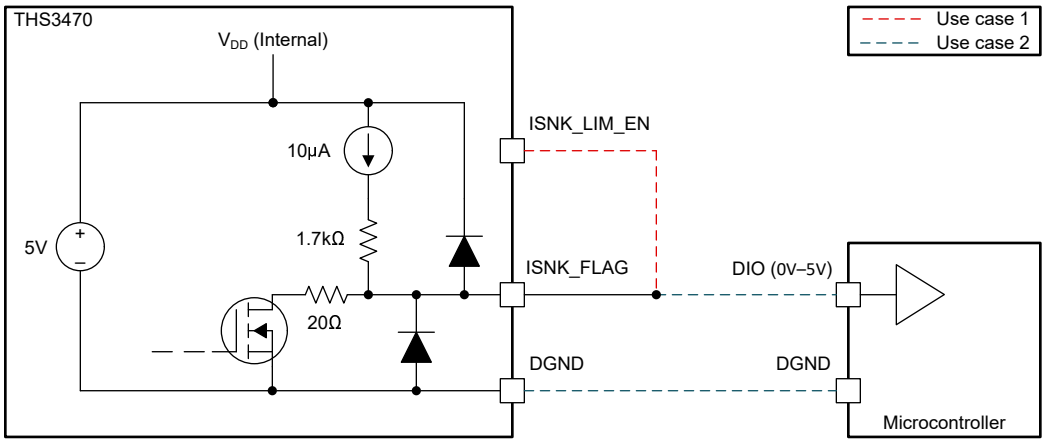


图 6-5. ISNK_FLAG 原理图

Copyright © 2025 Texas Instruments Incorporated

6.3.5 输出电流监测

$I_{OUT_MONITOR}$ 引脚用于监测正在进入（灌入）或退出（拉出）VOUT 引脚的输出电流 (I_{OUT})。为了监测输出电流，$I_{OUT_MONITOR}$ 引脚使用内部电流镜创建一个按比例缩小的电流源，该电流源可产生 VOUT 引脚输出电流的镜像。方程式 4 显示了控制 $I_{OUT_MONITOR}$ 引脚与输出电流关系的公式。

$$I_{OUT_MONITOR} = \frac{I_{OUT}}{2048} \tag{4}$$

例如，如果 VOUT 引脚输出 204.8mA 电流，则 $I_{OUT_MONITOR}$ 引脚输出 100µA 电流。或者，如果 VOUT 引脚灌入 204.8mA 电流，则 $I_{OUT_MONITOR}$ 引脚灌入 100µA 电流。

小心

将 $I_{OUT_MONITOR}$ 与 VMID 引脚的电压之差保持在 5V 以内。未遵守此注意事项可能会导致器件损坏。

要使用 ADC 读取 IOUT_MONITOR 电流，请包括 图 6-6 中所示的外部跨阻电路。该电路用于实现三个关键目标。第一个目标是将 IOUT_MONITOR 引脚电流转换为电压 (V_{OUT_TIA})，该电压按比例适配 ADC 范围 (V_{ADC_RANGE})。第二个目标是当 IOUT_MONITOR 等于 0A 时将 V_{OUT_TIA} 电压移至 1/2 V_{ADC_RANGE}。最后一个目标是将 IOUT_MONITOR 引脚与 VMID 电压之差保持在 ±5V 范围内。

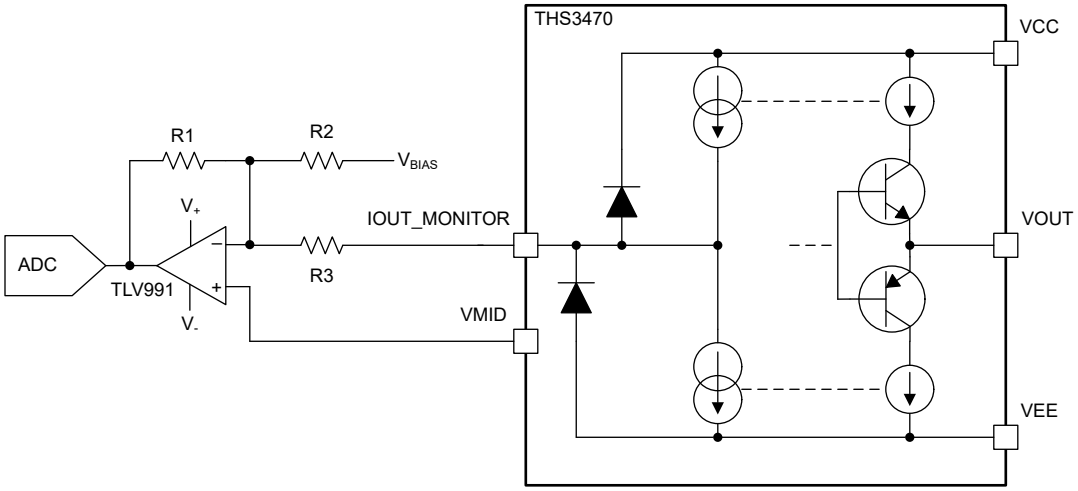


图 6-6. IOUT_2048 跨阻原理图

跨阻电路中的电阻 R_1 最终负责将 IOUT_MONITOR 的最大预期电流 (I_{MAX}) 转换为针对 V_{ADC_RANGE} 进行优化的电压。要计算跨阻电路的 R_1，请使用 方程式 5。

$$R_1 = \frac{V_{ADC_RANGE}}{I_{MAX}} \tag{5}$$

例如，如果最大预期电流（通常由输出电流限制引脚配置决定）为 ±1A，则 I_{MAX} 电流为 1A / 2048 = 488µA。如果应用中使用 3.3V ADC，则应用的 V_{ADC_RANGE} 为 3.3V。将这些值代入 方程式 5 可得出 3.381kΩ 的 R_1 值。

跨阻电路中的电阻 R_2 负责在 $I_{OUT_MONITOR}$ 等于 0A 时将 V_{OUT_TIA} 移至 V_{ADC_RANGE} 的 1/2。要使电压移位，请使用取决于 THS3470 电源配置的适当基准电压 (V_{BIAS})。如果器件在正单端电源配置（即 V_{CC} = 60V 且 V_{EE} = 0V）下运行，则 V_{BIAS} 可以连接到 VCC 引脚。如果器件在负单端电源配置（即 V_{CC} = 0V 且 V_{EE} = –60V）下运行，则 V_{BIAS} 可以连接到 VEE 引脚。如果器件在双电源配置下运行（即 V_{CC} = 30V 且 V_{EE} = –30V），则 V_{BIAS} 可以连接到 ADC 电源电压 (V_{ADC})。最终，会有很多种可用的 V_{BIAS} 电压组合方案，但建议的选项是根据设计中现有的可用电压选择的。方程式 6 展示了在选择 V_{BIAS} 电压后如何计算 R_2。

Copyright © 2025 Texas Instruments Incorporated

$$R_2 = R_1 \times \left(\frac{V_{BIAS} - V_{MID}}{V_{MID} - \frac{V_{ADC_RANGE}}{2}} \right) \quad (6)$$

例如，如果将 R_1 电阻器的阻值设置为可将 IOUT_MONITOR 的 ±488µA 电流转换为 V_{OUT_TIA} 端的 ±1.65V 电压，则应选择合适的 R_2 电阻器，以在 IOUT_MONITOR 电流为 0A 时将 V_{OUT_TIA} 电压偏置到 1.65V (½ V_{ADC_RANGE})。本例中的电源采用双电源配置；因此 V_{BIAS} 连接到 ADC 电源电压 V_{ADC}（即 3.3V）。V_{MID} 电压始终是 V_{CC} 和 V_{EE} 的平均值，在本例中得到的电压为 0V。将这些值代入 方程式 6 可得出 30kΩ 的 R_2 值。

跨阻放大器电路中的最后一个电阻是 R_3，它负责将 IOUT_MONITOR 电压与 V_{MID} 电压的差值保持在 ±5V 范围内。R_3 还负责在 THS3470 的启动事件期间保护引脚，并按比例缩放以将输入电流限制为 < 10mA。跨阻放大器的同相输入引脚通过负反馈与 V_{MID} 以及反相输入引脚相连；因此，R_3 的阻值应将 R3 上的压降限制为 ±4.5V。THS3470 在 I_{OUT} 下可提供的最大电流为 2.1A，因此来自 IOUT_MONITOR 的最大允许电流约为 ±1mA。将 ±4.5V 的最大允许电压除以 ±1mA 的最大电流可得出 R_3 的阻值 4.5kΩ。

选择元件和偏置电压后，使用 节 6.3.5 将 ADC 读取的 V_{OUT_TIA} 电压转换为 I_{OUT}。此外，表 6-3 还列出了一些有助于选择电阻器和偏置电压的常见用例。

$$I_{OUT} = 2048 \times \left(\frac{V_{OUT_TIA} - V_{MID}}{R_1} \right) \quad (7)$$

表 6-3. IOUT_2048 跨阻放大器配置（V_{ADC} = 3.3V，I_{MAX} = 1A，R_1 = 3.381kΩ）

用例	R_2 (kΩ)	V_{BIAS} (V)	V+ (V)	V – (V)
双电源 (±20V)	40.96	V_{EE}	V_{ADC}	0
双电源 (±30V)	61.44	V_{EE}	V_{ADC}	0
单端 (40V)	3.683	V_{CC}	V_{MID}	0
单端 (60V)	3.576	V_{CC}	V_{MID}	0
单端 (-40V)	3.121	V_{EE}	V	V_{MID}
单端 (-60V)	3.203	V_{EE}	V_{ADC}	V_{MID}

注意：V_{ADC} 是 ADC 电源电压。

Copyright © 2025 Texas Instruments Incorporated

6.3.6 裸片温度监测

THS3470 DIE_TEMP 引脚可将裸片结温转换为 0V 至 3.3V 的 ADC 可读电压。要将 DIE_TEMP 电压转换为裸片结温，请使用 方程式 8。使用 DIE_TEMP 监控器件的运行状况并使用 P0 和 P1 引脚关断器件，或使用输出电流使能引脚限制输出电流。如需了解与 DIE_TEMP 结合使用这些诊断功能的详细信息，另请参阅节 6.3.1 和节 6.3.2。

$$\text{Junction Temperature}\left(T_J\right) = 208 \times \left(V_{DIE_TEMP} - 1.415\right) \quad (8)$$

对于 DIE_TEMP 未使用或仅用于调试的应用，设计人员只需将测试点连接到引脚即可。DIE_TEMP 引脚的输出在内部进行缓冲，因此可以连接无源示波器探针或数字万用表，而不会影响该引脚的精度。

某些应用（例如双电源运行）需要使用额外的电路将 DIE_TEMP 电压电平转换为板载 ADC。要进行电平转换，请使用 图 6-7 中的差分放大器电路。根据电源引脚的电压范围，使用 TLV9351 (40V) 或 OPA596 (85V)，正电源连接到 ADC 电源，负电源连接到 V_{EE}。

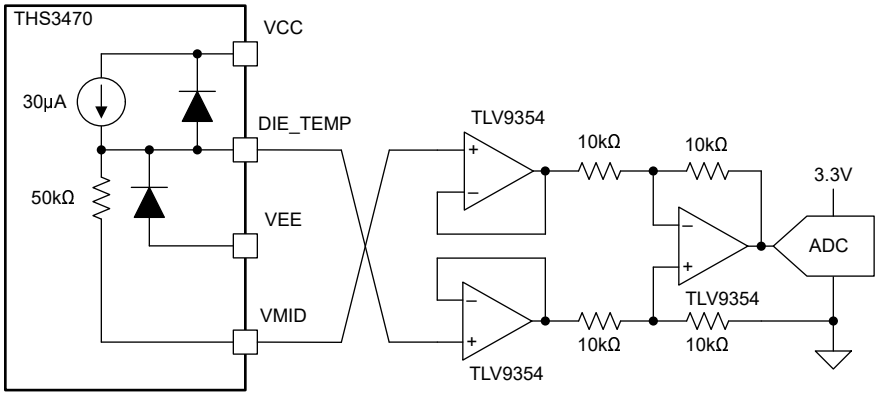


图 6-7. DIE_TEMP 电平转换电路

6.3.7 外部补偿

THS3470 COMP 引脚可用于通过在 COMP 引脚与 VOUT 引脚之间连接一个外部电容器来限制放大器的带宽或压摆率。图 6-8 显示了 COMP 引脚如何用作器件的外部输出补偿网络的概念方框图。使用 COMP 引脚是与上下文相关的情况，如图 6-9 和图 6-10 所示，通常用于需要较低隔离电阻来帮助正确地抑制放大器控制环路的高电容负载应用。

备注

如果不使用补偿引脚，系统设计人员必须使该引脚悬空并移除 PCB 上该引脚周围和下方的接地平面。补偿引脚上的寄生电容会导致器件的带宽和压摆率出现不必要的降低。

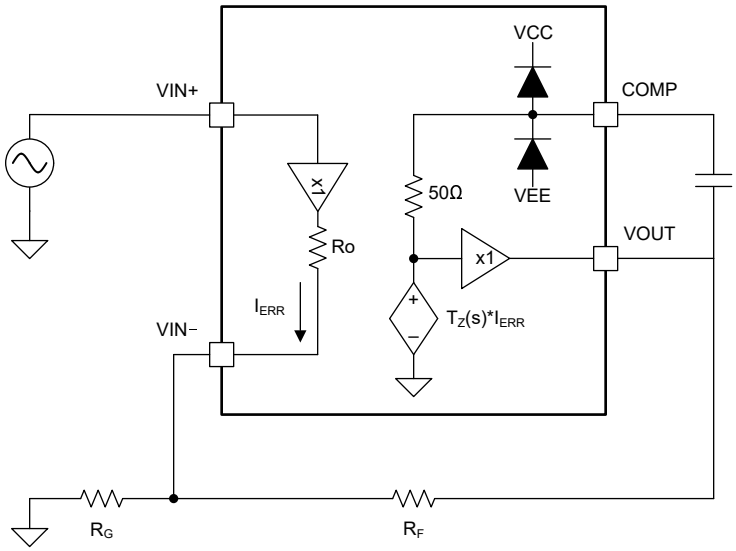


图 6-8. THS3470 COMP 引脚概念方框图

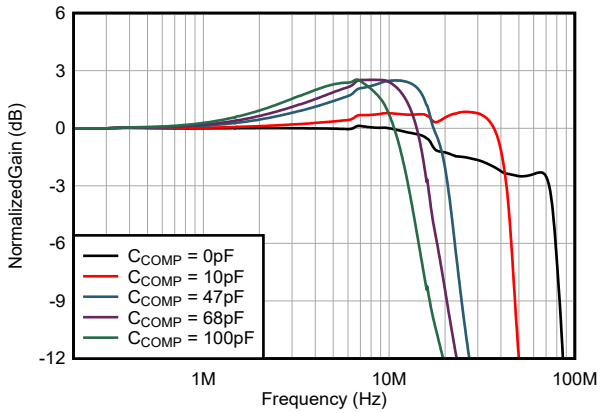


图 6-9. THS3470 小信号带宽与 C_{COMP} 间的关系（R_S = 0 Ω，C_{LOAD} = 1nF）

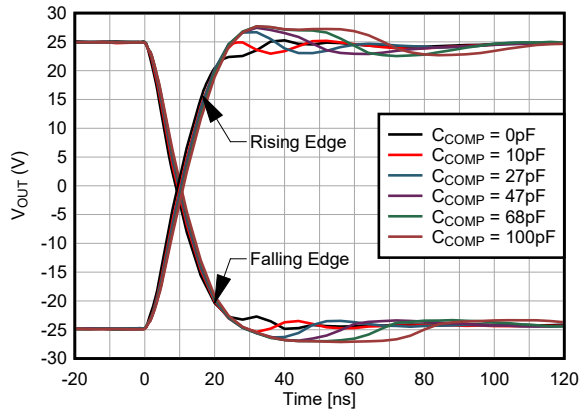


图 6-10. THS3470 大信号阶跃与 C_{COMP} 间的关系（R_S = 0 Ω，C_{LOAD} = 1nF）

6.4 器件功能模式

6.4.1 电源模式

THS3470 具有两个电源模式控制引脚 P0（引脚 31）和 P1（引脚 30），用于设置器件的功率级别。通过将引脚连接到 THS3470 的 VDD 或 DGND 来控制这些引脚。表 6-4 显示了 THS3470 的可配置选项。

Copyright © 2025 Texas Instruments Incorporated

备注

大多数电气特性参数系在器件的全偏置模式下测量。

表 6-4. THS3470 电源模式

P0	P1	模式
DGND	DGND	断电
VDD	DGND	低偏置
DGND	VDD	中偏置
VDD	VDD	全偏置

当器件处于断电状态时，必须特别小心地限制输入电流。系统设计人员需要设置器件的输入电压，以使同相和反相端子处于相同的电压电势。由于 THS3470 采用反向并联二极管来保护输入器件，因此断电状态期间在输入端设置差分电压可能会传导电流，并可能超过输入引脚允许的绝对最大电流。有关输入引脚上的绝对最大电流的更多信息，请参阅节 5.1

图 图 6-11、图 6-12、图 6-13 和 图 6-14 显示了 THS3470 在最常见的应用测试条件下性能如何随偏置模式而变化。设计人员需要评估特定相关应用中的频率性能，以正确了解低功耗模式是否提供可接受的性能。当选择小于 2kΩ 的 R_{FB} 值来改善带宽或与不同的电容负载配合使用小于 5Ω 的隔离电阻器时，必须考虑特殊注意事项。

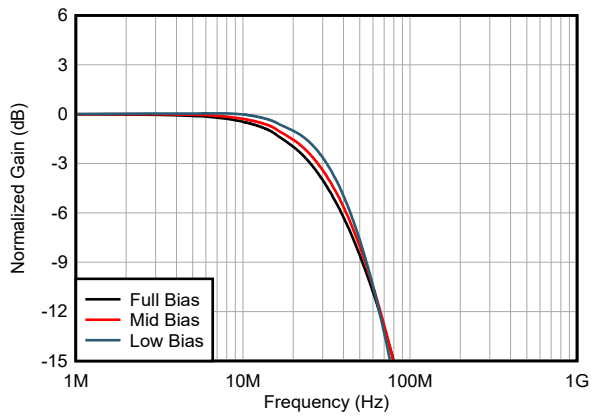


图 6-11. 小信号带宽与频率间的关系（R_F = 2kΩ，R_S = 5Ω，C_L = 1nF）

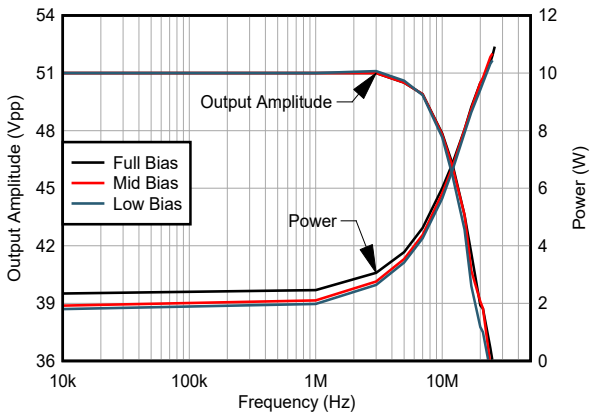


图 6-12. 大信号带宽与频率间的关系（R_F = 2kΩ，R_S = 5Ω，C_L = 1nF）

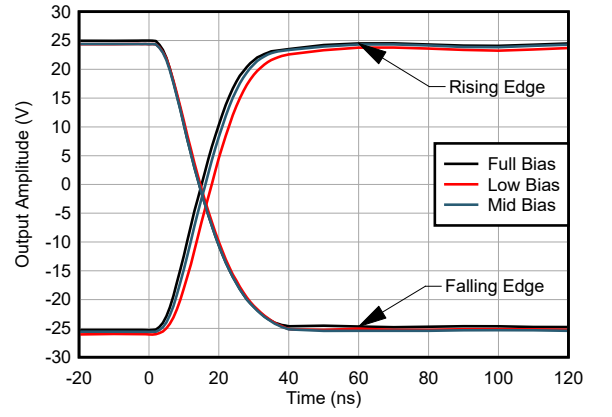


图 6-13. 大信号阶跃响应与频率间的关系（R_F = 2kΩ，R_S = 5Ω，C_L = 1nF）

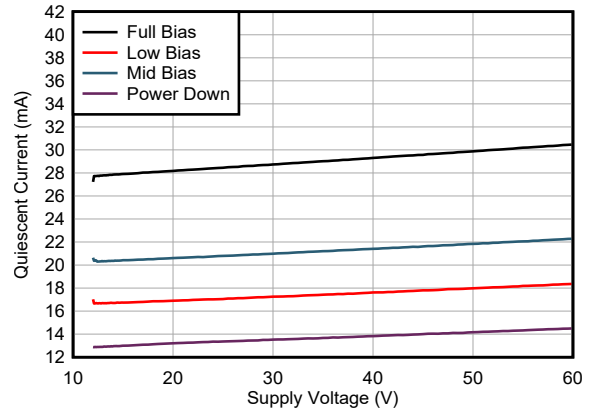


图 6-14. 静态电流与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

6.4.2 选择反馈电阻器

THS3470 是一款高电压、高速、电流反馈放大器，在选择反馈元件值时需要特别注意。由于 THS3470 可以输出 >50V_{PP} 信号，因此放大器的反馈路径中会消耗大量瞬态电流。此外，由于 THS3470 也是一款高速电流反馈放大器，因此反馈电阻器需要保持较小的值以保持高带宽。由于这两个设计目标直接相互影响，因此在开始使用 THS3470 进行设计时，设计人员需要选择表 6-5 中所示的元件值。确定基线性能后，设计人员可以根据应用来使用较低的反馈电阻值进行实验，同时监测 DIE_TEMP 引脚并设法将芯片温度限制在器件的最大工作范围内。

表 6-5. THS3470 的推荐电阻器

电源电压	所需增益 (A_V)	R_G	R_{FB}
40V	-1	1.2kΩ	1.2kΩ
40V	+1	不适用	1.2kΩ
40V	+10	133	1.2kΩ
40V	+100	12	1.2kΩ
60V	+-1	2kΩ	2kΩ
60V	+1	不适用	2kΩ
60V	+10	220	2kΩ
60V	+100	20	2kΩ

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

THS3470 是一款高速、高电压、高电流运算放大器。该器件能够在 $50V_{PP}$ 进入 1nF 电容负载时产生 2000V/μs 的电压脉冲。除了 THS3470 快速瞬态性能外，THS3470 还可在 $50V_{PP}$ 下将大信号传递到 100Ω 传输线路中以获得高达 22MHz 的频率。关于高电流运行，THS3470 具有用于输出拉电流和灌电流的独立限流功能，其可配置范围为 200mA 至 1.5A。为了帮助系统设计人员进行器件诊断和保护，THS3470 提供温度和电流标志来表示器件的过热或过流情况。此外，设计人员可使用裸片温度引脚更精细地读取器件结温，从而主动采取系统保护措施。

7.2 典型应用

7.2.1 高电压、高精度复合放大器

测试和测量应用的一个常见问题是创建高精度和高压摆率信号源。典型的高电压放大器可提供较大的电源电压和高压摆率，但许多直流规格（例如失调电压、温漂和开环增益）会影响输出信号的精度。相比之下，市场上的许多精密放大器展现出令人印象深刻的失调电压、温漂和开环增益性能，但缺少应用所需的电源电压、输出电流和压摆率。

复合放大器是满足高电压和高精度设计要求的独特设计。复合放大器在同一反馈环路内使用两个串联的高电压放大器和高精度放大器，以优化每个放大器的性能。精密放大器在更靠近信号源的位置运行，因此该器件能够最大限度地提高其对输入相关参数（如失调电压和温漂）的影响。高电压放大器在更靠近被测器件的位置运行，这使得该器件能够最大限度地提高对输出相关参数（如压摆率、输出电流和高压输出摆幅）的影响。

该设计的另一个特性是复合放大器输出端的力和检测连接。许多测试和测量应用（例如源测量单元和电源）在被测器件 (DUT) 和复合放大器的输出之间有长电缆和布线。当大输出电流开始沿这些布线和电缆流动时，存在压降，因而产生与输出相关的较大误差。例如，如果 1A 的电流沿 5Ω 电缆流动，则从复合放大器输出端到 DUT 存在 5V 的压降。当使用大型隔离电阻器（通常称为 R_S）时，也会发生这种不良影响，该电阻器在驱动大型 DUT 去耦电容器时可提高复合放大器的电容负载驱动能力。

力和检测连接将复合放大器的反馈连接（称为检测连接）与输出布线（称为力连接）通过不同电缆或布线连接到 DUT，从而最大限度地减少这些误差。当更高的电流流经力连接电阻（R_S 或电缆（布线）电阻）时，检测路径会在 DUT 输出引脚上进行测量，并补偿输出以调整沿力线路的压降。在大多数情况下，检测路径上的电缆电阻不会出现较大的压降，因为检测线路上返回的唯一电流是放大器的反馈电流。例如，根据我们先前的示例，如果沿力连接产生 5V 的压降，复合放大器会将输出电压升高 5V 以补偿线路压降，并在引脚上提供正确的 DUT 电压。

备注

使两个放大器上的两个反馈电阻器尽可能靠近印刷电路板 (PCB) 布局中的反相输入引脚。此外，使隔离电阻器尽可能靠近输出，以最大限度地降低输出端的寄生电容。这些最佳实践有助于尽可能降低寄生电容对输入和输出的影响，这种影响可能会导致不稳定或振荡。

备注

虽然力和检测连接可补偿力连接上的压降，但仍应特别注意输出放大器的输出电压摆幅。补偿较大的强制连接误差会从 DUT 输入的角度限制可用输出范围。

Copyright © 2025 Texas Instruments Incorporated

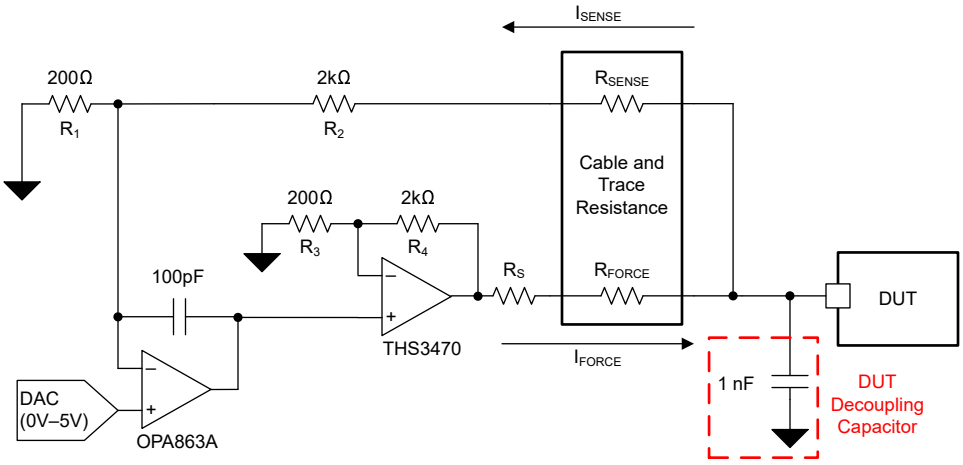


图 7-1. 高电压、高精度复合放大器

7.2.1.1 设计要求

本设计旨在优化 THS3470 以输出为基准的误差，同时利用复合环路保留趋稳行为。该设计的输入阶跃选择为 5V，以匹配用于设置该设计输出电压的典型 DAC。输出电流 (1A)、输出摆幅 (40V_{PP})、趋稳定时间 (250ns) 和以输出为基准的误差 (<0.1%) 均根据 OPA863A 和 THS3470 的理论最高性能进行选择。如果需要更高的精度，可以改用 OPA328、OPA387 或 OPA365，虽然会牺牲趋稳时间，但能降低输出端等效误差。

表 7-1. 设计参数

参数	值
电源电压	60V
输入步长	4V
输出步长	40V_{PP} (1A)
输出电流	高达 1A
稳定时间 (0.01%)	250ns
输出端等效误差	<0.1%

7.2.1.2 详细设计过程

THS3470 设计用作高压摆率 (3000V/μs)、高输出电流 (±1.35A) 和高输出摆幅 (50V_{PP}) 器件。这些性能特性使得 THS3470 成为高电压、高精度复合放大器输出放大器的理想选择。除了性能规格之外，THS3470 还拥有多种诊断功能，例如电流和温度标志以及电流和温度监测器，与分立式晶体管相比，这些功能可让系统设计人员严格控制和监测完整系统设计。

OPA863A 是一款高精度、高带宽放大器，非常适合用作复合环路中的输入放大器。OPA863A 的低失调电压 (95μV) 和低温漂 (1.2μV/°C) 使复合放大器能够稳定至目标输出端等效误差，并最大程度地降低从 THS3470 到 PCB 的功率耗散导致的发热效应。此外，OP863A (50MHz) 的高带宽可以最大限度地减少小信号纹波，从而在发生大型瞬态阶跃后实现快速稳定响应。

总复合放大器环路增益由 R_1 和 R_2 构成的外部反馈网络定义，其增益配置为 10。选择该值是为了优化 5V DAC，但也可以通过将 R_1 更改为 100Ω 来轻松调整为增益 20，从而支持 3.3V DAC。THS3470 放大器的本地增益由 R_3 和 R_4 构成的反馈网络配置为 10，它对 DUT 输出增益的信号源没有太大影响。相反，该放大器将 OPA863A 获得的电压除以系数 10。该增益适用于 5V 电源的 OPA863A，因为 OPA863A 的最大输出范围仅为 5V。THS3470 的增益还将 OPA863A 的压摆率从该器件固有的 100V/μs 压摆率升至 1000V/μs。通过升高 THS3470 增益可以实现更快的压摆率，但在此配置中，升高压摆率并不总是等同于缩短稳定时间。

图 7-2 显示了一个用于表征复合环路设计性能的示例 PCB。如果没有复合环路，图 7-3 显示了在使用正常 THS3470EVM 时 5Ω 隔离电阻器的“DUT 侧”的 R_S 之后发生的以输出为基准的误差。相比之下，图 7-4 显示

Copyright © 2025 Texas Instruments Incorporated

了复合设计中隔离电阻器“DUT 侧”以输出为基准的误差小于 10mV。对于完整的 40V_{PP} 阶跃，图 7-5 并排显示了 THS3470EVM 和复合放大器的瞬态行为。虽然复合放大器的精度得到了显著提高，但与默认 THS3470EVM 相比，复合设计的趋稳和压摆率性能确实有所下降。

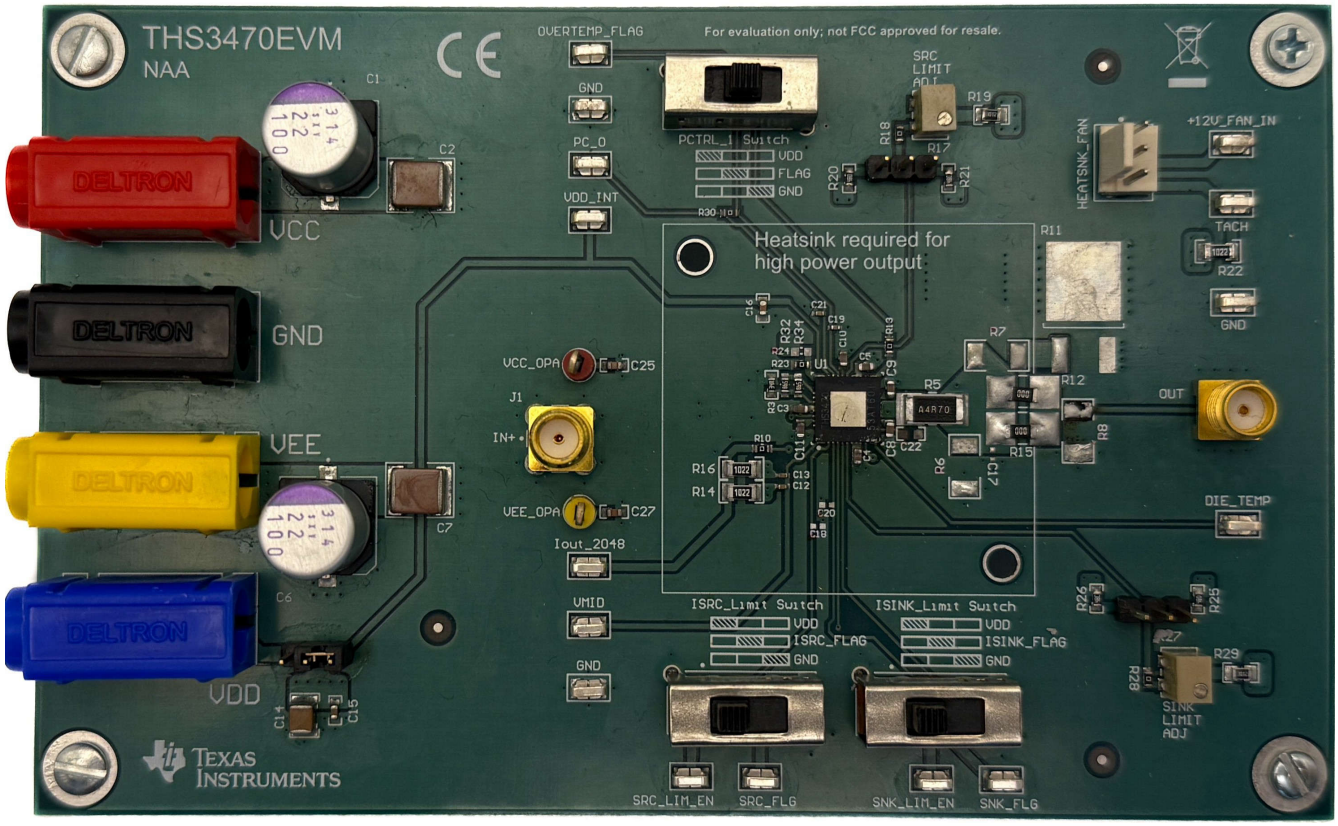


图 7-2. THS3470 复合放大器 PCB

7.2.1.3 应用曲线

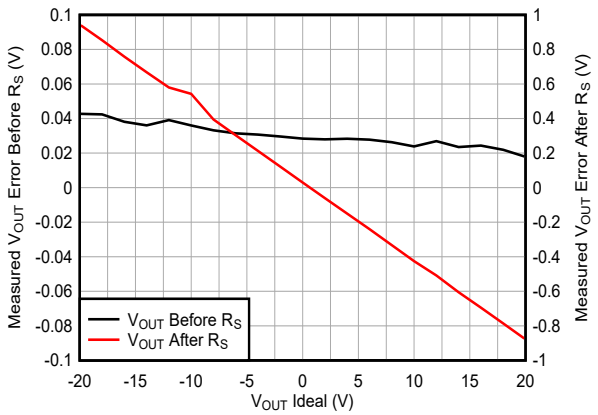


图 7-3. 无复合环路时的 THS3470 V_{OUT} 误差（R_L = 100Ω，C_L = 1nF）

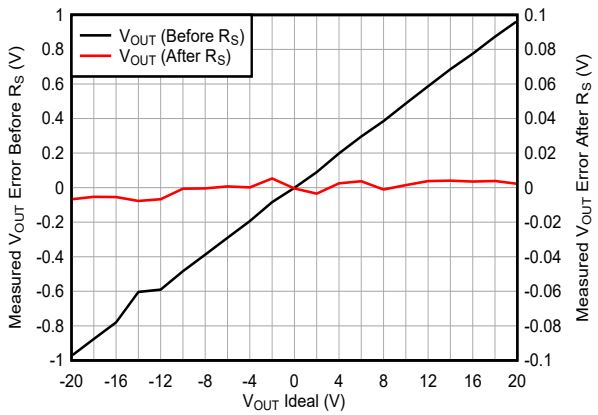


图 7-4. 有复合环路时的 THS3470 V_{OUT} 误差（R_L = 100Ω，C_L = 1nF）

Copyright © 2025 Texas Instruments Incorporated

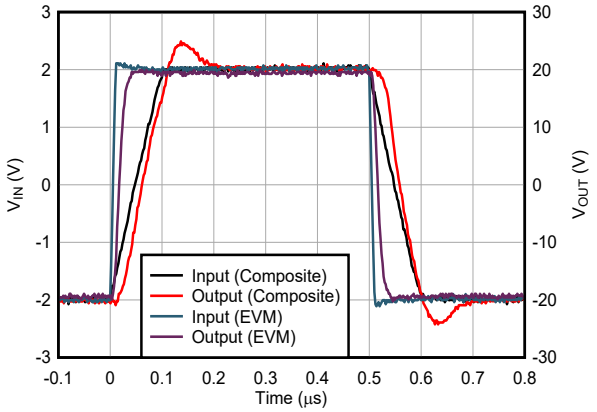


图 7-5. THS3470 阶跃响应比较（R_L = 100Ω，C_L = 1nF）

7.2.2 120V 自举放大器

THS3470 采用高电源电压 (60V)、高输出电流（1.35A 直流、2A 峰值）和快速压摆率 (3kV/us) 的独特组合，因此对许多应用来说成为极具吸引力的选择。尽管 THS3470 放大器的电压已经很高，但许多应用需要通过 THS3470 已经提供的独特功能集来满足更高的电压要求。通过创建 3 放大器“自举”设计，设计人员可以增加电压余量，同时大部分保留 THS3470 的电气性能和诊断功能。

放大器自举使用电阻分压器、双倍电源电压范围和两个额外的放大器，以在输出电压变化时动态移动“信号放大器”电源。连接到输入信号的放大器（如图 7-6 所示）称为“信号放大器”，为应用提供输出电压和电流。连接“电源放大器”以使顶部电源放大器的 V_{CC}/V_{EE} = 60V/0V，该放大器提供信号放大器 V_{CC} 连接。相反，底部电源放大器的电源电压为 V_{CC}/V_{EE} = 0V/-60V，并为信号放大器提供 V_{EE} 连接。通过以这种方式提供多个电源并使用电阻分压器，每个放大器都可以在 THS3470 (60V) 的最大工作电压范围内运行，并启用 $100V_{PP}$ 输出信号。

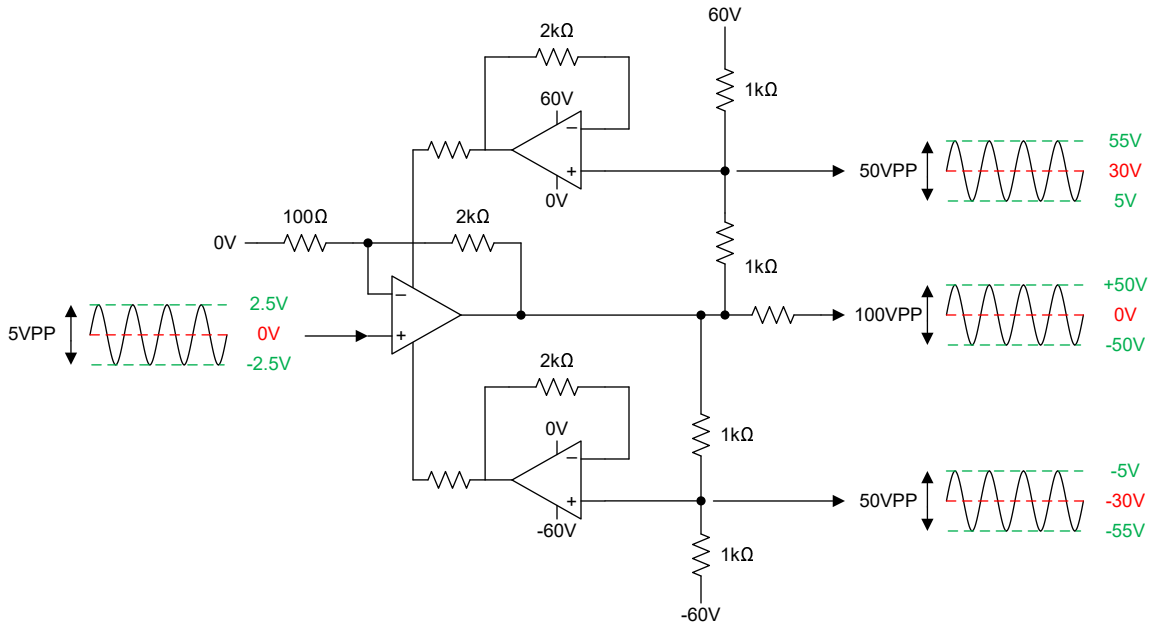


图 7-6. 120V 自举放大器示例

7.2.2.1 设计要求

该设计的目标是使用自举配置中的 3 个 THS3470 放大器生成 100VPP 信号。在 50V 的峰值电压和 100Ω 的电阻负载下，从信号放大器输出 500mA 直流输出电流。此设计中的电压余量受限于直流输出电流 (500mA) 乘以电源

Copyright © 2025 Texas Instruments Incorporated

和信号放大器的隔离电阻器之和（总计 4Ω）再加上信号和电源放大器的输出余量（各 3V）。将这些列出的元素相加，每个电源 (+ – 60V) 的总电压余量损耗为 10V，总输出摆幅为 100VPP。使用 500mA 的直流总峰值输出电流限制 (2A)，可在 1.5A 交流电流下向 1nF 电容负载提供 1500V/us 的总压摆率。选择这些负载规格是为了优化包含 1nF 电容负载和 100Ω 电阻负载的总峰值电流限制 (2A)，但可以相应地进行调整，以更大限度地提高不同的无功和无源负载组合。

表 7-2. 设计参数

参数	值
电源电压	+-60V
输出电压	100VPP
压摆率	1500V/μs
输出负载	100Ω + 1nF

7.2.2.2 详细设计过程

使用 THS3470 进行设计时，设计人员需要考虑来自交流（电容）和直流（电阻）负载的总输出电流。THS3470 允许的最大直流电流为 1.5A，但许多应用在器件输出端（电缆、寄生电容、栅极电容等）需要电容负载驱动，这可能会在大 dv/dt 阶跃或大信号正弦波期间产生大交流电流。由于 THS3470 的压摆率非常高，在某些自举条件下为 1kV/us，因此需要特别注意将交流峰值电流加上直流电流限制为 2A，如表 7-3 所示。

表 7-3. 来自交流和直流负载的总电流

输出电压 (VPP)	电阻负载 (Ω)	DC 电流 (mA)	电容负载 (pF)	最大压摆率 (V/μs)	交流峰值电流 (mA)	交流 + 直流峰值电流 (mA)
±40	开路	0	300	2000	600	600
±40	开路	0	1000	2000	2000	2000
±50	开路	0	300	2000	600	600
±50	开路	0	1000	2000	2000	2000
±40	100	±400	300	2000	600	1000
±40	100	±400	1000	1600	1600	2000
±50	100	±500	300	2000	600	1100
±50	100	±500	1000	1500	1500	2000

虽然自举设计具有一些优势，例如使用 60V 放大器时的输出范围为 100V，但要了解这种架构，需要考虑一些设计注意事项。该设计的一个主要缺点是，由于电源放大器和信号放大器的单个电源均限制在 3V（无负载），因此每个电源轨的输出余量限制会倍增至 6V。此外，每个放大器的输出余量会随着器件升温而增加，并从输出端提供更大的电流。因此，在重负载条件下，120V 电源会损失约 20V 的余量（V_{EE} 损失 10V，V_{CC} 损失 10V）。设计人员必须注意图 5-33 以获取有关余量损失的信息，并估算应用中每个放大器在最坏情况下的结温。

驱动这些重负载时，设计人员必须特别注意器件的最高结温 (150C)，并使器件保持在安全工作区内，如节 7.5.1.2 所示。与单个 120V 放大器相比，自举设计的一个优点是该设计将芯片上的功耗在信号放大器和电源放大器之间分配，如图 7-6 所示。在同样的场景下，传统 120V 放大器通常消耗 30W 的功率，因为一个输出级晶体管上必须出现 30V 的压降，而自举设计会在信号和电源放大器之间分配 30W 的功率。由于 THS3470 封装能够以理想的方式拉取 4°C/W，这意味着自举电路在 25°C 的环境温度下可以将总功耗从 30W 增加到 60W。

备注

用于 θJA 性能的 4°C/W 是理想情况下的高气流场景，需要考虑大量的设计注意事项。有关实用热性能的更多信息，请参阅节 7.5.1。

Copyright © 2025 Texas Instruments Incorporated

备注

THS3470 的散热焊盘在内部连接到器件上的 VEE。由于 VEE 引脚全部偏置到不同的电压，设计人员需要在自举设计的不同放大器的散热焊盘之间进行电气隔离。有关电气隔离和热性能的更多信息，请参阅节 7.5.1.1。

使用 THS3470 的数字功能时，信号放大器的 DGND 必须连接到 VEE 引脚而非电路板接地，否则在输出信号移动时，THS3470 的数字块可能会超过器件的电源电压范围。同样，对于 VEE 电源放大器，DGND 范围只能在由正电源（本设计中为 0V）供电的 7V 电压下运行。因此，THS3470 的许多数字引脚（P0、P1、$\overline{\text{OVTEMP_FLAG}}$、$\overline{\text{ISNK_FLAG}}$、$\overline{\text{ISRC_FLAG}}$、$\overline{\text{ISNK_LIMIT_EN}}$、$\overline{\text{ISRC_LIMIT_EN}}$）必须相对于 DGND 和 VDD 进行连接，以防止器件损坏。在快速瞬变期间读取信号放大器标志的状态需要电平转换电路（差分放大器），因此设计人员可以在禁用电流限制的电源放大器上使用器件标志，以限制电路的复杂性。

要使用自举电路设置电流限制，请使用一个电阻器将 ISRC_LIMIT 连接到 V_{EE}、将 ISNK_LIMIT 连接到 V_{CC} 以将信号放大器电流限制设置为所需的值，并将电源放大器电流限制保留为最大值 (1.35A DC)。如果电源放大器在信号放大器之前进入电流限制，信号放大器可能会损坏。建议不要在信号放大器上使用 IOUT_MONITOR 引脚，因为 VMID 电压会随输出电压变化。如果需要对自举设计进行电流监测，则可以在电源放大器上监测 IOUT_MONITOR。

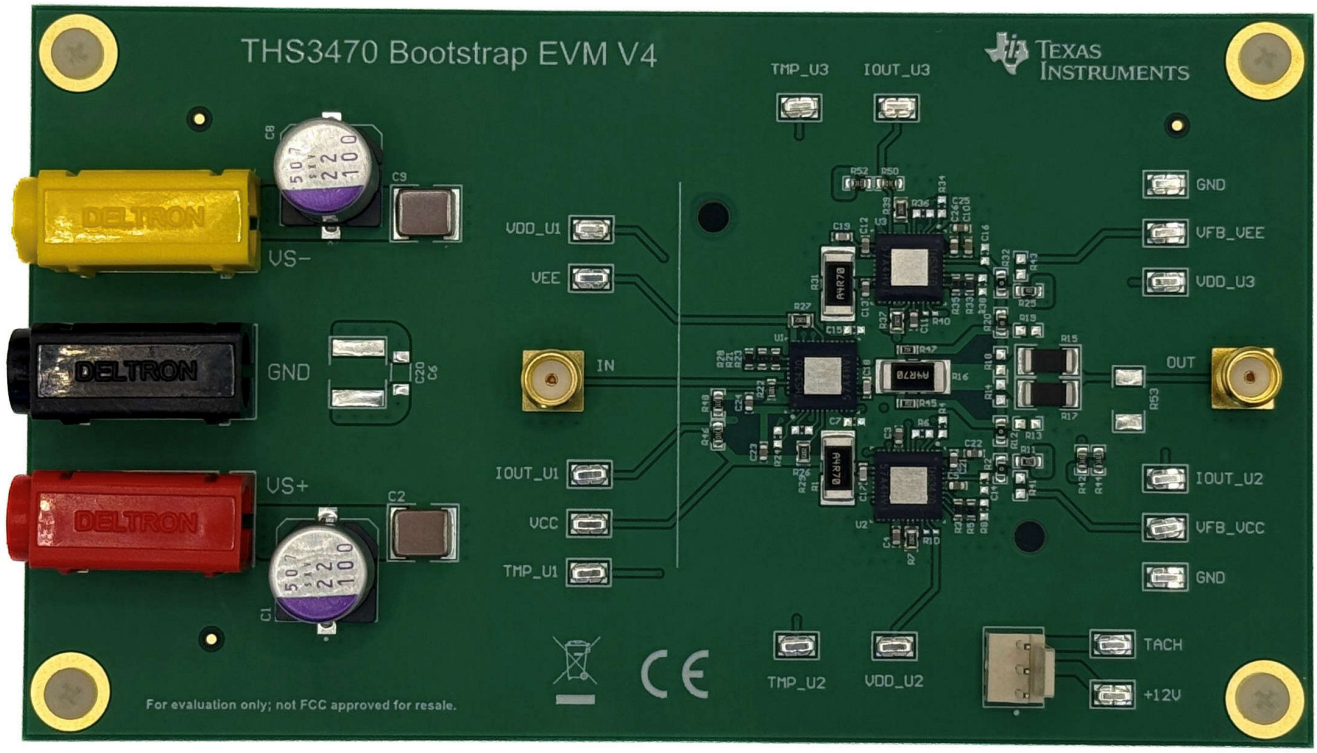


图 7-7. THS3470 自举 PCB

Copyright © 2025 Texas Instruments Incorporated

7.2.2.3 应用性能曲线图

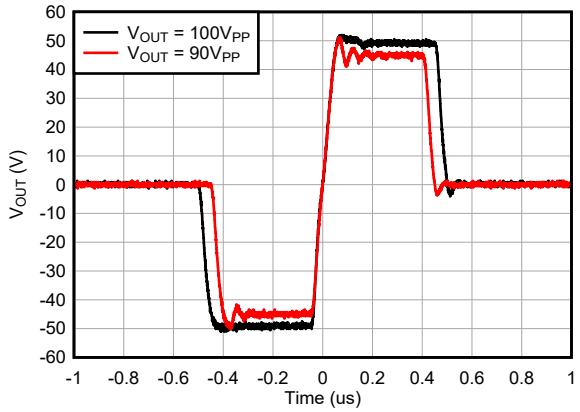


图 7-8. THS3470 自举阶跃响应（V_{OUT} = 1kV/μs，R_L = 100Ω，C_L = 1nF）

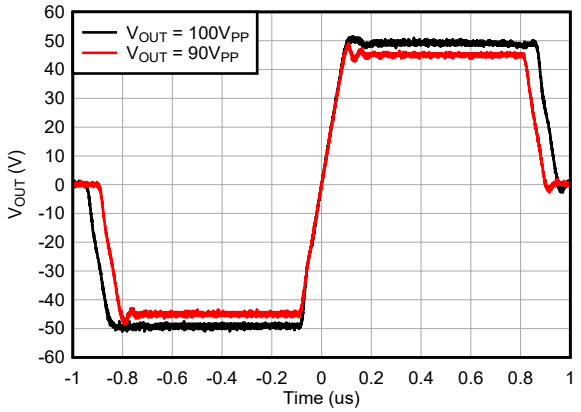


图 7-9. THS3470 自举阶跃响应（V_{OUT} = 500V/μs，R_L = 100Ω，C_L = 1nF）

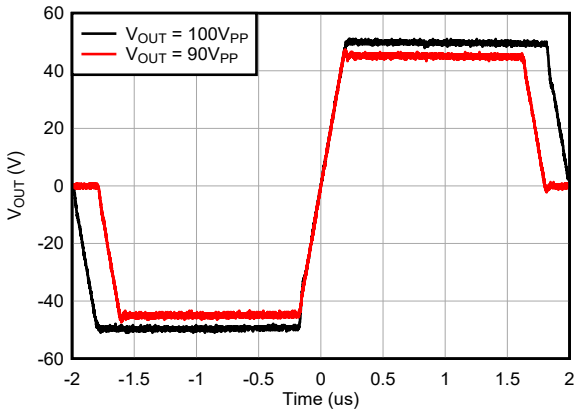


图 7-10. THS3470 自举阶跃响应（V_{OUT} = 250V/μs，R_L = 100Ω，C_L = 1nF）

7.3 短路保护

用到 THS3470 的许多应用通常都涉及到接地或电源的瞬态短路情况。在包含多个 THS3470 的系统中，当电缆或 PCB 装置发生故障时，也会出现“引脚对引脚”短路场景，这会不可避免地将一个 THS3470 的输出短接至另一个 THS3470。因此，数据表中的所有 THS3470 参数都使用 5Ω 隔离电阻器测得。虽然该 5Ω 电阻器在某些情况下会限制器件的性能，特别是负载电流和总系统带宽下的输出余量，但下面重点介绍了保护优势。

备注

在不考虑接地短路的应用中，THS3470 上的输出隔离电阻可从 5 欧姆降低。即使在不太可能发生接地短路场景的应用中，也应保留至少 1 欧姆的隔离电阻，以安全地应对不可预见的输出条件。

小心

THS3470 可以承受 V_{CC}、V_{EE} 和“引脚对引脚”短路情况，但仅限于安全工作区的边界内。未遵守节 7.5.1.2 中所述的限制可能会导致 THS3470 出现破坏性故障。

为了测试 THS3470 在接地短路场景中的性能，使用了图 7-11 中的测试设置。使用此设置，函数发生器设置为 10,000 个周期，占空比为 1%、5% 和 10%、脉冲宽度为 1 至 100ms。这些测试在工作台上进行，样本大小受限，设计人员需要在实际应用中确认该性能，以验证器件的运行状况。

Copyright © 2025 Texas Instruments Incorporated

备注

确保监测 DIE_TEMP 引脚并将结温保持在 150C 以下。此外，以较低的脉冲宽度或不同的占空比对输出进行脉冲驱动，可能会改变器件的安全工作区。有关瞬态安全工作区性能的更多详细信息，请参阅节 7.5.1.2。

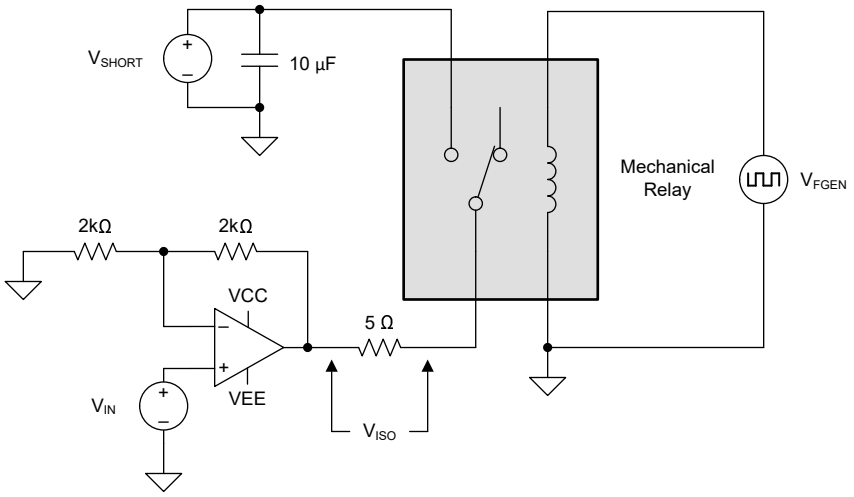


图 7-11. THS3470 接地短路测试设置

如图 7-11 所示，选择了高电流机械继电器来模拟快速瞬态故障条件。机械继电器非常适合模拟快速故障条件，因为继电器触点是机械锁存装置，可对器件产生接近瞬时的浪涌电流。相比之下，固态继电器可在通道闭合时缓慢增加电阻，从而使电流逐渐增加，而不模拟实际故障情况。此外，图 7-12 显示 THS3470 短路的时间超过 10,000 个周期，因为机械继电器在“热开关”时会表现出“弹跳”。闭合继电器时这些弹跳的次数为 2 到 6 次，这使得所进行的测试中总次数在 20,000 到 60,000 次之间。

图 7-13 显示了其中一个瞬态短路条件下的输出电流和电压。如果设计人员希望重现这些结果，请确保尽可能地缩小示波器时间标度，以正确量化波形的电流和电压尖峰。设计人员需要选择高频 (>5GHz) 示波器探头和示波器，以确保输出尖峰不会被信号链过滤掉。

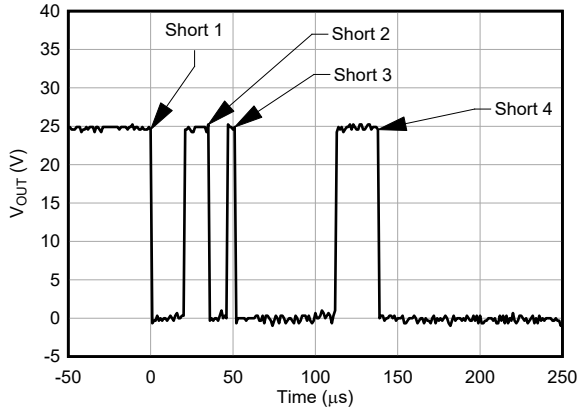


图 7-12. THS3470 实际短路（包含机械继电器弹跳）

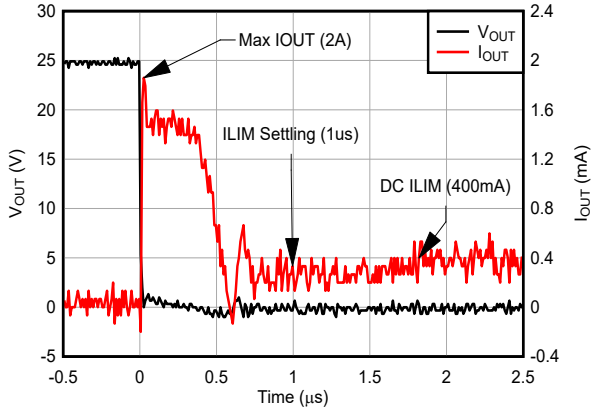


图 7-13. 机械短路期间的 THS3470 输出电流和电压

Copyright © 2025 Texas Instruments Incorporated

7.4 电源相关建议

THS3470 设计为由 ±6V 至 ±30V 的电源（12V 至 60V 单端电源）供电。使用 5% 或更高的电源精度。电源的设计必须适合电阻负载和电容负载的 VOUT 预期最大输出电流。THS3470 限流电路不会限制快速瞬态电流的电流，因此在 VCC 和 VEE 引脚上必须有足够的旁路电容。在 V_{CC} 和 V_{EE} 的电源附近放置一个 22μF 钽或电解电容器和一个 10μF X7R 电容器，以实现大容量去耦。VCC（引脚 8 – 10、25 – 27、38 – 39）、VEE（引脚 15、20、29、36、41）、VMID（引脚 1 – 2）和 VDD（引脚 32）引脚对于每个引脚分组都需要 100nF C0G 或 NP0 电容器，如节 7.5.3 所示。将 100nF C0G 或 NP0 电容器尽可能靠近 THS3470 输入引脚放置。此外，尽可能地缩短旁路电容器接地连接的电流返回路径，以最大限度地减小环路电感。确保所有电容器的额定电压正确。

7.5 布局

7.5.1 散热注意事项

7.5.1.1 顶部冷却优势

THS3470 采用顶部冷却 REB 封装，与传统底部冷却 QFN 器件相比，该封装具有热性能优势。传统封装（如图 7-14 所示）必须在进入散热器之前与 PCB 材料连接。如果没有散热器，底部冷却的器件依靠 PCB 较小表面积上的对流来散热。在这些情况下，一个有用的概念是将不同的接口视为“热阻”，用于防止硅片产生的热量流向环境空气。这些底部冷却封装的结果是，即使采用强制通风系统，总体系统级性能的最佳 θ_{JA} 通常仍会超过 10°C/W。

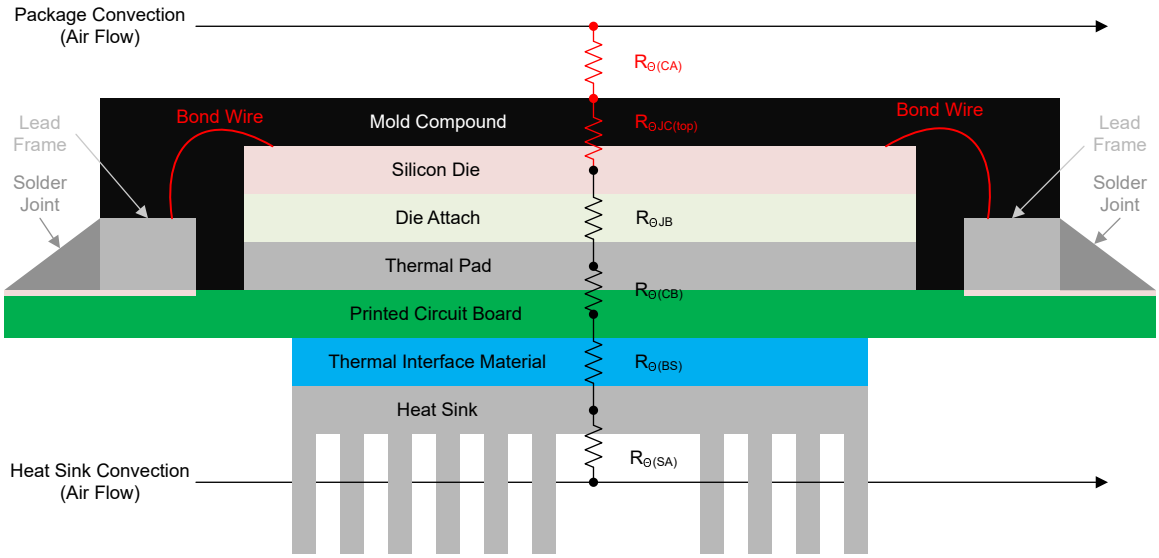


图 7-14. 典型底部冷却示例

然而，THS3470 顶部冷却封装与空气或散热器接触之前，并不依赖于热量先通过 PCB 传导。这种更直接的接触方法本质上消除了 PCB“热阻”（如图 7-15 所示），并可以实现约为 4°C/W 的完整系统级 θ_{JA} 性能。这种配置还支持使用冷板或其他直接接触的冷却方法，它们具有更好的散热机制。

Copyright © 2025 Texas Instruments Incorporated

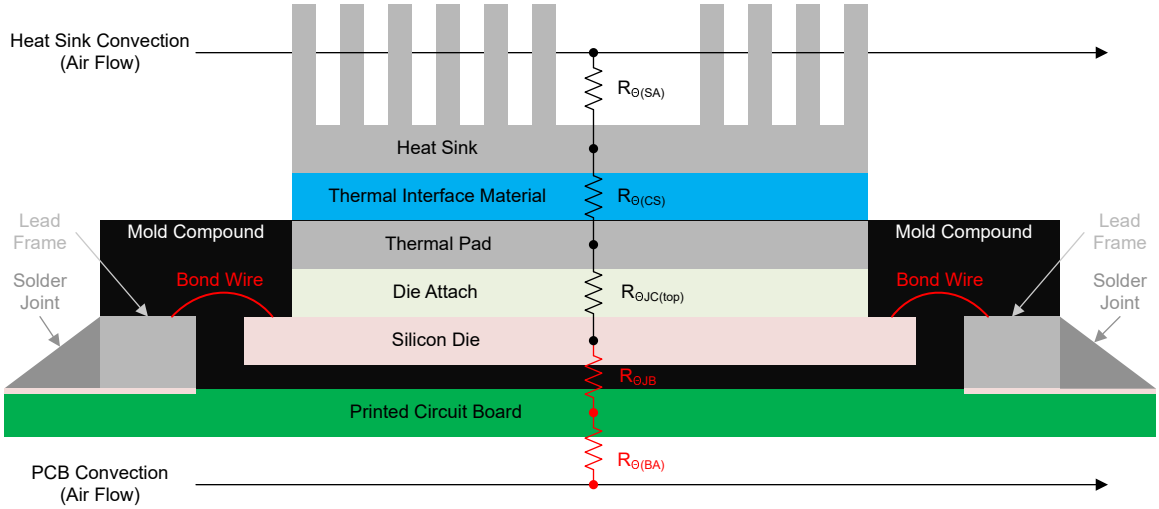


图 7-15. THS3470 顶部冷却示例

备注

对于风冷式系统，实现 4°C/W 通常取决于散热器的散热片上的“线性空气流量速度”，测量单位通常为米/秒 (m/s) 或线性英尺/分钟 (LFM)。为了实现 4°C/W θ_{JA} 性能，通常需要 1m/s 或更大的气流速度。

由于 THS3470 的高电压性质，根据应用的不同，机械安装散热器可能存在特别的注意事项。为了尽可能提供出色的热性能，THS3470 使用导电芯片连接，在内部将散热焊盘连接至 VEE。在 VEE 连接到 −60V 且 VCC 连接到 0V 的单端应用中，散热焊盘上的高电压电势可能会对系统产生高压危险。为了避免潜在的高压危险，可以在铜或石墨均热片与散热器之间放置一种非导热界面材料，如图 7-16 所示。铜均热片有助于将热量分布到热界面之前更宽的表面积，从而降低总体热阻。此外，使用阳极氧化散热器有助于提供电气隔离，同时不会显著降低热性能。设计人员需要记住，散热器上的阳极化材料可能会被划伤或损坏，因此对于必须定期从器件上移除散热器的情况，最好使用热界面材料。最后，使用氧化铝或陶瓷螺钉以机械方式固定装置，同时在均热片和散热器之间保持电气隔离。

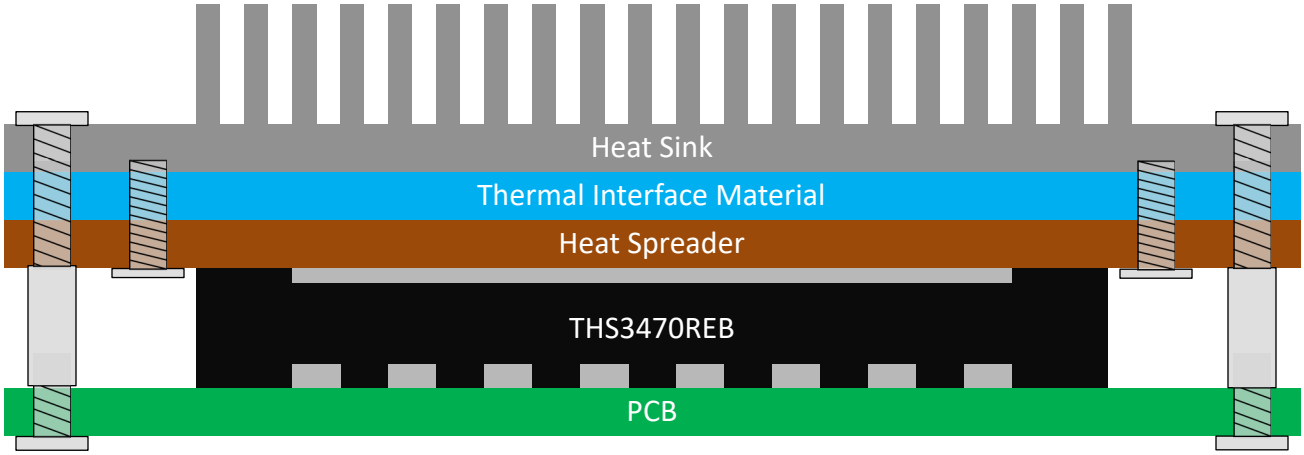


图 7-16. 顶部冷却中的电气隔离示例

7.5.1.2 THS3470 安全工作区

器件的安全工作区可帮助设计人员确定管理半导体器件固有功率限制的最佳实践。对于运算放大器，这些限制通常表现为大输出电流且伴有输出晶体管上的大压降。THS3470 的高电压和高电流特性本身会在封装内部耗散更多

Copyright © 2025 Texas Instruments Incorporated

功率，因此必须考虑特殊的设计注意事项，以优化器件在整个生命周期内的运行状况。有关功率放大器的安全工作区应力源的更多信息，请参阅 SBOA022。

THS3470 配备了顶部冷却 REB 封装，当封装内消耗大量功率时，它有助于优化热性能。对于直流或接近直流性能（即高占空比和/或 >100ms 脉冲），输出级中消耗的功率会导致器件在接近最坏情况下发热。虽然 THS3470 确实包含诊断和保护功能（例如 DIE_TEMP 和 OVERTEMP_FLAG）来帮助进行热管理，但实现器件完整性的最佳实践包括规划器件的安全工作区。

图 7-17 显示了 THS3470 如何在不同冷却条件下使用不同输出电压和输出电流工作。这些结果表明在大多数应用中使用散热器的必要性，通过添加散热器使功率提高了近 2 倍。此外，散热器散热片的对流是芯片散热的主要机制。图 7-17 显示了突出气流和散热器影响的 3 种场景：无散热器、散热器无气流（不带风扇的 THS3470EVM）和散热器加气流（带风扇的 THS3470EVM）。

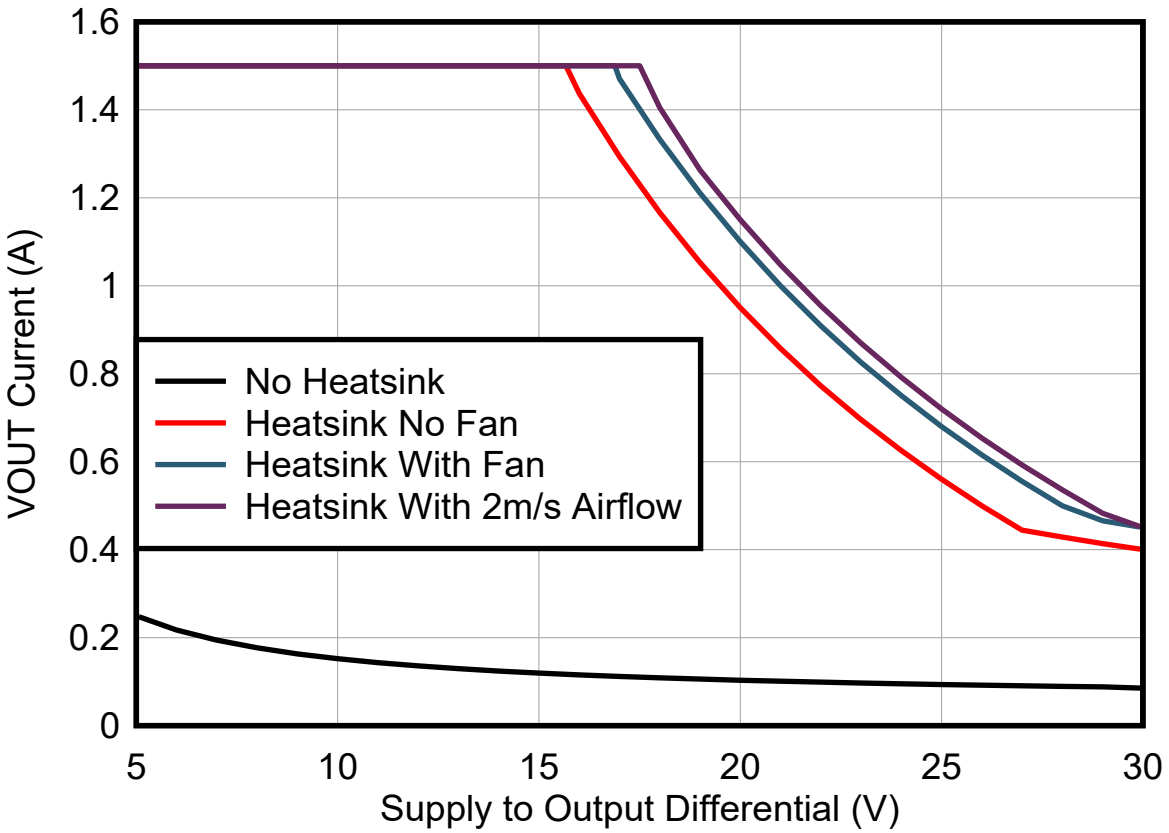


图 7-17. THS3470 直流安全工作区（THS3470EVM，V_S = 60V）

备注

THS3470 的热性能仅展示了该器件在最坏情况 (60V) 下的表现。在较低的电源电压下使用器件可降低封装中的功耗，并实现更好的热性能。

除了直流运行之外，THS3470 的高压摆率和带宽使该器件非常适合大电压脉冲。THS3470 的许多应用都使用低占空比脉冲来尽可能降低系统中耗散的功率，而不使用通常以“IV 图”表征的连续直流电压。图 7-18 显示了在使用 THS3470EVM、散热器和风扇时，THS3470 在纯电阻负载中的各种脉冲持续时间和占空比下的热性能如何变化。

Copyright © 2025 Texas Instruments Incorporated

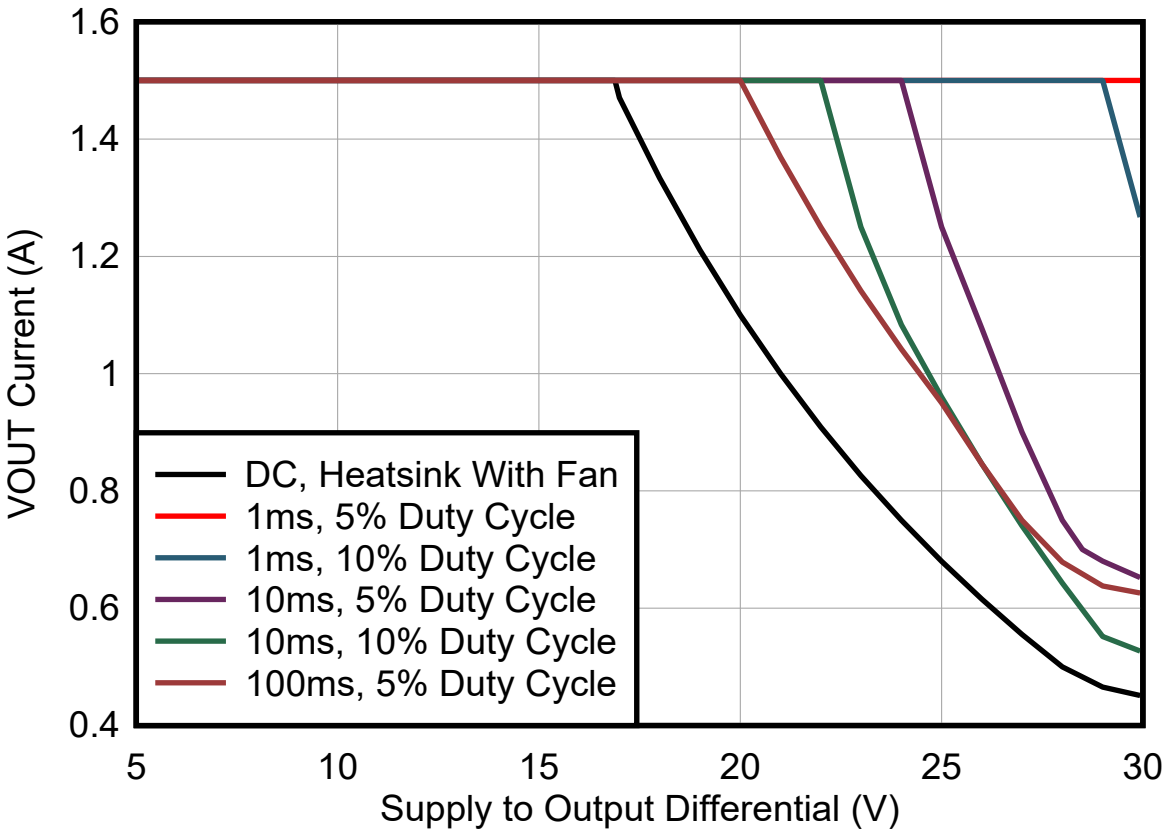


图 7-18. THS3470 安全工作区（方波，V_S = 60V）

驱动电容负载时，图 7-19 显示了在固定电容负载下 THS3470 功耗变化与方波频率间的关系。由于流入电容器的电流与输出阶跃的 dv/dt 乘以电容直接相关，因此所有功耗都发生在方波的压摆事件期间。更高的频率在相同的时间跨度内包含更多边缘，因此 THS3470 在驱动电容负载时随着频率的增加而消耗更多的功率并产生更多的热量。不同电容负载对固定电压的影响也可以在图 7-20 中查看。

Copyright © 2025 Texas Instruments Incorporated

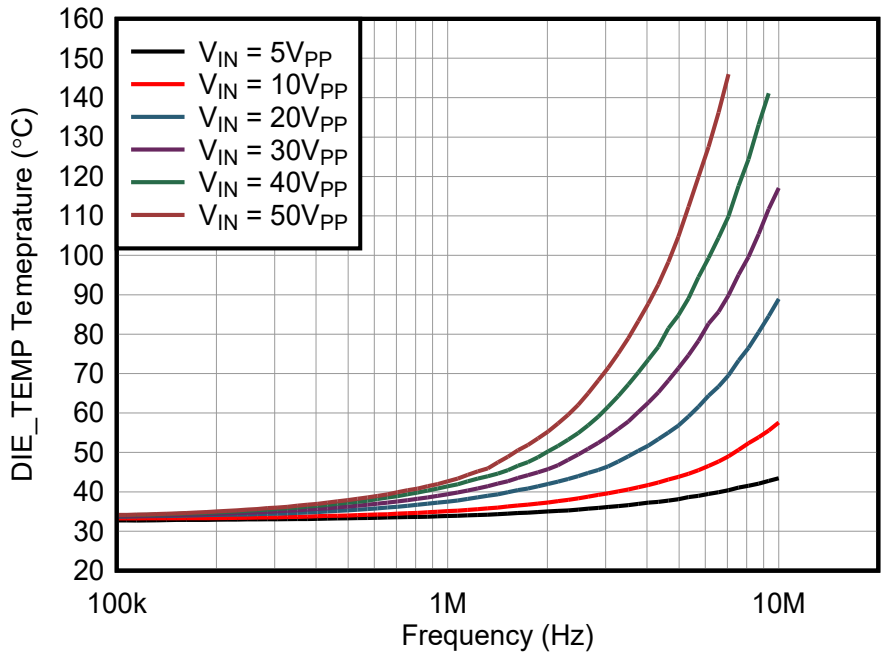


图 7-19. THS3470 安全工作区（方波，C_L = 1nF，V_S = 60V）

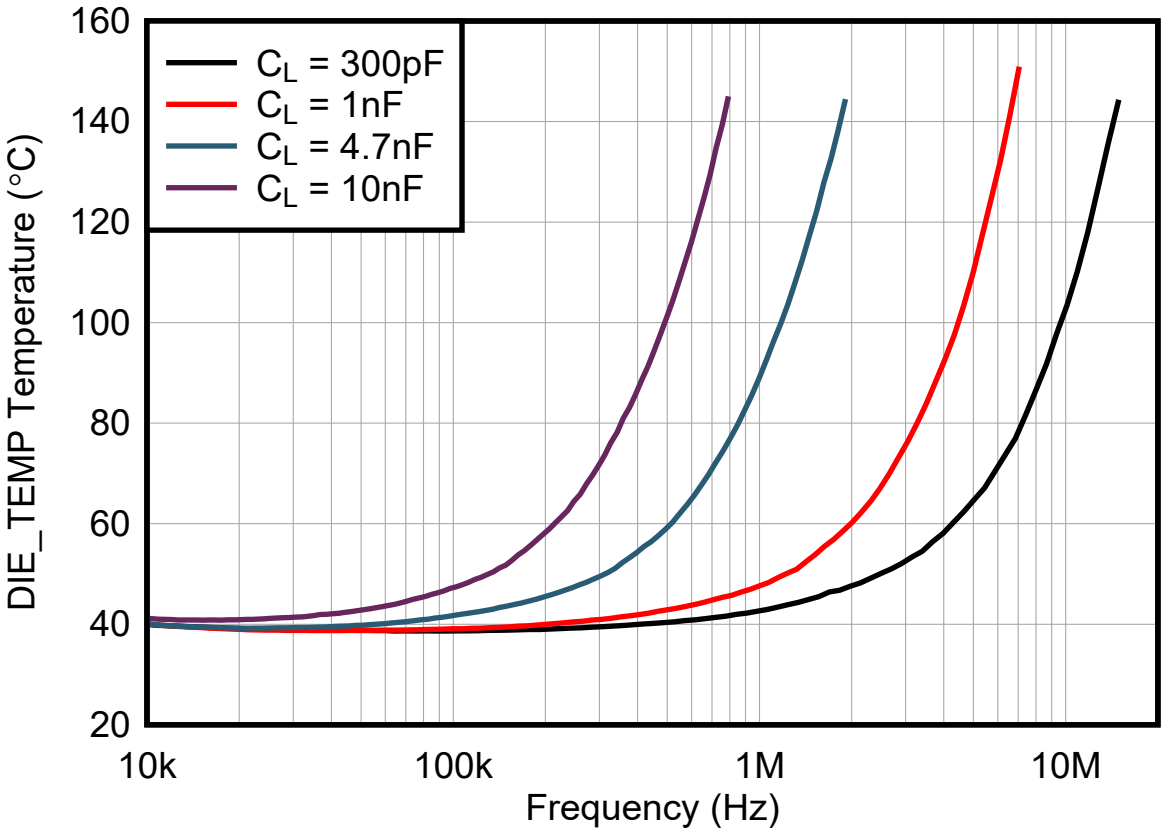


图 7-20. THS3470 安全工作区（方波，V_{OUT} = 50V_{PP}，V_S = 60V）

备注

配置输入压摆率，以便针对图 7-20 中的各种电容负载将峰值电流限制为 2A。

7.5.2 布局指南

- 为 PCB 上的 VCC、VEE 和接地网使用单独的电源平面。尽管非必需，但尽可能减少单个层用于电源和接地的切口或布线（如节 7.5.3 所示）可最大限度地降低电感，并为电流提供更大的 PCB 面积。
- 适当调整 VCC、VEE 和 VOUT 的布线和过孔尺寸，以获得应用所需的连续电流量。根据 IPC-2221 指南和 PCB 制造商建议限制电路板温升。增加层上的覆铜重量并尽可能使用外部层来优化板空间。
- 将 22 µF 钽或电解电容器以及 10 µF X7R 电容器放置在靠近 VCC 和 VEE 电源的位置。此外，将 100nF 电容器尽可能靠近 THS3470 电源引脚放置。通过靠近电容器焊盘放置多个过孔，最大限度地减少旁路电容器上电流返回路径的环路电感。
- 在 VMID 到 VCC 和 VMID 到 VEE 之间，VMID 需要 100nF C0G 或 NP0 旁路电容器。将这些电容器放置在尽可能靠近引脚 1 的位置，并使 VCC、VEE 和接地平面的过孔尽可能靠近电容器焊盘。
- 在 VDD、ISRC_LIMIT_EN、ISNK_LIMIT_EN、P0 和 P1 上的引脚和 DGND 之间放置 2.2nF 电容器。这些电容器应靠近 THS3470 放置，但不能因此而靠近其他元件。
- 使平面切口位于 COMP 或 IN− 引脚上的任何布线或连接下方，以减小寄生电容。
- 为了隔离寄生电容，将 VOUT 的隔离电阻器尽可能靠近引脚放置。
- 将连接到 IN−和 FB 引脚的元件尽可能靠近引脚放置。这些节点对寄生电容很敏感，如果不特别注意，可能会导致振荡。
- 将终端电阻器尽可能靠近目标输入放置。在终端电阻器的接地连接上添加多个过孔，以提供干净的电流返回路径并最大限度地降低电感。

Copyright © 2025 Texas Instruments Incorporated

7.5.3 布局示例

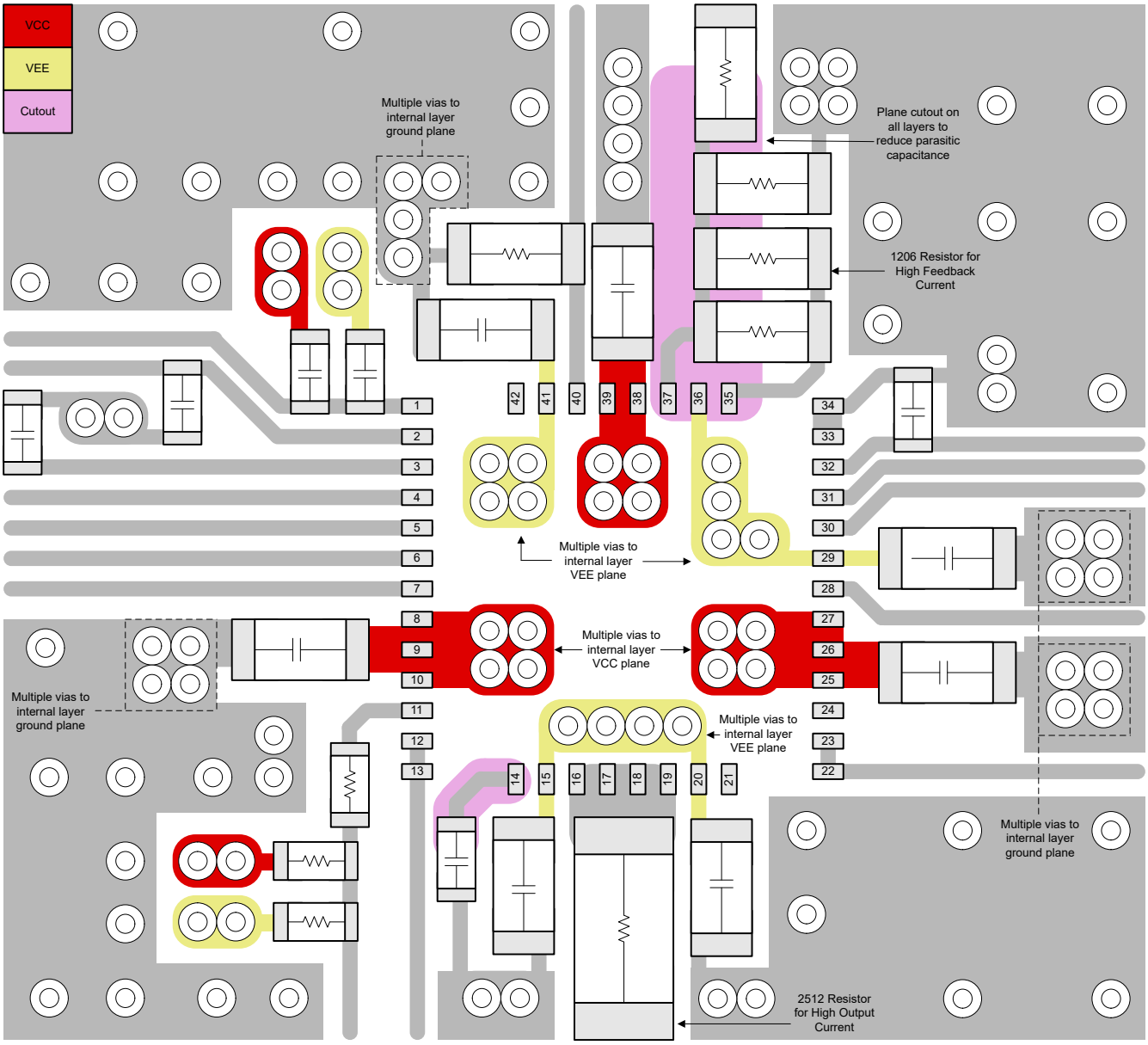


图 7-21. THS3470 布局示例

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (April 2025) to Revision A (October 2025)	Page
• 将器件状态更新为“量产数据”	1

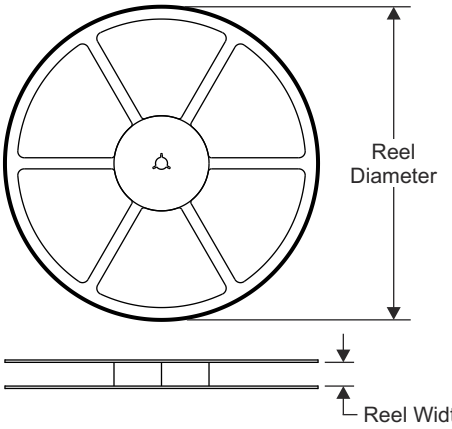
10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

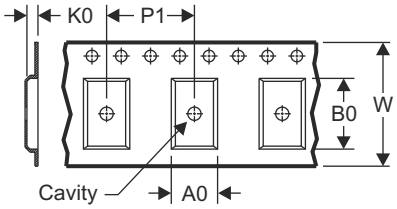
Copyright © 2025 Texas Instruments Incorporated

10.1 卷带包装信息

REEL DIMENSIONS

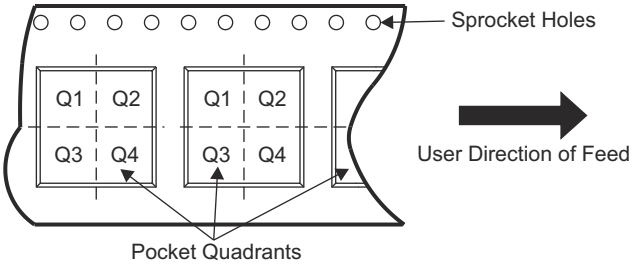


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

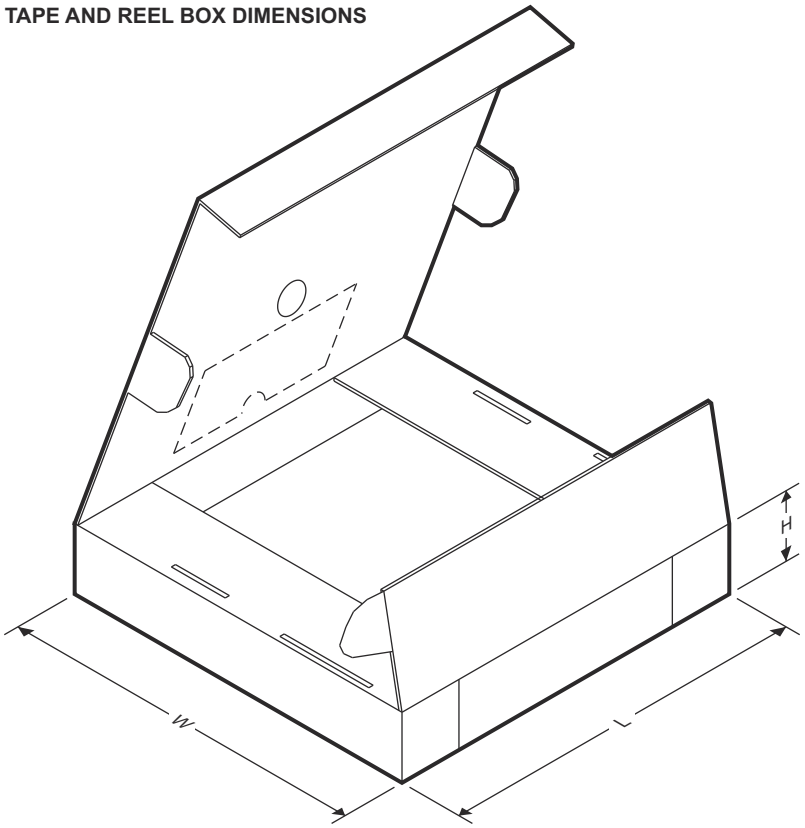
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1象限
THS3470	VQFN	REB	42	3000	330	16.4	7.3	7.3	1.1	12.0	16.0	Q2

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
THS3470	VQFN	REB	42	3000	367.0	367.0	38.0

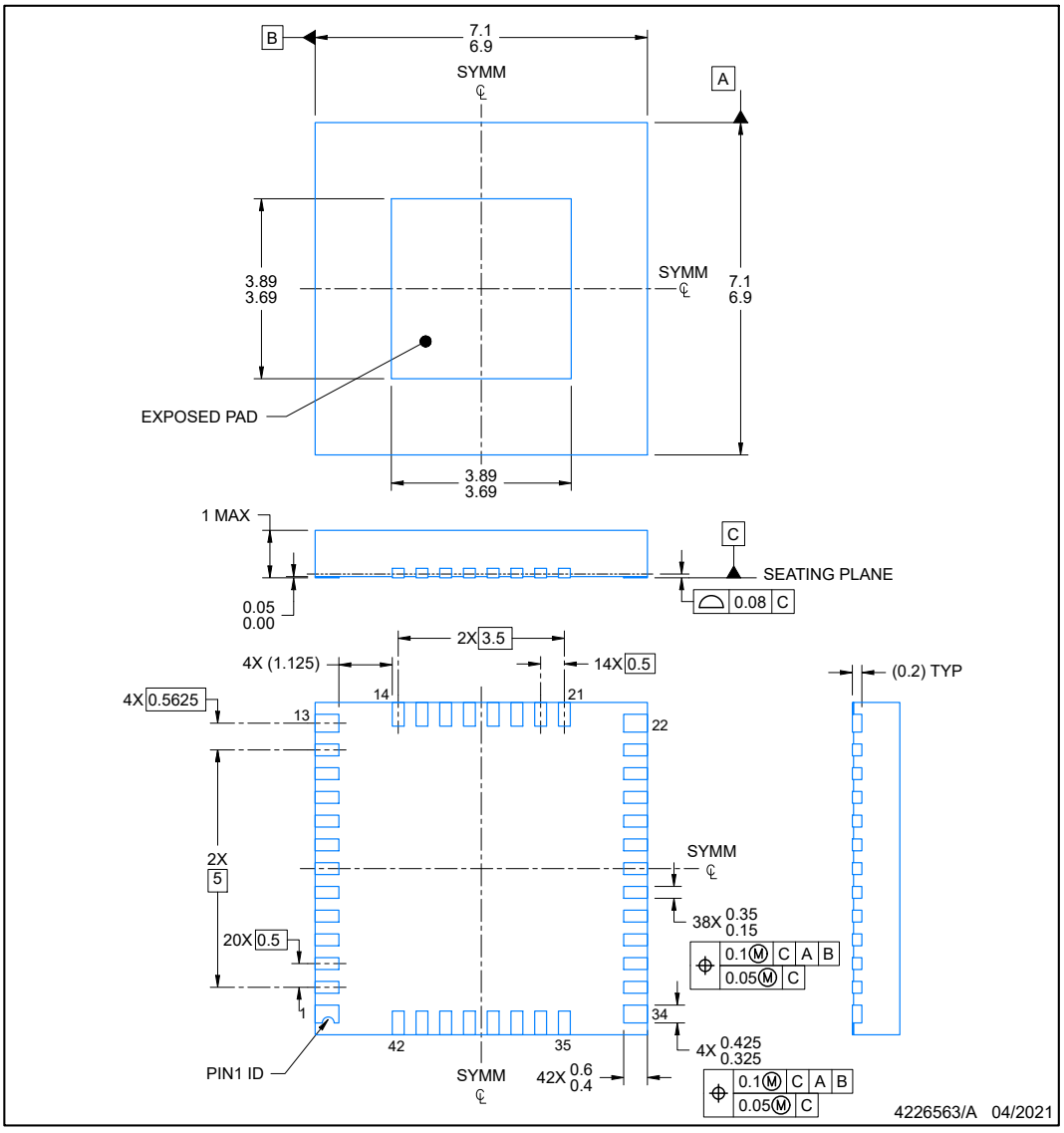
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

REB0042A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

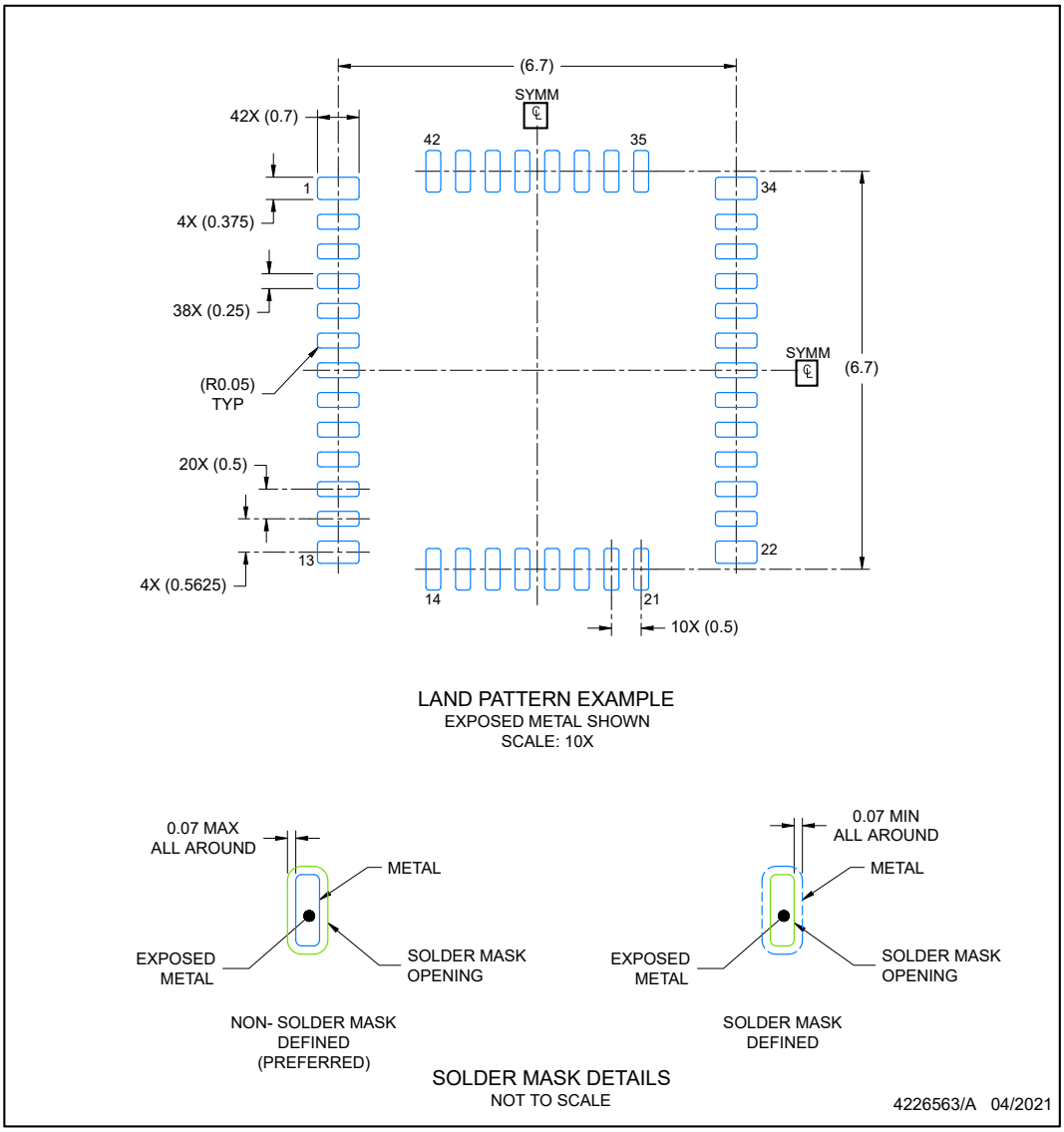
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package incorporates an exposed thermal pad that is designed to be attached directly to an external heat sink. This optimizes the heat transfer from the integrated circuit (IC).

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

REB0042A — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK-NO LEAD



NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. For best BLR performance please use non solder mask defined pads.

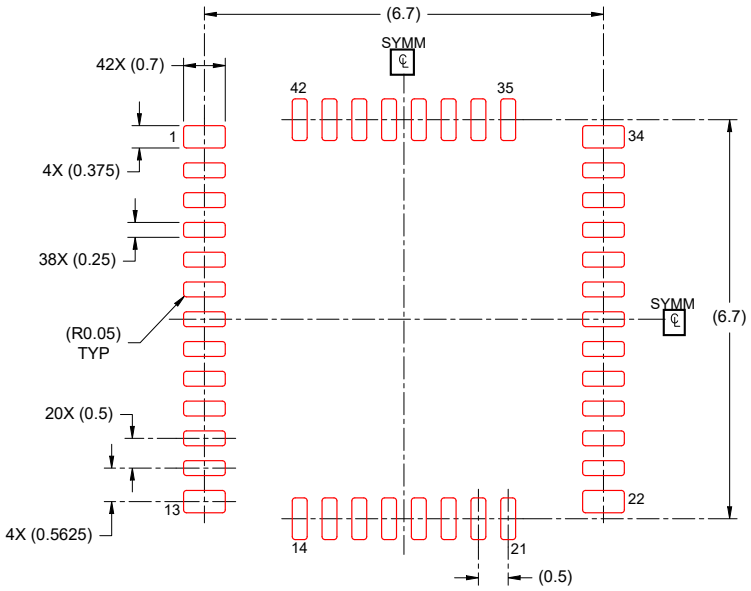
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

REB0042A

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE: 10X

4226563/A 04/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS3470REBR	Active	Production	VQFN (REB) | 42	3000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	THS3470
THS3470REBT	Active	Production	VQFN (REB) | 42	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	THS3470

(1) Status: For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

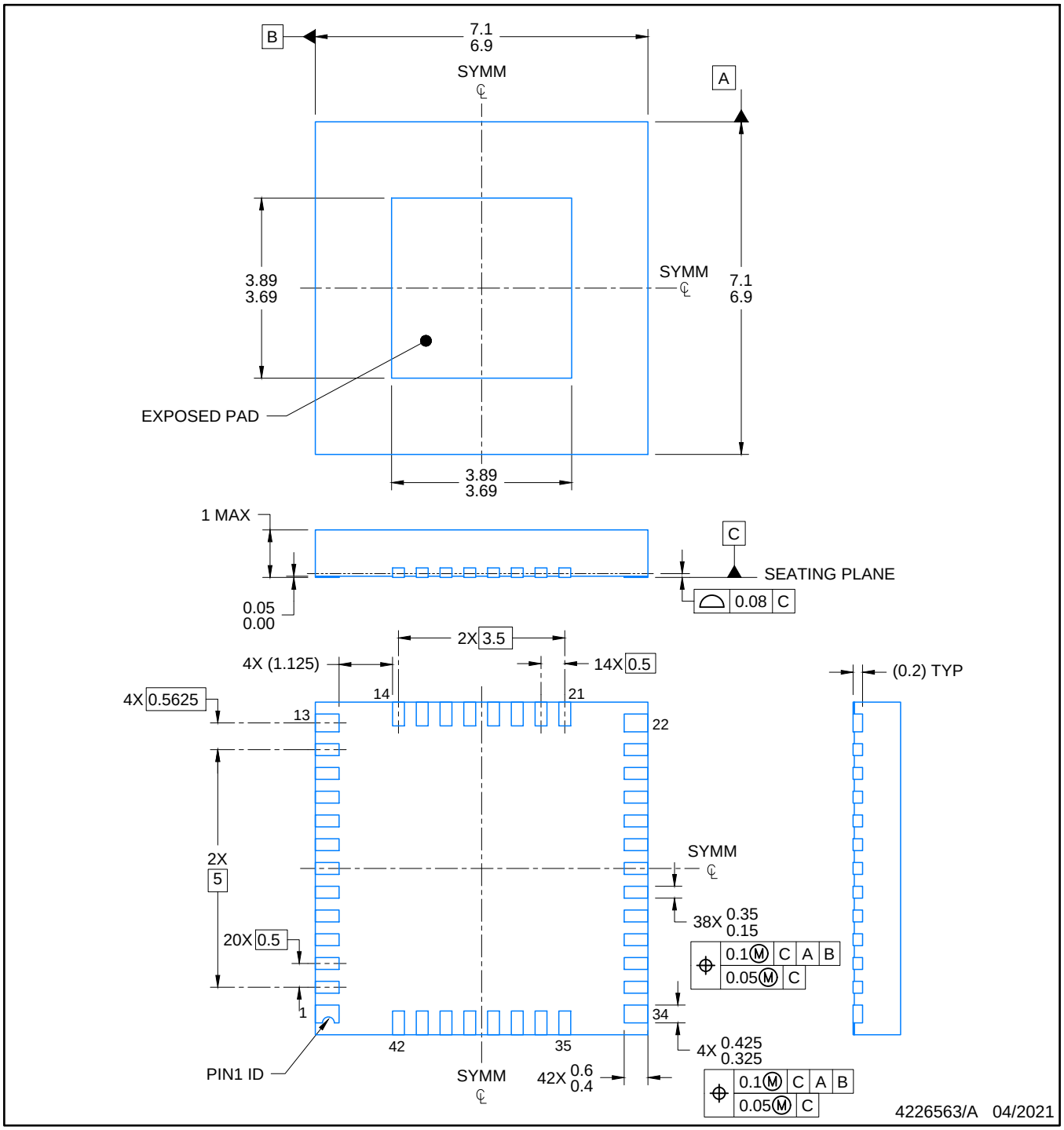
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

REB0042A

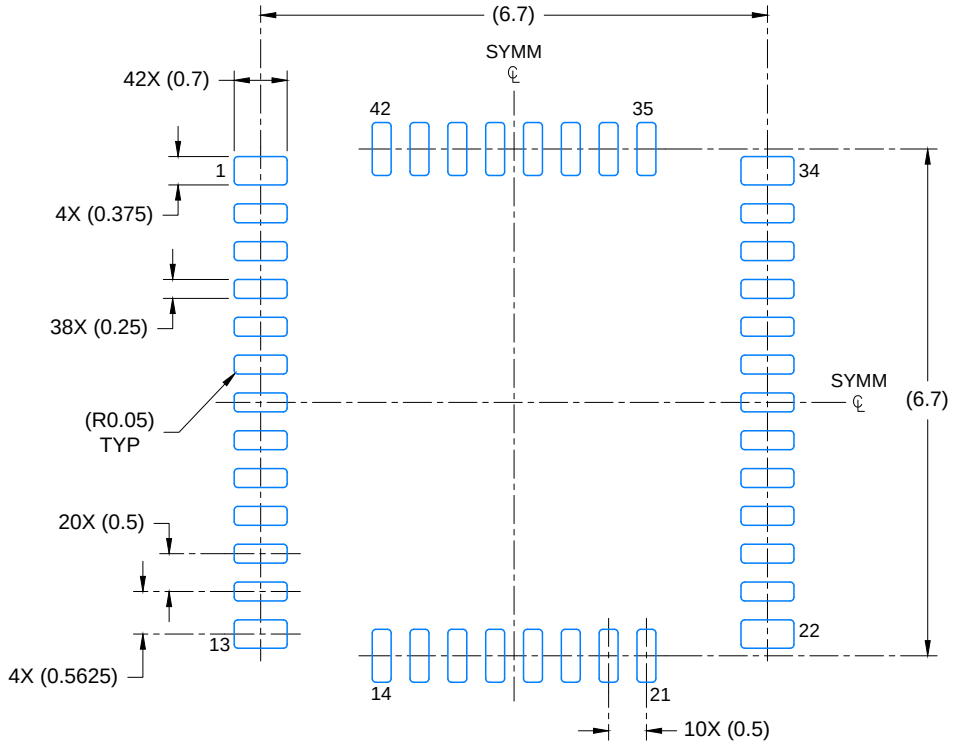
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD

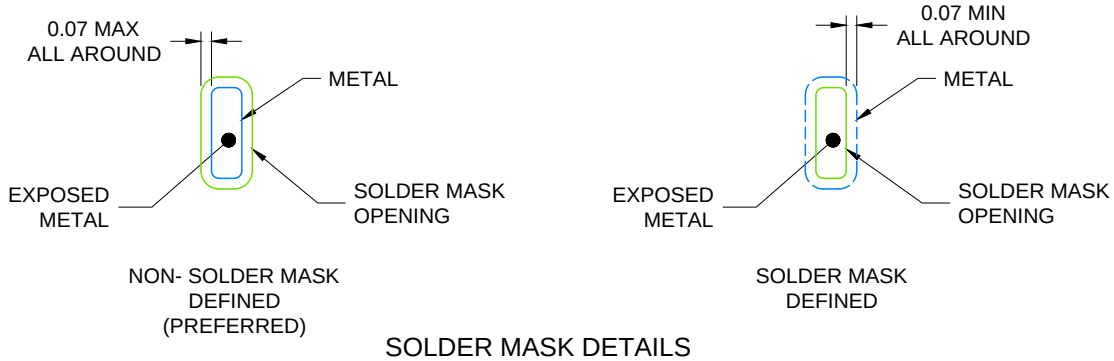


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package incorporates an exposed thermal pad that is designed to be attached directly to an external heat sink. This optimizes the heat transfer from the integrated circuit (IC).



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

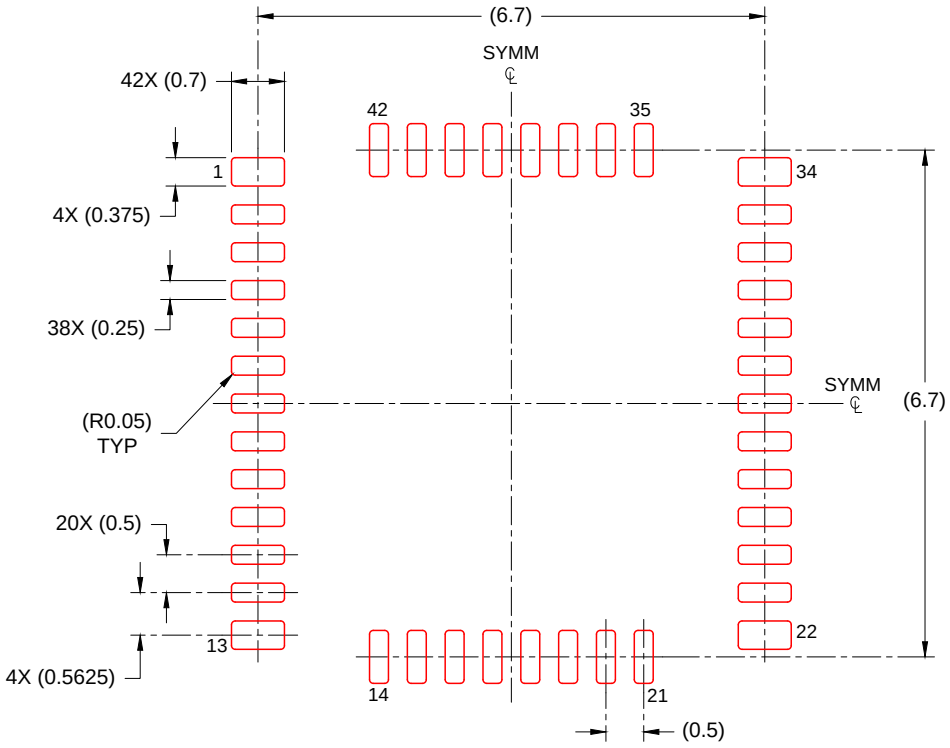


SOLDER MASK DETAILS
NOT TO SCALE

4226563/A 04/2021

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271) .
5. For best BLR performance please use non solder mask defined pads.



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE: 10X

4226563/A 04/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月