TDP2044 带交叉点且适用于 USB Type-C 的四通道 20Gbps DisplayPort 2.1 线性转接驱动器

1 特性

- 支持高达 20Gbps 的 DisplayPort 2.1 (UHBR20)
- 专为具有集成交叉点多路复用器的仅 USB-C DP（无 USB 3.x）源或接收端应用而设计
- 与协议无关的线性均衡器，支持高达 20Gbps 的大多数交流耦合接口
- 20Gbps（10GHz 奈奎斯特）时具有出色的电气性能：
  - 19dB 均衡
  - 1.8V 直流线性度，1.08V 交流线性度
  - -15/-16dB Rx/Tx 回波损耗
  - -60dB NEXT，-43dB FEXT 串扰
  - 70fs 低附加 RJ（带 PRBS 数据）
- 对 DisplayPort 1.4 和 2.1 链路训练透明
- 具有 160mW/通道有效功耗的 3.3V 单电源
- 内部稳压器具有抗电源噪声能力
- 高线性度简化了 DP 合规比测试
- 高 BW 可生成出色的线性 EQ 曲线
- 引脚 strap 配置，I^2C 或 EEPROM 编程
  - 18 个 EQ 增强和 5 个平坦增益设置
- TDP2044：0°C 至 70°C 商业级温度范围
- TDP2044I：-40°C 至 85°C 工业级温度范围
- 4mm × 6mm，40 引脚 WQFN 封装

2 应用

- 台式计算机或主板
- PC、笔记本电脑和平板电脑
- 扩展坞
- 电视、游戏、家庭影院和娱乐系统
- 专业音频、视频和标牌
- 测试和测量
- 医疗
- 平板监视器

3 说明

TDP2044 是一款具有集成交叉点且适用于 USB Type-C 应用的四通道低功耗高性能线性中继器或转接驱动器，支持高达 20Gbps 的 DisplayPort 2.1。

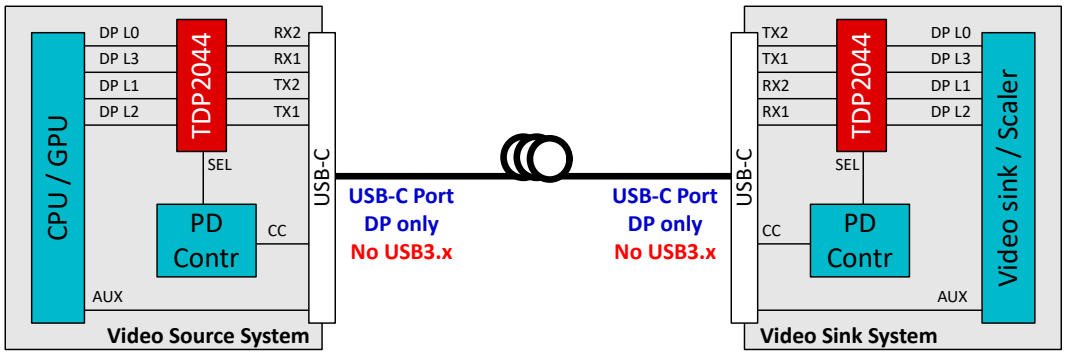
TDP2044 接收器部署了连续时间线性均衡器 (CTLE)，用以提供可编程高频增强功能。均衡器可以打开由于 PCB 布线或电缆等互连介质引起的码间串扰 (ISI) 而完全关闭的输入眼图。TDP2044 的线性数据路径保留发送预设信号特性。该器件具有高带宽、低通道间串扰、低附加抖动和极低的回波损耗，因此在链路中几乎可用作无源元件，而又具有实用的均衡功能。DisplayPort 链路训练通过线性转接驱动器有效实施，该转接驱动器成为源 Tx 和接收端 Rx 之间无源通道的一部分。对这种链路训练协议进行透明管理可实现最优的电气链路和尽可能低的延迟。该器件的数据路径使用内部稳压电源轨，可高度抵抗板上的各种电源噪声。

此器件还具有低交流和直流增益变化，可在各种平台部署中提供一致的均衡功能。

封装信息

器件型号	封装(1)	封装尺寸(2)
TDP2044	RNQ（WQFN，40）	4mm × 6mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



典型应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 热性能信息.....7
5.5 直流电气特性.....7
5.6 高速电气特性.....8
5.7 SMBus/I2C 时序特性.....9
5.8 典型特性.....10
5.9 典型抖动特性.....10
6 详细说明.....11
6.1 概述.....11
6.2 功能方框图.....11
6.3 特性说明.....11
6.4 器件功能模式.....12
6.5 编程.....13
7 应用和实施.....17
7.1 应用信息.....17
7.2 典型应用.....17
7.3 电源相关建议.....20
7.4 布局.....21
8 器件和文档支持.....22
8.1 接收文档更新通知.....22
8.2 支持资源.....22
8.3 商标.....22
8.4 静电放电警告.....22
8.5 术语表.....22
9 修订历史记录.....22
10 机械、封装和可订购信息.....22

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

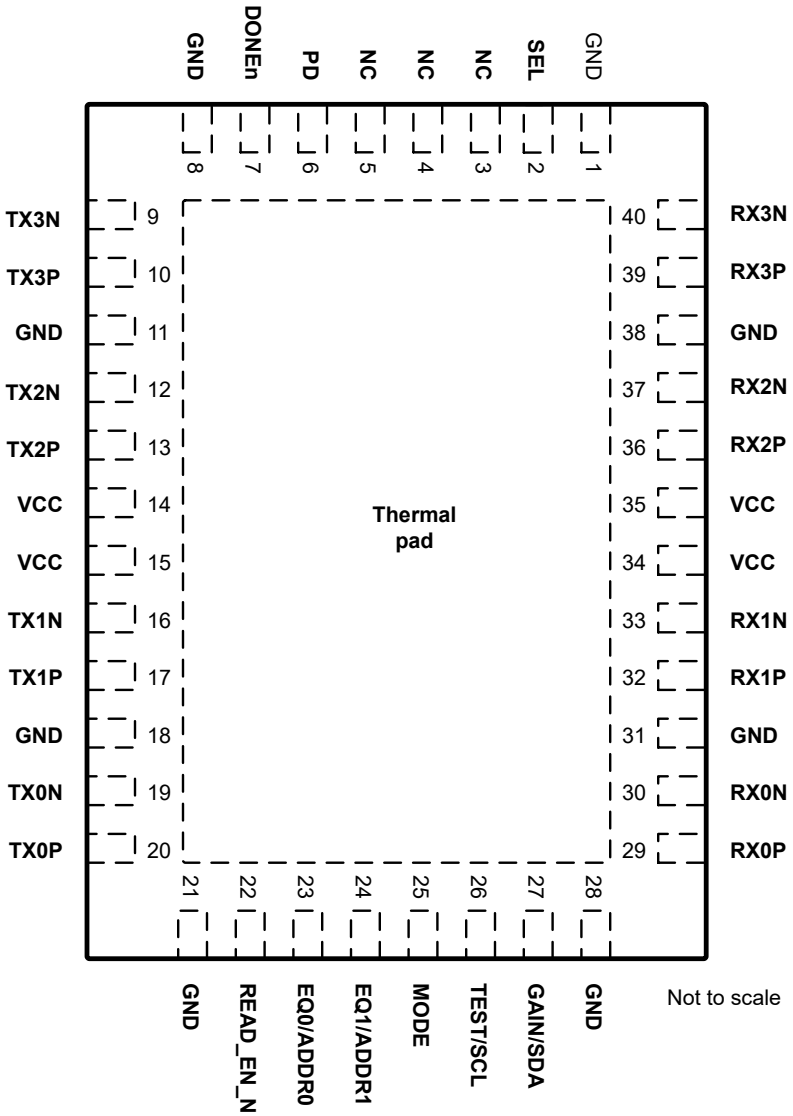


图 4-1. RNQ 封装，40 引脚 WQFN（顶视图）

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
DONEn	7	O、3.3V 开漏	在 **SMBus/I²C 主模式**下： 指示有效 EEPROM 寄存器加载操作完成。操作所需的外部上拉电阻，例如 4.7kΩ。 高电平：外部 EEPROM 加载失败或未完成 低电平：外部 EEPROM 加载成功并在 **SMBus/I²C 从/引脚模式**下完成： 该输出为高阻态。该引脚可以悬空。

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
模式	25	I，5 电平	设置器件控制配置模式。表 6-3 中提供的 5 电平 IO 引脚。该引脚可以在器件上电或正常运行模式下使用。 L0：**引脚模式** – 器件控制配置仅由 strap 配置引脚完成。 L1：**SMBus/I²C 主模式** - 从外部 EEPROM 读取器件控制配置。当 TDP2044 成功完成从 EEPROM 的读取时，DONEn 引脚被拉至低电平。在 EEPROM 读取之前、读取期间或读取之后，该模式提供 SMBus/I²C 从设备运行。请注意，在 EEPROM 读取期间，如果外部 SMBus/I²C 主模式希望访问 TDP2044 寄存器，则外部控制器必须支持仲裁。 L2：**SMBus/I²C 从模式** – 器件控制配置由具有 SMBus/I²C 主模式的外部控制器完成。 L3 和 L4（悬空）：保留 – TI 内部测试模式。
EQ0/ADDR0	23	I，5 电平	在**引脚模式**下： 按照表 6-1 中的说明为通道 0-3 设置接收器线性均衡 (CTLE) 增强。只在器件上电时对这些引脚进行采样。 在 **SMBus/I²C 模式下：** 按照表 6-4 中的说明设置 SMBus/I²C 从地址。只在器件上电时对这些引脚进行采样。
EQ1/ADDR1	24	I，5 电平	
GAIN / SDA	27	I，5 电平 / I/O、3.3V LVCMOS，漏极开路	在**引脚模式**下： 通道 0-3 从器件输入端到输出端的平坦增益（直流和交流）。仅在器件上电时对引脚进行采样。 在 **SMBus/I²C 模式下：** 3.3V SMBus/I²C 数据。根据 SMBus/I²C 接口标准，需要外部 1kΩ 至 5kΩ 上拉电阻。
GND	1、8、11、18、21、28、31、38、EP	P	器件的接地基准。 EP：QFN 封装底部的外露焊盘，用作器件的 GND 回路。EP 必须通过低电阻路径连接到一个或多个接地平面。过孔阵列提供到 GND 的低阻抗路径。EP 还改善了散热性能。
PD	6	I，3.3V LVCMOS	控制转接驱动器运行状态的 2 级逻辑。在所有器件控制模式下均有效。该引脚具有 1MΩ 内部弱下拉电阻。 高电平：通道 0-3 断电 低电平：上电，通道 0-3 正常运行
READ_EN_N	22	I，3.3V LVCMOS	在 **SMBus/I²C 主模式**下： 器件上电后，当该引脚为低电平时，会启动 SMBus/I²C 主模式 EEPROM 读取功能。EEPROM 读取完成后（通过将 DONEn 置为低电平进行指示），该引脚可保持低电平，以保障器件正常运行。在 EEPROM 加载过程中，器件的信号路径被禁用。 在 **SMBus/I²C 从模式和引脚模式下：** 在这些模式下，不使用引脚。引脚可以保持悬空。该引脚具有 1MΩ 内部弱下拉电阻。
SEL	2	I，3.3V LVCMOS	引脚用于选择多路复用器配置。 L：直接数据路径 – RX[0/1/2/3][P/N] 通过转接驱动器连接到 TX[0/1/2/3][P/N]。 H：交叉数据路径 – RX[0/1/2/3][P/N] 通过转接驱动器连接到 TX[1/0/3/2][P/N]。 在所有器件控制模式下均有效。 59kΩ 内部下拉电阻。
TEST / SCL	26	I，5 电平 / I/O、3.3V LVCMOS，漏极开路	在**引脚模式**下： TI 测试模式。必须安装外部 1kΩ 下拉电阻。 在 **SMBus/I²C 模式下：** 3.3V SMBus/I²C 时钟。根据 SMBus/I²C 接口标准，需要外部 1kΩ 至 5kΩ 上拉电阻。
RX0N	30	I	均衡器的反相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 0。
RX0P	29	I	均衡器的同相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 0。
RX1N	33	I	均衡器的反相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 1。
RX1P	32	I	均衡器的同相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 1。
RX2N	37	I	均衡器的反相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 2。
RX2P	36	I	均衡器的同相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 2。

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
RX3N	40	I	均衡器的反相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 3。
RX3P	39	I	均衡器的同相差分输入。从引脚到内部 CM 偏置电压的集成式 50Ω 终端电阻器。通道 3。
TX0N	19	O	用于 100Ω 差分驱动器输出的反相引脚。通道 0。
TX0P	20	O	用于 100Ω 差分驱动器输出的同相引脚。通道 0。
TX1N	16	O	用于 100Ω 差分驱动器输出的反相引脚。通道 1。
TX1P	17	O	用于 100Ω 差分驱动器输出的同相引脚。通道 1。
TX2N	12	O	用于 100Ω 差分驱动器输出的反相引脚。通道 2。
TX2P	13	O	用于 100Ω 差分驱动器输出的同相引脚。通道 2。
TX3N	9	O	用于 100Ω 差分驱动器输出的反相引脚。通道 3。
TX3P	10	O	用于 100Ω 差分驱动器输出的同相引脚。通道 3。
VCC	14、15、34、35	P	电源引脚。VCC = 3.3V ±10%。该器件的 VCC 引脚应通过一个低电阻路径与电路板的 VCC 平面相连。在每个 VCC 引脚附近安装一个去耦电容连接至 GND。

(1) I = 输入；O = 输出；P = 电源

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
VCC_{ABSMAX}	电源电压 (VCC)	-0.5	4.0	V
$VIO_{CMOS,ABSMAX}$	3.3V LVCMOS 和开漏 I/O 电压	-0.5	4.0	V
$VIO_{5LVL,ABSMAX}$	5 电平输入 I/O 电压	-0.5	2.75	V
$VIO_{HS-RX,ABSMAX}$	高速 I/O 电压（RXnP、RXnN）	-0.5	3.2	V
$VIO_{HS-TX,ABSMAX}$	高速 I/O 电压（TXnP、TXnN）	-0.5	2.75	V
$T_{J,ABSMAX}$	结温		150	°C
T_{stg}	贮存温度范围	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±500	

(1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2kV 的引脚实际上可能具有更高的性能。
(2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
VCC	电源电压，VCC 至 GND	直流 + 交流电源不得超过这些限制	3.0	3.3	3.6	V
N_{VCC} (1)	电源噪声容限	直流至 <50Hz，正弦			250	mVpp
		50Hz 到 500kHz，正弦			100	mVpp
		500kHz 到 2.5MHz，正弦			33	mVpp
		电源噪声，>2.5MHz，正弦			10	mVpp
$T_{RampVCC}$	VCC 电源斜坡时间	从 0V 至 3.0V	0.150		100	ms
T_A	工作环境温度	TDP2044	0		70	°C
		TDP2044I	-40		85	°C
T_J	工作结温	TDP2044			105	°C
		TDP2044I			125	°C
PW_{LVCMOS}	器件检测 LVCMOS 输入端上有效信号所需的最小脉冲宽度	PD、SEL 和 READ_EN_N	200			µs
VCC_{SMBUS}	SMBus/I²C SDA 和 SCL 开漏端接电压	开漏上拉电阻器的电源电压			3.6	V
F_{SMBus}	SMBus/I²C 时钟 (SCL) 频率	SMBus 从模式	10		400	kHz
VID_{LAUNCH}	源启动幅值	差分信号传输			1200	mVpp
DR	数据速率		1		20	Gbps

(1) 正弦噪声与电源电压叠加，对器件功能或电气表中所示的关键性能的影响可以忽略不计。必须采取措施，确保交流电源和直流电源噪声组合满足指定的 VDD 电源电压限制。

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		TDP2044 RNQ，40 引脚	单位
$R_{\theta JA-High K}$	结至环境热阻	30.7	℃/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	20.8	℃/W
$R_{\theta JB}$	结至电路板热阻	11.4	℃/W
ψ_{JT}	结至顶部特征参数	0.3	℃/W
ψ_{JB}	结至电路板特征参数	11.4	℃/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.8	℃/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 直流电气特性

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
功率						
P_{ACT}	器件有功功率	4 通道激活，EQ = 0-2		0.57	0.71	W
		4 通道激活，EQ = 5-19		0.69	0.85	W
P_{STBY}	待机功耗模式下的器件功耗	所有通道均禁用 (PD = H)		17	25	mW
控制 IO						
V_{IH}	高电平输入电压	SDA、SCL、PD、READ_EN_N、SEL 引脚	2.1			V
V_{IL}	低电平输入电压	SDA、SCL、PD、READ_EN_N、SEL 引脚			1.08	V
V_{OH}	高电平输出电压	R_{pullup} = 4.7kΩ（SDA、SCL、DONEn 引脚）	2.1			V
V_{OL}	低电平输出电压	I_{OL} = –4mA（SDA、SCL、DONEn 引脚）			0.4	V
I_{IH}	输入高漏电流	V_{Input} = VCC，（SCL、SDA、PD、READ_EN_N 引脚）			10	µA
I_{IL}	输入低漏电流	V_{Input} = 0V，（SCL、SDA、PD、READ_EN_N、SEL 引脚）	-10			µA
$I_{IH,FS}$	失效防护输入引脚的输入高漏电流	V_{Input} = 3.6V，VCC = 0V，（SCL、SDA、PD、READ_EN_N、SEL 引脚）			200	µA
$C_{IN-CTRL}$	输入电容	SDA、SCL、PD、READ_EN_N、SEL 引脚		1.6		pF
5 级 IO（MODE、GAIN、EQ0、EQ1 引脚）						
I_{IH_5L}	输入高漏电流，5 级 IO	VIN = 2.5V			10	µA
I_{IL_5L}	除 MODE 之外，所有 5 级 IO 的输入低漏电流。	VIN = GND	-10			µA
$I_{IL_5L,MODE}$	MODE 引脚的输入低漏电流	VIN = GND	-200			µA
接收器						
$V_{RX-DC-CM}$	RX 直流共模电压	器件处于运行或待机状态		1.4		V
Z_{RX-DC}	Rx 直流单端阻抗			50		Ω
发送器						
$Z_{TX-DIFF-DC}$	直流差分 Tx 阻抗	有源信令期间 Tx 的阻抗，VID,diff = 1Vpp		100		Ω

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{TX-DC-CM}$	Tx 直流共模电压			1.0		V
$I_{TX-SHORT}$	Tx 短路电流	当短接至 GND 时 Tx 可以提供的总电流		70		mA

5.6 高速电气特性

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
接收器						
$RL_{RX-DIFF}$	输入差分回波损耗	3GHz		-19		dB
		4GHz		-18		dB
		5GHz		-18		dB
		6GHz		-17		dB
		10GHz		-15		dB
XT_{RX}	接收器端线对间隔离；端口 A 或端口 B	10MHz 至 10GHz 范围内的最小值		-60		dB
发送器						
$RL_{TX-DIFF}$	输出差分回波损耗	3GHz		-19		dB
$RL_{TX-DIFF}$	输出差分回波损耗	4.0GHz		-18		dB
$RL_{TX-DIFF}$	输出差分回波损耗	5.0GHz		-18		dB
$RL_{TX-DIFF}$	输出差分回波损耗	6.0GHz		-17		dB
$RL_{TX-DIFF}$	输出差分回波损耗	10GHz		-16		dB
XT_{TX}	发送侧线对间隔离	10MHz 至 10GHz 范围内的最小值		-60		dB
器件数据路径						
$T_{PLHD/PHLD}$	通过数据通道的输入到输出延时（传播延迟）	用于低电平到高电平或高电平到低电平转换。		100	130	ps
$L_{TX-SKEW}$	通道间输出偏斜	在单个发送器内的任意两个通道之间。			20	ps
$T_{RJ-DATA}$	具有数据的附加随机抖动	减去校准迹线后通过转接驱动器的抖动。20Gbps PRBS15。800mVpp 差分输入摆幅		70		fs
XT	通道间串扰（相邻有源通道之间），FEXT	10MHz 至 10GHz 范围内的最小值，标准化为 0dB 的 EQ 增益		-43		dB
平坦增益	宽带直流和交流平坦增益 - 输入到输出，在直流条件下测得	最小 EQ，增益 = L0		-5.6		dB
		最小 EQ，增益 = L1		-3.8		dB
		最小 EQ，增益 = L2		-1.2		dB
		最小 EQ，增益 = L3		2.6		dB
		最小 EQ，增益 = L4（悬空）		0.6		dB
$EQ\text{-}MAX_{10G}$	最大设置时的 EQ 增强（EQ 指数 = 19）	10GHz 时的交流增益相对于 100MHz 时的增益。		19		dB
LINEARITY-DC	输出直流线性	GAIN = L4 时		1750		mVpp
LINEARITY-AC	输出交流线性	速率为 10Gbps，GAIN = L4		1100		mVpp
		速率为 20Gbps，GAIN = L4		1080		mVpp

Copyright © 2024 Texas Instruments Incorporated

5.7 SMBus/I²C 时序特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
从模式						
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度				50	ns
t_{HD-STA}	（重复）启动条件后的保持时间。在此周期后，生成第一个时钟脉冲		0.6			µs
t_{LOW}	SCL 时钟的低电平周期		1.3			µs
T_{HIGH}	SCL 时钟的高电平周期		0.6			µs
t_{SU-STA}	重复 START 条件的建立时间		0.6			µs
t_{HD-DAT}	数据保持时间		0			µs
T_{SU-DAT}	数据设置时间		0.1			µs
t_r	SDA 和 SCL 信号的上升时间	上拉电阻器 = 4.7kΩ、Cb = 10pF		120		ns
t_f	SDA 和 SCL 信号的下降时间	上拉电阻器 = 4.7kΩ、Cb = 10pF		2		ns
t_{SU-STO}	STOP 条件的建立时间		0.6			µs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间		1.3			µs
t_{VD-DAT}	数据有效时间				0.9	µs
t_{VD-ACK}	数据有效确认时间				0.9	µs
C_b	每个总线的容性负载				400	pF
主要模式						
f_{SCL-M}	SCL 时钟频率			303		kHz
t_{LOW-M}	SCL 低电平时间			1.90		µs
T_{HIGH-M}	SCL 高电平周期			1.40		µs
$t_{SU-STA-M}$	重复 START 条件的建立时间			2		µs
$t_{HD-STA-M}$	（重复）启动条件后的保持时间。在此周期后，生成第一个时钟脉冲			1.5		µs
$T_{SU-DAT-M}$	数据设置时间			1.4		µs
$t_{HD-DAT-M}$	数据保持时间			0.5		µs
t_{R-M}	SDA 和 SCL 信号的上升时间	上拉电阻器 = 4.7kΩ、Cb = 10pF		120		ns
T_{F-M}	SDA 和 SCL 信号的下降时间	上拉电阻器 = 4.7kΩ、Cb = 10pF		2		ns
$t_{SU-STO-M}$	停止条件设置时间			1.5		µs
EEPROM 时序						
T_{EEPROM}	EEPROM 配置加载时间	在 READ_EN_N 置为有效后使 DONEn 有效的时间。		7.5		ms
T_{POR}	首次 SMBus 访问所需的时间	电源在初始斜坡后稳定。包括初始上电复位时间。		50		ms

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性

图 5-1 显示了不同 EQ 设置下典型 EQ 增益曲线与频率间的关系。图 5-2 显示了 Rx 和 Tx 引脚的典型差分回波损耗。

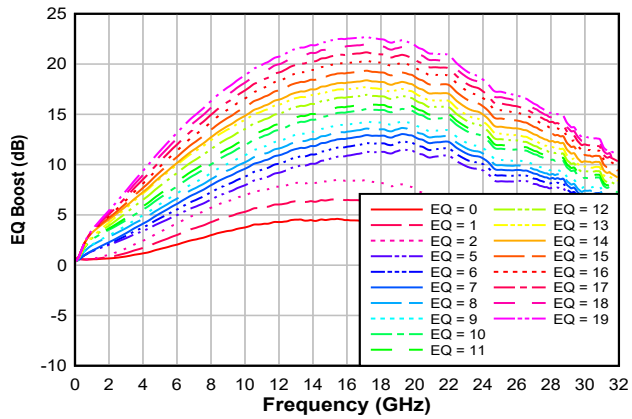


图 5-1. 典型 EQ 增强与频率间的关系

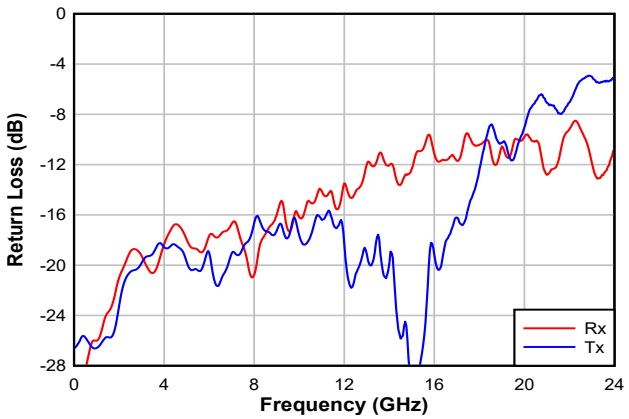


图 5-2. 典型差分回波损耗

5.9 典型抖动特性

图 5-3 和图 5-4 在具有极少通道的 TI 评估板上显示了 20Gbps 时的眼图，这些眼图对通过校准布线的抖动（左）和通过 TDP2044 的抖动（右）进行了比较。从眼图可以看出，TDP2044 增加的随机抖动 (RJ) 非常小。

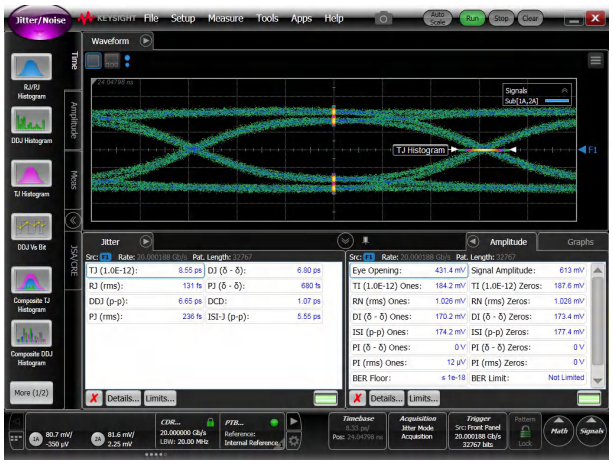


图 5-3. 通过基准校准布线设置（20Gbps 时）

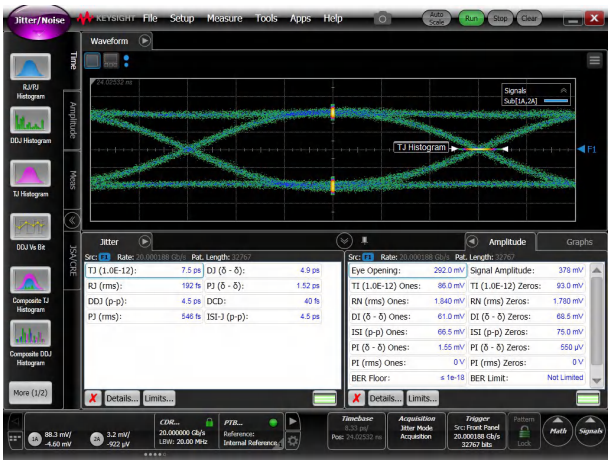


图 5-4. 通过 TDP2044（20Gbps 时）

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

TDP2044 是一款具有集成信号调节功能的四通道多速率线性中继器。器件的信号通道彼此独立运行。每条通道均包含一个连续时间线性均衡器 (CTLE) 和一个线性输出驱动器，二者共同补偿源发送器和最终接收器之间的有损传输通道。数据路径的线性度经过专门设计，可在保持接收器均衡有效的同时保留任何传输均衡。

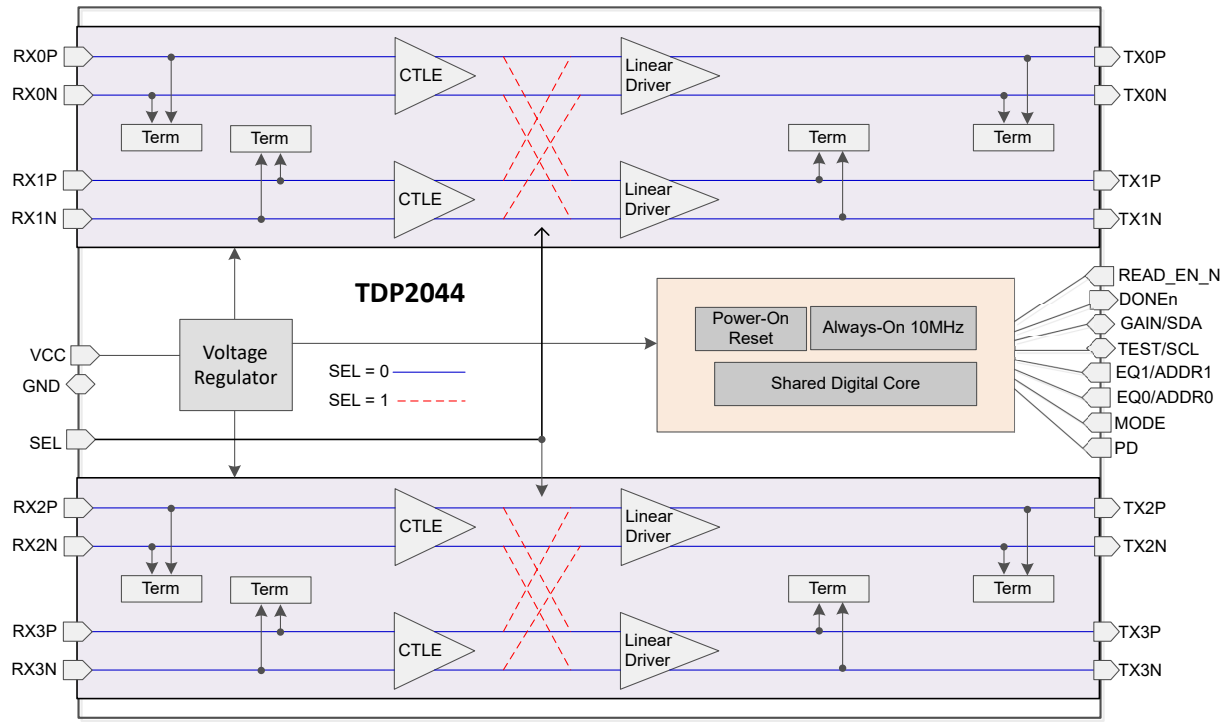
TDP2044 可通过三种不同的方式进行配置：

引脚模式 – 器件控制配置仅由 strap 配置引脚完成。引脚模式应足以满足许多系统实现需求。

SMBus/I²C 主模式 - 从外部 EEPROM 读取器件控制配置。在 TDP2044 成功从 EEPROM 读取数据后，它会将 DONEn 引脚驱动为低电平。在 EEPROM 读取之前、读取期间或读取之后，该模式提供 SMBus/I²C 从设备运行。请注意，在 EEPROM 读取期间，如果外部 SMBus/I²C 主模式希望访问 TDP2044 寄存器，则外部控制器必须支持仲裁。当不需要软件实现时，首选该模式。

SMBus/I²C 从模式 - 提供更大的灵活性。要求 SMBus/I²C 主器件通过写入其从地址来配置 TDP2044。

6.2 功能方框图



6.3 特性说明

6.3.1 线性均衡

TDP2044 接收器具有一个连续时间线性均衡器 (CTLE)，它运用高频增强和低频衰减功能来帮助均衡无源通道的频率制约型插入损耗。接收器实现两级线性均衡器，以提供广泛的均衡能力。均衡器级还提供了灵活性，可对中频升压进行细微修改，以使 EQ 增益曲线与各种通道媒体特征相匹配。EQ 曲线控制功能仅在 SMBus/I²C 模式下可用。在引脚模式下，这些设置针对 FR4 布线进行了优化。

表 6-1 通过 EQ 控制引脚或 SMBus/I²C 寄存器以 20Gbps (10GHz 奈奎斯特频率) 提供可用的均衡增强。在引脚控制模式下，EQ1 和 EQ0 引脚设置通道 0-3 的均衡增强。在 I²C 模式下，可以对各个通道进行独立编程以实现 EQ 增强。如果 TDP2044 用于其他数据速率，则可以从图 5-1 中提取均衡增益。

Copyright © 2024 Texas Instruments Incorporated

表 6-1. 均衡控制设置

均衡设置							典型 EQ 增强 (dB)
EQ 指数	引脚模式		SMBus/I²C 模式				以 10GHz 运行时
	EQ1	EQ0	eq_stage1_3:0	eq_stage2_2:0	eq_profile_3:0	eq_stage1_bypass	
0	L0	L0	0	0	0	1	4.0
1	L0	L1	1	0	0	1	5.0
2	L0	L2	3	0	0	1	7.0
5	L1	L0	0	0	1	0	8.0
6	L1	L1	1	0	1	0	9.0
7	L1	L2	2	0	1	0	9.5
8	L1	L3	3	0	3	0	10.0
9	L1	L4	4	0	3	0	11.0
10	L2	L0	5	1	7	0	12.0
11	L2	L1	6	1	7	0	12.5
12	L2	L2	8	1	7	0	13.5
13	L2	L3	10	1	7	0	14.5
14	L2	L4	10	2	15	0	15.0
15	L3	L0	11	3	15	0	15.5
16	L3	L1	12	4	15	0	16.5
17	L3	L2	13	5	15	0	17.0
18	L3	L3	14	6	15	0	18.0
19	L3	L4	15	7	15	0	19.0

6.3.2 平坦增益

当器件处于引脚模式时，GAIN 引脚可用于设置 TDP2044 的整体数据路径平坦增益（直流和交流）。GAIN 引脚设定通道 0-3 的平坦增益。在 I²C 模式下，每个通道都可以独立设置。表 6-2 提供平坦增益控制配置设置。对于大多数系统，建议使用 GAIN = L4（悬空）的默认设置，以提供 0dB 的平坦增益。

设置 TDP2044 的平坦增益和均衡时，必须确保直流和高频下的输出信号摆幅分别不超过器件的直流和交流线性范围。

表 6-2. 平坦增益配置设置

引脚模式 GAIN	I²C Modeflat_gain_2:0	平坦增益
L0	0	-5.6dB
L1	1	-3.8dB
L2	3	-1.2dB
L4（悬空）	5	0.6dB（默认建议）
L3	7	+2.6dB

6.4 器件功能模式

6.4.1 工作模式

器件会正常运行。在此模式下，TDP2044 可对视频主链路信号进行转接驱动和均衡，从而提供更好的信号完整性。

Copyright © 2024 Texas Instruments Incorporated

6.4.2 待机模式

器件处于待机模式，由 PD = H 调用。在此模式下，器件处于待机模式，以节省电力。

6.5 编程

6.5.1 引脚模式

TDP2044 可通过 strap 配置引脚进行全面配置。在此模式下，器件使用 2 电平和 5 电平引脚实现器件控制和信号完整性优化设置。

6.5.1.1 五电平控制输入

TDP2044 具有四（EQ0、EQ1、GAIN 和 MODE）5 电平输入引脚，用于控制器件的配置。这些 5 电平输入使用电阻分压器来帮助设置 5 个有效电平并提供更广泛的控制设置。外部电阻器必须具有 10% 或更高的容差。除 MODE 之外的 5 电平引脚仅在上电时进行采样。MODE 引脚可以在器件上电或正常运行模式下使用。

表 6-3. 5 级控制引脚设置

等级	设置
L0	1kΩ 至 GND
L1	8.25kΩ 至 GND
L2	24.9kΩ 至 GND
L3	75kΩ 至 GND
L4	F（悬空）

6.5.2 SMBus/I²C 寄存器控制接口

如果 MODE = L2（SMBus/I²C 从控制模式），可通过运行频率高达 400kHz 的标准 I²C 或 SMBus 接口对 TDP2044 进行配置。TDP2044 的从地址由 ADDR1 和 ADDR0 引脚上的引脚 strap 设置决定。表 6-4 中提供了通道 0-3 的 16 个可能的从地址。在 SMBus/I²C 模式下，SCL 和 SDA 引脚必须通过上拉电阻上拉至 3.3V 电源。电阻器的值取决于总线总电容。4.7kΩ 是 10pF 总线电容的良好初始近似值。

表 6-4. SMBUS/I²C 从地址设置

ADDR1	ADDR0	7 位从地址通道 0-3
L0	L0	0x18
L0	L1	0x1A
L0	L2	0x1C
L0	L3	0x1E
L0	L4	保留
L1	L0	0x20
L1	L1	0x22
L1	L2	0x24
L1	L3	0x26
L1	L4	保留
L2	L0	0x28
L2	L1	0x2A
L2	L2	0x2C
L2	L3	0x2E
L2	L4	保留
L3	L0	0x30
L3	L1	0x32
L3	L2	0x34
L3	L3	0x36

Copyright © 2024 Texas Instruments Incorporated

表 6-4. SMBUS/I²C 从地址设置（续）

ADDR1	ADDR0	7 位从地址通道 0-3
L3	L4	保留

TDP2044 具有 2 类寄存器：

- **共享寄存器**：这种寄存器可随时访问，用于器件级配置、状态回读、控制或读回器件 ID 信息。
- **通道寄存器**：这种寄存器用于控制和配置每个单独通道的特定功能。所有通道都具有相同的寄存器集，并且可以相互独立配置，也可以通过对通道 0-3 的广播写入配置为组。

表 6-5. 通道寄存器访问

通道寄存器基地址	通道 0-3 访问
0x00	通道 0 寄存器
0x20	通道 1 寄存器
0x40	通道 2 寄存器
0x60	通道 3 寄存器
0x80	广播写入通道 0-3 寄存器、读取通道 0 寄存器
0xA0	广播写入通道 0-1 寄存器、读取通道 0 寄存器
0xC0	广播写入通道 2-3 寄存器、读取通道 2 寄存器
0xE0	通道 0-3 共享寄存器

6.5.2.1 共享寄存器

表 6-6. 通用寄存器（偏移 = 0xE2）

位	字段	类型	复位	说明
7	RESERVED	R	0x0	保留
6	rst_i2c_regs	R/W/SC	0x0	器件复位控制：将所有 I²C 寄存器复位为默认值（自行清除）。
5	rst_i2c_mas	R/W/SC	0x0	复位 I²C 主设备（自行清零）。
4-1	RESERVED	R	0x0	保留
0	frc_eeprm_rd	R/W/SC	0x0	覆盖 MODE 和 READ_EN_N 状态以强制手动加载 EEPROM 配置。

表 6-7. EEPROM_Status 寄存器（偏移 = 0xE3）

位	字段	类型	复位	说明
7	eecfg_cmplt	R	0x0	EEPROM 加载完成。
6	eecfg_fail	R	0x0	EEPROM 加载失败。
5	eecfg_atmpt_1	R	0x0	尝试加载 EEPROM 映像的次数。
4	eecfg_atmpt_0	R	0x0	
3	eecfg_cmplt	R	0x0	EEPROM 加载完成 2。
2	eecfg_fail	R	0x0	EEPROM 加载失败 2。
1	eecfg_atmpt_1	R	0x0	尝试加载 EEPROM 映像 2 的次数。
0	eecfg_atmpt_0	R	0x0	

表 6-8. DEVICE_ID0 寄存器（偏移 = 0xF0）

位	字段	类型	复位	说明
7-4	RESERVED	R	0x0	保留
3	device_id0_3	R	0x0	器件 ID0 [3:1]: 011
2	device_id0_2	R	0x1	
1	device_id0_1	R	0x1	

Copyright © 2024 Texas Instruments Incorporated

表 6-8. DEVICE_ID0 寄存器（偏移 = 0xF0）（续）

位	字段	类型	复位	说明
0	RESERVED	R	X	保留

表 6-9. *DEVICE_ID1 寄存器（偏移 = 0xF1）*

位	字段	类型	复位	说明
7	device_id[7]	R	0x0	器件 ID 0010 1001：TDP2044
6	device_id[6]	R	0x0	
5	device_id[5]	R	0x1	
4	device_id[4]	R	0x0	
3	device_id[3]	R	0x1	
2	device_id[2]	R	0x0	
1	device_id[1]	R	0x0	
0	device_id[0]	R	0x0	

6.5.2.2 通道寄存器

表 6-10. EQ 增益控制寄存器（通道寄存器基址 + 偏移 = 0x01）

位	字段	类型	复位	说明
7	eq_stage1_bypass	读/写	0x0	启用 EQ 1 级 1 旁路： 0：禁用旁路 1：旁路启用
6	eq_stage1_3	读/写	0x0	EQBoost 1 级控制 有关详细信息，请参阅表 6-1
5	eq_stage1_2	读/写	0x0	
4	eq_stage1_1	读/写	0x0	
3	eq_stage1_0	读/写	0x0	
2	eq_stage2_2	读/写	0x0	EQ 升压 2 级控制 有关详细信息，请参阅表 6-1
1	eq_stage2_1	读/写	0x0	
0	eq_stage2_0	读/写	0x0	

表 6-11. EQ 增益/平坦增益控制寄存器（通道寄存器基数 + 偏移 = 0x03）

位	字段	类型	复位	说明
7	RESERVED	R	0x0	保留
6	eq_profile_3	读/写	0x0	EQ 中频升压曲线 有关详细信息，请参阅表 6-1
5	eq_profile_2	读/写	0x0	
4	eq_profile_1	读/写	0x0	
3	eq_profile_0	读/写	0x0	
2	flat_gain_2	读/写	0x1	平坦增益选择： 有关详细信息，请参阅表 6-2
1	flat_gain_1	读/写	0x0	
0	flat_gain_0	读/写	0x1	

表 6-12. TI 测试模式控制寄存器（通道寄存器基址 + 偏移 = 0x04）

位	字段	类型	复位	说明
7-3、1-0	RESERVED	R	0x0	保留
2	TI 测试模式	读/写	0x0	设置 TI 测试模式： 0：测试模式已启用 1：测试模式已禁用。必须设置为“1”才能正常运行。

Copyright © 2024 Texas Instruments Incorporated

表 6-13. PD 覆盖寄存器（通道寄存器基址 + 偏移 = 0x05）

位	字段	类型	复位	说明
7	device_en_override	读/写	0x0	通过 SMBus/I²C 启用断电覆盖 0：手动覆盖被禁用 1：手动覆盖已启用
6-0	device_en	R/W	0x111111	转接驱动器各种通道块的手动断电 – 由 device_en_override = 1 控制 111111：通道中的所有块均启用 000000: 通道中的所有块均禁用

表 6-14. 偏置寄存器（通道寄存器基址 + 偏移 = 0x06）

位	字段	类型	复位	说明
5-3	偏置电流	读/写	0x100	控制偏置电流 设置 001 以获得更高性能
7、6、2-0	保留	读/写	0x00000	被保留

6.5.3 SMBus/I²C 主模式配置（EEPROM 自加载）

TDP2044 也可通过从 EEPROM 读取数据进行配置。要进入此模式，必须将 MODE 引脚设置为 L1。EEPROM 加载操作仅在器件首次上电后发生一次。如果 TDP2044 配置为 SMBus 主模式，它将保持 SMBus IDLE 状态，直到 READ_EN_N 引脚置为低电平。在 READ_EN_N 引脚驱动为低电平后，TDP2044 成为 SMBus 主设备，并尝试通过读取存储在外部 EEPROM（SMBus 8 位地址 0xA0）中的器件设置进行自配置。在 TDP2044 成功从 EEPROM 读取数据后，它会将 DONEn 引脚驱动为低电平。在 EEPROM 读取之前、读取期间或读取之后，该模式提供 SMBus/I²C 从设备运行。请注意，在 EEPROM 读取期间，如果外部 SMBus/I²C 主模式希望访问 TDP2044 寄存器，则外部控制器必须支持仲裁。

当设计系统使用外部 EEPROM 时，用户需要遵照以下特定指南：

- 建议使用 2Kb（256 × 8 位）的 EEPROM 大小。
- 设置 MODE = L1，配置为 SMBus 主模式。
- 外部 EEPROM 器件地址字节必须为 0xA0，并且在 3.3V 电源下能够以 400kHz 的频率运行
- 在 SMBus/I²C 模式下，SCL 和 SDA 引脚必须通过上拉电阻上拉至 3.3V 电源。电阻器的值取决于总线总电容。4.7kΩ 是 10pF 总线电容的良好初始近似值。

可将多个 TDP2044 级联在一起以从单个 EEPROM 读取。将第一个器件的 READ_EN_N 引脚连接至低电平 (GND)，以便在加电时自动启动 EEPROM 读取。第一个器件的 DONEn 可以馈送到具有 4.7kΩ 上拉电阻的下一个器件的 READ_EN_N 中。将最后一个器件的 DONEn 引脚保持悬空，或将该引脚连接到微控制器输入端，来监控最终 EEPROM 读取的完成情况。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TDP2044 是一款高速线性中继器，可扩展因 PCB 和电缆等传输介质损耗而受损的差分通道的覆盖范围。该器件可以部署在各种不同的系统中。以下各节概述了典型应用及其相关的设计注意事项。

7.2 典型应用

TDP2044 是一款具有集成交叉点多路复用器以适应 USB Type-C 插头方向的转接驱动器，可用作 DisplayPort 主链路信号调节器。 TDP2044 可用于源端和接收端应用，如图 7-1 中所示。

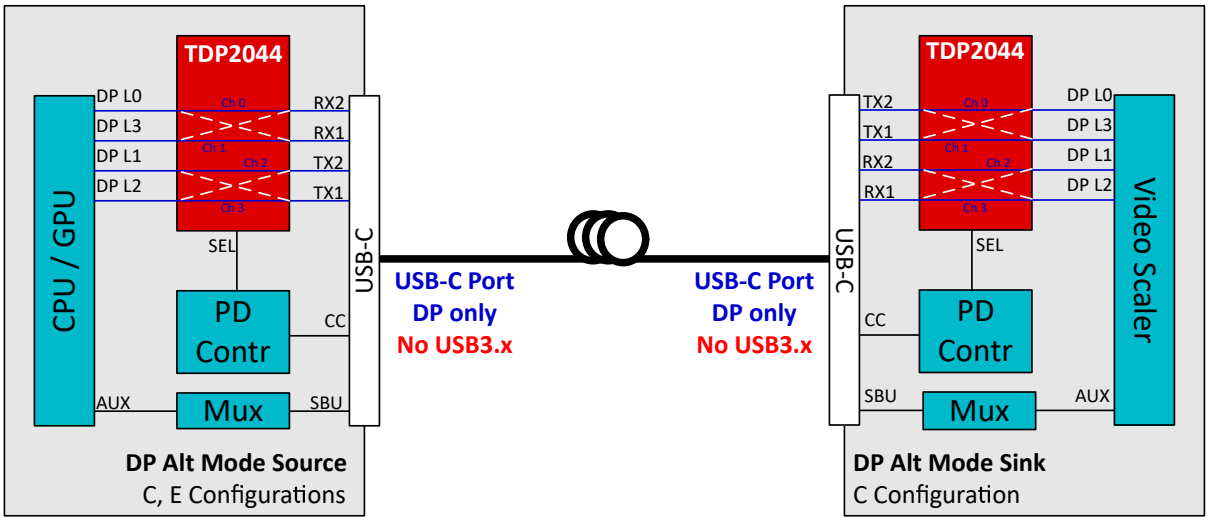


图 7-1. 典型应用

7.2.1 仅 USB Type-C DP 源应用

TDP2044 可用于视频源/接收系统，如 PC 主板、工业 PC、扩展坞、工业显示器/标牌、显示监视器等应用，以增强 DisplayPort 主链路信号，从而可在提供交叉点功能的同时增大源和接收通道的覆盖范围。以下各节概述了典型 DP 2.1 应用的详细过程和设计要求。不过，设计建议也可以用于其他用例。

7.2.1.1 设计要求

与任何高速设计一样，有许多因素会影响总体性能。以下列表指示了设计过程中需要考虑的关键领域。

- 匹配差分线对单端线段的 P 和 N 布线之间的长度。
- 对差分对使用一致的布线宽度和布线间距。
- 将交流耦合电容器放置在靠近每个通道段的接收器端的位置，以尽可能减少反射。
- 建议使用 220nF 的交流耦合电容器。将最大本体尺寸设置为 0402，并在电容器着陆焊盘下方的 GND 平面上添加一个切口镂空，以减少接地的寄生电容。
- 建议使用表面贴装连接器。对于穿孔连接，背钻连接器过孔和信号过孔，以尽可能缩短残桩长度。
- 使用接地参考平面过孔为返回电流提供低电感路径。

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2 详细设计过程

TDP2044 为四个 DP 主链路通道以及 4:4 交叉点（通道重定向）功能提供信号调节。该器件是一款线性转接驱动器，与 DP 链路训练无关。显示源和接收端之间的 DP 链路训练协商通过该器件有效实施。转接驱动器与无源布线、电缆和其他通道元件一起成为电气通道的一部分，从而产生理想的源和接收端参数，进而优化电气链路。图 7-2 显示了使用 TDP2044 在源应用中实现 USB Type-C DP 交替模式的 DisplayPort 应用的简化原理图。USB 电力输送 (PD) 器件根据 USB Type-C 电缆插头位置控制交叉点多路复用器极性信号 SEL。

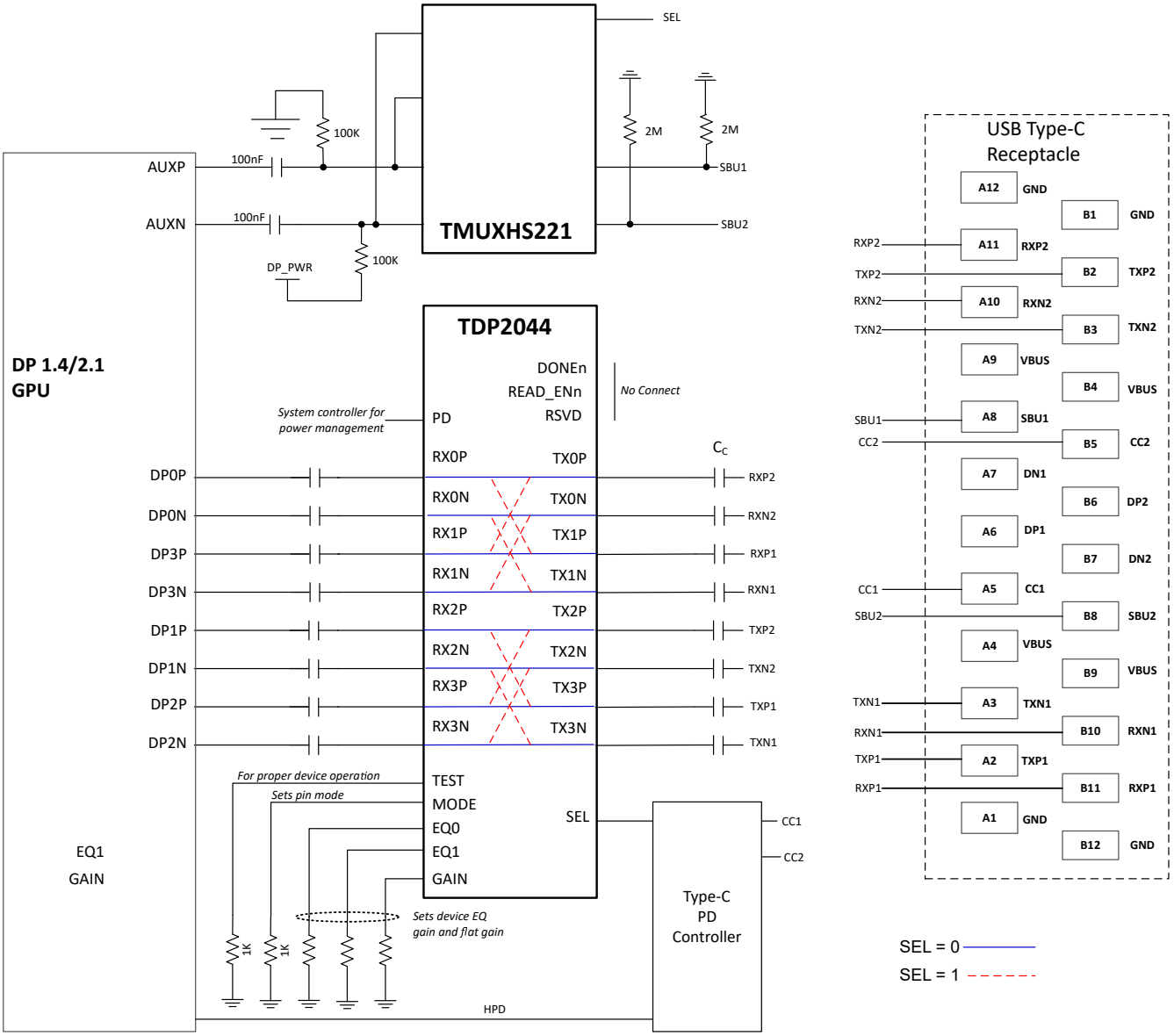


图 7-2. USB-C 交替模式源应用的简化原理图

Copyright © 2024 Texas Instruments Incorporated

备注

DisplayPort 边带信号 AUXp,n 和 HPD 被旁路。一个诸如 TMUXHS221 之类的外部多路复用器可为 SBU 信号提供翻转功能，如图 7-2 中所示。利用 PD 引脚，反相 HPD 信号可用于控制器件待机运行；但必须对 HPD 中断信号进行适当的滤波。

在某些应用中，微控制器或其他链路监控器件具有 DP 链路状态信息，控制器可以使用 TDP2044 的 I^2C 寄存器进行额外的电源管理。

表 7-1 显示了在 SEL = 0 和 SEL = 1 配置下，DP 信号如何路由至源端应用的 USB Type-C 连接器

表 7-1. DP 交替模式源端引脚分配 C 或 E

SEL 引脚	从源端的 DP 通道	TDP2044 RX 引脚	TDP2044 TX 引脚	USB-C 插口引脚
0	DP0P/N	RX0P/N	TX0P/N	RXP/N2
0	DP3P/N	RX1P/N	TX1P/N	RXP/N1
0	DP1P/N	RX2P/N	TX2P/N	TXP/N2
0	DP2P/N	RX3P/N	TX3P/N	TXP/N1
1	DP0P/N	RX0P/N	TX1P/N	RXP/N1
1	DP3P/N	RX1P/N	TX0P/N	RXP/N2
1	DP1P/N	RX2P/N	TX3P/N	TXP/N1
1	DP2P/N	RX3P/N	TX2P/N	TXP/N2

虽然 DP 交替模式接收端实现是类似的，但 TDP2044 不能在同一 DP 接收端板中同时支持配置 C 和 E。如果需要这两种配置，DP 接收端必须处理 DP 信道顺序和极性反转。大多数接收端实现使用表 7-2 中所示的配置 C。

表 7-2. DP 交替模式接收端引脚分配 C

SEL 引脚	USB-C 插口引脚	TDP2044 RX 引脚	TDP2044 TX 引脚	DP 信道至接收端
0	TXP/N2	RX0P/N	TX0P/N	DP0P/N
0	TXP/N1	RX1P/N	TX1P/N	DP3P/N
0	RXP/N2	RX2P/N	TX2P/N	DP1P/N
0	RXP/N1	RX3P/N	TX3P/N	DP2P/N
1	TXP/N1	RX0P/N	TX1P/N	DP0P/N
1	TXP/N2	RX1P/N	TX0P/N	DP3P/N
1	RXP/N1	RX2P/N	TX3P/N	DP1P/N
1	RXP/N2	RX3P/N	TX2P/N	DP2P/N

USB PD 控制器用于与链路伙伴协商 DP 交替模式。USB PD 规范要求连接到 USB Type-C 引脚的 TDP2044 TX/RX 引脚满足 USB 安全状态电气要求。为了满足 USB 安全状态，TDP2044 必须在 PD = H 时进入待机模式。表 7-3 显示了待机模式下的电气特性。

表 7-3. 待机模式下的 TX 和 RX 引脚

参数	待机模式 (PD = H)
Rx CMV	1.4V
Rx 到 GND 的阻抗	230K
TX CMV	0.9V
TX 到 GND 的阻抗	3M

Copyright © 2024 Texas Instruments Incorporated

7.2.1.3 应用曲线

TDP2044 是一款线性转接驱动器，可用于扩展 DP 链路的通道覆盖范围。通过消除数据速率高达 20Gbps (UHBR20) 时的 ISI 确定性抖动，转接驱动器有助于通过合规性测试。图 7-3 - 图 7-6 显示了典型的 DP 2.1 Tx 符合性通道设置以及 TP3_EQ 处有无转接驱动器的符合性眼图。眼图的比较表明，TDP2044 可以通过扩展使眼睛无法通过的水平和垂直眼开口来提供信号调节。

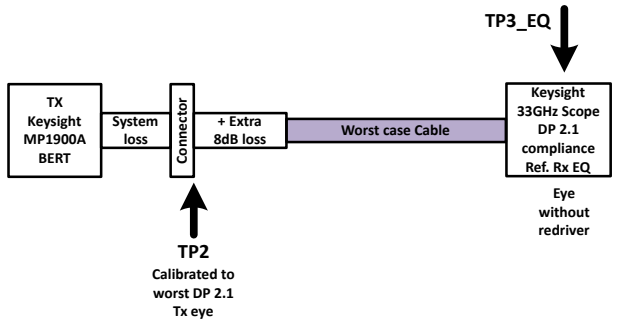


图 7-3. 不带转接驱动器的典型 20Gbps (UHBR20) DP 2.1 Tx 兼容性通道设置

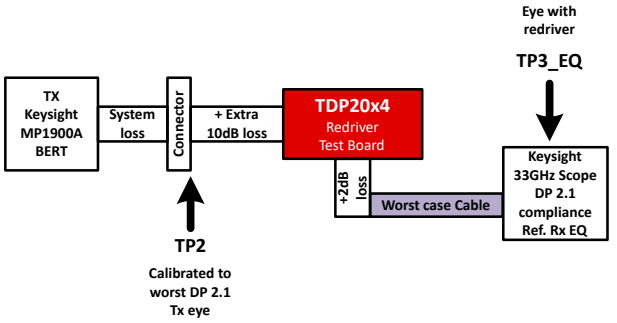


图 7-4. 带转接驱动器的典型 20Gbps (UHBR20) DP 2.1 Tx 兼容性通道设置

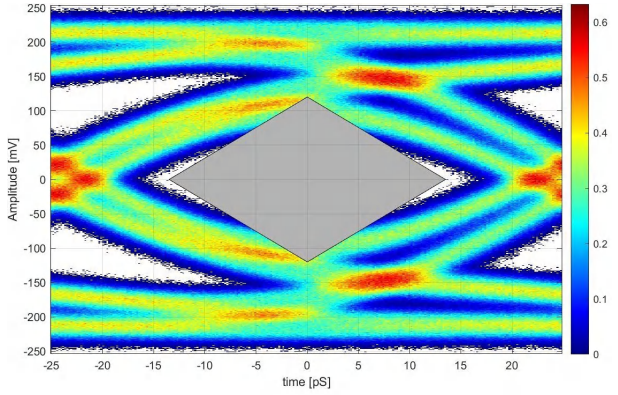


图 7-5. TP3_EQ 处无转接驱动器的 DP 2.1 Tx 符合性眼图

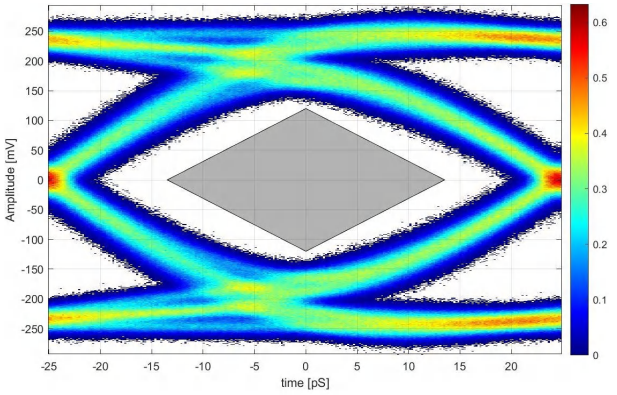


图 7-6. TDP2044 在 TP3_EQ 处用于信号调节的 DP 2.1 Tx 符合性眼图

7.3 电源相关建议

设计电源时请遵循以下通用指南：

1. 在直流电压、交流噪声和启动斜升时间方面，电源应设计为符合“建议运行条件”部分中列出的运行条件。
2. TDP2044 只要满足建议运行条件，即无需进行任何特殊的电源滤波（例如铁氧体磁珠）。仅需要进行标准的电源去耦。典型的电源去耦包括每个 VCC 引脚一个 0.1 µ F 电容器、每个器件一个 1.0 µ F 大容量电容器，以及每个电源总线一个 10 µ F 大容量电容器，可为一个或多个 TDP2044 器件供电。本地去耦 (0.1µF) 电容器必须尽可能靠近 VCC 引脚连接，并尽量缩短与 TDP2044 接地焊盘的连接路径。

Copyright © 2024 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

在设计系统实施布局时，请参考以下指南：

1. 将去耦电容器尽可能靠近 VCC 引脚放置。如果电路板设计允许，建议将去耦电容器放置在器件正下方。
2. 确保高速差分信号 TXnP/TXnN 和 RXnP/RXnN 紧密耦合、实现偏差匹配并通过阻抗控制。
3. 高速差分信号上应尽可能避免过孔。当必须使用过孔时，请务必谨慎操作，通过在大多数层或所有层之间进行转换或背钻孔来更大限度地减少过孔残桩。
4. 可以在高速差分信号焊盘下方使用 GND 消除（但不是必需的），以通过抵消焊盘电容来提高信号完整性。
5. 将 GND 过孔放置在器件正下方，以将器件所连的 GND 平面与其他层的 GND 平面相连。此举进一步提升了器件与电路板之间的导热性能。
6. 有关器件散热焊盘设计建议，请参阅机械制图部分中的焊盘图案示例。

7.4.2 布局示例

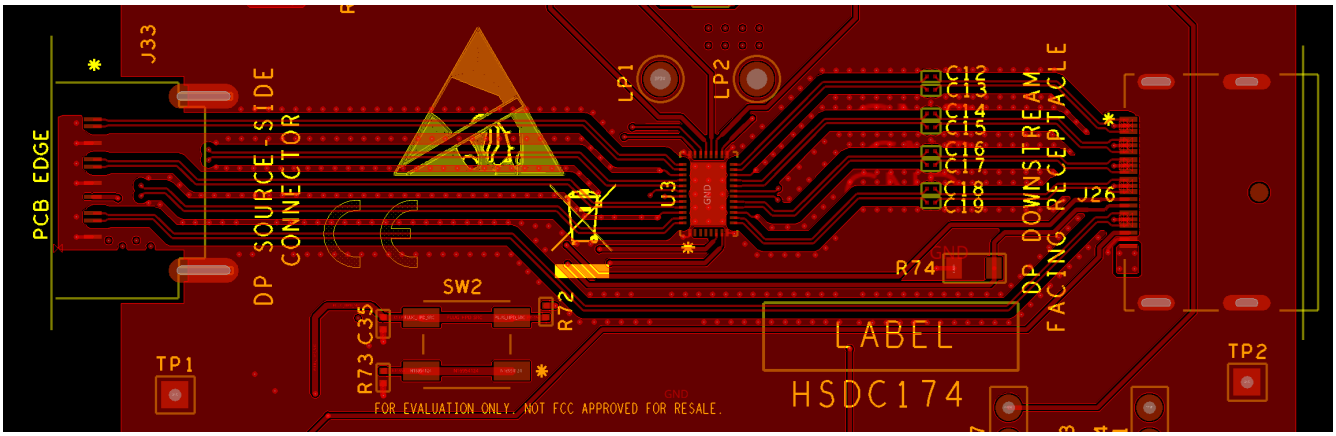


图 7-7. TDP2044 布局示例 – 具有 DP 连接器的 TI 评估板的子部分

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

日期	修订版本	注释
2024 年 6 月	*	初始发行版

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDP2044IRNQR	Active	Production	WQFN (RNQ) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TDP2
TDP2044IRNQR.B	Active	Production	WQFN (RNQ) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TDP2044IRNQR	TDP2
TDP2044IRNQT	Active	Production	WQFN (RNQ) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TDP2
TDP2044IRNQT.B	Active	Production	WQFN (RNQ) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TDP2044IRNQT	TDP2
TDP2044RNQR	Active	Production	WQFN (RNQ) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TDP2
TDP2044RNQR.B	Active	Production	WQFN (RNQ) | 40	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TDP2044RNQR	TDP2
TDP2044RNQT	Active	Production	WQFN (RNQ) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TDP2
TDP2044RNQT.B	Active	Production	WQFN (RNQ) | 40	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	See TDP2044RNQT	TDP2

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

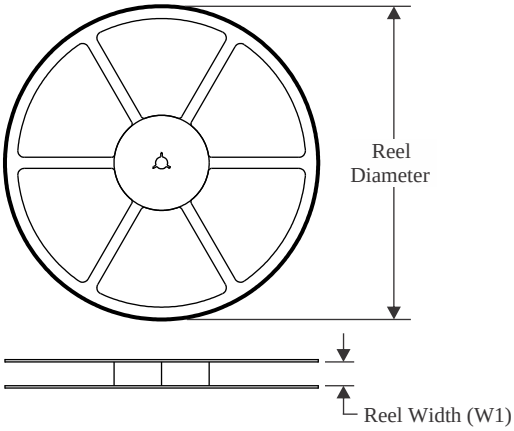
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

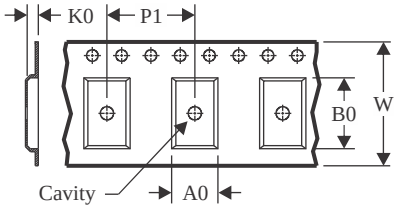
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

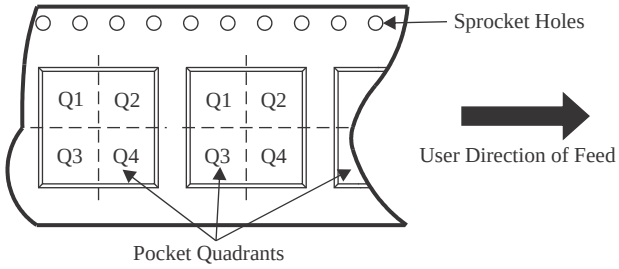


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

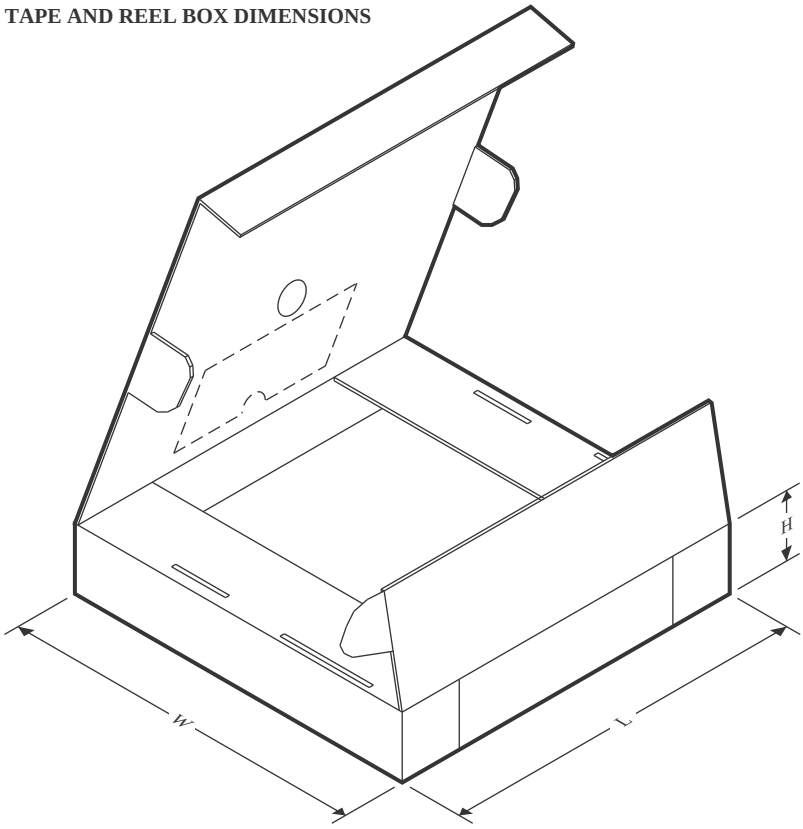
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDP2044IRNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TDP2044IRNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TDP2044RNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TDP2044RNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

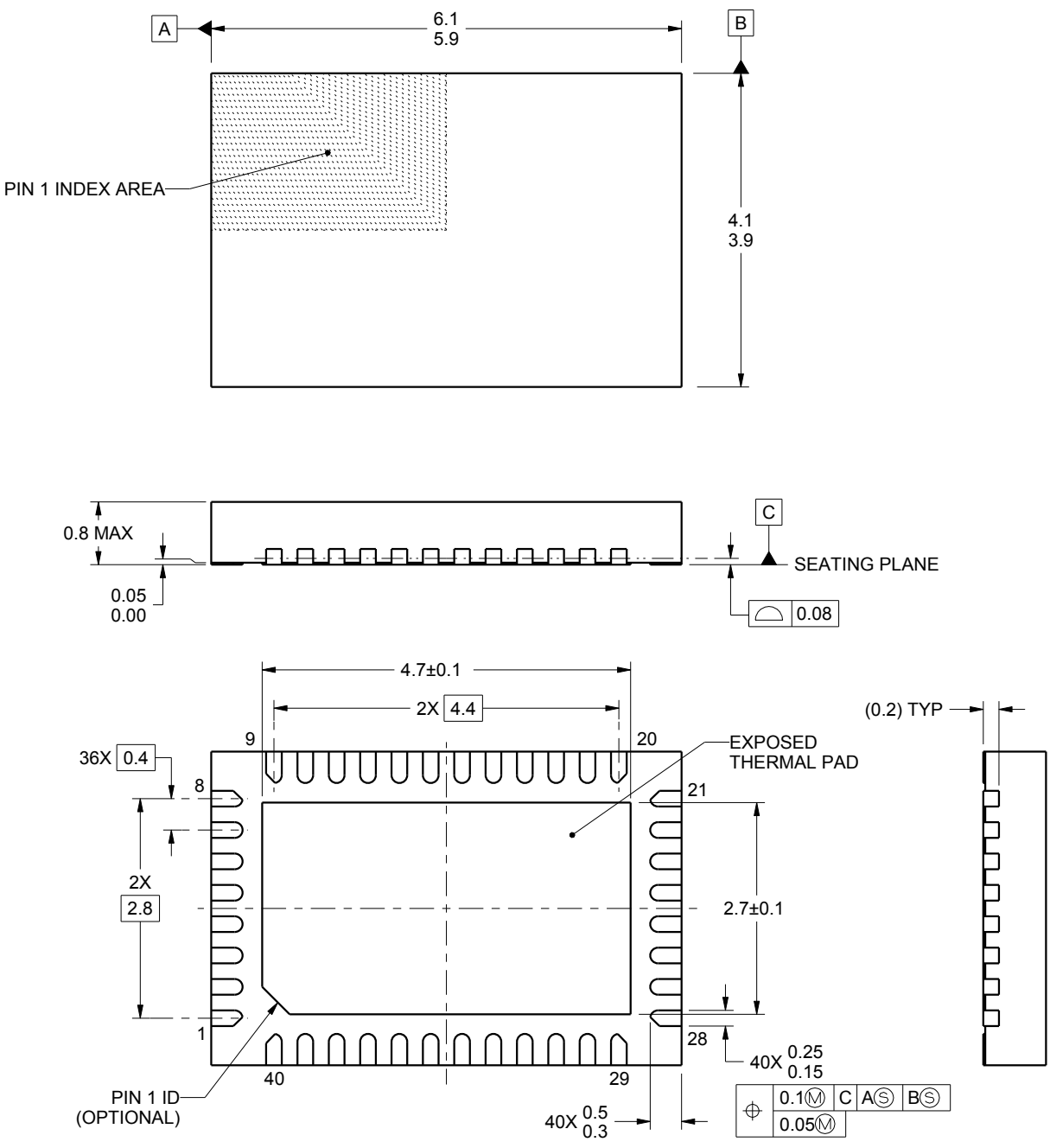
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDP2044IRNQR	WQFN	RNQ	40	3000	360.0	360.0	36.0
TDP2044IRNQT	WQFN	RNQ	40	250	210.0	185.0	35.0
TDP2044RNQR	WQFN	RNQ	40	3000	360.0	360.0	36.0
TDP2044RNQT	WQFN	RNQ	40	250	210.0	185.0	35.0

PACKAGE OUTLINE

RNQ0040A

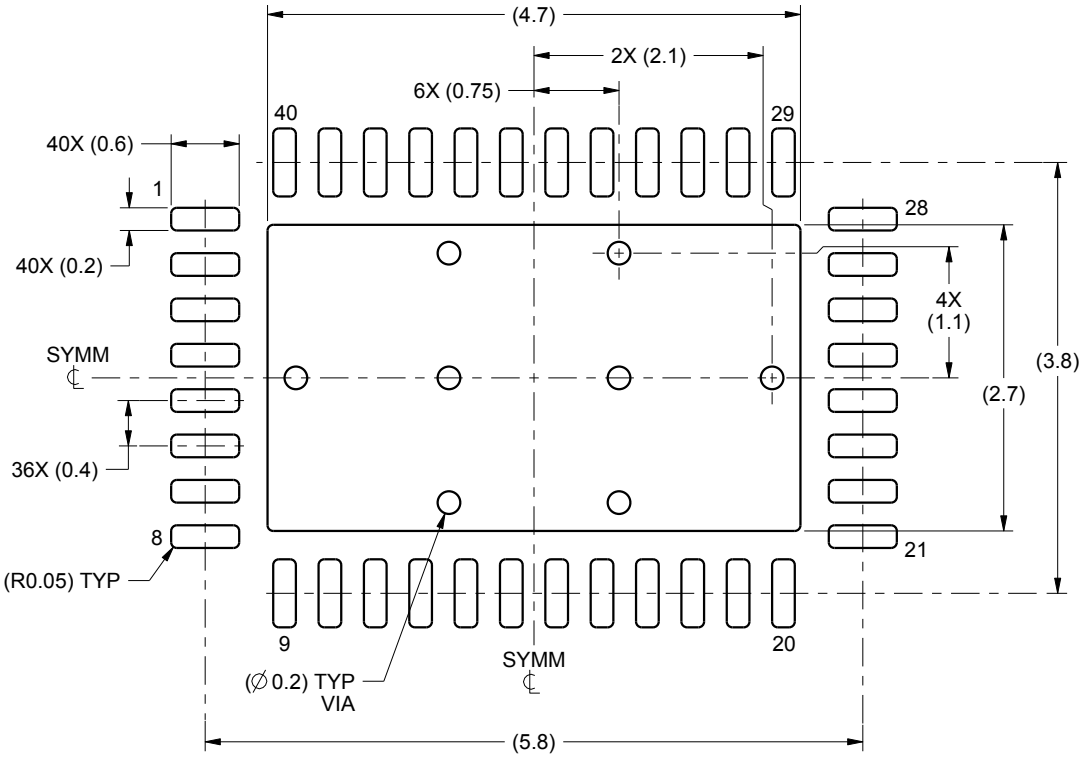
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

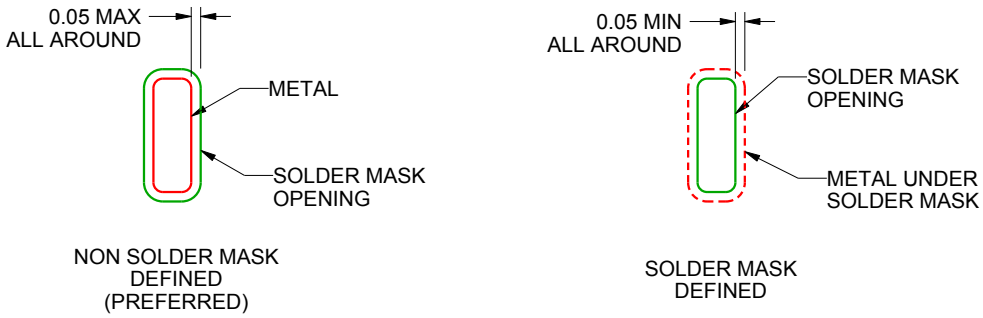


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:15X

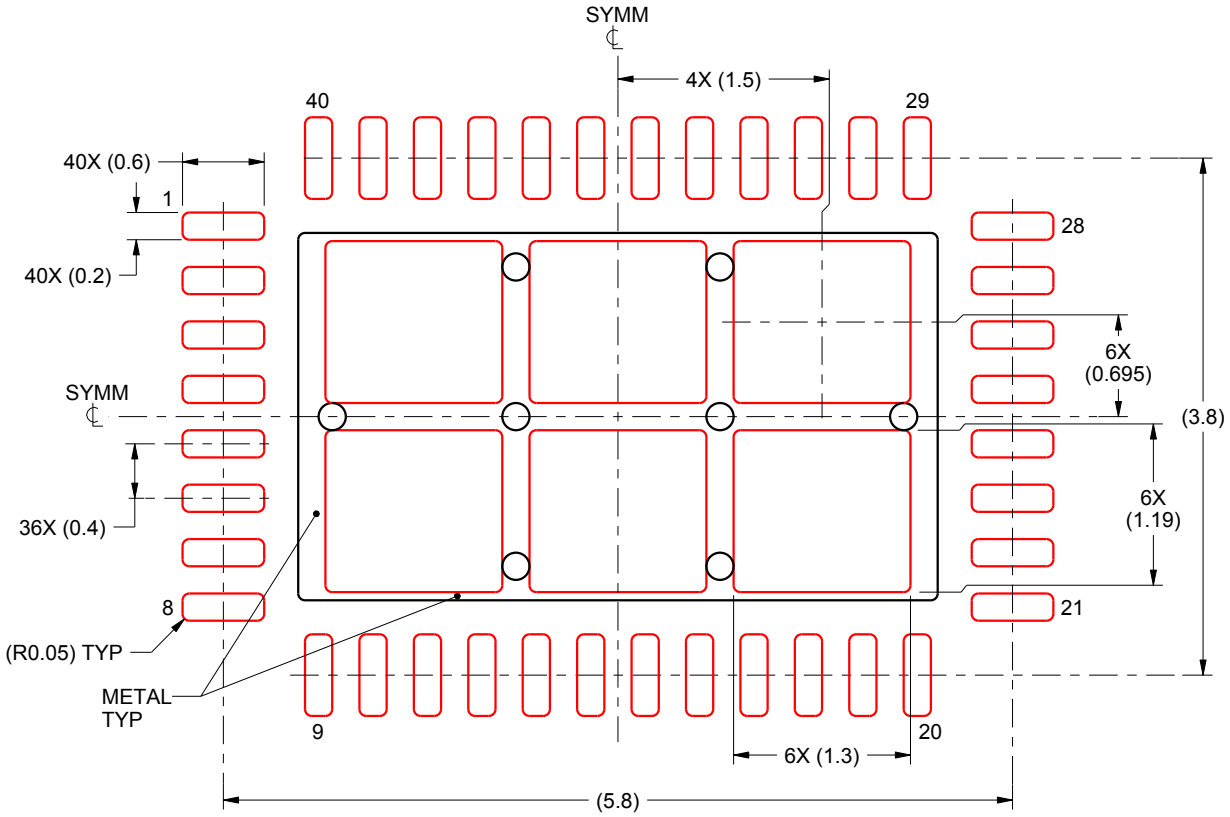


SOLDER MASK DETAILS

4222125/B 01/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD
73% PRINTED SOLDER COVERAGE BY AREA
SCALE:18X

4222125/B 01/2016

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月