

TCAN1472-Q1 具有信号改善功能 (SIC)、待机模式和故障保护功能的汽车级 CAN FD 收发器

1 特性

- AEC Q100 (1 级) : 符合汽车应用要求
- **功能安全型**
 - 可提供用于功能安全系统设计的文档
- 符合 ISO 11898-2:2024 标准的要求, 包括附件 A 的 CAN SIC 规范
- 支持传统 CAN 和 CAN FD (高达 8Mbps)
 - 通过减少复杂拓扑中的振铃, 积极改善总线信号
 - 向后兼容, 可用于传统 CAN 网络
- V_{IO} 电平转换支持: 1.7V 至 5.5V
- 工作模式
 - 正常模式
 - 支持远程唤醒请求功能的低功耗待机模式
- 未供电时具有无源行为
 - 总线和逻辑终端处于高阻态 (运行总线或应用上无负载)
 - 支持热插拔: 在总线和 RXD 输出上可实现上电/断电无干扰运行
 - 定义了浮动逻辑引脚和电源欠压情况下的器件行为
- 保护特性
 - 总线引脚上提供 IEC ESD 保护
 - $\pm 58V$ CAN 总线容错
 - V_{CC} 和 V_{IO} (仅限 V 型号) 电源终端具有欠压保护
 - TXD 显性状态超时 (TXD DTO)
 - 热关断保护 (TSD)
- 采用 SOIC (8)、小型 SOT-23 (8) 和无引线 VSON (8) 封装, 具有可湿性侧面, 提高了自动光学检测 (AOI) 能力

2 应用

- 汽车网关
- 高级驾驶辅助系统 (ADAS)
- 车身电子装置和照明
- 混合动力、电动和动力总成系统
- 汽车信息娱乐系统与仪表组

3 说明

TCAN1472-Q1 是高速控制器局域网 (CAN) SIC 收发器, 满足 ISO 11898-2:2024 附件 A 信号改善功能 (SIC) 规范对物理层的要求。这些器件可减少显性到隐性边缘的信号振铃, 并能在复杂的网络拓扑中实现更高的吞吐量。借助信号改善功能, 许多应用能够在具有多个无端桩线的大型网络中以 2Mbps、5Mbps 甚至更高的速率工作, 从而发挥 CAN FD (灵活数据速率) 的真正优势。

这些器件满足 ISO 11898-2:2024 附件 A SIC 规范要求的时序规范, 因此与普通的 CAN FD 收发器相比, 具有更严格的位时序对称性。这提供了更大的时序窗口来对正确的位进行采样, 并能够在固有振铃和位失真的大型复杂星形网络中实现无差错通信。

这些器件与 TCAN1044A-Q1 或 TCAN1042-Q1 等 8 引脚 CAN FD 收发器引脚兼容。

以“V”为后缀的 TCAN1472-Q1 器件具有通过 V_{IO} 逻辑电源端子实现的内部逻辑电平转换功能, 允许直接连接到 1.8V、2.5V 或 3.3V 控制器。这些收发器支持低功耗待机模式, 允许通过 CAN 总线 (符合 ISO 11898-2:2024 定义的唤醒模式 (WUP)) 实现远程唤醒。该器件系列还包括许多保护功能, 例如欠压检测、热关断 (TSD)、驱动器显性超时 (TXD DTO) 和 $\pm 58V$ 总线故障保护。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TCAN1472-Q1	SOT-23 (DDF)	2.9mm x 2.8mm
	VSON (DRB)	3mm x 3mm
	SOIC (D)	4.9mm x 6mm

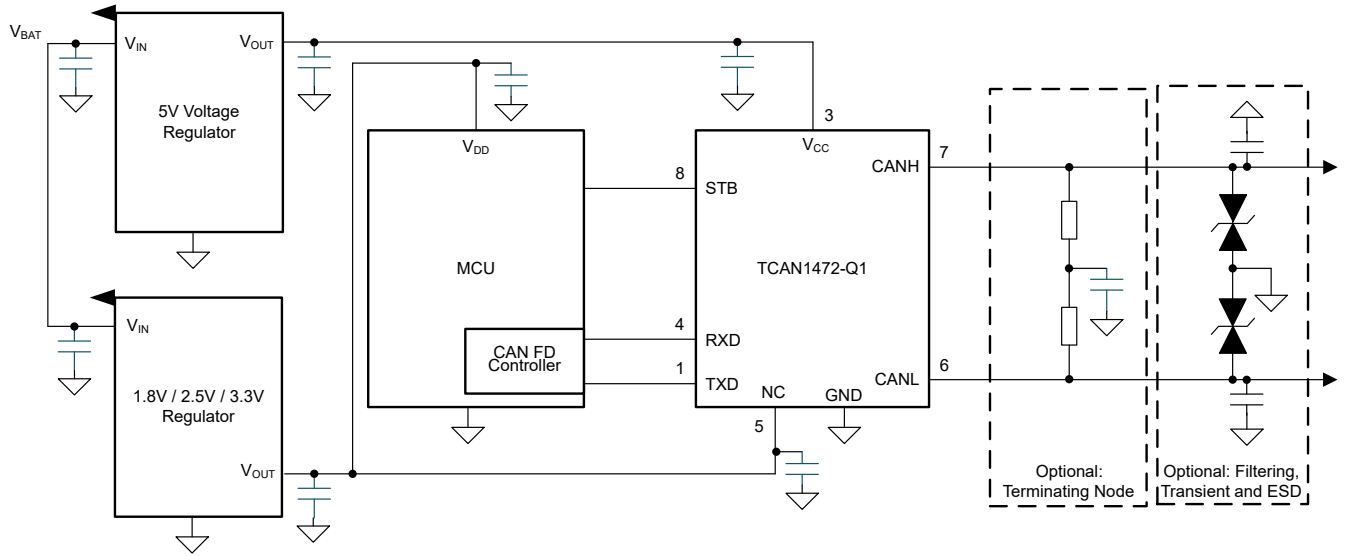
(1) 有关更多信息, 请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



器件比较表

器件编号	总线故障保护	引脚 5 上支持低电压 I/O 逻辑	引脚 8 模式选择
TCAN1472-Q1	±58V	否	具有远程唤醒功能的低功耗待机模式
TCAN1472V-Q1	±58V	是	



简化版方框图

内容

1 特性	1	7.2 功能方框图	20
2 应用	1	7.3 特性说明	21
3 说明	1	7.4 器件功能模式	24
4 引脚配置和功能	4	8 应用和实施	27
5 规格	5	8.1 应用信息	27
5.1 绝对最大额定值.....	5	8.2 典型应用	27
5.2 ESD 等级.....	5	8.3 系统示例	30
5.3 ESD 等级 (IEC 瞬态)	5	8.4 电源相关建议	30
5.4 建议运行条件.....	6	8.5 布局	31
5.5 热特性.....	6	9 器件和文档支持	32
5.6 电源特性.....	6	9.1 接收文档更新通知	32
5.7 功耗额定值.....	7	9.2 支持资源	32
5.8 电气特性.....	7	9.3 商标	32
5.9 开关特性.....	10	9.4 静电放电警告	32
5.10 典型特性.....	14	9.5 术语表	32
6 参数测量信息	16	10 修订历史记录	32
7 详细说明	19	11 机械、封装和可订购信息	32
7.1 概述.....	19		

4 引脚配置和功能

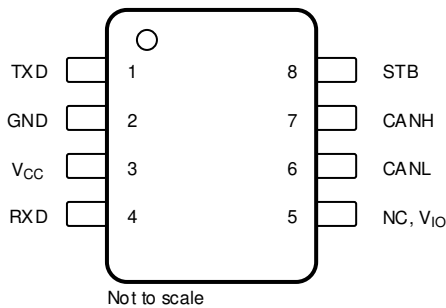


图 4-1. SOIC (D) 和 SOT-23 (DDF) 封装，8 引脚
(顶视图)

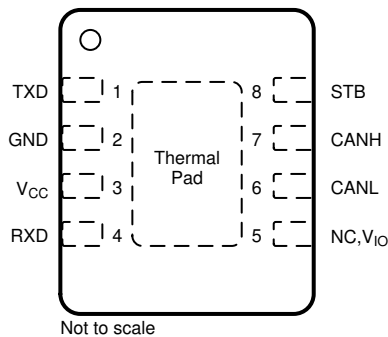


图 4-2. VSON (DRB) 封装，8 引脚
(顶视图)

表 4-1. 引脚功能

引脚		类型	说明
名称	编号		
TXD	1	数字输入	CAN 发送数据输入，集成上拉电阻
GND	2	GND	地
V _{CC}	3	电源	5V 电源电压
RXD	4	数字输出	CAN 接收数据输出，断电时三态
V _{IO}	5	电源	逻辑电源电压
NC		--	无连接（未内部连接）；无 V _{IO} 的器件
CANL	6	总线 IO	低电平 CAN 总线输入/输出线路
CANH	7	总线 IO	高电平 CAN 总线输入/输出线路
STB	8	数字输入	待机模式控制输入，集成上拉电阻
散热焊盘（仅限 VSON）	—		电气连接至 GND，将散热焊盘连接至印刷电路板 (PCB) 接地平面以实现散热

5 规格

5.1 绝对最大额定值

(1) (2)

		最小值	最大值	单位
V_{CC}	电源电压	-0.3	6	V
V_{IO}	电源电压 I/O 电平转换器 (带“V”后缀的器件)	-0.3	6	V
V_{BUS}	CANH 和 CANL 上的 CAN 总线 I/O 电压范围	-58	58	V
V_{DIFF}	CANH 和 CANL 之间的最大差分电压 $V_{DIFF} = (CANH - CANL)$	-45	45	V
V_{Logic_Input}	逻辑引脚输入电压 (TXD、STB)	-0.3	6	V
V_{RXD}	逻辑输出电压范围 (RXD)	-0.3	6	V
$I_{O(RXD)}$	RXD 输出电流	-8	8	mA
T_J	结温	-40	165	°C
T_{STG}	贮存温度	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用,器件可能不会完全正常运行,这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 除差分 I/O 总线电压外的所有电压值都是相对于接地引脚的值。

5.2 ESD 等级

			值	单位
V_{ESD}	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±4000	V
		CANH 和 CANL, 以 GND 为基准	±10000	V
		充电器件模型 (CDM), 所有引脚都符合 AEC Q100-011	±750	V

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 ESD 等级 (IEC 瞬态)

				值	单位
V _{ESD}	系统级静电放电	CAN 总线引脚 (CANH、CANL) 到 GND	SAE J2962-2 (根据 ISO 10605) 供电接触放电	±8000	V
			SAE J2962-2 (根据 ISO 10605) 供电空气放电	±15000	V
			IEC 62228-3 (根据 ISO 10605)	±8000	V
V _{Tran}	ISO 7637-2 瞬态抗扰度 ⁽¹⁾		脉冲 1	-100	V
			脉冲 2a	75	V
			脉冲 3a	-150	V
		Pulse 3b	100	V	
	直接电容器耦合，SAE J2962-2 (根据 ISO 7637-3) ⁽²⁾	DCC 慢速瞬态脉冲	±30	V	

- (1) 根据 IEC 62228-3:2019 CAN 收发器第 6.3 节进行了测试;采用 ISO 7637-2 (2011) 中定义的标准脉冲参数
- (2) 根据 SAE J2962-2 进行了测试

5.4 建议运行条件

		最小值	标称值	最大值	单位
V_{CC}	电源电压	4.5	5	5.5	V
V_{IO}	I/O 电平转换器的电源电压 (有 V_{IO} 的器件)	1.7		5.5	V
$I_{OH}(RXD)$	RXD 端子高电平输出电流	-1.5			mA
$I_{OL}(RXD)$	RXD 端子低电平输出电流			1.5	mA
T_J	结温	-40		150	°C

5.5 热特性

热指标 ⁽¹⁾		TCAN1472(V)-Q1			单位
		D (SOIC)	DDF (SOT)	DRB (VSON)	
$R_{\theta JA}$	结至环境热阻	113.6	129.2	52.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	52.5	55.0	58.4	°C/W
$R_{\theta JB}$	结至电路板热阻	61.1	48.1	24.7	°C/W
Ψ_{JT}	结至顶部特征参数	7.4	1.7	1.7	°C/W
Ψ_{JB}	结至电路板特征参数	60.2	47.9	24.6	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	-	-	8.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

5.6 电源特性

除非另有说明，否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ (对于有 V_{IO} 的器件) 且器件环境温度保持在 27°C 条件下的值)

参数		测试条件		最小值	典型值	最大值	单位
I_{CC}	电源电流, 正常模式	显性	TXD = 0V, STB = 0V $R_L = 60\ \Omega$, C_L = 开路 请参阅图 6-1		50	70	mA
		显性	TXD = 0V, STB = 0V $R_L = 50\ \Omega$, C_L = 开路 请参阅图 6-1		55	80	mA
		隐性	TXD = V_{IO} , STB = 0V $R_L = 50\ \Omega$, C_L = 开路 请参阅图 6-1		7	11	mA
		显性, 存在总线故障	TXD = 0V, STB = 0V CANH = CANL = $\pm 25\text{V}$ R_L = 开路, C_L = 开路 请参阅图 6-1			130	mA
	电源电流待机模式 (有 V_{IO} 的器件)	TXD = STB = V_{IO} , $R_L = 50\ \Omega$, C_L = 开路, $T_J \leq 85^{\circ}\text{C}$, 请参阅图 6-1				1	μA
		TXD = STB = V_{IO} , $R_L = 50\ \Omega$, C_L = 开路, $T_J \leq 125^{\circ}\text{C}$, 请参阅图 6-1			0.2	2	
		TXD = STB = V_{IO} , $R_L = 50\ \Omega$, C_L = 开路, $T_J \leq 150^{\circ}\text{C}$, 请参阅图 6-1				5	
	电源电流待机模式 (无 V_{IO} 的器件)	TXD = STB = V_{CC} , $R_L = 50\ \Omega$, C_L = 开路, $T_J \leq 85^{\circ}\text{C}$, 请参阅图 6-1				15	μA
		TXD = STB = V_{CC} , $R_L = 50\ \Omega$, C_L = 开路, $T_J \leq 125^{\circ}\text{C}$, 请参阅图 6-1				16	
		TXD = STB = V_{CC} , $R_L = 50\ \Omega$, C_L = 开路, $T_J \leq 150^{\circ}\text{C}$, 请参阅图 6-1				21	

5.6 电源特性 (续)

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ (对于有 V_{IO} 的器件) 且器件环境温度保持在 27°C 条件下的值)

参数		测试条件		最小值	典型值	最大值	单位
I_{IO} 有 V_{IO} 的器件	I/O 电源电流, 正常模式	显性	TXD = 0V, STB = 0V $R_L = 60\ \Omega$, C_L = 开路 RXD 悬空		125	300	μA
		隐性	TXD = V_{IO} , STB = 0V $R_L = 60\ \Omega$, C_L = 开路 RXD 悬空		25	48	μA
	I/O 电源电流, 待机模式		TXD = V_{IO} , STB = V_{IO} $R_L = 60\ \Omega$, C_L = 开路 RXD 悬空, $T_J \leq 85^{\circ}\text{C}$			13.5	μA
			TXD = V_{IO} , STB = V_{IO} $R_L = 60\ \Omega$, C_L = 开路 RXD 悬空, $T_J \leq 125^{\circ}\text{C}$		8.5	15	
			TXD = V_{IO} , STB = V_{IO} $R_L = 60\ \Omega$, C_L = 开路 RXD 悬空, $T_J \leq 150^{\circ}\text{C}$			16	
$UV_{CC(R)}$	V_{CC} 上升时的欠压检测	斜升			4.2	4.4	V
$UV_{CC(F)}$	V_{CC} 下降时的欠压检测	斜降		3.5	4		V
$UV_{IO(R)}$	V_{IO} 上升时的欠压检测 (有 V_{IO} 的器件)	斜升			1.6	1.65	V
$UV_{IO(F)}$	V_{IO} 下降时的欠压检测 (有 V_{IO} 的器件)	斜降		1.4	1.5		V

5.7 功耗额定值

参数		测试条件	最小值	典型值	最大值	单位
P_D	平均功耗, 正常模式	$V_{CC} = 5\text{V}$, $V_{IO} = 3.3\text{V}$, $T_J = 27^{\circ}\text{C}$, $R_L = 60\ \Omega$, $C_{L\_RXD} = 15\text{pF}$ TXD 输入 = 250kHz 50% 占空比方波		60		mW
		$V_{CC} = 5.5\text{V}$, $V_{IO} = 5.5\text{V}$, $T_J = 150^{\circ}\text{C}$, $R_L = 50\ \Omega$, $C_{L\_RXD} = 15\text{pF}$ TXD 输入 = 2.5 MHz 50% 占空比方波		120		mW
T_{TSD}	热关断温度			192		$^{\circ}\text{C}$
T_{TSD_HYS}	热关断迟滞			10		

5.8 电气特性

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数			测试条件	最小值	典型值	最大值	单位
驱动器电气特性							
V _{CANH(D)}	显性输出电压, 正常模式	CANH	V _{CC} = 4.75V 至 5.25V, TXD = 0V, STB = 0V 45 Ω ≤ R _L ≤ 65 Ω, C _L = 开路。 请参阅 图 6-2 和图 7-5	3	3.5	4.26	V
V _{CANL(D)}		CANL		0.75	1.5	2.01	V
V _{CANH(D)}	显性输出电压, 正常模式	CANH	V _{CC} = 4.5V 至 5.5V, TXD = 0V, STB = 0V 50Ω ≤ R _L ≤ 65Ω, C _L = 开路, 请参阅图 6-2 和图 7-5	2.75	3.5	4.5	V
V _{CANL(D)}		CANL		0.5	1.5	2.25	V
V _{CANH(R)} 、 V _{CANL(R)}	隐性输出电压, 正常模式	CANH 和 CANL	V _{CC} = 4.75V 至 5.25V, TXD = V _{IO} , STB = 0V 45Ω ≤ R _L ≤ 65Ω, C _L = 开路, 请参阅图 6-2 和图 7-5	2.256		2.756	V
V _{CANH(R)} 、 V _{CANL(R)}	隐性输出电压, 正常模式	CANH 和 CANL	V _{CC} = 4.5V 至 5.5V, TXD = V _{IO} , STB = 0V R _L = 开路 (无负载), C _L = 开路, 请参阅图 6-2 和图 7-5	2	2.5	3	V

5.8 电气特性 (续)

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数			测试条件	最小值	典型值	最大值	单位
V _{SYM}	驱动器对称性 (V _{O(CANH)} + V _{O(CANL)})/(V _{CANH(R)} + V _{CANL(R)})		V _{CC} = 4.75V 至 5.25V, TXD = 250kHz、1MHz、2.5MHz, STB = 0V 45Ω ≤ R _L ≤ 65Ω, C _{SPLIT} = 4.7nF, C _L = 开路, 请参阅图 6-2 和图 8-2	0.95		1.05	V/V
			V _{CC} = 4.5V 至 5.5V, TXD = 250kHz、1MHz、2.5MHz, STB = 0V 45Ω ≤ R _L ≤ 65Ω, C _{SPLIT} = 4.7nF, C _L = 开路, 请参阅图 6-2 和图 8-2	0.9		1.1	V/V
V _{DIFF(D)}	差分输出电压, 正常模式 显性	CANH - CANL	V _{CC} = 4.75V 至 5.25V, TXD = 0V, STB = 0V 45Ω ≤ R _L ≤ 65Ω, C _L = 开路, 请参阅图 6-2 和图 7-5	1.5		3	V
			V _{CC} = 4.75V 至 5.25V, TXD = 0V, STB = 0V 45Ω ≤ R _L ≤ 70Ω, C _L = 开路。 请参阅图 6-2 和图 7-5	1.5		3.3	V
			V _{CC} = 4.5V 至 5.5V, TXD = 0V, STB = 0V 50Ω ≤ R _L ≤ 65Ω, C _L = 开路, 请参阅图 6-2 和图 7-5	1.5		3	V
			V _{CC} = 4.5V 至 5.5V, TXD = 0V, STB = 0V 45Ω ≤ R _L ≤ 70Ω, C _L = 开路, 请参阅图 6-2 和图 7-5	1.4		3.3	V
			TXD = 0V, STB = 0V R _L = 2240Ω, C _L = 开路, 请参阅图 6-2 和图 7-5	1.5		5	V
V _{DIFF(R)}	差分输出电压, 正常模式 显性	CANH - CANL	TXD = V _{IO} , STB = 0V 45Ω ≤ R _L ≤ 65Ω, C _L = 开路, 请参阅图 6-2 和图 7-5	-50		50	mV
	差分输出电压, 正常模式 显性		TXD = V _{IO} , STB = 0V R _L = 开路, C _L = 开路, 请参阅图 6-2 和图 7-5	-50		50	mV
V _{CANH(INACT)}	总线输出电压, 待机模式	CANH	TXD = STB = V _{IO} R _L = 开路, C _L = 开路, 请参阅图 6-2 和图 7-5	-0.1		0.1	V
V _{CANL(INACT)}		CANL		-0.1		0.1	V
V _{DIFF(INACT)}		CANH - CANL		-0.2		0.2	V
R _{DIFF(DOM)}	显性阶段中的差分输入电阻		TXD = 0V, STB = 0V, 请参阅图 7-2		40		Ω
R _{SE_SIC_ACT_REC}	主动隐性阶段中的单端电阻 CANH/CANL		V _{CC} = 4.75V 至 5.25V, 2V ≤ V _{CANH/L} ≤ V _{CC} - 2V	37.5	50	66.5	Ω
R _{DIFF_ACT_REC}	主动隐性阶段中的差分输入电阻		V _{CC} = 4.75V 至 5.25V, 2V ≤ V _{CANH/L} ≤ V _{CC} - 2V	75	100	133	Ω
I _{CANH(OS)}	短路总线输出电流, TXD 处于显性或隐性状态或正在切换, 正常模式		V _(CANH) = -15V 至 40V, CANL = 开路, TXD = 0V 或 V _{IO} 或 250kHz、2.5MHz 方波, 请参阅图 6-7 和图 7-5	-115		115	mA
I _{CANL(OS)}			V _(CANL) = -15V 至 40V, CANH = 开路, TXD = 0V 或 V _{IO} 或 250kHz、2.5MHz 方波, 请参阅图 6-7 和图 7-5	-115		115	mA
接收器电气特性							
V _{IT}	输入阈值电压, 待机模式		-12V ≤ V _{CM} ≤ 12V, STB = 0V, 请参阅图 6-3 和图 7-6	500		900	mV
V _{IT(STB)}	输入阈值电压, 待机模式		-12V ≤ V _{CM} ≤ 12V, STB = V _{IO} , 请参阅图 6-3 和图 7-6	400		1150	mV

5.8 电气特性 (续)

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数	测试条件	最小值	典型值	最大值	单位
$V_{\text{DIFF\_RX(D)}}$	正常模式显性状态差分输入电压范围 $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$, $\text{STB} = 0\text{V}$, 请参阅图 6-3 和图 7-6	0.9		9	V
$V_{\text{DIFF\_RX(R)}}$	正常模式隐性状态差分输入电压范围 $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$, $\text{STB} = 0\text{V}$, 请参阅图 6-3 和图 7-6	-4		0.5	V
$V_{\text{DIFF\_RX(D\_IN\_ACT)}}$	待机模式显性状态差分输入电压范围 $\text{STB} = V_{\text{IO}}$, $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$, 请参阅图 6-3 和图 7-6	1.15		9	V
$V_{\text{DIFF\_RX(R\_IN\_ACT)}}$	待机模式隐性状态差分输入电压范围 $\text{STB} = V_{\text{IO}}$, $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$, 请参阅图 6-3 和图 7-6	-4		0.4	V
V_{HYS}	输入阈值迟滞电压, 正常模式 $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$, $\text{STB} = 0\text{V}$, 请参阅图 6-3 和图 7-6		100		mV
V_{CM}	共模范围, 正常模式和待机模式 请参阅图 6-3 和图 7-6	-12		12	V
$I_{\text{LKG(OFF)}}$	未供电总线输入漏电流 $\text{CANH} = \text{CANL} = 5\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = \text{GND}$			5	μA
C_{I}	对地输入电容 (CANH 或 CANL) $\text{TXD} = V_{\text{IO}}$			20	pF
C_{ID}	总线端子上的差分输入电容			10	pF
$R_{\text{DIFF\_PAS\_REC}}$	被动隐性阶段中的差分输入电阻 $\text{TXD} = V_{\text{IO}}$, $\text{STB} = 0\text{V} - 12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$, $\Delta V / \Delta I$	40		90	k Ω
$R_{\text{SE\_PAS\_REC}}$	被动隐性阶段中的单端输入电阻 (CANH 或 CANL)	20		45	k Ω
m_{R}	输入电阻匹配 $[1 - (R_{\text{IN(CANH)}} / R_{\text{IN(CANL)}})] \times 100\%$ $V_{\text{(CAN\_H)}} = V_{\text{(CAN\_L)}} = 5\text{V}$	-1		1	%
TXD 端子 (CAN 发送数据输入)					
V_{IH}	高电平输入电压 无 V_{IO} 的器件	0.7 V_{CC}			V
V_{IH}	高电平输入电压 有 V_{IO} 的器件	0.7 V_{IO}			V
V_{IL}	低电平输入电压 无 V_{IO} 的器件			0.3 V_{CC}	V
V_{IL}	低电平输入电压 有 V_{IO} 的器件			0.3 V_{IO}	V
I_{IH}	高电平输入漏电流 $\text{TXD} = V_{\text{CC}} = V_{\text{IO}} = 5.5\text{V}$	-2.5	0	1	μA
I_{IL}	低电平输入漏电流 $\text{TXD} = 0\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = 5.5\text{V}$	-200	-100	-20	μA
$I_{\text{LKG\_TXD(OFF)}}$	未供电时的漏电流 $\text{TXD} = 5.5\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
$C_{\text{I\_TXD}}$	输入电容		6		pF
RXD 端子 (CAN 接收数据输出)					
V_{OH}	高电平输出电压 无 V_{IO} 的器件 $I_{\text{O}} = -1.5\text{mA}$, 请参阅图 6-3	0.8 V_{CC}			V
V_{OH}	高电平输出电压 $I_{\text{O}} = -1.5\text{mA}$, 有 V_{IO} 的器件 请参阅图 6-3	0.8 V_{IO}			V
V_{OL}	低电平输出电压 无 V_{IO} 的器件 $I_{\text{O}} = 1.5\text{mA}$, 请参阅图 6-3			0.2 V_{CC}	V
V_{OL}	低电平输出电压 有 V_{IO} 的器件 $I_{\text{O}} = 1.5\text{mA}$, 有 V_{IO} 的器件 请参阅图 6-3			0.2 V_{IO}	V
$I_{\text{LKG\_RXD(OFF)}}$	未供电时的漏电流 $\text{RXD} = 5.5\text{V}$, $V_{\text{CC}} = V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
STB 端子 (待机模式输入)					
V_{IH}	高电平输入电压 无 V_{IO} 的器件	0.7 V_{CC}			V
V_{IH}	高电平输入电压 有 V_{IO} 的器件	0.7 V_{IO}			V
V_{IL}	低电平输入电压 无 V_{IO} 的器件			0.3 V_{CC}	V
V_{IL}	低电平输入电压 有 V_{IO} 的器件			0.3 V_{IO}	V
I_{IH}	高电平输入漏电流 $V_{\text{CC}} = V_{\text{IO}} = \text{STB} = 5.5\text{V}$	-2		2	μA
I_{IL}	低电平输入漏电流 $V_{\text{CC}} = V_{\text{IO}} = 5.5\text{V}$, $\text{STB} = 0\text{V}$	-20		-2	μA

5.8 电气特性 (续)

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数	测试条件	最小值	典型值	最大值	单位
$I_{LKG\_STB(Off)}$	未供电时的漏电流	STB = 5.5V, $V_{CC} = V_{IO} = 0\text{V}$	-1	0	1 μA

5.9 开关特性

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数		测试条件	最小值	典型值	最大值	单位
器件开关特性						
t _{PROP(LOOP1)}	总循环延迟、驱动器输入 (TXD) 至接收器输出 (RXD)、隐性状态至显性状态	请参阅图 6-4 正常模式, V _{IO} = 4.5V 至 5.5V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		90	145	ns
		请参阅图 6-4 正常模式, V _{IO} = 3V 至 3.6V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		95	155	ns
		请参阅图 6-4 正常模式, V _{IO} = 2.25V 至 2.75V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		110	170	ns
		请参阅图 6-4 正常模式, V _{IO} = 1.71V 至 1.89V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		125	190	ns
t _{PROP(LOOP2)}	总环路延迟, 驱动器输入 (TXD) 到接收器输出 (RXD), 显性状态到隐性状态	请参阅图 6-4 正常模式, V _{IO} = 4.5V 至 5.5V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		95	150	ns
		请参阅图 6-4 正常模式, V _{IO} = 3V 至 3.6V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		100	160	ns
		请参阅图 6-4 正常模式, V _{IO} = 2.25V 至 2.75V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		110	175	ns
		请参阅图 6-4 正常模式, V _{IO} = 1.71V 至 1.89V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), C _{L(RXD)} = 15pF (≤ ±1%)		125	190	ns
t _{MODE}	模式更改时间, 从正常到待机或从待机到正常	请参阅图 6-5			30	μs
t _{WK_FILTER}	有效唤醒模式的滤波时间	请参阅图 7-7		0.5	0.95	μs
t _{WK_TIMEOUT}	总线唤醒超时值	请参阅图 7-7		0.8	6	ms
T _{startup}	V _{CC} 或 V _{IO} 清除上升欠压阈值并且器件可以恢复正常运行之后的持续时间				1.5	ms
T _{filter(STB)}	对 STB 引脚进行滤波以滤除任何干扰		0.5	1	2	μs
驱动器开关特性						
t _{prop(TxD-busrec)}	传播延迟时间, 低电平到高电平的 TXD 边沿到驱动器隐性状态 (显性状态到隐性状态)	请参阅图 6-2, STB = 0V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), V _{IO} = 4.5V 至 5.5V		35	70	ns
		请参阅图 6-2, STB = 0V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), V _{IO} = 3V 至 3.6V		40	70	ns
		请参阅图 6-2, STB = 0V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), V _{IO} = 2.25V 至 2.75V		40	75	ns
		请参阅图 6-2, STB = 0V, 45Ω ≤ R _L ≤ 65Ω, C _L = 100pF (≤ ±1%), V _{IO} = 1.71V 至 1.89V		42	80	ns

5.9 开关特性 (续)

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数		测试条件	最小值	典型值	最大值	单位
$t_{\text{prop(TxD-busdom)}}$	传播延迟时间, 高电平到低电平的 TXD 边沿到驱动器显性状态 (隐性状态到显性状态)	请参阅图 6-2, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 4.5\text{V}$ 至 5.5V		35	75	ns
		请参阅图 6-2, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 3\text{V}$ 至 3.6V		35	75	ns
		请参阅图 6-2, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 2.25\text{V}$ 至 2.75V		40	80	ns
		请参阅图 6-2, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 1.71\text{V}$ 至 1.89V		42	80	ns
$t_{\text{sk(p)}}$	脉冲偏斜 ($ t_{\text{prop(TxD-busrec)}} - t_{\text{prop(TxD-busdom)}} $)	$\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), 请参阅图 6-2		1	10	ns
$t_{\text{BUS\_R}}$	差分输出信号上升时间	请参阅图 6-2, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$)		15	30	ns
$t_{\text{BUS\_F}}$	差分输出信号下降时间	请参阅图 6-2, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$)		15	40	ns
$t_{\text{TXD\_DTO}}$	显性超时	请参阅图 6-6, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $\text{STB} = 0\text{V}$	1.2		4.0	ms
接收器开关特性						
$t_{\text{prop(busrec-RXD)}}$	传播延迟时间, 总线隐性输入到 RXD 高电平输出 (显性状态到隐性状态)	请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 4.5\text{V}$ 至 5.5V		60	85	ns
		请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 3\text{V}$ 至 3.6V		65	95	ns
		请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 2.25\text{V}$ 至 2.75V		70	105	ns
		请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 1.71\text{V}$ 至 1.89V		80	110	ns
$t_{\text{prop(busdom-RXD)}}$	传播延迟时间, 总线显性输入到 RXD 低电平输出 (隐性状态到显性状态)	请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 4.5\text{V}$ 至 5.5V		50	75	ns
		请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 3\text{V}$ 至 3.6V		60	80	ns
		请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 2.25\text{V}$ 至 2.75V		65	90	ns
		请参阅图 6-3, $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $V_{IO} = 1.71\text{V}$ 至 1.89V		80	110	ns
$t_{\text{RXD\_R}}$	RXD 输出信号上升时间	请参阅图 6-3, $\text{STB} = 0\text{V}$, $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$)		8	25	ns
$t_{\text{RXD\_F}}$	RXD 输出信号下降时间	$C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$)		7	30	ns
FD 时序特性						

5.9 开关特性 (续)

除非另有说明, 否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数		测试条件	最小值	典型值	最大值	单位
t _{BIT(BUS)}	t _{BIT(TXD)} = 500ns 时 CAN 总线输出引脚上的位时间	请参阅图 6-4 , V _{CC} = 4.5V 至 5.5V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	490		510	ns
	t _{BIT(TXD)} = 200ns 时 CAN 总线输出引脚上的位时间	请参阅图 6-4 , V _{CC} = 4.5V 至 5.5V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	190		210	ns
	t _{BIT(TXD)} = 125ns 时 CAN 总线输出引脚上的位时间	请参阅图 6-4 , V _{CC} = 4.5V 至 5.5V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	115		135	ns
t _{BIT(RXD)}	t _{BIT(TXD)} = 500ns 时 RXD 输出引脚上的位时间	请参阅图 6-4 , V _{CC} = 4.75V 至 5.25V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	470		520	ns
		请参阅图 6-4 , V _{CC} = 4.5V 至 5.5V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	470		525	ns
	t _{BIT(TXD)} = 200ns 时 RXD 输出引脚上的位时间	请参阅图 6-4 , V _{CC} = 4.75V 至 5.25V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	170		220	ns
		请参阅图 6-4 , V _{CC} = 4.5V 至 5.5V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	170		225	ns
	t _{BIT(TXD)} = 125ns 时 RXD 输出引脚上的位时间	请参阅图 6-4 , V _{CC} = 4.75V 至 5.25V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	95		145	ns
		请参阅图 6-4 , V _{CC} = 4.5V 至 5.5V , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF , C _{L(RXD)} = 15pF	95		150	ns
信号改善时序特性						
t _{PAS_REC_START}	被动隐性阶段的开始时间	从 TXD 上升 50% 边沿 (斜率 <5ns) 到被动隐性阶段开始的持续时间	420		530	ns
t _{ACT_REC_START}	主动信号改善阶段的开始时间	从 TXD 上升 50% 边沿 (斜率 <5ns) 到			120	ns
t _{ACT_REC_END}	主动信号改善阶段的结束时间	被动隐性阶段开始的持续时间	355			ns
t _{Δ Bit(Bus)}	发送的位宽时间差	V _{CC} = 4.75V 至 5.25V , TXD ≤ 8Mbps , t _{Δ Bit(Bus)} = t _{Bit(Bus)} - t _{Bit(TxD)} , STB = 0V , 45Ω ≤ R _L ≤ 65Ω , C _L = 100pF (≤ ±1%) , C _{L(RXD)} = 15pF (≤ ±1%) , 请参阅图 6-4	-10		10	ns
		V _{CC} = 4.5V 至 5.5V , TXD ≤ 8Mbps , t _{Δ Bit(Bus)} = t _{Bit(Bus)} - t _{Bit(TxD)} , STB = 0V , R _L = 60Ω , C _L = 100pF (≤ ±1%) , C _{L(RXD)} = 15pF (≤ ±1%) , 请参阅图 6-4	-10		10	ns

5.9 开关特性 (续)

除非另有说明，否则所有参数都是在建议工作条件下且 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 时有效 (典型值是在 $V_{CC} = 5\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 且器件环境温度保持在 27°C 条件下的值)

参数		测试条件	最小值	典型值	最大值	单位
$t_{\Delta \text{ BIT(RxD)}}$	接收的位宽时间差	$V_{CC} = 4.75\text{V}$ 至 5.25V , $\text{TXD} \leq 8\text{Mbps}$, $t_{\Delta \text{ BIT(RxD)}} = t_{\text{Bitl(RxD)}} - t_{\text{Bitl(TxD)}}$ $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), 请参阅图 6-4	-30		20	ns
		$V_{CC} = 4.5\text{V}$ 至 5.5V , $\text{TXD} \leq 8\text{Mbps}$, $t_{\Delta \text{ BIT(RxD)}} = t_{\text{Bitl(RxD)}} - t_{\text{Bitl(TxD)}}$ $\text{STB} = 0\text{V}$, $R_L = 60\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$, 请参阅图 6-4	-30		20	ns
$t_{\Delta \text{ REC}}$	接收器时序对称性	$V_{CC} = 4.75\text{V}$ 至 5.25V , $\text{TXD} \leq 8\text{Mbps}$, $t_{\Delta \text{ REC}} = t_{\text{Bitl(RxD)}} - t_{\text{Bitl(Bus)}}$ $\text{STB} = 0\text{V}$, $45\Omega \leq R_L \leq 65\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), 请参阅图 6-4	-20		15	ns
		$V_{CC} = 4.5\text{V}$ 至 5.5V , $\text{TXD} \leq 8\text{Mbps}$, $t_{\Delta \text{ REC}} = t_{\text{Bitl(RxD)}} - t_{\text{Bitl(Bus)}}$ $\text{STB} = 0\text{V}$, $R_L = 60\Omega$, $C_L = 100\text{pF}$ ($\leq \pm 1\%$), $C_{L(\text{RXD})} = 15\text{pF}$ ($\leq \pm 1\%$), 请参阅图 6-4	-20		15	ns

5.10 典型特性

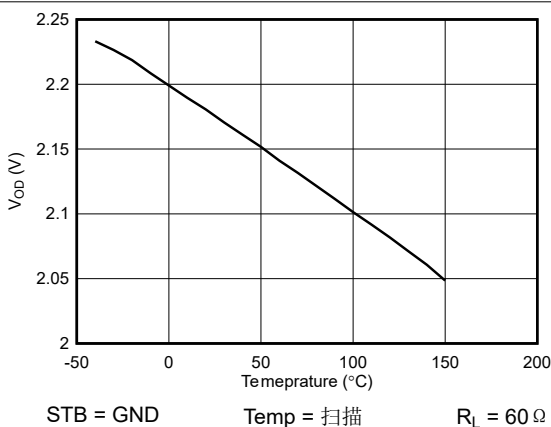
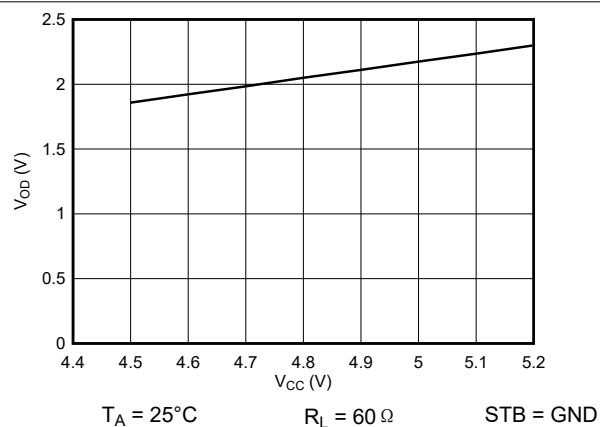
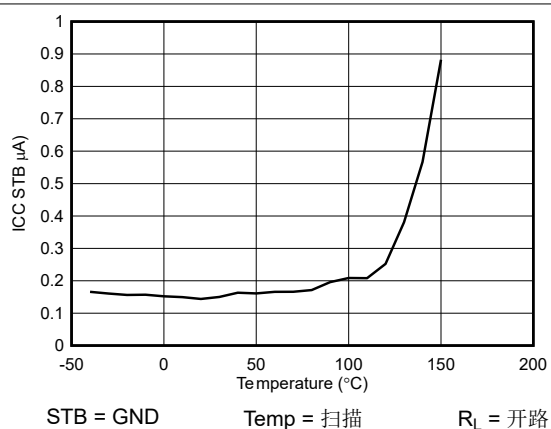
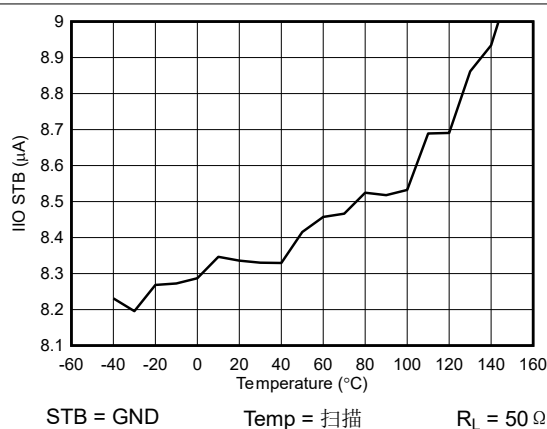
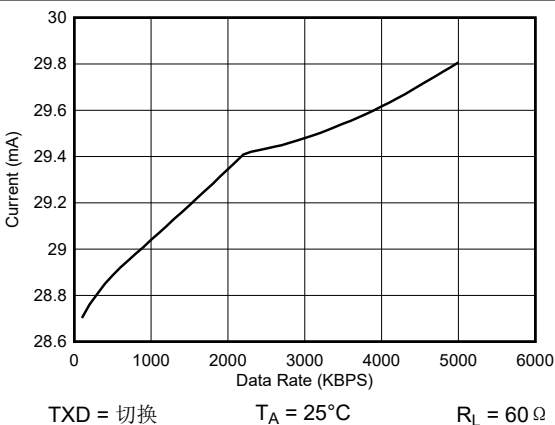
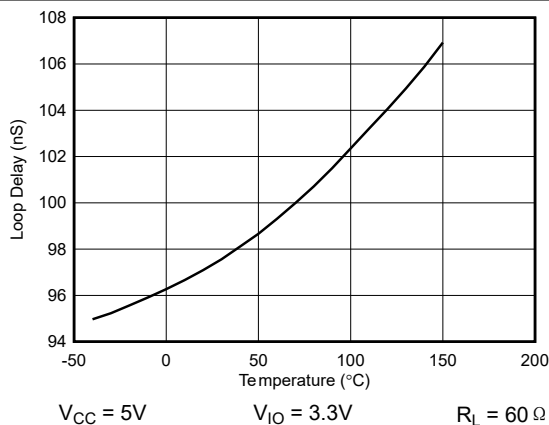
图 5-1. $V_{OD(DOM)}$ 与温度间的关系图 5-2. $V_{OD(DOM)}$ 与 V_{CC} 间的关系图 5-3. $I_{CC(standby)}$ 与温度间的关系图 5-4. $I_{IO(standby)}$ 与温度间的关系图 5-5. I_{CC} 与数据速率间的关系

图 5-6. 环路延迟与温度间的关系

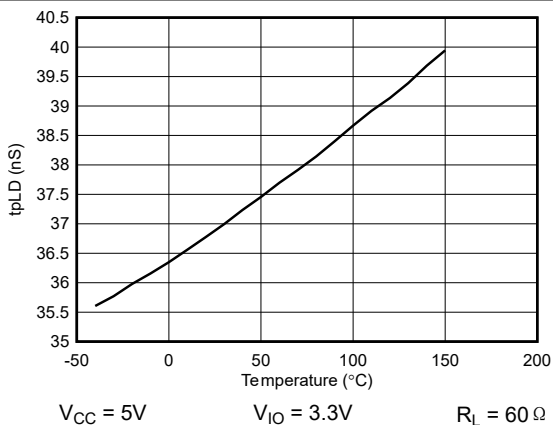


图 5-7. 驱动器传播延迟 - 从高电平到低电平

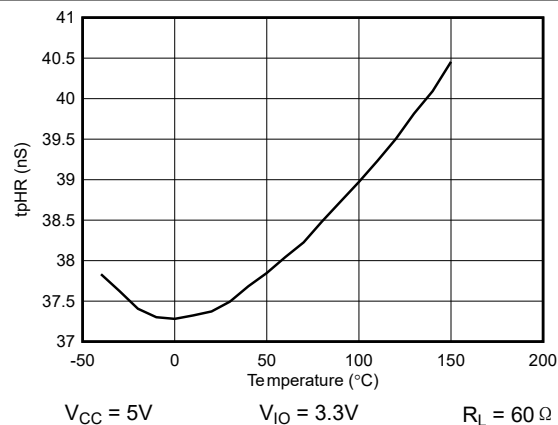


图 5-8. 驱动器传播延迟 - 从低电平到高电平

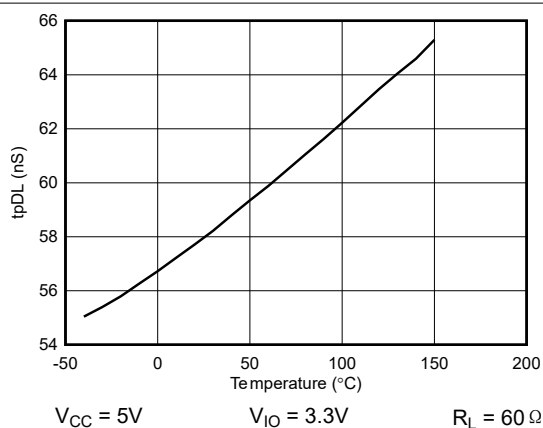


图 5-9. 接收器传播延迟 - 从总线显性状态到 RXD 低电平

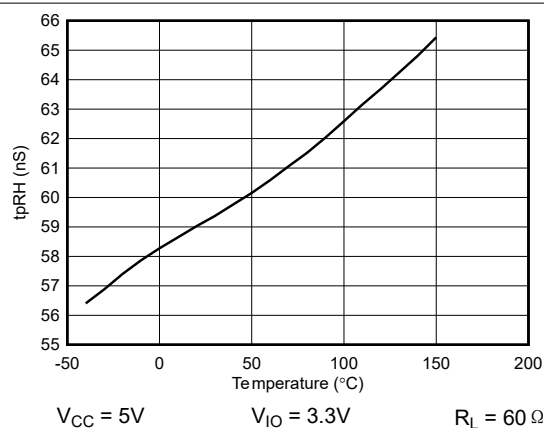


图 5-10. 接收器传播延迟 - 从总线隐性状态到 RXD 高电平

6 参数测量信息

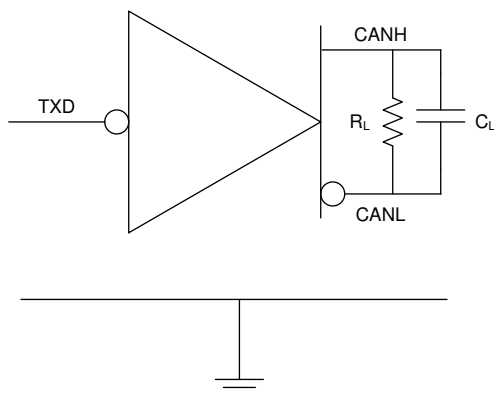


图 6-1. I_{CC} 测试电路

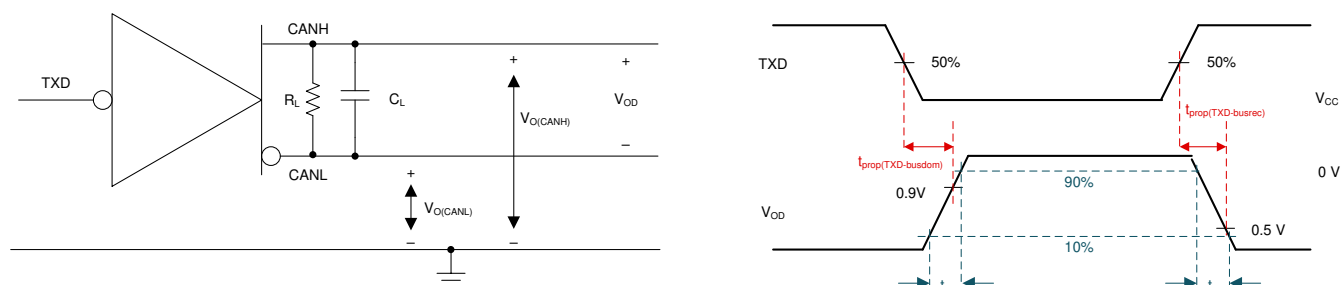


图 6-2. 驱动器测试电路与测量

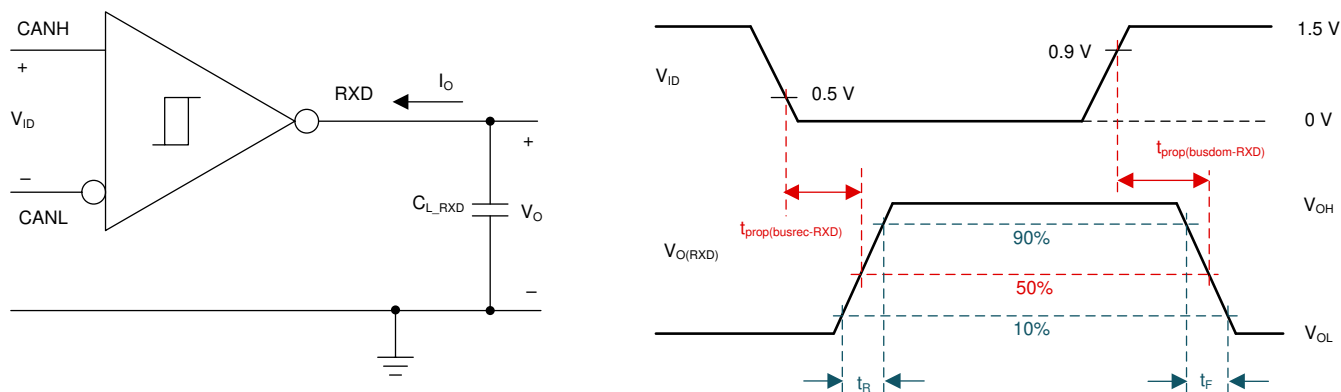


图 6-3. 接收器测试电路与测量

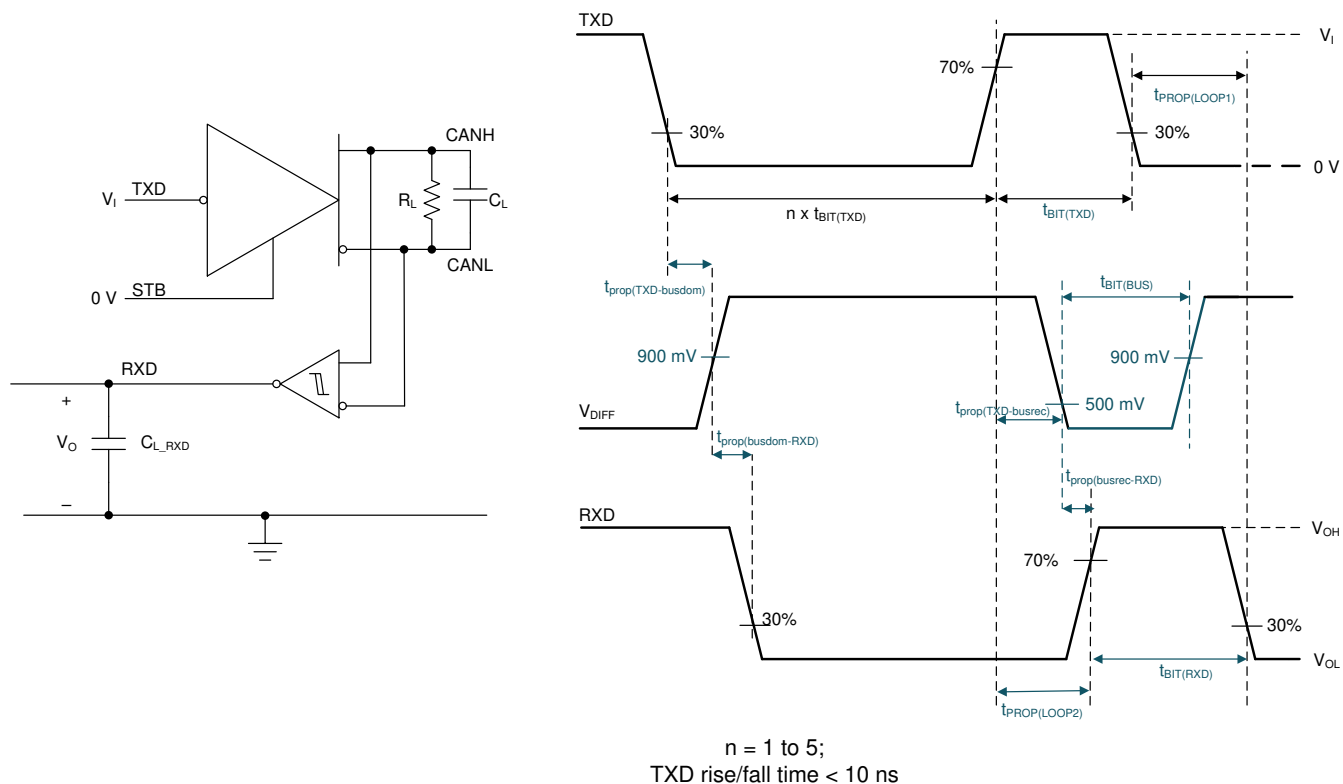


图 6-4. 发送器和接收器时序行为测试电路和测量

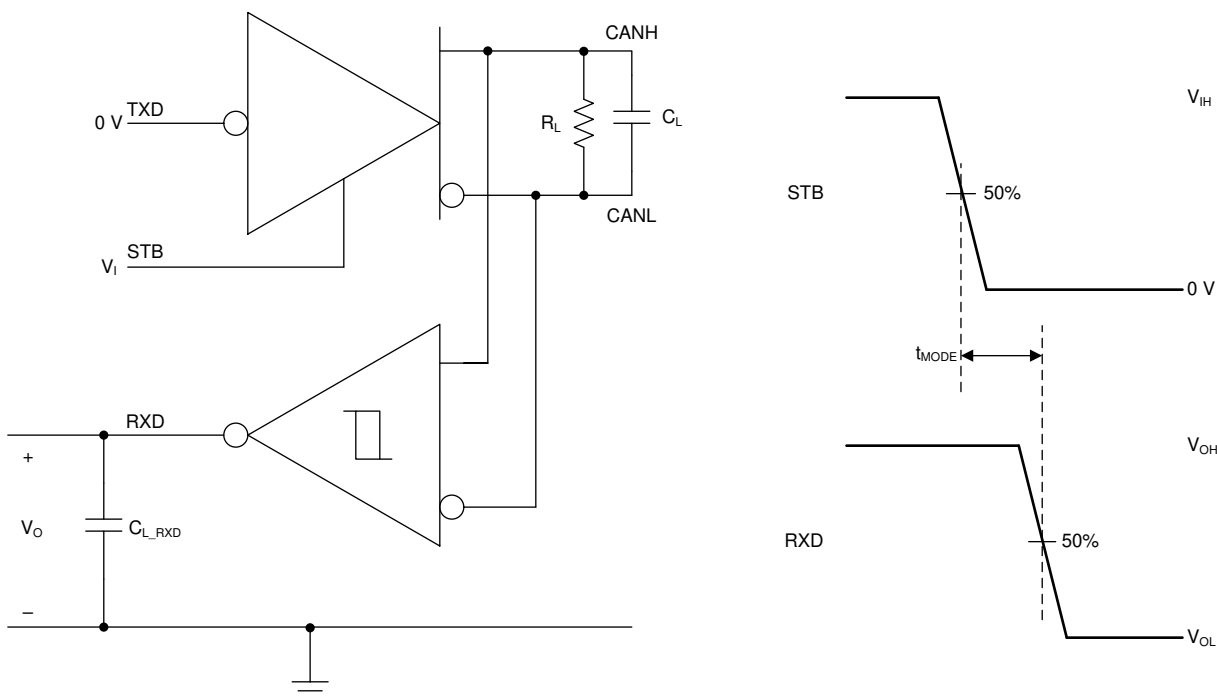
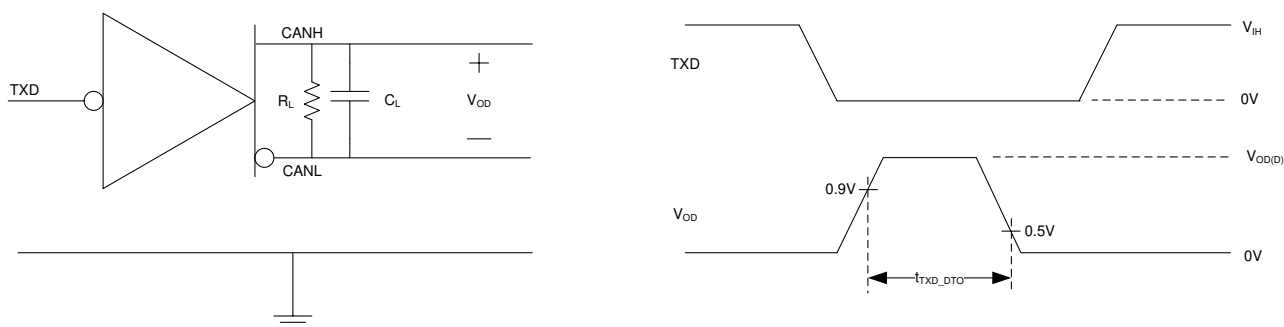
图 6-5. t_{MODE} 测试电路与测量

图 6-6. TXD 显性超时测试电路与测量

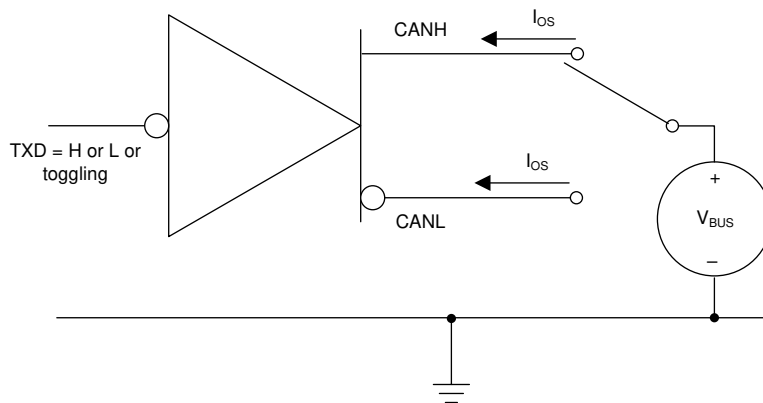


图 6-7. 驱动器短路电流测试与测量

7 详细说明

7.1 概述

TCAN1472-Q1 器件符合或超出 ISO 11898-2:2024 控制器局域网物理层标准的附件 A 信号改善能力 (SIC) 规范的规格。这些器件与数据速率无关，因此向后兼容，可支持传统 CAN 应用，同时还支持高达 8Mbps 的 CAN FD 网络。这些器件支持待机模式，可将收发器置于超低电流消耗模式。在 CAN 总线上接收到有效的唤醒模式 (WUP) 后，器件会通过 RXD 引脚向微控制器发送信号。然后，MCU 可以使用 STB 引脚将器件置于正常模式。

TCAN1472V-Q1 具有两个独立的电源轨，即 V_{CC} 总线侧电源和 V_{IO} 逻辑电源（用于逻辑电平转换，可直接连接到 1.8V、2.5V、3.3V 或 5V 控制器）。

7.1.1 信号改善

信号改善是 CAN FD 收发器中增加的一项额外功能，它通过更大限度减少信号振铃来提高复杂星型拓扑中可实现的最大数据速率。出现信号振铃的原因是，CAN 网络中因节点充当桩线而导致各点的阻抗不匹配，进而引起反射。

图 7-1 展示了一个复杂网络的示例。

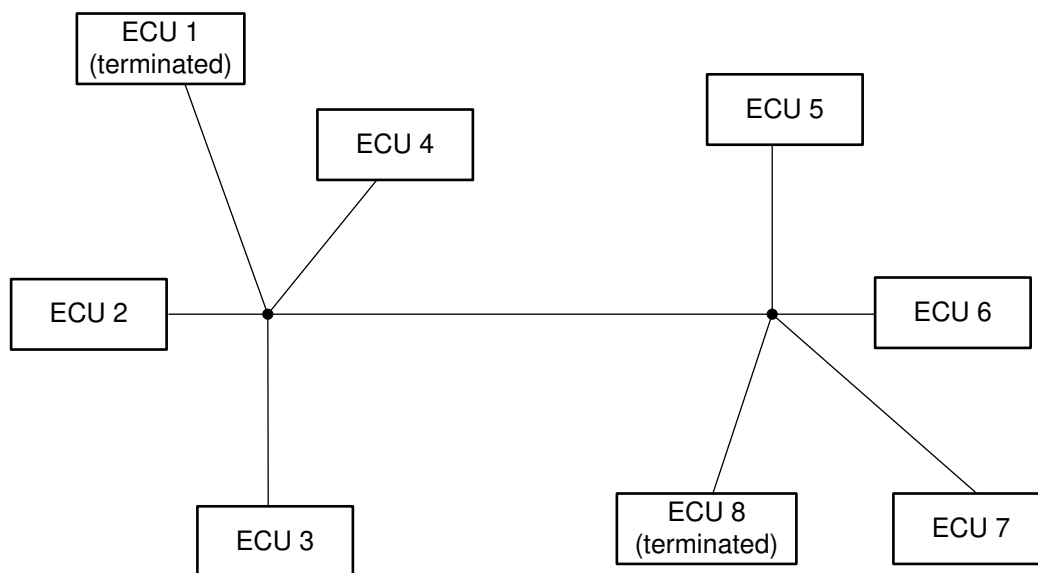


图 7-1. CAN 网络：星型拓扑

隐性到显性信号边沿通常是干净的，由发送器驱动。对于常规 CAN FD 收发器，当驱动器输出阻抗变为约 $60k\Omega$ ，且反射回来的信号遇到阻抗不匹配而导致振铃时，便会出现显性到隐性边沿。TCAN1472-Q1 通过基于 TX 的信号改善功能 (SIC) 解决了此问题。该器件继续驱动总线呈现隐性，直至 $t_{SIC\_TX\_base}$ ，以便减少反射，并且采样点处的隐性位很干净。在主动隐性阶段，发送器输出阻抗较低（约为 100Ω ）。在该阶段结束并且器件进入被动隐性阶段之后，驱动器输出阻抗变为高阻态。图 7-2 说明了此现象。

更多有关 TI 信号改善技术及其与市面上类似器件的比较情况的信息，请参阅白皮书：[信号改善功能如何释放 CAN-FD 收发器的真正潜力](#)。

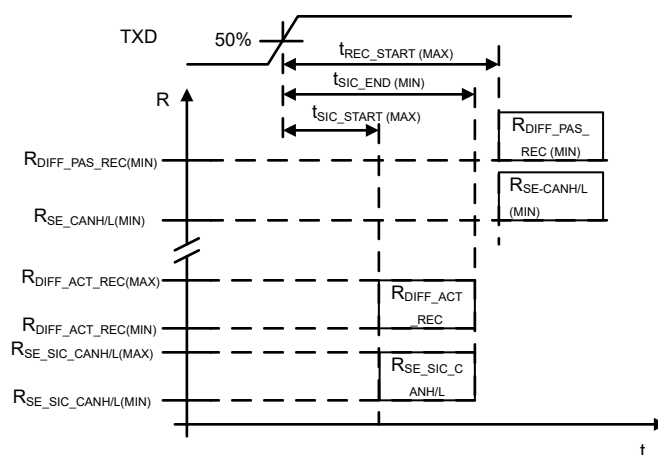


图 7-2. 基于 TX 的 SIC

7.2 功能方框图

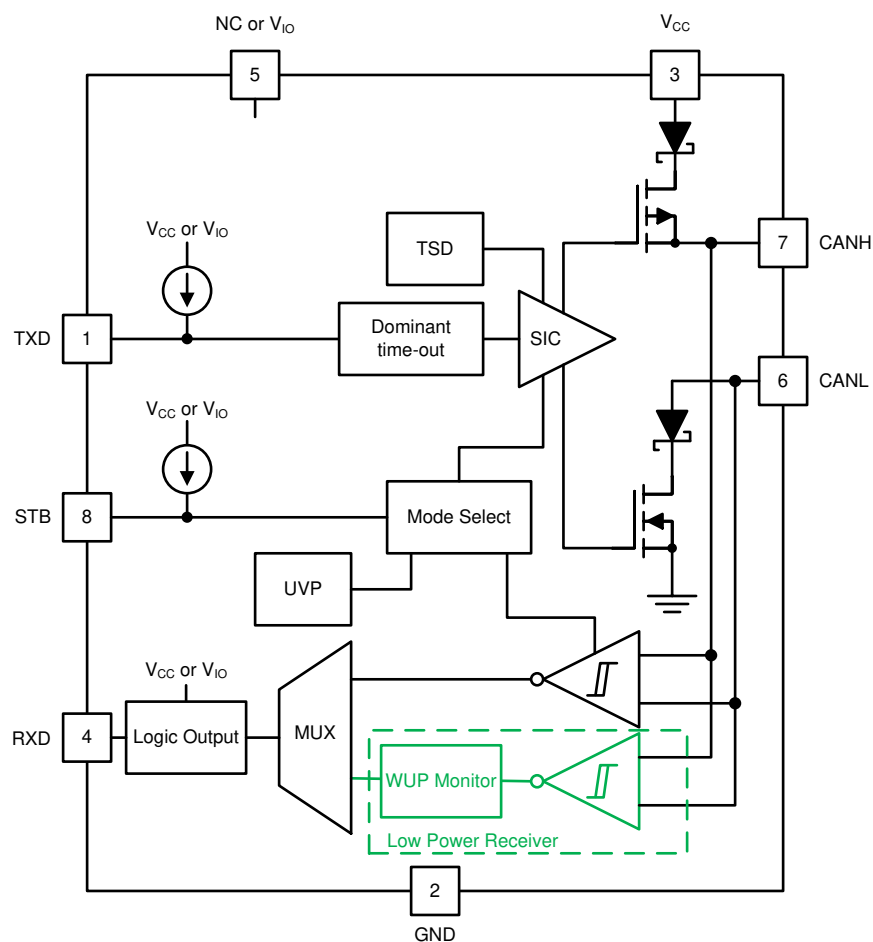


图 7-3. 方框图

7.3 特性说明

7.3.1 引脚说明

7.3.1.1 TXD

TXD 输入是从 CAN 控制器传输到收发器的逻辑电平信号。对于 TCAN1472-Q1，该输入以 V_{CC} 为基准，对于 TCAN1472V-Q1，则以 V_{IO} 为基准。

7.3.1.2 GND

GND 是收发器的接地引脚。该引脚必须连接至 PCB 接地端。

7.3.1.3 V_{CC}

V_{CC} 为 CAN 收发器提供 5V 电源。

7.3.1.4 RXD

RXD 输出是从 CAN 收发器发送到 CAN 控制器的逻辑电平信号。对于 TCAN1472-Q1，该输出以 V_{CC} 为基准，对于 TCAN1472V-Q1 则以 V_{IO} 为基准。对于 TCAN1472V-Q1，仅在 V_{IO} 出现时驱动一次 RXD。

发生唤醒事件时，RXD 被驱动为低电平。

7.3.1.5 V_{IO} (仅限 TCAN1472V-Q1)

V_{IO} 引脚提供数字 I/O 电压以匹配 CAN 控制器电压，从而无需电平转换器。该引脚支持 1.7V 至 5.5V 的多个控制器接口电压电平。

7.3.1.6 CANH 和 CANL

这些是 CAN 高电平和 CAN 低电平差分总线引脚。这些引脚连接到 CAN 收发器和低电压 WUP CAN 接收器。

7.3.1.7 STB (待机)

STB 引脚是用于控制收发器模式的输入引脚。STB 引脚可由系统处理器或静态系统电压源供电。如果只需要正常工作模式，则可直接将 STB 引脚接地。

7.3.2 CAN 总线状态

CAN 总线在运行期间有两种逻辑状态：隐性和显性。请参阅图 7-4 和图 7-5。

以差分方式驱动总线时，总线为显性状态，对应于 TXD 和 RXD 引脚上的逻辑低电平。当总线通过接收器内部的高阻值输入电阻器 R_{IN} 偏置到 $V_{CC}/2$ 时，总线为隐性状态，对应于 TXD 和 RXD 引脚上的逻辑高电平。

在仲裁期间，显性状态会覆盖隐性状态。在仲裁期间，多个 CAN 节点可能同时发送一个显性位，这种情况下，总线的差分电压大于单个驱动器的差分电压。

TCAN1472-Q1 收发器采用低功耗待机 (STB) 模式；这种模式支持第三种总线状态，在这种状态下，总线引脚通过接收器内部的高阻值电阻器弱偏置到地。请参阅图 7-4 和图 7-5。

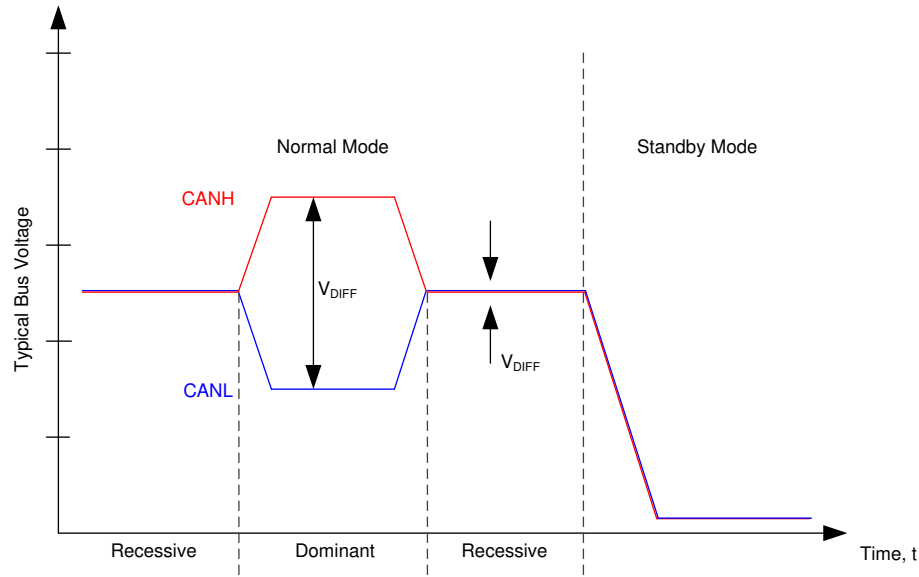
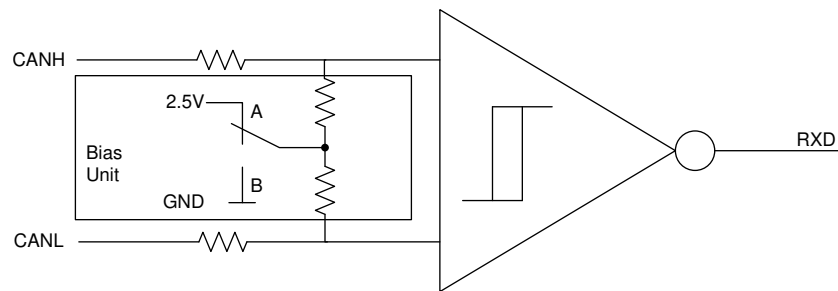


图 7-4. 总线状态



- A. 正常模式
B. 待机模式

图 7-5. 简化的隐性共模偏置单元和接收器

7.3.3 TXD 显性超时 (DTO)

在正常模式 (CAN 驱动器处于运行状态的唯一模式) 期间, TXD DTO 电路可防止本地节点在硬件或软件失效时妨碍网络通信 (失效期间, TXD 保持显性状态的时间超过了超时时间 t_{TXD_DTO})。TXD DTO 电路由 TXD 上的下降沿触发。如果在此电路的超时周期 t_{TXD_DTO} 前没有发现上升沿, CAN 驱动器将被禁用。释放总线, 供网络上的其他节点进行通信。CAN 驱动器在 TXD 引脚上出现隐性信号时重新激活, 从而清除显性超时。接收器保持运行状态并偏置到 $V_{CC}/2$, RXD 输出将反映 TXD DTO 故障期间 CAN 总线上的活动。

TXD DTO 电路所允许的最短显性 TXD 时间限制了器件的最低数据发送速率。CAN 协议允许 (TXD 上) 在最差情况下最多可有 11 个连续显性位, 其中 5 个连续显性位后面紧接一个错误帧。最小传输数据速率可使用 [方程式 1](#) 计算得出。

$$\text{Minimum Data Rate} = 11 \text{ bits} / t_{TXD\_DTO} = 11 \text{ bits} / 1.2\text{ms} = 9.2\text{kbps} \quad (1)$$

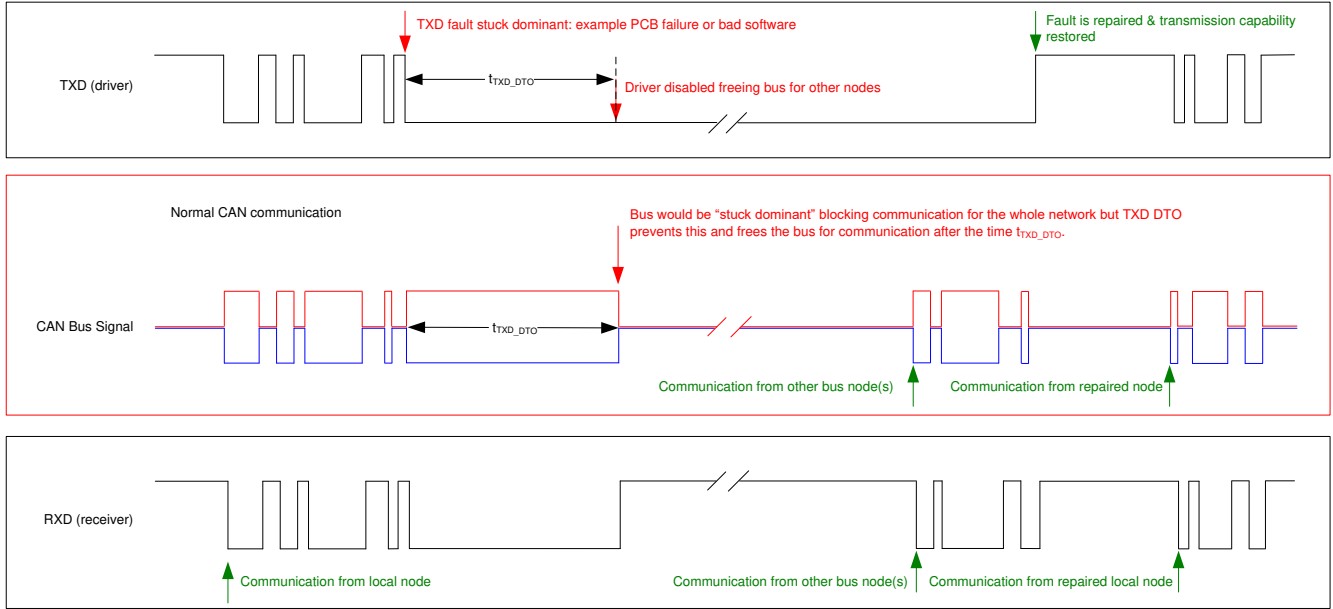


图 7-6. TXD 显性超时的时序图示例

7.3.4 CAN 总线短路电流限制

TCAN1472-Q1 有多种保护特性可以在 CAN 总线短路时限制短路电流，其中包括显性和隐性状态下的 CAN 驱动器电流限制以及 TXD 显性状态超时（可防止在系统故障时永久具有显性状态的较高短路电流）。在 CAN 通信期间，总线会在显性与隐性状态之间切换；因此，可将短路电流视为这两种总线状态期间的电流或者视为平均直流电流。在为 CAN 设计方案选择终端电阻器或共模扼流圈时，应使用平均额定功率 $I_{OS(AVG)}$ 。显性百分比受限于以下因素：TXD DTO、CAN 协议（具有强制状态切换功能）以及隐性位（由于位填充、控制字段和帧间间隔）。这些限制确保了总线上具有最短的隐性状态持续时间，即使数据字段包含很高的显性位百分比也如此。

总线的平均短路电流取决于隐性位与显性位的比率以及它们对应的短路电流。平均短路电流可使用方程式 2 来计算。

$$I_{OS(AVG)} = \% \text{ Transmit} \times [(\% \text{ REC\_Bits} \times I_{OS(SS\_REC)}) + (\% \text{ DOM\_Bits} \times I_{OS(SS\_DOM)})] + [\% \text{ Receive} \times I_{OS(SS\_REC)}] \quad (2)$$

其中：

- $I_{OS(AVG)}$ 为平均短路电流
- $\% \text{ Transmit}$ 为节点发送 CAN 报文所占的百分比
- $\% \text{ Receive}$ 为节点接收 CAN 报文所占的百分比
- $\% \text{ REC\_Bits}$ 为所发送 CAN 报文中的隐性位所占百分比
- $\% \text{ DOM\_Bits}$ 为所发送 CAN 报文中的显性位所占百分比
- $I_{OS(SS\_REC)}$ 为隐性稳态短路电流
- $I_{OS(SS\_DOM)}$ 为显性稳态短路电流

在确定用于生成收发器 V_{CC} 的电源的额定功率时，考虑此短路电流和可能的网络故障情况。

7.3.5 热关断 (TSD)

如果 TCAN1472-Q1 的结温超出热关断阈值 T_{TSD} ，该器件将关断 CAN 驱动器电路，并阻断 TXD 到总线的传输路径。当器件的结温降至 T_{TSD} 以下时，关断条件会被清除。CAN 总线引脚在 TSD 故障期间偏置到 $V_{CC}/2$ ，且接收器到 RXD 的路径保持畅通。TCAN1472-Q1 TSD 电路包括迟滞，可防止 CAN 驱动器输出在 TSD 故障期间振荡。

7.3.6 欠压锁定

电源引脚 V_{CC} 和 V_{IO} 具有欠压检测功能，可将器件置于受保护状态。此功能可在任一电源引脚上发生欠压事件时保护总线。

表 7-1. 欠压锁定，TCAN1472-Q1

V_{CC}	器件状态	总线	RXD 引脚
$> UV_{VCC}$	正常	按照 TXD	镜像总线
$< UV_{VCC}$	受保护	高阻抗	高阻抗

表 7-2. 欠压锁定，TCAN1472V-Q1

V_{CC}	V_{IO}	器件状态	总线	RXD 引脚
$> UV_{VCC}$	$> UV_{VIO}$	正常	按照 TXD	镜像总线
$< UV_{VCC}$	$> UV_{VIO}$	STB = V_{IO} ：待机模式	高阻抗	V_{IO} ：远程唤醒请求 ⁽¹⁾
		STB = GND：受保护		隐性
$> UV_{VCC}$	$< UV_{VIO}$	受保护		高阻抗
$< UV_{VCC}$	$< UV_{VIO}$	受保护		高阻抗

(1) 请参阅[待机模式下通过唤醒模式 \(WUP\) 实现的远程唤醒请求](#)

欠压条件被清除且 t_{MODE} 到期后，TCAN1472-Q1 转换至正常模式，主机控制器可以再次发送和接收 CAN 流量。

7.3.7 未供电设备

根据设计，TCAN1472-Q1 器件在未供电情况下对于 CAN 总线而言是无源器件或无负载。总线引脚被设计成在器件未供电时具有较低的漏电流，不会对总线施加负载。如果网络的某些节点未供电，而网络的其余部分仍正常工作，这一点至关重要。

逻辑引脚在器件未供电时的漏电流也很低，不会对其他保持供电的电路施加负载。

7.3.8 悬空引脚

TCAN1472-Q1 在关键引脚上具有内部上拉电阻，可在引脚悬空时将器件置于已知状态。虽然设计不应依赖这种内部偏置，尤其是在有噪声的环境中，但应将其视为失效防护特性。

当使用支持开漏输出的 CAN 控制器时，必须选择适当的外部上拉电阻。确保 CAN 控制器的 TXD 输出保持 CAN 收发器输入可接受的位时间。有关引脚偏置条件的详细信息，请参阅[表 7-3](#)。

表 7-3. 引脚偏置

引脚	上拉或下拉	备注
TXD	上拉	将 TXD 弱偏置为隐性，防止总线阻塞或 TXD DTO 触发
STB	上拉	将 STB 弱偏置为低功耗待机模式，防止系统功耗过高

7.4 器件功能模式

7.4.1 工作模式

TCAN1472-Q1 主要有两种工作模式：正常模式和待机模式。通过在 TCAN1472-Q1 的 STB 引脚上施加一个高电平或低电平即可选择所需的工作模式。

表 7-4. 工作模式

STB	器件模式	驱动器	接收器	RXD 引脚
高电平	低电流待机模式且总线处于唤醒状态	禁用	低功耗接收器且总线监视器启用	高电平（隐性），直到接收到有效的 WUP。请参阅 ⁽¹⁾
低电平	正常模式	启用	启用	镜像总线状态

(1) 请参阅[待机模式下通过唤醒模式 \(WUP\) 实现的远程唤醒请求](#)

7.4.2 正常模式

此模式是 TCAN1472-Q1 的正常工作模式。CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。驱动器将 TXD 输入端的数字输入转换为 CANH 和 CANL 总线引脚上的差分输出。接收器将来自 CANH 和 CANL 的差分信号转换为 RXD 输出端的数字输出。

7.4.3 待机模式

此模式是 TCAN1472-Q1 的低功耗模式。CAN 驱动器和主接收器处于关闭状态，CAN 通信不能双向进行。在此模式下会启用低功耗接收器和总线监视电路，以允许通过 CAN 总线发出 RXD 唤醒请求。唤醒请求会输出到 RXD，如[图 7-7](#) 所示。本地 CAN 协议控制器应监视 RXD 是否发生转换（从高电平转换为低电平），如果有，则通过将 STB 引脚拉至低电平来重新激活器件使其进入正常模式。在此模式下，CAN 总线引脚弱下拉至 GND（请参阅[图 7-4](#) 和 [图 7-5](#)）。

在待机模式下，只需要 V_{IO} 电源，因此可以关闭 V_{CC} 以实现进一步的系统级节电。

7.4.3.1 待机模式下通过唤醒模式 (WUP) 实现的远程唤醒请求

TCAN1472-Q1 支持远程唤醒请求，可让主机微控制器了解总线已运行，节点应恢复正常运行。

该器件使用 ISO 11898-2:2024 标准中的多重滤波显性唤醒模式 (WUP) 来鉴定总线活动。接收到有效的 WUP 后，唤醒请求会以“下降沿加低电平周期”的形式发送给控制器，其中低电平信号对应于 TCAN1472-Q1 的 RXD 输出端上的“已滤波”显性信号。

唤醒模式 (WUP) 由四个脉冲组成：一个经过滤波的显性脉冲，后跟一个经过滤波的隐性脉冲，然后是另一个经过滤波的显性脉冲，最后是另一个经过滤波的隐性脉冲。在第一个经过滤波的显性脉冲之后，总线监视器会等待一个经过滤波的隐性脉冲，而不会被其他总线通信复位，并以相同方式持续到第二个经过滤波的隐性脉冲出现。在收到第二个经过滤波的隐性脉冲后，系统会识别到 WUP。RXD 在后续显性脉冲时永久设置为低电平。

要将显性或隐性信号视为“已滤波”，总线必须保持该状态超过 t_{WK_FILTER} 时间。由于 t_{WK_FILTER} 的可变性，存在以下几种可能的情况。短于 $t_{WK\_FILTER(MIN)}$ 的总线状态时间始终不会被检测为 WUP 的一部分，因此不会生成唤醒请求。 $t_{WK\_FILTER(MIN)}$ 和 $t_{WK\_FILTER(MAX)}$ 之间的总线状态时间被检测为 WUP 的一部分，并且可能会生成唤醒请求。超过 $t_{WK\_FILTER(MAX)}$ 的总线状态时间始终会被检测为 WUP 的一部分，因此始终会生成唤醒请求。请参阅[图 7-7](#) 以了解唤醒模式的时序图。

用于 WUP 的模式和 t_{WK_FILTER} 时间可防止噪声和总线卡在显性故障导致错误的唤醒请求，同时允许任何有效报文发起唤醒请求。

ISO 11898-2:2024 标准定义了唤醒滤波时间，以实现 1Mbps 仲裁。

为了实现额外的稳健性并防止误唤醒，该器件实现了唤醒超时特性。要成功发生远程唤醒事件，必须在超时值 $t \leq t_{WK\_TIMEOUT}$ 范围内收到整个 WUP。否则，内部逻辑会被复位并且收发器保持在当前状态而不会被唤醒。然后，必须按照本节中提到的限制条件再次发送完整模式。请参阅[图 7-7](#) 以了解具有唤醒超时特性的唤醒模式时序图。

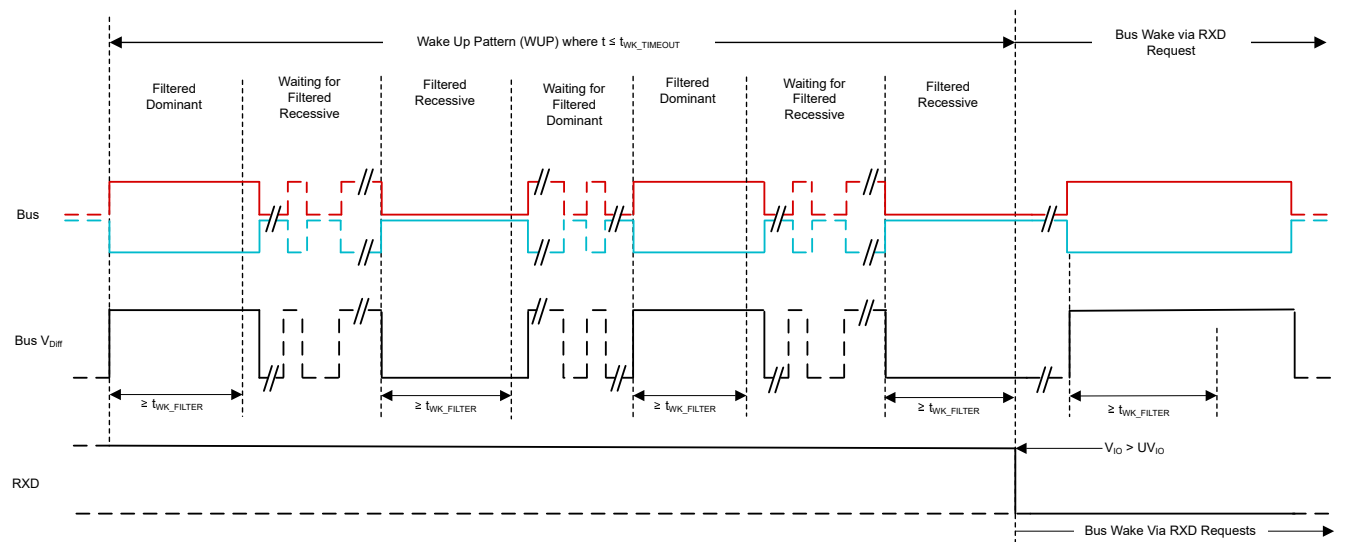


图 7-7. 具有 $t_{WK\_TIMEOUT}$ 的唤醒模式 (WUP)

7.4.4 驱动器 and 接收器功能

TCAN1472-Q1 的数字逻辑输入和输出电平是相对于 V_{CC} 的 CMOS 电平。对于 TCAN1472V-Q1，为了与具有 1.8V、2.5V、3.3V 或 5V 电源的 MCU 兼容，这些电平相对于 V_{IO} 。

表 7-5. 驱动器功能表

器件模式	TXD 输入 ⁽¹⁾	总线输出		驱动的总线状态 ⁽²⁾
		CANH	CANL	
正常	低电平	高电平	低电平	显性
	高电平或开路	高阻抗	高阻抗	偏置隐性
待机	X	高阻抗	高阻抗	偏置到地

- (1) X = 不相关
(2) 如需了解总线状态和偏置，请参阅图 7-4 和图 7-5。

表 7-6. 接收器功能表 (正常模式和待机模式)

器件模式	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD 引脚
正常	$V_{ID} \geq 0.9V$	显性	低电平
	$0.5V < V_{ID} < 0.9V$	未定义	未定义
	$V_{ID} \leq 0.5V$	隐性	高电平
待机	$V_{ID} \geq 1.15V$	显性	高电平 如果发生远程唤醒事件，则为低电平。 请参阅图 7-7
	$0.4V < V_{ID} < 1.15V$	未定义	
	$V_{ID} \leq 0.4V$	隐性	
不限	开路 ($V_{ID} \approx 0V$)	开路	高电平

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TCAN1472-Q1 收发器可用于具有主机控制器或 FPGA (包括 CAN 协议的链路层部分) 的应用。图 8-1 显示了 5V 控制器应用的典型配置。图中显示了总线终端以方便说明。

8.2 典型应用

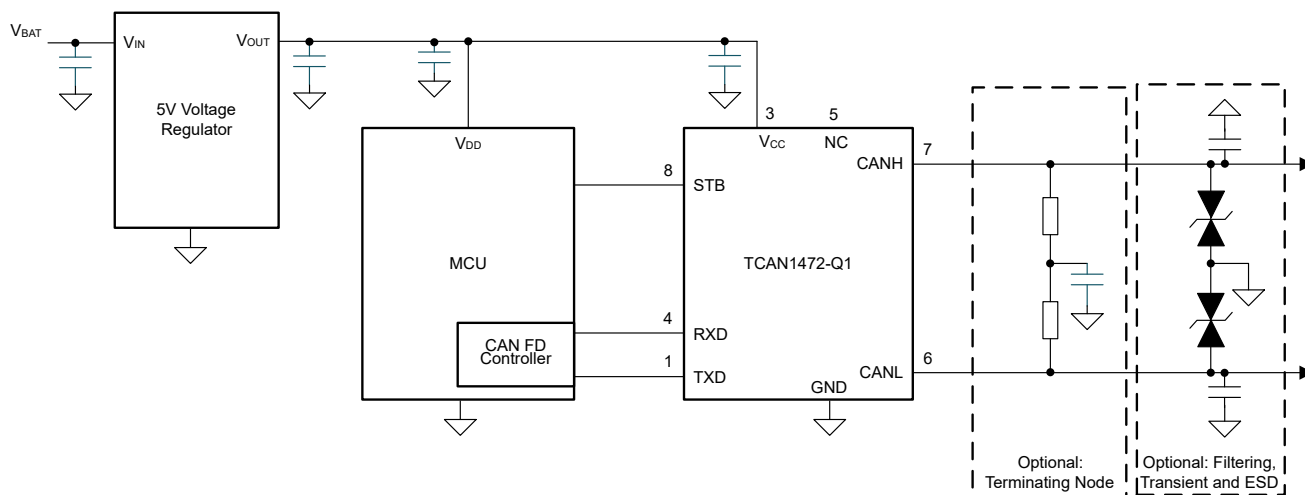


图 8-1. 使用 5V I/O 连接的收发器应用

8.2.1 设计要求

8.2.1.1 CAN 终端

总线末端可以采用单个 $120\ \Omega$ 电阻进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用分裂终端，请参阅图 8-2。分裂终端通过滤除差分信号线路上可能存在的高频共模噪声来改善网络的电磁辐射行为。

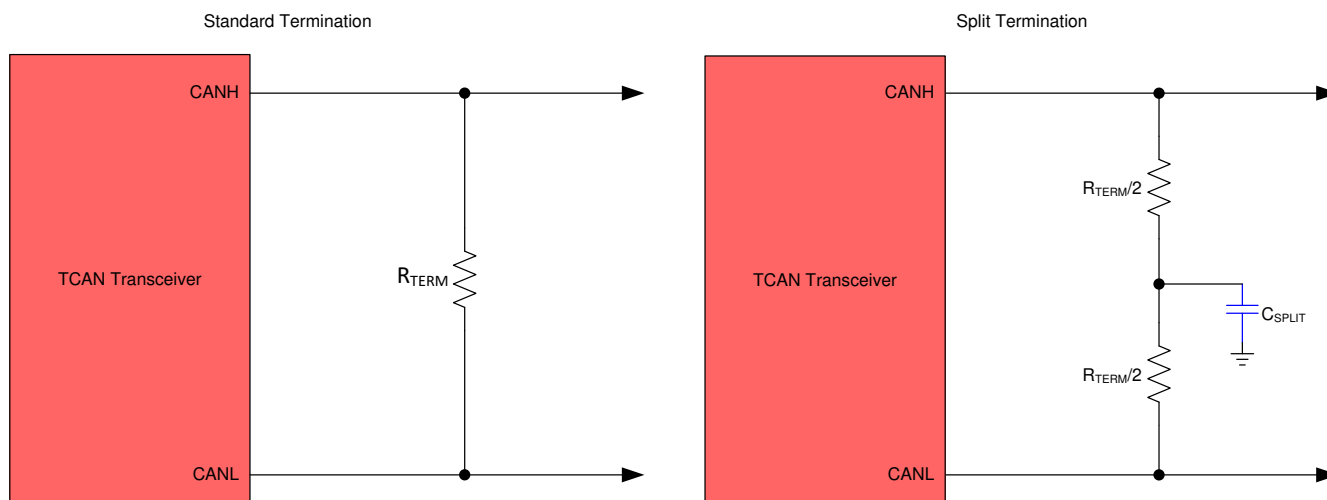


图 8-2. CAN 总线端接概念

8.2.2 详细设计过程

8.2.2.1 总线负载能力、长度和节点数

典型 CAN 应用的最大总线长度为 40 米，最大桩线长度为 0.3 米。但是，在精心设计的情况下，用户可以拥有更长的电缆、更长的桩线长度以及更多的总线节点。拥有大量节点则要求使用具有高输入阻抗的收发器，如 TCAN1472-Q1。此外，由于 TCAN1472-Q1 具有 SIC，因此在给定的网络规模中，得益于信号振铃减弱，可以实现更高的数据速率。

许多 CAN 组织和标准已将 CAN 的使用范围扩展至原始 ISO 11898-2 标准之外的应用。在总线的数据速率、电缆长度和寄生负载方面做出了系统层面的权衡。这些 CAN 系统级规范的示例包括 ARINC 825、CANopen、DeviceNet、SAE J2284、SAE J1939 和 NMEA 2000。

CAN 网络系统设计就是做出一系列的权衡。在 ISO 11898-2:2024 规范中规定了总线负载范围为 $45\ \Omega$ 至 $65\ \Omega$ 时的驱动器差分输出，其中该差分输出必须大于 1.5V。TCAN1472-Q1 系列可在总线负载低至 $45\ \Omega$ 时满足 1.5V 要求。TCAN1472-Q1 的差分输入阻抗至少为 $40\text{k}\Omega$ 。如果总线上有 100 个并联的 TCAN1472-Q1 收发器，这就相当于 $400\ \Omega$ 差分负载与标称 $60\ \Omega$ 总线终端并联，因此总线负载总共约为 $52\ \Omega$ 。因此，TCAN1472-Q1 系列理论上在单个总线段上支持超过 100 个收发器。但在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、时序、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实际的最大节点数通常会减少。此外，通过对系统设计和数据速率加以谨慎权衡，可以使总线长度超过 40 米。例如，CANopen 网络设计指南允许通过更改终端电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km。

这种 CAN 网络设计灵活性是基于原始 ISO 11898-2 CAN 标准的各种扩展和附加标准的关键优势之一。不过，在使用这种灵活性时，CAN 网络系统设计人员必须保证良好的网络设计，以确保网络稳定运行。

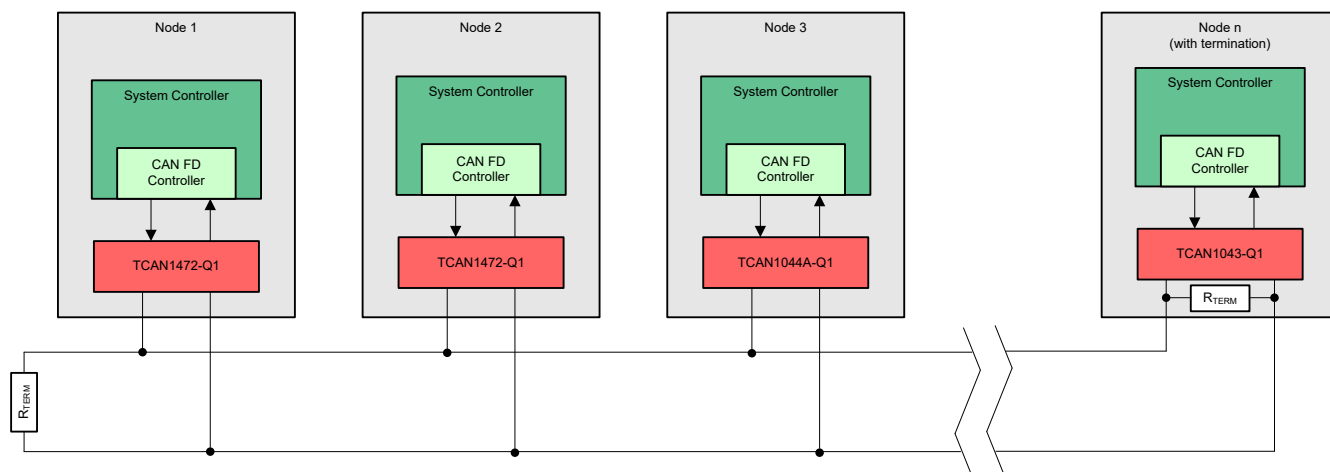


图 8-3. 典型 CAN 总线

8.2.3 应用曲线

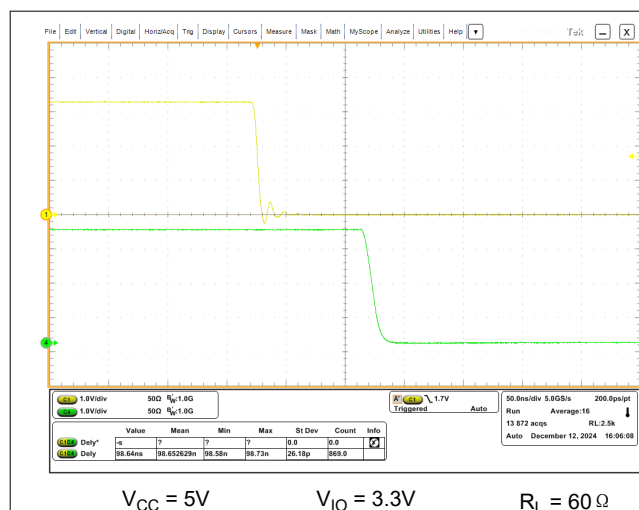


图 8-4. $t_{PROP(LOOP1)}$

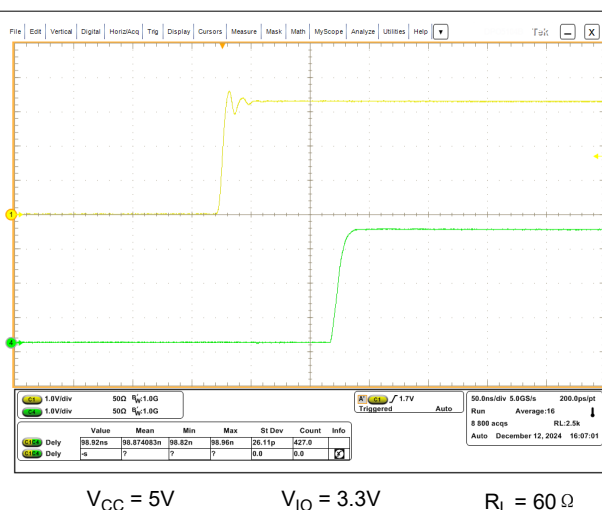


图 8-5. $t_{PROP(LOOP2)}$

8.3 系统示例

TCAN1472-Q1 CAN 收发器通常用于具有主机控制器或 FPGA (包括 CAN 协议的链路层部分) 的应用。图 8-6 显示了一个 1.8V、2.5V 或 3.3V 应用。图中显示了总线终端以方便说明。

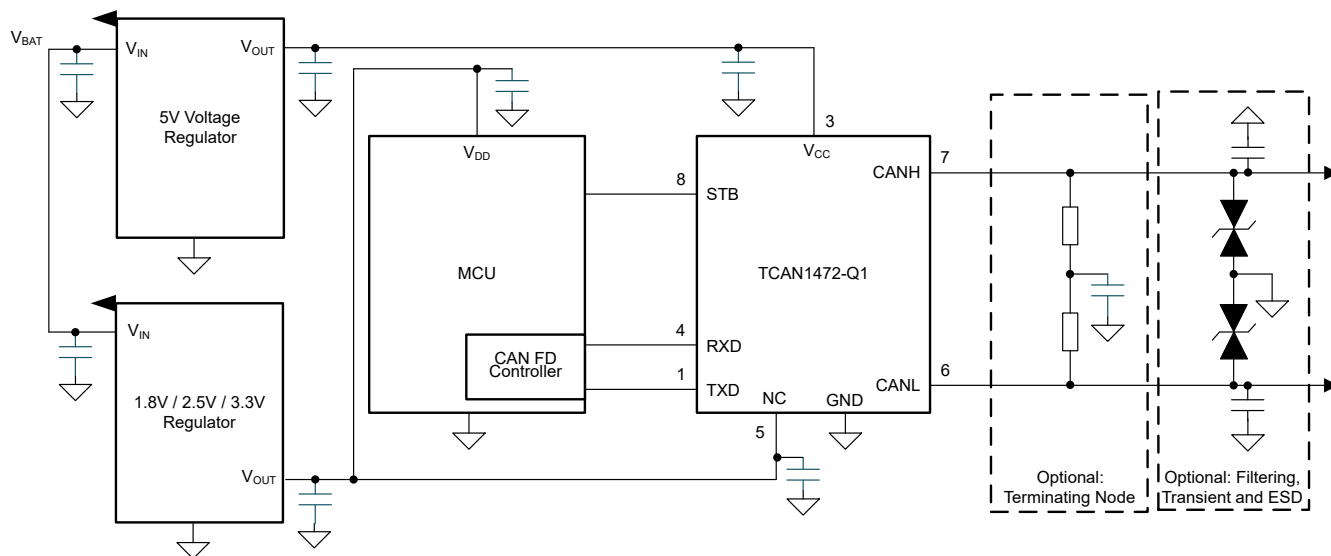


图 8-6. 使用 1.8V、2.5V、3.3V IO 连接的典型收发器应用

8.4 电源相关建议

TCAN1472-Q1 收发器设计为在 4.5V 至 5.5V 的 V_{CC} 主输入电源电压范围内运行。TCAN1472V-Q1 采用 I/O 电平转换电源输入 V_{IO} ，设计电压范围为 1.8V 至 5.5V。这两个电源输入必须经过良好调节。除旁路电容外，应将一个通常为 100nF 的去耦电容放置在 CAN 收发器的主 V_{CC} 电源引脚附近。除旁路电容外，应将一个通常为 100nF 的去耦电容放置在 CAN 收发器的 V_{IO} 电源引脚附近。

8.5 布局

8.5.1 布局指南

- 将保护和滤波电路放置于尽可能靠近总线连接器 J1 的位置，以防止瞬变、ESD 和噪声传播到电路板。以下布局示例显示了一个可选瞬态电压抑制 (TVS) 二极管 D1；如果系统级要求超过收发器的额定值，则可以采用该二极管。此示例还显示了可选的总线滤波电容 C4 和 C5。
- 朝信号路径的方向设计总线保护组件。不得将瞬态电流从信号路径强行转移至保护器件。
- 去耦电容应尽可能靠近收发器的电源引脚 V_{CC} 和 V_{IO} 放置。
- 当旁路电容和保护器件连接电源和地时，应至少使用两个过孔以更大限度减少布线电感和过孔电感。

备注

高频电流会选择阻抗最小的路径，而非电阻最小的路径。

- 以下布局示例展示了如何在 CAN 节点上实现分裂终端。此终端分为 R4 和 R5 两个电阻，终端的中心或分接抽头通过电容 C3 接地。分裂终端为总线提供共模滤波。有关终端概念和终端电阻所需的额定功率的信息，请参阅 [CAN 终端](#) 和 [CAN 总线短路电流限制](#)。

8.5.2 布局示例

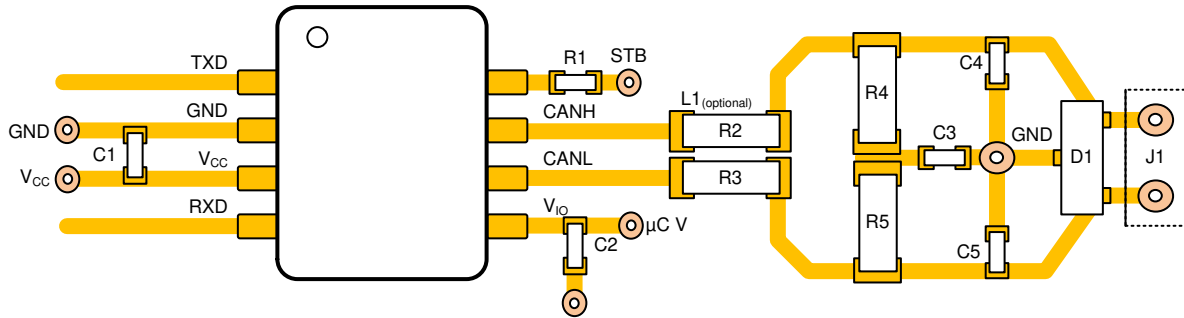


图 8-7. 布局示例

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from Revision * (June 2024) to Revision A (December 2024)

Page

- | Changes from Revision * (June 2024) to Revision A (December 2024) | Page |
|---|------|
| • 将文档状态从“预告信息”更改为 量产数据 | 1 |

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN1472DDFRQ1	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3LAF
TCAN1472DRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1472
TCAN1472DRBRQ1.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1472
TCAN1472DRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1472
TCAN1472DRQ1.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1472
TCAN1472VDDFRQ1	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	3LBF
TCAN1472VDRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1472V
TCAN1472VDRBRQ1.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	1472V
TCAN1472VDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1472V
TCAN1472VDRQ1.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	1472V

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

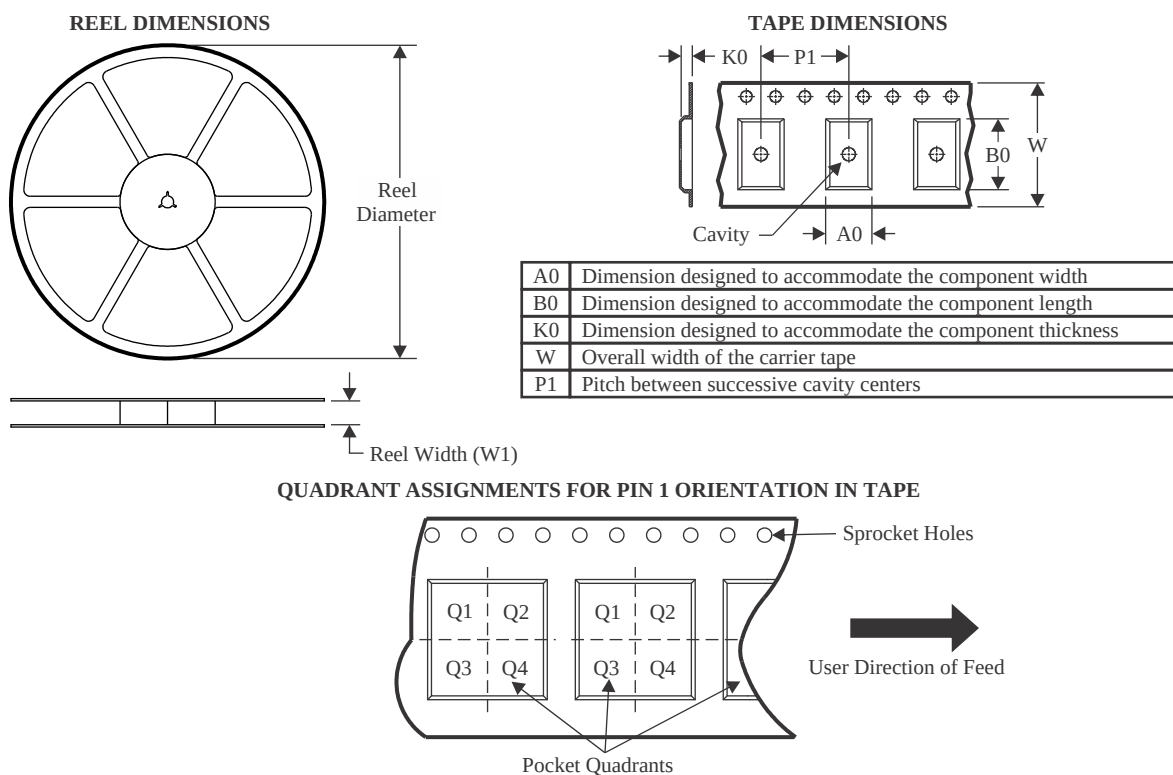
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

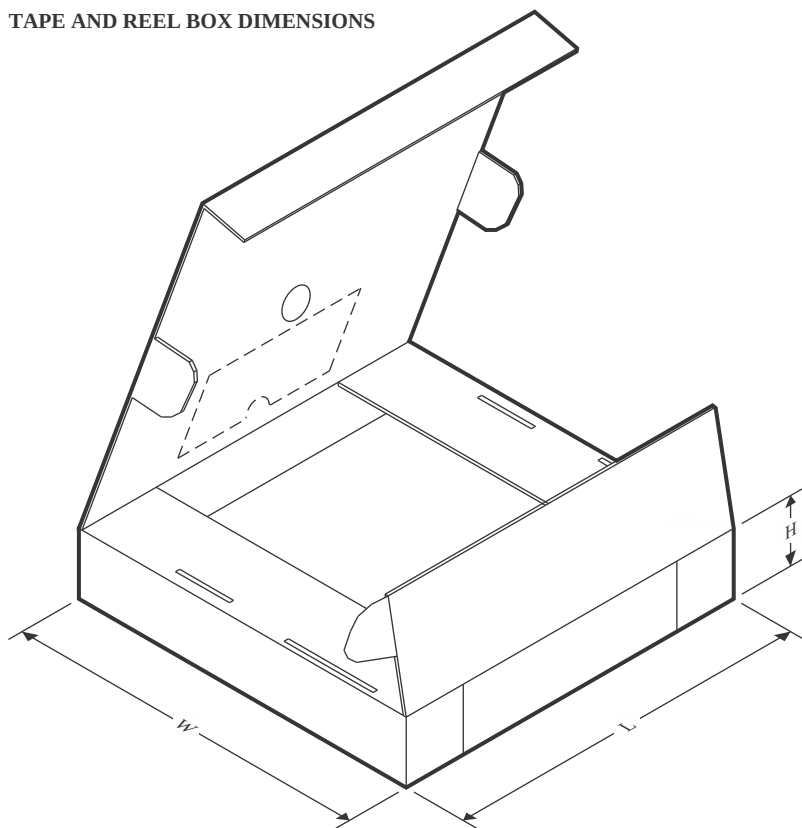
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN1472DDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TCAN1472DRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1
TCAN1472DRQ1	SOIC	D	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TCAN1472VDDFRQ1	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TCAN1472VDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q1
TCAN1472VDRQ1	SOIC	D	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

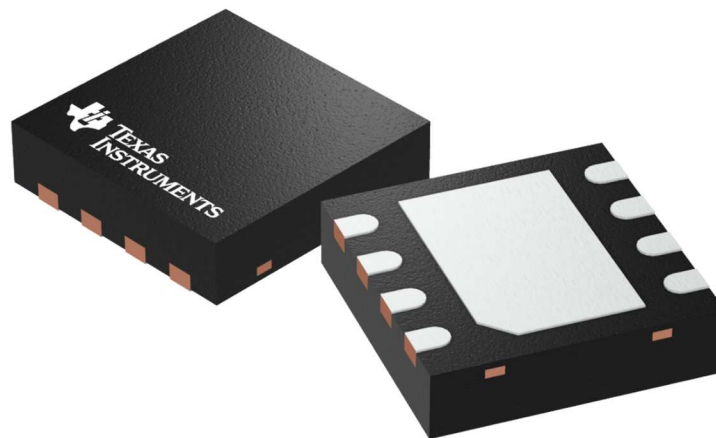
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN1472DDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TCAN1472DRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TCAN1472DRQ1	SOIC	D	8	3000	340.5	338.1	20.6
TCAN1472VDDFRQ1	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TCAN1472VDRBRQ1	SON	DRB	8	3000	367.0	367.0	35.0
TCAN1472VDRQ1	SOIC	D	8	3000	340.5	338.1	20.6

DRB 8

GENERIC PACKAGE VIEW

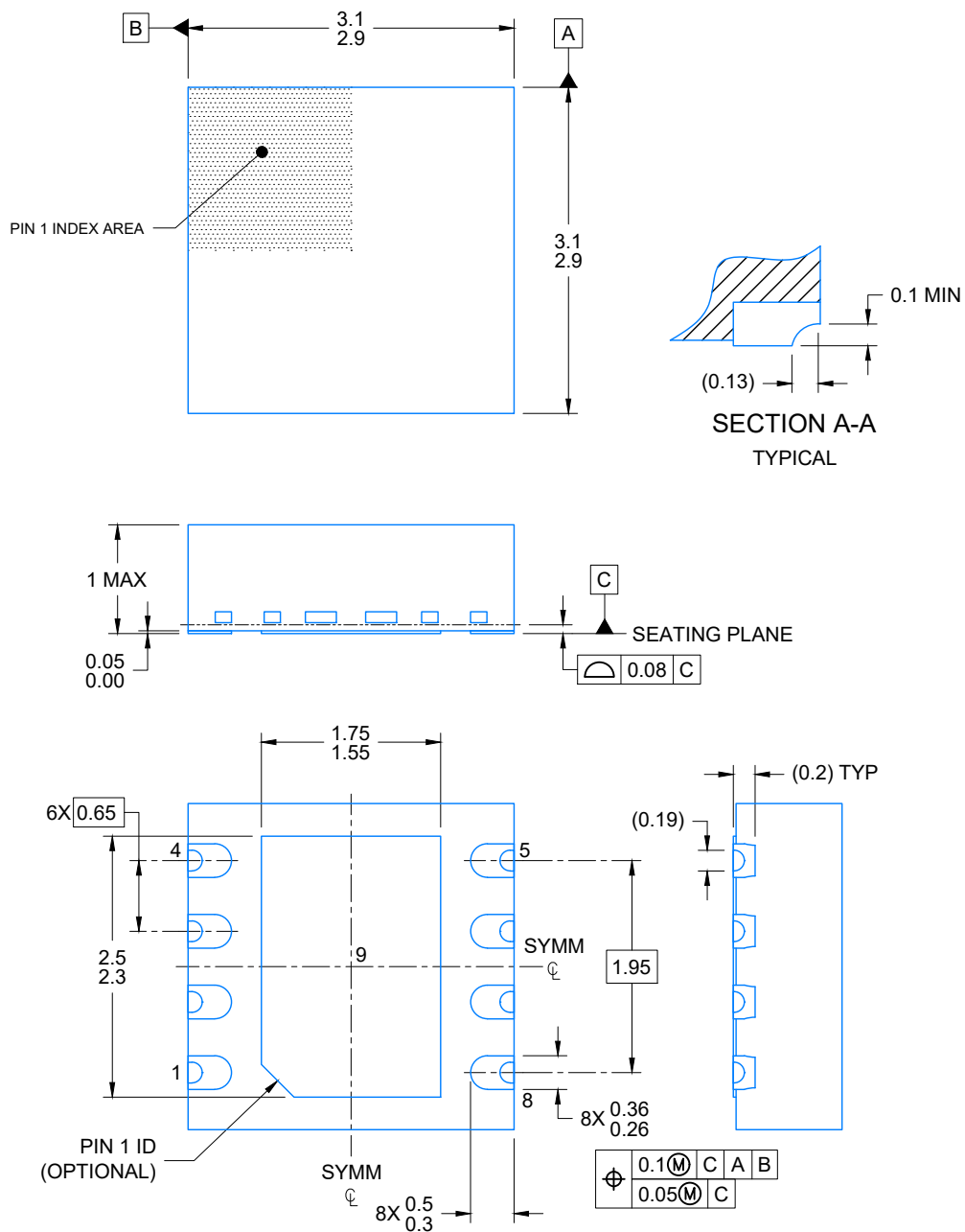
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

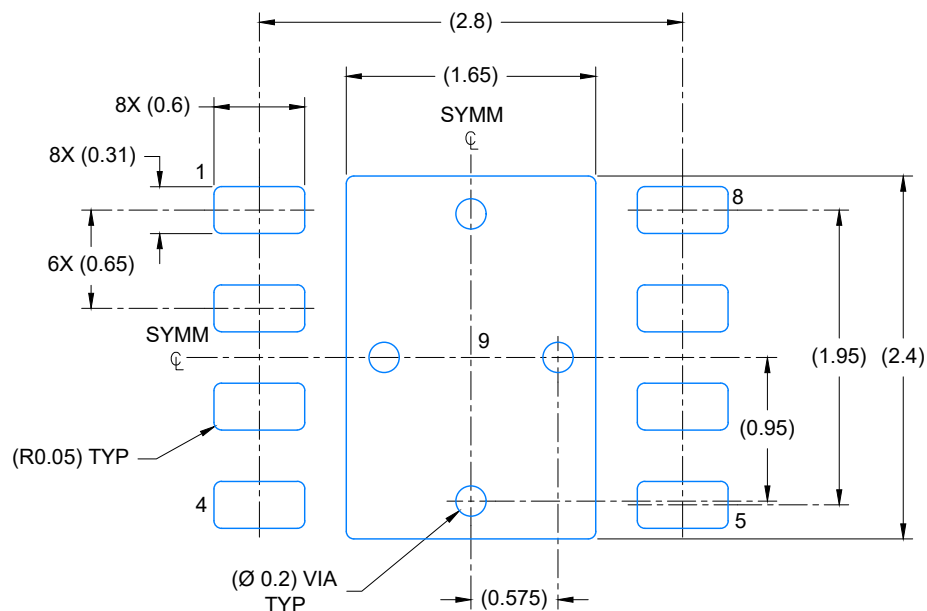
4203482/L



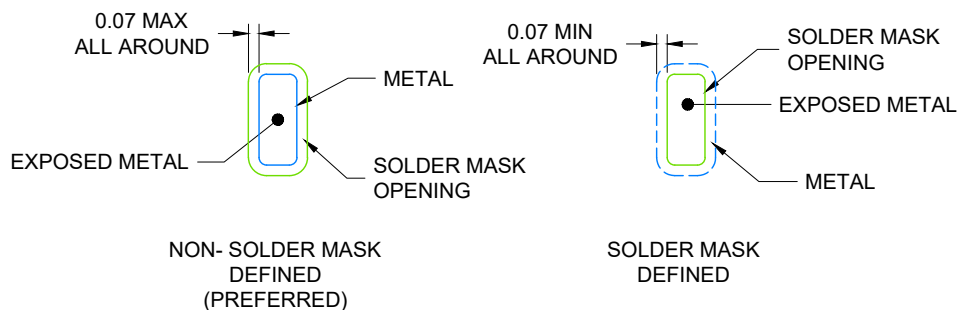
4225036/A 06/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

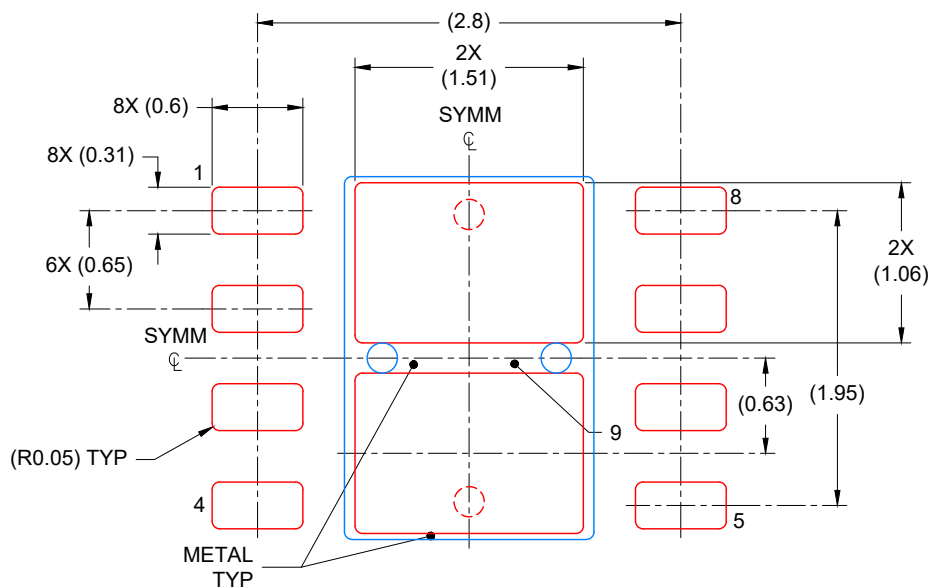


SOLDER MASK DETAILS

4225036/A 06/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



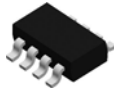
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
81% PRINTED COVERAGE BY AREA
SCALE: 20X

4225036/A 06/2019

NOTES: (continued)

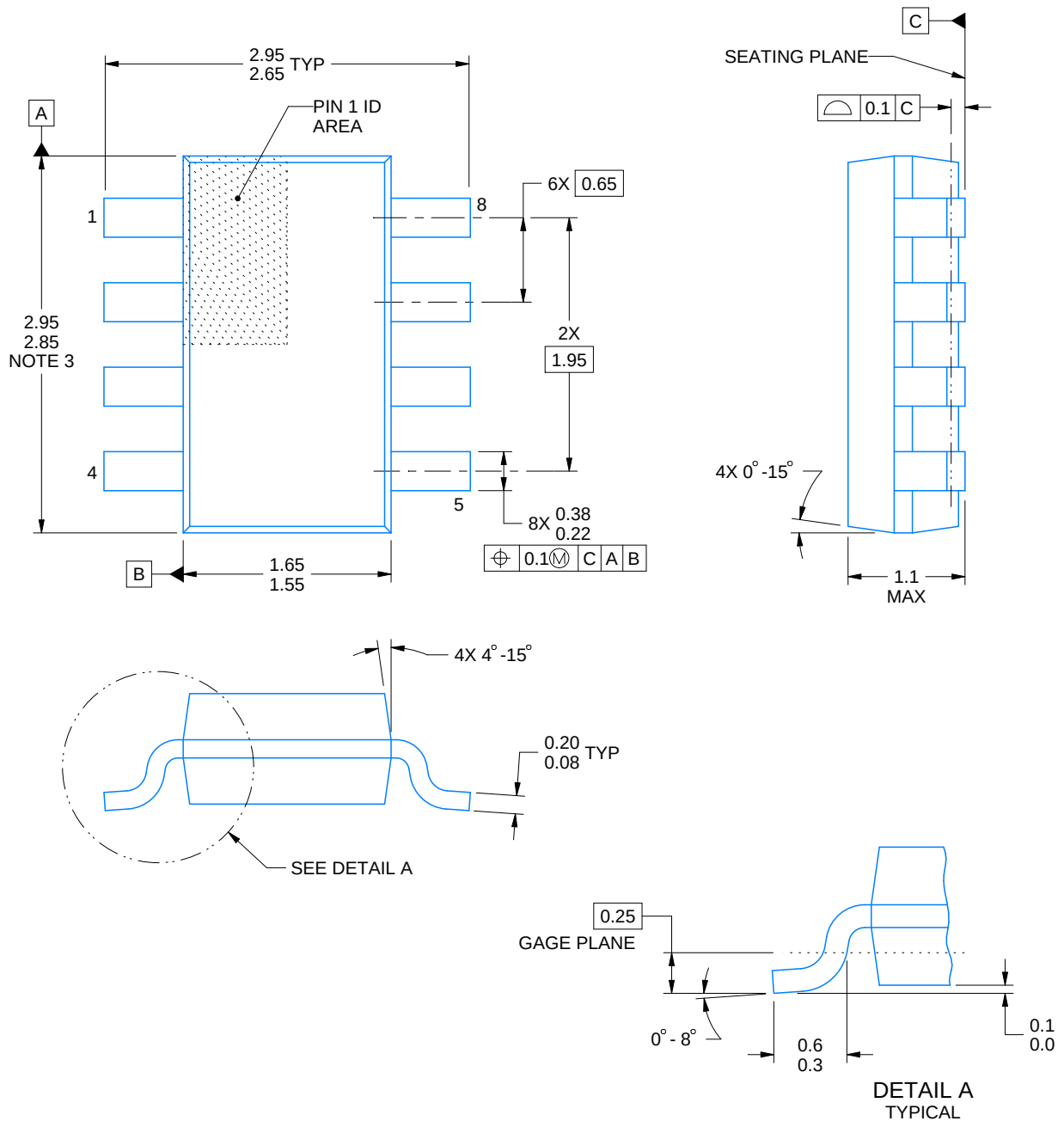
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

DDF0008A

PACKAGE OUTLINE

SOT-23-THIN - 1.1 mm max height

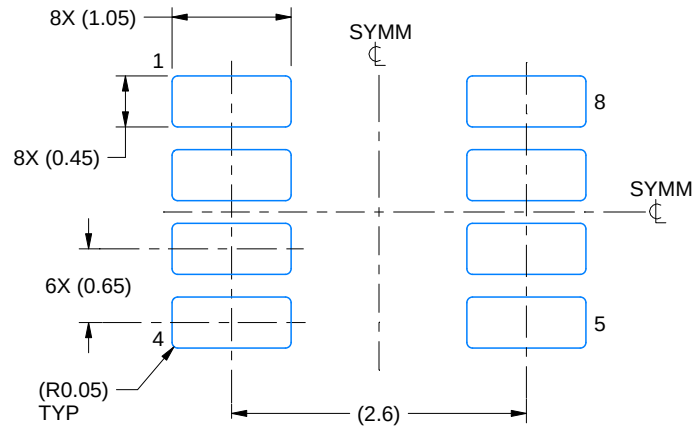
PLASTIC SMALL OUTLINE



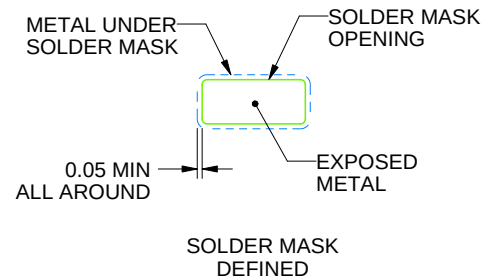
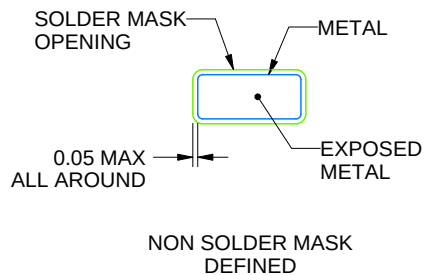
4222047/E 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

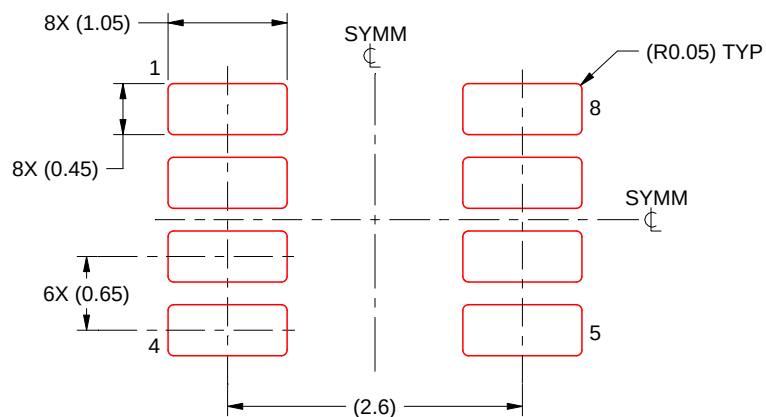
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

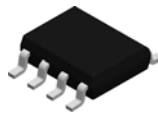


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

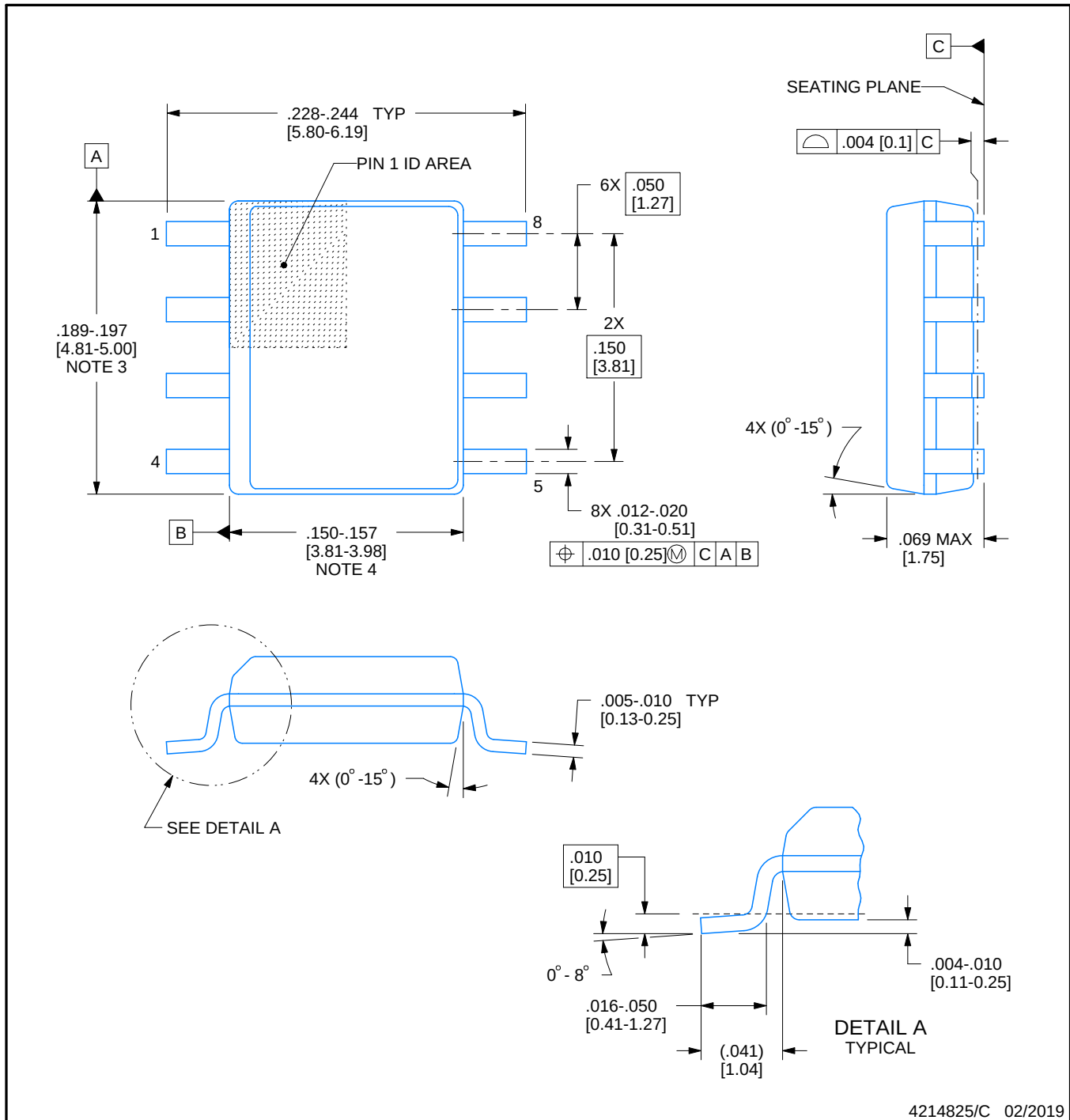


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

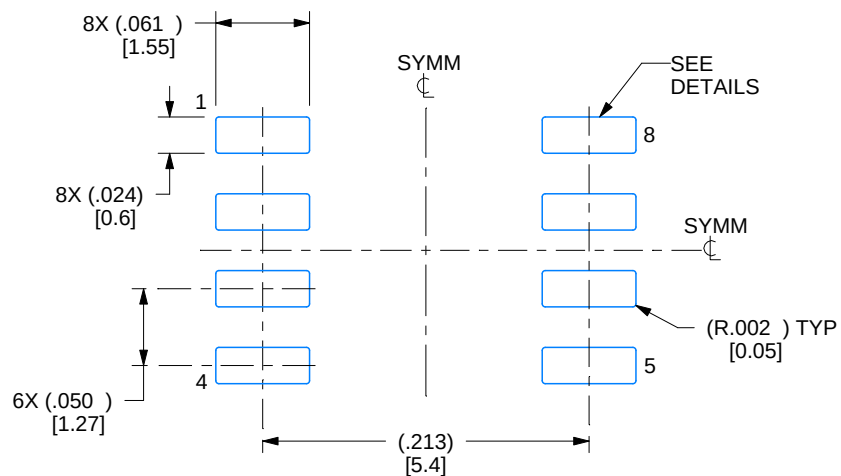
NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

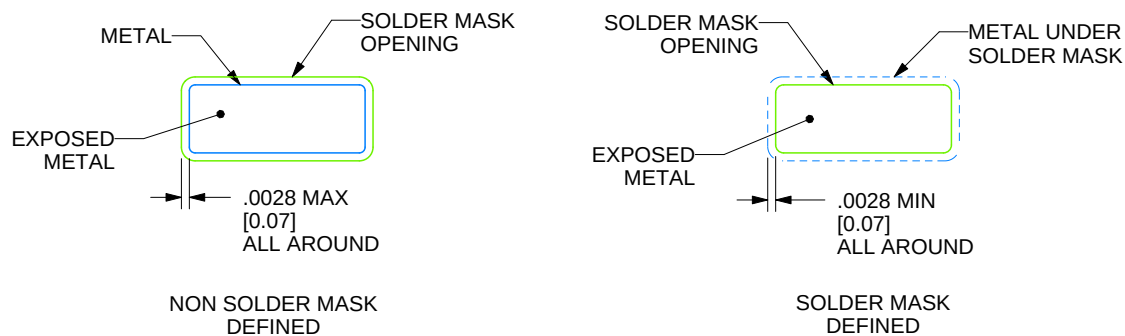
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

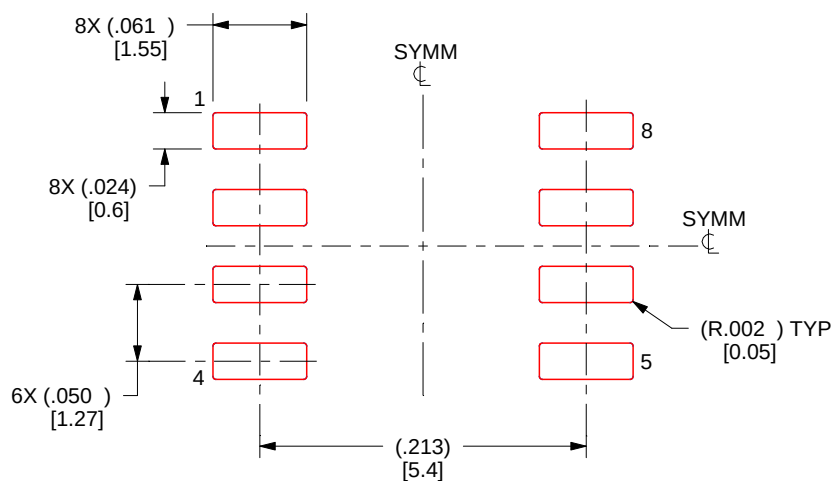
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月