TCAN1043A-Q1 具有睡眠模式的汽车级低功耗故障保护 CAN FD 收发器

1 特性

- 符合面向汽车应用的 AEC Q100 标准
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 符合 ISO 11898-2:2016 的要求
- 宽工作输入电压范围
- 支持高达 8Mbps (TCAN1043A-Q1 或 5Mbps (TCAN1043AT-Q1) 的经典 CAN 和 CAN FD
- V_{IO} 电平转换支持：1.7V 至 5.5V
- 工作模式：
  - 正常模式
  - 静音模式
  - 待机模式
  - 低功耗睡眠模式
- 高压 INH 输出，用于系统电源控制
- 支持通过 WAKE 引脚实现本地唤醒
- 如果出现系统电源故障或软件故障，睡眠唤醒错误 (SWE) 计时器可将系统从待机模式安全转换为睡眠模式
  - 支持长时间上电
- 定义了未上电时的行为
  - 总线和 IO 终端为高阻抗（运行总线或应用上无负载）
- 保护特性：
  - ±58V CAN 总线容错
  - V_{SUP} 上支持负载突降
  - IEC ESD 保护
  - 欠压保护
  - 热关断保护
  - TXD 显性状态超时 (TXD DTO)
- 采用具有可湿性侧面的 14 引脚引线式（SOT 和 SOIC）封装以及无引线 (VSON) 封装，提高了自动光学检测 (AOI) 能力

2 应用

- 车身电子装置和照明
- 汽车网关
- 高级驾驶辅助系统 (ADAS)
- 信息娱乐系统与仪表组
- 混合动力、电动和动力总成系统
- 个人交通工具 - 电动自行车
- 工业运输

3 说明

TCAN1043A-Q1 是一款高速控制器局域网 (CAN) 收发器，符合 ISO 11898-2:2016 高速 CAN 规范对物理层的要求。该器件支持传统 CAN 和 CAN FD，数据速率高达 8 兆位/秒 (Mbps) (TCAN1043A-Q1) 或 5Mbps (TCAN1043AT-Q1)。

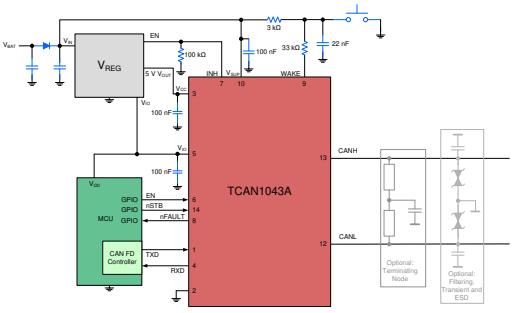
TCAN1043A-Q1 可通过 INH 输出引脚选择性地启用系统上可能存在的各种电源，从而减少整个系统级别的电池电流消耗。这使得在低电流睡眠模式中，功率传送到除 TCAN1043A-Q1 以外的所有系统元件，同时对 CAN 总线进行监控。检测到唤醒事件时，TCAN1043A-Q1 通过将 INH 驱动至高电平来启动系统。

TCAN1043A-Q1 具有一个 SWE 计时器，可在无操作 4 分钟 ($t_{INACTIVE}$) 后，从待机模式安全转换为睡眠模式。如果 MCU 出现故障，无法将器件转换为正常模式，其可以保证器件转换为低功耗的睡眠模式。

封装信息

器件型号	封装(1)	封装尺寸(2)
TCAN1043A-Q1	SOT (DYY)	4.2mm x 3.26mm
	SOIC (D)	8.65mm x 6mm
	VSON (DMT)	4.5mm x 3mm
TCAN1043AT-Q1	SOIC (D)	8.65mm x 6mm
	VSON (DMT)	4.5mm x 3mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 ESD 等级 - IEC 规范 4
5.4 建议运行条件 5
5.5 热性能信息 5
5.6 功耗额定值 5
5.7 电源特性 6
5.8 电气特性 7
5.9 时序要求 9
5.10 开关特性 11
5.11 典型特性 13
6 参数测量信息 14
7 详细说明 18
7.1 概述 18
7.2 功能方框图 18
7.3 特性说明 19
7.4 器件功能模式 25
8 应用信息免责声明 36
8.1 应用信息 36
8.2 电源相关建议 38
8.3 布局 39
9 器件和文档支持 40
9.1 文档支持 40
9.2 接收文档更新通知 40
9.3 支持资源 40
9.4 商标 40
9.5 静电放电警告 40
9.6 术语表 40
10 修订历史记录 40
11 机械、封装和可订购信息 41

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

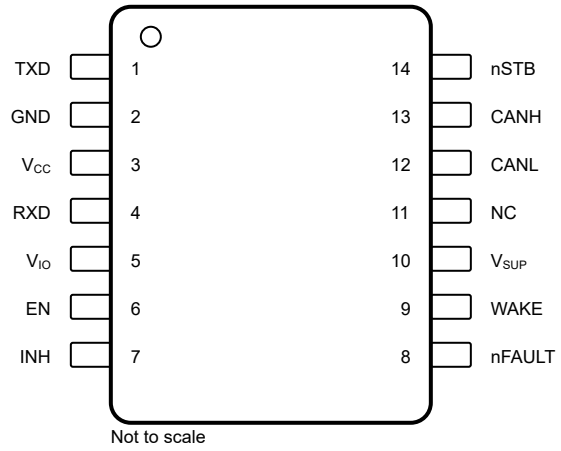


图 4-1. D 和 DYY 封装，14 引脚 (SOIC) 和 (SOT)（顶视图）

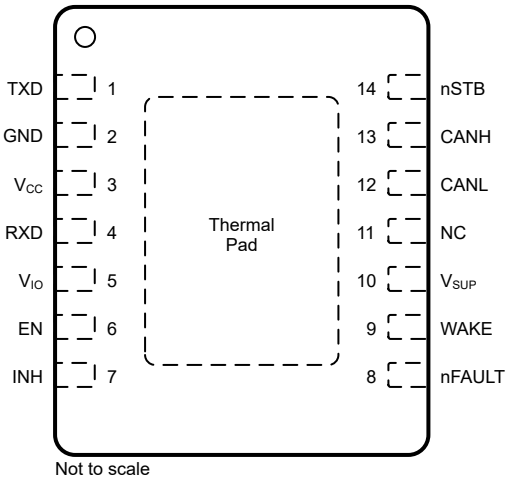


图 4-2. DMT 封装，14 引脚 (VSON)（顶视图）

引脚		类型(1)	说明
名称	编号		
TXD	1	I	CAN 发送数据输入，集成上拉电阻
GND	2	GND	接地连接
V_{CC}	3	P	5V 收发器电源
RXD	4	O	CAN 接收数据输出，当 $V_{IO} < UV_{IO}$ 时为三态
V_{IO}	5	P	I/O 电源电压
EN	6	I	用于模式控制的使能输入，集成下拉电阻
INH	7	O	抑制引脚，用于控制系统稳压器和电源，高压
nFAULT	8	O	故障输出，反相逻辑
WAKE	9	I	本地 WAKE 输入终端，高压
V_{SUP}	10	P	来自电池的高压电源
NC	11	NC	无连接，内部未连接
CANL	12	I/O	低电平 CAN 总线输入/输出线路
CANH	13	I/O	高电平 CAN 总线输入/输出线路
nSTB	14	I	待机模式控制输入，集成下拉电阻
散热焊盘	—		将散热焊盘连接至印刷电路板 (PCB) 接地平面以实现散热

(1) I = 输入，O = 输出，P = 电源，G = 接地，NC = 无连接

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{SUP}	电源电压(2)	-0.3	45	V
V_{CC}	电源电压	-0.3	6	V
V_{IO}	电源电压 I/O 电平转换器	-0.3	6	V
V_{BUS}	CAN 总线 I/O 电压（CANH、CANL）	-58	58	V
V_{DIFF}	CAN 总线差分电压 (V_{DIFF} = V_{CANH} - V_{CANL})	-58	58	V
V_{WAKE}	WAKE 输入电压	-45	45 且 $V_I \leq V_{SUP}$+0.3	V
V_{INH}	INH 引脚电压	-0.3	45 且 $V_O \leq V_{SUP}$+0.3	V
V_{LOGIC}	逻辑引脚电压	-0.3	6	V
$I_{O(LOGIC)}$	逻辑引脚输出电流		8	mA
$I_{O(INH)}$	抑制引脚输出电流		6	mA
$I_{O(WAKE)}$	WAKE 引脚输出电流		3	mA
T_J	结温	-40	165	°C
T_{STG}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 能够支持 300ms 内高达 45V 的负载突降

5.2 ESD 等级

				值	单位
V_{ESD}	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	V_{SUP}、CANH、CANL 和 WAKE 以地为基准	±8000	V
			除 VSUP、CANH、CANL 和 WAKE 之外的所有引脚	±4000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	所有引脚	±750	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 ESD 等级 - IEC 规范

				值	单位
V_{ESD}	静电放电	CANH、CANL、V_{SUP} 和 WAKE 端子至 GND	未供电接触放电，符合 ISO 10605(1)	±8000	V
V_{ESD}	静电放电	CANH 和 CANL 端子至 GND	SAE J2962-2（根据 ISO 10605）供电接触放电 (2)	±8000	V
V_{ESD}	静电放电	CANH 和 CANL 端子至 GND	SAE J2962-2（根据 ISO 10605）供电空气放电 (2)	±15000	V

Copyright © 2025 Texas Instruments Incorporated

5.3 ESD 等级 - IEC 规范（续）

				值	单位
V_{TRAN}	瞬态电压符合 ISO-7637-2 标准 (1)	CAN、V_{SUP}、WAKE 端子至 GND	脉冲 1	- 100	V
			脉冲 2	75	V
			脉冲 3a	- 150	V
			Pulse 3b	100	V
	瞬态电压符合 ISO-7637-3 标准(2)	CAN 端子至 GND	直接耦合电容器，通过 100nF 耦合电容器的“慢速瞬态脉冲” - 供电	±30	V

(1) 此处给出的结果特定于 IEC 62228-3 集成电路 – 收发器的 EMC 评估 – 第 3 部分：CAN 收发器。测试由 IBEE Zwickau 执行，可应要求提供 EMC 报告。
(2) 此处给出的结果特定于 SAE J2962-2 通信收发器认证要求 - CAN。测试由 OEM 批准的独立第三方执行，可应要求提供 EMC 报告。

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{SUP}	电源电压	4.5		40	V
V_{IO}	I/O 电源电压	1.7		5.5	V
V_{CC}	CAN 收发器电源电压	4.5		5.5	V
$I_{OH(DO)}$	数字输出高电平电流	-2			mA
$I_{OL(DO)}$	数字输出低电平电流			2	mA
$I_{O(INH)}$	抑制输出电流			1	mA
T_J	工作结温	-40		150	°C
T_{SDR}	热关断	175			°C
T_{SDF}	热关断释放	160			°C
$T_{SD(HYS)}$	热关断迟滞		10		°C

5.5 热性能信息

热指标 (1)		TCAN1043A-Q1			
		D (SOIC)	DMT (VSON)	DYY (SOT)	单位
		14 引脚	14 引脚	14 引脚	
$R_{\Theta JA}$	结至环境热阻	87.1	39.7	91.0	°C/W
$R_{\Theta JC(top)}$	结至外壳（顶部）热阻	41.8	41.1	41.7	°C/W
$R_{\Theta JB}$	结至电路板热阻	43.7	15.9	25.6	°C/W
Ψ_{JT}	结至顶部特征参数	8.5	0.9	25.4	°C/W
Ψ_{JB}	结至电路板特征参数	43.3	15.9	1.1	°C/W
$R_{\Theta JC(bot)}$	结至外壳（底部）热阻	不适用	6.6	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.6 功耗额定值

参数		测试条件	功率耗散	单位
P_D	平均功耗	V_{SUP} = 14V，V_{CC} = 5V，V_{IO} = 5V，T_J = 27°C，R_L = 60Ω，nSTB = 5V，EN = 5V，C_{L_RXD} = 15pF。典型 CAN 工作条件（500kbps，25% 传输（显性）速率）。	62	mW
		V_{SUP} = 14V，V_{CC} = 5.5V，V_{IO} = 5.5V，T_J = 150°C，R_L = 50Ω，nSTB = 5.5V，EN = 5.5V，C_{L_RXD} = 15pF。典型高负载 CAN 工作条件（1Mbps，50% 传输（显性）速率，负载网络）。	135	mW

Copyright © 2025 Texas Instruments Incorporated

5.7 电源特性

在建议工作条件下，T_J = –40°C 至 150°C（除非另外说明）。所有典型值均在 25°C、VSUP = 12V、VIO = 3.3V、VCC = 5V 且 RL = 60Ω 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
电源电压和电流特性						
I_{SUP_NORMAL}	电源电流 CAN 活动	正常模式、静音模式和进入睡眠模式			130	µA
I_{SUP_STBY}	电源电流，待机模式 CAN 自主：非活动 (2)				60	µA
I_{SUP_SLEEP}	电源电流，睡眠模式 CAN 自主：非活动 (2)			18	30	µA
I_{SUP_BIAS}	处于 CAN 自主活动模式时的额外电源电流 ($I_{SUP(BIAS)}$)	5.5V < V_{SUP} ≤ 28V href 请参阅图 6-3			50	µA
$UV_{SUP(R)}$	欠压 V_{SUP} 阈值上升		3.85		4.4	V
$UV_{SUP(F)}$	欠压 V_{SUP} 阈值下降		3.5		4.25	V
I_{CC_NORMAL}	电源电流 CAN 活动：显性	正常模式 TXD = 0V，R_L = 60Ω，C_L = 开路 请参阅图 6-3			60	mA
		正常模式 TXD = 0V，R_L = 50Ω，C_L = 开路 请参阅图 6-3			70	mA
	V_{CC} 电源电流，正常模式 显性，存在总线故障	正常模式 TXD = 0V，R_L = 开路，C_L = 开路，CANH = -25V 请参阅图 6-3			110	mA
	电源电流 CAN 活动：隐性	正常模式 TXD = 0V，R_L = 50Ω，C_L = 开路 请参阅图 6-3			5	mA
I_{CC_STBY}	电源电流，待机模式 CAN 自主：非活动	T_J = -40°C 至 85°C EN = nSTB = 0V 请参阅图 6-3			2	µA
		待机模式 EN = nSTB = 0V 请参阅图 6-3			5	µA
I_{CC_SILENT}	电源电流，静音模式和进入睡眠模式	静音模式和进入睡眠模式 TXD = nSTB = V_{IO}，R_L = 50Ω，C_L = 开路 请参阅图 6-3			2.5	mA
I_{CC_SLEEP}	电源电流，睡眠模式 CAN 自主：非活动	睡眠模式 T_J = -40°C 至 85°C EN = 0V 或 V_{IO}，nSTB = 0V 请参阅图 6-3			2	µA
		睡眠模式 EN = 0V 或 V_{IO}，nSTB = 0V 请参阅图 6-3			5	µA
$UV_{CC(R)}$	欠压 V_{CC} 阈值上升			4.1	4.4	V
$UV_{CC(F)}$	欠压 V_{CC} 阈值下降		3.5	3.9		V
$V_{HYS(UVCC)}$	UV_{CC} 上的迟滞电压		50	240	320	mV
I_{IO_NORMAL}	I/O 电源电流	正常模式 RXD 悬空，TXD = 0V			200	µA
	I/O 电源电流	正常模式、待机模式或进入睡眠模式 RXD 悬空，TXD = V_{IO}			5	µA
I_{IO_SLEEP}	I/O 电源电流	睡眠模式，T_J = -40°C 至 85°C nSTB = 0V			2.5	µA
	I/O 电源电流	睡眠模式 nSTB = 0V			5	µA
$UV_{IO(R)}$	欠压 V_{IO} 阈值上升	斜升		1.4	1.65	V
$UV_{IO(F)}$	欠压 V_{IO} 阈值下降	斜降	1	1.25		V
$V_{HYS(UVIO)}$	UV_{IO} 上的迟滞电压		30	60	160	mV

(1) 从 CAN 自主活动模式下的总电源电流中减去 CAN 自主非活动模式下的电源电流，从而计算出 $I_{SUP(BIAS)}$
(2) 有效唤醒后，CAN 收发器切换至 CAN 自主活动模式，并且需要将 $I_{SUP(BIAS)}$ 电流添加到 CAN 自主非活动模式下的指定 I_{SUP} 电流。

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性

在建议工作条件下，T_J = –40°C 至 150°C（除非另外说明）。所有典型值均在 25°C、VSUP = 12V、VIO = 3.3V、VCC = 5V 且 RL = 60Ω 条件下获得

参数			测试条件	最小值	典型值	最大值	单位
CAN 驱动器特性							
$V_{O(D)}$	显性输出电压 总线偏置激活	CANH	TXD = 0V，50Ω ≤ R_L ≤ 65Ω，C_L = 开路，R_{CM} = 开路 请参阅图 6-1 和图 6-4	2.75		4.5	V
		CANL		0.5		2.25	V
$V_{O(R)}$	隐性输出电压 总线偏置激活		TXD = V_{IO}，R_L = 开路（无负载），R_{CM} = 开路 请参阅图 6-1 和图 6-4	2		3	V
V_{SYM}	驱动器对称性 总线偏置激活 ($V_{O(CANH)}$ + $V_{O(CANL)}$)/V_{CC}		nSTB= V_{IO}，R_L = 60Ω，C_{SPLIT} = 4.7nF，C_L = 开路，R_{CM} = 开路，TXD = 250kHz、1MHz、2.5MHz 请参阅图 6-1 和图 6-4	0.9		1.1	V/V
V_{SYM_DC}	直流驱动器对称性 总线偏置激活 V_{CC} – $V_{O(CANH)}$ – $V_{O(CANL)}$		nSTB= V_{IO}，R_L = 60Ω，C_L = 开路 请参阅图 6-1 和图 6-4	-400		400	mV
$V_{OD(DOM)}$	差分输出电压 总线偏置激活 显性	CANH - CANL	nSTB = V_{IO}，TXD = 0V，50Ω ≤ R_L ≤ 65Ω，C_L = 开路 请参阅图 6-1 和图 6-4	1.5		3	V
		CANH - CANL	nSTB = V_{IO}，TXD = 0V，45Ω ≤ R_L ≤ 70Ω，CL = 开路 请参阅图 6-1 和图 6-4	1.4		3.3	V
		CANH - CANL	nSTB = V_{IO}，TXD = 0V，R_L = 2240Ω，C_L = 开路 请参阅图 6-1 和图 6-4	1.5		5	V
$V_{OD(REC)}$	差分输出电压 总线偏置激活 隐性	CANH - CANL	nSTB = V_{IO}，TXD = V_{IO}，R_L = 开路，C_L = 开路 请参阅图 6-1 和图 6-4	-50		50	mV
$V_{O(STB)}$	总线输出电压 总线偏置未激活	CANH	nSTB = 0V，TXD = V_{IO}，R_L = 开路（无负载），C_L = 开路 请参阅图 6-1 和图 6-4	-0.1		0.1	V
		CANL	nSTB = 0V，TXD = V_{IO}，R_L = 开路（无负载），C_L = 开路 请参阅图 6-1 和图 6-4	-0.1		0.1	V
		CANH - CANL	nSTB = 0V，TXD = V_{IO}，R_L = 开路（无负载），C_L = 开路 请参阅图 6-1 和图 6-4	-0.2		0.2	V
$I_{OS(DOM)}$	短路稳态输出电流 总线偏置激活 显性		nSTB = V_{IO}，TXD = 0V -15V ≤ $V_{(CANH)}$ ≤ 40V 请参阅图 6-1 和图 6-8	-100			mA
			nSTB = V_{IO}，TXD = 0V -15V ≤ $V_{(CANL)}$ ≤ 40V 请参阅图 6-1 和图 6-8			100	mA
$I_{OS(REC)}$	短路稳态输出电流 总线偏置激活 隐性		nSTB = V_{IO}，V_{BUS} = CANH = CANL -27V ≤ V_{BUS} ≤ 42V 请参阅图 6-1 和图 6-8	-3		3	mA
CAN 接收器特性							
$V_{IT(DOM)}$	接收器显性状态输入电压范围 总线偏置激活		nSTB = V_{IO}，-12V ≤ V_{CM} ≤ 12V 请参阅图 6-5 和表 7-6	0.9		8	V
$V_{IT(REC)}$	接收器隐性状态输入电压范围 总线偏置激活			-3		0.5	V
V_{HYS}	输入的迟滞电压阈值 总线偏置激活		nSTB = V_{IO} 请参阅图 6-5 和表 7-6		140		mV

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性（续）

在建议工作条件下，T_J = –40°C 至 150°C（除非另外说明）。所有典型值均在 25°C、VSUP = 12V、VIO = 3.3V、VCC = 5V 且 RL = 60Ω 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
$V_{DIFF(DOM)}$	接收器显性状态输入电压范围 总线偏置未激活	nSTB = 0V，-12V ≤ V_{CM} ≤ 12V 请参阅图 6-5 和表 7-6	1.150		8	V
$V_{DIFF(REC)}$	接收器隐性状态输入电压范围 总线偏置未激活		-3		0.4	V
V_{CM}	共模范围	nSTB = V_{IO} 请参阅图 6-5 和表 7-6	-12		12	V
$I_{OFF(LKG)}$	断电（未上电）输入漏电流 CANH、CANL 引脚	V_{SUP} = 0V，CANH = CANL = 5V			2.5	μA
C_I	对地输入电容（CANH 或 CANL）(1)				20	pF
C_{ID}	差分输入电容(1)				10	pF
R_{ID}	差分输入电阻	TXD = V_{CC} = V_{IO} = 5V，nSTB = 5V -12V ≤ V_{CM} ≤ 12V	50		100	kΩ
R_{IN}	输入电阻（CANH 或 CANL）		25		50	kΩ
$R_{IN(M)}$	输入电阻匹配： [1 – $R_{IN(CANH)}$ / $R_{IN(CANL)}$] × 100%	$V_{(CANH)}$ = $V_{(CANL)}$ = 5V	-1		1	%
R_{CBF}	总线故障电路的有效差分负载阻抗范围	R_{CM} = R_L，C_L = 开路	45		70	Ω
TXD 特性						
V_{IH}	高电平输入电压		0.7			V_{IO}
V_{IL}	低电平输入电压				0.3	V_{IO}
I_{IH}	高电平输入漏电流	TXD = V_{IO} = 5.5V	-2.5	0	1	μA
I_{IL}	低电平输入漏电流	TXD = 0V，V_{IO} = 5.5V	-115		-2.5	μA
$I_{LKG(OFF)}$	未供电时的漏电流	TXD = 5.5V，V_{SUP} = V_{IO} = 0V	-1	0	1	μA
R_{PU}	VIO 的上拉电阻		40	60	80	kΩ
C_I	输入电容	V_{IN} = 0.4 x sin(2 × π × 2 × 10^6 × t) + 2.5V		5		pF
RXD 特性						
V_{OH}	高电平输出电压	I_O = –2mA 请参阅图 6-5	0.8			V_{IO}
V_{OL}	低电平输出电压	I_O = 2mA 请参阅图 6-5			0.2	V_{IO}
$I_{LKG(OFF)}$	未供电时的漏电流	RXD = 5.5V，V_{SUP} = V_{IO} = 0V	-1		1	μA
nSTB 特性						
V_{IH}	高电平输入电压		0.7			V_{IO}
V_{IL}	低电平输入电压				0.3	V_{IO}
I_{IH}	高电平输入漏电流	nSTB = V_{IO} = 5.5V	0.5		115	μA
I_{IL}	低电平输入漏电流	nSTB = 0V，V_{IO} = 5.5V	-1		1	μA
$I_{LKG(OFF)}$	未供电时的漏电流	nSTB = 5.5V，V_{IO} = 0V	-1	0	1	μA
R_{PD}	下拉电阻		40	60	80	kΩ
nFAULT 特性						
V_{OH}	高电平输出电压	I_O = -2mA	0.8			V_{IO}
V_{OL}	低电平输出电压	I_O = 2mA			0.2	V_{IO}
$I_{LKG(OFF)}$	未供电时的漏电流	nFAULT = 5.5V，V_{IO} = 0V	-1	0	1	μA
EN 特性						
V_{IH}	高电平输入电压		0.7			V_{IO}
V_{IL}	低电平输入电压				0.3	V_{IO}
I_{IH}	高电平输入漏电流	EN = V_{CC} = V_{IO} = 5.5V	0.5		115	μA
I_{IL}	低电平输入漏电流	EN = 0V，V_{CC} = V_{IO} = 5.5V	-1		1	μA
$I_{LKG(OFF)}$	未供电时的漏电流	EN = 5.5V，V_{CC} = V_{IO} = 0V	-1		1	μA

Copyright © 2025 Texas Instruments Incorporated

5.8 电气特性（续）

在建议工作条件下，T_J = –40°C 至 150°C（除非另外说明）。所有典型值均在 25°C、VSUP = 12V、VIO = 3.3V、VCC = 5V 且 RL = 60Ω 条件下获得

参数		测试条件	最小值	典型值	最大值	单位
R_{PD}	下拉电阻		40	60	80	kΩ
WAKE 特性						
V_{IH}	高电平输入电压	睡眠模式	V_{SUP} - 2			V
V_{IL}	低电平输入电压				V_{SUP} - 3.5	V
I_{IH}	高电平输入漏电流 (2)	WAKE = V_{SUP} – 1V	-3			μA
I_{IL}	低电平输入漏电流 (2)	WAKE = 1V			3	μA
INH 特性						
ΔV_H	从 VSUP 至 INH 的高电平压降 (V_{SUP} - V_{INH})	I_{INH} = –6mA		0.5	1	V
$I_{LKG(INH)}$	睡眠模式漏电流	INH = 0V	-0.5		0.5	μA
R_{PD}	下拉电阻	睡眠模式	2.5	4	6	MΩ

(1) 根据设计指定并通过工作台表征来验证
(2) 为了更大限度地降低系统级电流消耗，WAKE 引脚会根据施加的电压自动配置为内部上拉或下拉电流源。高电平输入会产生内部上拉电阻，低电平输入会产生内部下拉电阻。

5.9 时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
电源特性							
t_{PWRUP}	在 $V_{SUP} \geq UV_{SUP(R)}$ 之后 INH 活动所需的时间		参阅图 6-10		310		μs
t_{UV}	V_{CC} 和 V_{IO} 欠压滤波时间 (1)		$V_{CC} \leq UV_{CC}$ 或 $V_{IO} \leq UV_{IO}$	100		350	ms
$t_{UV(RE-ENABLE)}$	发生欠压事件后重新使能所需的时间 (1)		发生 UV_{CC} 或 UV_{IO} 欠压事件后器件恢复正常运行所需的时间			200	μs
器件特性							
$t_{PROP(LOOP1)}$	总循环延迟，驱动器输入 (TXD) 至接收器输出 (RXD)，隐性状态至显性状态	仅 TCAN1043A-Q1	R_L = 60Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF 请参阅图 6-6		140	215	ns
$t_{PROP(LOOP2)}$	总环路延迟，驱动器输入 (TXD) 到接收器输出 (RXD)，显性状态至隐性状态		R_L = 60Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF 请参阅图 6-6		140	205	ns
$t_{PROP(LOOP1)}$	总循环延迟，驱动器输入 (TXD) 至接收器输出 (RXD)，隐性状态至显性状态	仅 TCAN1043AT-Q1	R_L = 60Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF 请参阅图 6-6		170	255	ns
$t_{PROP(LOOP2)}$	总环路延迟，驱动器输入 (TXD) 到接收器输出 (RXD)，显性状态至隐性状态		R_L = 60Ω，C_L = 100pF，$C_{L(RXD)}$ = 15pF 请参阅图 6-6		170	255	ns
$t_{WK(TIMEOUT)}$	总线唤醒超时值 (1)			0.8		2	ms
$t_{WK(FILTER)}$	满足唤醒请求滤波总线要求的总线时间 (1)			0.5		1.8	μs
$t_{SILENCE}$	总线空闲超时 (1)		当总线从显性状态变为隐性状态时，计时器会复位并重新启动，反之亦然	0.6		1.2	s
$t_{INACTIVE}$	待机模式 SWE 计时器超时周期(1)			3	4	5	min
t_{BIAS}	总线偏置反应时间 (1)	从显性-隐性-显性序列开始（每个阶段 6μs）到 $V_{SYM} \geq 0.1$ 之间测得	nSTB = EN = 0V，R_L = 60Ω，C_{SPLIT} = 4.7nF 请参阅图 6-9 和图 8-2			200	μs
t_{CBF}	总线故障检测时间		45Ω $\leq R_{CM} \leq$ 70Ω C_L = 开路	2.5			μs
t_{WAKE_HT}	在 WAKE 引脚的上升沿或下降沿之后 WAKE 引脚电压应保持稳定来识别 LWU 的保持时间。			5		50	μs
模式更改特性							
$t_{INH_SLP_STB}$	INH 有效时间 (1)					100	μs

Copyright © 2025 Texas Instruments Incorporated

5.9 时序要求（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{MODE1}	模式更改时间，从离开睡眠模式到进入正常模式或静音模式的时间(1)	从 VCC 和 VIO 超过 UV 阈值到进入正常模式或静音模式所测得的时间。			20	µs
t_{MODE2}	正常模式、静音模式和待机模式之间以及从睡眠模式到待机模式的模式更改时间 (1)	正常模式、静音模式和待机模式之间以及从睡眠模式到待机模式的模式更改时间			10	µs
$t_{GOTOSLEEP}$	转换到睡眠模式所需的最小保持时间 (1)	EN = H 且 nSTB = L	20		50	µs

(1) 根据设计指定并通过工作台表征来验证

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性

在建议工作条件下，T_J = –40°C 至 150°C（除非另外说明）。所有典型值均在 25°C、VSUP = 12V、VIO = 3.3V、VCC = 5V 且 RL = 60Ω 条件下获得

参数			测试条件	最小值	典型值	最大值	单位
驱动器特性							
t_{pHR}	传播延迟时间，TXD 高电平到驱动器隐性	仅 TCAN1043AT-Q1	R_L = 60Ω，C_L = 100pF，R_{CM} = 开路 请参阅图 6-4	30	80	140	ns
t_{pLD}	传播延迟时间，TXD 低电平到驱动器显性		R_L = 60Ω，C_L = 100pF，R_{CM} = 开路 请参阅图 6-4	30	80	140	ns
$t_{sk(p)}$	脉冲偏斜 ($\lvert t_{pHR} - t_{pLD} \rvert$)		R_L = 60Ω，C_L = 100pF，R_{CM} = 开路 请参阅图 6-4		8		ns
t_R	差分输出信号上升时间		R_L = 60Ω，C_L = 100pF，R_{CM} = 开路 请参阅图 6-4		50		ns
t_F	差分输出信号下降时间				50		ns
t_{pHR}	传播延迟时间，TXD 高电平到驱动器隐性	仅限 TCAN1043A-Q1 型号	R_L = 60Ω，C_L = 100pF，R_{CM} = 开路 请参阅图 6-4	30	50	90	ns
t_{pLD}	传播延迟时间，TXD 低电平到驱动器显性			30	50	90	ns
$t_{sk(p)}$	脉冲偏斜 ($\lvert t_{pHR} - t_{pLD} \rvert$)				8		ns
t_R	差分输出信号上升时间				50		ns
t_F	差分输出信号下降时间				50		ns
t_{TXDDTO}	显性超时		TXD = 0V，R_L = 60Ω，C_L = 开路 请参阅图 6-7	1.2		3.8	ms
接收器特性							
t_{pRH}	传播延迟时间，总线隐性输入到 RXD 高电平		$C_{L(RXD)}$ = 15pF 请参阅图 6-5	25	75	140	ns
t_{pDL}	传播延迟时间，总线显性输入到 RXD 低电平输出			20	75	130	ns
t_R	输出信号上升时间 (RXD)				4		ns
t_F	输出信号下降时间 (RXD)				4		ns
t_{BUSDOM}	显性超时		R_L = 60Ω，C_L = 开路 请参阅图 6-5	1.4		3.8	ms
CAN FD 特性							
$t_{BIT(BUS)}$ (1)	$t_{BIT(TXD)}$ = 500ns 时 CAN 总线输出引脚上的位时间	仅 TCAN1043A-Q1	R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	450		525	ns
	$t_{BIT(TXD)}$ = 200ns 时 CAN 总线输出引脚上的位时间		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	160		210	ns
	$t_{BIT(TXD)}$ = 125ns 时 CAN 总线输出引脚上的位时间(2)		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	80		135	ns
$t_{BIT(BUS)}$ (1)	$t_{BIT(TXD)}$ = 500ns 时 CAN 总线输出引脚上的位时间	仅 TCAN1043AT-Q1	R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15 $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	450		530	ns
	$t_{BIT(TXD)}$ = 200ns 时 CAN 总线输出引脚上的位时间		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15 $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	155		210	ns

Copyright © 2025 Texas Instruments Incorporated

5.10 开关特性（续）

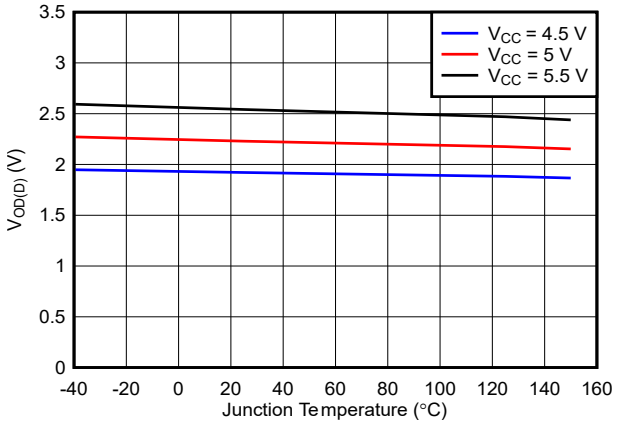
在建议工作条件下，T_J = –40°C 至 150°C（除非另外说明）。所有典型值均在 25°C、VSUP = 12V、VIO = 3.3V、VCC = 5V 且 RL = 60Ω 条件下获得

参数			测试条件	最小值	典型值	最大值	单位
$t_{BIT(RXD)}$ (1)	$t_{BIT(TXD)}$ = 500ns 时 RXD 输出引脚上的位时间	仅 TCAN1043A-Q1	R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	410		540	ns
	$t_{BIT(TXD)}$ = 200ns 时 RXD 输出引脚上的位时间		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	130		210	ns
	$t_{BIT(TXD)}$ = 125ns 时 RXD 输出引脚上的位时间(2)		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	60		135	ns
$t_{BIT(RXD)}$ (1)	$t_{BIT(TXD)}$ = 500ns 时 RXD 输出引脚上的位时间	仅 TCAN1043AT-Q1	R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15 $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	410		540	ns
	$t_{BIT(TXD)}$ = 200ns 时 RXD 输出引脚上的位时间		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15 $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	120		220	ns
Δt_{REC} (1)	$t_{BIT(TXD)}$ = 500ns 时的接收器时序对称性	仅 TCAN1043A-Q1	R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	-50		20	ns
	$t_{BIT(TXD)}$ = 200ns 时的接收器时序对称性		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	-45		10	ns
	$t_{BIT(TXD)}$ = 125ns 时的接收器时序对称性(2)		R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15pF $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	-25		10	ns
Δt_{REC} (1)	$t_{BIT(TXD)}$ = 500ns 时的接收器时序对称性	仅 TCAN1043AT-Q1	R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15 $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	-50		20	ns
	$t_{BIT(TXD)}$ = 200ns 时的接收器时序对称性	仅 TCAN1043AT-Q1	R_L = 60Ω，C_{L1} = 开路，C_{L2} = 100pF，$C_{L(RXD)}$ = 15 $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$ 请参阅图 6-6	-45		15	ns

(1) TXD 上的输入信号的上升时间和下降时间（10% 至 90%）应小于 10ns
(2) 根据设计指定并通过工作台表征来验证

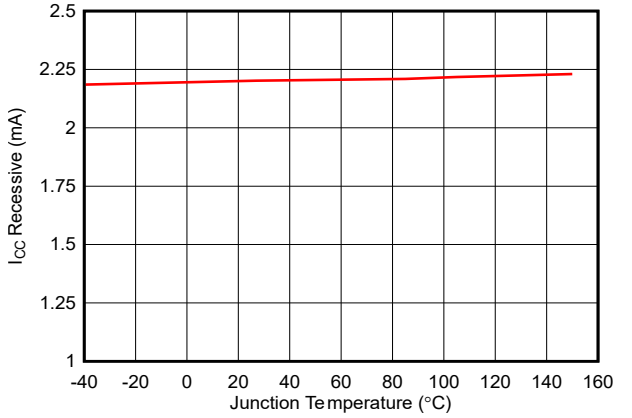
Copyright © 2025 Texas Instruments Incorporated

5.11 典型特性



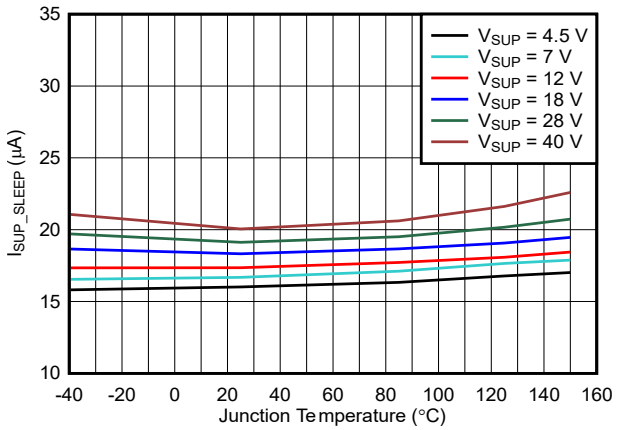
R_L = 60 Ω　　C_L = 开路　　R_{CM} = 开路
V_{IO} = 3.3V

图 5-1. $V_{OD(DOM)}$ 与温度和 V_{CC} 间的关系



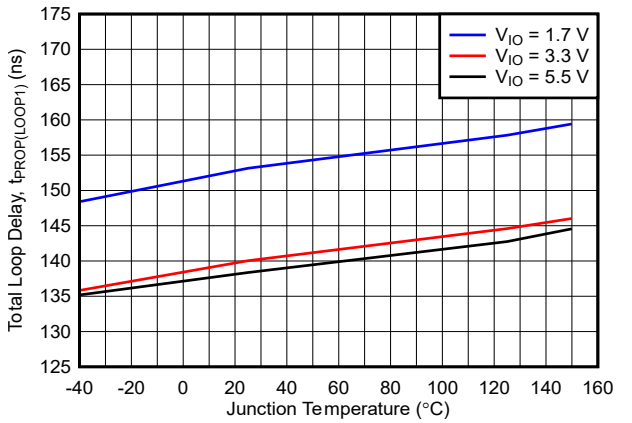
R_L = 60 Ω　　C_L = 开路　　R_{CM} = 开路
V_{CC} = 5V　　V_{IO} = 3.3V

图 5-2. I_{CC} 隐性状态与温度间的关系



R_L = 60 Ω　　C_L = 开路　　R_{CM} = 开路
V_{CC} = 5V　　V_{IO} = 3.3V

图 5-3. 睡眠模式下的 I_{SUP} 与 VSUP 和温度间的关系



R_L = 60 Ω　　C_L = 100pF　　$C_{L(RXD)}$ = 15pF
V_{CC} = 5V　　V_{SUP} = 12V

图 5-4. 环路传播延迟与 VIO 和温度间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

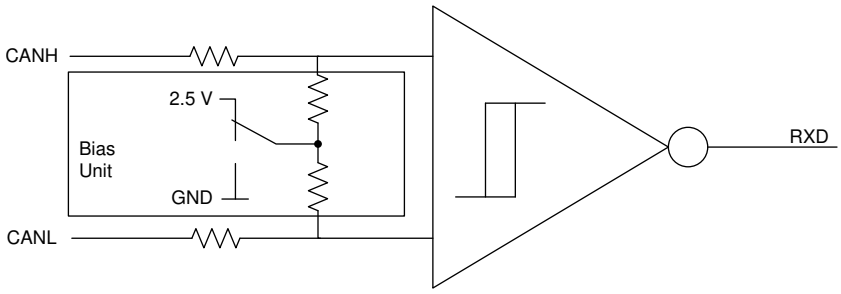


图 6-1. 共模偏置单元和接收器

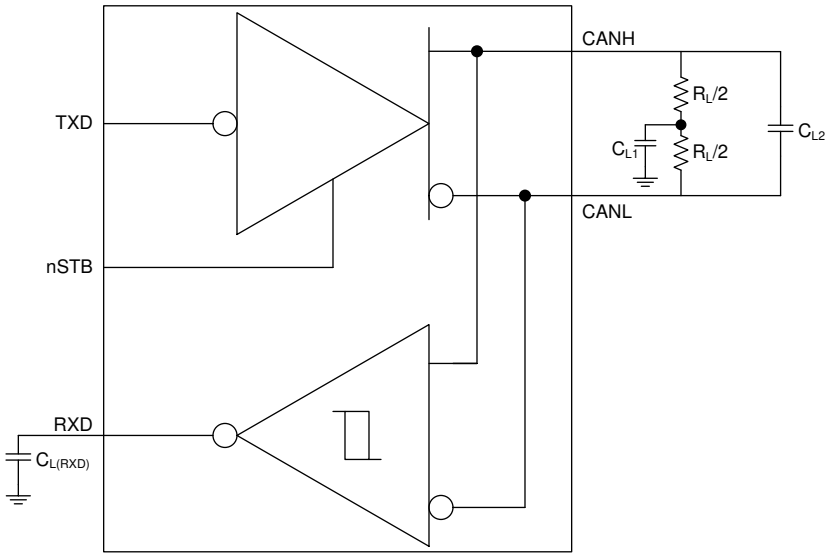


图 6-2. 测试电路

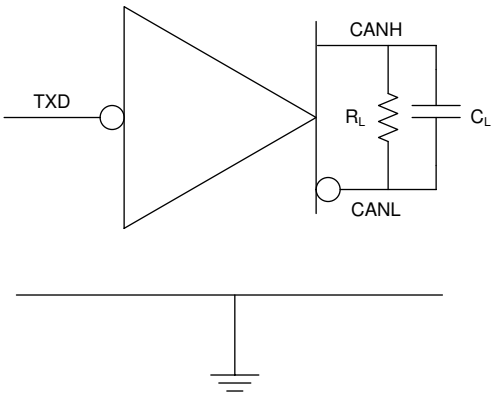


图 6-3. 电源测试电路

Copyright © 2025 Texas Instruments Incorporated

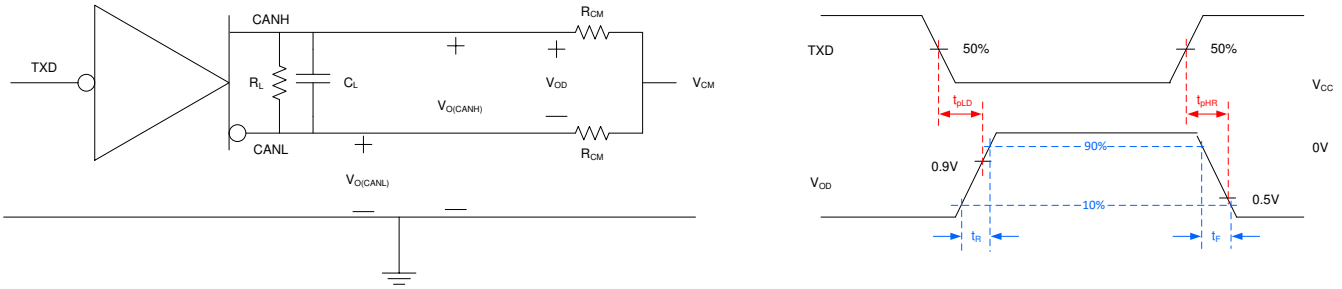


图 6-4. 驱动器测试电路与测量

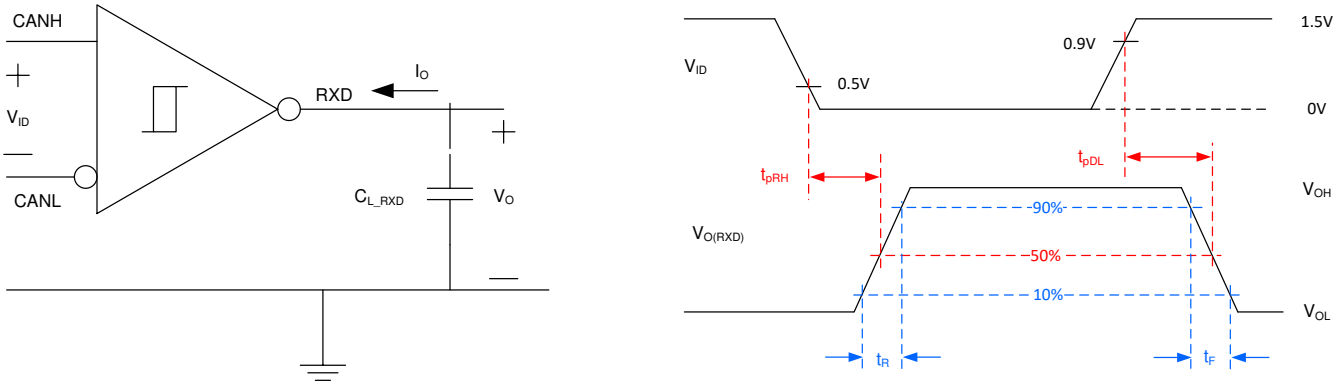


图 6-5. 接收器测试电路与测量

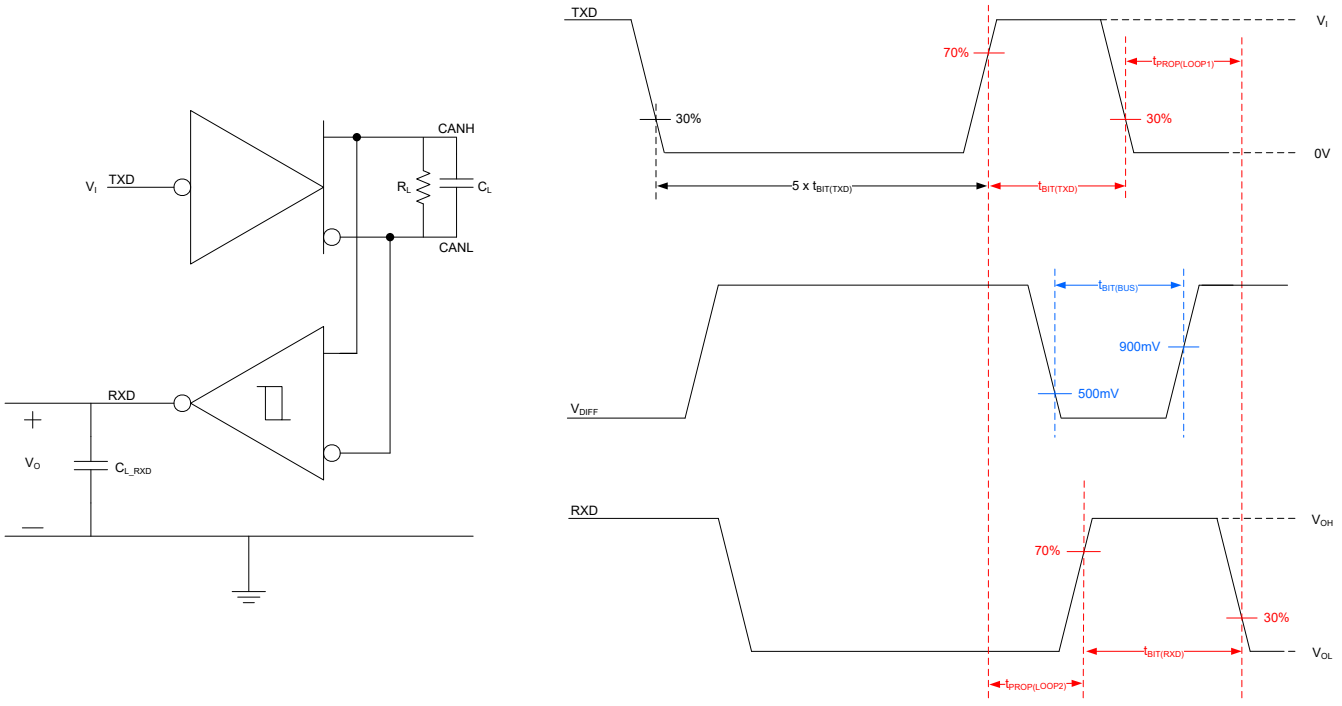


图 6-6. 发送器和接收器时序行为测试电路和测量

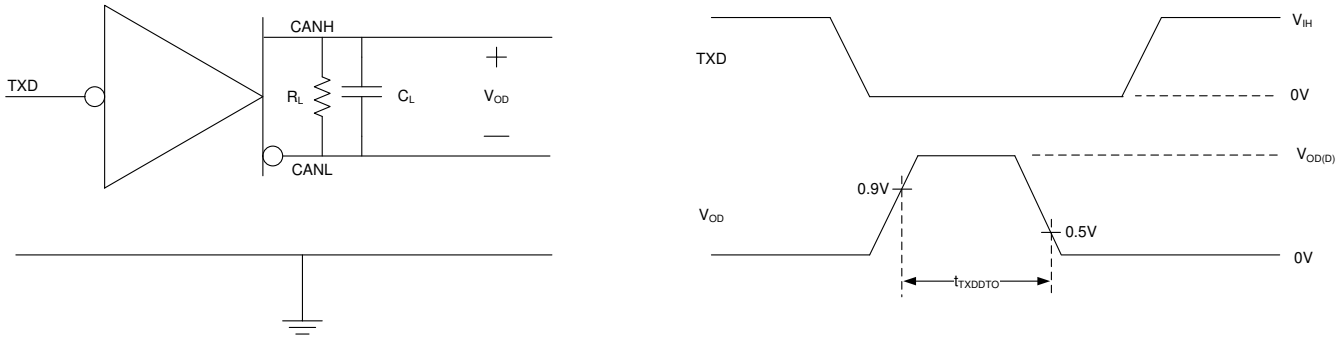


图 6-7. TXD 显性超时测试电路与测量

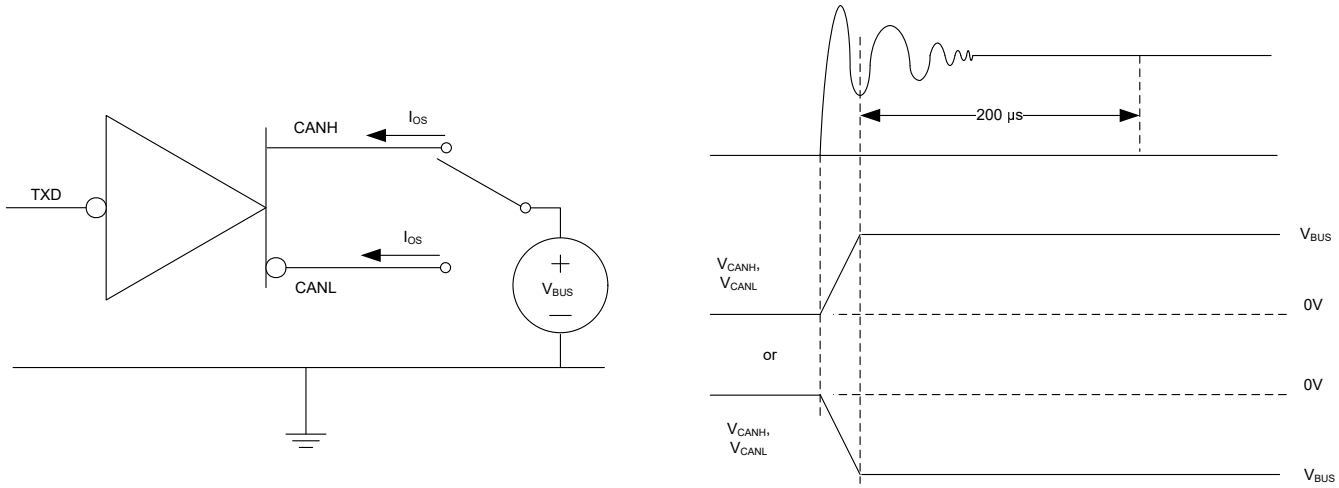


图 6-8. 驱动器短路电流测试与测量

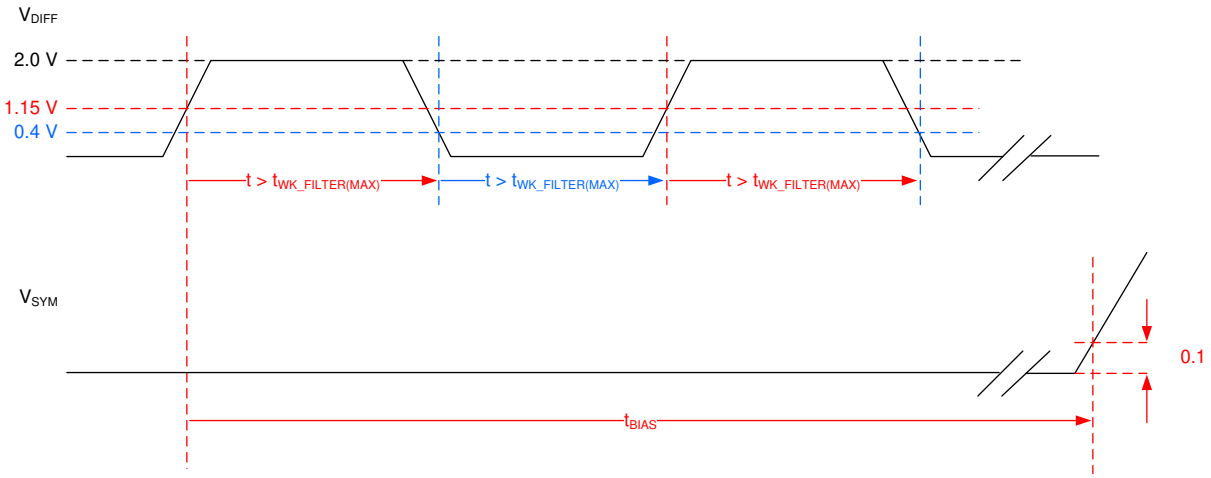


图 6-9. 偏置反应时间测量

Copyright © 2025 Texas Instruments Incorporated

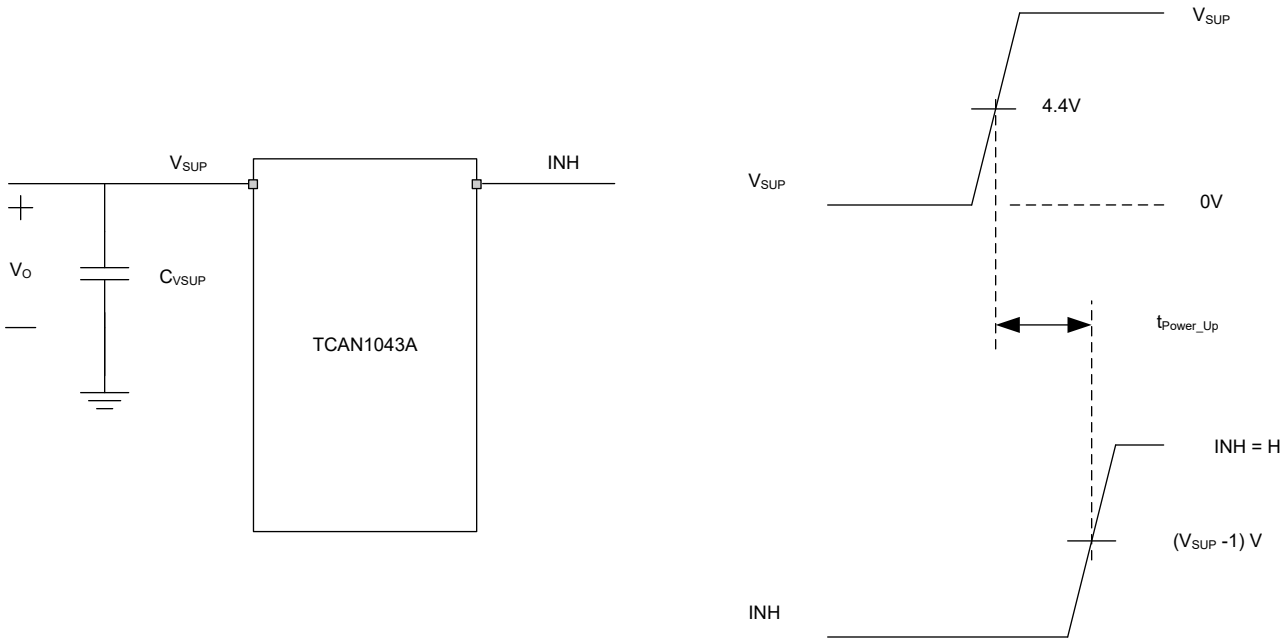

VSUP
INH
VO
CVSUP
TCAN1043A
VSUP
4.4V
0V
tPower_Up
INH = H
(VSUP -1) V
INH

图 6-10. 上电时序

7 详细说明

7.1 概述

TCAN1043A-Q1 是一款高速控制器局域网 (CAN) 收发器，符合 ISO 11898-2:2016 高速 CAN 规范对物理层的要求。TCAN1043A-Q1 支持传统 CAN 和 CAN FD 网络，数据速率高达 8 兆位/秒 (Mbps)。

该收发器有三个独立的电源输入，V_{SUP}、V_{CC} 和 V_{IO}。通过使用 V_{IO}，TCAN1043A-Q1 可以直接连接至 1.8V、2.5V、3.3V 或 5V 控制器，而无需电平转换器。TCAN1043A-Q1 可通过 INH 输出引脚选择性地启用系统中可能存在的各种电源，从而减少整个系统级别的电池电流消耗。这使得在低电流睡眠状态中，功率传送到除 TCAN1043A-Q1 以外的所有系统元件，而该器件则仍然处于低功耗状态，并对 CAN 总线进行监控。在总线上检测到唤醒模式或通过 WAKE 输入请求本地唤醒时，通过将 INH 输出驱动至高电平来启动节点。

TCAN1043A-Q1 包括许多保护和诊断功能，包括欠压检测、CAN 总线故障检测、SWE 计时器、电池连接检测、热关断 (TSD)、驱动器显性超时 (TXD DTO) 和高达 ±58V 的总线故障保护。

7.2 功能方框图

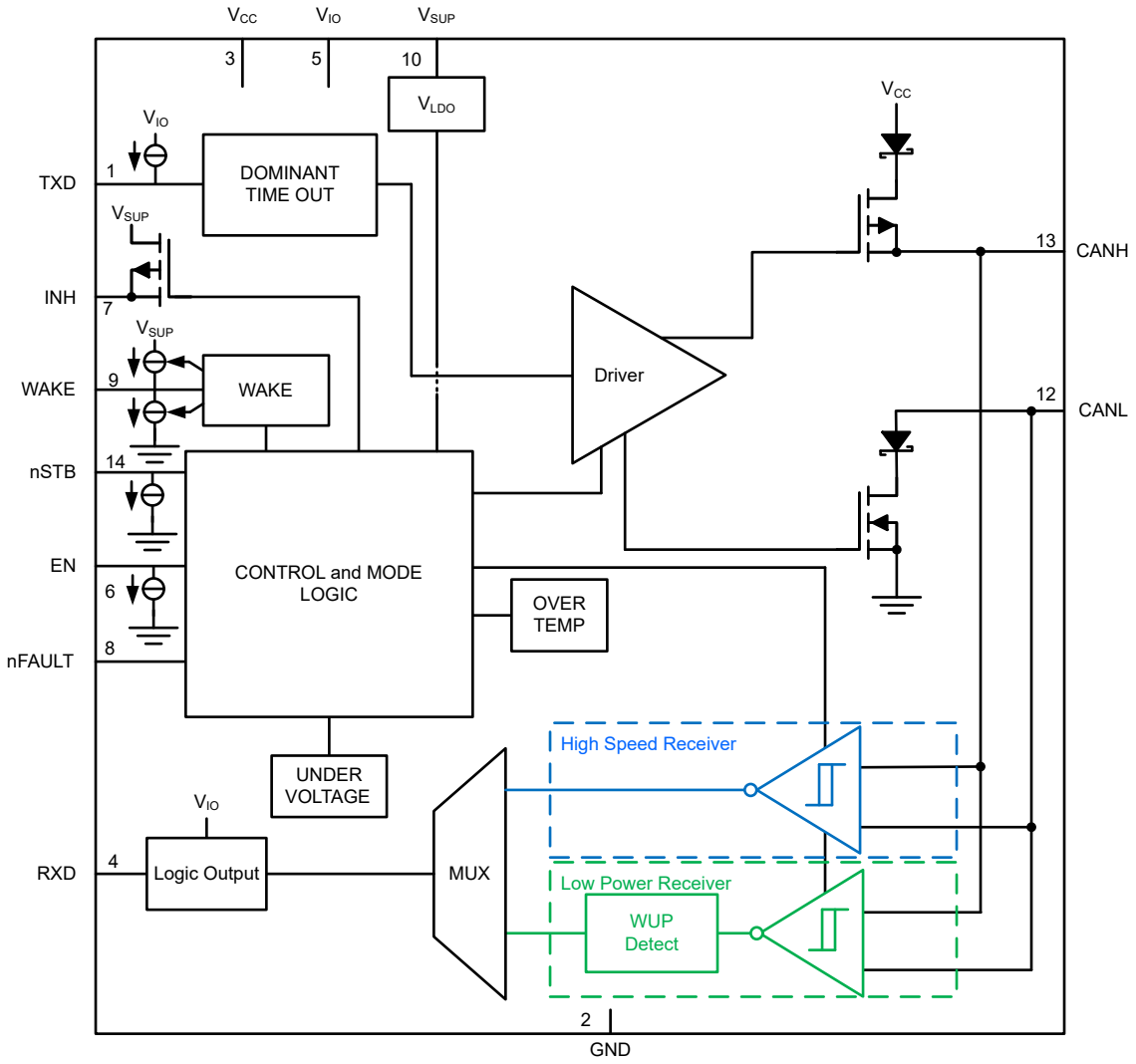


图 7-1. TCAN1043A-Q1 功能方框图

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 电源引脚

TCAN1043A-Q1 使用三个独立电源输入来调节器件的不同部分。

7.3.1.1 V_{SUP} 引脚

此引脚连接到电池电源。其可为支持数字内核和低功耗 CAN 接收器的内部稳压器提供电源。

7.3.1.2 V_{CC} 引脚

此引脚为 CAN 收发器提供 5V 电源电压。

7.3.1.3 V_{IO} 引脚

此引脚提供数字 I/O 电压以匹配 CAN FD 控制器 I/O 电压。该引脚支持 1.7V 至 5.5V 的 I/O 电压，可以适配多种控制器的需求。

7.3.2 数字输入与输出

7.3.2.1 TXD 引脚

TXD 是从 CAN FD 控制器到 TCAN1043A-Q1 的逻辑电平输入信号，以 VIO 为基准。TXD 偏置到 V_{IO} 电平，以便在引脚悬空时强制采用隐性输入。

7.3.2.2 RXD 引脚

RXD 是从 TCAN1043A-Q1 到 CAN FD 控制器的逻辑电平信号输出，以 VIO 为基准。一旦存在有效的 VIO，RXD 引脚便会驱动为 V_{IO} 电平来作为逻辑高电平输出。

发生上电或唤醒事件时，RXD 引脚会拉至低电平。

7.3.2.3 nFAULT 引脚

nFAULT 是从 TCAN1043A-Q1 到 CAN FD 控制器的逻辑电平输出信号，以 VIO 为基准。nFAULT 输出驱动为 V_{IO} 电平，作为逻辑高电平输出。

nFAULT 输出用于将 TCAN1043A-Q1 状态指示标志传输到 CAN FD 控制器。有关通过 nFAULT 引脚在外部指示的特定故障场景，请参阅表 7-1。TCAN1043A-Q1 在睡眠模式下将 nFAULT 引脚置于高阻抗状态以节省电力，因为在睡眠模式下没有在外部指示的故障情况。

7.3.2.4 EN 引脚

EN 是从 CAN FD 控制器到 TCAN1043A-Q1 的逻辑电平输入信号，以 VIO 为基准。EN 输入引脚与 nSTB 引脚共同用于模式选择。EN 在内部拉至低电平，防止系统功耗过大和出现错误的唤醒事件。

7.3.2.5 nSTB 引脚

nSTB 是从 CAN FD 控制器到 TCAN1043A-Q1 的逻辑电平输入信号，以 VIO 为基准。nSTB 输入引脚与 EN 引脚共同用于模式选择。nSTB 在内部拉至低电平，防止系统功耗过大和出现错误的唤醒事件。

7.3.3 GND

GND 是收发器的接地引脚，必须连接到 PCB 接地端。

7.3.4 INH 引脚

INH 引脚是高电压输出。该引脚可用于控制外部稳压器。这些稳压器通常用于支持微处理器和 V_{IO} 引脚。除了睡眠模式外，INH 功能在所有其他模式下均打开。在睡眠模式下，INH 引脚会关闭，并进入高阻抗状态。这允许在睡眠模式下将该节点置于最低功耗状态。可以向 INH 输出添加一个 100kΩ 负载，以便可以快速从驱动的高电平状态转换到低电平状态，并在引脚悬空时强制该引脚保持低电平。

该端子应视为高电压逻辑端子，而不是电源输出。应将 INH 引脚用于驱动系统电源管理器件的 EN 端子，而不应用作电源管理的开关。该端子不受电池反向保护，因此不应连接到系统模块外部。

Copyright © 2025 Texas Instruments Incorporated

7.3.5 WAKE 引脚

WAKE 引脚是一个高电压反向阻断输入，用于本地唤醒 (LWU) 功能。WAKE 引脚为双向边沿触发，并可在 WAKE 引脚转换的上升沿或下降沿识别本地唤醒 (LWU)。通过 WAKE 输入端子实现本地唤醒 (LWU) 部分进一步说明了 LWU 功能。

7.3.6 CAN 总线引脚

这些是 CAN 高电平和 CAN 低电平（CANH 和 CANL）差分总线引脚。这些引脚在内部连接到 CAN 收发器和低电压唤醒接收器。

7.3.7 故障

7.3.7.1 内部和外部故障指示灯

实施以下器件状态指示标志，以便使 MCU 可以确定器件和系统的状态。除了故障外，nFAULT 端子还用于指示 V_{SUP} 电池端子上的唤醒请求和“冷”上电序列，以便系统可以执行任何必要的诊断或冷启动序列。RXD 端子指示唤醒请求，故障会多路复用（进行“或”运算）到 nFAULT 输出。

Copyright © 2025 Texas Instruments Incorporated

表 7-1. TCAN1043A-Q1 收发器状态指示器

事件	标志名称	原因	指示器 (1)	清除标志	注释
上电	*PWRON*	为 V_{SUP} 加电并在 V_{SUP} 低于 UV_{SUP} 后为其任何恢复加电	从待机模式或睡眠模式进入静音模式时，nFAULT = 低电平	转换到正常模式后	冷启动条件会生成本地唤醒 WAKERQ、*WAKESR* 和 PWRON 标志。
唤醒请求	*WAKERQ* (2)	CAN 总线上的唤醒事件、WAKE 引脚上的状态转换或初始上电	进入待机模式时唤醒之后，nFAULT = RXD = 低电平	在转换到正常模式之后 或 $V_{CC} < UV_{CC(F)}$ 或 $V_{IO} < UV_{IO(F)}$ 的时间 $t \geq t_{UV}$	唤醒请求只能设置为从待机、进入睡眠或睡眠模式唤醒。 复位 UV_{VCC} 或 $UV_{VIO.}$ 的计时器。
唤醒源识别(3)	*WAKESR*		进入正常模式时可用(4) nFAULT = 低电平表示 WAKE 引脚的本地唤醒事件 nFAULT = 高电平表示 CAN 总线的远程唤醒事件	在正常模式下 TXD 上的四个隐性到显性边沿后， 离开正常模式， 或 $V_{CC} < UV_{CC(F)}$ 或 $V_{IO} < UV_{IO(F)}$ 的时间 $t \geq t_{UV}$	冷启动条件会生成本地唤醒 WAKERQ、*WAKESR* 和 PWRON 标志。
欠压	UV_{CC}	$V_{CC} < UV_{CC(F)}$	未在外部注明	$V_{CC} > UV_{CC(R)}$， 或发生唤醒请求	
	UV_{IO}	$V_{IO} < UV_{IO(F)}$	未在外部注明	$V_{IO} > UV_{IO(R)}$， 或发生唤醒请求	
	UV_{SUP}	$V_{SUP} < UV_{SUP(F)}$	未在外部注明	$V_{SUP} > UV_{SUP(R)}$	在 $V_{SUP} > UV_{SUP(R)}$ 之后，VSUP 欠压事件会生成冷启动条件
CAN 总线故障	*CBF*	请参阅 CAN 总线故障	仅在正常模式下 nFAULT = 低电平(5)	在离开正常模式时， 或者在正常模式下，TXD 引脚连续四次显性到隐性转换中未检测到 CAN 总线故障	CAN 总线故障必须在连续四次显性到隐性转换中持续存在
局部故障	*TXDCLP*	进入 CAN 工作模式时，TXD 为低电平	从正常模式进入静音模式时，nFAULT = 低电平	RXD = 低电平，TXD = 高电平， TXD = 高电平， 且模式转换为正常、待机、进入睡眠或睡眠模式	CAN 驱动器保持禁用状态，直到 *TXDCLP* 清除为止。在 TXDCLP 故障期间，CAN 接收器会保持活动状态
	TXDDTO	TXD 显性超时，$t \geq t_{TXDDTO}$ 时的显性（低电平）信号			CAN 驱动器保持禁用状态，直到 *TXDDTO* 清除为止。在 TXDDTO 故障期间，CAN 接收器会保持活动状态
	TXDRXD	在 $t \geq t_{TXDDTO}$ 时，TXD 和 RXD 引脚短接在一起			CAN 驱动器保持禁用状态，直到 *TXDRXD* 清除为止。在 TXDRXD 故障期间，CAN 接收器会保持活动状态
	CANDOM	当收到显性总线信号且 $t \geq t_{BUSDOM}$ 时，CAN 总线显性故障		RXD = 高电平， 或者转换到正常、待机、进入睡眠或睡眠模式	在 CANDOM 故障期间，CAN 驱动器会保持启用
	TSD	热关断，$T_J \geq T_{SDR}$		$T_J < T_{SDF}$ 且 RXD = 低电平和 TXD = 高电平， 或者转换到正常、待机、进入睡眠或睡眠模式	CAN 驱动器保持禁用状态，直到 TSD 事件清除为止

(1) 存在 V_{IO} 和 V_{SUP}
(2) 在清除 WAKERQ 标志之前，系统会阻止转换到进入睡眠模式
(3) 唤醒源识别反映第一个唤醒源。如果发生额外的唤醒事件，源仍指示原始唤醒源
(4) 指示仅在正常模式下可用，直至清除标志
(5) 在 TXD 上的四个显性到隐性边沿之后指示 CAN 总线故障标志

7.3.7.1.1 上电（PWRON 标志）

这是一个内部和外部标志，可用于控制系统的上电序列。当有新的电池连接到收发器时，设置 *PWRON* 标志，表示冷启动条件。TCAN1043A-Q1 将 VSUP 上的任何欠压条件 ($V_{SUP} < UV_{SUP(F)}$) 视为冷启动。因此，当满足 $V_{SUP} > UV_{SUP(R)}$ 条件时，TCAN1043A-Q1 会设置 *PWRON* 标志，系统可以使用该标志进入仅在冷启动状况下调用的例程。从待机模式或睡眠模式进入静音模式后，nFAULT 驱动为低电平来指示 PWRON 标志。在转换到正常模式后清除此标志。

Copyright © 2025 Texas Instruments Incorporated

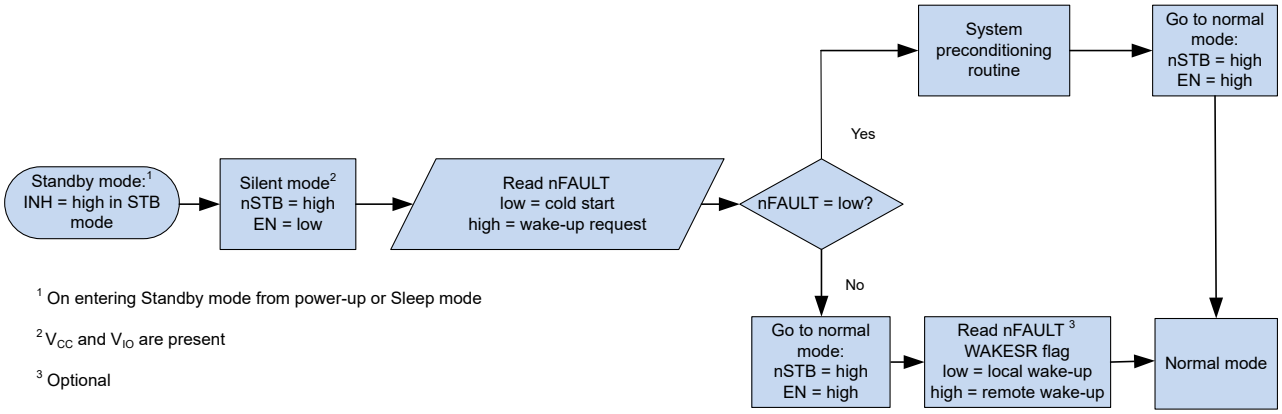


图 7-2. 通过进入静音模式来区分 *PWRON* 和唤醒请求

7.3.7.1.2 唤醒请求（WAKERQ 标志）

这是一个内部和外部标志，可在待机模式、进入睡眠模式或睡眠模式下设置。当发生有效的本地唤醒 (LWU) 请求或发生有效的远程唤醒请求时，或者在 V_{SUP} 上电时，会设置此标志。设置此标志会清除用于 UV_{CC} 或 UV_{IO} 故障检测的 t_{UV} 计时器。在进入正常模式或在 VCC 或 VIO 上发生欠压事件期间，清除此标志。

7.3.7.1.3 欠压故障

TCAN1043A-Q1 器件在所有电源端子上实现欠压检测电路：V_{SUP}、V_{CC} 和 V_{IO}。欠压标志是内部指示标志，不会在 nFAULT 输出引脚上进行指示。

7.3.7.1.3.1 V_{SUP} 欠压

当 V_{SUP} 上的电压降至欠压检测电压阈值 UV_{SUP} 以下时，UV_{SUP} 被置位。一旦 V_{SUP} > $UV_{SUP(R)}$，则设置 PWRON 和 WAKERQ 标志。

7.3.7.1.3.2 V_{CC} 欠压

当 V_{CC} 上的电压降至欠压检测电压阈值 UV_{CC} 以下且持续时间超过欠压滤波时间 t_{UV} 时，UV_{CC} 被置位。

7.3.7.1.3.3 V_{IO} 欠压

当 V_{IO} 上的电压降至欠压检测电压阈值 UV_{IO} 以下且持续时间超过欠压滤波时间 t_{UV} 时，UV_{IO} 被置位。

7.3.7.1.4 CAN 总线故障（CBF 标志）

TCAN1043A-Q1 器件可检测以下六种故障情况，并将 nFAULT 引脚设置为低电平来作为中断，以便在存在 CAN 总线故障时通知控制器并采取行动。在 CAN 总线上传输显性信号时检测到这些故障。如果这些故障情况之一持续四次连续显性位至隐性位转换，则 nFAULT 会通过将 nFAULT 引脚驱动为低电平，指示正常模式下的 CAN 总线故障标志。CAN 总线驱动器保持活动。表 7-2 展示了通过 TCAN1043A-Q1 可检测到的故障情况。

表 7-2. 总线故障引脚状态和检测表

故障	条件
1	CANH 短接至 V_{BAT}
2	CANH 短接至 V_{CC}
3	CANH 短接至 GND
4	CANL 短接至 V_{BAT}
5	CANL 短接至 V_{CC}
6	CANL 短接至 GND

Copyright © 2025 Texas Instruments Incorporated

总线故障检测是一种系统级检测。如果 ECU 发生故障，则总线的一般通信可能会受到影响。在可以作出诊断确定之前，收发器在 CAN 总线故障期间保持在 CAN 活动模式，使 ECU 能够向 CAN 总线发送数据并从 CAN 总线接收数据。要完全覆盖节点，应该对每个节点执行系统级诊断步骤，并将信息传回中心点。

在正常模式下，如果在 TXD 引脚上的连续四次显性至隐性转换中未检测到 CAN 总线故障，则会清除 CBF 标志并将 nFAULT 驱动为高电平。总线故障电路能够检测许多差分电阻负载 (RCBF) 的总线故障，并可检测大于 tCBF 的任何时间的总线故障。

7.3.7.1.5 TXD 钳位至低电平（TXDCLP 标志）

TXDCLP 是一个外部标志，如果收发器在进入 CAN 活动模式之前检测到 TXD 被钳位至低电平，则会设置该标志。如果存在 *TXDCLP* 条件，则从正常模式进入静音模式时，nFAULT 引脚会驱动为低电平，并且禁用 CAN 总线驱动器，直至清除故障。如果不存在其他本地故障，则在上电时，在 TXD 为隐性的情况下进入 CAN 活动模式时或在 TXD 为隐性而 RXD 为显性时，会清除 *TXDCLP* 标志。

7.3.7.1.6 TXD 显性状态超时（TXDDTO 标志）

TXDDTO 是在 TXD 引脚保持显性状态的时间 $t > t_{TXDDTO}$ 时设置的外部标志。如果存在 TXD DTO 条件，则在从正常模式进入静音模式时，nFAULT 引脚驱动为低电平。在 TXD 上的下一次显性至隐性转换时，或转换到正常、待机、进入睡眠或睡眠模式时，清除 TXDDTO 标志。

7.3.7.1.7 TXD 短接到 RXD 故障（TXDRXD 标志）

TXDRXD 是在收发器检测到 TXD 和 RXD 线路短接在一起的时间 $t \geq t_{TXDDTO}$ 时设置的外部标志。如果存在 *TXDRXD* 条件，则从正常模式进入静音模式时，nFAULT 引脚会驱动为低电平，并且禁用 CAN 总线驱动器，直至清除 *TXDRXD* 故障。在 TXD 为高电平且 RXD 为低电平的下一次显性到隐性转换时，或者在转换到正常模式、待机模式、进入睡眠模式或睡眠模式时，清除 TXDRXD 标志。

7.3.7.1.8 CAN 总线显性故障（CANDOM 标志）

CANDOM 是在 CAN 总线卡滞在显性状态的时间 t > tBUSDOM 时设置的外部标志。如果存在 CANDOM 条件，则在从正常模式进入静音模式时，nFAULT 引脚驱动为低电平。在 RXD 上的下一次显性至隐性转换时，或转换到正常、待机、进入睡眠或睡眠模式时，清除 CANDOM 标志。

7.3.8 局部故障

在正常模式和静音模式下都会检测到本地故障，但仅在 TCAN1043A-Q1 从正常模式转换到静音模式时通过 nFAULT 引脚来指示故障。所有其他模式转换都会清除本地故障标志指示。

7.3.8.1 TXD 钳位至低电平 (*TXDCLP*)

如果在进入 CAN 活动模式之前 TXD 引脚钳位至低电平，则 CAN 驱动器被禁用，从而将总线释放至隐性电平。如果不存在其他本地故障或已通电，则在 TXD 为隐性的情况下进入正常模式时或在 TXD 为隐性而 RXD 为显性时，将重新激活 CAN 驱动器。在 *TXDCLP* 故障期间，高速接收器保持活动状态，RXD 输出引脚将反映 CAN 总线的数据。

7.3.8.2 TXD 显性超时 (TXD DTO)

当 CAN 驱动器处于活动模式时，TXD 显性状态超时电路可防止本地节点在发生硬件或软件故障（TXD 保持显性状态的时间超过超时周期，即 $t > t_{TXDDTO}$）时阻塞网络通信。TXD 显性状态超时电路由 TXD 引脚上的下降沿触发。如果在 $t > t_{TXDDTO}$ 之前 TXD 上未出现上升沿，则禁用 CAN 驱动器，从而将总线释放为隐性电平。这样可释放总线，供网络上的其他节点进行通信。

CAN 驱动器将在 TXD 引脚上的下一次显性到隐性转换时再次激活。在 *TXDDTO* 故障期间，高速接收器保持活动状态，RXD 输出引脚将反映 CAN 总线的数据。

Copyright © 2025 Texas Instruments Incorporated

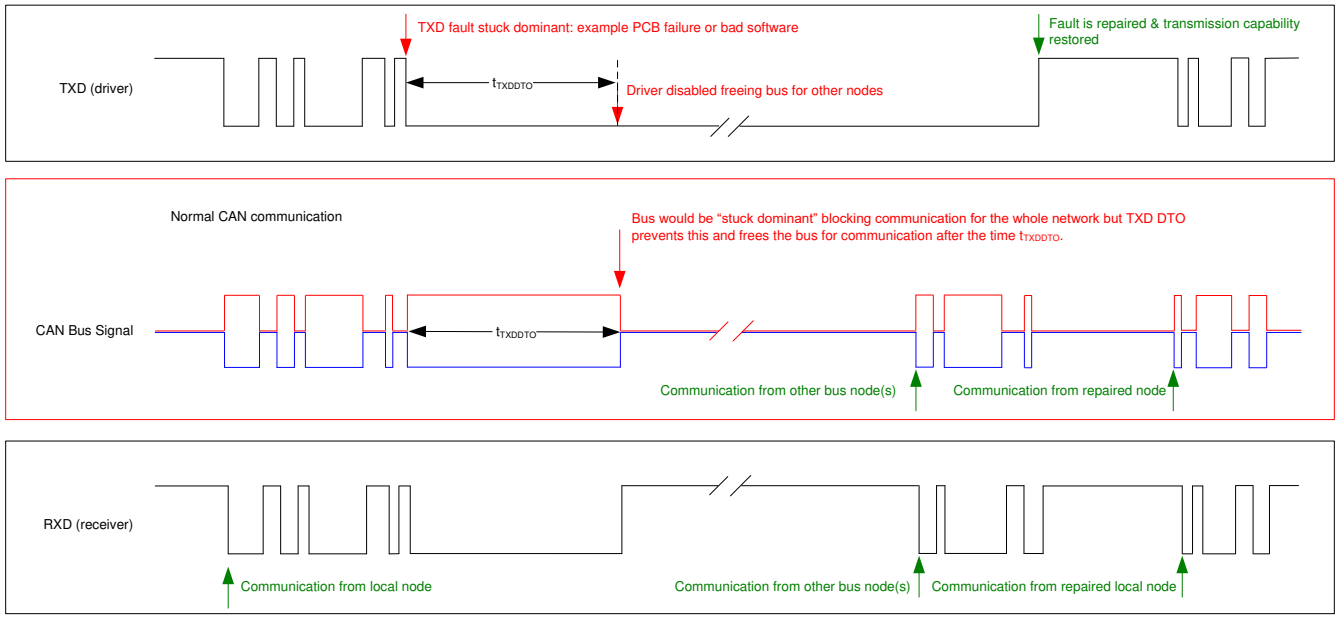


图 7-3. TXD DTO 的时序图

显性状态超时电路所允许的最短显性 TXD 时间限制了收发器的最低数据发送速率。CAN 协议允许在最差情况下发送最多十一个连续显性位，其中五个连续显性位后面紧接一个错误帧。可使用 方程式 1 中的最小 t_{TXDDTO} 时间来计算最低数据发送速率。

$$\text{Minimum Data Rate} = 11 \text{ bits} / t_{TXDDTO} = 11 \text{ bits} / 1.2 \text{ ms} = 9.2 \text{ kbps} \quad (1)$$

7.3.8.3 热关断 (*TSD*)

如果 TCAN1043A-Q1 的结温超出热关断阈值，器件将关断 CAN 驱动器电路，从而阻断 TXD 到总线的传输路径。CAN 总线端子在 *TSD* 故障期间偏置为隐性电平，接收器与 RXD 之间的路径保持畅通。当器件的结温 T_J 降至器件的热关断释放温度 T_{SDF} 以下时，清除 TSD 故障条件。如果仍存在导致 *TSD* 故障的故障条件，则温度可能会再次上升，器件将再次进入热关断。在 *TSD* 故障条件下长时间运行可能会影响器件可靠性。TSD 电路包括迟滞功能，可避免驱动器输出发生任何振荡。在故障发生期间，*TSD* 故障条件通过 nFAULT 端子向 CAN FD 控制器发出指示。

7.3.8.4 欠压锁定 (UVLO)

监控电源端子 V_{SUP}、V_{IO} 和 V_{CC} 是否发生欠压事件。如果发生欠压事件，TCAN1043A-Q1 将进入受保护状态，在该状态下，总线引脚不会对 CAN 总线产生任何负载。这样可以保护 CAN 总线和系统免受不必要的抗尖峰脉冲和过大电流消耗的影响，从而影响 CAN 总线上其他 CAN 节点之间的通信。

如果在任何模式下 V_{SUP} 上发生欠压事件，TCAN1043A-Q1CAN 收发器将进入 CAN 关闭状态。

如果 V_{CC} 上发生欠压事件，则 TCAN1043A-Q1 会保持正常模式或静音模式，但 CAN 收发器更改为 CAN 自主活动状态。在 UV_{CC} 事件期间，只要 VIO 存在且唤醒电路处于非活动状态，RXD 就会保持高电平。请参阅图 7-10。如果欠压事件持续时间超过 t_{UV}，则 TCAN1043A-Q1 会转换到睡眠模式。

如果 VIO 上发生欠压事件，则 TCAN1043A-Q1 会转换至待机模式。如果欠压事件持续时间超过 t_{UV}，则 TCAN1043A-Q1 会转换到睡眠模式。

当欠压条件消失且电源恢复到有效电平后，器件通常需要 200µs 时间来转换到正常运行。

Copyright © 2025 Texas Instruments Incorporated

7.3.8.5 未供电器件

根据设计，在未供电情况下对于 CAN 总线而言是无源器件或无负载。在器件未供电时 CANH 和 CANL 引脚具有较低的漏电流，因此这些引脚不会对总线产生任何负载。如果网络的某些节点未供电，而网络的其余部分仍正常工作，这一点至关重要。

逻辑引脚在器件未供电时的漏电流也很低，因此这些引脚不会对其他保持供电的电路施加负载。

7.3.8.6 悬空端子

TCAN1043A-Q1 在关键引脚上有内部上拉电阻和下拉电阻，确保在引脚悬空时出现已知的工作行为。有关引脚故障安全偏置保护的说明，请参阅表 7-3。

表 7-3. 引脚失效防护偏置

引脚	失效防护保护	值	注释
TXD	隐性电平	60kΩ	弱上拉至 V_{IO}
EN	低功耗模式		弱下拉至 GND
nSTB	低功耗模式		弱下拉至 GND

设计不应依赖这种内部偏置，而应采用失效防护选项。当收发器与带有开漏输出的 CAN FD 控制器搭配使用时，需特别小心。TCAN1043A-Q1 在 TXD 引脚上实施弱内部上拉电阻。需要特别考虑 CAN FD 数据速率的位时序要求，并且在使用开漏输出时应仔细考虑上拉强度。必须使用足够大的外部上拉电阻，以确保 CAN FD 控制器的 TXD 输出为 CAN 器件维持适当的位时序输入。

7.3.8.7 CAN 总线短路电流限制

TCAN1043A-Q1 有多种保护特性可以在 CAN 总线短路时限制短路电流，其中包括显性和隐性状态下的 CAN 驱动器电流限制以及 TXD 显性状态超时（可防止在系统故障时永久具有显性状态的较高短路电流）。

在 CAN 通信期间，总线会在显性与隐性状态之间切换，因此，可将短路电流视为这两种总线状态期间的电流或者视为平均电流。在考虑终端电阻和共模扼流圈的系统功耗时，应使用平均短路电流。驱动器可以处于显性状态的时间百分比受限于以下因素：TXD 显性状态超时以及具有强制状态切换功能和隐性位（位填充、控制字段和帧间间隔）的 CAN 协议。这些限制确保了总线上具有最短的隐性状态时间，即使数据字段包含很高的显性位百分比也是如此。

总线的短路电流取决于隐性位与显性位的比率以及它们对应的短路电流。平均短路电流可使用方程式 2 来计算。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}] \quad (2)$$

其中：

- $I_{OS(AVG)}$ 为平均短路电流
- %Transmit 为发送 CAN 报文的节点的百分比
- %Receive 为接收 CAN 报文的节点的百分比
- %REC_Bits 为发送的 CAN 报文中的隐性位百分比
- %DOM_Bits 为发送的 CAN 报文中的显性位百分比
- $I_{OS(SS)_REC}$ 为隐性稳态短路电流
- $I_{OS(SS)_DOM}$ 为显性稳态短路电流

规划端接电阻和其他网络组件功耗额定值时，应考虑短路电流以及可能的网络故障。

7.4 器件功能模式

TCAN1043A-Q1 有六种工作模式：正常模式、待机模式、静音模式、进入睡眠模式、睡眠模式和关闭模式。可以使用 nSTB 引脚和 EN 引脚结合电源条件、温度条件和唤醒事件来控制工作模式选择。

Copyright © 2025 Texas Instruments Incorporated

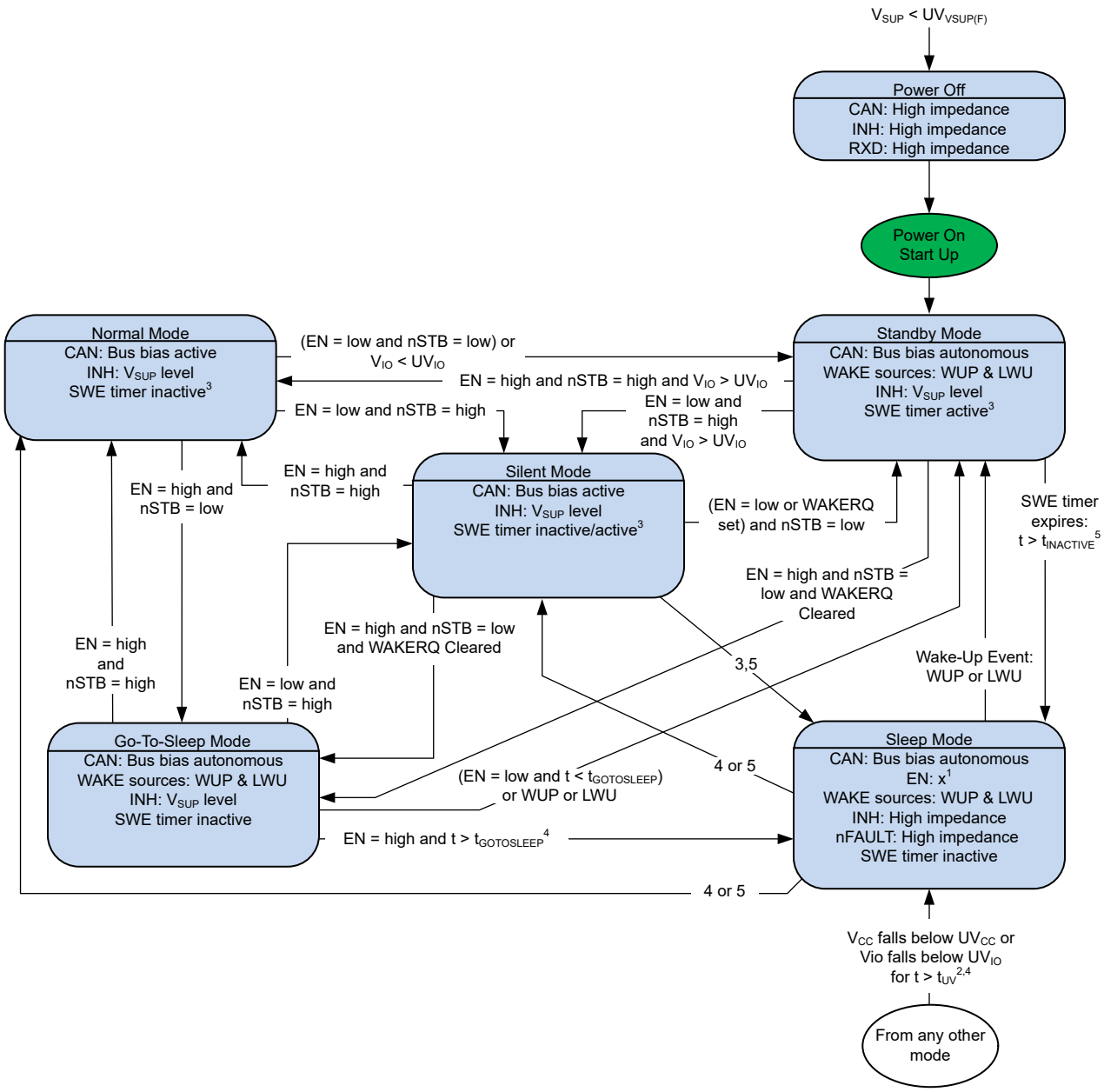


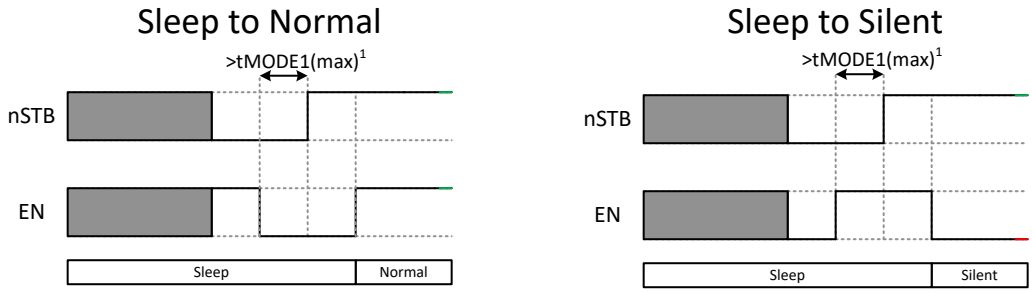
图 7-4. TCAN1043A-Q1 状态机

1. 在睡眠模式下，使能引脚可以处于逻辑高电平或低电平状态，但由于它具有内部下拉电阻，因此当该引脚保持悬空或在外部拉至低电平时，可以实现尽可能低的功耗。
2. 加电时，V_{CC} 和 V_{IO} 的欠压计时器被禁用，从而使 V_{CC} 和 V_{IO} 电源在更长时间内加电（长达 $t_{INACTIVE}$）。V_{CC} 或 V_{IO} 需要分别高于 $UV_{CC(R)}$ 和 $UV_{IO(R)}$，以启用各自的 t_{UV} 计时器。V_{CC} 欠压计时器在 V_{CC} 降至低于 $UV_{CC(F)}$ 时启动，而 V_{IO} 欠压计时器在 V_{IO} 降至低于 $UV_{IO(F)}$ 时启动。当这些计时器中的任何一个超过 t_{UV} 时，器件将进入睡眠模式。
3. 一旦器件进入待机模式，睡眠唤醒错误 (SWE) 计时器就会启动。一旦器件进入正常模式，计时器就会停止并复位。如果器件从待机模式进入静音模式，则 SWE 计时器不会停止，并且需要在 SWE 计时器到期之前将器件转换为正常模式。如果器件从正常模式进入静音模式，则 SWE 计时器将不会在静音模式下激活。
4. 当从进入睡眠模式或者从 UV_{CC} 或 UV_{IO} 事件进入睡眠模式时，需要在 nSTB 上进行从低电平到高电平的转换才能将器件置于正常或静音模式。如果 EN 在 nSTB 的上升沿期间为高电平，则器件会进入正常模式。如果

Copyright © 2025 Texas Instruments Incorporated

EN 在 nSTB 的上升沿期间为低电平，则器件会进入静音模式。V_{IO} 必须高于 $UV_{IO(R)}$ 才能使用 EN 和 nSTB 信号退出睡眠模式。

5. 当由于 SWE 计时器超时 ($>t_{INACTIVE}$) 而进入睡眠模式时，有一个额外的要求，即使用 EN 和 nSTB 信号直接退出睡眠模式并转换到正常或静音模式。要进入正常模式，nSTB 引脚必须为高电平，并且必须在 EN 上进行从低电平到高电平的转换。要进入静音模式，nSTB 引脚必须为高电平，并且必须在 EN 上进行从高电平到低电平的转换。如果器件在 nSTB 已经为高电平时进入睡眠模式，则在执行上述序列之前，当 nSTB 为低电平时 EN 引脚上必须发生一次转换。有关更多信息，请参阅图 7-5。V_{IO} 必须高于 $UV_{IO(R)}$ 才能使用 EN 和 nSTB 信号退出睡眠模式。



1. nSTB 必须在 EN 上的边沿之后保持低电平达至少 t_{MODE1}。一旦经过该 t_{MODE1}，nSTB 就可以被驱动为高电平。EN 上的以下边沿将导致器件退出睡眠模式。EN 上的最后一个边沿从 nSTB 上升沿开始没有任何最小延迟。在睡眠模式下，使能引脚可以处于逻辑高电平或低电平状态，但由于它具有内部下拉电阻，因此当该引脚保持悬空或在外部拉至低电平时，可以实现尽可能低的功耗。

图 7-5. 如果由于 SWE 计时器超时而进入睡眠模式，TCAN1043A-Q1 将从睡眠模式转换为正常或静音模式

表 7-4. TCAN1043A-Q1 模式概述

模式	V_{CC} 和 V_{IO}	V_{SUP}	EN	nSTB	WAKERQ 标志	驱动器	接收器	RXD	INH
正常	> UV_{CC} 且 > UV_{IO}	> UV_{SUP}	高	高	X	启用	启用	镜像总线状态	开
静音	> UV_{CC} 且 > UV_{IO}	> UV_{SUP}	低	高	X	禁用	启用	镜像总线状态	开
待机	> UV_{CC} 且 > UV_{IO}	> UV_{SUP}	高	低	置位	禁用	启用低功耗总线监控	低电平信号唤醒	开
	> UV_{CC} 且 > UV_{IO}	> UV_{SUP}	低	低	X	禁用	启用低功耗总线监控	低电平信号唤醒	开
	> UV_{CC} 且 < UV_{IO}	> UV_{SUP}	低	低	X	禁用	启用低功耗总线监控	高阻抗	开
进入睡眠模式(1)	> UV_{CC} 且 > UV_{IO}	> UV_{SUP}	高	低	被清零	禁用	启用低功耗总线监控	高电平或高阻抗（无 V_{IO}）	开启(2)
睡眠(3)	> UV_{CC} 且 > UV_{IO}	> UV_{SUP}	高	低	被清零	禁用	启用低功耗总线监控	高电平或高阻抗（无 V_{IO}）	高阻抗
	< UV_{CC} 或 < UV_{IO}	> UV_{SUP}	X	X	X	禁用	启用低功耗总线监控	高电平或高阻抗（无 V_{IO}）	高阻抗
受保护	X	< UV_{SUP}	X	X	X	禁用	禁用	高阻抗	高阻抗

(1) 进入睡眠模式：在 EN = H、nSTB = L 时进入过渡模式，直到 $t_{GOTOSLEEP}$ 计时器到期。
(2) $t_{GOTOSLEEP}$ 计时器到期后，INH 引脚转换为高阻抗。
(3) $t_{GOTOSLEEP}$ 计时器到期后，模式就会从进入睡眠模式更改为睡眠模式。

7.4.1 工作模式说明

7.4.1.1 正常模式

此模式是器件的正常运行模式。CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。驱动器将 TXD 上的数字输入转换为 CANH 和 CANL 上的差分输出。接收器将 CANH 和 CANL 上的差分信号转换为 RXD 上的数字输出。

进入正常模式会清除 WAKERQ 和 PWRON 标志。

SWE 计时器在进入正常模式后停止并复位。

Copyright © 2025 Texas Instruments Incorporated

7.4.1.2 静音模式

静音模式通常称为仅监听模式和仅接收模式。在此模式下，禁用 CAN 驱动器，但接收器完全正常运行，CAN 通信单向进入器件。接收器将来自 CANH 和 CANL 的差分信号转换为 RXD 端子的数字输出。

在静音模式下，通过 nFAULT 引脚上的信号来指示 PWRON 和本地故障标志。

如果器件从待机模式进入静音模式，则 SWE 计时器不会停止，并且需要在 SWE 计时器到期之前将器件转换为正常模式。如果 SWE 计时器在静音模式下到期，则器件会转换为睡眠模式。

7.4.1.3 待机模式

待机模式是一种低功耗模式，在该模式下，禁用驱动器和接收器，从而可减少电流消耗。但这不是器件的最低功耗模式，因为 INH 端子处于开启状态，允许系统的其余部分恢复正常运行。

在待机模式下，RXD 端子变为低电平来指示唤醒请求 (*WAKERQ*)。在器件恢复正常模式后，通过 nFAULT 引脚识别唤醒源。

在待机模式下会启用称为睡眠唤醒错误 (SWE) 计时器的失效防护计时器。该计时器通过要求系统控制器在其到期之前将收发器配置为正常模式，增加了一层额外的保护。如果处理器没有正确启动并且无法将器件转换为正常模式，则该功能会强制 TCAN1043A-Q1 在 $t_{INACTIVE}$ 之后转换为其最低功耗模式，即睡眠模式。

7.4.1.4 进入睡眠模式

进入睡眠模式是器件从任何状态到睡眠状态的过渡模式。在此状态下，禁用驱动器和接收器，降低电流消耗。INH 引脚处于活动状态，以便为 V_{IO} 控制器提供一个使能信号。这个使能信号的作用是让系统的其余部分可以正常运行。如果器件保持此状态的时间达到 $t \geq t_{GOTOSLEEP}$，则器件会转换到睡眠模式，而 INH 会关闭，转换到高阻抗状态。

如果任何唤醒事件持续存在，则 TCAN1043A-Q1 会保持待机模式，直至器件切换到正常模式，以便清除待处理的唤醒事件。

7.4.1.5 睡眠模式

睡眠模式是 TCAN1043A-Q1 的最低功耗模式。在睡眠模式下，关闭 CAN 发送器和主接收器，收发器无法发送或接收数据。低功耗接收器能够监控总线是否存在验证唤醒模式 (WUP) 要求的任何活动，而 WAKE 监控电路监控 WAKE 端子上针对本地唤醒 (LWU) 事件的状态变化。当 CAN 收发器处于 CAN 自主非活动状态时，I_{SUP} 电流将降低至其最小电平。在睡眠模式下关闭 INH 引脚，从而导致由 INH 控制的任何系统电源都关闭，因而可降低系统功耗。

退出睡眠模式：

- 如果通过 CAN 总线引脚接收到有效的唤醒模式 (WUP)
- 在发生本地 WAKE (LWU) 事件时
- 在 nSTB 引脚发生从低电平到高电平的转换时

当由于 SWE 计时器超时 ($>t_{INACTIVE}$) 而进入睡眠模式时，有一个额外的要求，即使用 EN 和 nSTB 信号直接进入正常或静音模式（不通过 LWU 或 WUP 进入待机模式）。要进入正常模式，nSTB 引脚必须为高电平，并且必须在 EN 上进行从低电平到高电平的转换。要进入静音模式，nSTB 引脚必须为高电平，并且必须在 EN 上进行从高电平到低电平的转换。如果器件在 nSTB 已经为高电平时进入睡眠模式，则在执行上述序列之前，当 nSTB 为低电平时 EN 引脚上必须发生一次转换。有关更多信息，请参阅图 7-5。V_{IO} 必须高于 $UV_{IO(R)}$ 才能使用 EN 和 nSTB 信号退出睡眠模式。

7.4.1.5.1 通过唤醒模式 (WUP) 发出远程唤醒请求

TCAN1043A-Q1 在待机和睡眠模式下实现低功耗唤醒接收器，该接收器使用 ISO11898-2:2016 标准中定义的多重滤波显性唤醒模式 (WUP)。

唤醒模式 (WUP) 由一段滤波显性总线时间，一段滤波隐性总线时间和第二段滤波显性总线时间组成。第一个滤波显性信号会发起 WUP，之后总线监视器会等待滤波隐性信号；其他总线通信不会使总线监视器复位。接收到滤波

Copyright © 2025 Texas Instruments Incorporated

隐性信号后，总线监视器会等待另一个滤波显性信号；其他总线通信不会使总线监视器复位。在接收到第二个滤波显性信号后，如果存在有效的 V_{IO} 向控制器发送唤醒请求，则总线监视器会立即识别 WUP 并将 RXD 端子驱动为低电平。如果在接收到唤醒模式时不存在有效 V_{IO}，收发器会在 V_{IO} > UV_{IOR} 后将 RXD 输出引脚驱动为低电平。

WUP 包括：

- 至少为 $t_{WK(FILTER)}$ 的滤波显性总线时间，后跟
- 至少为 $t_{WK(FILTER)}$ 的滤波隐性总线时间，后跟
- 至少为 $t_{WK(FILTER)}$ 的第二个滤波显性总线时间

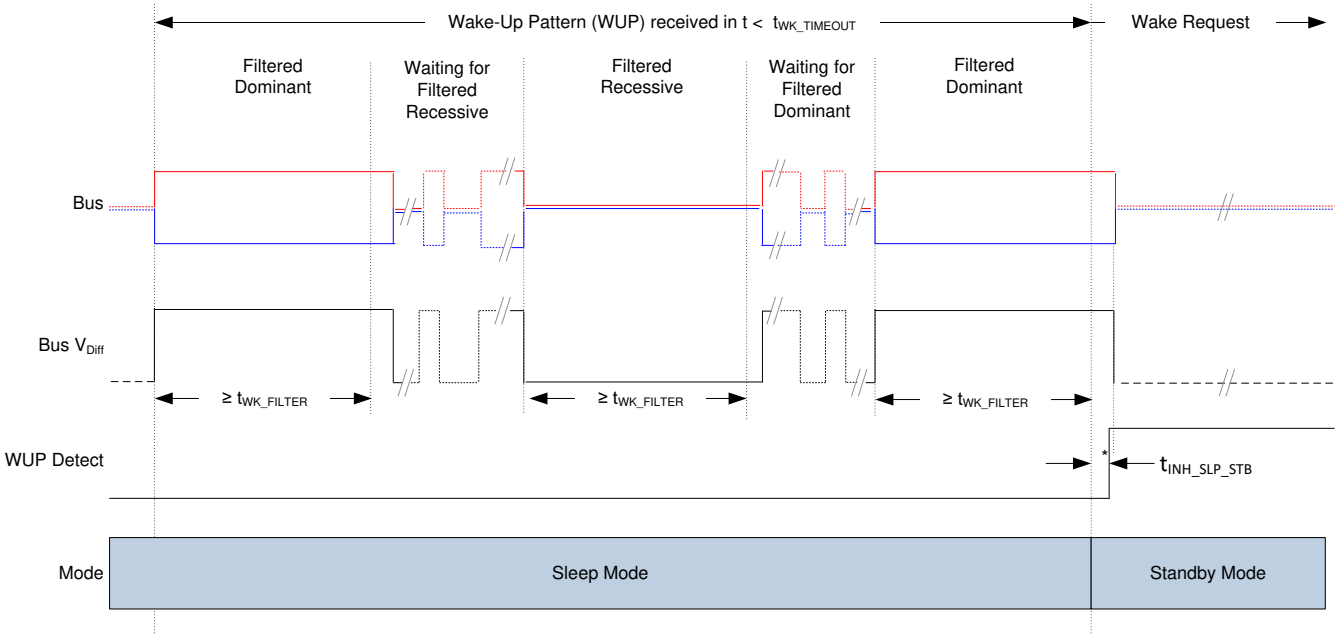
对于被视为“已滤波”的显性或隐性信号，总线必须保持该状态超过 $t_{WK(FILTER)}$ 时间。由于 $t_{WK(FILTER)}$ 存在变化性，可以分为以下几种情况来判定。短于 $t_{WK(FILTER)}$ 最小值的总线状态时间始终不会作为 WUP 的一部分来检测，因此不会生成唤醒请求。$t_{WK(FILTER)}$ 最小值和 $t_{WK(FILTER)}$ 最大值之间的总线状态时间可作为 WUP 的一部分来检测，并且可能会生成唤醒请求。超过 $t_{WK(FILTER)}$ 最大值的总线状态时间始终会作为 WUP 的一部分来检测，因此始终会生成唤醒请求。请参阅图 7-6 以了解 WUP 的时序图。

用于 WUP 和唤醒请求的模式和 $t_{WK(FILTER)}$ 时间可防止噪声和总线卡在显性状态故障，从而导致错误的唤醒请求，同时允许任何 CAN 或 CAN FD 消息发起唤醒请求。

ISO11898-2:2016 有两组时间，分别用于短唤醒滤波时间和长唤醒滤波时间。TCAN1043A-Q1 的 $t_{WK(FILTER)}$ 时序选在这两个滤波范围的最小值和最大值之间。选择此时序是为了使 500kbps 下的单个位时间或 1Mbps 下的两个背对背位时间触发处于任一总线状态的滤波器。

为了实现额外的稳健性并防止误唤醒，该收发器实施了 $t_{WK(TIMEOUT)}$ 计时器。要成功发生远程唤醒事件，必须在超时值内收到完整唤醒模式。如果在 $t_{WK(TIMEOUT)}$ 到期之前未收到完整唤醒模式，则内部逻辑复位，收发器保持睡眠模式，不唤醒。然后必须在 $t_{WK(TIMEOUT)}$ 时段内再次发送完整模式。请参阅图 7-6。

如果当 $t_{WK(TIMEOUT)}$ 到期时 CAN 总线为显性状态，则必须在至少为 $t_{WK(FILTER)}$ 的隐性总线时间内分隔下一个 WUP 模式。



*如果存在 V_{IO}，则仅驱动一次 RXD 引脚。

图 7-6. 唤醒模式 (WUP)

7.4.1.5.2 通过 WAKE 输入端子实现本地唤醒 (LWU)

WAKE 端子是一个双向高压反向电池保护输入，可用于通过电压转换发出本地唤醒 (LWU) 请求。由于该端子具有双向输入阈值，因此可以在低电平到高电平或高电平到低电平转换时触发 LWU 事件。WAKE 端子可与 V_{SUP} 或接地开关配合使用。如果未使用该端子，则应将其拉至 V_{SUP} 或接地，以避免不必要的寄生唤醒事件。

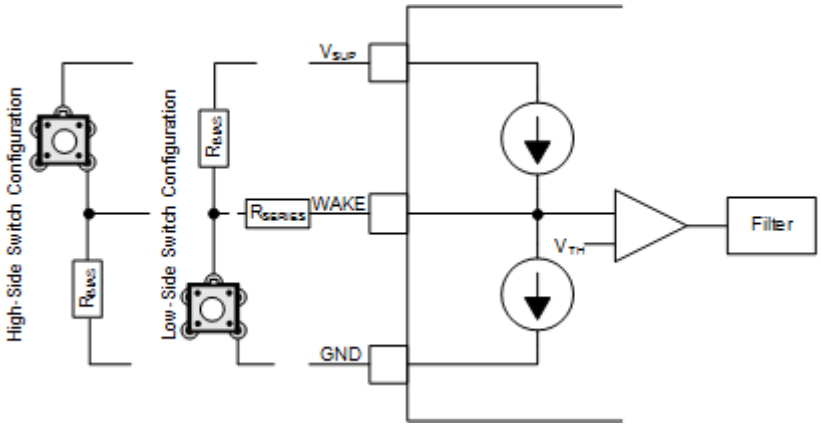


图 7-7. WAKE 电路示例

图 7-7 显示了 WAKE 引脚的两种可能配置：低侧和高侧开关配置。串联电阻器 RSERIES 的目的是保护器件的 WAKE 输入免受接地漂移或接地损耗时可能发生的过流情况的影响。可以使用最大电源电压 VSUPMAX 和 WAKE 引脚的最大允许电流 $I_{IO(WAKE)}$ 来计算 RSERIES 的最小值。使用以下公式计算 R_{SERIES}：

$$R_{SERIES} = V_{SUPMAX} / I_{IO(WAKE)} \quad (3)$$

绝对最大电压 V_{SUPMAX} 为 45V 和最大允许电流 $I_{IO(WAKE)}$ 为 3mA 时，所需的最小 R_{SERIES} 值为 15kΩ。

R_{BIAS} 电阻用于在释放开关时设置 WAKE 输入的静态电压电平。在高侧开关配置中使用开关时，RBIAS 电阻器结合 RSERIES 电阻器将 WAKE 引脚电压设置为高于 V_{IH} 阈值。可以使用最大电源电压 VSUPMAX、最大 WAKE 阈值电压 VIH、最大 WAKE 输入电流 IIH 和串联电阻器值 RSERIES 来计算 RBIAS 的最大值。使用以下公式计算 R_{BIAS}：

$$R_{BIAS} < ((V_{SUPMAX} - V_{IH}) / I_{IH}) - R_{SERIES} \quad (4)$$

当 V_{SUPMAX} 为 45V、VIH 为 44V 且 IIH 为 3μA 时，RBIAS 电阻值必须小于 330kΩ。建议使用小于 50kΩ 的 R_{Series}，以便在释放开关时为 WAKE 引脚电压上升到高于 V_{IH} 提供更大的裕度。

LWU 电路在睡眠模式下保持活动。

WAKE 电路在正常模式下会关闭。

Copyright © 2025 Texas Instruments Incorporated

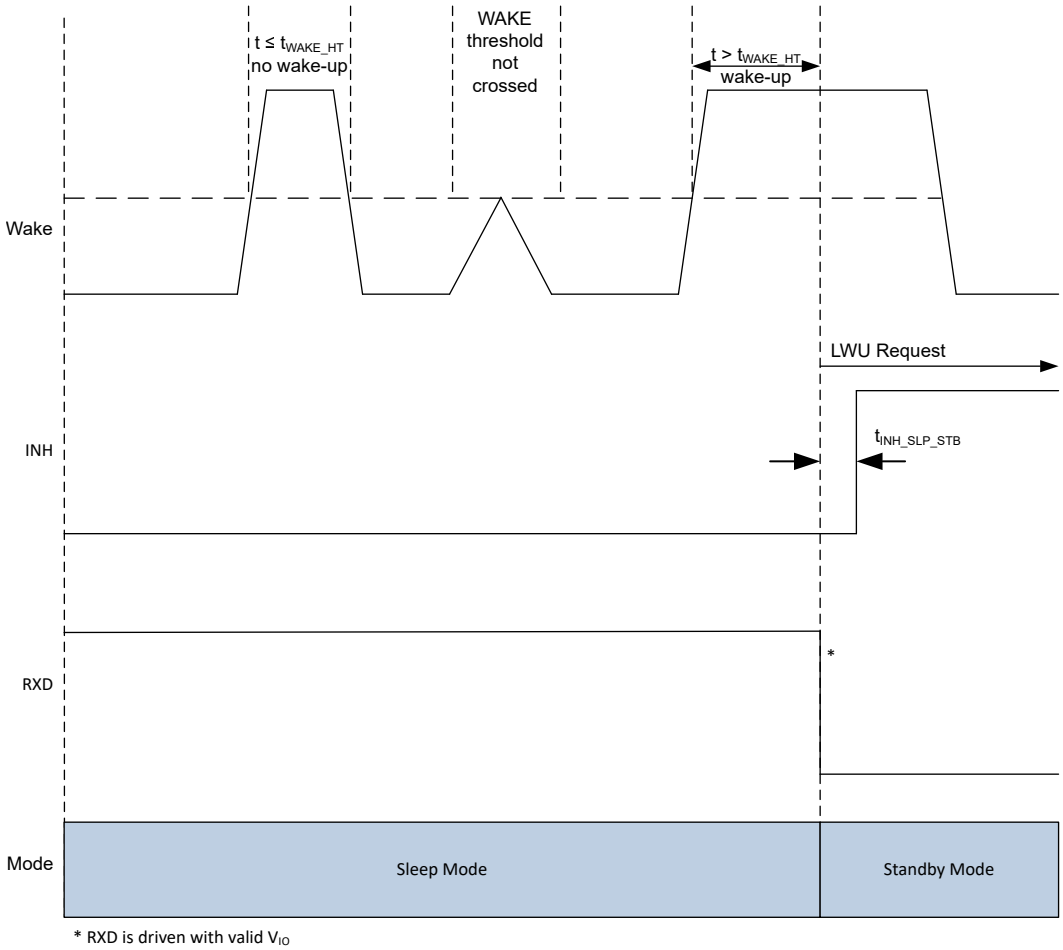


图 7-8. LWU 请求上升沿

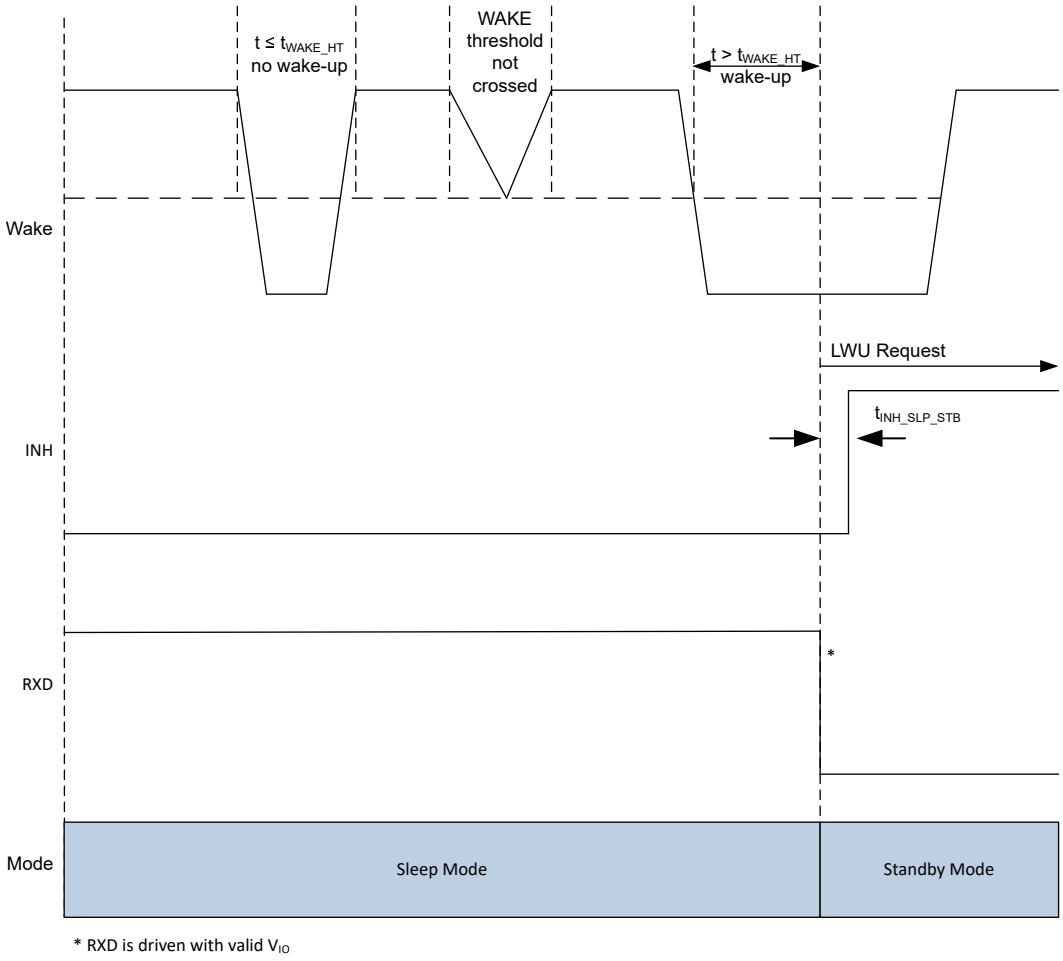


图 7-9. LWU 请求下降沿

7.4.2 CAN 收发器

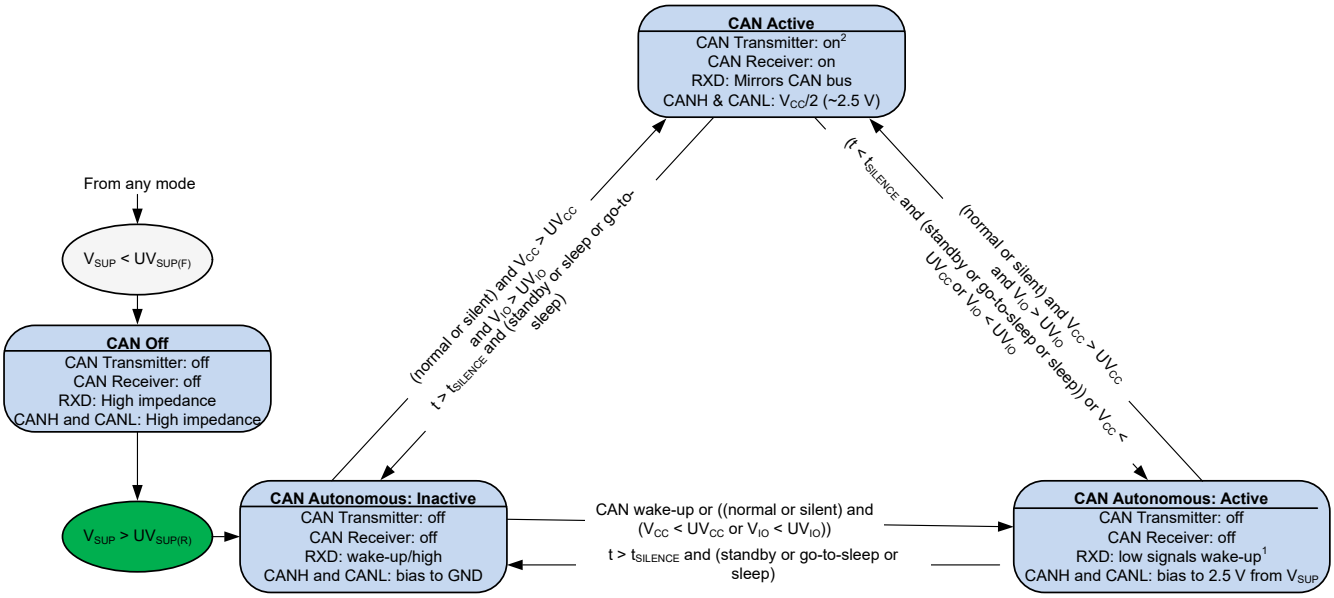
7.4.2.1 CAN 收发器运行

TCAN1043A-Q1 支持 ISO 11898-2:2016 CAN 物理层标准自主总线偏置方案。自主总线偏置使收发器能够在 CAN 活动、CAN 自主活动和 CAN 自主非活动状态之间切换，从而有助于减少射频辐射。

7.4.2.1.1 CAN 收发器模式

TCAN1043A-Q1 CAN 收发器具有四种工作模式：CAN 关闭、CAN 自主活动、CAN 自主非活动和 CAN 活动。

Copyright © 2025 Texas Instruments Incorporated



1. 在正常模式或静音模式下，唤醒处于非活动状态。
2. CAN 发送器在静音模式下关闭。

图 7-10. TCAN1043A-Q1 CAN 收发器状态机

7.4.2.1.1.1 CAN 关闭模式

在 CAN 关闭模式下，CAN 收发器关闭，CAN 总线线路真正悬空。在此模式下，器件不会对 CAN 总线产生任何负载，同时在电池或接地连接断开时，可防止反向电流流入器件。

在以下情况下会进入 CAN 关闭状态：

- $V_{SUP} < UV_{SUPF}$

在以下情况下，CAN 收发器会在 CAN 关闭状态和 CAN 自主非活动模式之间切换：

- $V_{SUP} > UV_{SUPR}$

7.4.2.1.1.2 CAN 自主：非活动和活动

当 CAN 收发器处于待机、进入睡眠或睡眠模式时，偏置电路可以处于 CAN 自主非活动状态或 CAN 自主活动状态。在自主非活动状态下，CAN 引脚偏置到 GND。发生远程唤醒 (WUP) 事件时，CAN 总线偏置为 2.5V，CAN 收发器进入 CAN 自主活动状态。如果在 $t_{SILENCE}$ 计时器到期之前，控制器没有将收发器转换为正常模式，则 CAN 收发器进入 CAN 自主非活动状态。

如果满足以下任一条件，CAN 收发器会切换到 CAN 自主模式：

- 工作模式从 CAN 关闭模式更改为 CAN 自主非活动模式
- 工作模式从正常模式或静音模式更改为待机、进入睡眠或睡眠模式：
  - 如果在模式更改之前，总线在 t < tSILENCE 的时间内处于非活动状态，则收发器进入自主活动状态
  - 如果在模式更改之前，总线在 t > tSILENCE 的时间内处于非活动状态，则收发器进入自主非活动状态
- $V_{CC} < UV_{CC(F)}$
- $V_{IO} < UV_{IO(F)}$

在以下情况下，CAN 收发器从 CAN 自主非活动模式切换至 CAN 自主活动模式：

- 发生远程唤醒事件
- 收发器转换至正常模式或静音模式且 $V_{CC} < UV_{CC(F)}$ 或 $V_{IO} < UV_{IO(F)}$

在以下情况下，CAN 收发器从 CAN 自主活动模式切换至 CAN 自主非活动模式：

Copyright © 2025 Texas Instruments Incorporated

- 收发器处于待机、进入睡眠或睡眠模式且 $t > t_{SILENCE}$

7.4.2.1.1.3 CAN 有效

当收发器处于正常模式或静音模式时，CAN 收发器处于活动模式。在正常模式下，CAN 驱动器和接收器均能完全正常运行且 CAN 通信双向进行。在静音模式下，CAN 驱动器关闭，但 CAN 接收器可完全正常运行。CAN 活动模式下的 CAN 偏置电压源自 V_{CC}，并保持为 $V_{CC}/2$

在以下情况下，CAN 收发器从 CAN 自主非活动模式或 CAN 自主活动模式切换至 CAN 活动模式：

- 收发器转换至正常模式且 $V_{CC} > UV_{CC(R)}$，$V_{IO} > UV_{IO(R)}$

如果在退出待机模式之前 TXD 引脚被置为低电平，则在进入 CAN 活动模式后 CAN 收发器会阻止其发送器。这可以防止在 TXD 引脚一直处于低电平 (TXDCLP) 时 CAN 总线中断。

在以下情况下，CAN 收发器从 CAN 活动模式切换至 CAN 自主非活动模式：

- 收发器会切换至待机、进入睡眠或睡眠模式且 $t > t_{SILENCE}$

在以下情况下，CAN 收发器从 CAN 活动模式切换至 CAN 自主活动模式：

- 收发器会切换至待机、进入睡眠或睡眠模式且 $t < t_{SILENCE}$
- $V_{CC} < UV_{CC(F)}$
- $V_{IO} < UV_{IO(F)}$

7.4.2.1.2 驱动器和接收器功能表

表 7-5. 驱动器功能表

器件模式	TXD 输入(1)	总线输出		驱动总线状态(2)
		CANH	CANL	
正常	低	高	低	显性
	高电平或开路	高阻抗	高阻抗	$V_{CC}/2$
静音	x	高阻抗	高阻抗	$V_{CC}/2$
待机	x	高阻抗	高阻抗	自主偏置
睡眠	x	高阻抗	高阻抗	自主偏置

(1) X = 不相关
(2) 有关总线状态和典型总线电压，请参阅图 7-11

表 7-6. 接收器功能表

器件模式	CAN 差分输入 $V_{ID} = V_{CANH} - V_{CANL}$	总线状态	RXD 端子
正常/静音	$V_{ID} \geq 0.9V$	显性	低
	$0.5V < V_{ID} < 0.9V$	不确定	不确定
	$V_{ID} \leq 0.5$ V	隐性	高
	开路 ($V_{ID} \approx 0V$)	开路	高
待机	$V_{ID} \geq 1.15V$	显性	高电平 如果唤醒事件持续存在，则为低电平
	$0.4V < V_{ID} < 1.15V$	不确定	
	$V_{ID} \leq 0.4V$	隐性	
	开路 ($V_{ID} \approx 0V$)	开路	
睡眠/进入睡眠(1)	$V_{ID} \geq 1.15V$	显性	高电平 如果不存在 VIO 或 VSUP，则为三态
	$0.4V < V_{ID} < 1.15V$	不确定	
	$V_{ID} \leq 0.4V$	隐性	
	开路 ($V_{ID} \approx 0V$)	开路	

(1) 低功耗唤醒接收器处于活动状态

Copyright © 2025 Texas Instruments Incorporated

7.4.2.1.3 CAN 总线状态

CAN 总线在运行期间有两种逻辑状态：隐性和显性。请参阅图 7-11。

以差分方式驱动总线时，总线为显性状态，对应于 TXD 和 RXD 引脚上的逻辑低电平。当总线通过接收器内部的高阻值输入电阻器 (R_{IN}) 偏置到 CAN 收发器电源电压的一半时，总线为隐性状态，对应于 TXD 和 RXD 引脚上的逻辑高电平。

在仲裁期间，显性状态会覆盖隐性状态。在仲裁期间，多个 CAN 节点可能同时发送一个显性位，这种情况下，CAN 总线的差分电压大于单个 CAN 驱动器的差分电压。TCAN1043A-Q1 CAN 收发器实现了低功耗待机和睡眠模式来启用第三种总线状态，在这种状态下，如果 CAN 总线无效的时间 $t > t_{SILENCE}$，则总线引脚会通过接收器的高阻值内部电阻器偏置到接地端。

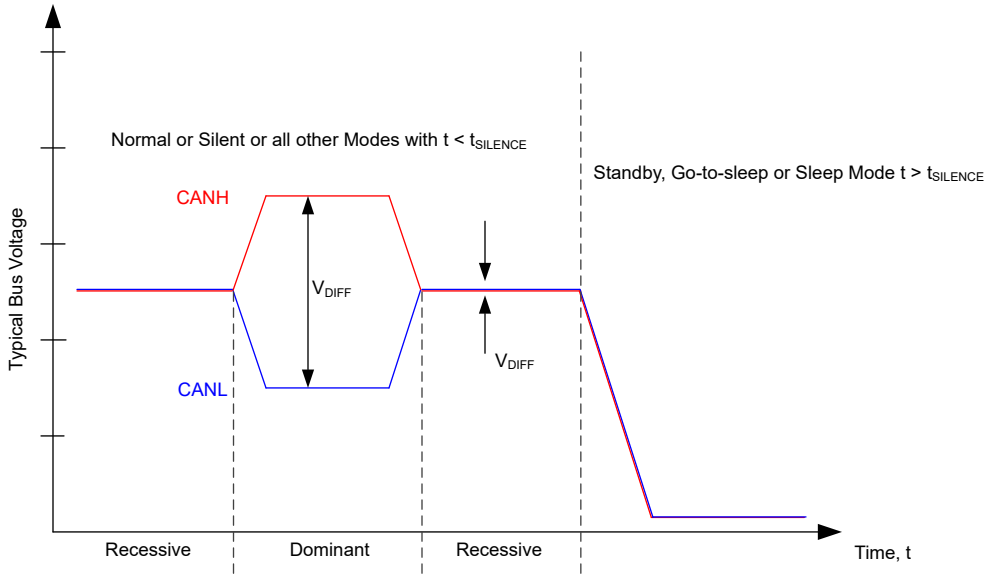


图 7-11. 总线状态

8 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TCAN1043A-Q1 收发器通常用于具有主机微处理器或 FPGA（包括 CAN 协议的数据链路层部分）的应用。这些类型的应用通常包括电源管理技术，通过使能 (EN) 或抑制 (INH) 引脚来控制应用的电源供应。可以使用单个 5V 稳压器同时驱动 V_{CC} 和 V_{IO}，也可以使用单独的 5V 和 3.3V 稳压器分别驱动 V_{CC} 和 V_{IO}，如 图 8-1 所示。图中显示了总线终端以方便说明。

8.1.1 典型应用

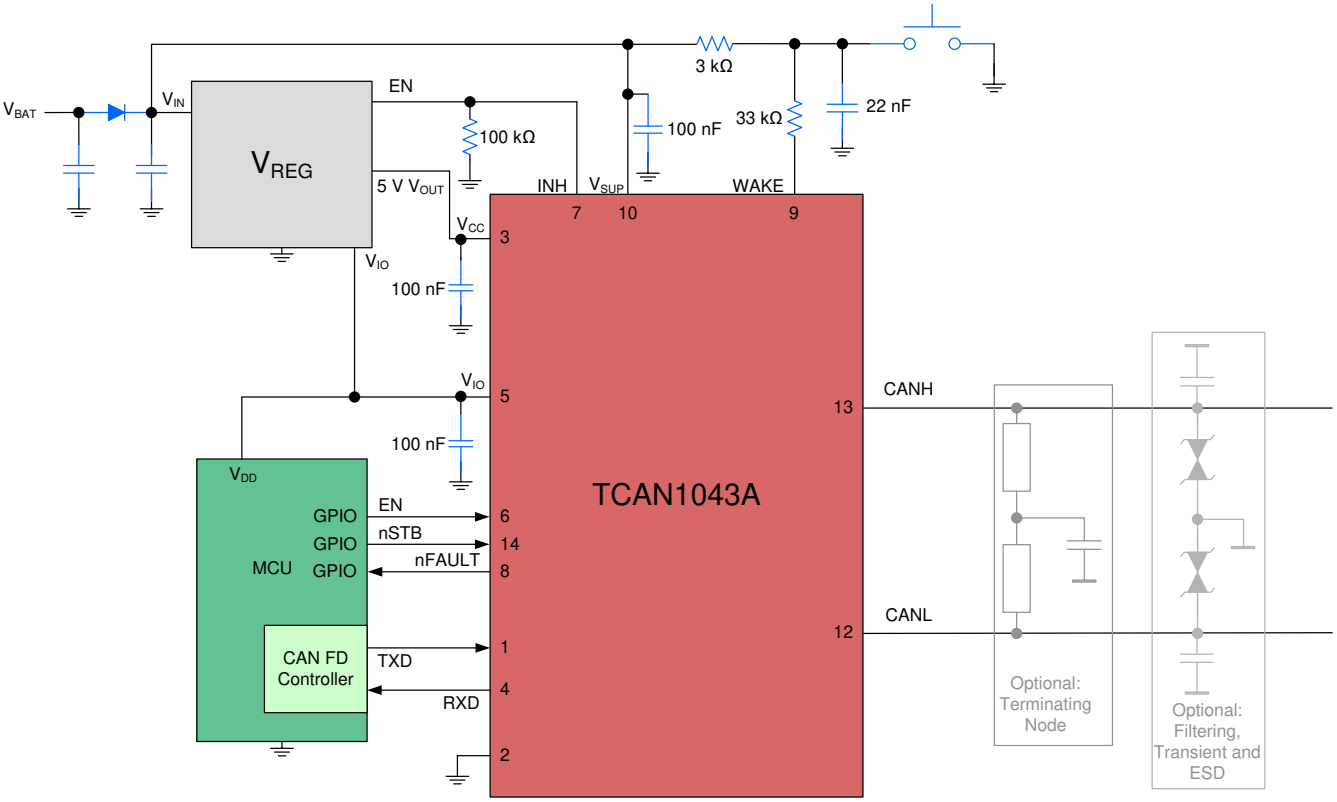


图 8-1. 典型应用

8.1.2 设计要求

8.1.2.1 总线负载能力、长度和节点数

典型 CAN 应用的最大总线长度可能为 40 米，最大桩线长度可能为 0.3 米。但是，如果设计得当，用户可以获得更长的总线电缆长度、桩线长度和更多的节点。如果节点数量较多，则需要具有高输入阻抗的收发器，例如 TCAN1043A-Q1。

许多 CAN 组织和标准已将 CAN 的使用范围扩展至原始 ISO11898-2:2016 标准之外的应用。并在总线的数据速率、电缆长度和寄生负载方面做出了系统层面的权衡决策。例如，这些 CAN 系统级规范包括 ARINC825、CANopen、DeviceNet、SAEJ2284、SAEJ1939 和 NMEA200。

Copyright © 2025 Texas Instruments Incorporated

CAN 网络系统设计就是做出一系列的权衡。在 ISO 11898-2:2016 规范中规定了总线负载范围为 50Ω 至 65Ω 时的差分输出驱动器，其中该差分输出必须大于 1.5V。TCAN1043A-Q1 可在总线负载低至 50Ω 时满足 1.5V 要求，在 45Ω 总线负载时满足 1.4V 差分输出要求。TCAN1043A-Q1 的差分输入电阻 R_{ID} 至少为 50kΩ。如果总线上有 100 个并联的 TCAN1043A-Q1 收发器，这就相当于 500Ω 差分负载与标称 60Ω 总线终端并联，因此总线负载总共约为 54Ω。因此，TCAN1043A-Q1 理论上在单个总线段上支持超过 100 个收发器。但在 CAN 网络设计中，考虑到系统和电缆中的信号损失、寄生负载、时序、网络失衡、接地偏移和信号完整性等问题，必须留有一定的裕度，因此实际的最大节点数通常更少。此外，通过对系统设计和数据速率加以谨慎权衡，可以使总线长度超过 40 米。例如，CANopen 网络设计指南允许通过更改终端电阻和布线、减少节点数（少于 64 个）并显著降低数据速率，将网络扩展至 1km。

这种 CAN 网络设计灵活性是其主要优势之一，允许以原始 ISO11898-2 CAN 标准为基础建立这些系统级网络扩展和附加标准。不过，在利用这种灵活性时，CAN 网络系统设计人员必须保证良好的网络设计，以确保网络稳定运行。

8.1.3 详细设计过程

8.1.3.1 CAN 终端

总线末端可以采用单个 120Ω 电阻进行端接，放在电缆上或端接节点中。如果总线的共模电压需要进行滤波和稳压，则可以采用分裂终端，请参阅图 8-2。分裂端接通过滤除差分信号线路上可能存在的高频共模噪声，来改善网络的电磁发射行为。

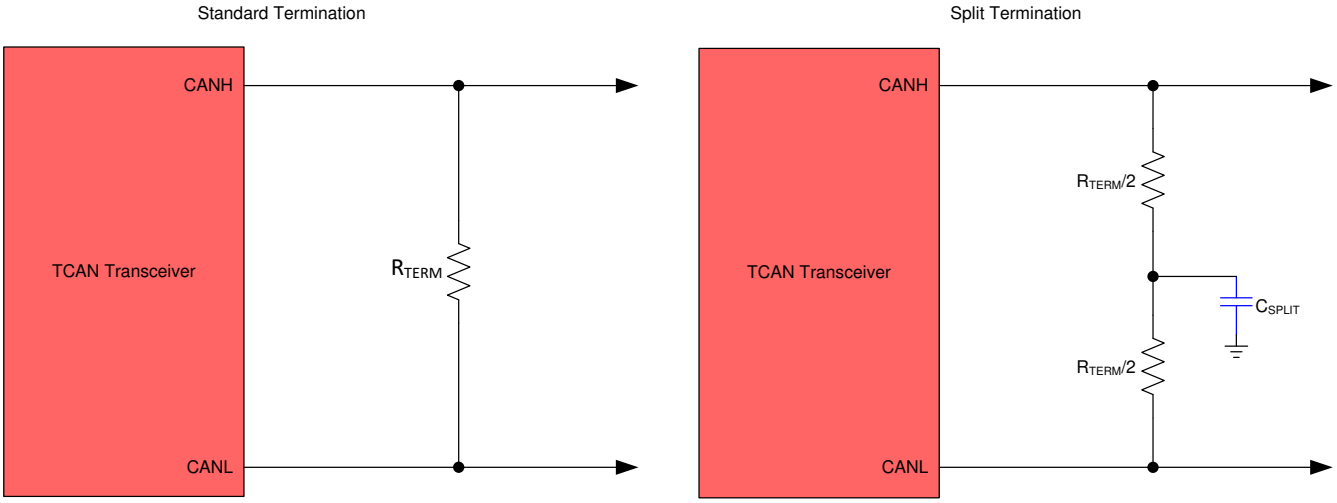


图 8-2. CAN 总线端接概念

8.1.4 应用曲线

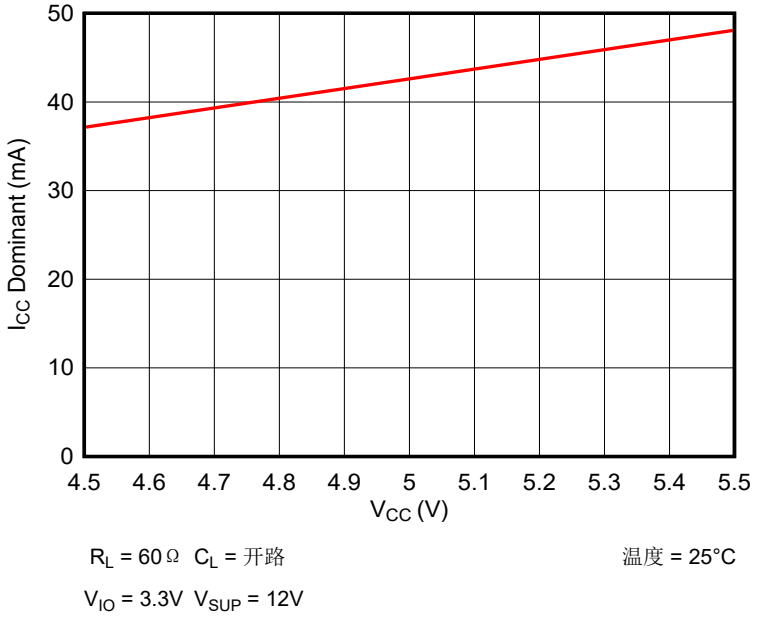


图 8-3. I_{CC} 显性电流与 I_{CC} 电源电压间的关系

8.2 电源相关建议

TCAN1043A-Q1 设计为由三个电源轨供电：V_{SUP}、V_{CC} 和 V_{IO}。V_{SUP} 是一个高压电源引脚，旨在连接到 V_{BAT} 电源轨；V_{CC} 是输入电压范围为 4.5V 至 5.5V 的低压电源引脚，可支持 CAN 收发器；V_{IO} 是输入电压范围为 1.7V 至 5.5V 的低压电源引脚，可提供与系统控制器匹配的 I/O 电压。为了实现可靠运行，应在尽可能靠近电源引脚的位置放置 100nF 去耦电容器。这样有助于减少开关模式电源输出中出现的电源电压波纹，并且有助于补偿 PCB 电源平面的电阻和电感。

Copyright © 2025 Texas Instruments Incorporated

8.3 布局

稳健可靠的 CAN 节点设计可能需要特殊的布局技术，具体取决于应用和汽车设计要求。由于瞬态干扰具有较高的频率内容和较宽的带宽，因此在 PCB 设计过程中应该应用高频布局技术。

8.3.1 布局指南

- 将保护和滤波电路放置于尽可能靠近总线连接器 J1 的位置，以防瞬变脉冲群、ESD 和噪声传送至电路板。如需额外保护，可添加瞬态电压抑制 (TVS) 器件，如 D1 所示。双向 TVS 二极管或额定值符合应用需求的压敏电阻可用作生产解决方案。此示例还显示了可选的总线滤波 0.1 µ F 电容 C6 和 C7。
- 串联共模扼流圈 (CMC) 放置在器件与连接器 J1 之间的 CANH 和 CANL 线路上。
- 朝信号路径的方向设计总线保护元件。不得将瞬态电流从信号路径强行转移至保护器件。使用电源和接地层来提供低电感。
- 当旁路电容和保护器件连接电源和地时，应至少使用两个过孔以更大限度减少布线电感和过孔电感。
- 去耦电容应尽可能靠近收发器的电源端子放置，例如 V_{CC} 引脚上的 0.1 µ F 电容 C1，V_{IO} 引脚上的 C2，以及 V_{SUP} 电源上的 0.1 µ F 和 15 µ F 电容 C3 和 C4。
- V_{IO} 引脚 5 连接到微控制器 IO 电源电压“µC V”。
- 总线端接：本布局布线示例显示的是分裂端接。其中，端接分为 R3 和 R4 两个 60 Ω 电阻，端接的中心或分接抽头通过 1-100nF 电容 C5 接地。分裂端接为总线提供共模滤波。当在电路板上而非直接在总线上进行总线端接时，务必谨慎操作以确保端接节点不会从总线上移除，否则也会导致没有端接。
- INH（引脚 7）可以将一个 100k Ω 电阻器 (R1) 接地。
- WAKE（引脚 9）可以识别 WAKE 信号的上升沿或下降沿，通常连接到外部开关。它应该按照图中所示进行配置，其中 C8 是一个连接到 GND 的 22nF 电容器，而 R5 为 33k Ω，R6 为 3k Ω。

8.3.2 布局示例

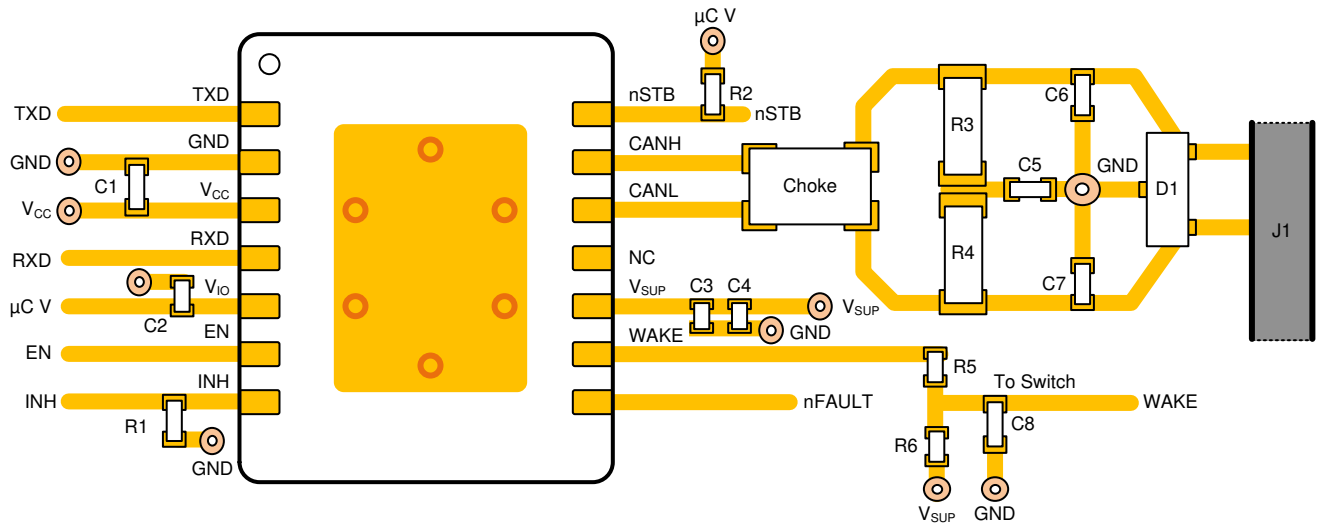


图 8-4. 示例布局

9 器件和文档支持

9.1 文档支持

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (March 2023) to Revision F (July 2025)	Page
• 更改了“*封装信息*”表数值并加入注释 2	1
• 在“*模式更改特性*”中将 $t_{INH_SLP_STB}$ 说明更改为“INH 有效时间”	9
• 更改了 *布局指南* 部分	39

Changes from Revision D (January 2023) to Revision E (March 2023)	Page
• 删除了 通过 WAKE 输入端子实现本地唤醒 (LWU) 第一段中的文本	30

Changes from Revision C (April 2022) to Revision D (January 2023)	Page
• 向*封装信息*表中添加了 TCAN1043AT-Q1。	1
• 在数据表 *规格* 中添加了器件型号 TCAN1043AT-Q1	4
• 向“*器件特性*”部分的 $t_{SILENCE}$ 参数添加了最小规格	9
• 更改了 图 6-6 以从 TX 块中删除 nSTB 信号。	14
• 在 *nFAULT* 引脚部分中添加了 表 7-1 的链接	19
• 更改了表 7-1，在*内部和外部故障指示器* 部分的上电、唤醒源识别和 TXDRXD 事件标志中添加了注释	20

Copyright © 2025 Texas Instruments Incorporated

- 更改了 图 7-4 以准确反映 SWE 计时器的行为。添加了注释 4 和注释 5，其中显示了由于 SWE 计时器超时而从静音模式转换到睡眠模式的情况 25
- 添加了 图 7-5，以说明当由于 SWE 计时器超时而进入睡眠模式时从睡眠模式转换为静音或正常模式的步骤。 25
- 在睡眠模式部分中添加了一个段落，以介绍使用 EN 和 nSTB 引脚直接从睡眠模式进入正常或静音模式所需执行的步骤。 28
- 更改了 图 7-8 以指示 INH 波形上的 $t_{INH_SLP_STB}$ 延迟 30
- 更改了 图 7-9 以指示 INH 波形上的 $t_{INH_SLP_STB}$ 延迟 30
- 更改了 图 7-10 以将“&”更改为“与”、阐明了 RXD 引脚在“CAN 关闭状态”下处于高阻抗状态 32
- 向图 7-10 添加了注释 2 32
- 将文本从“CAN 收发器阻止其发送器和接收器”更改为：“CAN 收发器阻止其发送器”（位于“*CAN 有效*”部分） 34

Changes from Revision B (December 2021) to Revision C (April 2022) **Page**

- 删除了*封装信息*表中 SOT (DYY) 封装的产品预发布。 1
- 更改了 图 7-1 中的 INH 引脚晶体管连接 18

Changes from Revision A (October 2021) to Revision B (December 2021) **Page**

- 删除了*封装信息*表中 SOIC (D) 封装的产品预发布。 1

Changes from Revision * (January 2021) to Revision A (October 2021) **Page**

- 从*预告信息*更改为：*量产*数据 1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TCAN1043ADMTRQ1	Active	Production	VSON (DMT) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	TCAN 1043A
TCAN1043ADMTRQ1.A	Active	Production	VSON (DMT) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	TCAN 1043A
TCAN1043ADRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	TCAN1043A
TCAN1043ADRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	TCAN1043A
TCAN1043ADYYRQ1	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	TCAN1043A
TCAN1043ADYYRQ1.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	TCAN1043A
TCAN1043ATDMTRQ1	Active	Production	VSON (DMT) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	TCAN 043AT
TCAN1043ATDMTRQ1.A	Active	Production	VSON (DMT) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	TCAN 043AT
TCAN1043ATDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	TCAN1043AT
TCAN1043ATDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	TCAN1043AT

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

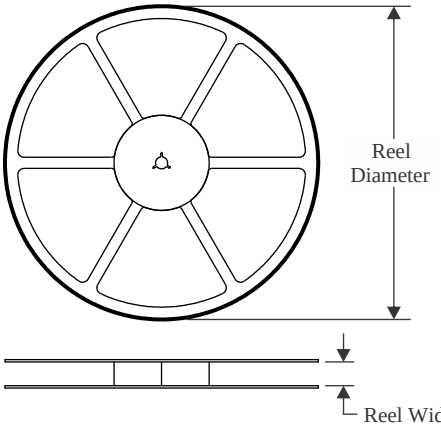
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

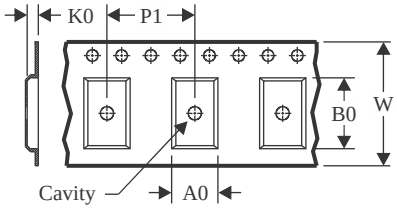
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

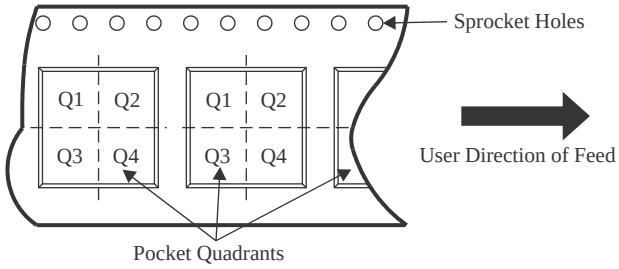


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

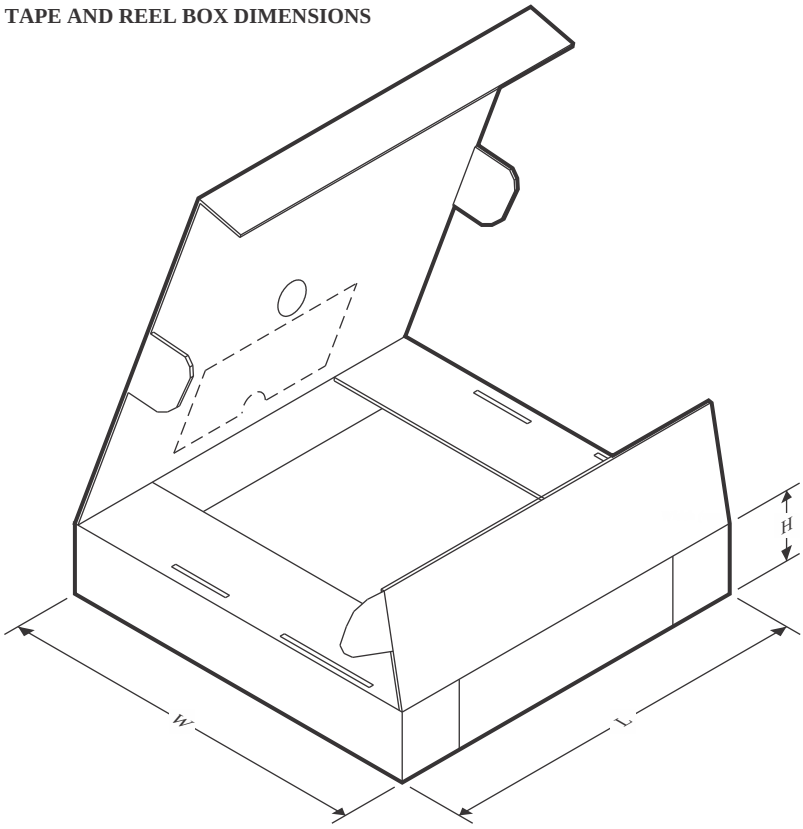
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAN1043ADMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
TCAN1043ADRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TCAN1043ADYYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TCAN1043ATDMTRQ1	VSON	DMT	14	3000	330.0	12.4	3.3	4.8	1.2	8.0	12.0	Q1
TCAN1043ATDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

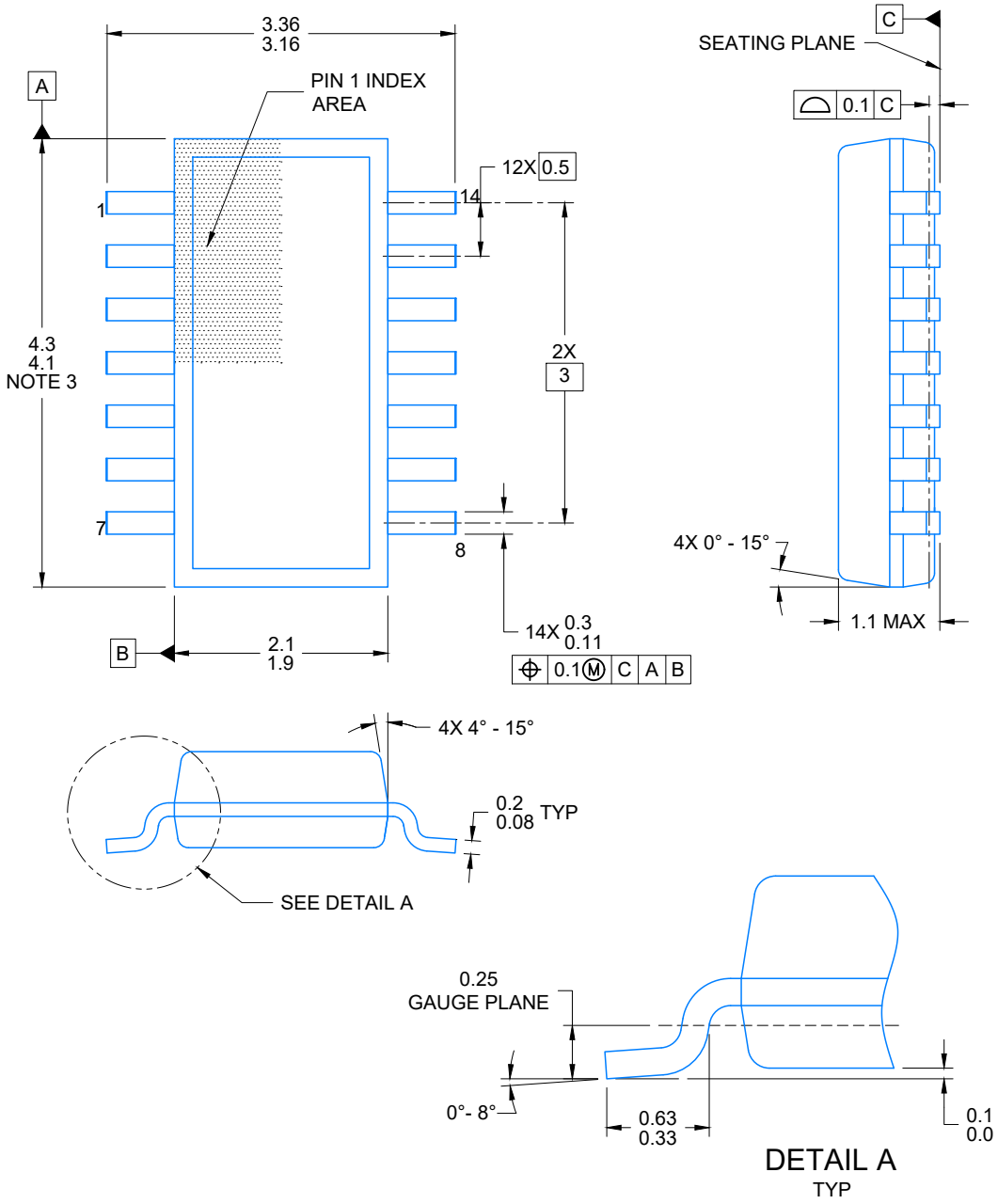
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAN1043ADMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
TCAN1043ADRQ1	SOIC	D	14	2500	353.0	353.0	32.0
TCAN1043ADYYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TCAN1043ATDMTRQ1	VSON	DMT	14	3000	367.0	367.0	35.0
TCAN1043ATDRQ1	SOIC	D	14	2500	353.0	353.0	32.0

PACKAGE OUTLINE

DYY0014A

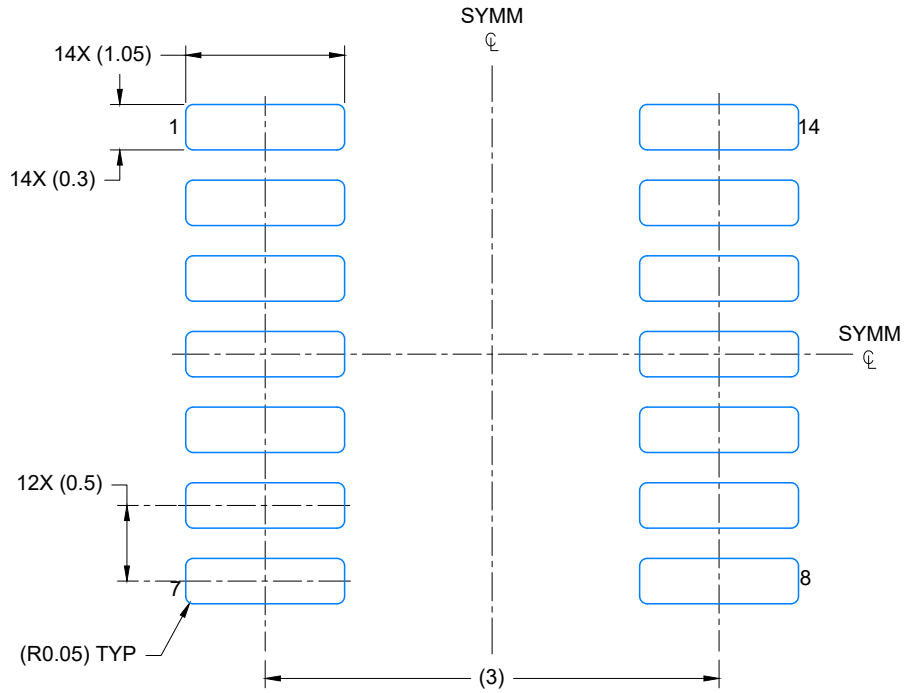
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

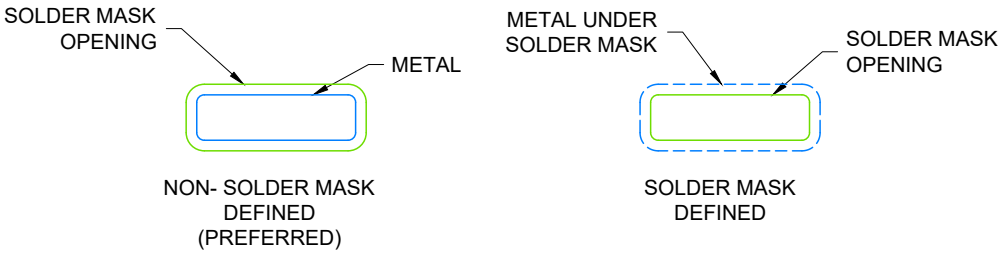


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

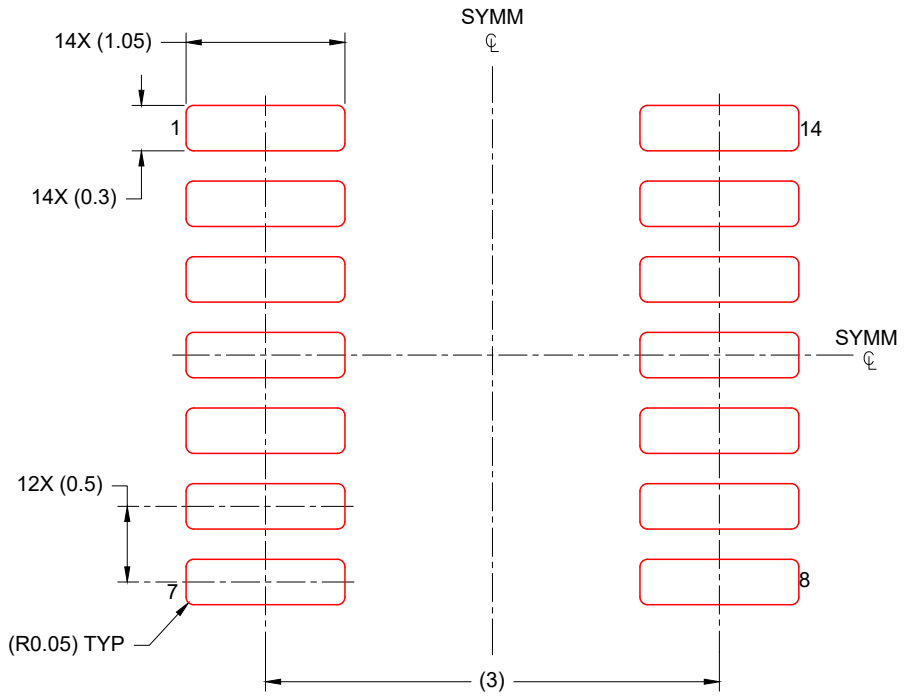


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

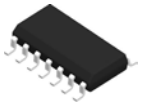


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

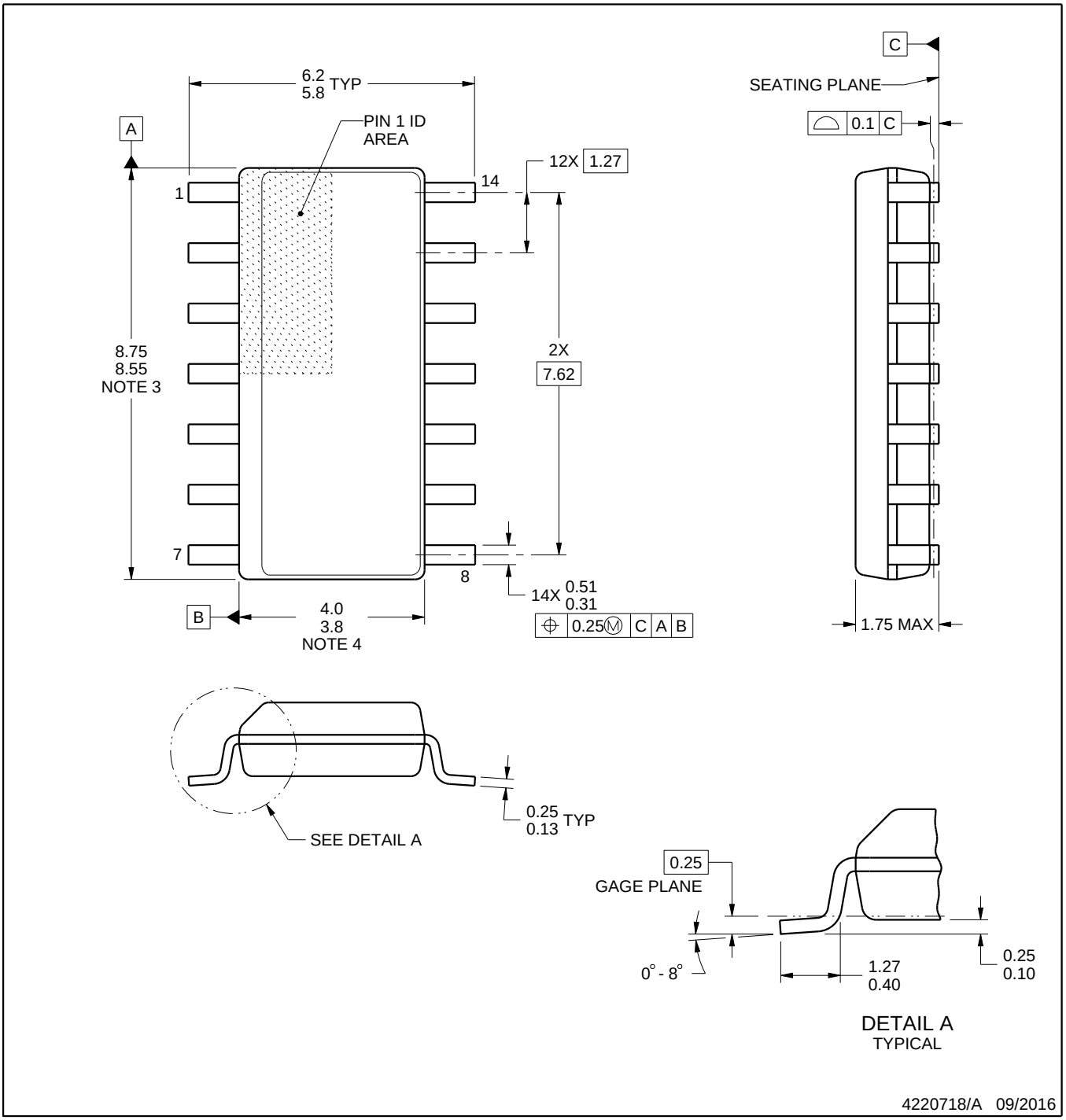


PACKAGE OUTLINE

D0014A

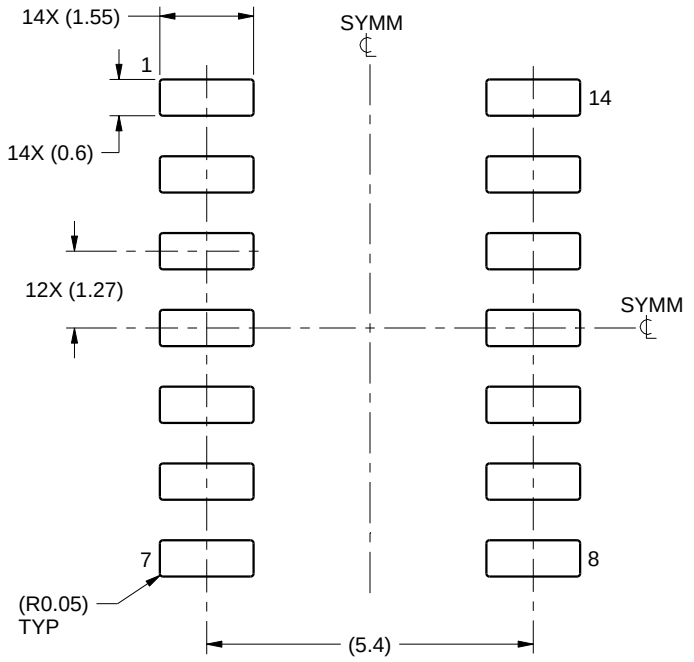
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

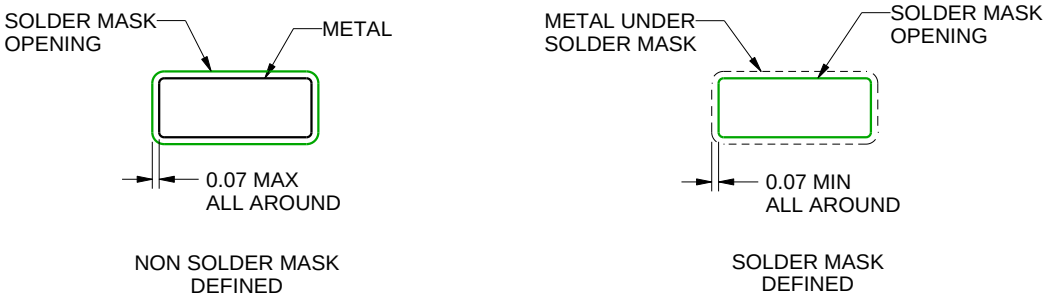


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

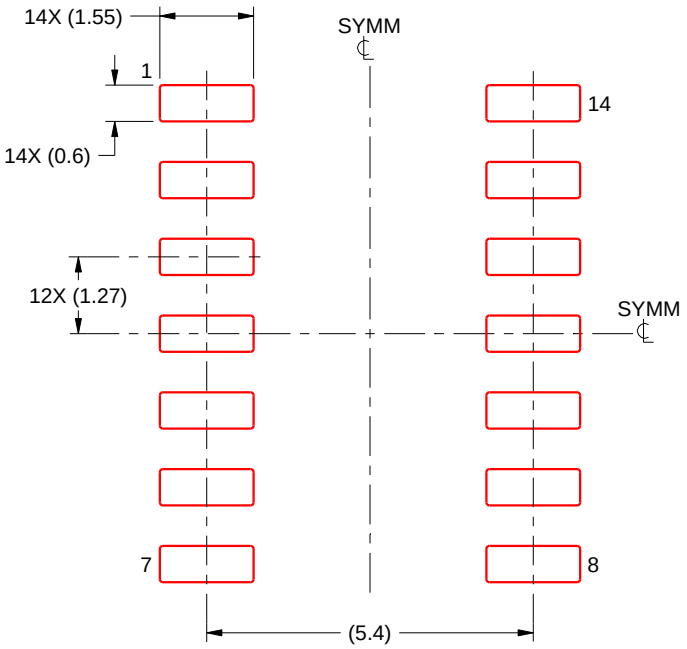
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

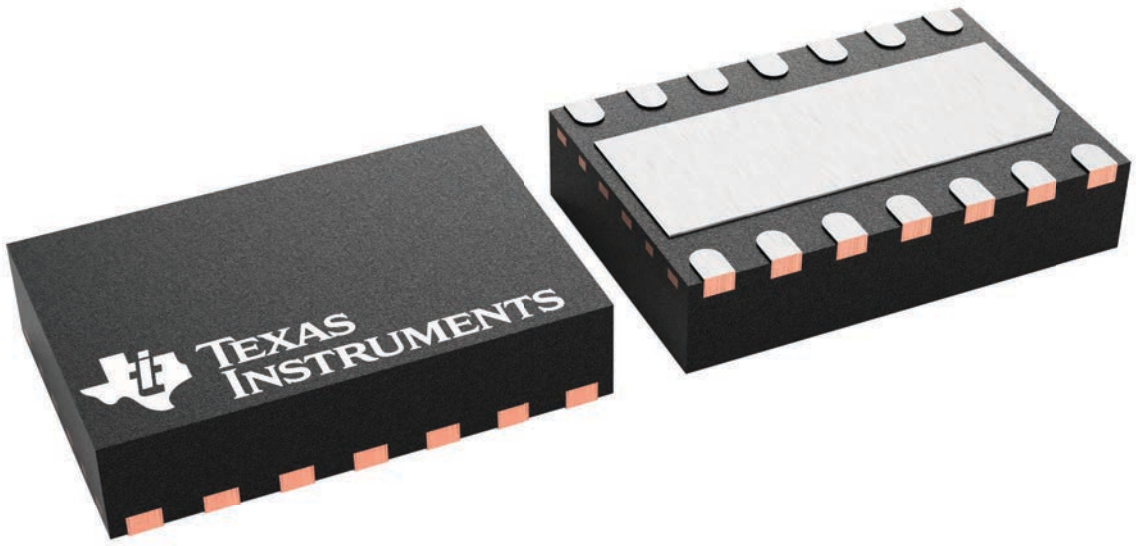
DMT 14

VSON - 0.9 mm max height

3 x 4.5, 0.65 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



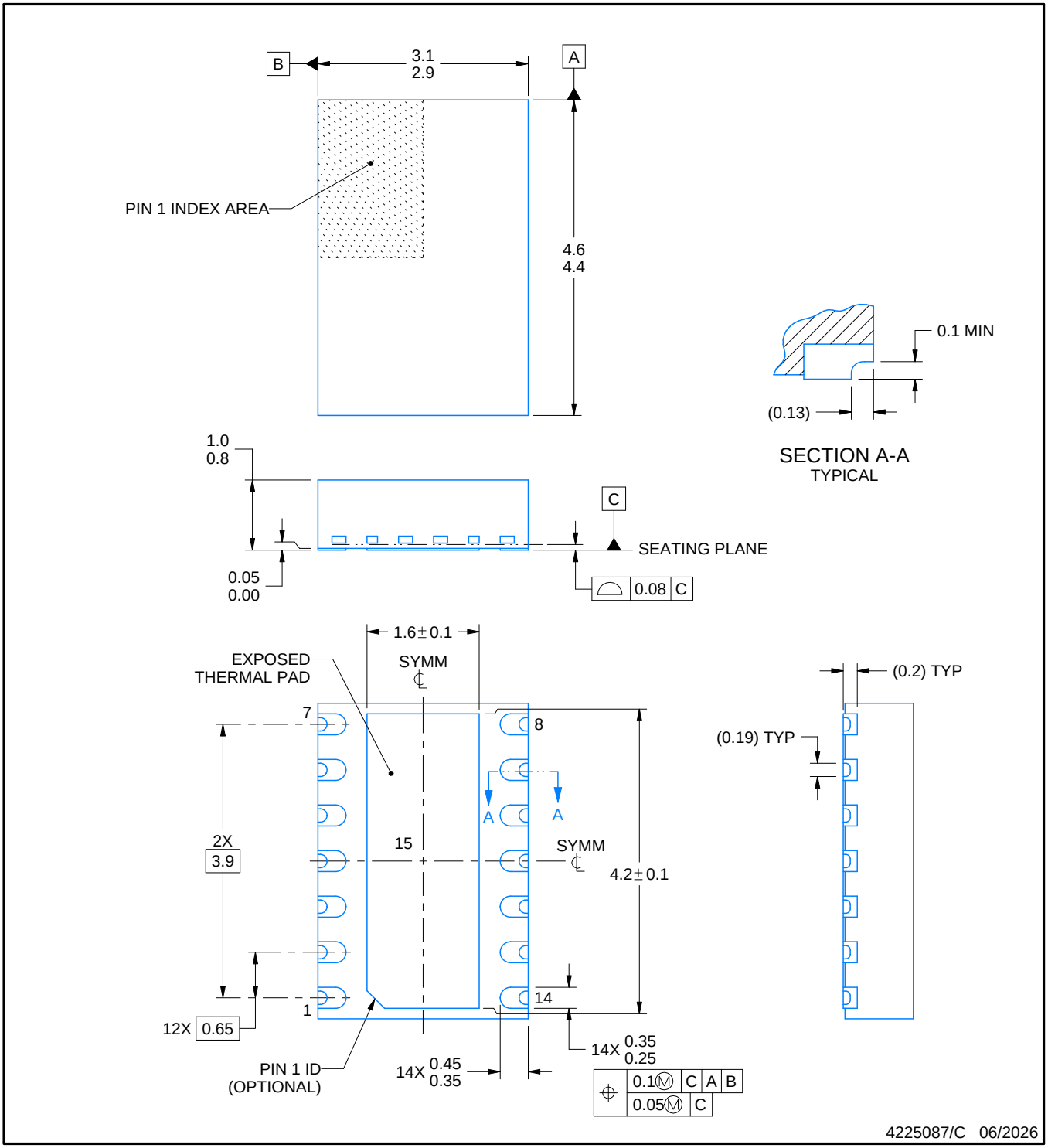
4225088/A

PACKAGE OUTLINE

DMT0014B

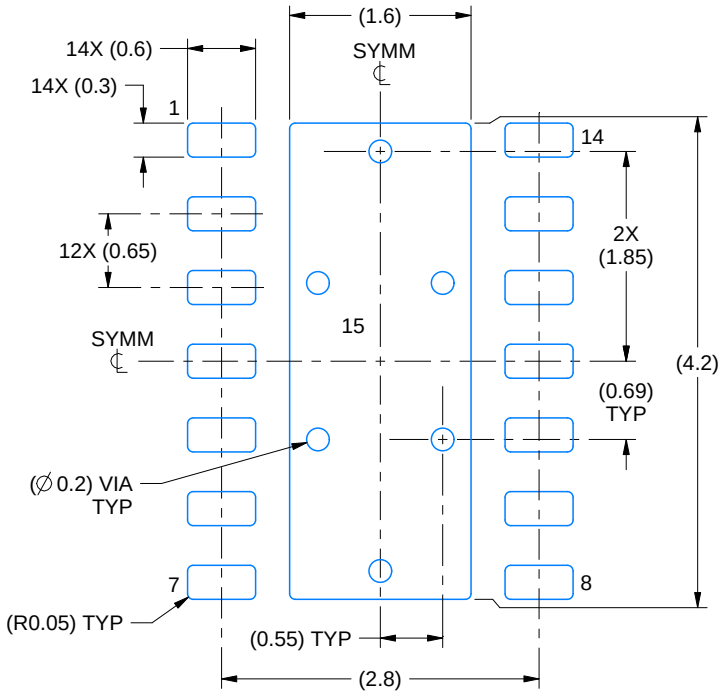
VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

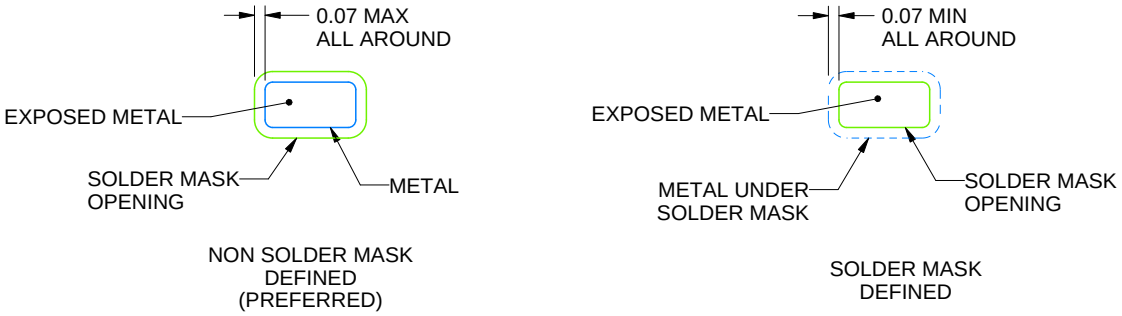


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Exposed side wall metal may vary is shape, size and quantity.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

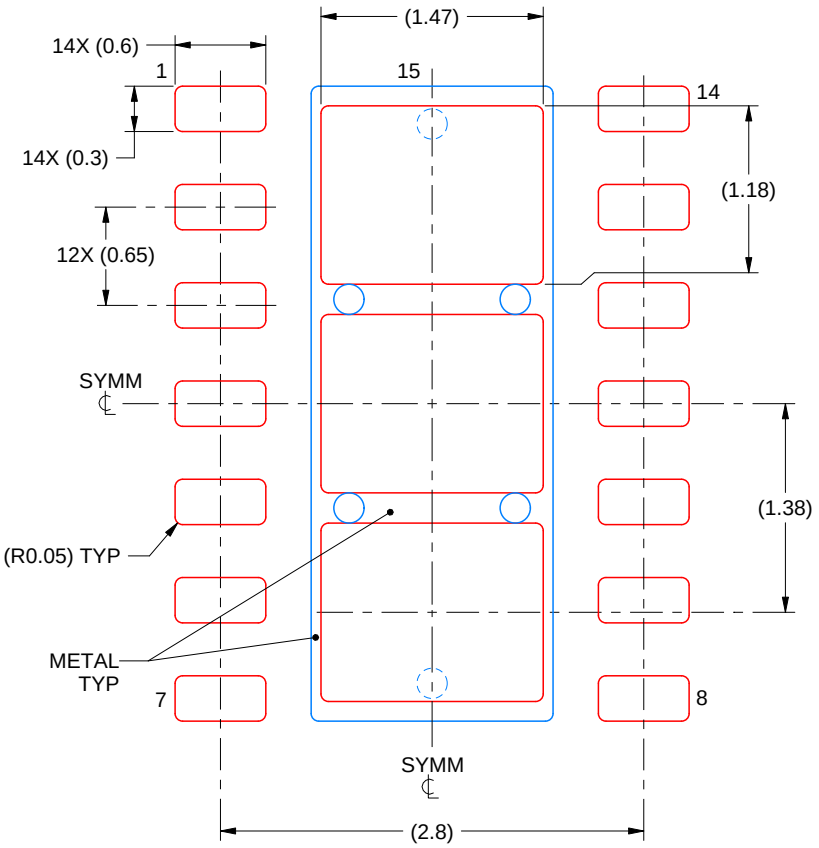


SOLDER MASK DETAILS

4225087/C 06/2026

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 15
77.4% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4225087/C 06/2026

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月