采用 H 级算法的 TAS5827 47W 立体声、数字输入、高效闭环 D 级放大器

1 特性

- 支持多路输出配置
  - 2 × 57W，BTL 模式（6Ω，25V，THD+N=10%）
  - 2 × 55W，BTL 模式（4Ω，21V，THD+N=10%）
  - 2 × 47W，BTL 模式（6Ω，25V，THD+N=1%）
  - 2 × 45W，BTL 模式（4Ω，21V，THD+N=1%）
  - 1 × 112W，PBTL 模式（3Ω，25V，THD+N=10%）
  - 1 × 94W，PBTL 模式（3Ω，25V，THD+N=1%）
- 灵活音频 I/O：
  - 支持 32kHz、44.1kHz、48kHz、88.2kHz、96kHz、192kHz 采样率
  - I^2S、LJ、RJ、4-16 通道 TDM 输入
  - SDOUT（用于实现音频监控、子通道或回声消除）
  - 支持三线制数字音频接口（无需 MCLK）
- 高效 D 级调制
  - 电源效率高于 90%，R_{DS}on 为 70mΩ
- 出色的音频性能：
  - 1W、1kHz、PVDD = 12V 的条件下，THD + N ≤ 0.03%
  - SNR ≥ 110dB（A 加权），ICN ≤ 40μVrms
- 灵活处理特性
  - 3 频带高级 DRC + 2 个 EQ + AGL + 2 个 EQ
  - 每通道 12 个 BQ、电平计
  - 96kHz、192kHz 处理器采样
  - 混合器、音量、动态 EQ、输出交叉开关
  - PVDD 检测和 H 级算法音频信号跟踪
- 灵活电源配置
  - PVDD：4.5V 至 26.4V
  - DVDD 和 I/O：1.8V 或 3.3V
- 出色的集成式自我保护功能：
  - 过流错误 (OCE)
  - 逐周期电流限制支持 4 个可选 OC 电平
  - 过热警告 (OTW)
  - 过热错误 (OTE)
  - 欠压和过压锁定 (UVLO/OVLO)
  - PVDD 压降检测
- 轻松系统集成
  - I^2C 软件控制（TAS5827 支持快速和快速+ 模式）或 硬件模式
  - 与开环器件相比，所需的无源器件更少

2 应用

- 电池供电扬声器
- 无线蓝牙扬声器
- 条形音箱和低音炮
- 智能扬声器

3 说明

TAS5827 是一款立体声高性能闭环 D 级放大器，具有集成的音频处理器，支持高达 192kHz 的音频。

软件控制模式启动后，TAS5827 不仅实现了经典的 BQ、3 频带 DRC 和 AGL，还实现了专有的音频包络跟踪 H 级控制算法。H 级算法可检测所需的音频功率需求，并通过 GPIO 引脚向直流/直流转换器提供 PWM 格式控制信号。TAS5827 在 BTL 模式下支持最长 5ms 的延迟缓冲器，在 PBTL 模式下支持最长 10ms 的延迟缓冲器，H 级控制大大有助于提高系统效率。

将器件设置为硬件控制模式时，TAS5827 通过引脚配置支持选择开关频率、模拟增益、BTL/PBTL 模式和逐周期电流限制阈值。此模式专为免去终端系统软件驱动程序集成工作而设计。

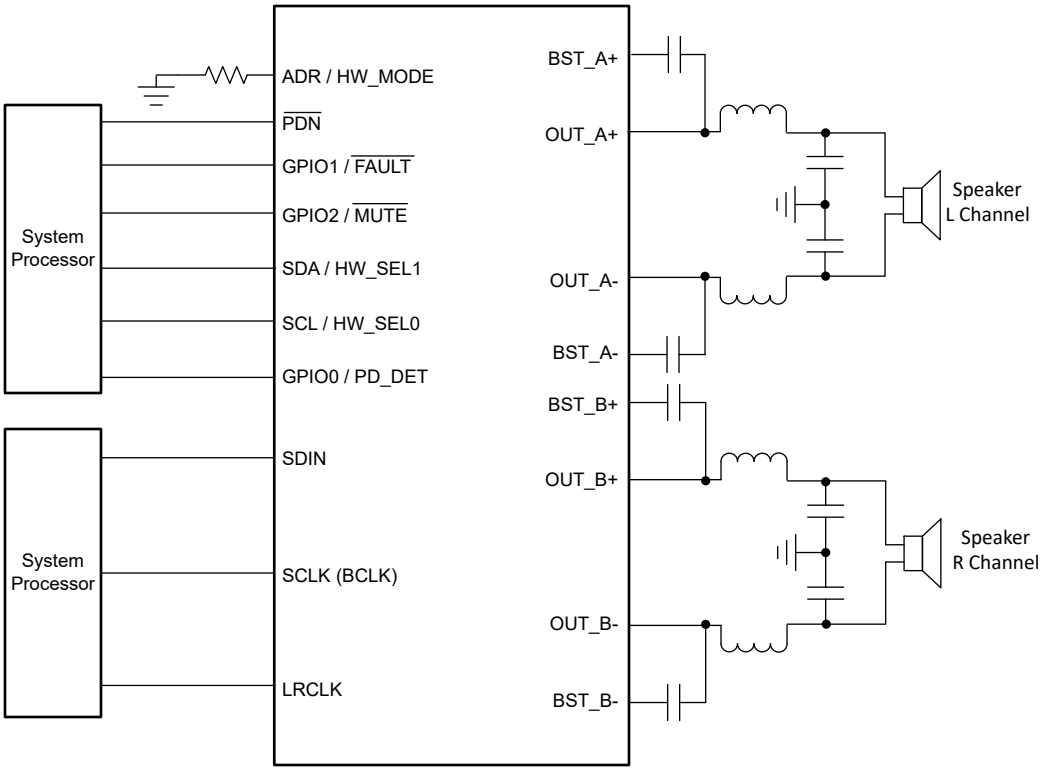
器件信息

器件型号	封装(1)	封装尺寸(2)
TAS5827	VQFN (32) RHB	5mm × 5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。



简化版原理图

Copyright © 2025 Texas Instruments Incorporated

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 4
5 规格.... 8
5.1 绝对最大额定值.... 8
5.2 ESD 等级.... 8
5.3 建议运行条件.... 8
5.4 热性能信息.... 8
5.5 电气特性.... 10
5.6 时序要求.... 14
5.7 典型特性.... 15
6 详细说明.... 28
6.1 概述.... 28
6.2 功能方框图.... 29
6.3 特性说明.... 29
6.4 器件功能模式.... 34
7 寄存器映射.... 47
7.1 reg_map 寄存器.... 47
8 应用和实施.... 96
8.1 典型应用.... 97
8.2 布局.... 98
8.3 电源相关建议.... 101
9 器件和文档支持.... 104
9.1 器件支持.... 104
9.2 接收文档更新通知.... 104
9.3 支持资源.... 104
9.4 商标.... 104
9.5 静电放电警告.... 105
9.6 术语表.... 105
10 修订历史记录.... 105
11 机械、封装和可订购信息.... 105

4 引脚配置和功能

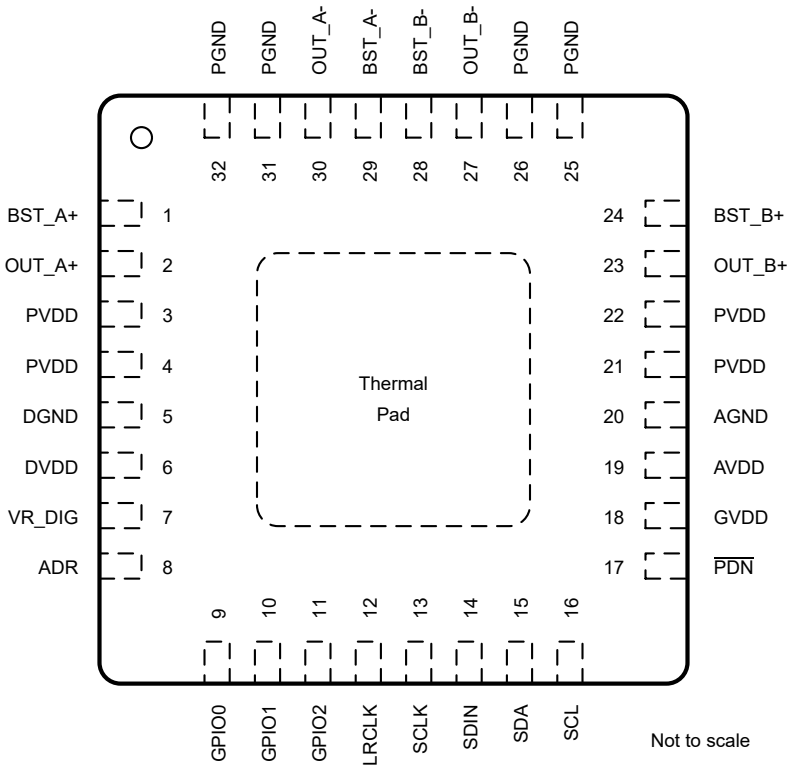


图 4-1. RHB (VQFN) 封装，32 引脚焊盘朝下，软件模式，顶视图

表 4-1. 引脚功能 - 软件模式

引脚		类型[(1)]	说明
名称	编号		
ADR	8	DI	电阻器值表（下拉至 GND）可确定器件 I2C 地址。请参阅 表 6-5。
AGND	20	G	模拟地。
AVDD	19	P	内部稳定 5V 模拟电源电压。此引脚不得用于驱动外部器件。
BST_A+	1	P	OUT_A+ 自举电容器的连接点，用于为 OUT_A+ 的高侧栅极驱动创建电源。
BST_A-	29	P	OUT_A- 自举电容器的连接点，用于为 OUT_A- 的高侧栅极驱动创建电源。
BST_B+	24	P	OUT_B+ 自举电容器的连接点，用于为 OUT_B+ 的高侧栅极驱动创建电源。
BST_B-	28	P	OUT_B- 自举电容器的连接点，用于为 OUT_B- 的高侧栅极驱动创建电源。
DGND	5	G	数字地。
DVDD	6	P	3.3V 或 1.8V 数字电源。
GPIO0	9	DI/O	通用输入/输出，该引脚的功能可以通过寄存器（寄存器地址 0x60h 和 0x61h）编程。可配置为开漏输出或推挽输出。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚功能 - 软件模式（续）

引脚		类型[(1)]	说明
名称	编号		
GPIO1	10	DI/O	通用输入/输出，该引脚的功能可以通过寄存器（寄存器地址 0x60h 和 0x62h）编程。可配置为开漏输出或推挽输出。
GPIO2	11	DI/O	通用输入/输出，该引脚的功能可以通过寄存器（寄存器地址 0x60h 和 0x63h）编程。可配置为开漏输出或推挽输出。
LRCLK	12	DI	在串行端口的输入数据线上有效的数字信号的字选择时钟。在 I²S、LJ 和 RJ 中，这对应于左声道和右声道边界。在 TDM 模式下，这对应于帧同步边界。
OUT_A+	2	PO	差分扬声器放大器输出 A 的正极引脚。
OUT_A-	30	否	差分扬声器放大器输出 A 的负极引脚。
OUT_B+	23	PO	差分扬声器放大器输出 B 的正极引脚。
OUT_B-	27	否	差分扬声器放大器输出 B 的负极引脚。
$\overline{\text{PDN}}$	17	DI	关断，低电平有效。$\overline{\text{PDN}}$ 将放大器置于关断状态，关闭所有内部稳压器。
PGND	25	G	功率器件电路的接地基准。将此引脚连接到系统接地。
	26	G	
	31	G	
	32	G	
PVDD	3	P	PVDD 电压输入。
	4	P	
	21	P	
	22	P	
SDA	15	DI/O	I²C 串行控制数据接口输入/输出。
SDIN	14	DI	串行数据端口的数据线路。
SCL	16	DI	I²C 串行控制时钟输入。
SCLK	13	DI	在串行数据端口的输入数据线路上有效的数字信号的位时钟。
VR_DIG	7	P	内部稳定 1.5V 数字电源电压。此引脚不得用于驱动外部器件。
PowerPAD™		G	接地，连接到接地散热器以获得出色系统性能。

(1) AI = 模拟输入，AO = 模拟输出，DI = 数字输入，DO = 数字输出，DI/O = 数字双向（输入和输出）、PO = 正输出，NO = 负输出，P = 电源，G = 接地 (0V)

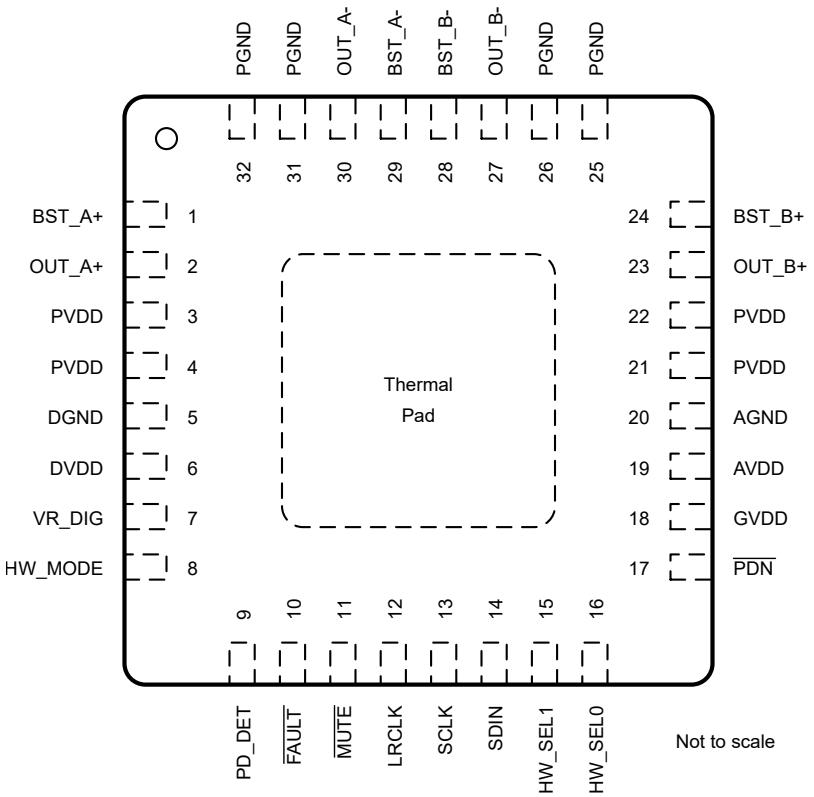


图 4-2. RHB (VQFN) 封装，32 引脚焊盘朝下，硬件模式，顶视图

表 4-2. 引脚功能 - 硬件模式

引脚		类型[1]	说明
名称	编号		
AGND	20	G	模拟地。
AVDD	19	P	内部稳定 5V 模拟电源电压。此引脚不得用于驱动外部器件。
BST_A+	1	P	OUT_A+ 自举电容器的连接点，用于为 OUT_A+ 的高侧栅极驱动创建电源。
BST_A-	29	P	OUT_A- 自举电容器的连接点，用于为 OUT_A- 的高侧栅极驱动创建电源。
BST_B+	24	P	OUT_B+ 自举电容器的连接点，用于为 OUT_B+ 的高侧栅极驱动创建电源。
BST_B-	28	P	OUT_B- 自举电容器的连接点，用于为 OUT_B- 的高侧栅极驱动创建电源。
DGND	5	G	数字地。
DVDD	6	P	3.3V 或 1.8V 数字电源。
$\overline{\text{FAULT}}$	10	DO	故障端子，发生内部故障时被拉至低电平。
GVDD	18	P	栅极驱动内部稳压器输出。此引脚不得用于驱动外部器件。
HW_MODE	8	DI	直接连接到 DVDD，以确保器件进入硬件控制模式。
HW_SEL0	16	DI	硬件模式下的模拟增益和 BTL/PBTL 模式选择。通过不同的电阻器上拉至 DVDD 或下拉至接地。请参阅 表 6-4。
HW_SEL1	15	DI	硬件模式下的 PWM 开关频率和展频启用/禁用选择。通过不同的电阻器上拉至 DVDD 或下拉至接地。请参阅 表 6-3。
LRCLK	12	DI	在串行端口的输入数据线上有效的数字信号的字选择时钟。在 I^2S、LJ 和 RJ 中，这对应于左声道和右声道边界。在 TDM 模式下，这对应于帧同步边界。
$\overline{\text{MUTE}}$	11	DI	扬声器放大器静音。必须将其拉至低电平（连接到 DGND）以使器件静音，并拉至高电平（连接到 DVDD）以退出静音状态。在静音状态下，器件输出保持在高阻抗状态。
OUT_A+	2	PO	差分扬声器放大器输出 A 的正极引脚。

Copyright © 2025 Texas Instruments Incorporated

表 4-2. 引脚功能 - 硬件模式（续）

引脚		类型[1]	说明
名称	编号		
OUT_A-	30	否	差分扬声器放大器输出 A 的负极引脚。
OUT_B+	23	PO	差分扬声器放大器输出 B 的正极引脚。
OUT_B-	27	否	差分扬声器放大器输出 B 的负极引脚。
PD_DET	9	DO	PVDD 压降检测，当 PVDD 压降至 8V 以下时会被拉至低电平。
$\overline{\text{PDN}}$	17	DI	关断，低电平有效。$\overline{\text{PDN}}$ 将放大器置于关断状态，关闭所有内部稳压器。
PGND	25	G	功率器件电路的接地基准。将此引脚连接到系统接地。
	26	G	
	31	G	
	32	G	
PVDD	3	P	PVDD 电压输入。
	4	P	
	21	P	
	22	P	
SCLK	13	DI	在串行数据端口的输入数据线路上有效的数字信号的位时钟。
SDIN	14	DI	串行数据端口的数据线路。
VR_DIG	7	P	内部稳定 1.5V 数字电源电压。此引脚不得用于驱动外部器件。
PowerPAD™		G	接地，连接到接地散热器以获得出色系统性能。

(1) AI = 模拟输入，AO = 模拟输出，DI = 数字输入，DO = 数字输出，DI/O = 数字双向（输入和输出）、PO = 正输出，NO = 负输出，P = 电源，G = 接地 (0V)

5 规格

5.1 绝对最大额定值

自然通风室温 25°C（除非另有说明）[(1)]

		最小值	最大值	单位
DVDD	低电压数字电源	–0.3	3.9	V
PVDD	PVDD 电源	-0.3	30	V
$V_{I(DigIn)}$	DVDD 参考数字输入[(2)]	-0.5	V_{DVDD} + 0.5	V
$V_{I(SPK_OUTxx)}$	扬声器输出引脚电压	-0.3	32	V
T_A	环境工作温度	–40	85	°C
T_J	工作结温	-40	150	°C
T_{stg}	存储温度	-40	125	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) DVDD 基准数字引脚包括：ADR/$\overline{\text{FAULT}}$、LRCLK、SCLK、SDIN、SDOUT、SCL、SDA、$\overline{\text{PDN}}$

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002。[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
$V_{(POWER)}$	电源输入	PVDD	4.5		26.4	V
		DVDD	1.62		3.63	V
R_{SPK}	最小扬声器负载	4.5V 至 24V 工作 PVDD 范围，BTL 模式	3.2			Ω
		4.5V 至 24V 工作 PVDD 范围，PBTL 模式	1.6			Ω
$V_{IH(DigIn)}$	DVDD 基准数字输入的输入逻辑高电平		0.9 × V_{DVDD}		DVDD	V
$V_{IL(DigIn)}$	DVDD 基准数字输入的输入逻辑低电平				0.1 × V_{DVDD}	V
L_{OUT}	短路情况下 LC 滤波器的最小电感值		1			μH

5.4 热性能信息

热指标[(1)]		TAS5827 - VQFN32 (RHB) - 32 引脚 JEDEC 标准 4 层 PCB	单位
$R_{\theta JA(top)}$	结至环境热阻	29.6	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	18.5	°C/W
$R_{\theta JB(top)}$	结至电路板热阻	9.9	°C/W
ψ_{JT}	结至顶部的特征参数	0.2	°C/W
ψ_{JB}	结至电路板特征参数	9.8	°C/W

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标[1]		TAS5827 - VQFN32 (RHB) - 32 引脚	单位
		JEDEC 标准 4 层 PCB	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	2.0	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 电气特性

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
数字 I/O						
|IIH|	DVDD 基准数字输入引脚的输入逻辑高电流电平	$V_{IN(DigIn)} = V_{DVDD}$			10	uA
|IIL|	DVDD 基准数字输入引脚的输入逻辑低电流电平	$V_{IN(DigIn)} = 0V$			-10	uA
$V_{IH(Digin)}$	DVDD 基准数字输入的输入逻辑高电平阈值		70%			V_{DVDD}
$V_{IL(Digin)}$	DVDD 基准数字输入的输入逻辑低电平阈值				30%	V_{DVDD}
$V_{OH(Digin)}$	输出逻辑高电压电平	$I_{OH} = 4mA$	80%			V_{DVDD}
$V_{OL(Digin)}$	输出逻辑低电压电平	$I_{OH} = -4mA$			20%	V_{DVDD}
I^2C 控制端口						
$C_{L(I2C)}$	每条 I^2C 线路允许的负载电容				400	pF
$f_{SCL(fast)}$	支持 SCL 频率	无等待状态，支持快速和快速+ 模式		400	1000	kHz
$f_{SCL(slow)}$	支持 SCL 频率	无等待状态，慢速模式			100	kHz
串行音频端口						
t_{DLY}	所需的 LRCLK/FS 至 SCLK 上升沿延迟		5			ns
D_{SCLK}	允许的 SCLK 占空比		40%		60%	
f_S	支持的输入采样速率		32		192	kHz
f_{SCLK}	支持的 SCLK 频率		32		64	f_S
f_{SCLK}	SCL 频率				24.576	MHz
放大器工作模式和直流参数						
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 2V，DVDD = 3.3V，播放模式，完整 DSP 运行时的通用音频处理流程		23		mA
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 2V，DVDD = 3.3V，睡眠模式		1		mA
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 2V，DVDD = 3.3V，深度睡眠模式		1		mA
I_{CC}	DVDD 的静态电源电流	$\overline{PDN}$ = 0.8V，DVDD = 3.3V，关断模式		16		uA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，1SPW 调制，播放模式		39		mA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，输出高阻态模式		11		mA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，睡眠模式		7.5		mA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，深度睡眠模式		10		uA
I_{CC}	PVDD 的静态电源电流	$\overline{PDN}$ = 2V，PVDD = 18V，无负载，LC 滤波器 = 10μH + 0.68μF，FSW = 384kHz，关断模式		10		uA
$A_{V(SPK_AMP)}$	可编程增益	值表示“峰值电压”，忽略因 PVDD 较低而导致的削波在 0dB 输入 (1FS) 时测得	13.75		29.4	dBV
$\Delta A_{V(SPK_AMP)}$	放大器增益误差	增益 = 26.4dBV		0.5		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{SPK_AMP}	扬声器放大器的开关频率。	软件模式		384		kHz
				480		kHz
				576		kHz
				768		kHz
				1024		kHz
		硬件模式		480		kHz
				768		kHz
$R_{DS(on)}$	各个输出的漏源导通电阻 MOSFET	FET + 金属化。V_{PVDD}=24V，$I_{(OUT)}$=500mA，T_J=25℃		70		mΩ
保护						
OCE_{THRES}	过流误差阈值（扬声器电流）	扬声器输出电流（后置 LC 滤波器），扬声器电流，LC 滤波器 = 10uH + 0.68uF，BTL 模式	7.5	8	8.5	A
$UVE_{THRES(PVDD)}$	PVDD 欠压误差阈值		3.7	4	4.2	V
$OVE_{THRES(PVDD)}$	PVDD 过压误差阈值		27	28.1	29.2	V
DCE_{THRES}	输出直流误差保护阈值	D 级放大器的输出直流电压交叉扬声器负载，用于触发输出直流故障保护		3.3		V
T_{DCDET}	输出直流检测时间	D 级放大器的输出保持在或高于 DCE_{THRES}		570		ms
OTE_{THRES}	过热误差阈值			170		℃
$OTE_{Hysteresis}$	过热误差迟滞			10		℃
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 0 读取		106		°C
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 1 读取		130		°C
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 2 读取		140		°C
OTW_{THRES}	过热警告电平	由寄存器 0x73 的位 3 读取		154		°C

5.5 电气特性（续）

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
音频性能（立体声 BTL）						
$\|V_{OS}\|$	放大器偏移电压	使用零输入数据以差动方式进行测量，使用 29.4dBV 模拟增益配置的可编程增益，V_{PVDD} 范围：12V~24V	-5		5	mV
$P_{O(SPK)}$	输出功率（每通道）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1kHz，THD+N = 10%		41		W
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1kHz，THD+N = 1%		33		W
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1kHz，THD+N = 10%		31		W
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1kHz，THD+N = 1%		25		W
		V_{PVDD} = 21V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1kHz，THD+N = 10%		55		W
		V_{PVDD} = 21V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 4Ω，f = 1kHz，THD+N = 1%		45		W
		V_{PVDD} = 25V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1kHz，THD+N = 10%		57		W
		V_{PVDD} = 25V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 6Ω，f = 1kHz，THD+N = 1%		47		W
$THD+N_{SPK}$	总谐波失真和噪声（P_O = 1W，f = 1kHz）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，负载 = 4Ω		0.05		%
		V_{PVDD} = 25V，LC 滤波器 = 10uH + 0.68uF，负载 = 6Ω		0.03		%
$ICN_{(SPK)}$	空闲声道噪声（权重，AES17）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，负载 = 4Ω，Fsw = 576kHz，BD 调制		40		μVrms
		V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，负载 = 4Ω，Fsw=384kHz，1SPW 调制		35		μVrms
		V_{PVDD} = 25V，LC 滤波器 = 10uH + 0.68uF，负载 = 6Ω，Fsw=384kHz，1SPW 调制		40		μVrms
		V_{PVDD} = 25V，LC 滤波器 = 3.3uH + 1uF，负载 = 6Ω，Fsw = 1024kHz，BD 调制		37		μVrms
DR	动态范围	A 加权，-60dBFS 方法。V_{PVDD} = 25V，负载 = 6Ω，模拟增益 = 29.4dBV		115		dB
SNR	信噪比	A 加权，以 1% THD+N 输出电平为基准，V_{PVDD}=25V，负载=6Ω		115		dB
		A 加权，以 1% THD+N 输出电平为基准，V_{PVDD}=18V，负载 4Ω		115		dB
PSRR	电源抑制比	注入噪声 = 1kHz，1Vrms，V_{PVDD} = 25V，输入音频信号 = 数字零		85		dB
$Cross\text{-}talk_{SPK}$	串扰（左右声道信号间耦合的最差情况）	f = 1kHz，基于 TDK 的电感器 (SPM10040T-100M)		100		dB

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

自然通风室温 25°C，1SPW 模式，LC 滤波器=10uH+0.68uF，Fsw=384kHz，D 级带宽=80kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
音频性能（单声道 PBTL）						
$\|V_{OS}\|$	放大器偏移电压	使用零输入数据以差动方式进行测量，使用 29.4dBV 模拟增益配置的可编程增益，V_{PVDD} = 12V-25V 范围，1SPW 模式	-5		5	mV
$P_{O(SPK)}$	输出功率	V_{PVDD} = 25V，R_{SPK} = 3Ω，f = 1kHz，THD+N = 1%		94		W
		V_{PVDD} = 25V，R_{SPK} = 3Ω，f = 1kHz，THD+N = 10%		112		W
		V_{PVDD} = 18V，R_{SPK} = 2Ω，f = 1kHz，THD+N = 1%		67		W
		V_{PVDD} = 18V，R_{SPK} = 2Ω，f = 1kHz，THD+N = 10%		83		W
$THD+N_{SPK}$	总谐波失真和噪声（P_O = 1W，f = 1kHz）	V_{PVDD} = 18V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 2Ω		0.07		%
		V_{PVDD} = 25V，LC 滤波器 = 10uH + 0.68uF，R_{SPK} = 3Ω		0.05		%
DR	动态范围	A 加权，-60dBFS 方法，V_{PVDD} = 25V，R_{SPK} = 3Ω。		113		dB
SNR	信噪比	A 加权，以 1% THD+N 输出电平为基准，V_{PVDD}=25V，R_{SPK} = 3Ω		113		dB
		A 加权，以 1% THD+N 输出电平为基准，V_{PVDD}=18V，R_{SPK} = 2Ω		106		dB
PSRR	电源抑制比	注入噪声 = 1kHz，1Vrms，V_{PVDD} = 18V，输入音频信号 = 数字零		80		dB

5.6 时序要求

		最小值	标称值	最大值	单位
串行音频端口时序 - 目标模式					
f_{SCL}	SCL 频率	1.024			MHz
t_{SCLK}	SCLK 周期	40			ns
t_{SCLKL}	SCLK 脉冲宽度，低电平	16			ns
t_{SCLKH}	SCLK 脉冲宽度，高电平	16			ns
t_{SL}	SCLK 上升至 LRCLK/FS 边沿	8			ns
t_{LS}	LRCK/FS 边沿到 SCLK 上升沿的时间	8			ns
t_{SU}	SCLK 上升沿之前的数据建立时间	8			ns
t_{DH}	SCLK 上升沿之后的数据保持时间	8			ns
t_{DFS}	SCLK 下降沿之后的数据延迟时间			15	ns
I^2C 总线时序 - 快速+ 模式					
f_{SCL}	SCL 时钟频率			1000	kHz
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	0.5			µs
t_{LOW}	SCL 时钟的低电平周期	0.5			µs
t_{HI}	SCL 时钟的高电平周期	0.26			µs
t_{RS-SU}	（重复）START 条件的建立时间	0.26			µs
t_{S-HD}	（重复）START 条件的保持时间	0.26			µs
t_{D-SU}	数据建立时间	50			ns
t_{D-HD}	数据保持时间	0			ns
t_{SCL-R}	SCL 信号的上升时间	$20 + 0.1C_B$		120	ns
t_{SCL-R1}	重复 START 条件和确认位之后的 SCL 信号上升时间	$20 + 0.1C_B$		120	ns
t_{SCL-F}	SCL 信号的下降时间	$20 + 0.1C_B$		120	ns
t_{SDA-R}	SDA 信号的上升时间	$20 + 0.1C_B$		120	ns
t_{SDA-F}	SDA 信号的下降时间	$20 + 0.1C_B$		120	ns
t_{P-SU}	STOP 条件的建立时间	0.26			µs
C_b	每个总线的容性负载			550	pf
I^2C 总线时序 - 快速					
f_{SCL}	SCL 时钟频率			400	kHz
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			µs
t_{LOW}	SCL 时钟的低电平周期	1.3			µs
t_{HI}	SCL 时钟的高电平周期	600			ns
t_{RS-SU}	（重复）START 条件的建立时间	600			ns
t_{RS-HD}	（重复）START 条件的保持时间	600			ns
t_{D-SU}	数据建立时间	100			ns
t_{D-HD}	数据保持时间	0		900	ns
t_{SCL-R}	SCL 信号的上升时间	$20 + 0.1C_B$		300	ns
t_{SCL-R1}	重复 START 条件和确认位之后的 SCL 信号上升时间	$20 + 0.1C_B$		300	ns
t_{SCL-F}	SCL 信号的下降时间	$20 + 0.1C_B$		300	ns
t_{SDA-R}	SDA 信号的上升时间	$20 + 0.1C_B$		300	ns
t_{SDA-F}	SDA 信号的下降时间	$20 + 0.1C_B$		300	ns
t_{P-SU}	STOP 条件的建立时间	600			ns
t_{SP}	抑制尖峰的脉冲宽度			50	ns
C_b	每个总线的容性负载			400	pf

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性

5.7.1 采用 BD 调制的桥接负载 (BTL) 配置曲线

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 576kHz、175kHz D 级放大器环路带宽的情况下进行的，使用的 LC 滤波器为 10μH/0.68μF，除非另有说明。

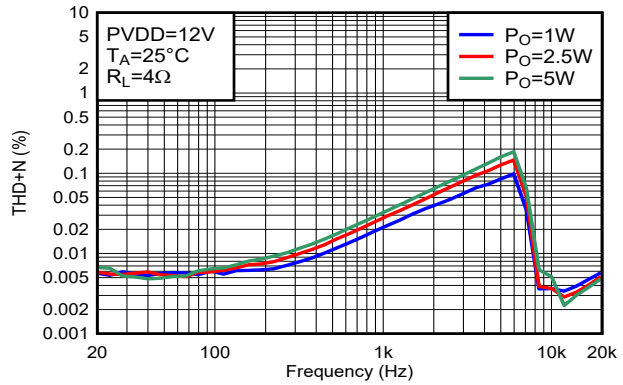


图 5-1. THD+N 与频率间的关系-BTL

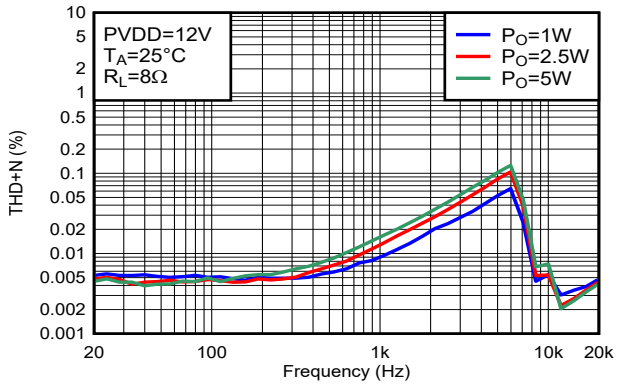


图 5-2. THD+N 与频率间的关系-BTL

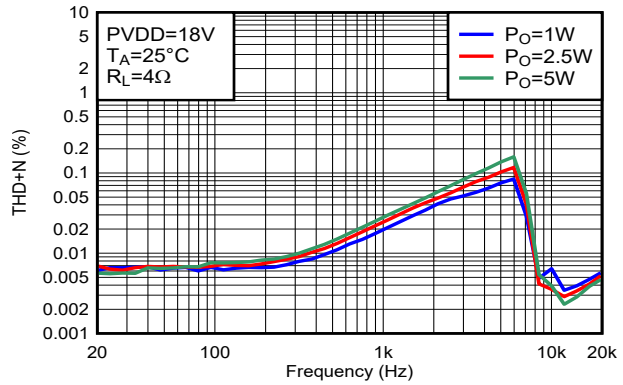


图 5-3. THD+N 与频率间的关系-BTL

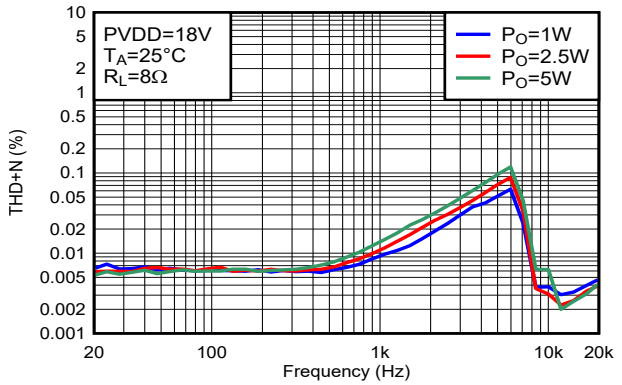


图 5-4. THD+N 与频率间的关系-BTL

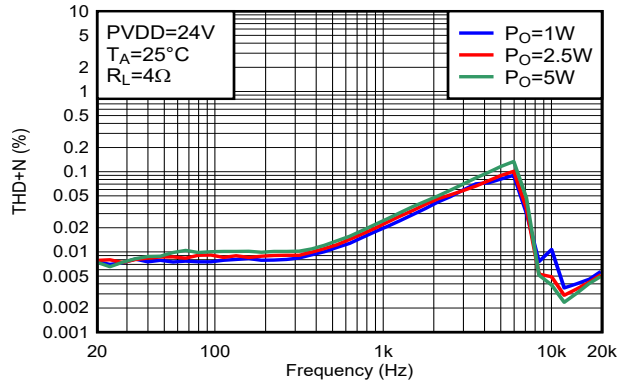


图 5-5. THD+N 与频率间的关系-BTL

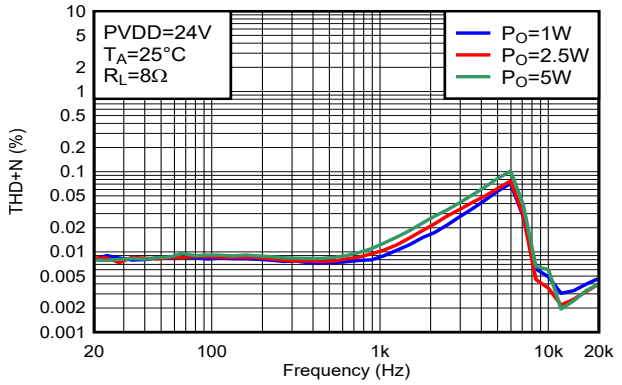


图 5-6. THD+N 与频率间的关系-BTL

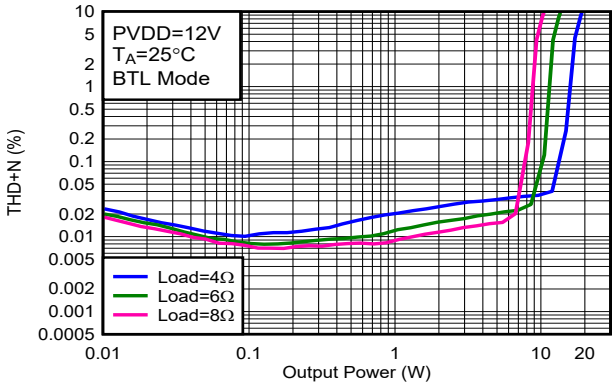


图 5-7. THD+N 与输出功率间的关系-BTL

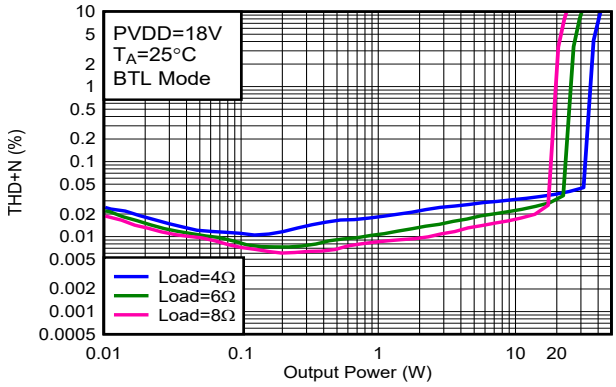


图 5-8. THD+N 与输出功率间的关系-BTL

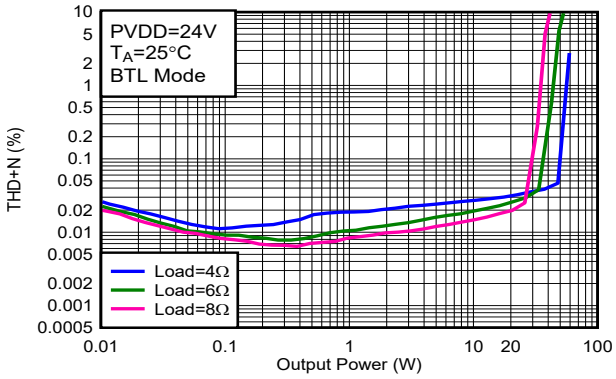
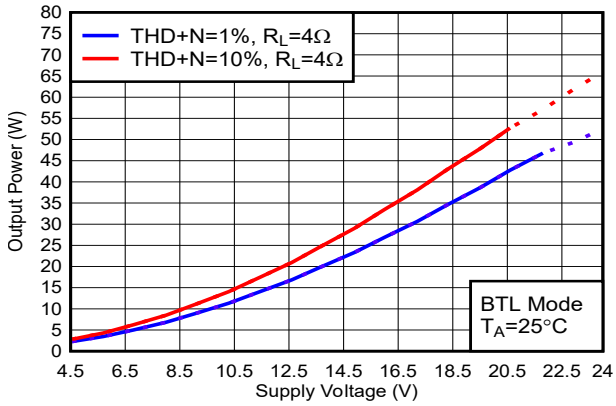


图 5-9. THD+N 与输出功率间的关系-BTL



A. 虚线表示散热受限的区域。

图 5-10. 输出功率与电源电压间的关系

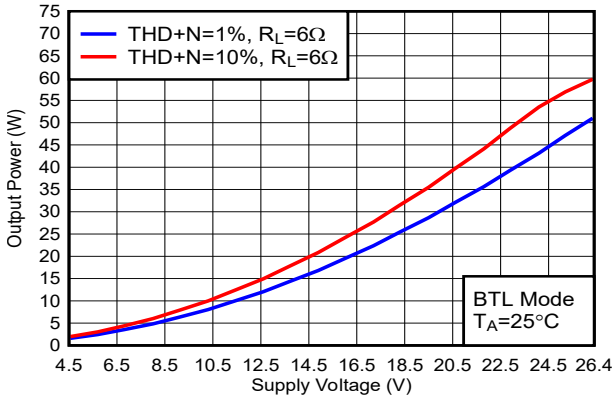


图 5-11. 输出功率与电源电压间的关系

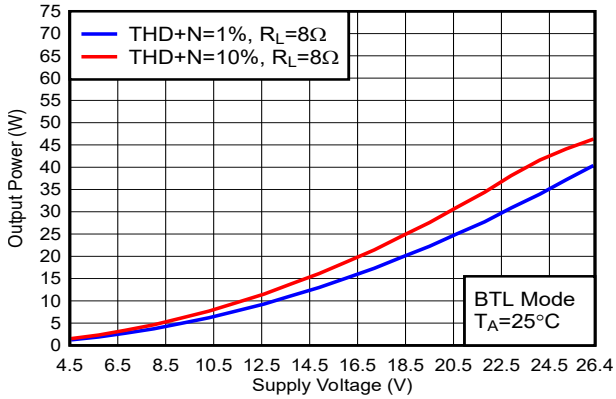
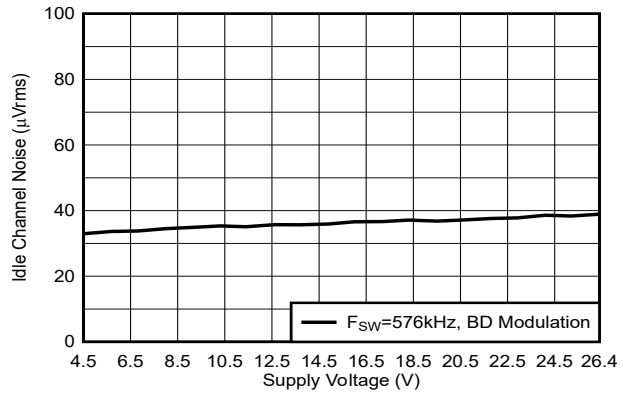


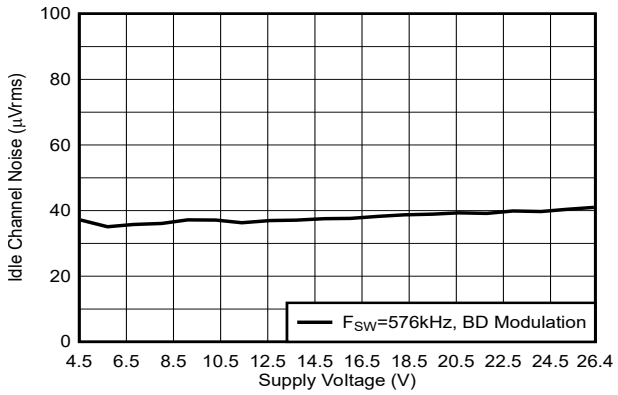
图 5-12. 输出功率与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated



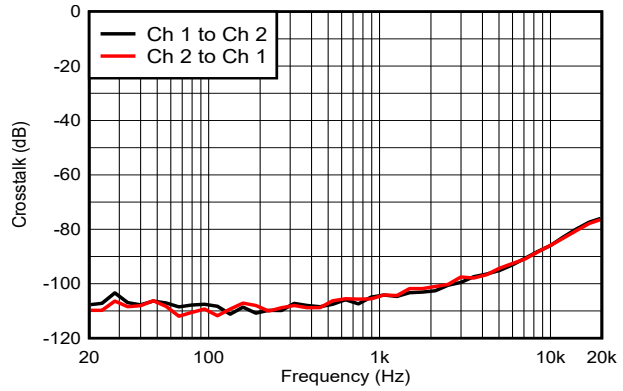
4Ω 负载

图 **5-13.** 空闲声道噪声与电源电压间的关系



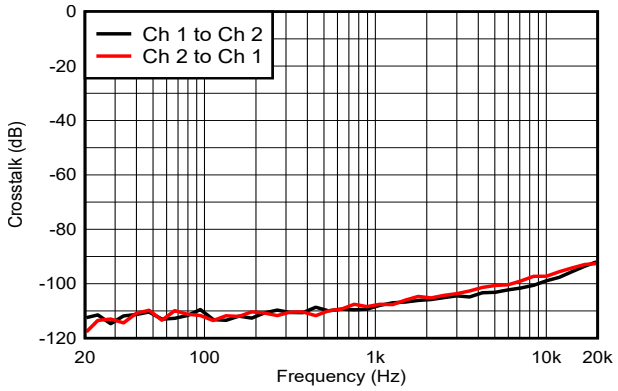
8Ω 负载

图 **5-14.** 空闲声道噪声与电源电压间的关系



PVDD = 24V R_L = 4Ω P_O = 1W

图 **5-15.** 串扰



PVDD = 24V R_L = 8Ω P_O = 1W

图 **5-16.** 串扰

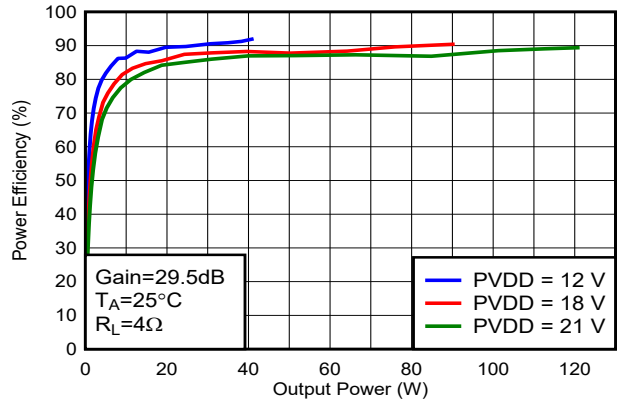


图 **5-17.** 效率与输出功率间的关系

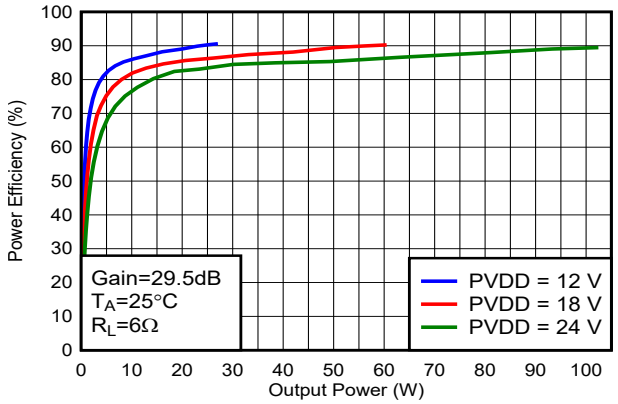


图 **5-18.** 效率与输出功率间的关系

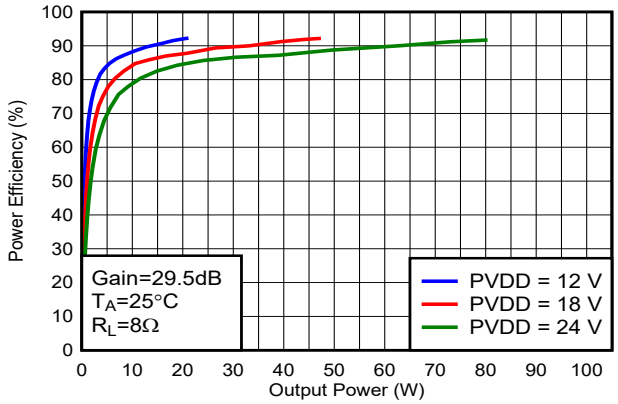


图 5-19. 效率与输出功率间的关系

5.7.2 采用 1SPW 调制的桥接负载 (BTL) 配置曲线

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 384kHz、80kHz D 类环路带宽的情况下进行的，使用的 LC 滤波器为 10 μH/0.68 μF，除非另有说明。

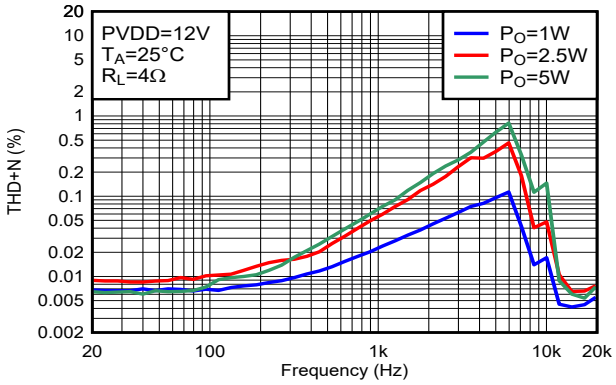


图 5-20. THD+N 与频率间的关系-BTL

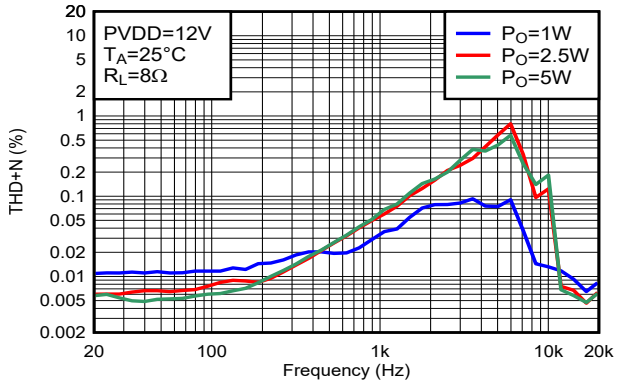


图 5-21. THD+N 与频率间的关系-BTL

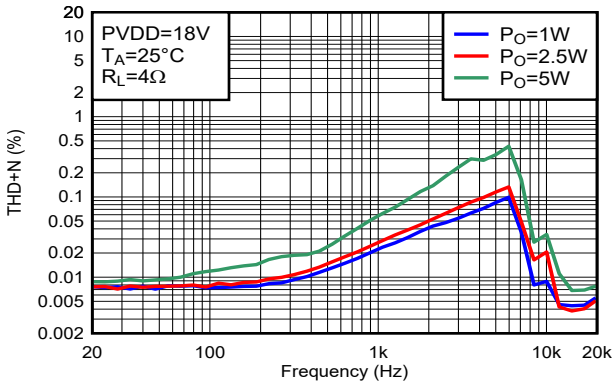


图 5-22. THD+N 与频率间的关系-BTL

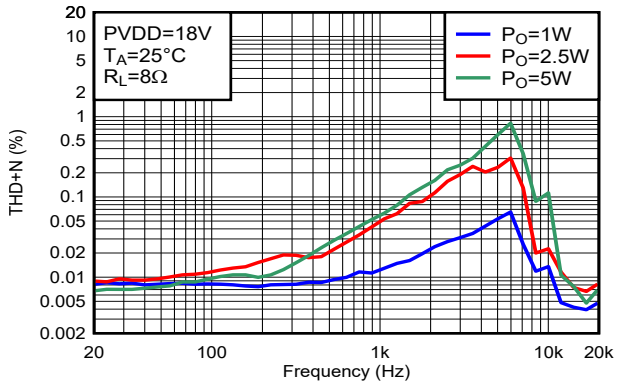


图 5-23. THD+N 与频率间的关系-BTL

Copyright © 2025 Texas Instruments Incorporated

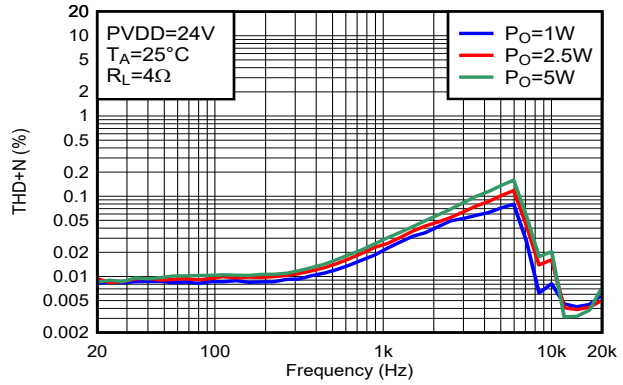


图 5-24. THD+N 与频率间的关系-BTL

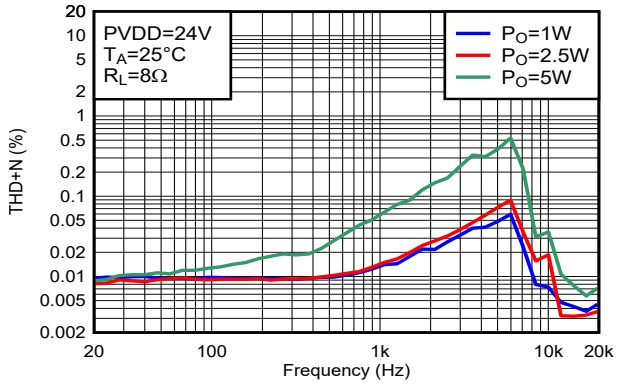


图 5-25. THD+N 与频率间的关系-BTL

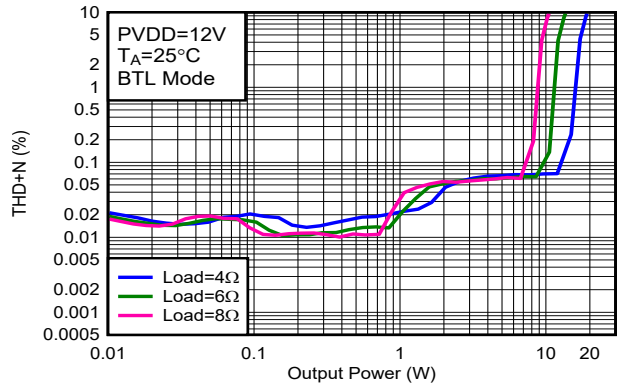


图 5-26. THD+N 与输出功率间的关系-BTL

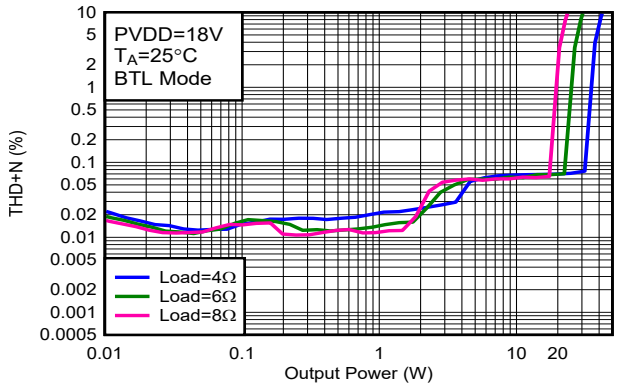


图 5-27. THD+N 与输出功率间的关系-BTL

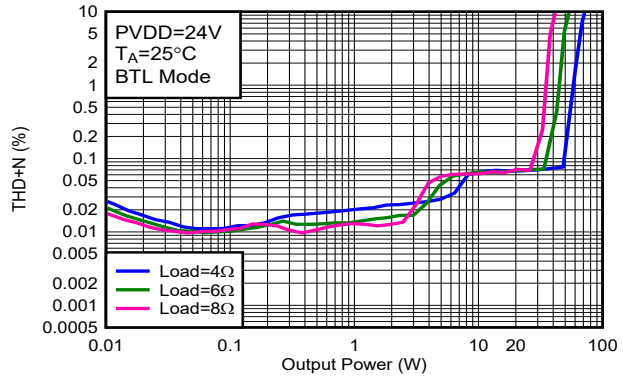


图 5-28. THD+N 与输出功率间的关系-BTL

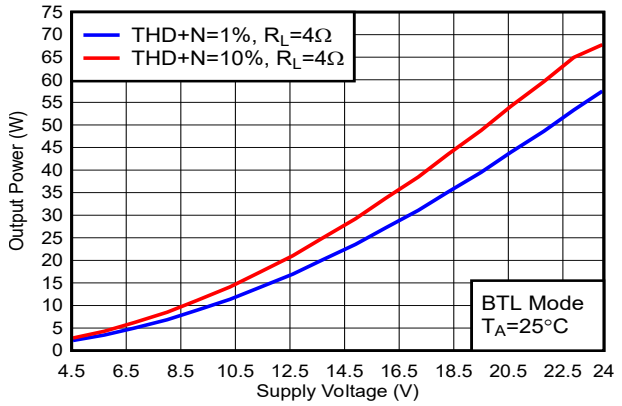


图 5-29. 输出功率与电源电压间的关系

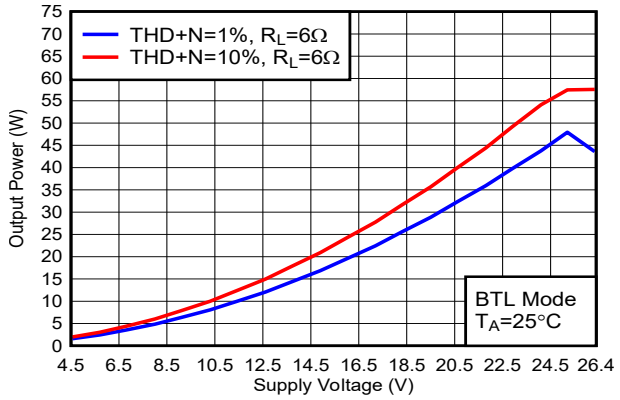


图 5-30. 输出功率与电源电压间的关系

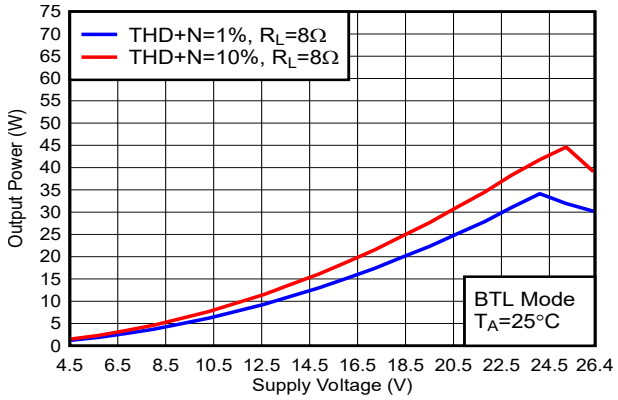
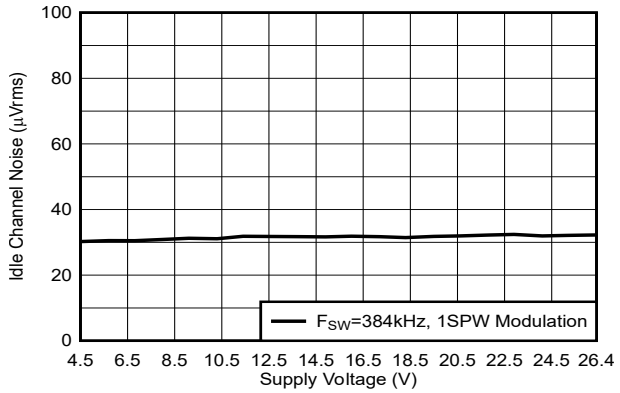
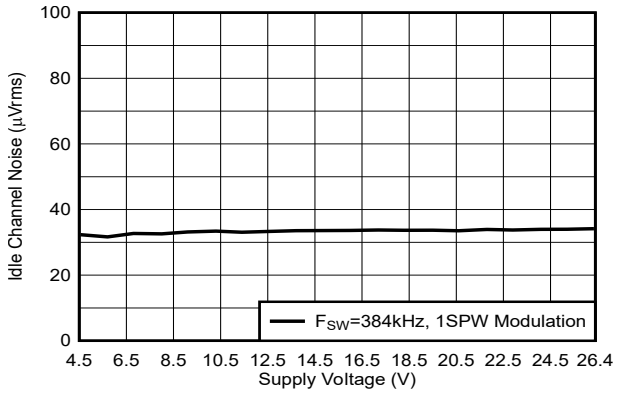


图 5-31. 输出功率与电源电压间的关系



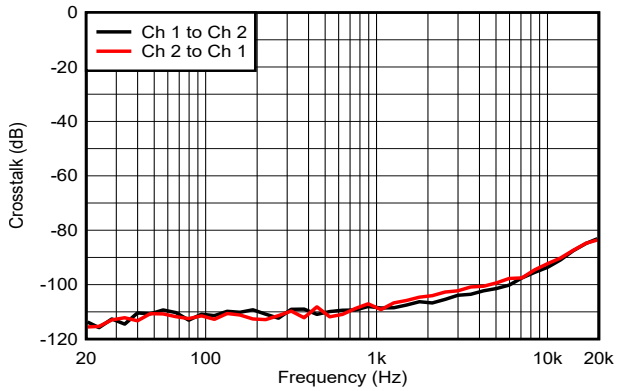
4Ω 负载

图 5-32. 空闲声道噪声与电源电压间的关系



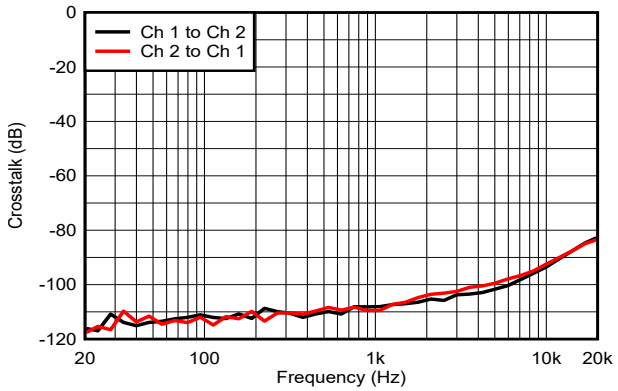
8Ω 负载

图 5-33. 空闲声道噪声与电源电压间的关系



PVDD = 24V R_L = 4Ω P_O = 1W

图 5-34. 串扰



PVDD = 24V R_L = 8Ω P_O = 1W

图 5-35. 串扰

Copyright © 2025 Texas Instruments Incorporated

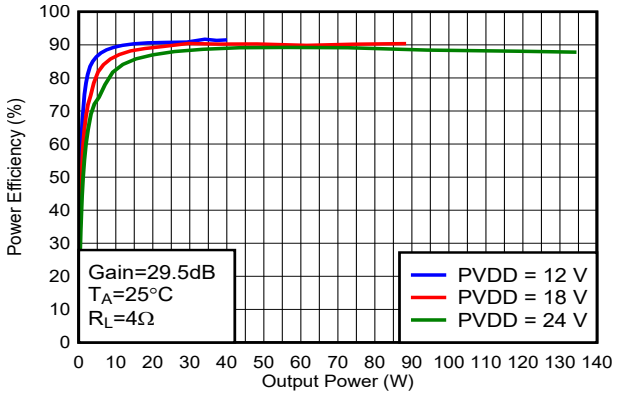


图 **5-36.** 效率与输出功率间的关系

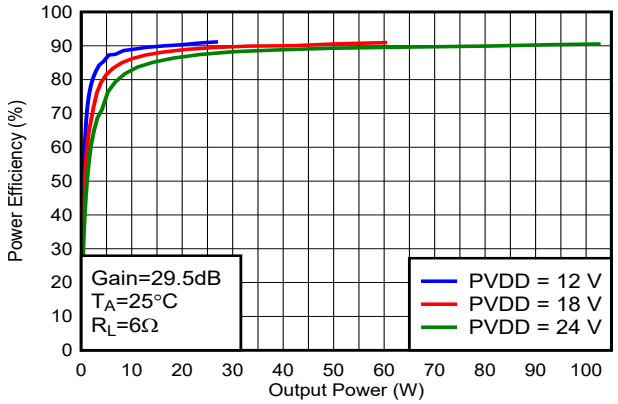


图 **5-37.** 效率与输出功率间的关系

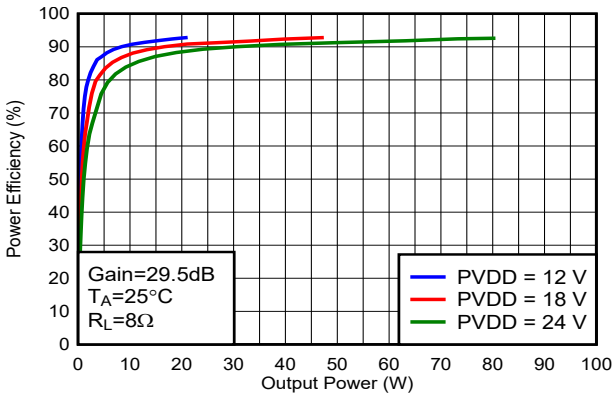


图 **5-38.** 效率与输出功率间的关系

5.7.3 采用 BD 调制的并行桥接负载 (PBTL) 配置

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 576kHz，175kHz D 类放大器环路带宽的情况下进行的，LC 滤波器为 10μH/0.68μF（后置滤波器 PBTL，在输出滤波器电感器部分之后合并两个输出通道，请参阅 节 8.1.2 中的详细信息），除非另有说明。

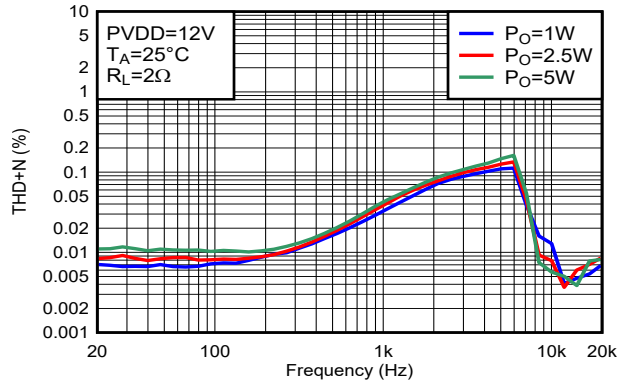


图 5-39. THD+N 与频率间的关系-PBTL

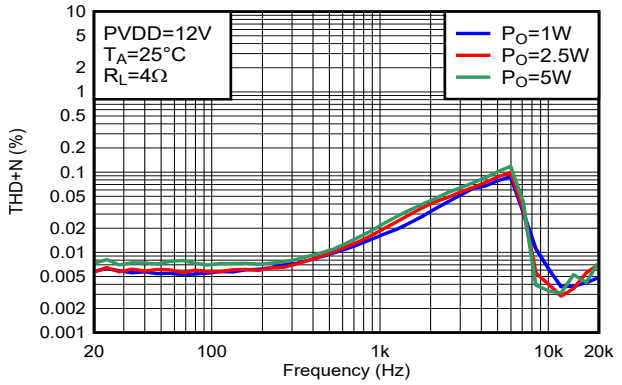


图 5-40. THD+N 与频率间的关系-PBTL

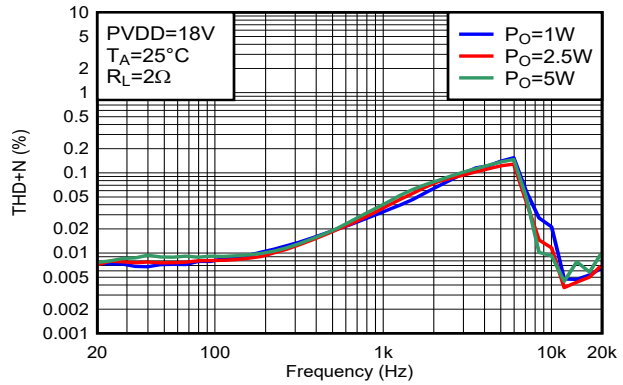


图 5-41. THD+N 与频率间的关系-PBTL

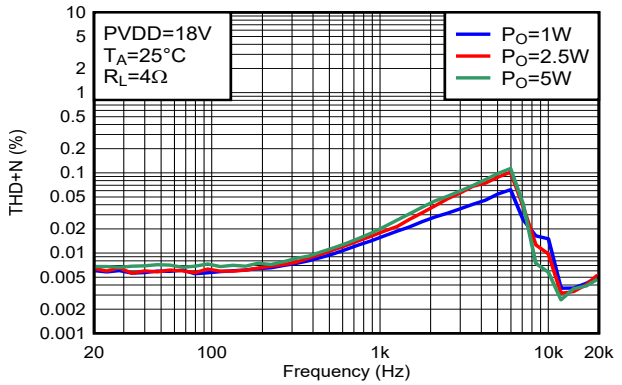


图 5-42. THD+N 与频率间的关系-PBTL

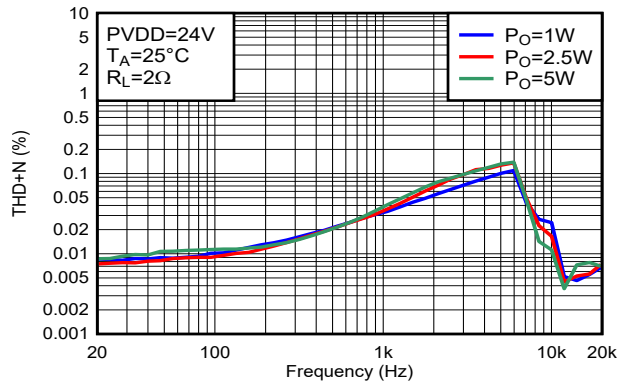


图 5-43. THD+N 与频率间的关系-PBTL

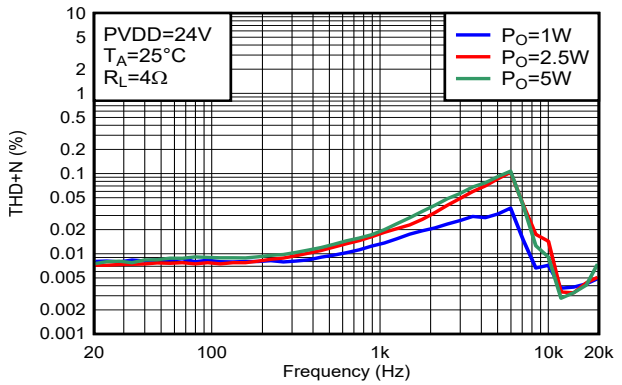


图 5-44. THD+N 与频率间的关系-PBTL

Copyright © 2025 Texas Instruments Incorporated

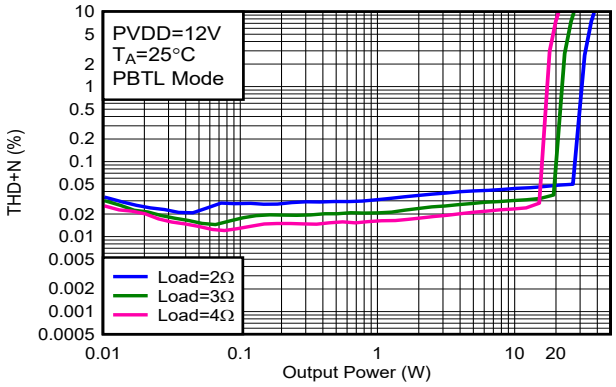


图 5-45. THD+N 与输出功率间的关系-PBTL

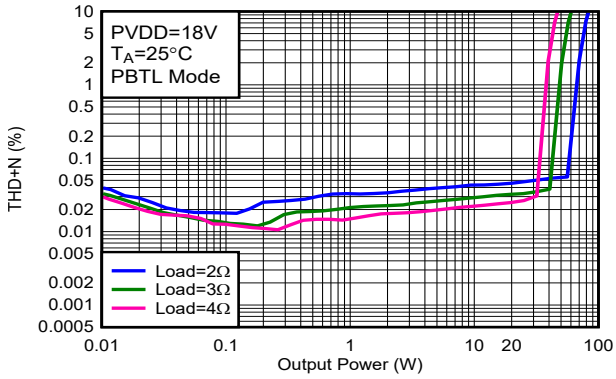


图 5-46. THD+N 与输出功率间的关系-PBTL

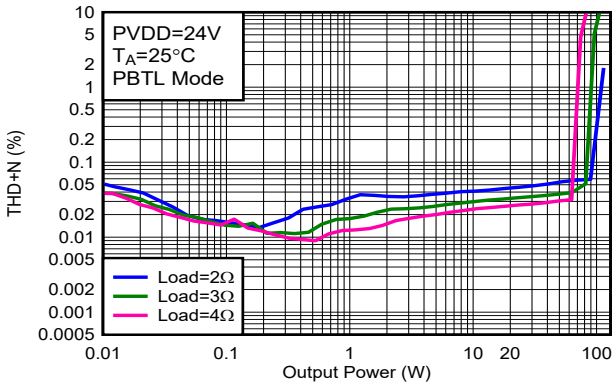
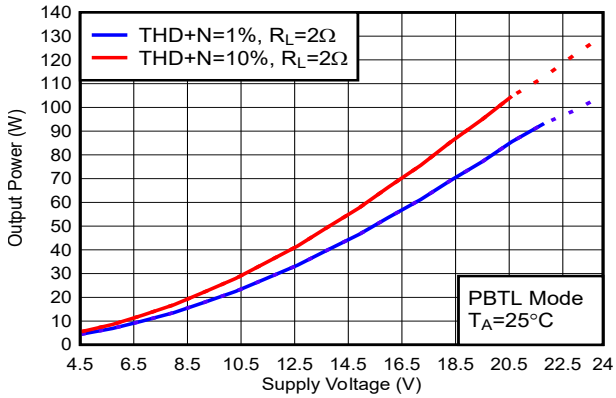


图 5-47. THD+N 与输出功率间的关系-PBTL



虚线表示散热受限的区域。

图 5-48. 输出功率与电源电压间的关系

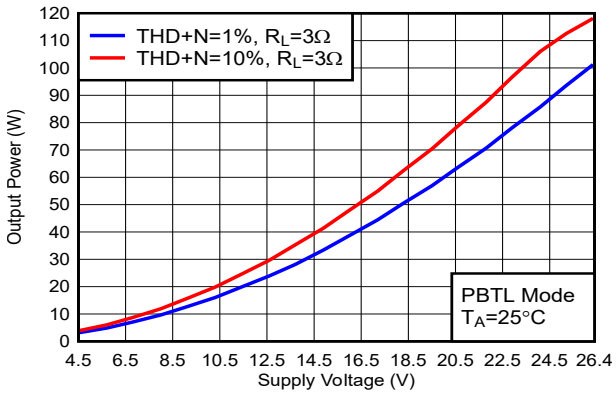


图 5-49. 输出功率与电源电压间的关系

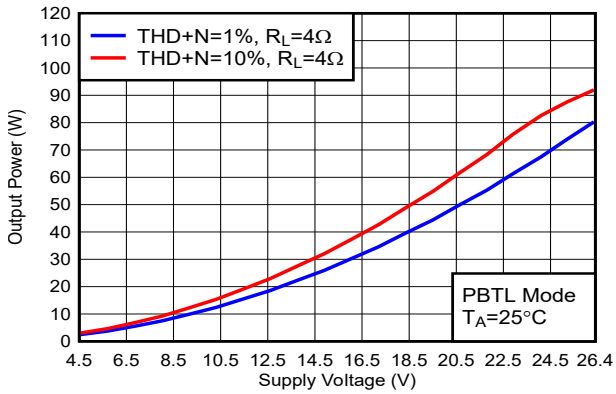
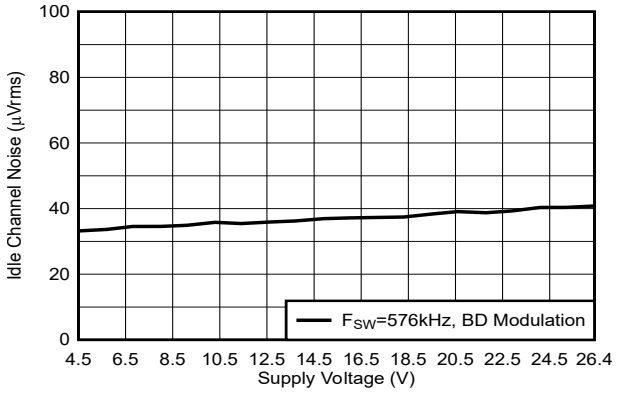
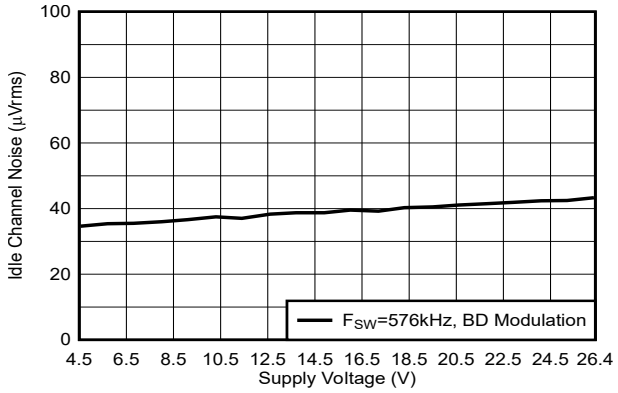


图 5-50. 输出功率与电源电压间的关系



2Ω 负载

图 5-51. 空闲声道噪声与电源电压间的关系



4Ω 负载

图 5-52. 空闲声道噪声与电源电压间的关系

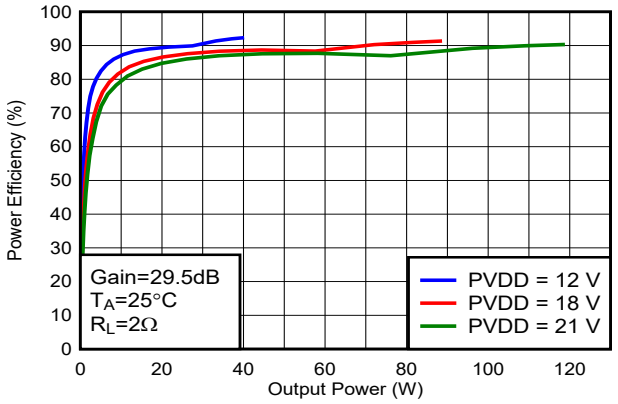


图 5-53. 效率与输出功率间的关系

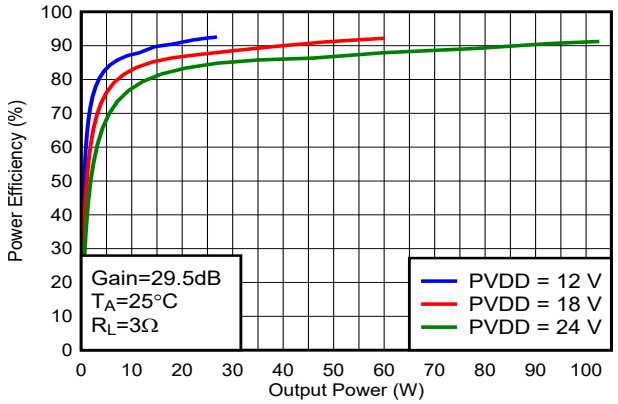


图 5-54. 效率与输出功率间的关系

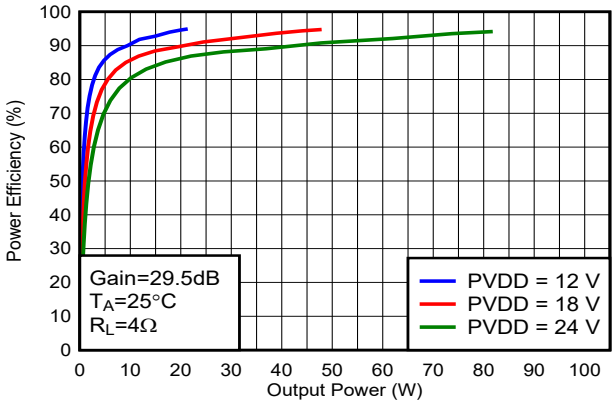


图 5-55. 效率与输出功率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7.4 采用 1SPW 调制的并行桥接负载 (PBTL) 配置

自然通风室温 25°C（除非另有说明）。测量是使用 Audio Precision System 2722 进行的，其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 384kHz，80kHz D 类放大器环路带宽的情况下进行的，使用的 LC 滤波器为 10μH/0.68μF（后置滤波器 PBTL，在输出滤波器电感器部分之后合并两个输出通道，请参阅 节 8.1.2 中的连接方法），除非另有说明。

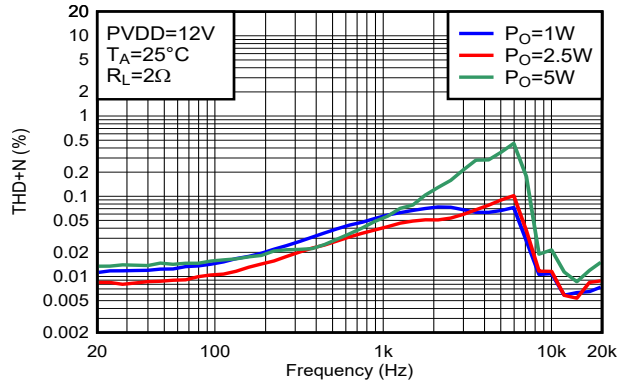


图 5-56. THD+N 与频率间的关系-PBTL

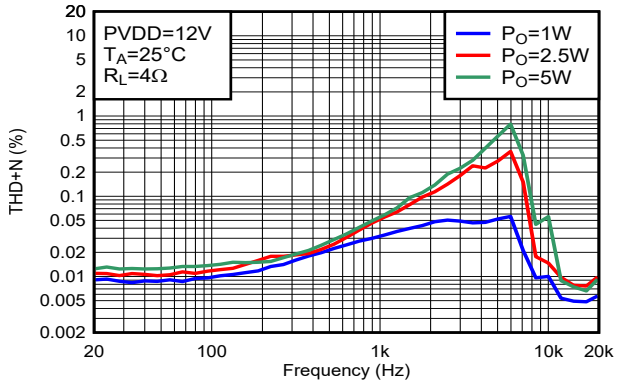


图 5-57. THD+N 与频率间的关系-PBTL

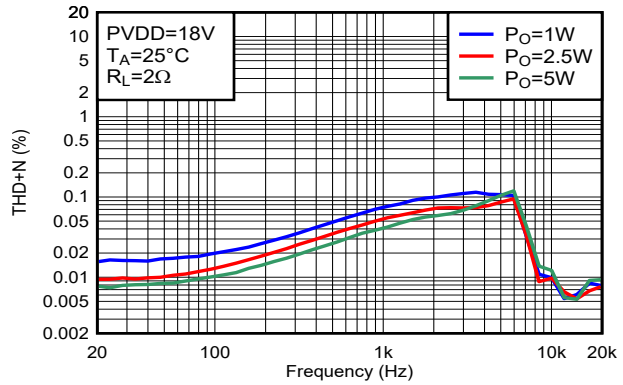


图 5-58. THD+N 与频率间的关系-PBTL

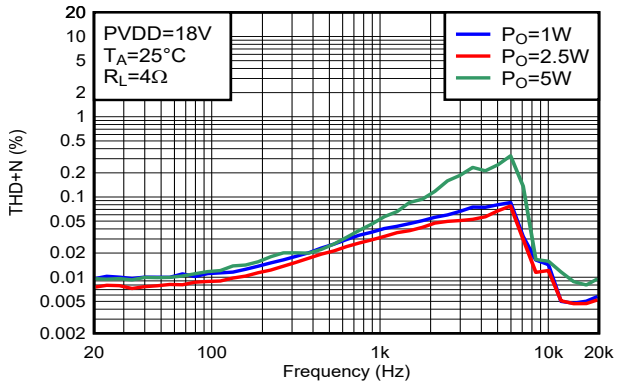


图 5-59. THD+N 与频率间的关系-PBTL

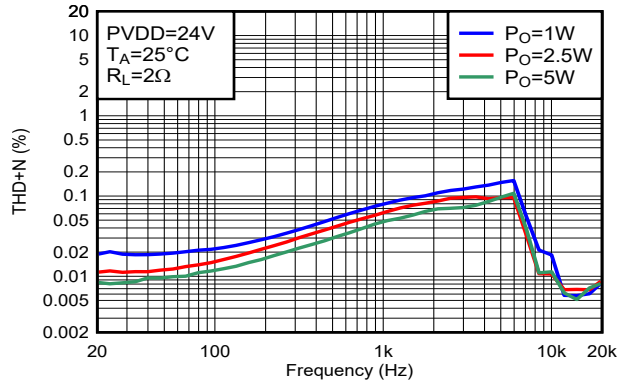


图 5-60. THD+N 与频率间的关系-PBTL

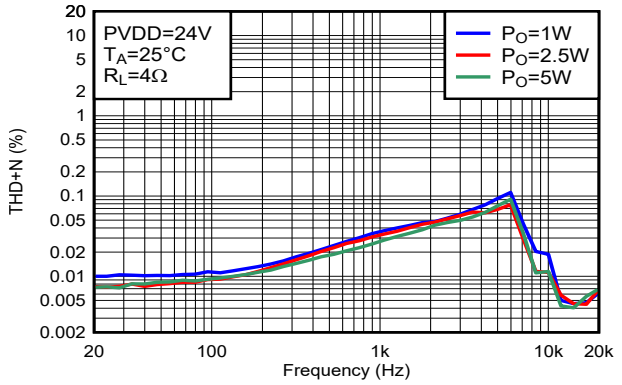


图 5-61. THD+N 与频率间的关系-PBTL

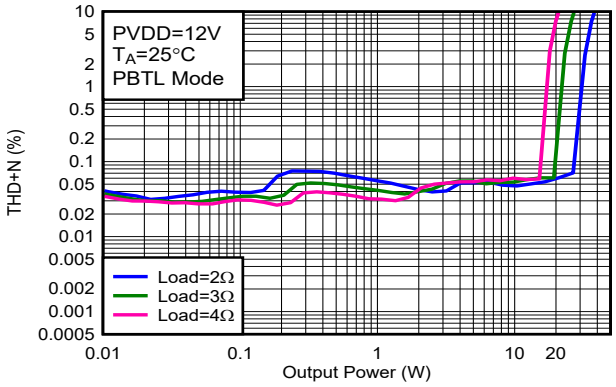


图 5-62. THD+N 与输出功率间的关系-PBTL

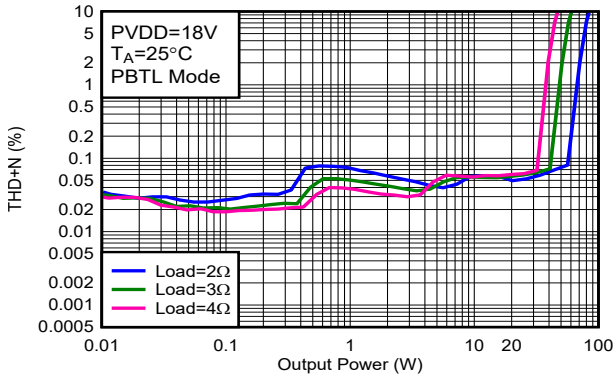


图 5-63. THD+N 与输出功率间的关系-PBTL

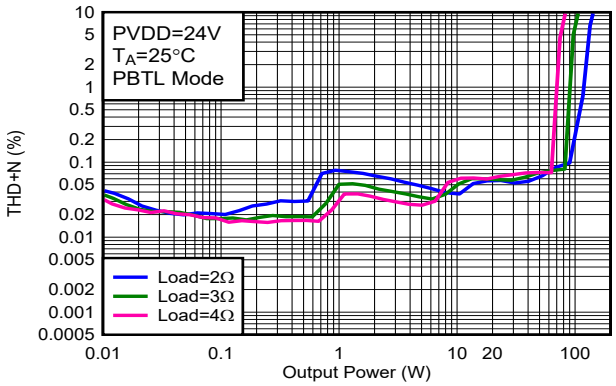


图 5-64. THD+N 与输出功率间的关系-PBTL

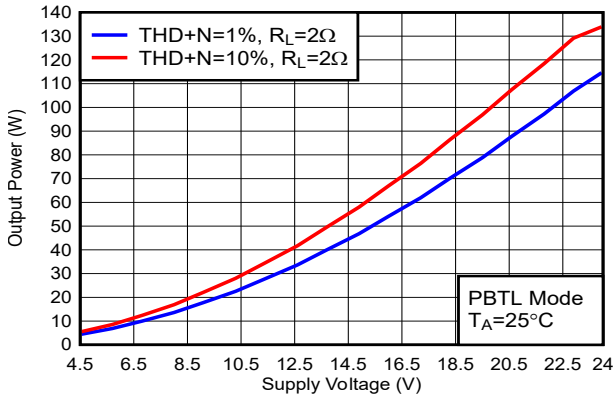


图 5-65. 输出功率与电源电压间的关系

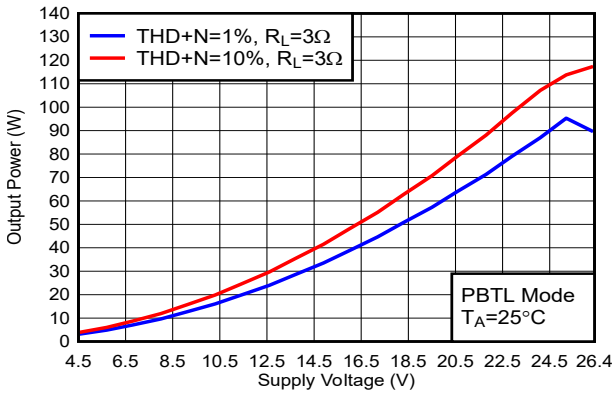


图 5-66. 输出功率与电源电压间的关系

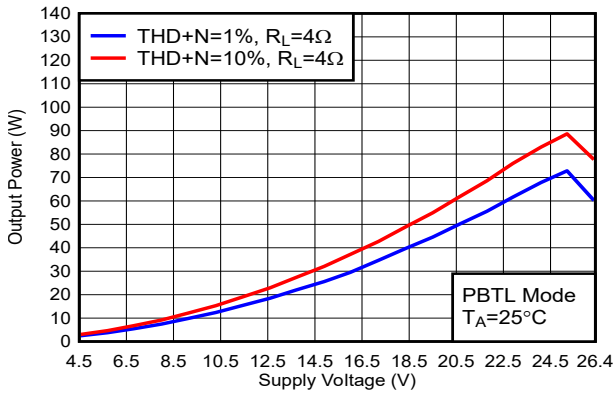
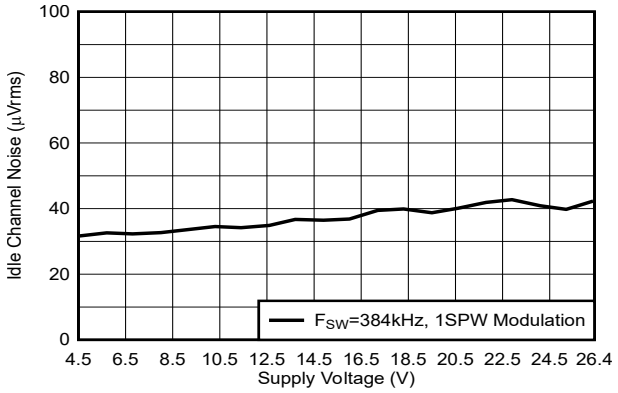


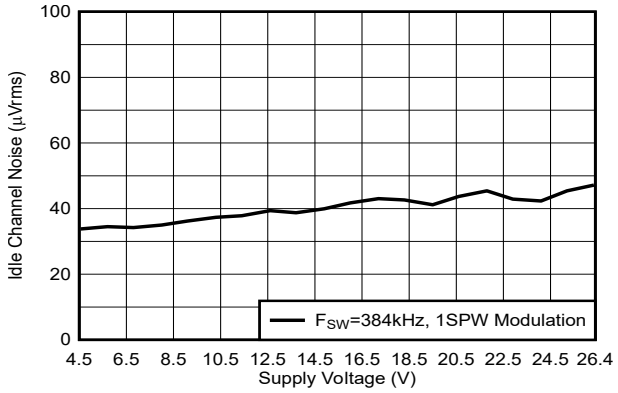
图 5-67. 输出功率与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated



2Ω 负载

图 5-68. 空闲声道噪声与电源电压间的关系



4Ω 负载

图 5-69. 空闲声道噪声与电源电压间的关系

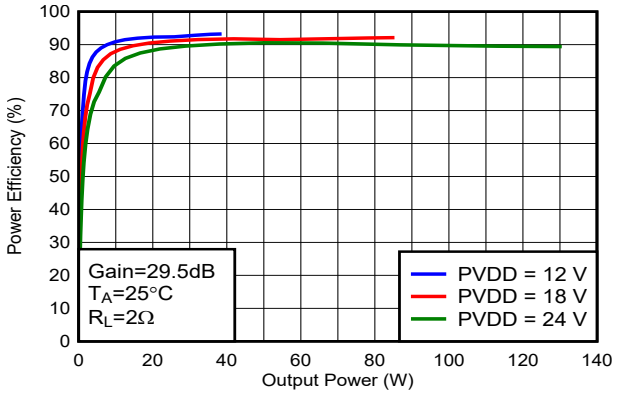


图 5-70. 效率与输出功率间的关系

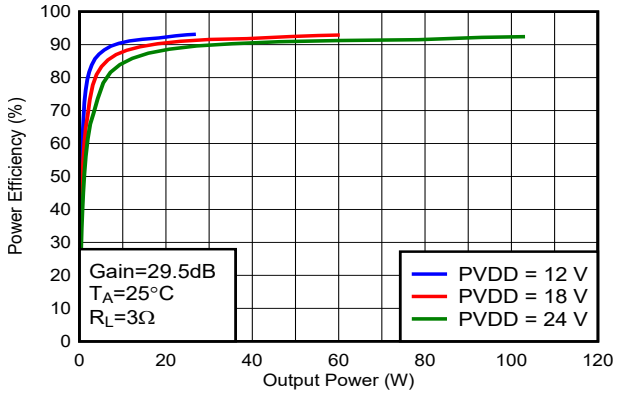


图 5-71. 效率与输出功率间的关系

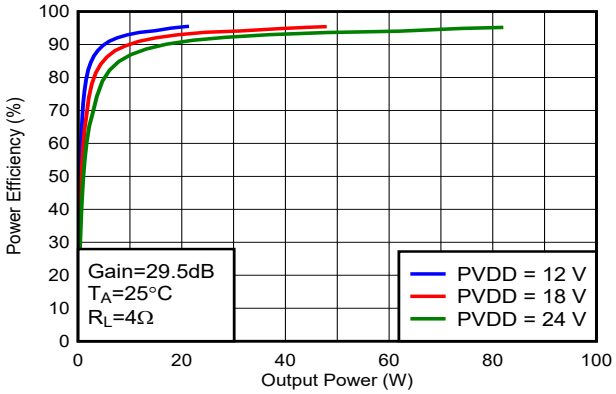


图 5-72. 效率与输出功率间的关系

6 详细说明

6.1 概述

TAS5827 器件将 4 个主要构建块组合成单个内聚的器件，可更大限度地提高音质、灵活性和易用性。4 个主要构建块列示如下：

- 立体声数字转 PWM 调制器，然后将 PWM 调制器转功率级。
- 音频 DSP 子系统。
- 灵活的闭环放大器，能够在多种不同开关频率下以立体声或单声道运行，并具有各种输出电压和负载。
- 一个 I^2C 控制端口用于与器件进行通信

器件需要两个电源才能正常工作。DVDD 电源需要为低压数字电路供电。需要另一个称为 PVDD 的电源来为音频放大器的输出级供电。两个内部 LDO 将 PVDD 转换为 5V（用于 GVDD 和 AVDD），一个内部 LDO 将 DVDD 转换为 1.5V（用于 VR_DIG）。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

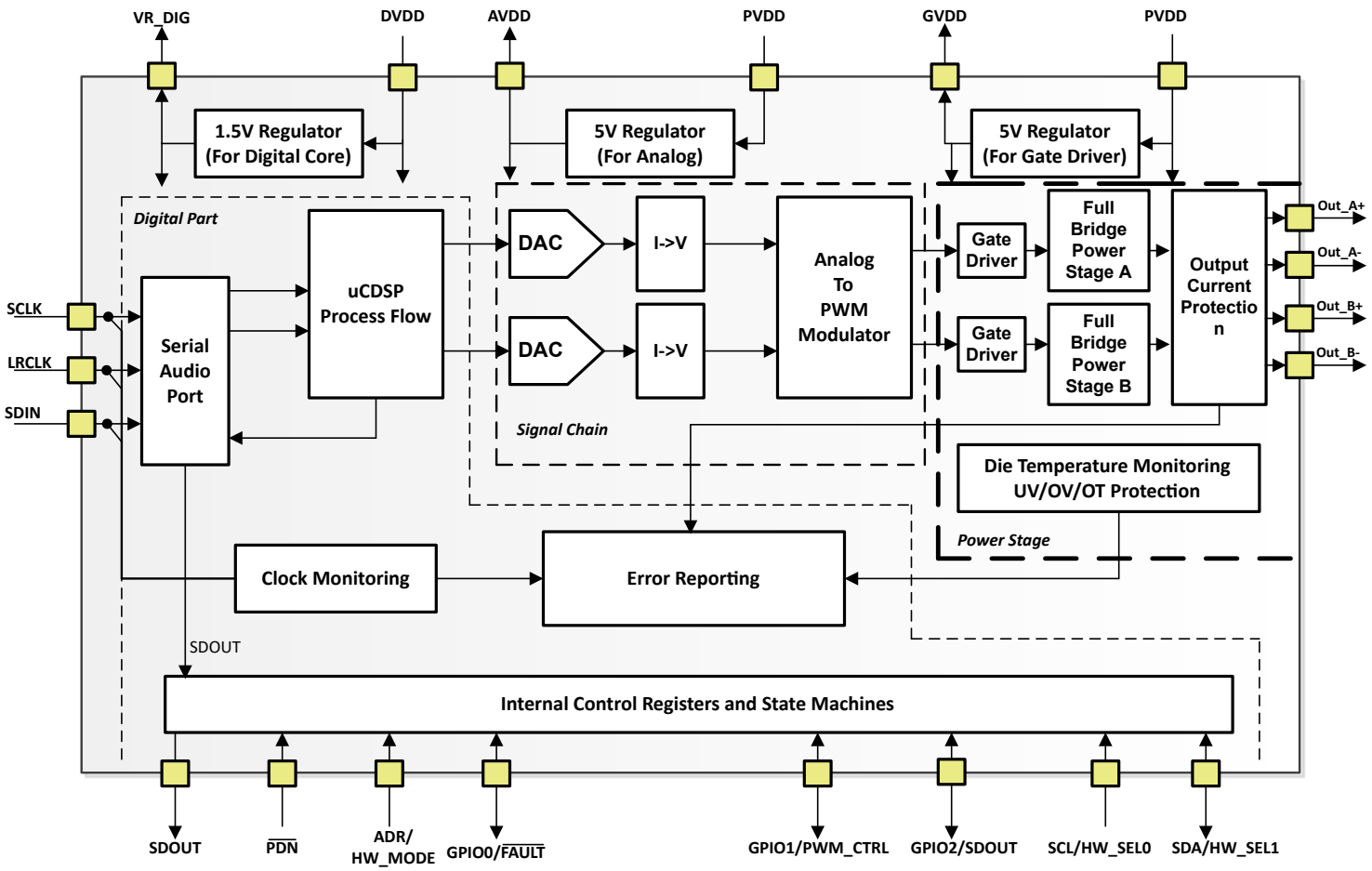


图 6-1. 功能方框图

6.3 特性说明

6.3.1 电源

为了方便系统设计，除了（典型值）12V 或 24V 功率级电源外，TAS5827 需要一个 3.3V 或 1.8V 电源。两个内部稳压器为栅极驱动电路和内部电路提供合适的电压电平。外部引脚仅作为片外旁路电容器的连接点提供，以对电源进行滤波。将外部电路连接到这些稳压器输出可能导致性能降低并损坏器件。此外，所有需要浮动电压电源的电路（即高侧栅极驱动）都通过内置自举电路进行调节，而该电路只需很少的外部电容器。为了提供良好的电气和声学特性，输出级的 PWM 信号路径被设计为相同的独立半桥。为此，每个半桥都有单独的自举引脚 (BST_x)。栅极驱动电压 (GVDD) 由 PVDD 电压提供。应特别注意将所有去耦电容尽可能靠近相关引脚放置。通

常，必须避免电源引脚和去耦电容器之间的电感。为了实现一个正常运行的自举电路，必须在每个自举引脚 (BST_x) 与功率级输出引脚 (OUT_x) 之间连接一个小型陶瓷电容器。当功率级输出为低电平时，自举电容器通过连接在栅极驱动稳压器输出引脚 (GVDD) 和自举引脚之间的内部二极管进行充电。当功率级输出为高电平时，自举电容器电势将移至输出电势以上，从而为高侧栅极驱动器提供合适的电压电源。

6.3.2 器件时钟

TAS5827 器件具有灵活的时钟系统。在内部，器件需要多个时钟，主要是以相关的时钟速率工作才能正常运行。所有这些时钟都可以从串行音频接口获得。

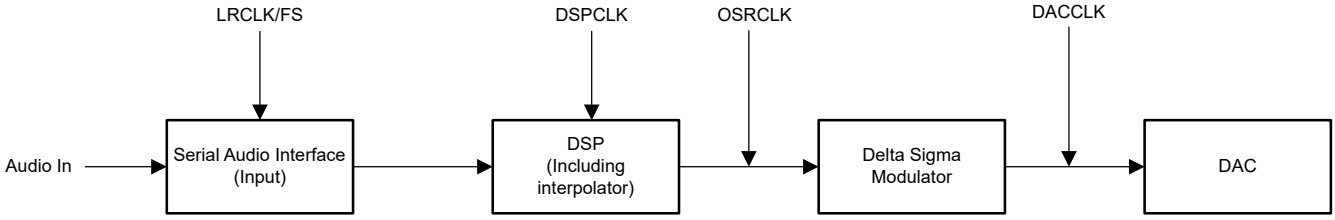


图 6-2. 具有相应时钟的音频流

图 6-2 展示了基本数据流和时钟分配。

串行音频接口通常具有 3 个连接引脚，如下所列：

- SCLK（位时钟）
- LRCLK/FS（左/右字时钟或帧同步）
- SDIN（输入数据）

此器件有一个内部 PLL，此 PLL 用于获取 SCLK 并创建 DSP 和 DAC 时钟所需的较高速率的时钟。

TAS5827 器件有一个音频采样率检测电路，可自动检测采样率以哪个频率运行。支持 32kHz、44.1kHz 至 48kHz、88.2kHz 至 96kHz 以及 176.4kHz 至 192kHz 的常见音频采样频率。采样频率检测器自动为 DAC 和 DSP 设置时钟。

如果输入 LRCLK/SCLK 在音乐播放期间停止，TAS5827 DSP 会切换到睡眠状态并等待时钟恢复（D 级输出自动切换到高阻态），一旦 LRCLK/SCLK 恢复，TAS5827 会自动恢复到播放模式。无需重新加载 DSP 代码。

6.3.3 串行音频端口 – 时钟速率

串行音频接口端口是一个 3 线串行端口，传输的信号为 LRCLK/FS、SCLK 和 SDIN。SCLK 是串行音频位时钟，用于将 SDIN 上的串行数据在时钟控制下传输到音频接口的串行移位寄存器中。串行数据通过 SCLK 在时钟控制下传输到 TAS5827 器件中。当器件在 TDM 模式下运行时，LRCLK/FS 引脚是串行音频左/右字时钟或帧同步。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. 音频数据格式、位深度和时钟速率

格式	数据位	最大 LRCLK/FS 频率 (kHz)	SCLK 速率 (f_S)
I^2S/LJ/RJ	32、24、20、16	32 至 192	64、32
TDM	32、24、20、16	32	128
		44.1、48	128、256、512
		96	128、256
		192	128

当时钟暂停、检测到不支持的 SCLK 与 LRCLK(FS) 比率时，器件会在寄存器 113（寄存器地址 0x71）中报告时钟错误。

6.3.4 时钟暂停自动恢复

当没有播放音频时，某些主机处理器将暂停 I^2S 时钟。当时钟停止时，器件会将所有通道置于高阻态，并在寄存器 GLOBAL_FAULT1 寄存器（偏移 = 71h）[复位 = 00h] - D[2] 中发出锁存时钟错误。音频时钟恢复后，器件自动返回到之前的状态。

6.3.5 采样率动态变化

TAS5827 支持 LRCLK(FS) 速率动态变化。当将 LRCLK(FS) 从 48kHz 更改为 96kHz 时，主机处理器种子将 LRCLK(FS)/SCLK 置于暂停状态至少 100us，然后再更改为新的采样速率。

6.3.6 串行音频端口 - 数据格式和位深度

该器件支持业界通用音频数据格式，包括标准 I2S、左对齐、右对齐和 TDM/DSP 数据。通过寄存器 (SAP_CTRL1 寄存器（偏移 = 33h）[复位 = 02h]-D [5:4]) 选择数据格式。如果 TDM/DSP 模式下 LRCLK/SCK 的高宽度小于 FS 的 8 个周期，则寄存器 (SAP_CTRL1 寄存器（偏移 = 33h）[复位 = 02h]-D[3:2]) 应设置为 01。所有格式都需要二进制补码、MSB 在前的音频数据；接受高达 32 位的音频数据。表 1 展示了该器件支持的所有数据格式、字长和时钟速率。图 6-3 至图 6-7 详细介绍了数据格式。通过寄存器 (SAP_CTRL1 寄存器（偏移 = 33h）[复位 = 02h] -D[1:0]) 选择字长。通过寄存器 (SAP_CTRL1 寄存器（偏移 = 33h）[复位 = 02h] -D[7]) 和寄存器 (SAP_CTRL2 寄存器（偏移 = 34h）[复位 = 00h]-D[7:0]) 选择数据偏移量。默认设置为 I2S 和 24 位字长。

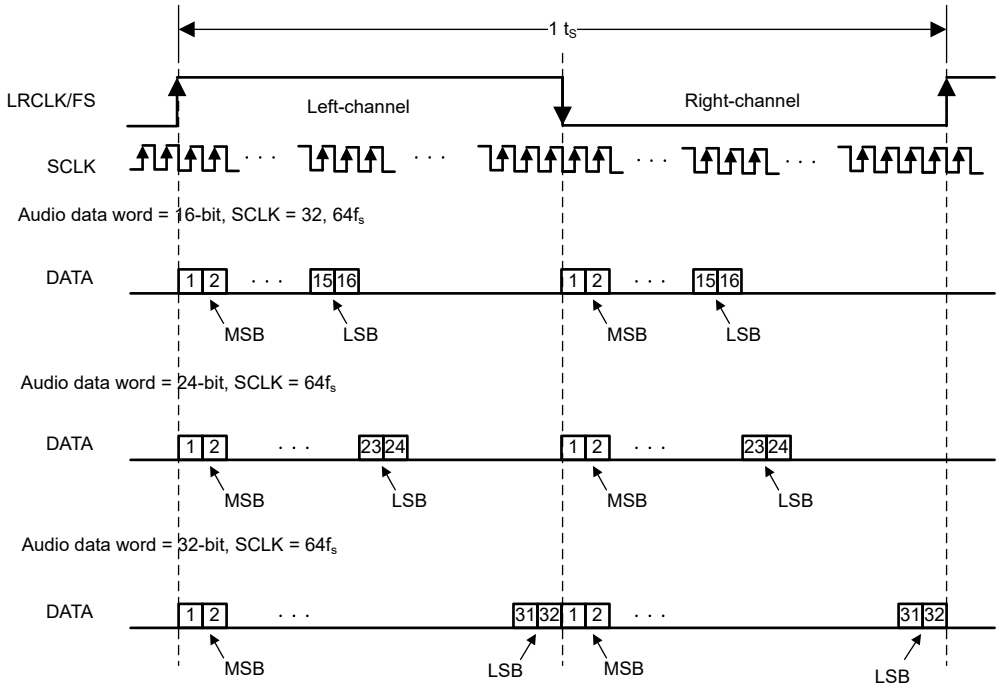
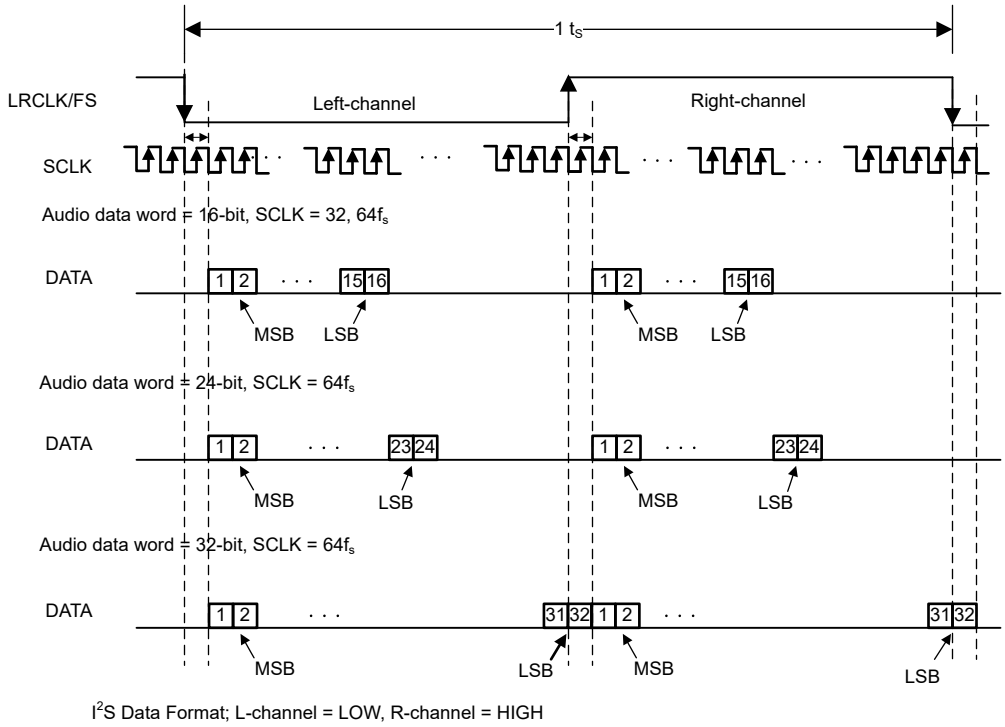
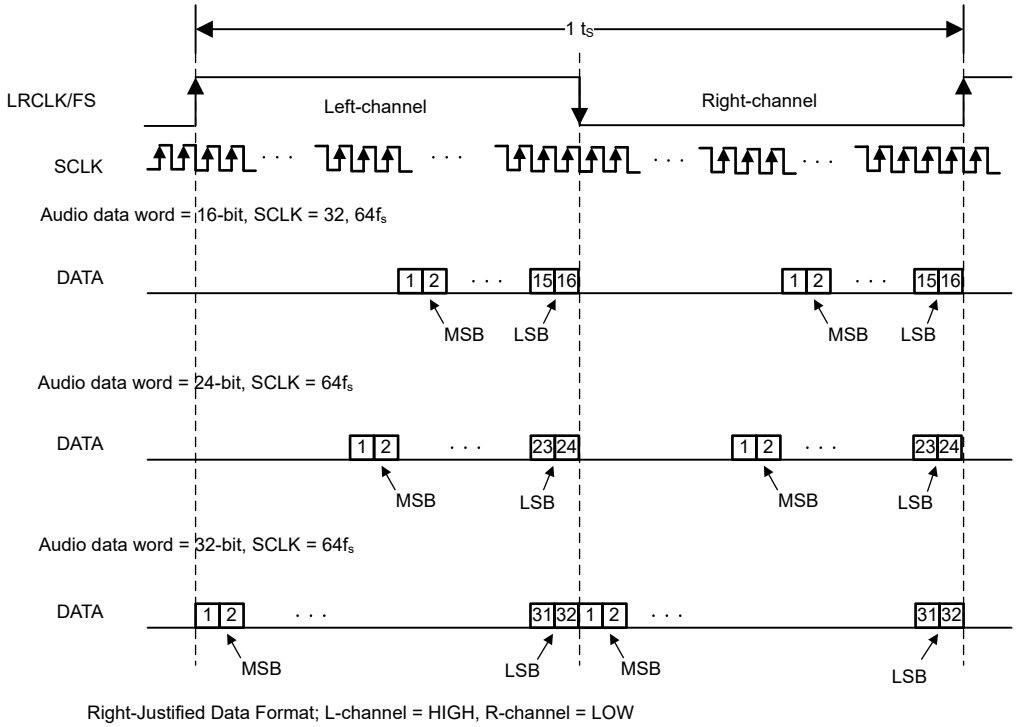


图 6-3. 左对齐音频数据格式



I²S 数据格式；左通道 = 低电平，右通道 = 高电平

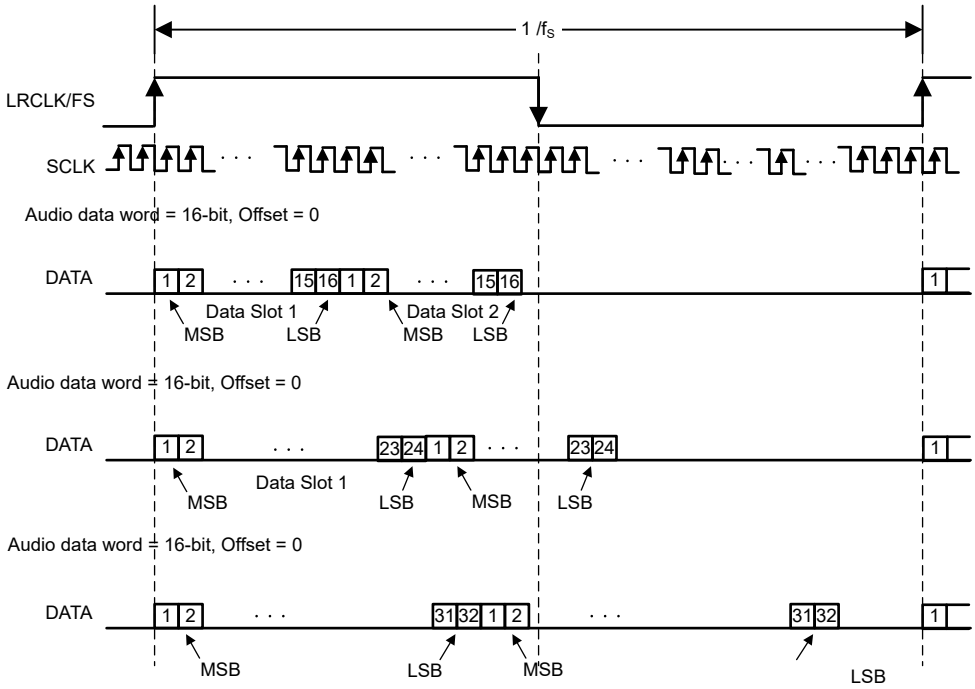
图 6-4. I²S 音频数据格式



右对齐数据格式；左通道 = 高电平，右通道 = 低电平

图 6-5. 右对齐音频数据格式

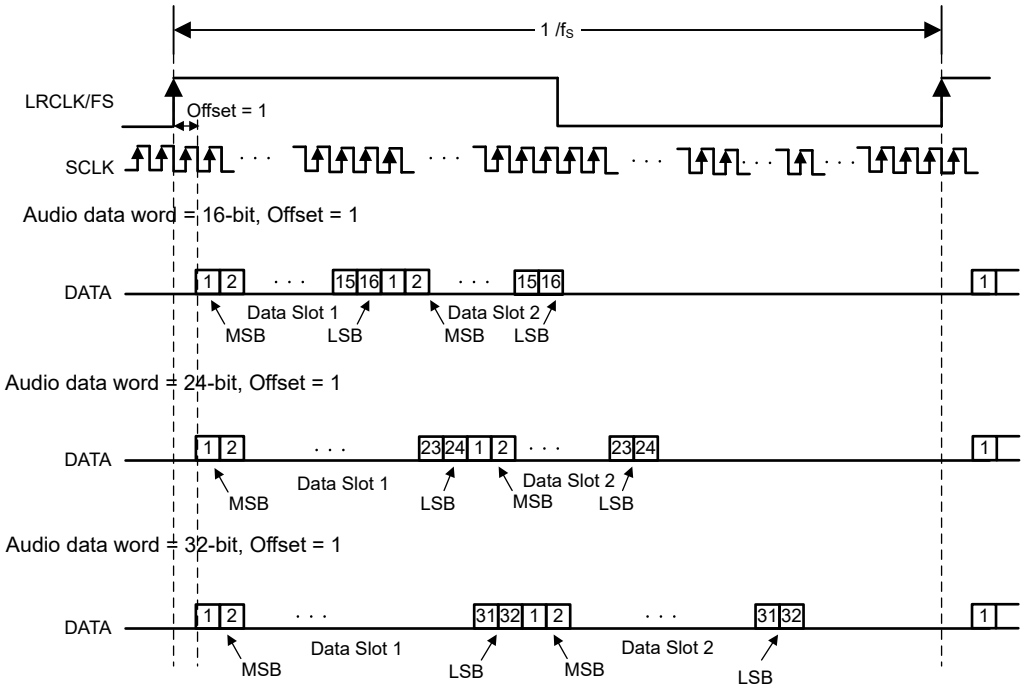
Copyright © 2025 Texas Instruments Incorporated



偏移 = 0 时的 TDM 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少应为 1x SCLK。上升沿被视为帧开始。

图 6-6. TDM 1 音频数据格式



偏移 = 1 时的 TDM 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少应为 1x SCLK。上升沿被视为帧开始。

图 6-7. TDM 2 音频数据格式

6.4 器件功能模式

6.4.1 软件控制

TAS5827 器件通过 I²C 通信端口进行配置。

I²C 通信端口一节详细介绍了 I2C 通信协议。时序要求 中介绍了 I²C 时序要求。

6.4.2 扬声器放大器工作模式

TAS5827 器件可通过寄存器 DEVICE_CTRL1 寄存器（偏移 = 2h）[复位 = 00h]-D[2] 配置为两种不同的放大器配置：

- BTL 模式
- PBTL 模式

6.4.2.1 BTL 模式

在 BTL 模式下，TAS5827 会放大两个独立的信号，它们分别代表立体声信号的左右两个部分。被放大的左侧信号呈现在显示为 OUT_A+ 和 OUT_A- 的差分输出对上，被放大的右侧信号呈现在显示为 OUT_B+ 和 OUT_B- 的差分输出对上。

6.4.2.2 PBTL 模式

PBTL 运行模式用于描述一种运行，其中器件的两个输出彼此并行放置，以提高器件的供电能力。在 TAS5827 器件的输出侧，可采用称为前置滤波器并行桥接负载 (PBTL) 的配置，在滤波器之前完成对器件的求和。但是，两个输出可能需要在输出滤波器的电感器部分之后合并在一起。这样做确实需要两个额外的电感器，但允许使用更小、更便宜的电感器，因为电流是在两个电感器之间分配的。此过程称为后置滤波器 PBTL。在 TAS5827 器件的输入侧，PBTL 放大器的输入信号是 I2S 或 TDM 数据的左帧。

6.4.3 低 EMI 模式

TAS5827 采用多种模式在播放音频时更大限度地降低 EMI，并可根据不同的应用使用这些模式。

6.4.3.1 展频

展频调制是一种 PWM 调制技术，可通过改变输出 PWM 频率来降低 EMI 测量中所见的峰值，从而产生更宽但较低的频谱。TAS5827 支持三角模式和随机模式的展频。

用户需要将寄存器 RAMP_SS_CTRL0 寄存器（偏移 = 6Bh）[复位 = 00h] 配置为启用三角模式并启用展频，通过 RAMP_SS_CTRL1 寄存器（偏移 = 6Ch）[复位 = 00h] 选择展频频率和范围。对于由 DEVICE_CTRL1 寄存器（偏移 = 2h）[复位 = 00h] 配置的 768kHz F_{SW}，表 6-2 中介绍了展频频率和范围。

表 6-2. 三角模式展频频率和范围选择

SS_TRI_CTRL[3:0]	0	1	2	3	4	5	6	7
三角频率	24k				48k			
展频范围	5%	10%	20%	25%	5%	10%	20%	25%

用户应用示例：中心开关频率为 768kHz，三角频率为 48kHz。

寄存器 0x02 = 0x41 // 768kHz Fsw，BTL 模式，1SPW 模式。

寄存器 0x6b = 0x03 // 启用展频

寄存器 0x6c = 0x03 // SS_CTRL[3:0]=0011，三角频率 = 48kHz，展频范围应为 10% (729kHz~807kHz)

6.4.3.2 通道间相移

该器件支持通道间 180 度 PWM 相移，以更大限度地降低 EMI。ANA_CTRL 寄存器（偏移 = 53h）[复位 = 00h] 的位 0 可用于禁用或启用相移。

Copyright © 2025 Texas Instruments Incorporated

6.4.3.3 多器件 PWM 相位同步

TAS5827 支持为多器件应用系统选择最多四相。例如，当一个系统集成了 4 个 TAS5827 器件时，用户可以通过寄存器 RAMP_PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 00h] 为每个器件选择 0/1/2/3 相位，这意味着每个器件之间有 45 度相移，可更大程度地降低 EMI。

有两种方法可实现多器件 PWM 相位同步。使用 I^2S 时钟在启动阶段进行相位同步或使用 GPIO 进行相位同步。

6.4.3.3.1 启动阶段与 I^2S 时钟的相位同步

1. 第 1 步，停止 I^2S 时钟。
2. 第 2 步，配置每个器件相位选择并启用相位同步。例如：器件 0 的寄存器 RAMP_PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 00h] =0x03；器件 1 的寄存器 RAMP_PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 00h] =0x07；器件 2 的寄存器 RAMP_PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 00h] =0x0B；器件 3 的寄存器 RAMP_PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 00h] =0x0F。
3. 第 3 步，将每个器件配置为高阻态模式。
4. 第 4 步，为每个器件提供 I^2S。所有 4 个器件的相位同步都由内部序列自动完成。
5. 第 5 步，初始化 DSP 代码（如果只需要进行相位同步，则可以跳过此步骤）。
6. 第 6 步，器件间的 PWM 相移应固定为 45 度。

6.4.3.3.2 通过 GPIO 实现相位同步

1. 第 1 步，将每个器件的 GPIOx 引脚连接到 PCB 上的 SOC GPIO 引脚。
2. 第 2 步，将每个器件 GPIOx 配置为寄存器 GPIO_CTRL 寄存器（偏移 = 60h）[复位 = 00h] 和 GPIO_INPUT_SEL 寄存器（偏移 = 64h）[复位 = 00h] 使用的相位同步输入。
3. 第 3 步，为每个器件选择一个不同的相位，并通过寄存器 RAMP_PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 00h] 启用相位同步。
4. 第 4 步，通过寄存器 DEVICE_CTRL1 寄存器（偏移 = 2h）[复位 = 00h] 将每个器件配置为播放模式，并监测 POWER_STATE 寄存器（偏移 = 68h）[复位 = 00h] 直到器件变为高阻态状态。
5. 第 5 步，对 SOC GPIO 进行 0 到 1 的切换。然后，所有 4 个器件都进入播放模式，器件之间的 PWM 相移应固定为 45 度。
6. 第 6 步，相位同步已完成。根据应用将 GPIOx 引脚配置为其他功能。

6.4.4 热折返

热折返 (TFB) 旨在防止 TAS5827 因芯片温度过度升高而损坏，以防器件在超过建议的温度/功率限值或热系统设计低于建议值的情况下运行。TFB 允许 TAS5827 播放尽可能大的音量，而不会触发意外的热关断。TAS5827 有四个过热警告 (OTW) 阈值，I2C 寄存器 0x73 的位 0、1、2 和 3 中指示了每个阈值。当 OTW 值（温度）从 1 级（最低 OTW 温度）增加到 4 级（最高 OTW 温度）时，内部自动增益限制器 (AGL) 会逐渐降低数字增益。应用的增益衰减与 OTW 电平成正比，较低的 OTW 电平会导致较低的衰减，而较高的 OTW 电平会导致较高的衰减。当裸片温度降低而 OTW 电平降低时，数字信号增益会逐渐增加，直到温度降至 OTW 电平以下并且数字增益恢复到原始电平。衰减增益和可调速率都是可编程的。TFB 增益调节速度（启动速率和释放速率）设置与常规 AGL 相同，也可以使用 PurePath™ Console3 中的 TAS5827 应用进行配置。

6.4.5 器件状态控制

除关断模式外，TAS5827 还具有其他 4 种不同功率耗散状态：深度睡眠、睡眠、高阻态和播放模式。电气特性 中列出了诊断模式的功率级别。

- 写入寄存器 0x03 [1:0]=00 会将器件置于深度睡眠模式。在此模式下，I^2C 处于活跃状态。此模式可用于延长某些便携式扬声器应用中的电池寿命。一旦主机处理器停止播放音频，TAS5827 可以设置为深度睡眠模式，以更大限度地降低功率耗散，直到主机处理器再次开始播放音频。可以设定寄存器 0x03 [1:0] 为 11 来返回播放模式。与关断模式（将 $\overline{PDN}$ 拉至低电平）相比，深度睡眠模式使 DSP 和 I2C 处于活跃状态。
- 写入寄存器 0x03 [1:0]=01 会将器件置于睡眠模式。在此模式下，I^2C 块、数字内核、DSP 存储器和 5V 模拟 LDO 处于活跃状态。
- 写入寄存器 0x03 [1:0]=10 会将器件置于高阻态模式。在此模式下，驱动器输出设置为高阻态，并且所有其他块都正常运行。
- 写入寄存器 0x03 [1:0]=11 会将器件置于播放模式，来启用输出路径。

Copyright © 2025 Texas Instruments Incorporated

6.4.6 器件调制

TAS5827 有 3 个调制方案：BD 调制、1SPW 调制和混合调制。为具有寄存器 DEVICE_CTRL1 寄存器（偏移 = 2h）[复位 = 00h] D[1:0]-DAMP_MOD 的 TAS5827 选择调制方案。

6.4.6.1 BD 调制

当放大器通过短扬声器导线驱动电感负载时，这种调制方案允许在没有经典 LC 重建滤波器的情况下运行。每个输出从 0 伏切换到电源电压。OUTPx 和 OUTNx 在无输入的情况下彼此同相，因此扬声器中几乎没有电流。对于正输出电压，OUTPx 的占空比大于 50%，OUTNx 小于 50%。对于负输出电压，OUTPx 的占空比小于 50%，OUTNx 大于 50%。负载两端的电压在整个开关周期的大部分时间都保持在 0V，这样可减小开关电流，进而减小负载中的任何 I^2R 损耗。

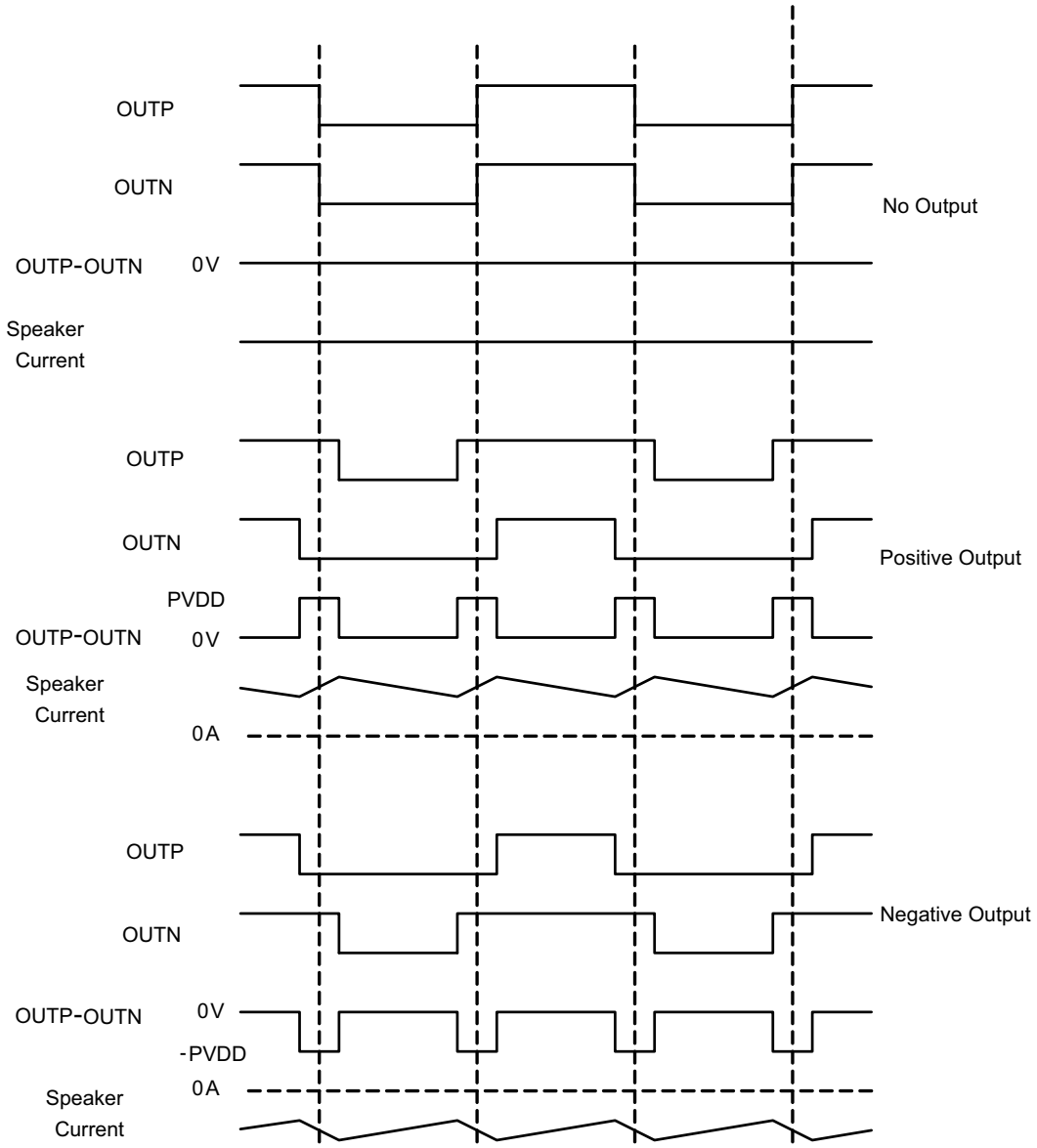


图 6-8. BD 模式调制

6.4.6.2 1SPW 调制

1SPW 模式会改变典型的调制方案，以实现更高的效率，同时会在 THD 性能下降方面造成轻微影响，并且需要在选择输出滤波器时多加注意。在低空闲电流模式下，输出在空闲条件下以大约 17% 的调制运行。当施加音频信号时，一个输出减少，一个输出增加。下降输出信号连接至 GND。此时，所有音频调制都是通过上升输出进行的。结果是在音频周期的大部分时间里只有一个输出在开关。由于开关损耗减小，在该模式下效率得到提高。

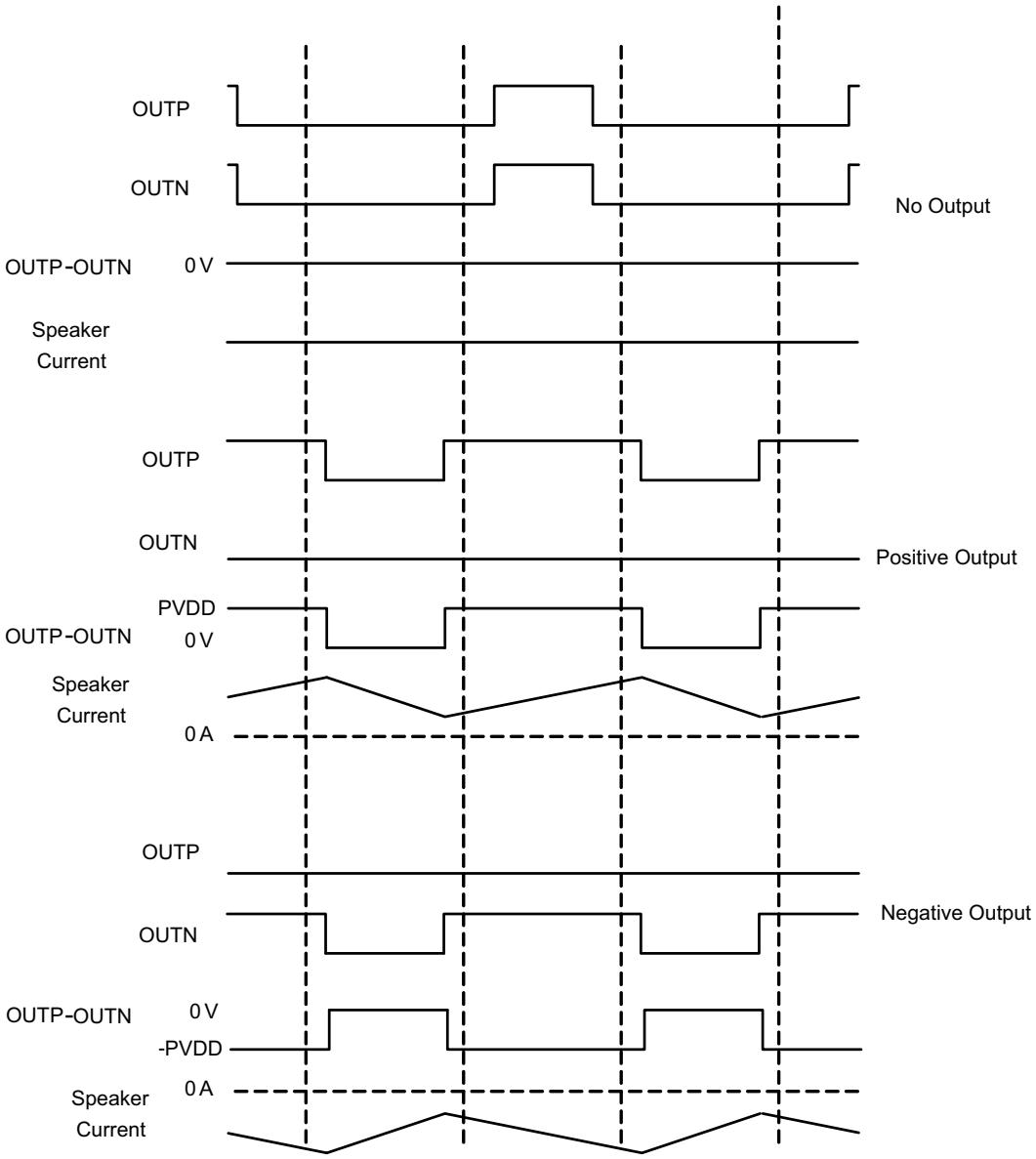


图 6-9. 1SPW 模式调制

6.4.6.3 混合调制

混合调制可在不影响 THD+N 性能的情况下更大限度地降低功率损耗，并且针对电池供电类应用进行了优化。通过混合调制，TAS5827 可检测输入信号电平，并根据 PVDD 动态地调整 PWM 占空比。混合调制可实现超低空闲电流，并保持与 BD 调制相同的音频性能级别。

Copyright © 2025 Texas Instruments Incorporated

备注

混合调制需要内部 DSP 来检测输入信号电平并动态地调整 PWM 占空比。若要使用混合调制，用户需要在 TAS5827 PPC3 应用中选择支持混合调制的相应处理流程。请查看 TAS5827 PPC3 应用，了解有关 TAS5827 灵活音频处理流程的更多信息。

6.4.7 编程和控制

6.4.7.1 I²C 串行通信总线

该器件具有与 I²C 总线协议兼容的双向串行控制接口，并支持作为目标器件的随机和顺序写入和读取操作的标准模式、快速模式 (FM) 和快速+ 模式 (FM+) 数据传输速率。由于 TAS5827 寄存器映射和 DSP 存储器涵盖多页和书本，因此用户在写入各个寄存器或 DSP 存储器之前先逐书更改，然后逐页更改。每页的切换是通过每页上的寄存器 0 实现的。该寄存器值选择页地址，范围为 0 到 255。TAS5827 数据表中列出的所有寄存器都属于页 0。

6.4.7.2 硬件控制模式

对于不需要 I²C 寄存器控制的高级灵活性或没有可用的 I²C 主机控制器的系统，TAS5827 可用于硬件控制模式。然后，该器件在硬件模式默认配置下运行，并且任何更改都通过硬件控制引脚来完成。具有相同配置的硬件控制模式和软件控制模式之间的音频性能是相同的，但在软件控制模式下，可以通过寄存器访问更多功能。

为实现所需启动设置，在原理图设计过程中需要考虑 TAS5827 上的多个 I/O。进入硬件控制模式的方法是将 HW_MODE 引脚 8 拉高至 DVDD。

TAS5827 的默认硬件配置为 BTL 模式、768kHz 开关频率、1SPW 模式、175kHz D 级放大器环路带宽、29.5Vp/FS 模拟增益、具有 80% OCP 阈值的 CBC 阈值。它需要将 HW_SEL0 引脚 16 和 HW_SEL1 引脚 15 直接连接到 GND。

表 6-3. 硬件控制 - HW_SEL0 引脚 16

引脚配置	模拟增益	H 桥输出配置
0Ω 至 GND	29.5 V_P/FS	BTL
1kΩ 至 GND	20.9 V_P/FS	BTL
4.7kΩ 至 GND	14.7 V_P/FS	BTL
15kΩ 至 GND	7.4 V_P/FS	BTL
33kΩ 至 DVDD	7.4 V_P/FS	PBTL
6.8kΩ 至 DVDD	14.7 V_P/FS	PBTL
1.5kΩ 至 DVDD	20.9 V_P/FS	PBTL
0Ω 至 DVDD	29.5 V_P/FS	PBTL

表 6-4. 硬件控制 - HW_SEL1 引脚 15

引脚配置	F_{SW} 和 D 级环路带宽	逐周期电流限制阈值	展频	调制
0Ω 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 阈值 = 80% OCP	禁用	1SPW
1kΩ 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 禁用	禁用	1SPW
4.7kΩ 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 阈值 = 40% OCP	禁用	1SPW
15kΩ 至 GND	768kHz F_{SW}，175kHz 带宽	CBC 阈值 = 60% OCP	禁用	1SPW
33kΩ 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 禁用	启用	BD
6.8kΩ 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 阈值 = 80% OCP	启用	BD
1.5kΩ 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 阈值 = 40% OCP	启用	BD
0Ω 至 DVDD	480kHz F_{SW}，100kHz 带宽	CBC 阈值 = 60% OCP	启用	BD

示例 1：

BTL 模式，FSW = 768kHz，1SPW 调制，175kHz 环路带宽，CBC 阈值 = 80% OCP，模拟增益 = 29.5 V_P/FS，展频禁用。

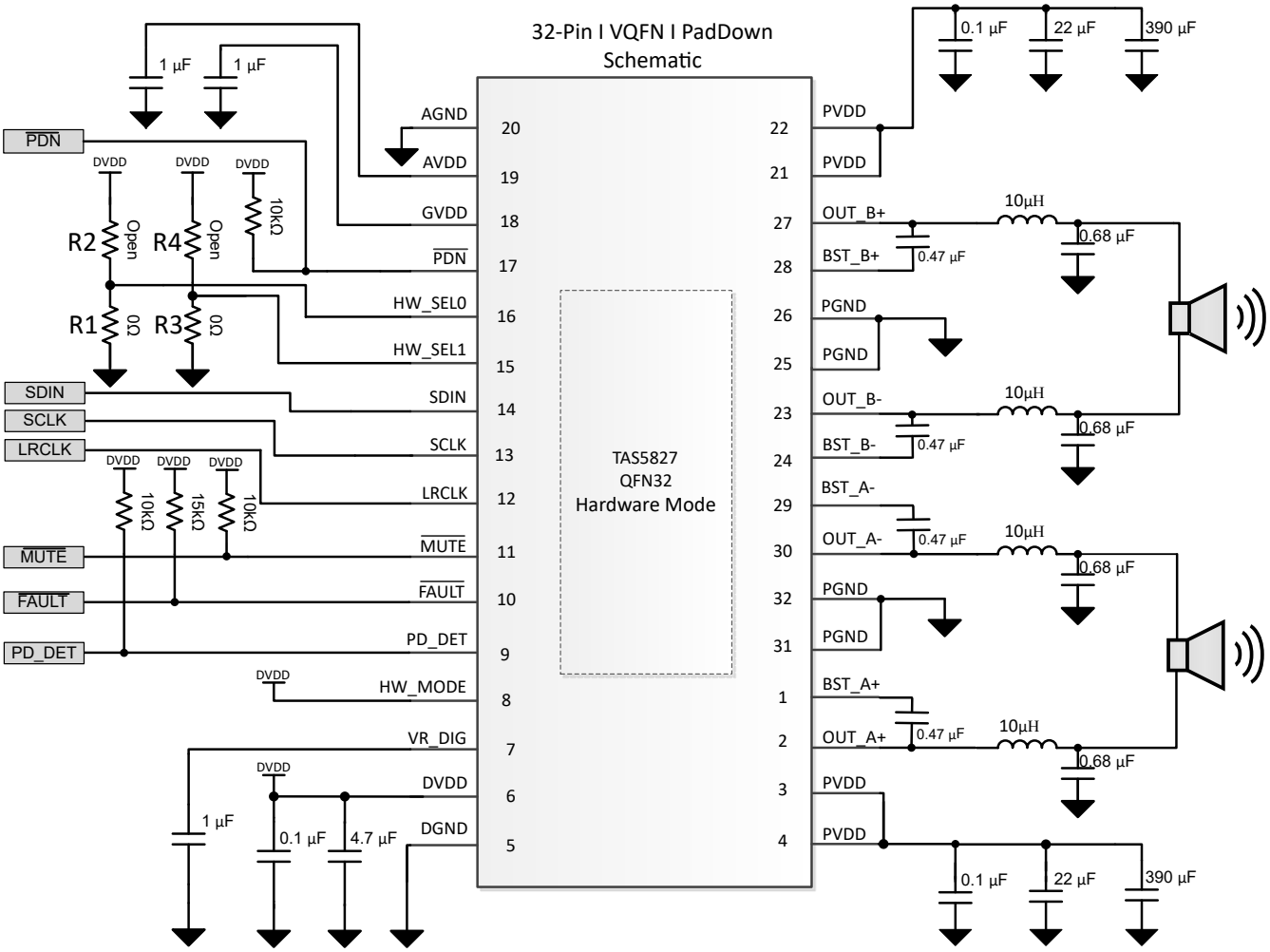


图 6-10. 典型硬件控制模式应用原理图-BTL 模式

示例 2：

PBTL 模式，FSW = 768kHz，1SPW 调制，175kHz 环路带宽，CBC 阈值 = 80% OCP，模拟增益 = 29.5 V_P/FS，展频禁用。

Copyright © 2025 Texas Instruments Incorporated

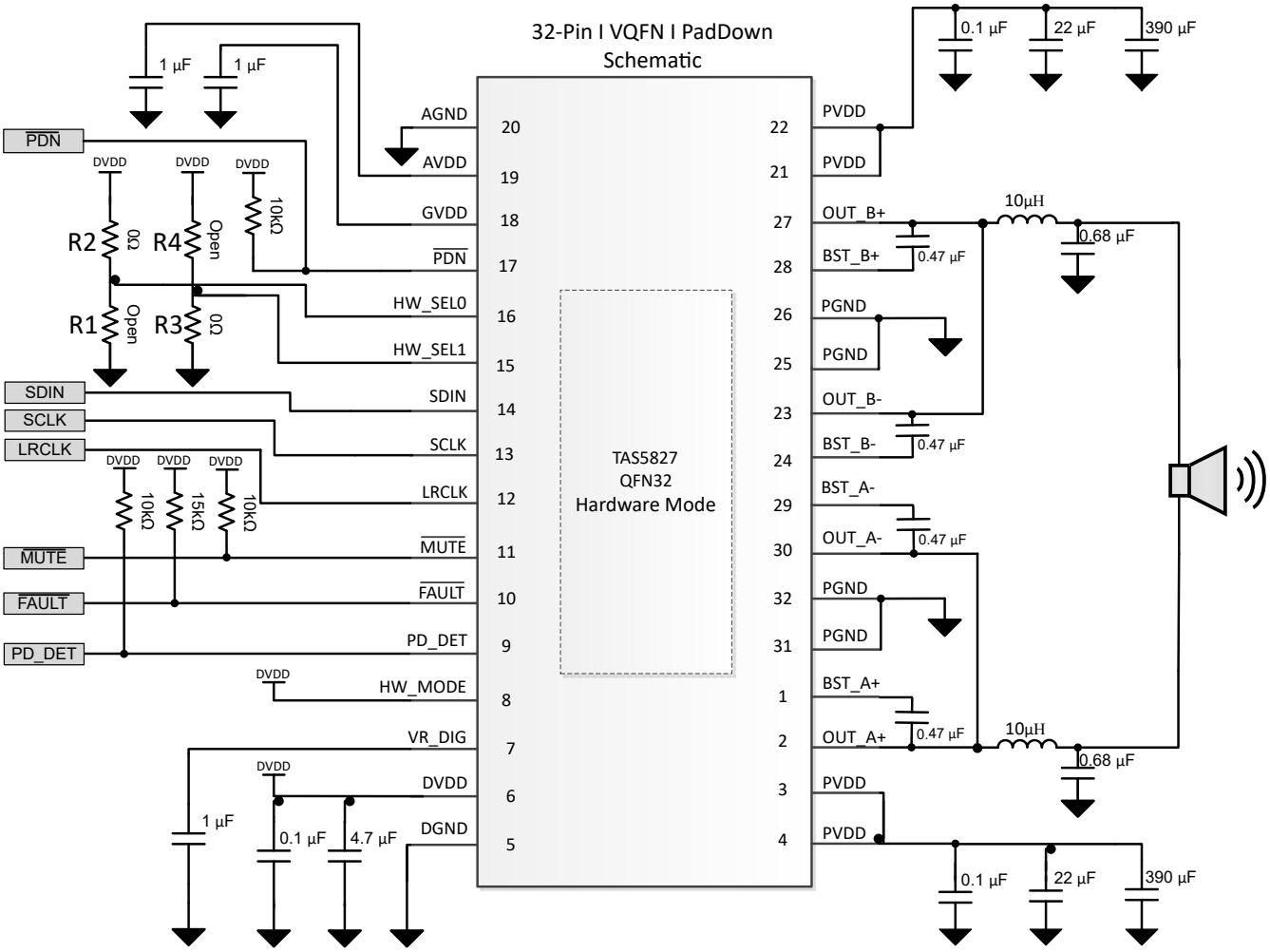


图 6-11. 典型硬件控制模式应用原理图-PBTL 模式

6.4.7.3 I²C 目标地址

TAS5827 器件具有 7 位目标地址。表 6-5 中列出了通过 ADR 引脚的用户定义地址。

表 6-5. I² C 目标地址配置

ADR PIN 配置	MSB				用户定义			LSB
0Ω 至 GND	1	1	0	0	0	0	0	R/ $\overline{W}$
1kΩ 至 GND	1	1	0	0	0	0	1	R/ $\overline{W}$
4.7kΩ 至 GND	1	1	0	0	0	1	0	R/ $\overline{W}$
15kΩ 至 GND	1	1	0	0	0	1	1	R/ $\overline{W}$
33kΩ 至 DVDD	1	1	0	0	1	0	0	R/ $\overline{W}$
6.8kΩ 至 DVDD	1	1	0	0	1	0	1	R/ $\overline{W}$

6.4.7.3.1 随机写入

如图 6-12 所示，单字节数据写入传输始于控制器器件发送启动条件，然后是 I²C 器件地址和读取/写入位。读/写位决定数据传输的方向。对于写入数据传输，读取/写入位为 0。在接收到正确的 I²C 器件地址和读取/写入位后，该器件会以一个确认位进行响应。接下来，控制器传输对应于正在访问的内部存储器地址的地址字节。收到地址字节之后，器件会再次用一个确认位进行响应。接下来，控制器器件传输要写入正在访问的存储器地址的数据字节。收到数据字节之后，器件会再次用一个确认位进行响应。最后，控制器器件发送停止条件以完成单字节数据写入传输。

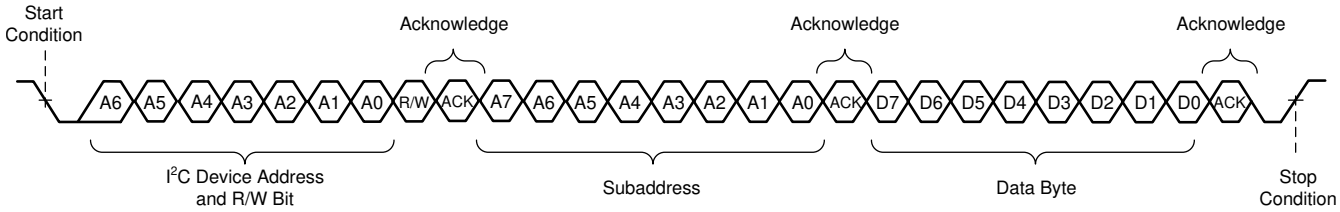


图 6-12. 随机写入传输

6.4.7.3.2 顺序写入

顺序数据写入传输与单字节数据写入传输完全相同，唯一的例外是控制器将多个数据字节传输到器件，如图 6-13 所示接收到每个数据字节后，器件会以一个确认位进行响应，并且 I² 子地址会自动递增 1。

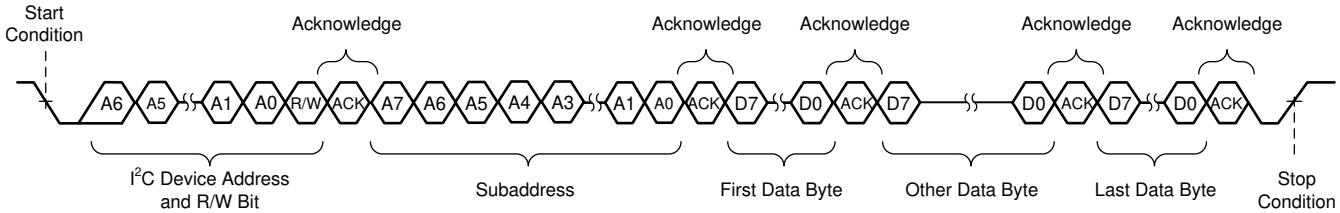


图 6-13. 顺序写入传输

6.4.7.3.3 随机读取

如图 6-14 所示，单字节数据读取传输始于控制器器件发送启动条件，然后是 I²C 器件地址和读取/写入位。对于数据读取传输，实际上先后完成了写入和读取操作。最初，执行写入以传输要读取的内部存储器地址的地址字节。因此，读取/写入位为 0。在接收到地址和读/写位后，器件会以一个确认位进行响应。此外，发送内部存储器地址字节后，控制器器件会再次发送另一个启动条件，然后是地址和读取/写入位。这次，读取/写入位为 1，指示读取传输。在接收到地址和读/写位后，器件会再次以一个确认位进行响应。接下来，该器件从正在读取的存储器地址传输数据字节。接收到数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成单字节数据读取传输。

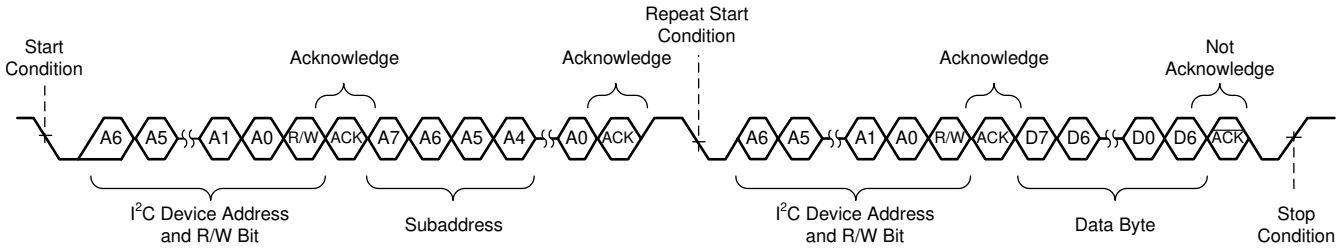


图 6-14. 随机读取传输

Copyright © 2025 Texas Instruments Incorporated

6.4.7.3.4 顺序读取

顺序数据读取传输与单字节数据读取传输完全相同，唯一的例外是器件将多个数据字节传输到控制器器件，如图 6-15 所示。除最后一个数据字节外，控制器器件在接收到每个数据字节后都会以一个确认位进行响应，并自动将 I²C 子地址递增 1。收到最后一个数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成传输。

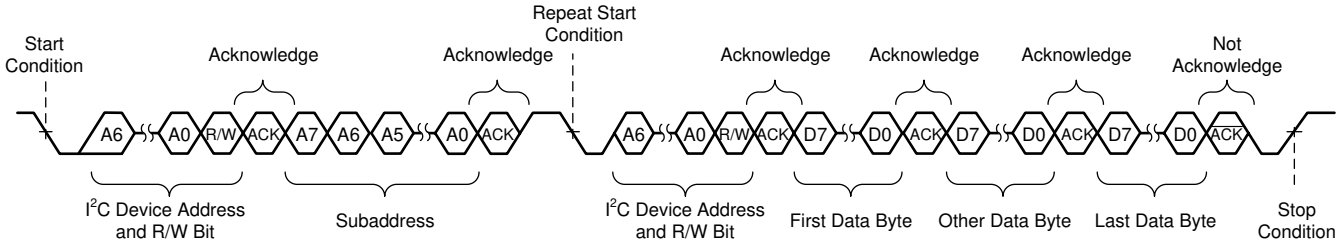


图 6-15. 顺序读取传输

6.4.7.3.5 DSP 存储器 Book、Page 和 BQ 更新

在每个 Book 的 Page 0x00 上，寄存器 0x7f 用于更改 Book。每页的寄存器 0x00 用于更改该页。要更改页，首先向寄存器 0x00 写入 0x00 以切换到 Page 0，然后将 Book 编号写入 Page 0 上的寄存器 0x7f。要在 Book 中的 Page 之间切换，只需将页码写入寄存器 0x00 即可。

所有双二阶滤波器系数都在 Book 0xAA 中提供。每个双二阶滤波器的五个系数按顺序完整地从最低地址写入到最高地址。所有双二阶滤波器的地址可在寄存器映射中找到

应用手册 “TAS5827 处理流程” 中列出了所有与 DSP/音频处理流程相关的寄存器

6.4.7.3.6 校验和

该器件支持两种不同的校验和方案，即循环冗余校验 (CRC) 校验和与异或 (XOR) 校验和。寄存器读取不会更改校验和，但对甚至不存在的寄存器的写入也会更改校验和。两个校验和都是 8 位校验和，并且两个校验和可同时使用。校验和可以通过写入一个起始值（例如 0x 00 00 00 00）到相应的 4 字节寄存器位置进行重置。

6.4.7.3.6.1 循环冗余校验 (CRC) 校验和

使用的 8 位 CRC 校验和为 0x7 多项式（CRC-8-CCITT I.432.1；ATM HEC，ISDN HEC 和单元划分，(1 + x1 + x2 + x8)）。CRC 校验和的一个主要优点是校验和对输入顺序敏感。CRC 支持所有 I²C 事务，不包括 Book 和 Page 切换。CRC 校验和是从任何 Book（B_x、Page_0、Reg_126）的 page0 上的寄存器 0x7E 读取的。可以通过将 0x00 写入 CRC 校验和有效的相同寄存器位置来复位 CRC 校验和。

6.4.7.3.6.2 异或 (XOR) 校验和

XOR 校验和是一种更简单的校验和方案。校验和与之前的 8 位校验和寄存器值执行每个寄存器字节写入的顺序 XOR 运算。XOR 仅支持 Book 0x8C，不包括 Page 切换和 Book 0x8C 的 Page 0x00 中的所有寄存器。从 Book 0x8C 的 Page 0x00 上的位置寄存器 0x7D 读取 XOR 校验和（B_140、Page_0、Reg_125）。可以通过将 0x00 写入读取校验和的同一寄存器位置来复位 XOR 校验和。

6.4.7.4 通过软件进行控制

- 启动过程
- 关断过程

6.4.7.4.1 启动过程

1. 使用适当的 I²C 器件地址设置或具有正确 HW_SEL0 和 HW_SEL1 设置的硬件模式来配置 ADR 引脚。
2. 启动电源（如果先启动 PVDD 或 DVDD，则无关紧要）。
3. 电源稳定后，等待至少 100 µs，将 $\overline{\text{PDN}}$ 拉至高电平以启用内部 LDO。
4. 通过 I²C 控制端口配置所需设置。此过程包括深度睡眠到高阻态、寄存器映射配置、DSP 系数和设置为播放模式。硬件模式不需要执行该步骤 I²C 写入。
5. 一旦 I²S 时钟稳定，TAS5827 将进入正常运行音乐播放。

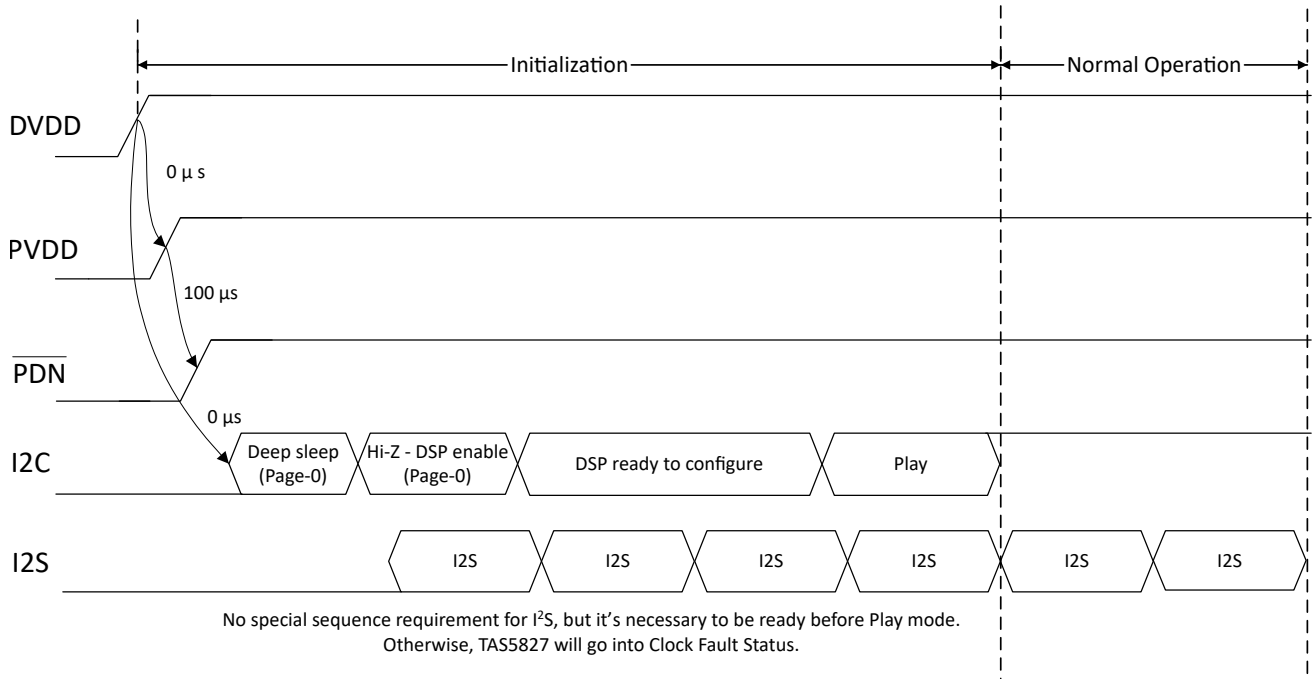


图 6-16. TAS5827 启动顺序

Copyright © 2025 Texas Instruments Incorporated

6.4.7.4.2 关断过程

1. 器件会正常运行。
2. 通过 I²C 控制端口配置寄存器 DEVICE_CTRL2 寄存器（偏移 = 3h）[复位 = 10h] -D[1:0]=10 或将 $\overline{PDN}$ 拉至低电平。
3. 等待至少 6ms（这段时间取决于 LRCLK 速率、数字音量和数字音量斜降速率）。
4. 关闭电源。
5. 该器件现在已完全关断和断电。

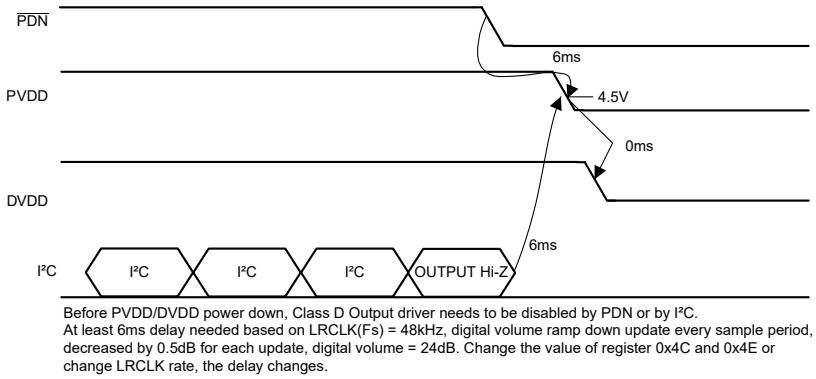


图 6-17. 下电序列

6.4.7.5 保护和监控

6.4.7.5.1 过流限制（逐周期）

TAS5827 还提供 CBC 电流限制保护，而非直接过流关断以使音频输出静音。目的是通过在 PWM 开关中插入脉冲来降低过流关断电平之前的输出电流，并且可以通过寄存器 CBC_CONTROL 寄存器（偏移 = 77h）[复位 = 00h] -D[4:3] Reg_CBC_Level_Sel 配置阈值（列在 电气特性 中）。

对音频的总体影响非常类似于电压削波，这会暂时限制音乐信号峰值功率，以保持连续音乐播放，而不会中断过载的消除。

6.4.7.5.2 过流关断 (OCSD)

如果存在严重的短路事件（例如输出对 PVDD 短路或对地短路），一旦峰值电流检测器超过过流阈值（如 电气特性 中所列），TAS5827 便会启动小于 100ns 的关断过程。关断速度取决于多种因素，例如短路阻抗、电源电压和开关频率。

如果发生 OCSD 事件，故障 GPIO 被拉至低电平并报告 I²C 故障寄存器故障状态（CHAN_FAULT 寄存器（偏移 = 70h）[复位 = 00h] -D[1:0]），则输出将传输到高阻抗 Hi-Z 状态，表示发生了故障。这是锁存的错误，用户需要设置 FAULT_CLEAR 寄存器（偏移 = 78h）[复位 = 00h] -D[0] = 1，通过 I²C 重新启动输出。

6.4.7.5.3 直流检测误差

如果 TAS5827 检测到输出电压交叉扬声器中的直流偏移超过直流误差保护阈值 DCR_{THRES}，并且此状态周期超过 T_{DCDET}（列在 电气特性 中），FAULTZ 线路会被拉低，OUTxx 输出转换为高阻抗，表示存在故障。此锁存直流保护误差需要通过设置 FAULT_CLEAR 寄存器（偏移 = 78h）[复位 = 00h] -D[0] = 1 重新启动音频输出，从而使 I²C 清除故障运行。

6.4.7.5.4 过热关断 (OTSD)

TAS5827 器件会继续监控裸片温度，以确保不会超过 电气特性 中规定的过热阈值。如果发生 OTE 事件，故障 GPIO 被拉至低电平并报告 I²C 故障状态（GLOBAL_FAULT2 寄存器（偏移 = 72h）[复位 = 00h] -D[0]），则音频

输出将传输到高阻抗 Hi-Z 模式，表示发生了故障。这是锁存的错误，此错误需要通过设置 FAULT_CLEAR 寄存器（偏移 = 78h）[复位 = 00h] -D[0] = 1 重新启动音频播放，从而使 I^2C 清除故障运行。

6.4.7.5.5 PVDD 过压和欠压误差

如果 PVDD 电源上的电压上升至超过 电气特性 中列出的 $OVE_{THRES(PVDD)}$ 或下降至低于 $UVE_{THRES(PVDD)}$，则将故障 GPIO 拉至低电平并报告 I^2C 故障状态 (GLOBAL_FAULT1 寄存器（偏移 = 71h）[复位 = 00h] -D[1:0])，然后音频输出传输到高阻抗 Hi-Z 模式。这些是自清除错误，这意味着一旦 PVDD 电平恢复正常运行，器件将恢复音频播放。

6.4.7.5.6 PVDD 压降检测

TAS5827 不仅提供 PVDD 欠压关断保护，还提供可选的 PVDD 压降检测。根据内部 PVDD 实时检测电压，TAS5827 可配置为预期行为，从而将引脚 10 PD_DET 从高电平切换为低电平，以指示 PVDD 降至低于特定电平（默认 8V），以及 TAS5827 是否自动进入高阻态模式以关闭音频输出。

其目的是通过 GPIO 将 PVDD 压降信息反馈给用户产品控制系统，从而可以实施灵活的保护策略。例如，一旦 PD_DET 引脚电压过低，SOC 就会启动音频音量淡出过程。这一过程可提供有效的无“砰砰”控制关断。

6.4.7.5.7 时钟故障

当在传入的数据时钟上检测到时钟错误时，TAS5827 器件会切换到内部振荡器并继续驱动 DAC，从而使最后一个已知值的数据衰减。此过程完成后，DAC 输出硬静音到地，音频输出停止。系统会报告此非锁存时钟故障状态 I^2C 故障状态 (GLOBAL_FAULT1 寄存器（偏移 = 71h）[复位 = 00h] -D[2])，一旦恢复正确的时钟，器件将自动返回到播放模式。

Copyright © 2025 Texas Instruments Incorporated

7 寄存器映射

7.1 reg_map 寄存器

表 7-1 列出了 reg_map 寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都被视为保留的位置，并且不会修改寄存器内容。

表 7-1. REG_MAP 寄存器

偏移	首字母缩写词	寄存器名称	部分
1h	RESET_CTRL	复位控制	转到
2h	DEVICE_CTRL1	器件控制 1	转到
3h	DEVICE_CTRL2	器件控制 2	转到
4h	PVDD_UV_CONTROL	PVDD UV 控制	转到
Fh	I2C_PAGE_AUTO_INC	I2C DSP 存储器访问页面自动递增	转到
28h	SIG_CH_CTRL	信号链控制	转到
29h	CLOCK_DET_CTRL	时钟检测控制	转到
30h	SDOUT_SEL	SDOUT 选择	转到
31h	I2S_CTRL	I2S 控制 0	转到
33h	SAP_CTRL1	I2S 控制 1	转到
34h	SAP_CTRL2	I2S 控制 2	转到
35h	SAP_CTRL3	I2S 控制 3	转到
37h	FS_MON	FS 监测器	转到
38h	BCLK_MON	BCLK 监测器	转到
39h	CLKDET_STATUS	时钟检测状态	转到
40h	DSP_PGM_MODE	DSP 编程模式	转到
46h	DSP_CTRL	DSP 控制	转到
4Ch	DIG_VOL	数字音量	转到
4Eh	DIG_VOL_CTRL2	数字音量控制 2	转到
4Fh	DIG_VOL_CTRL3	数字音量控制 3	转到
50h	AUTO_MUTE_CTRL	自动静音控制	转到
51h	AUTO_MUTE_TIME	自动静音时间	转到
53h	ANA_CTRL	模拟控制	转到
54h	AGAIN	模拟增益	转到
5Eh	ADC_RPT	ADC（PVDD 电压）报告	转到
60h	GPIO_CTRL	GPIO 控制	转到
61h	GPIO0_SEL	GPIO0 输出选择	转到
62h	GPIO1_SEL	GPIO1 输出选择	转到
63h	GPIO2_SEL	GPIO2 输出选择	转到
64h	GPIO_INPUT_SEL	GPIO 输入选择	转到
65h	MISC_CTRL1	MISC 控制 1	转到
66h	MISC_CTRL2	MISC 控制 2	转到
67h	DIE_ID	DIE ID	转到
68h	POWER_STATE	电源状态	转到
69h	AUTOMUTE_STATE	自动静音状态	转到
6Ah	RAMP_PHASE_CTRL	开关时钟相位控制	转到
6Bh	RAMP_SS_CTRL0	展频控制 0	转到
6Ch	RAMP_SS_CTRL1	展频控制 1	转到

表 7-1. REG_MAP 寄存器（续）

偏移	首字母缩写词	寄存器名称	部分
70h	CHAN_FAULT	通道故障	转到
71h	GLOBAL_FAULT1	全局故障 1	转到
72h	GLOBAL_FAULT2	全局故障 2	转到
73h	警告	警告	转到
74h	PIN_CONTROL1	引脚控制 1	转到
75h	PIN_CONTROL2	引脚控制 2	转到
76h	MISC_CONTROL3	MISC 控制 3	转到
77h	CBC_CONTROL	CBC 控制	转到
78h	FAULT_CLEAR	故障清除	转到

复杂的位访问类型经过编码可适应小型表单元。表 7-2 展示了适用于此部分中访问类型的代码。

表 7-2. reg_map 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

Copyright © 2025 Texas Instruments Incorporated

7.1.1 RESET_CTRL 寄存器（偏移 = 1h）[复位 = 00h]

返回到汇总表。

复位控制

图 7-1. RESET_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			RST_MOD	RESERVED			RST_REG
W-0h			W-0h	W-0h			W-0h

表 7-3. RESET_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	W	0h	
4	RST_MOD	W	0h	WRITE CLEAR BIT 复位模块该位复位内插滤波器和 DAC 模块。由于 DSP 也会复位，因此系数 RAM 内容也将由 DSP 清除。该位自动清零，并且只能在高阻态模式下设置。 **0：正常** 1：复位模块
3-1	RESERVED	W	0h	
0	RST_REG	W	0h	WRITE CLEAR BIT 复位寄存器该位将模式寄存器复位回其初始值。不清除 RAM 内容。该位会自动清零，并且只能在 DAC 处于高阻态模式时设置（禁止且不支持在 DAC 运行时复位寄存器）。 **0：正常** 1：复位模式寄存器

7.1.2 DEVICE_CTRL1 寄存器（偏移 = 2h）[复位 = 00h]

返回到汇总表。

器件控制 1

图 7-2. DEVICE_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED	FSW_SEL			RESERVED	PBTL_MODE	MODULATION	
R/W-0h	R/W-0h			R/W-0h	R/W-0h	R/W-0h	

表 7-4. DEVICE_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-4	FSW_SEL	R/W	0h	选择 PWM 开关频率 (Fsw) **3'b 000:384kHz** 3'b 010:480kHz 3'b 011:576kHz 3'b 100:768kHz 3'b 101:1.024MHz 其他保留
3	RESERVED	R/W	0h	
2	PBTL_MODE	R/W	0h	**0：将器件设置为 BTL 模式** 1：将器件设置为 PBTL 模式
1-0	MODULATION	R/W	0h	**00：BD 模式** 01：1SPW 模式 10：混合模式 11：保留

Copyright © 2025 Texas Instruments Incorporated

7.1.3 DEVICE_CTRL2 寄存器（偏移 = 3h）[复位 = 10h]

返回到汇总表。

器件控制 2

图 7-3. DEVICE_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED			DSP_RST	MUTE	RESERVED	STATE_CTL	
R/W-0h			R/W-1h	R/W-0h	R/W-0h	R/W-0h	

表 7-5. DEVICE_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4	DSP_RST	R/W	1h	DSP 复位 当该位变为 0 时，DSP 将开始上电并发送数据。只有在所有输入时钟稳定后，才需要将其设为 0，以便 DMA 通道不会超出同步范围。 0：正常运行 **1：复位 DSP**
3	MUTE	R/W	0h	静音 此位向两个通道发出软静音请求。音量将平稳地降低/升高，以避免“砰砰”/“咔嗒”噪声。 **0：正常音量** 1：静音
2	RESERVED	R/W	0h	
1-0	STATE_CTL	R/W	0h	器件状态控制寄存器 **00：深度睡眠** 01：睡眠 10：高阻态 11：播放

7.1.4 PVDD_UV_CONTROL 寄存器（偏移 = 4h）[复位 = 00h]

返回到汇总表。

PVDD UV 控制

图 7-4. PVDD_UV_CONTROL 寄存器

7	6	5	4	3	2	1	0
RESERVED				UV_SEQ	UV_AVG		UV_BYP
R/W-0h				R/W-0h	R/W-0h		R/W-0h

表 7-6. PVDD_UV_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3	UV_SEQ	R/W	0h	**0：当具有 PVDD UV 时禁用，器件跳转到高阻态** 1：当具有 PVDD UV 时启用，器件跳转到高阻态
2-1	UV_AVG	R/W	0h	**00：逐周期，无平均值** 01：16 个样片 10：32 个样片 11：64 个样本
0	UV_BYP	R/W	0h	**0：禁用 PVDD 压降功能** 1：启用 PVDD 压降功能

Copyright © 2025 Texas Instruments Incorporated

7.1.5 I2C_PAGE_AUTO_INC 寄存器（偏移 = Fh）[复位 = 00h]

返回到汇总表。

I2C DSP 存储器访问页面自动递增

图 7-5. I2C_PAGE_AUTO_INC 寄存器

7	6	5	4	3	2	1	0
RESERVED				PAGE_INC	RESERVED		
R/W-0h				R/W-0h	R/W-0h		

表 7-7. I2C_PAGE_AUTO_INC 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3	PAGE_INC	R/W	0h	页面自动递增禁用 针对非零 Book 禁用页面自动递增模式。到达页末后，当该位为 0 时，它会返回到下一页的第 8 个地址位置。当该位为 1 时，它会像较早的器件一样转到当前页本身的第 0 个位置。 **0：启用页面自动递增** 1：禁用页面自动递增
2-0	RESERVED	R/W	0h	

7.1.6 SIG_CH_CTRL 寄存器（偏移 = 28h）[复位 = 00h]

返回到汇总表。

信号链控制

图 7-6. SIG_CH_CTRL 寄存器

7	6	5	4	3	2	1	0
BCLK_RATIO				FS_MODE			
R/W-0h				R/W-0h			

表 7-8. SIG_CH_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	BCLK_RATIO	R/W	0h	这些位指示所配置的 BCLK 比率，即一个音频帧中的 BCLK 时钟数。 **4'b0000：自动检测** 4'b0011：32FS 4'b0101：64FS 4'b0111：128FS 4'b1001：256FS 4'b1011：512FS 其他保留。
3-0	FS_MODE	R/W	0h	FS 速度模式这些位用于选择 FS 运行模式，该模式必须根据当前音频采样率进行设置。 **4’ b0000 自动检测** 4’ b0010 8kHz 4’ b0100 16kHz 4’ b0110 32kHz 4’ b1000 44.1kHz 4’ b1001 48kHz 4'b1010 88.2kHz 4’ b1011 96kHz 4’ b1100 176.4kHz 4’ b1101 192kHz 其他保留

Copyright © 2025 Texas Instruments Incorporated

7.1.7 CLOCK_DET_CTRL 寄存器（偏移 = 29h）[复位 = 00h]

返回到汇总表。

时钟检测控制

图 7-7. CLOCK_DET_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED	DET_PLL	BCLK_RANGE	DET_FS	DET_BCLK	DET_BCLKMISS	RESERVED	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	

表 7-9. CLOCK_DET_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6	DET_PLL	R/W	0h	忽略 PLL 过速检测 该位控制是否忽略 PLL 过速检测。PLL 必须慢于 150MHz，否则会报告错误。被忽略时，PLL 过速错误不会导致时钟错误。 **0：注意 PLL 过速检测** 1：忽略 PLL 过速检测
5	BCLK_RANGE	R/W	0h	忽略 BCLK 范围检测 该位控制是否忽略 BCLK 范围检测。BCLK 必须稳定在 256kHz 和 50MHz 之间，否则会报告错误。被忽略时，BCLK 范围错误不会导致时钟错误。 **0：注意 BCLK 范围检测** 1：忽略 BCLK 范围检测
4	DET_FS	R/W	0h	忽略 FS 错误检测 该位控制是否忽略 FS 错误检测。被忽略时，FS 错误不会导致时钟错误。但 CLKDET_STATUS 将报告 fs 错误。 **0：注意 FS 检测** 1：忽略 FS 检测
3	DET_BCLK	R/W	0h	忽略 BCLK 检测 该位控制是否忽略根据 LRCLK 的 BCLK 检测。BCLK 必须稳定在 32FS 和 512FS 之间（含），否则会报告错误。被忽略时，BCLK 错误不会导致时钟错误。 **0：注意 BCLK 检测** 1：忽略 BCLK 检测
2	DET_BCLKMISS	R/W	0h	忽略 BCLK 缺失检测 该位控制是否忽略 BCLK 缺失检测。被忽略时，BCLK 缺失不会导致时钟错误。 **0：注意 BCLK 缺失检测** 1：忽略 BCLK 缺失检测
1-0	RESERVED	R/W	0h	

7.1.8 SDOUT_SEL 寄存器（偏移 = 30h）[复位 = 00h]

返回到汇总表。

SDOUT 选择

图 7-8. SDOUT_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED							SDOUT_SEL
R/W-0h							R/W-0h

表 7-10. SDOUT_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0h	
0	SDOUT_SEL	R/W	0h	SDOUT 选择 该位选择作为 SDOUT 通过 GPIO 引脚输出的内容。 **0：SDOUT 是 DSP 输出（后处理）** 1：SDOUT 是 DSP 输入（预处理）

Copyright © 2025 Texas Instruments Incorporated

7.1.9 I2S_CTRL 寄存器（偏移 = 31h）[复位 = 00h]

返回到汇总表。

I2S 控制 0

图 7-9. I2S_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED		BCLK_INV	RESERVED				
R/W-0h		R/W-0h	R/W-0h				

表 7-11. I2S_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0h	
5	BCLK_INV	R/W	0h	BCLK 极性 该位设置反转 BCLK 模式。在反转 BCLK 模式下，DAC 假定 LRCLK 和 DIN 边沿与 BCLK 的上升沿对齐。通常假定它们与 BCLK 的下降沿对齐。 **0：正常 BCLK 模式** 1：反转 BCLK 模式
4-0	RESERVED	R/W	0h	

7.1.10 SAP_CTRL1 寄存器（偏移 = 33h）[复位 = 02h]

返回到汇总表。

I2S 控制 1

图 7-10. SAP_CTRL1 寄存器

7	6	5	4	3	2	1	0
I2SSHIFT_MSB	RESERVED	DATA_FMT		LRCLK_PULSE		FRAME_LENGTH	
R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-2h	

表 7-12. SAP_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	I2SSHIFT_MSB	R/W	0h	I2S 移位 MSB。与低寄存器 34h 中的 8 位组合。
6	RESERVED	R/W	0h	
5-4	DATA_FMT	R/W	0h	I2S 数据格式 这些位控制 DAC 操作的输入和输出音频接口格式。 **00：I2S** 01：DSP/TDM 10：RTJ 11：LTJ
3-2	LRCLK_PULSE	R/W	0h	如果 LRCLK 脉冲短于 8 x BCLK，将位 0-1 设定为“01” 否则，将这些位保持为默认值“00” 00：LRCLK 脉冲的高宽度等于或大于 BCLK 的 8 个周期 01：LRCLK 脉冲高宽度小于 BCLK 的 8 个周期
1-0	FRAME_LENGTH	R/W	2h	I2S 字长 这些位控制 DAC 操作所需的输入和输出音频接口采样字长度。 00：16 位 01：20 位 **10：24 位** 11：32 位

Copyright © 2025 Texas Instruments Incorporated

7.1.11 SAP_CTRL2 寄存器（偏移 = 34h）[复位 = 00h]

返回到汇总表。

I2S 控制 2

图 7-11. SAP_CTRL2 寄存器

7	6	5	4	3	2	1	0
I2SSHIFT_LSB							
R/W-0h							

表 7-13. SAP_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-0	I2SSHIFT_LSB	R/W	0h	I2S 移位 LSB 这些位控制输入和输出的音频帧中音频数据的偏移。偏移定义为从音频帧的起始 (MSB) 到所需音频采样的起始位置的 BCLK 数。 **8'b00000000：偏移 = 0 BCLK（无偏移）** 8'b00000001：偏移 = 1 BCLK 8'b00000010：偏移 = 2 BCLK … 8'b11111111：偏移 = 512 BCLK

7.1.12 SAP_CTRL3 寄存器（偏移 = 35h）[复位 = 11h]

返回到汇总表。

I2S 控制 3

图 7-12. SAP_CTRL3 寄存器

7	6	5	4	3	2	1	0
RESERVED		CH1_DAC		RESERVED		CH2_DAC	
R/W-0h		R/W-1h		R/W-0h		R/W-1h	

表 7-14. SAP_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0h	
5-4	CH1_DAC	R/W	1h	通道 1 DAC 数据路径这些位控制通道 1 音频数据路径连接。 00：零数据（静音） **01：Ch1 数据** 10：Ch2 数据 11：保留（请勿设置）
3-2	RESERVED	R/W	0h	
1-0	CH2_DAC	R/W	1h	通道 2 DAC 数据路径这些位控制通道 2 音频数据路径连接。 00：零数据（静音） **01：Ch2 数据** 10：Ch1 数据 11：保留（请勿设置）

Copyright © 2025 Texas Instruments Incorporated

7.1.13 FS_MON 寄存器（偏移 = 37h）[复位 = 00h]

返回到汇总表。

FS 监测器

图 7-13. FS_MON 寄存器

7	6	5	4	3	2	1	0
RESERVED		BCLKRATIO_MSB		FS_MON			
R-0h		R-0h		R-0h			

表 7-15. FS_MON 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	
5-4	BCLKRATIO_MSB	R	0h	检测到的 BCLK 比率为 2 MSB。 这些位指示当前检测到的 BCLK 比率，即一个音频帧中 BCLK 时钟的数量。 与低寄存器 38h 中的 8 位组合。BCLK = 32 FS~512 FS
3-0	FS_MON	R	0h	这些位指示当前检测到的音频采样率。 **4’b0000 FS 错误** 4’b0010 8kHz 4’b0100 16kHz 4’b0110 32kHz 4’b1000 保留 4’b1001 48kHz 4’b1011 96kHz 4’b1101 192kHz 其他保留

7.1.14 BCLK_MON 寄存器（偏移 = 38h）[复位 = 00h]

返回到汇总表。

BCLK 监测器

图 7-14. BCLK_MON 寄存器

7	6	5	4	3	2	1	0
BCLKRATIO_LSB							
R-0h							

表 7-16. BCLK_MON 寄存器字段说明

位	字段	类型	复位	说明
7-0	BCLKRATIO_LSB	R	0h	这些位指示当前检测到的 BCLK 比率，即一个音频帧中 BCLK 时钟的数量。 BCLK = 32 FS~512 FS

Copyright © 2025 Texas Instruments Incorporated

7.1.15 CLKDET_STATUS 寄存器（偏移 = 39h）[复位 = 00h]

返回到汇总表。

时钟检测状态

图 7-15. CLKDET_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		BCLK_OVERRATE	PLL_OVERRATE	PLL_LOCKED	BCLK_MISSING	BCLK_VALID	FS_VALID
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-17. CLKDET_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	
5	BCLK_OVERRATE	R	0h	该位指示 BCLK 是过速还是欠速。 0：BCLK 欠速 1：BCLK 过速
4	PLL_OVERRATE	R	0h	该位指示 PLL 是否过速。 0：PLL 欠速 1：PLL 过速
3	PLL_LOCKED	R	0h	该位指示 PLL 是否锁定。当 PLL 被禁用时，它将被报告为解锁。 0：PLL 被锁定 1：PLL 未锁定
2	BCLK_MISSING	R	0h	该位指示 BCLK 是否缺失。 0：BCLK 正常 1：BCLK 缺失
1	BCLK_VALID	R	0h	该位指示 BCLK 是否有效。BCLK 比率必须稳定并且在 32-512FS 范围内才有效。 0：BCLK 有效 1：BCLK 无效
0	FS_VALID	R	0h	在自动检测模式 (reg_fsmode=0) 下，该位指示音频采样率是否有效。在非自动检测模式 (reg_fsmode!=0) 下，FS 错误表示 LRCLK(FS) 设置的所配置采样频率与检测到的采样频率不同。即使设置了 FS 错误检测忽略，该标志也将被置位。 0：采样率有效 1：无效

7.1.16 DSP_PGM_MODE 寄存器（偏移 = 40h）[复位 = 01h]

返回到汇总表。

DSP 编程模式

图 7-16. DSP_PGM_MODE 寄存器

7	6	5	4	3	2	1	0
RESERVED				CH1_HIZ	CH2_HIZ	DSP_MODE	
R/W-0h				R/W-0h	R/W-0h	R/W-1h	

表 7-18. DSP_PGM_MODE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3	CH1_HIZ	R/W	0h	1：强制 CH1 进入高阻态模式 **0：正常运行**
2	CH2_HIZ	R/W	0h	1：强制 CH2 进入高阻态模式 **0：正常运行**
1-0	DSP_MODE	R/W	1h	DSP 程序选择 这些位选择要用于音频处理的 DSP 程序。 00：RAM 模式 **01：ROM 模式** 其他保留。

Copyright © 2025 Texas Instruments Incorporated

7.1.17 DSP_CTRL 寄存器（偏移 = 46h）[复位 = 01h]

返回到汇总表。

DSP 控制

图 7-17. DSP_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			PROC_RATE		RESERVED	IRAM_BOOT	DEF_COEF
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-1h

表 7-19. DSP_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4-3	PROC_RATE	R/W	0h	**00：输入** 01:48kHz 10:96kHz 11:192kHz
2	RESERVED	R/W	0h	
1	IRAM_BOOT	R/W	0h	DSP 从 IRAM 引导 设置时，DSP 将从 IRAM 而非 IROM 引导 **0：从 IROM 引导 DSP** 1：从 IRAM 引导 DSP
0	DEF_COEF	R/W	1h	使用 ZROM 的默认系数 该位控制是否使用 ZROM 的默认系数或使用主机下载到器件的非默认系数 0：不使用 ZROM 的默认系数 **1：使用 ZROM 的默认系数**

7.1.18 DIG_VOL 寄存器（偏移 = 4Ch）[复位 = 30h]

返回到汇总表。

数字音量

图 7-18. DIG_VOL 寄存器

7	6	5	4	3	2	1	0
DAC_GAIN							
R/W-30h							

表 7-20. DIG_VOL 寄存器字段说明

位	字段	类型	复位	说明
7-0	DAC_GAIN	R/W	30h	数字音量控制 这些位控制数字音量。数字音量为 24dB 至 -103dB，阶跃为 -0.5dB。 8'b00000000：+24.0dB 8'b00000001：+23.5dB … 8'b00101111：+0.5dB **8'b00110000：0.0dB** 8'b00110001：-0.5dB ... 8'b11111110：-103dB 8'b11111111：静音

Copyright © 2025 Texas Instruments Incorporated

7.1.19 DIG_VOL_CTRL2 寄存器（偏移 = 4Eh）[复位 = 33h]

返回到汇总表。

数字音量控制 2

图 7-19. DIG_VOL_CTRL2 寄存器

7	6	5	4	3	2	1	0
VNUS		VNUF		VNDS		VNDF	
R/W-0h		R/W-3h		R/W-0h		R/W-3h	

表 7-21. DIG_VOL_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	VNUS	R/W	0h	数字音量正常斜降频率 这些位控制音量斜降时数字音量的更新频率 **00：每 1 个 FS 周期更新一次** 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	VNUF	R/W	3h	数字音量正常斜降阶跃 这些位控制当音量斜降时数字音量更新的阶跃 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB **11：每次更新递减 0.5dB**
3-2	VNDS	R/W	0h	数字音量正常斜升频率 这些位控制音量斜升时数字音量的更新频率 **00：每 1 个 FS 周期更新一次** 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接恢复音量（即时取消静音）
1-0	VNDF	R/W	3h	数字音量正常斜升阶跃 这些位控制当音量斜升时数字音量更新的阶跃 00：每次更新递增 4dB 01：每次更新递增 2dB 10：每次更新递增 1dB **11：每次更新递增 0.5dB**

7.1.20 DIG_VOL_CTRL3 寄存器（偏移 = 4Fh）[复位 = 30h]

返回到汇总表。

数字音量控制 3

图 7-20. DIG_VOL_CTRL3 寄存器

7	6	5	4	3	2	1	0
VEDS		VEDF		RESERVED			
R/W-0h		R/W-3h		R/W-0h			

表 7-22. DIG_VOL_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	VEDS	R/W	0h	数字音量紧急斜降频率 当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的频率，与正常的软静音相比，这通常需要更快的斜降 **00：每 1 个 FS 周期更新一次** 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	VEDF	R/W	3h	数字音量紧急斜降阶跃 当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的阶跃，与正常的软静音相比，这通常需要更快的斜降 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB **11：每次更新递减 0.5dB**
3-0	RESERVED	R/W	0h	

Copyright © 2025 Texas Instruments Incorporated

7.1.21 AUTO_MUTE_CTRL 寄存器（偏移 = 50h）[复位 = 07h]

返回到汇总表。

自动静音控制

图 7-21. AUTO_MUTE_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED					AM_CTL	AMUTE_CH2	AMUTE_CH1
R/W-0h					R/W-1h	R/W-1h	R/W-1h

表 7-23. AUTO_MUTE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0h	
2	AM_CTL	R/W	1h	0：单独自动使 ch1 和 ch2 静音 **1：仅当两个通道都要自动静音时，才自动使 ch1 和 ch2 静音**
1	AMUTE_CH2	R/W	1h	自动静音通道 2 该位启用或禁用通道 2 上的自动静音 0：禁用通道 2 自动静音 **1：启用通道 2 自动静音**
0	AMUTE_CH1	R/W	1h	自动静音通道 1 该位启用或禁用通道 1 上的自动静音 0：禁用通道 1 自动静音 **1：启用通道 1 自动静音**

7.1.22 AUTO_MUTE_TIME 寄存器（偏移 = 51h）[复位 = 00h]

返回到汇总表。

自动静音时间

图 7-22. AUTO_MUTE_TIME 寄存器

7	6	5	4	3	2	1	0
RESERVED	CH1_AMT			RESERVED	CH2_AMT		
R/W-0h	R/W-0h			R/W-0h	R/W-0h		

表 7-24. AUTO_MUTE_TIME 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-4	CH1_AMT	R/W	0h	通道 1 的自动静音时间 这些位指定通道可以自动静音之前，ch1 上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 **000：11.5ms** 001：53ms 010：106.5ms 011：266.5ms 100：0.535 秒 101：1.065 秒 110：2.665 秒 111：5.33s
3	RESERVED	R/W	0h	
2-0	CH2_AMT	R/W	0h	通道 2 的自动静音时间 这些位指定通道可以自动静音之前，ch2 上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 **000：11.5ms** 001：53ms 010：106.5ms 011：266.5ms 100：0.535 秒 101：1.065 秒 110：2.665 秒 111：5.33s

Copyright © 2025 Texas Instruments Incorporated

7.1.23 ANA_CTRL 寄存器（偏移 = 53h）[复位 = 00h]

返回到汇总表。

模拟控制

图 7-23. ANA_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED	BW_CTL		RESERVED				PHASE_CTL
R/W-0h	R/W-0h		R/W-0h				R/W-0h

表 7-25. ANA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-5	BW_CTL	R/W	0h	D 级环路带宽 **00：100kHz** 01：80kHz 10：120kHz 11：175kHz 当 Fsw=384kHz 时，为了实现高音频性能，可选择 100kHz 带宽。当 Fsw=768kHz 时，应选择 175kHz 带宽以获得高音频性能。
4-1	RESERVED	R/W	0h	
0	PHASE_CTL	R/W	0h	**0：相位差** 1：同相

7.1.24 AGAIN 寄存器（偏移 = 54h）[复位 = 00h]

返回到汇总表。

模拟增益

图 7-24. AGAIN 寄存器

7	6	5	4	3	2	1	0
RESERVED			AGAIN				
R/W-0h			R/W-0h				

表 7-26. AGAIN 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4-0	AGAIN	R/W	0h	模拟增益控制 该位控制模拟增益 **00000：0dB** 00001：-0.5dB …… 11111：-15.5dB

Copyright © 2025 Texas Instruments Incorporated

7.1.25 ADC_RPT 寄存器（偏移 = 5Eh）[复位 = 00h]

返回到汇总表。

ADC（PVDD 电压）报告

图 7-25. ADC_RPT 寄存器

7	6	5	4	3	2	1	0
PVDD_RPT							
R-0h							

表 7-27. ADC_RPT 寄存器字段说明

位	字段	类型	复位	说明
7-0	PVDD_RPT	R	0h	PVDD ADC 读数。每个 LSB 表示 0.12V 对于 PVDD = 12V，AD 数据 = 8'b 01100100 对于 PVDD = 24V，AD 数据 = 8'b 11001000

7.1.26 GPIO_CTRL 寄存器（偏移 = 60h）[复位 = 00h]

返回到汇总表。

GPIO 控制

图 7-26. GPIO_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED					GPIO2OE	GPIO1OE	GPIO0OE
R/W-0h					R/W-0h	R/W-0h	R/W-0h

表 7-28. GPIO_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0h	
2	GPIO2OE	R/W	0h	GPIO2 输出使能该位设置 GPIO2 引脚的方向 **0：GPIO2 是输入** 1：GPIO2 是输出
1	GPIO1OE	R/W	0h	GPIO1 输出使能该位设置 GPIO1 引脚的方向 **0：GPIO1 是输入** 1：GPIO1 是输出
0	GPIO0OE	R/W	0h	GPIO0 输出使能该位设置 GPIO0 引脚的方向 **0：GPIO0 是输入** 1：GPIO0 是输出

Copyright © 2025 Texas Instruments Incorporated

7.1.27 GPIO0_SEL 寄存器（偏移 = 61h）[复位 = 00h]

返回到汇总表。

GPIO0 输出选择

图 7-27. GPIO0_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GPIO0SEL			
R/W-0h				R/W-0h			

表 7-29. GPIO0_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3-0	GPIO0SEL	R/W	0h	**4'b0000：关闭（低电平）** 4'b1000：GPIO0 作为 WARNZ 输出 4'b1011：GPIO0 作为 FAULTZ 输出 4'b1100：GPIO0 作为 PVDD_DROP_DETECTION 4'b1101：GPIO0 作为串行音频接口数据输出 (SDOUT) 4'b1110：GPIO0 作为 RAMP 时钟 其他保留

7.1.28 GPIO1_SEL 寄存器（偏移 = 62h）[复位 = 00h]

返回到汇总表。

GPIO1 输出选择

图 7-28. GPIO1_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GPIO1SEL			
R/W-0h				R/W-0h			

表 7-30. GPIO1_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3-0	GPIO1SEL	R/W	0h	**0000：关闭（低电平）** 1000：GPIO1 作为 WARNZ 输出 1011：GPIO1 作为 FAULTZ 输出 1100：GPIO1 作为 PVDD_UV_DETECTION 1101：GPIO1 作为串行音频接口数据输出 (SDOUT) 1110：GPIO1 作为 RAMP 时钟 其他保留

Copyright © 2025 Texas Instruments Incorporated

7.1.29 GPIO2_SEL 寄存器（偏移 = 63h）[复位 = 00h]

返回到汇总表。

GPIO2 输出选择

图 7-29. GPIO2_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED				GPIO2_SEL			
R/W-0h				R/W-0h			

表 7-31. GPIO2_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3-0	GPIO2_SEL	R/W	0h	**4'b0000：关闭（低电平）** 4'b1000：GPIO2 作为 WARNZ 输出 4'b1011：GPIO2 作为 FAULTZ 输出 4'b1100：GPIO2 作为 PVDD_DROP_DETECTION 4'b1101：GPIO2 作为串行音频接口数据输出 (SDOUT) 4'b1110：GPIO2 作为 RAMP 时钟 4'b1111：保留

7.1.30 GPIO_INPUT_SEL 寄存器（偏移 = 64h）[复位 = 00h]

返回到汇总表。

GPIO 输入选择

图 7-30. GPIO_INPUT_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED		GPIOSYNC_SEL		GPIORST_SEL		GPIOM_SEL	
R/W-0h		R/W-0h		R/W-0h		R/W-0h	

表 7-32. GPIO_INPUT_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0h	
5-4	GPIOSYNC_SEL	R/W	0h	**00**：不适用 01：GPIO0 10：GPIO1 11：GPIO2
3-2	GPIORST_SEL	R/W	0h	**00**：不适用 01：GPIO0 10：GPIO1 11：GPIO2
1-0	GPIOM_SEL	R/W	0h	**00**：不适用 01：GPIO0 10：GPIO1 11：GPIO2

Copyright © 2025 Texas Instruments Incorporated

7.1.31 MISC_CTRL1 寄存器（偏移 = 65h）[复位 = 00h]

D

返回到汇总表。

MISC 控制 1

图 7-31. MISC_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED					GPIO_OUTPUT		
R/W					R/W		

表 7-33. MISC_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0h	
2-0	GPIO_OUTPUT	R/W	0h	bit0：GPIO0 输出 bit1：GPIO1 输出 bit2：GPIO2 输出

7.1.32 MISC_CTRL2 寄存器（偏移 = 66h）[复位 = 00h]

返回到汇总表。

MISC 控制 2

图 7-32. MISC_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED					GPIO_INV		
R/W					R/W		

表 7-34. MISC_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0h	
2-0	GPIO_OUTPUT	R/W	0h	bit0：GPIO0 输出反相 位 1：GPIO1 输出反相 位 2：GPIO2 输出反相

Copyright © 2025 Texas Instruments Incorporated

7.1.33 DIE_ID 寄存器（偏移 = 67h）[复位 = A9h]

返回到汇总表。

DIE ID

图 7-33. DIE_ID 寄存器

7	6	5	4	3	2	1	0
DIE_ID							
R-A9h							

表 7-35. DIE_ID 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIE_ID	R	A9h	TAS5827 的芯片 ID。

7.1.34 POWER_STATE 寄存器（偏移 = 68h）[复位 = 00h]

返回到汇总表。

电源状态

图 7-34. POWER_STATE 寄存器

7	6	5	4	3	2	1	0
RESERVED						STATE_RPT	
R-0h						R-0h	

表 7-36. POWER_STATE 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	0h	
1-0	STATE_RPT	R	0h	**00：深度睡眠** 01：睡眠 10：高阻态 11：播放 其他：保留

Copyright © 2025 Texas Instruments Incorporated

7.1.35 AUTOMUTE_STATE 寄存器（偏移 = 69h）[复位 = 00h]

返回到汇总表。

自动静音状态

图 7-35. AUTOMUTE_STATE 寄存器

7	6	5	4	3	2	1	0
RESERVED						CH2MUTE_STATUS	CH1MUTE_STATUS
R-0h						R-0h	R-0h

表 7-37. AUTOMUTE_STATE 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	0h	
1	CH2MUTE_STATUS	R	0h	该位指示通道 2 的自动静音状态。 **0：未自动静音** 1：自动静音
0	CH1MUTE_STATUS	R	0h	该位指示通道 1 的自动静音状态。 **0：未自动静音** 1：自动静音

7.1.36 RAMP_PHASE_CTRL 寄存器（偏移 = 6Ah）[复位 = 00h]

返回到汇总表。

开关时钟相位控制

图 7-36. RAMP_PHASE_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED				RAMPPHASE_SEL		RAMPSYNC_SEL	RAMPSYNC_EN
R/W-0h				R/W-0h		R/W-0h	R/W-0h

表 7-38. RAMP_PHASE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3-2	RAMPPHASE_SEL	R/W	0h	当多个器件集成在一个系统中时，请选择斜坡时钟相位，以降低 EMI 和峰值电源峰值电流，建议将所有器件设置为相同的 RAMP 频率和相同的展频。如果需要此功能，则必须在驱动器件进入播放模式之前进行设置。 **00：0 度** 01：45 度 10：90 度 11：135 度 以上所有的相移都为 45 度
1	RAMPSYNC_SEL	R/W	0h	斜坡相位同步源 **0：GPIO 同步** 1：内部同步
0	RAMPSYNC_EN	R/W	0h	1：启用斜坡相位同步 **0：禁用斜坡相位同步**

Copyright © 2025 Texas Instruments Incorporated

7.1.37 RAMP_SS_CTRL0 寄存器（偏移 = 6Bh）[复位 = 00h]

返回到汇总表。

展频控制 0

图 7-37. RAMP_SS_CTRL0 寄存器

7	6	5	4	3	2	1	0
RESERVED						RDM_EN	TRI_EN
R/W-0h						R/W-0h	R/W-0h

表 7-39. RAMP_SS_CTRL0 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0h	
1	RDM_EN	R/W	0h	1：随机 SS 启用 **0：随机 SS 禁用**
0	TRI_EN	R/W	0h	1：三角 SS 启用 **0：三角 SS 禁用**

7.1.38 RAMP_SS_CTRL1 寄存器（偏移 = 6Ch）[复位 = 00h]

返回到汇总表。

展频控制 1

图 7-38. RAMP_SS_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED	RDM_CTL			TRI_CTL			
R/W-0h	R/W-0h			R/W-0h			

表 7-40. RAMP_SS_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-4	RDM_CTL	R/W	0h	随机 SS 范围控制 对于 Fsw 为 384kHz **3'b000：SS 范围 +/- 0.62%** 3'b010：SS 范围 +/- 1.88% 3'b011：SS 范围 +/- 4.38% 3'b100：SS 范围 +/- 9.38% 3'b101：SS 范围 +/- 19.38% 其他：保留 对于 576kHz 的 Fsw 3'b000：SS 范围 +/-0.95% 3'b010：SS 范围 +/- 2.86% 3'b011：SS 范围 +/- 6.67% 3'b100：SS 范围 +/- 14.29% 3'b101：SS 范围 +/- 29.52% 其他：保留
3-0	TRI_CTL	R/W	0h	三角 SS 频率和范围控制 **4'b0000：24kHz SS +/- 5%** 4'b0001：24kHz SS +/- 10% 4'b0010：24kHz SS +/- 20% 4'b0011：24kHz SS +/- 25% 4'b0100：48kHz SS +/- 5% 4'b0101：48kHz SS +/- 10% 4'b0110：48kHz SS +/- 20% 4'b0111：48kHz SS +/- 25% 4'b1000：32kHz SS +/- 5% 4'b1001：32kHz SS +/- 10% 4'b1010：32kHz SS +/- 20% 4'b1011：32kHz SS +/- 25% 4'b1100：16kHz SS +/- 5% 4'b1101：16kHz SS +/- 10% 4'b1110：16kHz SS +/- 20% 4'b1111：16kHz SS +/- 25%

Copyright © 2025 Texas Instruments Incorporated

7.1.39 CHAN_FAULT 寄存器（偏移 = 70h）[复位 = 00h]

返回到汇总表。

通道故障

图 7-39. CHAN_FAULT 寄存器

7	6	5	4	3	2	1	0
RESERVED				CH1DC	CH2DC	CH1OC	CH2OC
R-0h				R-0h	R-0h	R-0h	R-0h

表 7-41. CHAN_FAULT 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	
3	CH1DC	R	0h	通道 1 直流故障。一旦出现直流故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
2	CH2DC	R	0h	通道 2 直流故障。一旦出现直流故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
1	CH1OC	R	0h	通道 1 过流故障。一旦出现 OC 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
0	CH2OC	R	0h	通道 2 过流故障。一旦出现 OC 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。

Copyright © 2025 Texas Instruments Incorporated

7.1.40 GLOBAL_FAULT1 寄存器（偏移 = 71h）[复位 = 00h]

返回到汇总表。

全局故障 1

图 7-40. GLOBAL_FAULT1 寄存器

7	6	5	4	3	2	1	0
RESERVED	BQWRTFAULT_FLAG	EEPROMFAULT_FLAG	RESERVED		CLKFAULT_FLAG	PVDDOV_FLAG	PVDDUV_FLAG
R-0h	R-0h	R-0h	R-0h		R-0h	R-0h	R-0h

表 7-42. GLOBAL_FAULT1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	
6	BQWRTFAULT_FLAG	R	0h	**0：最近的 BQ 被成功写入** 1：最近的 BQ 写入失败
5	EEPROMFAULT_FLAG	R	0h	**0：EEPROM 引导加载成功完成** 1：EEPROM 引导加载未成功完成
4-3	RESERVED	R	0h	
2	CLKFAULT_FLAG	R	0h	时钟故障。一旦出现时钟故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。 时钟故障采用自动恢复模式，一旦时钟错误消除，器件会自动恢复到之前的状态。 通过将 Fault_clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
1	PVDDOV_FLAG	R	0h	PVDD OV 故障。一旦出现 OV 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。 OV 故障采用自动恢复模式，一旦 OV 错误消除，器件会自动恢复到之前的状态。 通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
0	PVDDUV_FLAG	R	0h	PVDD UV 故障。一旦出现 UV 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为 Hi-Z。通过 FAULT 引脚 (GPIO) 报告。 UV 故障采用自动恢复模式，一旦 UV 错误消除，器件会自动恢复到之前的状态。 通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。

Copyright © 2025 Texas Instruments Incorporated

7.1.41 GLOBAL_FAULT2 寄存器（偏移 = 72h）[复位 = 00h]

返回到汇总表。

全局故障 2

图 7-41. GLOBAL_FAULT2 寄存器

7	6	5	4	3	2	1	0
RESERVED					CH2CBC_FLAG	CH1CBC_FLAG	OTSD_FLAG
R-0h					R-0h	R-0h	R-0h

表 7-43. GLOBAL_FAULT2 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	
2	CH2CBC_FLAG	R	0h	**0：通道 2 上无 CBC 故障** 1：通道 2 上触发 CBC 故障
1	CH1CBC_FLAG	R	0h	**0：通道 1 上无 CBC 故障** 1：通道 1 上触发 CBC 故障
0	OTSD_FLAG	R	0h	过热关断故障一旦存在 OT 故障，该故障即被锁存且该位设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。 OV 故障采用自动恢复模式，一旦 OV 错误消除，器件会自动恢复到之前的状态。 通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。

7.1.42 WARNING 寄存器（偏移 = 73h）[复位 = 00h]

返回到汇总表。

警告

图 7-42. WARNING 寄存器

7	6	5	4	3	2	1	0
RESERVED		CH1CBCW_FLAG	CH2CBCW_FLAG	OTW4_FLAG	OTW3_FLAG	OTW2_FLAG	OTW1_FLAG
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-44. WARNING 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	
5	CH1CBCW_FLAG	R	0h	**0：通道 1 上无 CBC 警告** 1：通道 1 上触发 CBC 警告
4	CH2CBCW_FLAG	R	0h	**0：通道 2 上无 CBC 警告** 1：通道 2 上触发 CBC 警告
3	OTW4_FLAG	R	0h	**0：无温度等级 4 警告** 1：触发过热警告级别 4
2	OTW3_FLAG	R	0h	**0：无温度等级 3 警告** 1：触发过热警告级别 3
1	OTW2_FLAG	R	0h	**0：无温度等级 2 警告** 1：触发过热警告级别 2
0	OTW1_FLAG	R	0h	**0：无温度等级 1 警告** 1：触发过热警告级别 1

Copyright © 2025 Texas Instruments Incorporated

7.1.43 PIN_CONTROL1 寄存器（偏移 = 74h）[复位 = 00h]

返回到汇总表。

引脚控制 1

图 7-43. PIN_CONTROL1 寄存器

7	6	5	4	3	2	1	0
MASK_OTSD	MASK_DVDDUV	MASK_DVDDOV	MASK_CLKERROR	MASK_PVDDUV	MASK_PVDDOV	MASK_DC	MASK_OC
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-45. PIN_CONTROL1 寄存器字段说明

位	字段	类型	复位	说明
7	MASK_OTSD	R/W	0h	**0：启用 OTSD 故障报告** 1：屏蔽 OTSD 故障报告
6	MASK_DVDDUV	R/W	0h	**0：启用 DVDD UV 故障报告** 1：屏蔽 DVDD UV 报告
5	MASK_DVDDOV	R/W	0h	**0：启用 DVDD OV 故障报告** 1：屏蔽 DVDD OV 故障报告
4	MASK_CLKERROR	R/W	0h	**0：启用 CLK 故障报告** 1：屏蔽 CLK 故障报告
3	MASK_PVDDUV	R/W	0h	**0：启用 UV 故障报告** 1：屏蔽 UV 故障报告
2	MASK_PVDDOV	R/W	0h	**0：启用 OV 故障报告** 1：屏蔽 OV 故障报告
1	MASK_DC	R/W	0h	**0：启用直流故障报告** 1：屏蔽直流故障报告
0	MASK_OC	R/W	0h	**0：启用 OC 故障报告** 1：屏蔽 OC 故障报告

7.1.44 PIN_CONTROL2 寄存器（偏移 = 75h）[复位 = F8h]

返回到汇总表。

引脚控制 2

图 7-44. PIN_CONTROL2 寄存器

7	6	5	4	3	2	1	0
CBCFAULTLATCH_EN	CBCWARNLATCH_EN	CLKFAULTLATCH_EN	OTSDLATCH_EN	OTWLATCH_EN	MASK_OTW	MASK_CBCWARN	MASK_CBCFAULT
R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	R/W-0h

表 7-46. PIN_CONTROL2 寄存器字段说明

位	字段	类型	复位	说明
7	CBCFAULTLATCH_EN	R/W	1h	0：禁用 CBC 故障锁存 **1：启用 CBC 故障锁存**
6	CBCWARNLATCH_EN	R/W	1h	0：禁用 CBC 警告锁存 **1：启用 CBC 警告锁存**
5	CLKFAULTLATCH_EN	R/W	1h	0：禁用 CLK 故障锁存 **1：启用 CLK 故障锁存**
4	OTSDLATCH_EN	R/W	1h	0：禁用 OTSD 故障锁存 **1：启用 OTSD 故障锁存**
3	OTWLATCH_EN	R/W	1h	0：禁用 OTW 警告锁存 **1：启用 OTW 警告锁存**
2	MASK_OTW	R/W	0h	**0：启用 OTW 警告报告** 1：屏蔽 OTW 警告报告
1	MASK_CBCWARN	R/W	0h	**0：启用 CBC 警告报告** 1：屏蔽 CBC 警告报告
0	MASK_CBCFAULT	R/W	0h	**0：启用 CBC 故障报告** 1：屏蔽 CBC 故障报告

Copyright © 2025 Texas Instruments Incorporated

7.1.45 MISC_CONTROL3 寄存器（偏移 = 76h）[复位 = 00h]

返回到汇总表。

MISC 控制 3

图 7-45. MISC_CONTROL3 寄存器

7	6	5	4	3	2	1	0
CLKDET_LATCH	RESERVED		OTSD_AUTOREC	RESERVED			
R/W-0h	R/W-0h		R/W-0h	R/W-0h			

表 7-47. MISC_CONTROL3 寄存器字段说明

位	字段	类型	复位	说明
7	CLKDET_LATCH	R/W	0h	1：锁存时钟检测状态 **0：无锁存时钟检测状态**
6-5	RESERVED	R/W	0h	
4	OTSD_AUTOREC	R/W	0h	**0：禁用 OTSD 自动恢复** 1：启用 OTSD 自动恢复
3-0	RESERVED	R/W	0h	

7.1.46 CBC_CONTROL 寄存器（偏移 = 77h）[复位 = 00h]

返回到汇总表。

CBC 控制

图 7-46. CBC_CONTROL 寄存器

7	6	5	4	3	2	1	0
RESERVED			CBCLEVEL_SEL		CBC_EN	CBCWARN_EN	CBCFAULT_EN
R/W-0h			R/W-0h		R/W-0h	R/W-0h	R/W-0h

表 7-48. CBC_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4-3	CBCLEVEL_SEL	R/W	0h	这些位设置逐周期电流限制电平，即过流阈值的百分比： **2b'00：80%** 2b'10：60% 2b'01：40% 2b'11：保留
2	CBC_EN	R/W	0h	**0：禁用 CBC 功能** 1：启用 CBC 功能
1	CBCWARN_EN	R/W	0h	**0：禁用 CBC 警告** 1：启用 CBC 警告
0	CBCFAULT_EN	R/W	0h	**0：禁用 CBC 故障** 1：使能 CBC 故障

Copyright © 2025 Texas Instruments Incorporated

7.1.47 FAULT_CLEAR 寄存器（偏移 = 78h）[复位 = 00h]

返回到汇总表。

故障清除

图 7-47. FAULT_CLEAR 寄存器

7	6	5	4	3	2	1	0
FAULT_CLR	RESERVED						
W-0h	W-0h						

表 7-49. FAULT_CLEAR 寄存器字段说明

位	字段	类型	复位	说明
7	FAULT_CLR	W	0h	WRITE CLEAR BIT **0：无故障清除** 1：清除模拟故障
6-0	RESERVED	W	0h	

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

Copyright © 2025 Texas Instruments Incorporated

8.1 典型应用

8.1.1 2.0（立体声 BTL）系统

在 2.0 系统中，通过数字输入信号为放大器提供了两个声道。这两个声道经过放大后分别发送到两个独立的扬声器。在某些情况下，经放大的信号会在 L-C 滤波器之后通过无源分频网络根据频率进一步进行分离。即使如此，该应用仍然被视为 2.0 系统。

上述两个声道通常为一个称作立体声对的信号对，一个声道包含左声道音频，另一个声道包含右声道音频。虽然这两个声道可以包含任何两个音频声道，例如多声道扬声器系统中的两个环绕声道，但双声道系统中最常见的是立体声对。

图 8-1 展示了 2.0（立体声 BTL）系统应用。

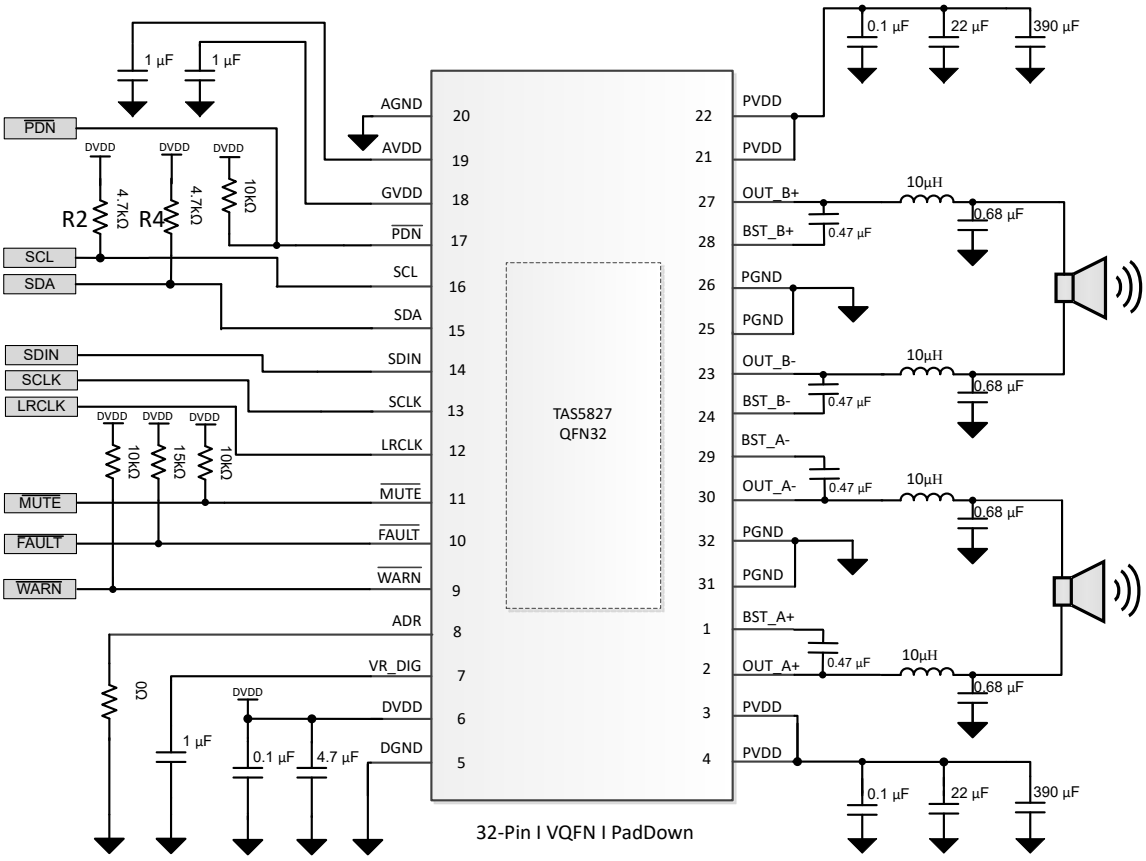


图 8-1. 2.0（立体声 BTL）系统应用原理图

8.1.2 单声道 (PBTL) 系统

在单通道模式下，TAS5827 可用作 PBTL 模式，以更高的输出功率驱动低音炮。

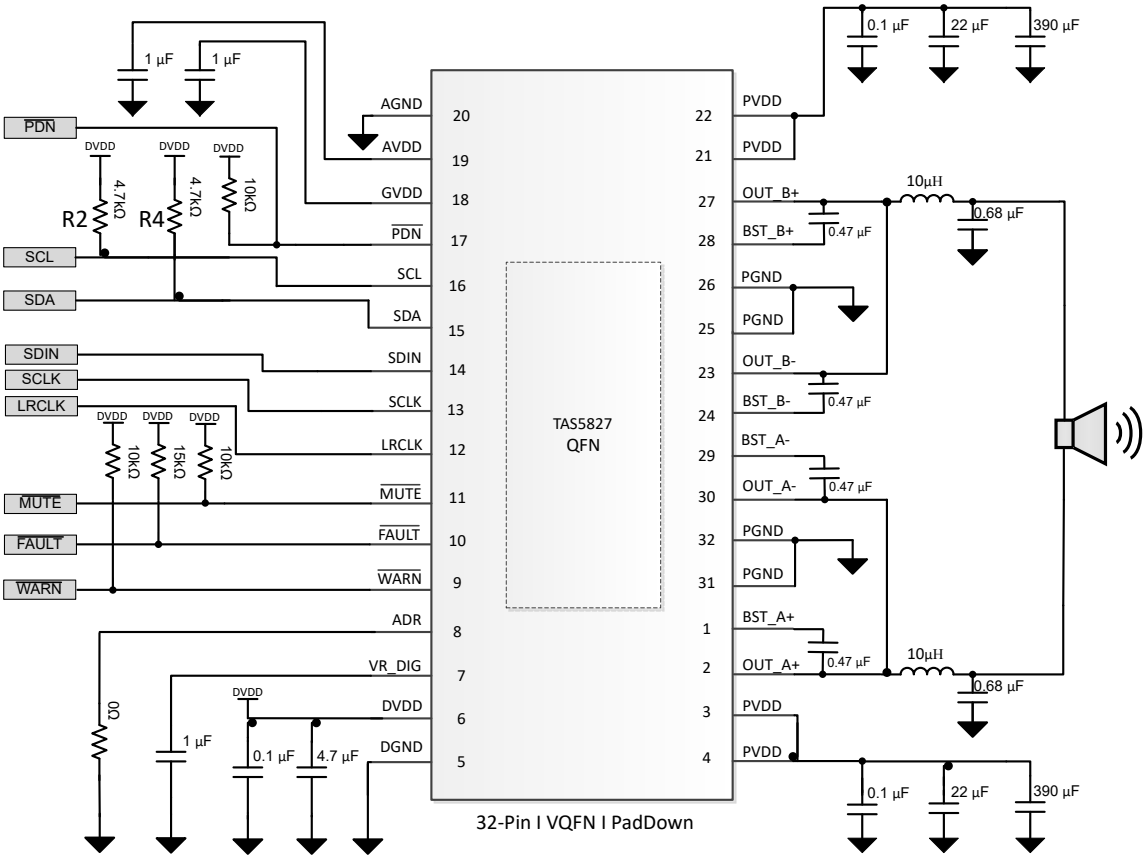


图 8-2. 低音炮 (PBTL) 应用原理图

8.2 布局

8.2.1 布局指南

8.2.1.1 音频放大器通用指南

包含开关输出级的音频放大器必须特别注意布局以及其周围使用的支持元件的布局。系统级性能指标，包括热性能、电磁兼容性 (EMC)、器件可靠性和音频性能，都会受到器件和支持元件布局的影响。

严格遵循 *布局示例* 中所示的布局指南即可符合应用部分中提供的器件和元件选型指南。这些示例代表了在布置器件时所涉及的工程权衡的示范性基准平衡。这些设计可以根据需要稍加修改以满足特定应用的需求。例如，在某些应用中，可以通过在器件中使用额外的连续覆铜，以增大器件涉及为代价来改善散热性能。反之，通过在内部走线进行布线并加入过孔栅栏和附加滤波元件，可以折损散热性能来优先考虑 EMI 性能。在所有情况下，TI 建议从 *布局示例* 中所示的指导开始，并与 TI 现场应用工程师合作，或通过 E2E 社区根据应用特定目标修改示例。

8.2.1.2 PVDD 网络中 PVDD 旁路电容布置的重要性

靠近电源放置旁路和去耦电容早已是业界的共识。这适用于 DVDD、AVDD、GVDD 和 PVDD。然而，TAS5827 器件的 PVDD 网络上的电容器值得特别注意。

DUT 的 PVDD 线路上的小旁路电容必须尽可能靠近 PVDD 引脚放置。这些器件远离引脚放置不仅会增加系统中的电磁干扰，还会对器件的可靠性造成负面影响。如果这些元件距离 TAS5827 器件太远，则会使输出引脚上出现振铃，导致输出引脚上的电压超出 绝对最大额定值 表中列出的最大允许额定值，从而损坏器件。因此，PVDD 网络中的电容与相关 PVDD 引脚的距离不得远于 *布局示例* 部分示例布局中所示的距离。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.3 优化散热性能

遵循节 8.1.1 所示的布局示例，在解决方案尺寸、散热性能、音频性能与电磁性能之间很好地取得良好平衡。在某些情况下，可能会因为设计限制条件而不可避免地偏离该指南。在此类情况下，系统设计人员必须确保器件中的热量能够扩散到周围的环境空气中。幸运的是，器件中产生的热量会自然地流向器件周围的低温结构。

8.2.1.3.1 器件、覆铜和元件布局

PCB 设计的主要目标是尽可能降低通向低温结构路径中的热阻。为实现这一目标，必须遵循以下建议：

- 应避免其他产热元件或结构靠近放大器放置（包括终端设备上方或下方）。
- 尽可能使用多层 PCB 来提升 TAS5827 器件的散热能力，防止走线和覆铜信号和电源层损坏顶层和底层的连续覆铜。
- 尽可能将 TAS5827 器件远离 PCB 边沿放置，确保热量能够沿器件四边扩散。
- 避免走线或过孔串阻碍热量从 TAS5827 器件流向周围区域。相反，应沿着器件垂直方向布线并纵向排列过孔。
- 除非无源器件的两个焊盘间的区域足够大，使得覆铜能够穿入两焊盘之间，否则，该无源器件的放置方向需确保其窄端朝向 TAS5827 器件。
- 由于接地引脚是封装中的最佳热导体，因此应保持尽可能多的接地引脚，在器件周围的 PCB 区域与接地引脚之间形成一个连续的接地层。

8.2.1.3.2 模板布局

本文档末尾的封装附录中列出了推荐的 TAS5827 器件 PCB 引脚布局和相关模板布局图。此外，还针对器件下方和周围的过孔排列给出了基本规范建议，作为 PCB 设计的起点。该指南是业内大多数制造能力的理想选择，并将可制造性优先于所有其他性能标准。在环境温度升高或高功率耗散用例下，该指南可能过于保守，可以使用先进的 PCB 设计技术来提高系统的热性能。

备注

客户必须验证偏离封装附录中所示的指南（包括本节中所述的偏离）是否满足客户的质量、可靠性和可制造性目标。

8.2.1.3.3 PCB 引脚布局和过孔排列

PCB 尺寸（亦称作符号或焊盘图案）会向 PCB 制造供应商传达焊接 TAS5827 器件的覆铜图案的形状和位置。该引脚布局可直接从本数据表末尾的封装附录中获悉。TI 建议确保散热焊盘（以电气或热连接方式连接至 TAS5827 器件的 PowerPAD™）的尺寸不小于封装附录中规定的尺寸。此方法可确保 TAS5827 器件能够具有最大接口，便于将热量从器件传递到电路板。

封装附录中显示的过孔模型提供了一种增强型接口，可将热量从器件传递到多层 PCB，这是因为小直径的镀铜过孔（孔环尺寸最小）在器件与 PCB 之间形成了一条低热阻路径。热量一旦进入 PCB，便会扩散到周围的结构和空气中。增加过孔数量之后（如*布局示例*所示），该接口可以提升散热性能。

备注

如果过孔构造不当，则会阻碍热量流动。

关于过孔的构造和放置的更多说明如下：

- 移除散热过孔上的散热焊盘，因为它们会阻碍热量通过过孔。
- 使用导热材料填充的过孔最佳，但也可以使用简单的镀铜过孔，避免填充过孔增加成本。
- 钻头直径不得超过 8 毫米。此外，应尽可能缩短过孔套管与周围平面的距离，这样有助于热量从过孔扩散到周围的覆铜材料。在所有情况下，均应根据过孔周围接地平面的电压确定最小间距，并尽可能缩小间距。
- 过孔应纵向排列，从热源向周围区域放射性扩散。这种排列如*布局示例*所示。
- 确保过孔不会阻碍电源电流从电源流向内层平面。如有需要，可移除一些距离 TAS5827 器件最远的过孔，以开通与器件之间的电流路径。

8.2.1.3.4 焊接模板

在 PCB 组装过程中，PCB 顶部会放置一片称作模板的金属，并在模板中 PCB 上有开口（称作孔径）的位置镀上焊锡膏。在电子元件制造过程中，模板决定了在 PCB 上应用的焊膏量和位置。大多数情况下，每个元件焊盘孔径的尺寸几乎与焊盘本身尺寸一样大。但是，PCB 上的散热焊盘尺寸非常大，沉积一大块焊锡膏会导致制造问题。因此，应转而采用多个孔径对电路板进行焊接，以便在组装过程中对焊膏进行除气，并降低器件下方焊点桥接的风险。此结构称作孔径阵列，如*布局示例*部分所示。确保孔径阵列的总面积（所有小孔径的面积之和）覆盖散热焊盘本身面积的 70% 到 80%。

8.2.2 布局示例

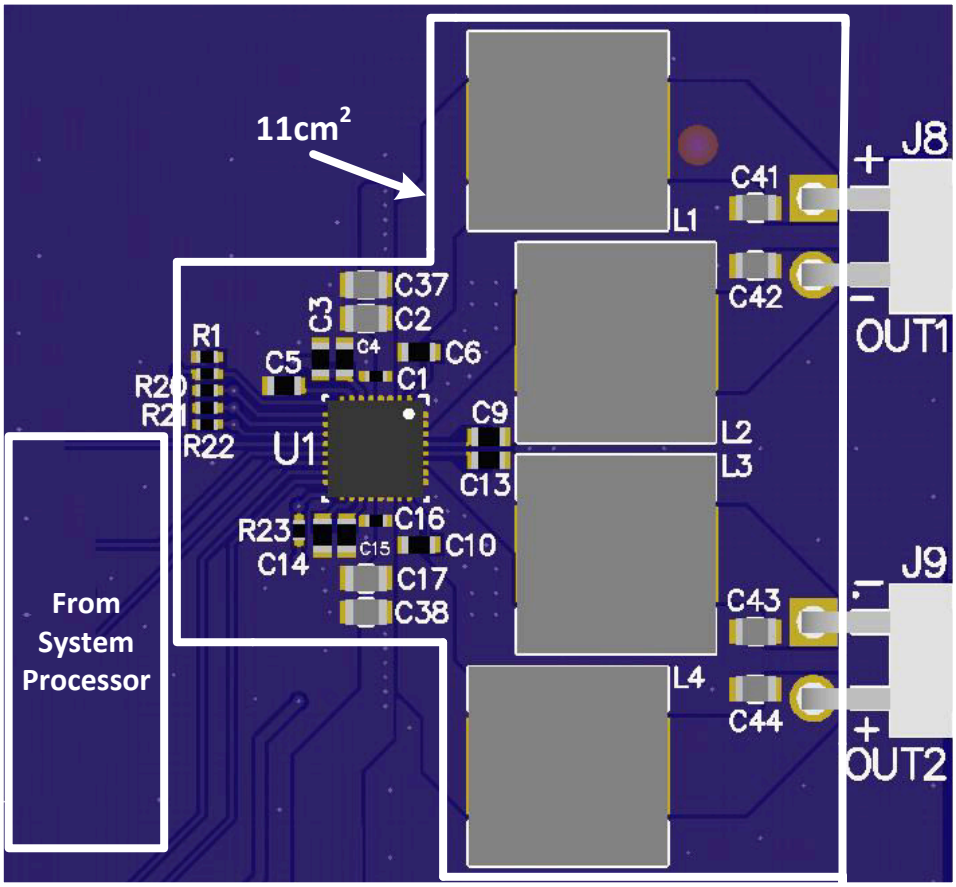


图 8-3. 2.0（立体声 BTL）3D 视图

Copyright © 2025 Texas Instruments Incorporated

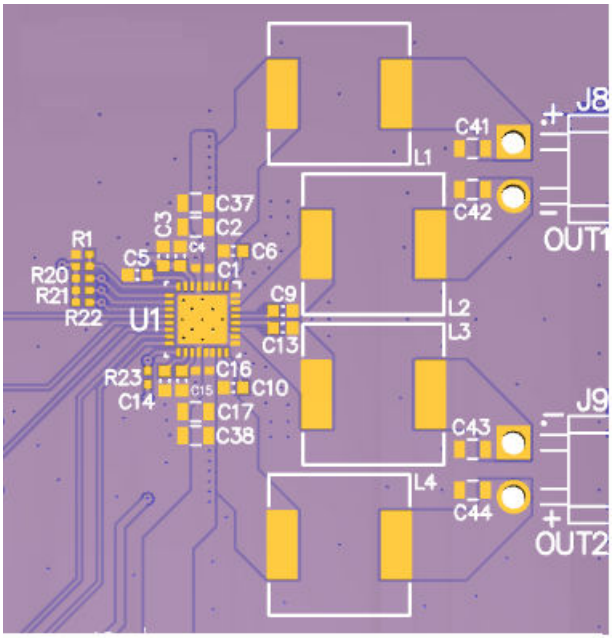


图 8-4. 2.0（立体声 BTL）顶层覆铜视图

8.3 电源相关建议

TAS5827 器件需要两个电源才能正常工作。需要称为 PVDD 的高压电源来为扬声器放大器的输出级及其相关电路供电。此外，还需要一个称为 DVDD 的低压电源来为器件的各个低功耗部分供电。建议运行条件 表列出了 PVDD 和 DVDD 电源允许的电压范围。两个电源没有所需的上电顺序。现在可按以下顺序打开电源。

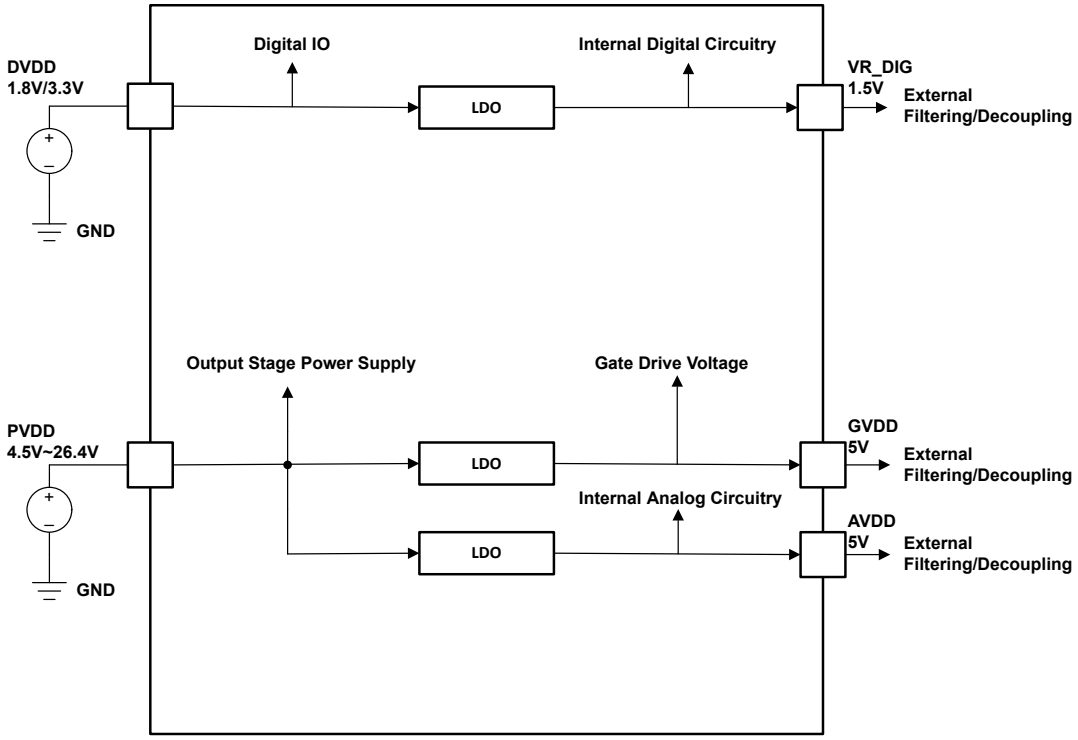


图 8-5. 电源功能方框图

8.3.1 DVDD 电源

系统需要使用 DVDD 电源来为器件的各部分供电。如 图 8-5 所示，DVDD 电源为 DVDD 引脚供电。*节 8* 和 *布局示例* 中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。

器件的某些部分还会需要电压低于 DVDD 电源电压的独立电源。为简化系统的电源需求，TAS5827 器件中集成了一个低压降 (LDO) 线性稳压器，以提供这一电源。此线性稳压器内部连接到 DVDD 电源，其输出位于 DVDD_REG 引脚上，为外部旁路电容器提供了一个连接点。注意，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载可导致电压骤降，从而对器件的性能和运行产生负面影响。

8.3.2 PVDD 电源

扬声器放大器的输出级使用 PVDD 电源驱动负载。此电源在回放过程中为负载提供驱动电流。TAS5827EVM 中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。考虑到输出级的高电压切换，必须遵照 TAS5827 器件 *PVDD 网络中 PVDD 旁路电容布置的重要性* 中所述的方式对输出功率级进行正确去耦。如果未遵照 *PVDD 网络中 PVDD 旁路电容布置的重要性* 中所示进行正确去耦，则会产生电压尖峰，进而可能导致器件受损。

扬声器放大器输出级所用 MOSFET 的栅极需要使用独立电源加以驱动。此电源由 PVDD 电源通过集成线性稳压器提供。提供 GVDD 引脚用于连接栅极驱动电压稳压器的去耦电容器。需要注意的是，器件中集成的线性稳压器

Copyright © 2025 Texas Instruments Incorporated

仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的附加负载会导致电压降低，进而对器件的性能和运行产生负面影响。

另一个通过集成线性稳压器从 PVDD 电源获得的独立电源是 AVDD。提供 AVDD 引脚用于连接 TAS5827 内部电路的去耦电容器。需要注意的是，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的附加负载会导致电压降低，进而对器件的性能和运行产生负面影响。

9 器件和文档支持

9.1 器件支持

9.1.1 器件命名规则

术语表部分是一个通用的术语表，其中包括常用的缩写和词语，它们都是根据一个范围广泛的 TI 计划定义的，符合 JEDEC、IPC、IEEE 等行业标准。本节中提供的术语表定义了本产品和文档、配套资料或与本产品配合使用的支持工具和软件独有的词汇、短语和缩写。如对定义和术语有其他疑问，请访问 e2e 音频放大器论坛。

桥接式负载 (BTL) 是一种输出配置，其中扬声器的两端分别连接一个半桥。

DUT 是指*被测器件*，用于区分不同的器件。

闭环架构是一种拓扑结构，其中放大器监视输出端子、对比输出信号与输入信号，并尝试修正输出信号的非线性。

动态控件是指系统或终端用户在正常使用时可更改的控件。

GPIO 是通用输入/输出引脚。该引脚是一个高度可配置的双向数字引脚，可执行系统所需的多种功能。

主机处理器（也称系统处理器、标量、主机或系统控制器） 是指用作中央系统控制器的器件，可为连接到主处理器的器件提供控制信息，还可以从主处理器的上游器件采集音频源数据并将数据分配给其他器件。该器件通常配置音频路径中音频处理器件（如 TAS5827）的控件，从而根据频率响应、时间校准、目标声压级、系统安全运行区域和用户偏好优化扬声器的音频输出。

HybridFlow 搭配使用 RAM 内置的元件和 ROM 内置的元件来构成一款可配置器件，不仅比完全可编程器件更易于使用，而且还能保持足够的灵活性以适应多种应用。

最大持续输出功率是指放大器在 25°C 工作环境温度下可持续（不关断）提供的最大输出功率。测试需要在温度达到热平衡且不再上升的时间段执行

并行桥接负载 (PBTL) 是一种输出配置，其中扬声器的两端分别连接一对并行放置的半桥

$r_{DS(on)}$ 是指放大器输出级中所用 MOSFET 的导通电阻。

静态控件/静态配置是指系统正常使用时不发生变化的控件。

过孔是指 PCB 中的镀铜通孔。

9.1.2 开发支持

有关 RDGUI 软件，请咨询当地的现场支持工程师。

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的*提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

Copyright © 2025 Texas Instruments Incorporated

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2023) to Revision A (November 2025)	Page
• 更新了简化版原理图	1
• 更新了 DIG_VOL 和 DEVICE_CTRL2 寄存器	47

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS5827RHBR	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TAS 5827
TAS5827RHBR.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	TAS 5827

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

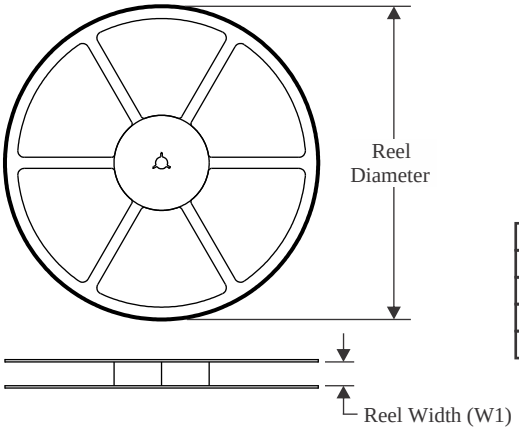
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

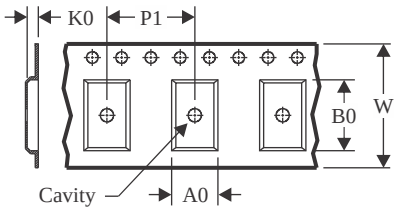
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

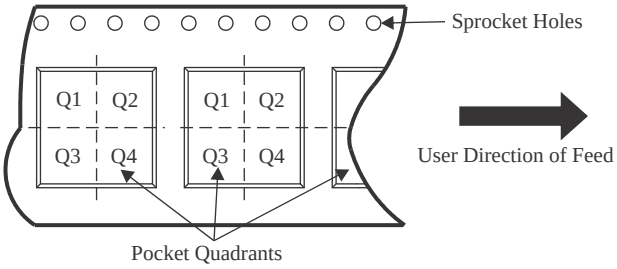


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

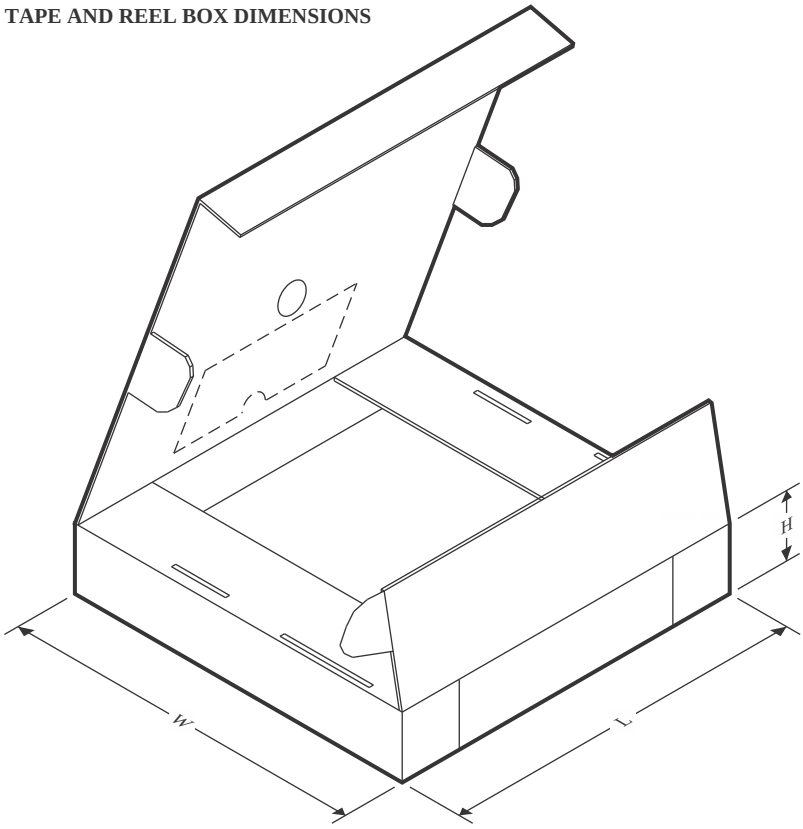
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5827RHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5827RHBR	VQFN	RHB	32	3000	367.0	367.0	35.0

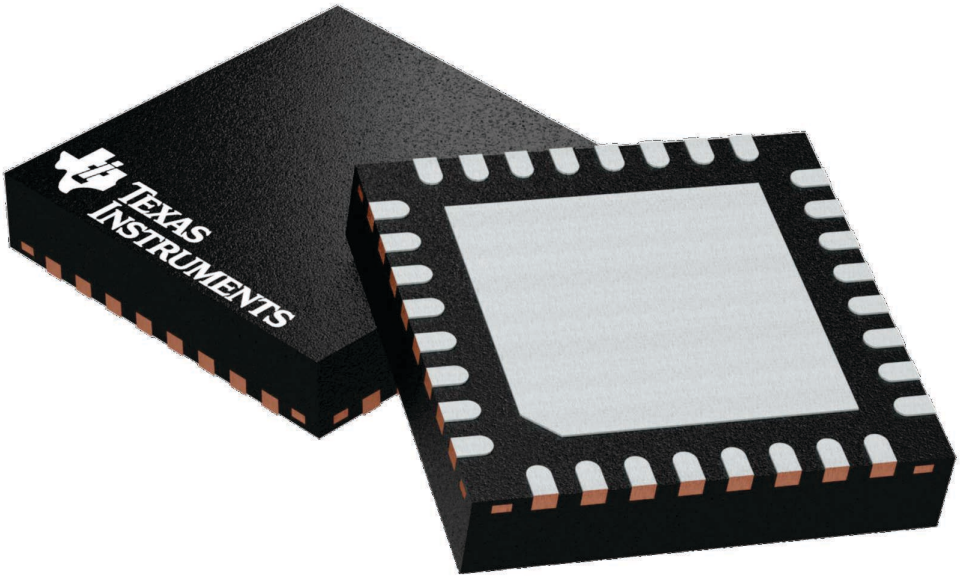
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

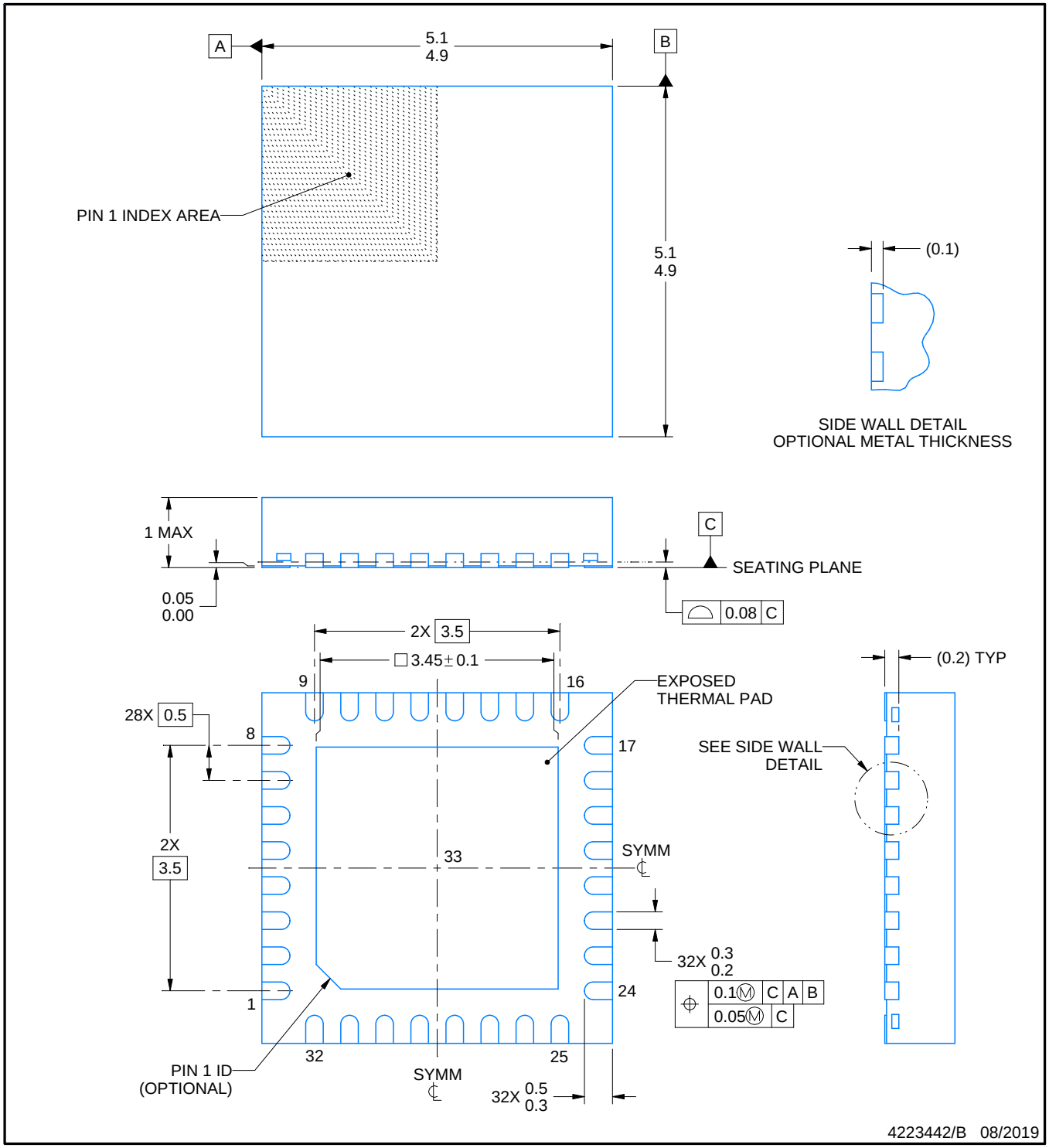
4224745/A

RHB0032E

PACKAGE OUTLINE

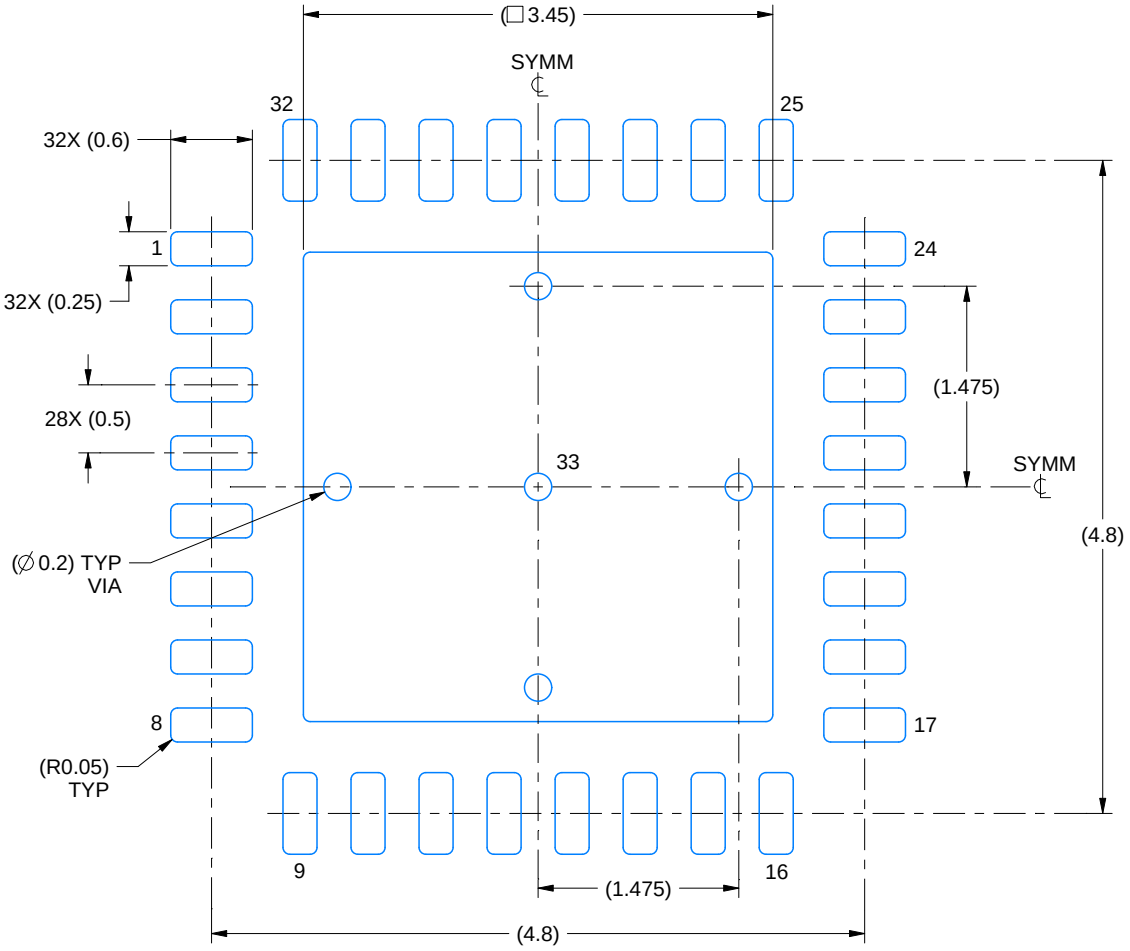
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

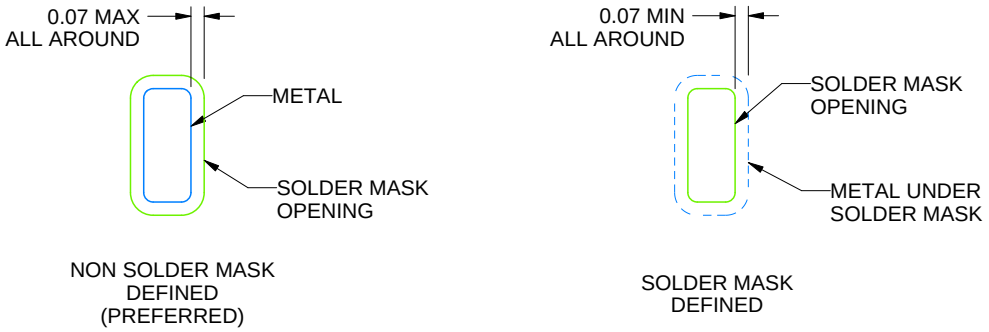


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:18X

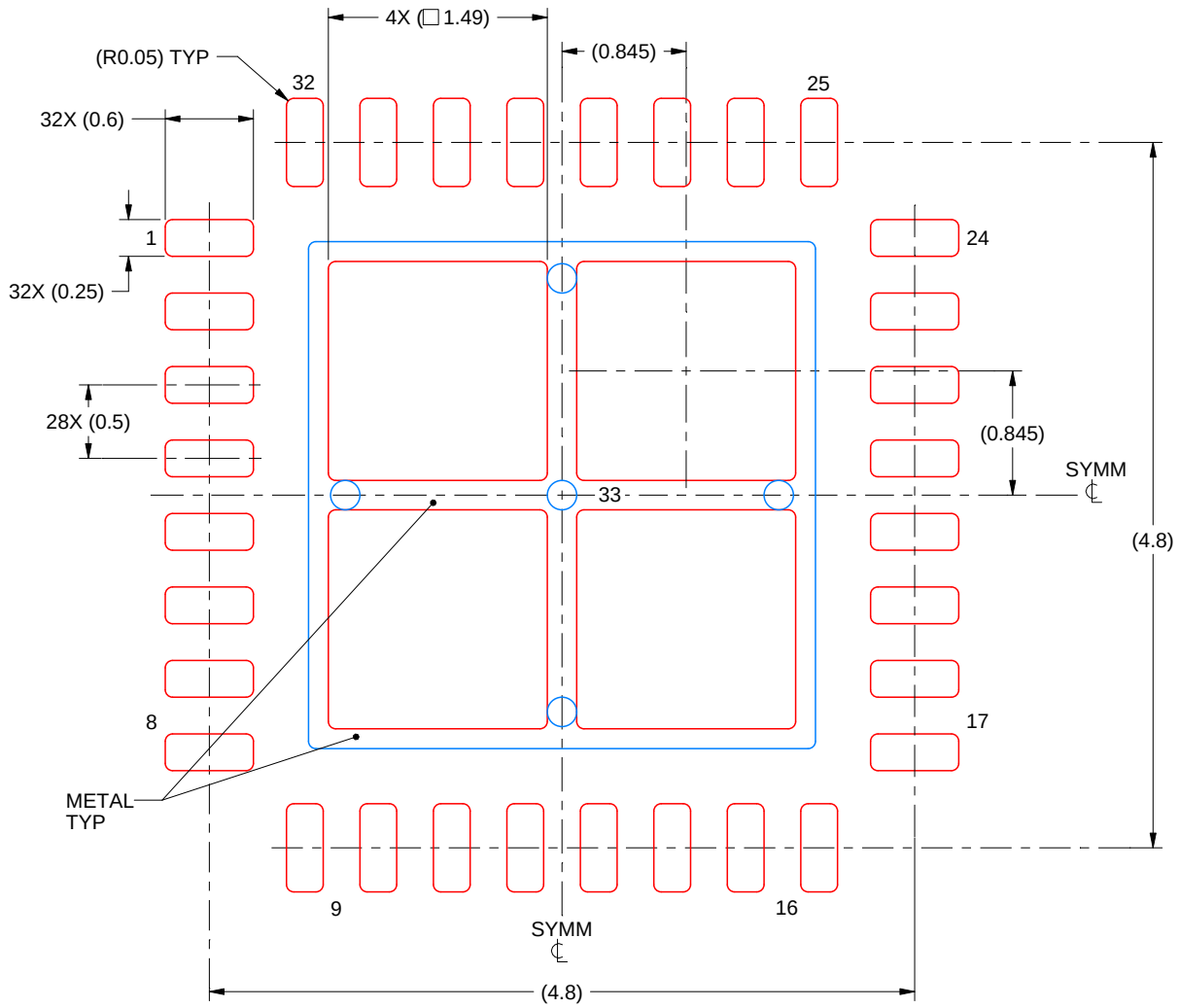


SOLDER MASK DETAILS

4223442/B 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4223442/B 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月