TAC5242 具有 119dB 动态范围 ADC 和 120dB 动态范围 DAC 的硬件控制型立体声音频编解码器

1 特性

- 立体声音频 ADC 通道
  - 性能：
    - 线路/麦克风差分输入动态范围：119dB
    - 差分输入 THD+N：-98dB
  - 输入电压：
    - 差分 $2V_{RMS}$ 满量程输入
    - 单端 $1V_{RMS}$ 满量程输入
  - ADC 采样速率 (f_S) = 8kHz 至 192kHz
  - 具有可配置截止频率的数字 HPF：
    - 1Hz 或 12Hz（48kHz 采样速率）
  - 低噪声麦克风偏置
- 立体声音频 DAC 通道
  - 性能：
    - DAC 至差分线路输出动态范围：120dB
    - DAC 至伪差分耳机输出动态范围：110dB
    - THD+N：-100dB
  - 输出电压：
    - 差分线路输出/接收器，$2V_{RMS}$ 满标度
    - 伪差分耳机，$1V_{RMS}$ 满标度
    - 单端线路输出，$1V_{RMS}$ 满标度
  - DAC 采样速率 (f_s) = 8kHz 至 192kHz
- 常见特性
  - 引脚或硬件控制
  - 音频串行接口
    - 格式：TDM、I^2S 或左对齐 (LJ)
    - 总线控制器和目标模式
    - 可配置的 TDM 时隙
    - 字长：可选择 24 位或 32 位
  - 引脚可选数字抽取/内插滤波器选项：
    - 线性相位或低延迟
  - 集成型 PLL
  - 自动时钟和采样速率检测
  - 发生时钟错误时中断输出
  - 单电源运行 AVDD：1.8V 或 3.3V
  - I/O 电源运行：1.8V 或 3.3V
  - 温度等级 1：–40°C ≤ T_A ≤ +125°C

2 应用

- 视频会议系统
- IP 网络摄像机
- IP 电话
- 智能扬声器
- 专业音频混合器/控制平面

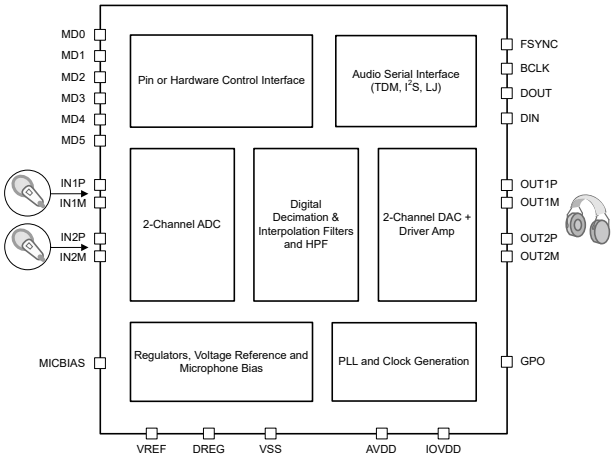
3 说明

TAC5242 是一款高性能 低功耗 立体声音频编解码器，具有 $2V_{RMS}$ 差分输入、119dB 动态范围 ADC 和 $2V_{RMS}$ 差分输出、120dB 动态范围 DAC。TAC5242 支持差分和单端输入与输出。该 ADC 支持线路/麦克风输入信号，并提供交流或直流耦合配置选项，DAC 输出可配置为线路输出或耳机负载。该 DAC 可为 16Ω 耳机负载提供高达 62.5mW 的驱动功率。器件集成了锁相环 (PLL) 并支持高达 192kHz 的 ADC 和 DAC 信号链采样速率。该器件还集成了一个直流消除数字高通滤波器 (HPF)，该滤波器具有用于 ADC 信号链的可配置截止频率。TAC5242 在控制器和目标模式下支持时分多路复用 (TDM)、左对齐 (LJ) 或 I^2S 音频格式，并可通过引脚或硬件控制。这些集成的高性能特性、引脚控制以及单电源运行，使 TAC5242 特别适用于空间受限的音频应用。

器件信息

器件型号	封装(1)	封装尺寸（标称值）(2)
TAC5242	VQFN (24)	4mm x 4mm，间距为 0.5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）



简化版方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 器件比较表....3
5 引脚配置和功能.... 4
6 规格.... 6
6.1 绝对最大额定值....6
6.2 ESD 等级.... 6
6.3 建议运行条件.... 6
6.4 热性能信息....7
6.5 电气特性....7
6.6 时序要求：TDM、I²S 或 LJ 接口.... 11
6.7 开关特性：TDM、I²S 或 LJ 接口.... 11
6.8 时序图.... 12
6.9 典型特性....13
7 详细说明.... 18
7.1 概述....18
7.2 功能方框图....18
7.3 特性说明....18
7.4 器件功能模式.... 47
8 应用和实施....48
8.1 应用信息....48
8.2 典型应用....48
8.3 电源相关建议.... 50
8.4 布局....51
9 器件和文档支持.... 52
9.1 文档支持....52
9.2 接收文档更新通知.... 52
9.3 支持资源....52
9.4 商标....52
9.5 静电放电警告.... 52
9.6 术语表.... 52
10 修订历史记录....52
11 机械、封装和可订购信息.... 52

Copyright © 2024 Texas Instruments Incorporated

4 器件比较表

特性	TAC5242	TAC5142	TAC5212	TAC5112	TAC5211	TAC5111
控制接口	引脚或硬件控制		I^2C 或 SPI			
数字音频串行接口	TDM、I^2S 或左对齐 (LJ)					
音频 ADC 通道	2		2		1	
数字麦克风通道	不可用 (N/A)		4		2	
麦克风偏置	是（固定电压）		是（可编程电压）			
ADC 动态范围	119dB	103dB	119dB	105dB	119dB	105dB
音频 DAC 通道	2		2		1	
DAC 动态范围	120dB	110dB	120dB	114dB	120dB	114dB
兼容性	引脚对引脚、封装和控制配置兼容；彼此之间可直接替代		引脚对引脚、封装和控制寄存器兼容；彼此之间可直接替代		引脚对引脚、封装和控制寄存器兼容；彼此之间可直接替代	
封装	VQFN，24 引脚，4.00mm× 4.00mm，间距为 0.5mm					

5 引脚配置和功能

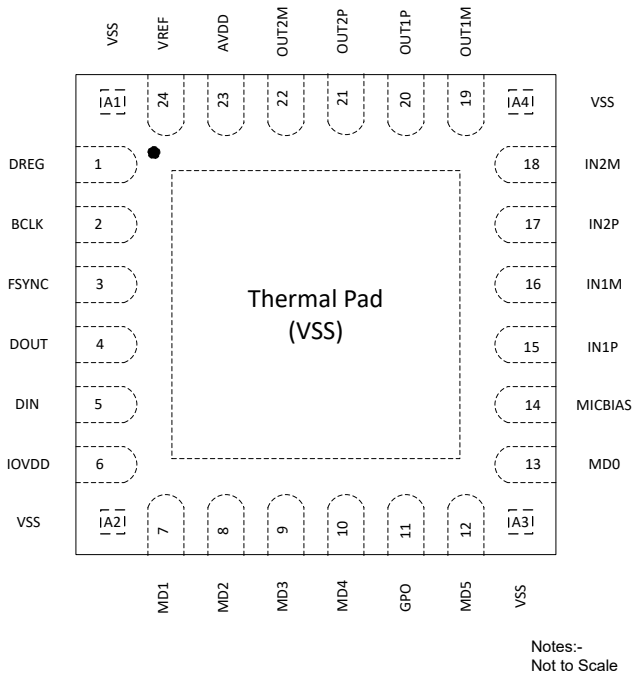


图 5-1. 带有外露散热焊盘和转角引脚的 24 引脚 QFN 封装，顶视图

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
VSS	A1	接地	接地引脚。直接短接至电路板接地层。
DREG	1	数字电源	数字电源的数字片上稳压器输出电压（标称值为 1.55V）
BCLK	2	数字 I/O	音频串行数据接口总线位时钟
FSYNC	3	数字 I/O	音频串行数据接口总线帧同步信号
DOUT	4	数字输出	音频串行数据接口总线输出
DIN	5	数字输入	音频串行数据接口总线输入
IOVDD	6	数字电源	数字 I/O 电源（标称值为 1.8V 或 3.3V）
VSS	A2	接地	接地引脚。直接短接至电路板接地层。
MD1	7	数字输入	控制器模式：帧速率和 BCLK 频率选择
			目标模式：AVDD 电源、字长和抽取/内插滤波器类型选择
MD2	8	数字输入	控制器模式：帧速率和 BCLK 频率选择
			目标模式：AVDD 电源、字长和抽取/内插滤波器类型选择
MD3	9	数字输入	控制器模式：控制器时钟输入
			TDM 目标模式：数据时隙选择
			I^2S/LJ 目标模式：ADC 的数字 HPF 截止频率和输入电容器快速充电设置
MD4	10	数字输入	ADC/DAC 输入/输出配置选择
GPO	11	数字输出	中断输出（锁存）
MD5	12	数字输入	ADC/DAC 输入/输出配置选择
VSS	A3	接地	接地引脚。直接短接至电路板接地层。
MD0	13	模拟输入	用于控制器/目标模式和 I^2S/TDM/LJ 模式选择的多级模拟输入
MICBIAS	14	模拟	麦克风偏置输出

Copyright © 2024 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

引脚		类型	说明
名称	编号		
IN1P	15	模拟输入	模拟输入 1P 引脚
IN1M	16	模拟输入	模拟输入 1M 引脚
IN2P	17	模拟输入	模拟输入 2P 引脚
IN2M	18	模拟输入	模拟输入 2M 引脚
VSS	A4	接地	接地引脚。直接短接至电路板接地层。
OUT1M	19	模拟输出	模拟输出 1M 引脚
OUT1P	20	模拟输出	模拟输出 1P 引脚
OUT2P	21	模拟输出	模拟输出 2P 引脚
OUT2M	22	模拟输出	模拟输出 2M 引脚
AVDD	23	模拟电源	模拟电源（标称值为 1.8V 或 3.3V）
VREF	24	模拟	模拟基准电压滤波器输出
VSS	散热焊盘	接地	散热焊盘短接至内部器件接地。直接短接至电路板接地层。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压	AVDD 至 VSS（散热焊盘）	-0.3	3.9	V
电源电压	IOVDD 至 VSS（散热焊盘）	-0.3	3.9	V
接地电压差	VSS 至 VSS（散热焊盘）	-0.3	0.3	V
模拟输入电压	数字输入引脚电压至 VSS（散热焊盘）	-0.3	AVDD + 0.3	V
数字输入电压	数字输入引脚电压至 VSS（散热焊盘）	-0.3	IOVDD + 0.3	V
温度	功能环境温度，T_A	-55	125	°C
	工作环境温度，T_A	-40	125	
	结温，T_J	-40	150	
	贮存温度，T_{stg}	-65	150	

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
$V_{(ESD)}$	静电放电	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	标称值	最大值	单位
电源					
AVDD[(1)]	模拟电源电压至 VSS（散热焊盘）- AVDD 3.3V 运行	3.0	3.3	3.6	V
	模拟电源电压至 VSS（散热焊盘）- AVDD 1.8V 运行	1.65	1.8	1.95	
IOVDD	IO 电源电压至 VSS（散热焊盘）- IOVDD 3.3V 运行	3.0	3.3	3.6	V
	IO 电源电压至 VSS（散热焊盘）- IOVDD 1.8V 运行	1.65	1.8	1.95	
输入					
INxx	数字输入引脚电压至 VSS（散热焊盘）	0		AVDD	V
IO	数字输入引脚（MD1 至 MD5）电压至 VSS（散热焊盘）	0		IOVDD	V
MD0	MD0 引脚，以 VSS 为基准（散热焊盘）	0		AVDD	V
温度					
T_A	工作环境温度	-40		125	°C

Copyright © 2024 Texas Instruments Incorporated

		最小值	标称值	最大值	单位
其他					
CCLK	MD3 控制器模式时钟频率 (CCLK) - IOVDD 3.3V 运行			36.864[(2)]	MHz
	MD3 控制器模式时钟频率 (CCLK) - IOVDD 1.8V 运行			24.576[(2)]	
C_L	数字输出负载电容		20	50	pF

(1) VSS 和 VSS（散热焊盘）；所有接地引脚必须连接在一起，并且电压差异不得超过 0.2V。
(2) CCLK 输入上升时间（V_{IL} 到 V_{IH}）和下降时间（V_{IH} 到 V_{IL}）必须小于 5ns。为了获得更好的音频噪声性能，必须使用低抖动的 CCLK 输入。

6.4 热性能信息

热指标[(1)]		TAC5242 RGE (VQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	38.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	26.3	°C/W
$R_{\theta JB}$	结至电路板热阻	15.9	°C/W
ψ_{JT}	结至顶部特征参数	0.5	°C/W
ψ_{JB}	结至电路板特征参数	15.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	13.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位抽取/内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
输入记录的 ADC 性能						
	差分输入满量程交流信号电压	交流耦合输入		2		V_{RMS}
	单端输入满量程交流信号电压	交流耦合输入		1		V_{RMS}
SNR	信噪比，A 加权[(1) (2)]	INxx 差分交流耦合输入和交流信号对地短路		119		dB
		在高共模容差模式 (MD5-MD4 = 2'b01) 下，INxx 差分直流耦合输入和交流信号对地短路		112		
SNR	信噪比，A 加权[(1) (2)]	INxx 差分交流耦合输入，交流信号对地短路，AVDD = 1.8V		113		dB
		在高共模容差模式 (MD5-MD4 = 2'b01) 下，INxx 差分直流耦合输入和交流信号对地短路，AVDD = 1.8V		105		
SNR	信噪比，A 加权[(1) (2)]	INxx 单端交流耦合输入和交流信号对地短路		110		dB
		INxx 单端交流耦合输入和交流信号对地短路，AVDD = 1.8V		104		
DR	动态范围，A 加权[(2)]	INxx 差分交流耦合输入和 –60dBFS 交流信号输入		119		dB
		在高共模容差模式 (MD5-MD4 = 2'b01) 下，INxx 差分直流耦合输入和 –60dBFS dB 交流信号输入		112		

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位抽取/内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
DR	动态范围，A 加权[(2)]	INxx 差分交流耦合输入和 –60dBFS 交流信号输入，AVDD = 1.8V		113		dB
		在高共模容差模式 (MD5-MD4 = 2'b01) 下，INxx 差分直流耦合输入和 –60dBFS dB 交流信号输入，AVDD = 1.8V		105		
DR	动态范围，A 加权[(2)]	INxx 单端交流耦合输入和 –60dBFS 交流信号输入		110		dB
		INxx 单端交流耦合输入和 –60dBFS 交流信号输入，AVDD = 1.8V		105		
THD+N	总谐波失真[(2)]	INxx 差分交流耦合输入和 –1dBFS 交流信号输入		-98		dB
		在高共模容差模式 (MD5-MD4 = 2'b01) 下，INxx 差分直流耦合输入和 –1dBFS 交流信号输入		-98		
ADC 其他参数						
	交流输入阻抗	输入引脚 INxP 或 INxM		5		kΩ
	输出数据字长	可根据 MD1/MD2 配置选择引脚	24		32	位
	数字高通滤波器截止频率	一阶 IIR 滤波器， –3dB 点（引脚可选）	1		12	Hz
	通道间隔离	–1dBFS 交流信号线路输入差分输入至非测量通道		-134		dB
	通道间增益不匹配	–6dBFS 交流信号线路输入差分输入， 1kHz 正弦信号		±0.1		dB
	通道间相位不匹配	–6dBFS 交流信号线路输入差分输入， 1kHz 正弦信号		±0.01		度
PSRR	电源抑制比	100mV_{PP}，AVDD 上 1kHz 正弦信号，差分输入		120		dB
麦克风偏置						
	MICBIAS 噪声	带宽 = 20Hz 至 20kHz，A 加权， MICBIAS 和 VSS（散热焊盘）之间连接 1μF 电容器		2		μV_{RMS}
	MICBIAS 电压	AVDD = 1.8V		1.375		V
		AVDD = 3.3V		2.75		

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位抽取/内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
线路输出/耳机回放的 DAC 性能						
	满量程输出电压	OUTxP 和 OUTxM 之间的差分输出，AVDD = 3.3V		2		V_{RMS}
		OUTxP 和 OUTxM 之间的差分输出，AVDD = 1.8V		1		
		单端输出，AVDD = 3.3V		1		
		单端输出，AVDD = 1.8V		0.5		
		OUTxP 和 OUT1M 之间的伪差分输出，具有外部共模检测，AVDD = 3.3V		1		
		OUTxP 和 OUT1M 之间的伪差分输出，具有外部共模检测，AVDD = 1.8V		0.5		
SNR	信噪比，A 加权(1) (2)	差分输出，0dBFS 信号，AVDD = 3.3V		120		dB
		单端输出，0dBFS 信号，AVDD = 3.3V		111		
		伪差分输出，0dBFS 信号，AVDD = 3.3V		110		
		差分输出，0dBFS 信号，AVDD = 1.8V		115		
		单端输出，0dBFS 信号，AVDD = 1.8V		105		
		伪差分输出，0dBFS 信号，AVDD = 1.8V		104		
DR	动态范围，A 加权(2)	差分输出，-60dBFS 信号，AVDD = 3.3V		120		dB
		单端输出，-60dBFS 信号，AVDD = 3.3V		111		
		伪差分输出，-60dBFS 信号，AVDD = 3.3V		110		
		差分输出，-60dBFS 信号，AVDD = 1.8V		115		
		单端输出，-60dBFS 信号，AVDD = 1.8V		105		
		伪差分输出，-60dBFS 信号，AVDD = 1.8V		104		
THD+N	总谐波失真(2)	差分输出，-1dBFS 信号，AVDD = 3.3V		-100		dB
		单端输出，-1dBFS 信号，AVDD = 3.3V		-96		
	耳机负载范围		8	16	300	Ω
	耳机/线路输出电容负载		0	100	550	pF
	线路输出负载范围		600			Ω
DAC 通道其他参数						
	输出偏移	0 输入，差分线路输出		±0.5		mV
	输出共模	OUTxP 和 OUTxM 的共模电平 AVDD = 1.8V		0.9		V
		OUTxP 和 OUTxM 的共模电平 AVDD = 3.3V		1.65		
	共模误差	共模电压下的直流误差		±10		mV
	输出信号带宽			20		kHz
	输入数据字长	可根据 MD1/MD2 配置选择引脚	24		32	位
	通道间隔离	差分输出，非测量通道上的 –1dBFS 输入信号		-120		dB
	增益误差	差分输出，-6dBFS 输入信号		±0.1		
	通道间增益不匹配	差分输出，-6dBFS 输入信号		±0.1		dB
	通道间相位不匹配	差分输出，-6dBFS 输入信号		±0.01		度
PSRR	电源抑制比	100mV_{PP}，AVDD 上 1kHz 正弦信号，差分输入，0dB 通道增益		120		dB

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位抽取/内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
P_{out}	输出电力输送	接收器/耳机 R_L= 16Ω，在差分或伪差分模式下 THD+N <1%		62.5		mW
数字 I/O						
V_{IL}	低电平数字输入逻辑电压阈值	所有数字引脚，IOVDD 1.8V 运行电压	-0.3		0.35 x IOVDD	V
		所有数字引脚，IOVDD 3.3V 运行电压	-0.3		0.8	
V_{IH}	高电平数字输入逻辑电压阈值	所有数字引脚，IOVDD 1.8V 运行电压	0.65 x IOVDD		IOVDD + 0.3	V
		所有数字引脚，IOVDD 3.3V 运行电压	2		IOVDD + 0.3	
V_{OL}	低电平数字输出电压	所有数字引脚，I_{OL} = –2mA，IOVDD 1.8V 运行电压			0.45	V
		所有数字引脚，I_{OL} = –2mA，IOVDD 3.3V 运行电压			0.4	
V_{OH}	高电平数字输出电压	所有数字引脚，I_{OH} = 2mA，IOVDD 1.8V 运行电压	IOVDD – 0.45			V
		所有数字引脚，I_{OH} = 2mA，IOVDD 3.3V 运行电压	2.4			
I_{IL}	数字输入的输入逻辑低电平泄漏电流	所有数字引脚，输入 = 0V	-5	0.1	5	μA
I_{IH}	数字输入的输入逻辑高电平泄漏电流	所有数字引脚，输入 = IOVDD	-5	0.1	5	μA
C_{IN}	数字输入的输入电容	所有数字引脚		5		pF
R_{PD}	置位时数字 I/O 引脚的下拉电阻			20		kΩ
典型电源电流消耗						
I_{AVDD}	睡眠模式或低功耗模式下的电流消耗	所有外部时钟均停止，AVDD = 3.3V		1.37		mA
I_{IOVDD}		所有外部时钟均停止，IOVDD = 3.3V		0.6		μA
I_{IOVDD}		所有外部时钟均停止，IOVDD = 1.8V		0.3		
I_{AVDD}	ADC 2 通道和 DAC 至线性输出 2 通道在 f_S 16kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		22.8		mA
I_{IOVDD}		IOVDD = 3.3V		0.05		
I_{IOVDD}		IOVDD = 1.8V		0.02		
I_{AVDD}	ADC 2 通道和 DAC 至线性输出 2 通道在 f_S 48kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		26.7		mA
I_{IOVDD}		IOVDD = 3.3V		0.1		
I_{IOVDD}		IOVDD = 1.8V		0.05		
I_{AVDD}	ADC 2 通道和 DAC 至耳机 2 通道在 f_S 16kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		21.6		mA
I_{IOVDD}		IOVDD = 3.3V		0.06		
I_{IOVDD}		IOVDD = 1.8V		0.03		

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位抽取/内插滤波器、采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）

参数		测试条件	最小值	标称值	最大值	单位
I_{AVDD}	ADC 2 通道和 DAC 至耳机 2 通道在 f_S 48kHz、I^2S 目标模式、BCLK = 64 × f_S 下运行时的电流消耗	AVDD = 3.3V		26		mA
I_{IOVDD}		IOVDD = 3.3V		0.06		
I_{IOVDD}		IOVDD = 1.8V		0.03		

(1) 在 1kHz 满标量程正弦波输入时的输出电平与交流信号输入对地短路（或无发生器信号输入）时的输出电平之比，使用音频分析仪在 20Hz 至 20kHz 的带宽范围内测量并进行 A 加权。
(2) 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器（如注明）完成。如果不使用此类滤波器，会导致比“电气特性”中所示更高的 THD+N 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声，尽管这种噪声不可闻，但会影响动态规格值。

6.6 时序要求：TDM、I^2S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 6-1

			最小值	标称值	最大值	单位
$t_{(BCLK)}$	BCLK 周期	IOVDD = 1.8V	80			ns
		IOVDD = 3.3V	40			
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间(1)	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间(1)	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{SU(FSYNC)}$	FSYNC 设置时间	IOVDD = 1.8V	8			ns
		IOVDD = 3.3V	8			
$t_{HLD(FSYNC)}$	FSYNC 保持时间	IOVDD = 1.8V	8			ns
		IOVDD = 3.3V	8			
$t_{SU(DIN)}$	DIN 设置时间	IOVDD = 1.8V	8			ns
		IOVDD = 3.3V	8			
$t_{HLD(DIN)}$	DIN 保持时间	IOVDD = 1.8V	16			ns
		IOVDD = 3.3V	8			
$t_{r(BCLK)}$	BCLK 上升时间	10% - 90% 上升时间，IOVDD = 1.8V			10	ns
		10% - 90% 上升时间，IOVDD = 3.3V			10	
$t_{f(BCLK)}$	BCLK 下降时间	90% - 10% 下降时间，IOVDD = 1.8V			10	ns
		90% - 10% 下降时间，IOVDD = 3.3V			10	

(1) 为了满足时序规格，如果 DOUT 数据线锁存在与器件用于在 IOVDD = 3.3V 下传输 DOUT 数据的 BCLK 边沿极性相反的 BCLK 边沿极性上，则 BCLK 最短高电平或低电平脉冲持续时间必须大于 25ns。

6.7 开关特性：TDM、I^2S 或 LJ 接口

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 6-1

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(DOUT-BCLK)}$	BCLK 至 DOUT 延迟	BCLK 的 50% 至 DOUT 的 50%，IOVDD = 1.8V			26	ns
		BCLK 的 50% 至 DOUT 的 50%，IOVDD = 3.3V			19	
$t_{d(DOUT-FSYNC)}$	在 TDM 或 LJ 模式下 FSYNC 至 DOUT 延迟	FSYNC 的 50% 至 DOUT 的 50%，IOVDD = 1.8V			26	ns
		FSYNC 的 50% 至 DOUT 的 50%，IOVDD = 3.3V			19	
$f_{(BCLK)}$	BCLK 输出时钟频率；控制器模式(1)	IOVDD = 1.8V			12.288	MHz
		IOVDD = 3.3V			24.576	

T_A = 25°C、IOVDD = 3.3V 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；有关时序图，请参阅图 6-1

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(FSYNC)}$	BCLK 至 FSYNC 延迟；控制器模式	BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 1.8V			26	ns
		BCLK 的 50% 至 FSYNC 的 50%，IOVDD = 3.3V			19	
$t_{H(BCLK)}$	BCLK 高电平脉冲持续时间；控制器模式	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{L(BCLK)}$	BCLK 低电平脉冲持续时间；控制器模式	IOVDD = 1.8V	36			ns
		IOVDD = 3.3V	18			
$t_{r(BCLK)}$	BCLK 上升时间；控制器模式	10% - 90% 上升时间，IOVDD = 1.8V			10	ns
		10% - 90% 上升时间，IOVDD = 3.3V			10	
$t_{f(BCLK)}$	BCLK 下降时间；控制器模式	90% - 10% 下降时间，IOVDD = 1.8V			10	ns
		90% - 10% 下降时间，IOVDD = 3.3V			10	

(1) 为了满足时序规格，如果 DOUT 数据线锁存在与器件用于在 IOVDD = 3.3V 时传输 DOUT 数据的 BCLK 边沿极性相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz。

6.8 时序图

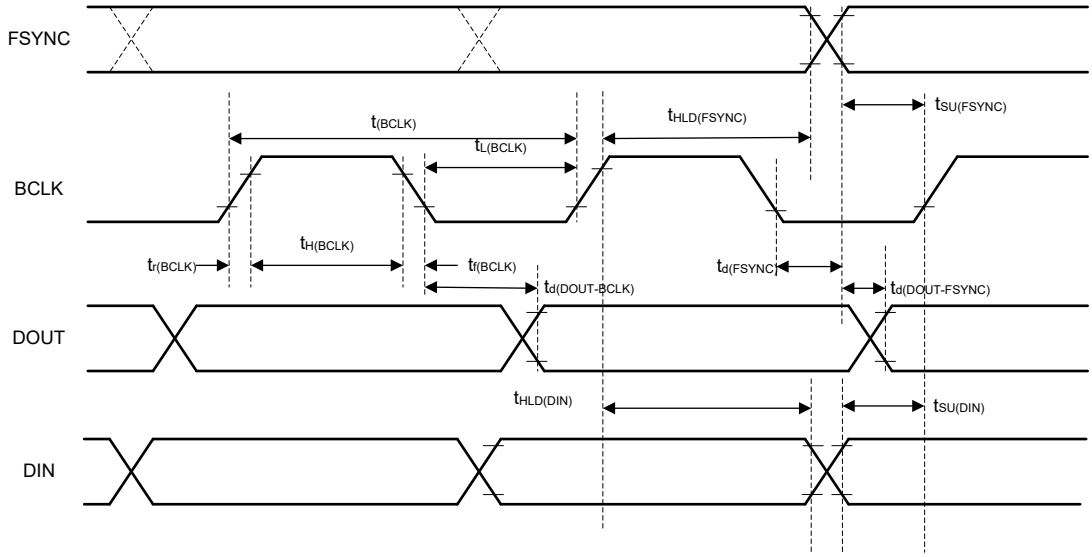
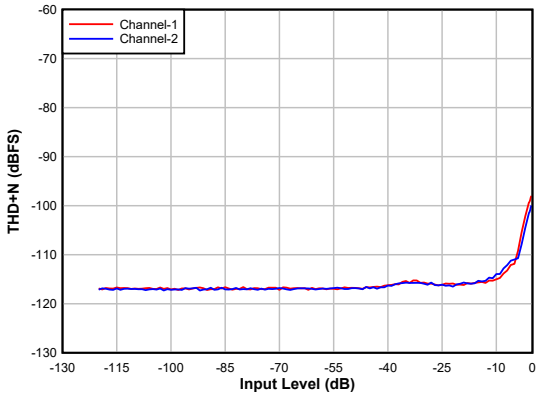


图 6-1. TDM、I²S 和 LJ 接口时序图

Copyright © 2024 Texas Instruments Incorporated

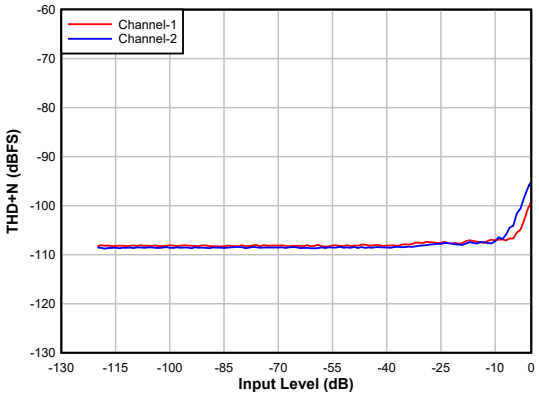
6.9 典型特性

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位抽取/内插滤波器、采用差分配置的交流耦合线路输入以及采用差分/单端配置的 1200Ω/600Ω 线路输出负载或 32Ω 接收器差分负载（如适用）；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）



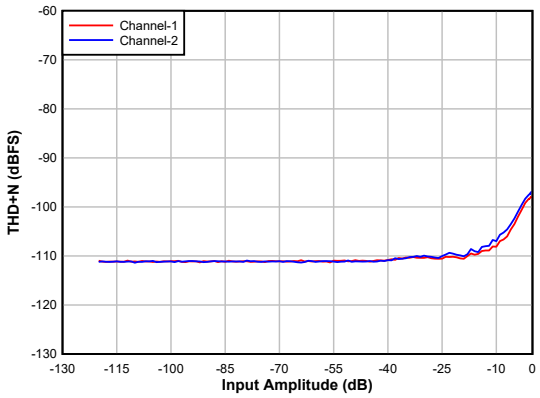
交流耦合差分线路输入

图 6-2. ADC THD+N 级别与输入间的关系



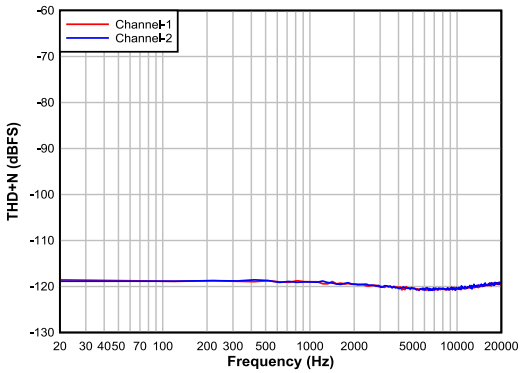
交流耦合单端线路输入

图 6-3. ADC THD+N 级别与输入间的关系



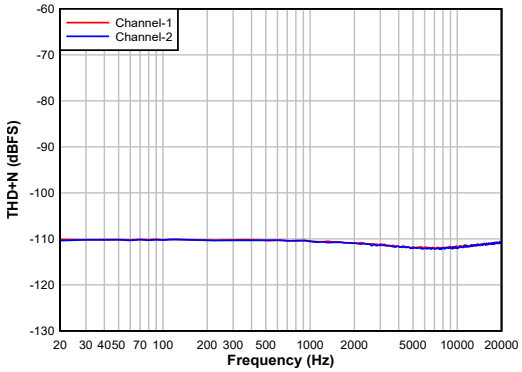
交流耦合差分线路输入，AVDD=1.8V

图 6-4. ADC THD + N 级别与输入间的关系



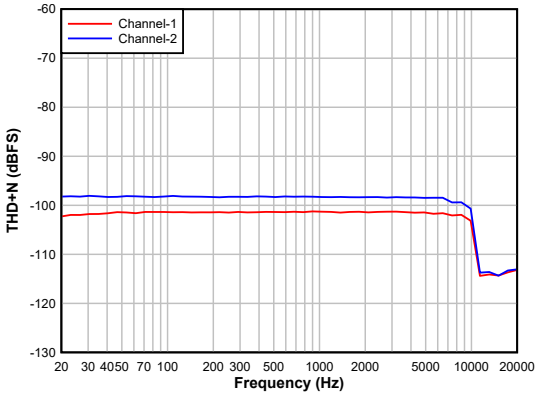
交流耦合差分线路输入 (-60dBFS)

图 6-5. ADC A 加权 DR 与频率间的关系



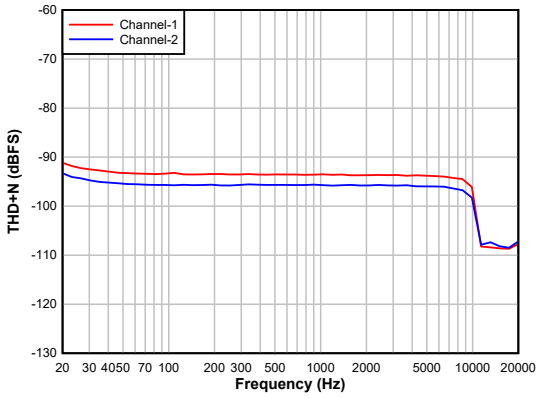
交流耦合单端线路输入 (-60dBFS)

图 6-6. ADC A 加权 DR 与频率间的关系



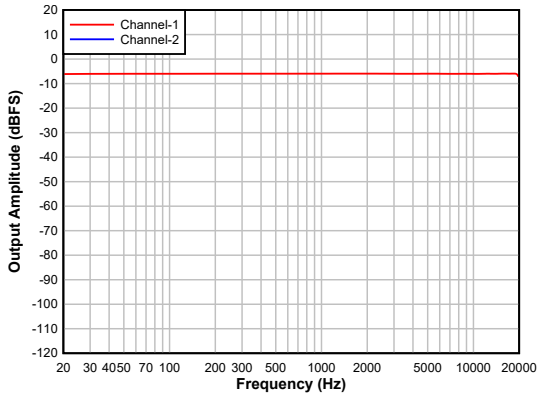
交流耦合差分线路输入 (-1dBFS)

图 6-7. ADC THD+N 与频率间的关系



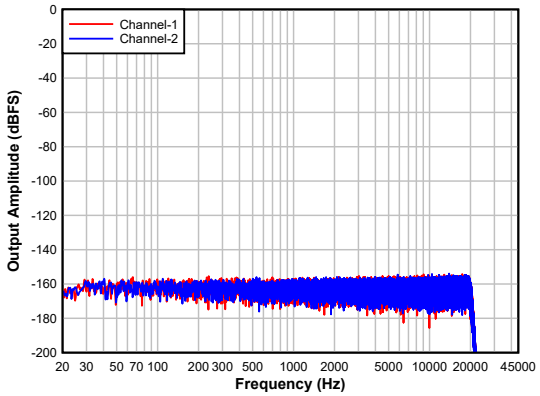
交流耦合单端线路输入 (-1dBFS)

图 6-8. ADC THD+N 与频率间的关系



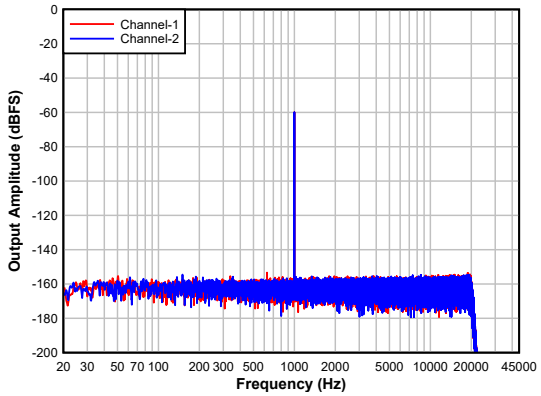
交流耦合差分线路输入 (-6dBFS)

图 6-9. ADC 频率响应



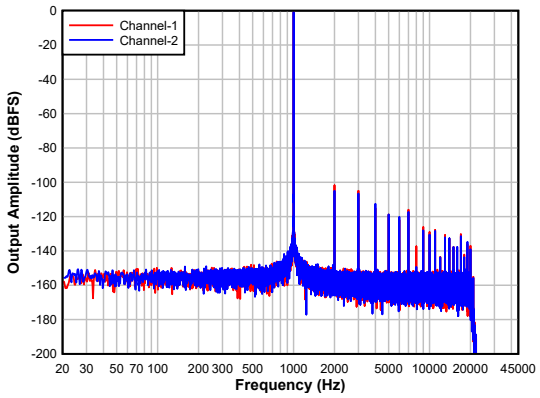
交流耦合差分线路输入

图 6-10. 具有空闲通道输入的 ADC FFT



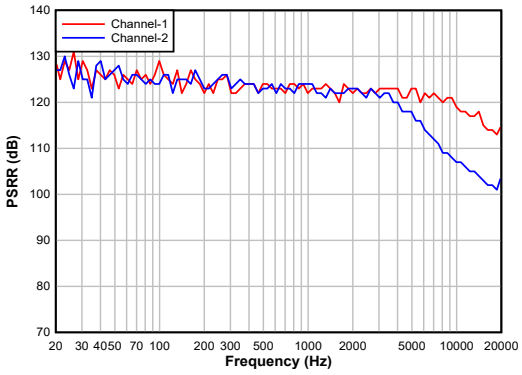
交流耦合差分线路输入

图 6-11. 具有-60dBFS 输入的 ADC FFT



交流耦合差分线路输入

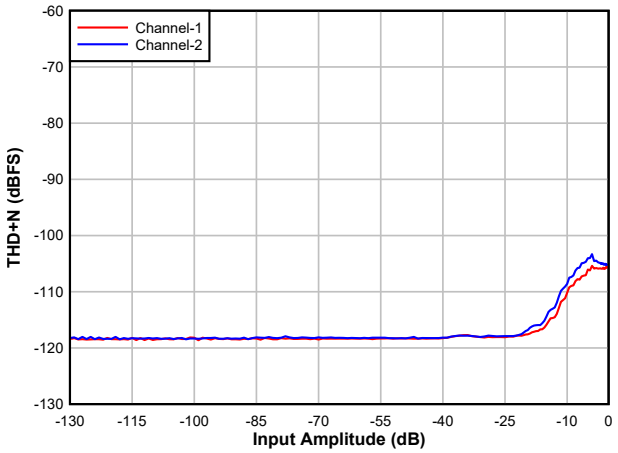
图 6-12. 具有-1dBFS 输入的 ADC FFT



交流耦合差分线路输入

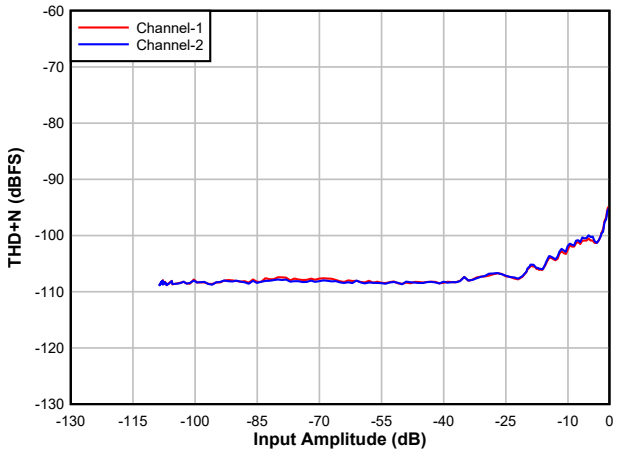
图 6-13. ADC PSRR 与频率间的关系

Copyright © 2024 Texas Instruments Incorporated



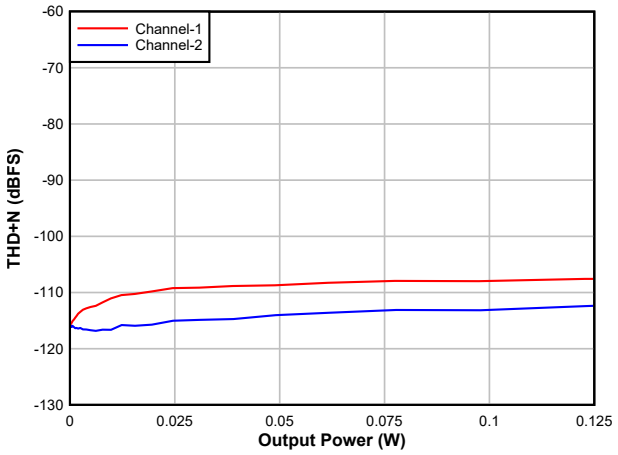
差分输出

图 6-14. DAC THD + N 级别与输入间的关系



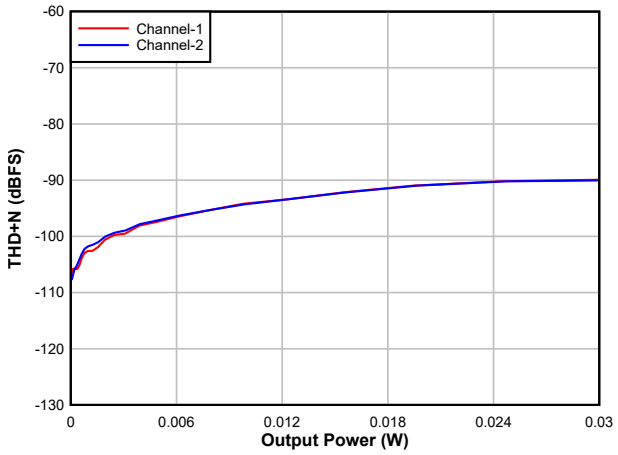
单端输出

图 6-15. DAC THD+N 级别与输入间的关系



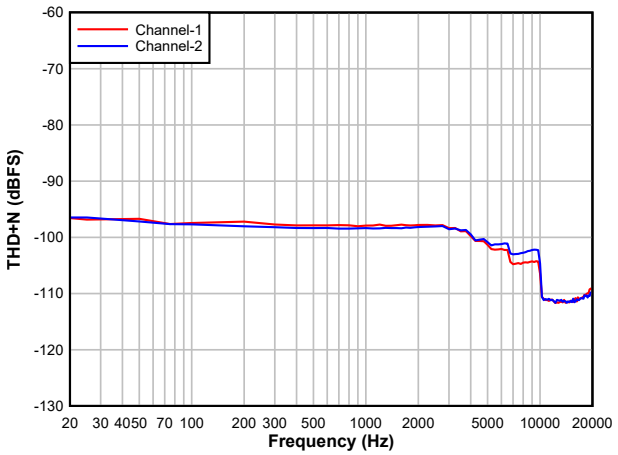
差分接收器/耳机输出，32Ω 负载

图 6-16. DAC THD+N 级别与输出功率间的关系



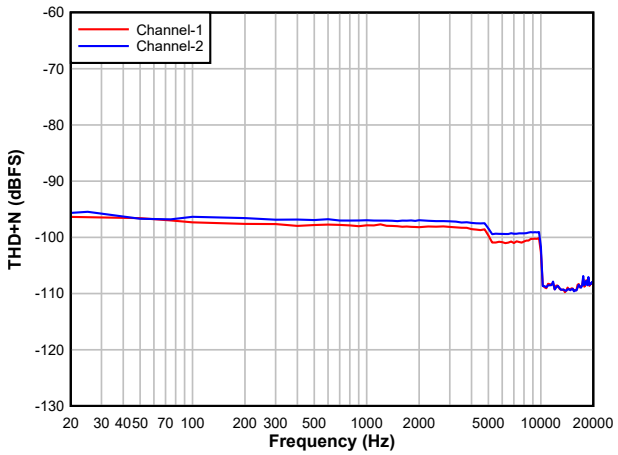
伪差分输出，32Ω 耳机负载

图 6-17. DAC THD+N 级别与输出功率间的关系



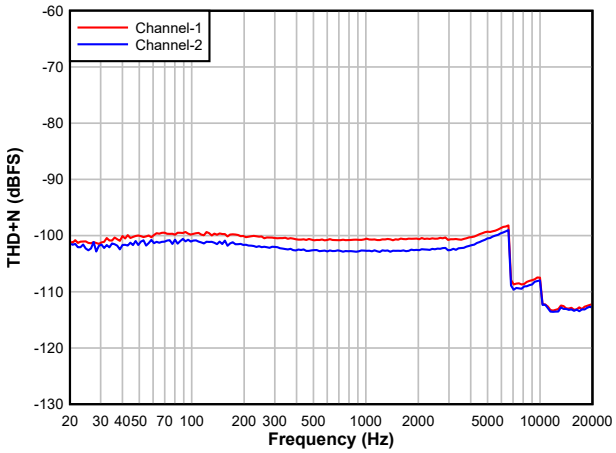
差分输出

图 6-18. DAC THD+N 级别与频率间的关系



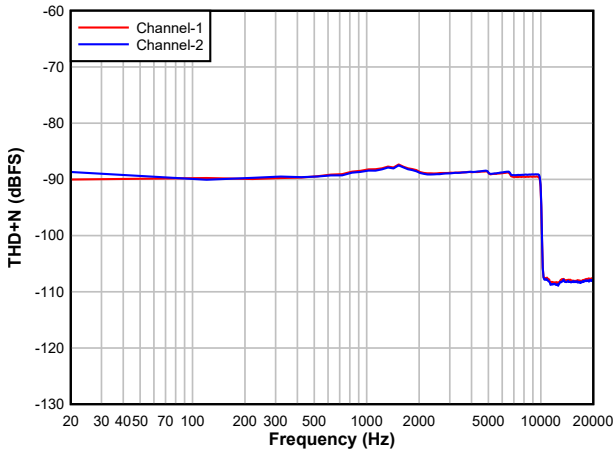
单端输出

图 6-19. DAC THD+N 级别与频率间的关系



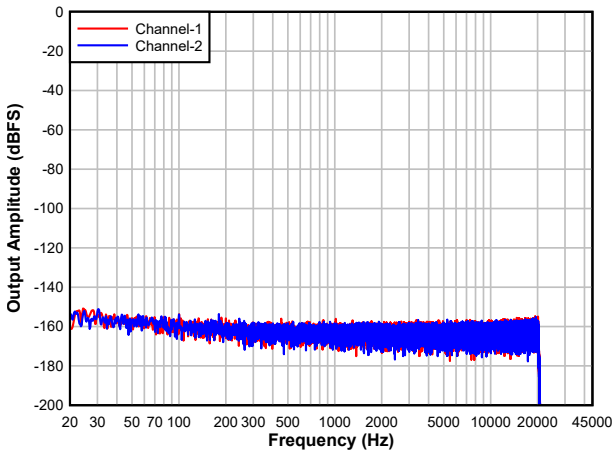
差分接收器/耳机输出，32Ω 负载

图 6-20. DAC THD+N 级别与频率间的关系



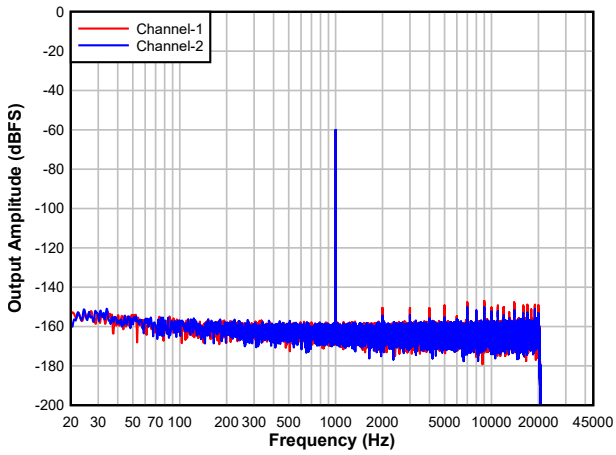
伪差分输出，32Ω 耳机负载

图 6-21. DAC THD+N 级别与频率间的关系



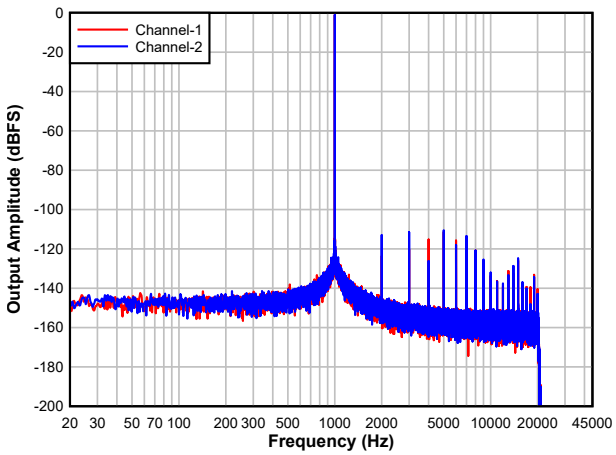
差分输出，空闲通道输入

图 6-22. DAC FFT



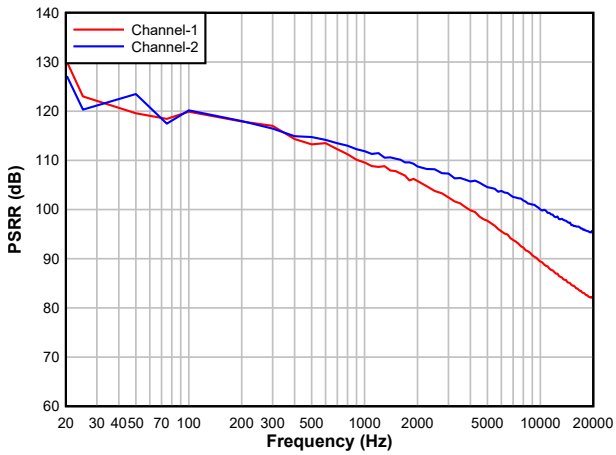
差分输出，-60dBFS 输入

图 6-23. DAC FFT



差分输出，-1dBFS 输入

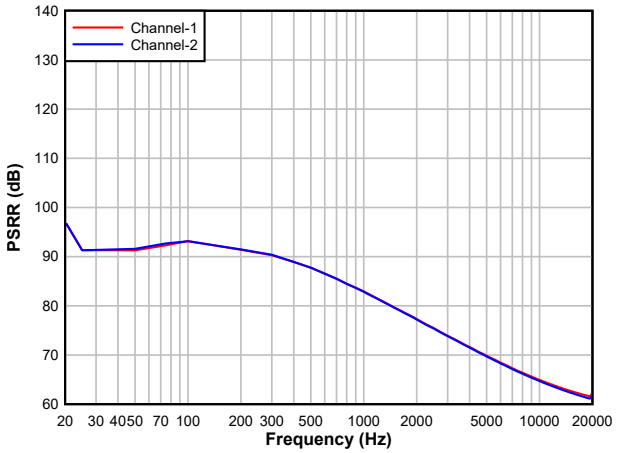
图 6-24. DAC FFT



差分输出

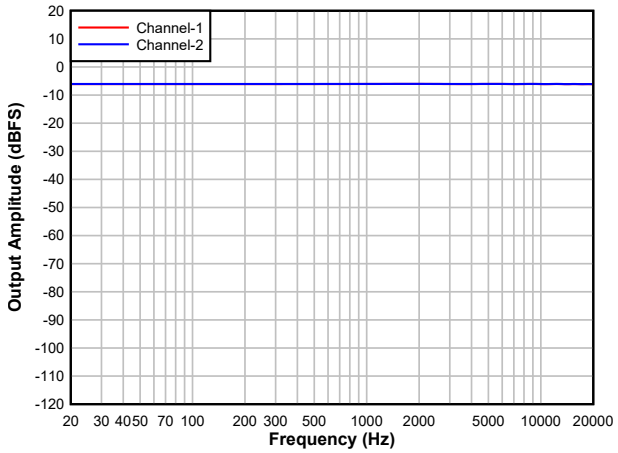
图 6-25. DAC PSRR 与频率间的关系

Copyright © 2024 Texas Instruments Incorporated



单端输出

图 6-26. DAC PSRR 与频率间的关系



差分输出，-6dBFS 输入

图 6-27. DAC 频率响应

7 详细说明

7.1 概述

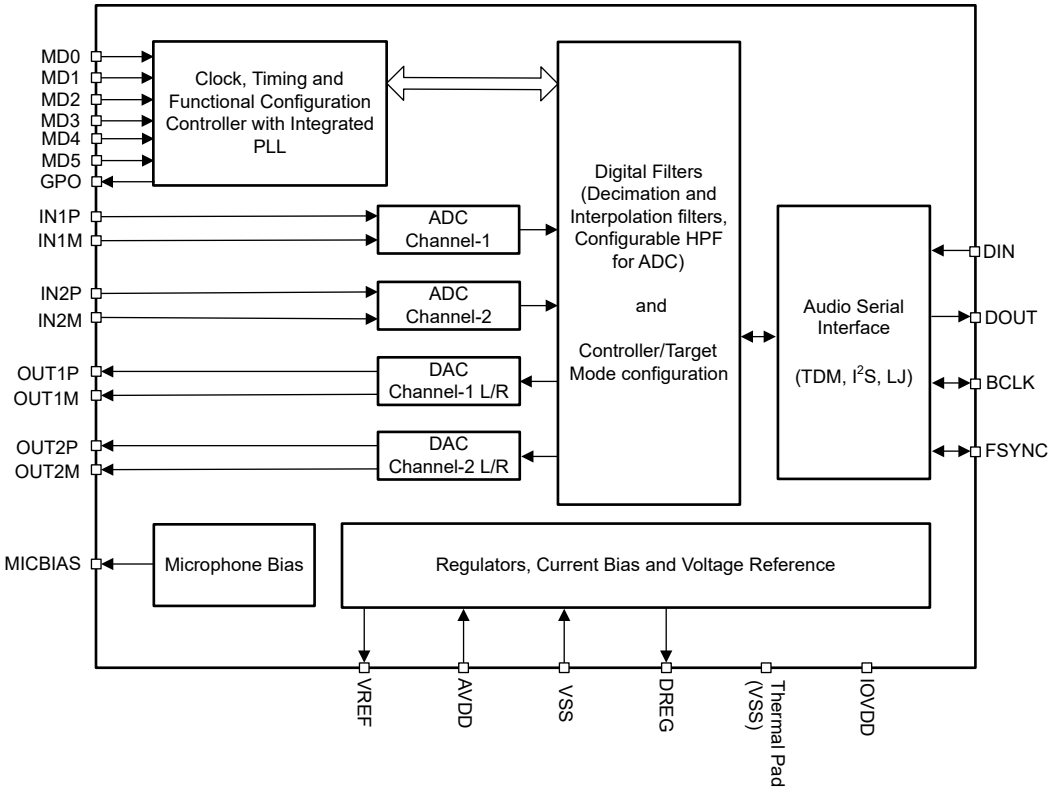
TAC5242 是可扩展器件系列中的一员。作为扩展系列器件的一部分，TAC5242 包括高性能、低功耗的立体声音频模数转换器 (ADC) 和音频数模转换器 (DAC)，具有广泛的功能集成。此器件针对需要低噪声多通道音频录制和播放的各种终端设备和应用进行优化，适用于广泛的市场应用，例如加固型通信设备、IP 网络摄像头、专业音频和多媒体应用。此器件具有高动态范围，使其能够以高保真度实现远场音频录制。此器件集成了大量特性，可在空间受限的系统设计中降低成本、减小布板空间和功耗。扩展系列中的封装、性能和兼容配置使得该器件非常适合可扩展系统设计。

TAC5242 包含以下模块：

- 可通过引脚或硬件控制的器件配置
- 2 通道、多位、高性能 Δ-Σ ADC
- 可配置单端或差分音频输入
- 低噪声麦克风偏置输出
- 在 ADC 信号路径上具有可选截止频率选项的高通滤波器 (HPF)
- 2 通道、多位、高性能 Δ-Σ DAC
- 可配置单端、差分或伪差分音频输出
- 线性相位或低延迟数字抽取和内插滤波器
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持单电源运行

该器件支持灵活的音频串行接口（时分多路复用 (TDM)、I²S 或左对齐 (LJ)），以在系统中各个器件之间无缝传输音频数据。

7.2 功能方框图



7.3 特性说明

Copyright © 2024 Texas Instruments Incorporated

7.3.1 硬件控制

该器件支持简单的硬件引脚控制选项，以便为给定系统选择特定的运行模式和音频接口，如表 7-1 所述。通过 MD0 至 MD5 引脚来控制器件。MD1 至 MD5 引脚连接到逻辑低电平 (VSS) 或逻辑高电平 (IOVDD)，MD0 引脚可以通过不同的上拉或下拉电阻器连接到 AVDD 或 VSS。

表 7-1. 可通过引脚选择的配置汇总

引脚	目标模式	控制器模式
MD0	用于控制器/目标模式和 I²S/TDM/LJ 模式选择的多级模拟输入	
MD1	AVDD 电源、字长和抽取/内插滤波器类型选择	帧速率和 BCLK 频率选择
MD2		
MD3	I²S/LJ 模式：ADC 的数字 HPF 截止频率和输入电容器快速充电选择 TDM 模式：数据时隙选择	控制器时钟输入
MD4	ADC 输入配置（差分/单端、交流/直流耦合）和 DAC 输出配置（差分线路输出/差分接收器或耳机/单端线路输出/伪差分耳机）	
MD5		

7.3.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 TAC5242 之间流动。该高度灵活的 ASI 总线可以通过引脚控制配置为在目标或控制器模式下运行。ASI 支持 TDM 模式（用于多通道运行）、I²S 和左对齐 (LJ) 总线协议。数据采用 MSB 优先的二进制补码脉冲编码调制 (PCM) 格式，具有可通过引脚选择的字长配置。

该器件使用硬件引脚 MD0 来支持音频总线控制器或目标运行模式。在目标模式下，FSYNC 和 BCLK 用作输入引脚，而在控制器模式下，FSYNC 和 BCLK 用作器件生成的输出引脚。表 7-2 展示了使用 MD0 引脚的控制器和目标模式选择。

表 7-2. 控制器和目标模式选择

MD0	控制器和目标选择
接地短路	目标 I²S 模式
通过 4.7kΩ 接地短路	目标 TDM 模式
短接至 AVDD	控制器 I²S 模式
通过 4.7kΩ 短接至 AVDD	控制器 TDM 模式
通过 22kΩ 短接至 AVDD	目标 LJ 模式

在目标运行模式下，可通过 MD1 和 MD2 引脚选择 TAC5242 中音频串行接口 (ASI) 的字长。在目标模式下，TAC5242 还支持以 32 位字长和 1.8V AVDD 运行。表 7-3 展示了用于设置在目标模式下适用的字长、AVDD 电源电压和抽取/内插滤波器类型的配置表。在控制器模式下，支持 32 位固定字长，抽取/内插滤波器配置为线性相位，MD1 和 MD2 引脚控制系统时钟配置，如表 7-9 中所述。

表 7-3. 字长、电源模式和抽取/内插滤波器选择

MD2	MD1	字长、电源模式和抽取/内插滤波器选择（仅对目标模式有效）
低	低	AVDD = 3.3V，字长 = 32，线性相位滤波器
低	高	AVDD = 1.8V，字长 = 32，线性相位滤波器
高	低	AVDD = 3.3V，字长 = 24，线性相位滤波器
高	高	AVDD = 3.3V，字长 = 32，低延迟相位滤波器

TAC5242 为目标 TDM 工作模式提供时隙配置。在目标 TDM 模式下配置 MD0 时，可通过 MD3 引脚进行选择。表 7-4 展示了在基于 MD3 引脚的目标 TDM 工作模式下选择时隙。对于其他工作模式下的 MD3 选项，请参阅表 7-1。

表 7-4. TDM 目标模式的数据时隙选择

MD3	ADC 时隙	DAC 时隙
低	时隙 0 和 1 的 ADC 数据	时隙 0 和 1 的 DAC 数据
高	时隙 2 和 3 的 ADC 数据	时隙 2 和 3 的 DAC 数据

7.3.2.1 时分多路复用 (TDM) 音频接口

在 TDM 模式（也称为 DSP 模式）下，FSYNC 的上升沿会首先从时隙 0 数据开始数据传输。紧接着时隙 0 数据传输，会按顺序传输剩余的时隙数据。FSYNC 和每个数据位在 BCLK 的上升沿传输，在 BCLK 的下降沿接收。图 7-1 至图 7-2 展示了各种配置下 TDM 运行的协议时序。

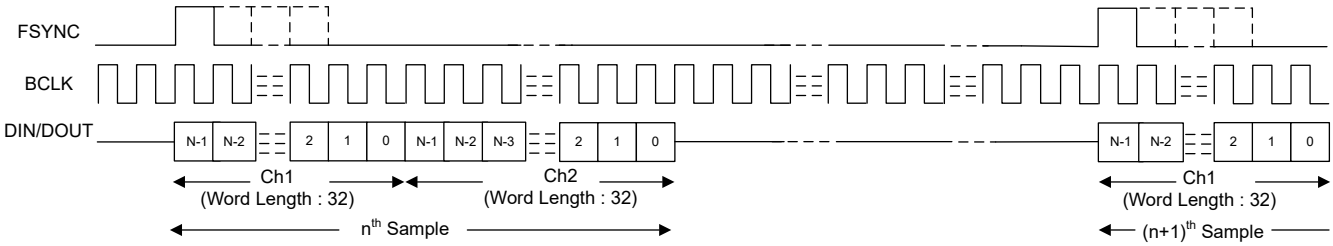


图 7-1. 目标模式下的 TDM 模式协议时序（MD0 对地短路，阻抗为 4.7KΩ）

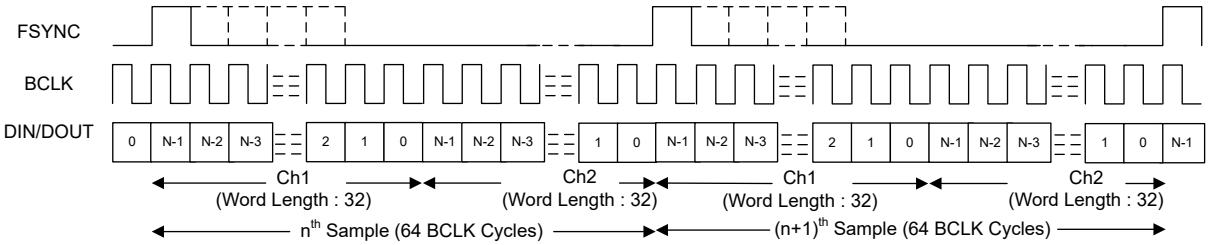


图 7-2. 控制器模式下的 TDM 模式协议时序（MD0 短接至 AVDD，阻抗为 4.7KΩ）

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于或等于活动输入和输出通道数乘以输入和输出通道数据的配置字长。DOUT 引脚处于高阻抗状态以支持额外的未使用位时钟周期。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持倍数。

7.3.2.2 IC 间音频 (I^2S) 接口

标准 I^2S 协议仅针对两个通道进行定义：左通道和右通道。在 I^2S 模式下，左时隙 0 的 MSB 会在 FSYNC *下降*沿之后第二个周期中的 BCLK 的下降沿发送，在 BCLK 的上升沿接收。右时隙 0 的 MSB 会在 FSYNC *上升* 沿之后第二个周期中的 BCLK 的下降沿发送，在 BCLK 的上升沿接收。每个后续数据位在 BCLK 的下降沿传输，在 BCLK 的上升沿接收。在控制器模式下，FSYNC 在 BCLK 的上升沿传输。图 7-3 和图 7-4 显示了在目标和控制器运行模式下 I^2S 运行的协议时序。

Copyright © 2024 Texas Instruments Incorporated

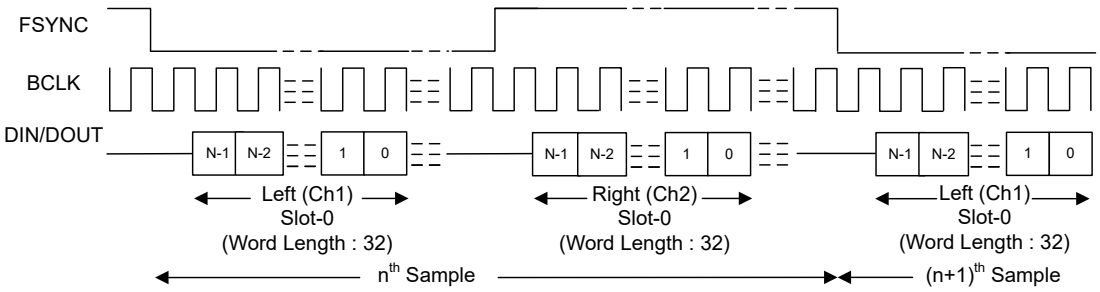


图 7-3. 目标模式下的 I²S 模式协议时序（MD0 对地短路）

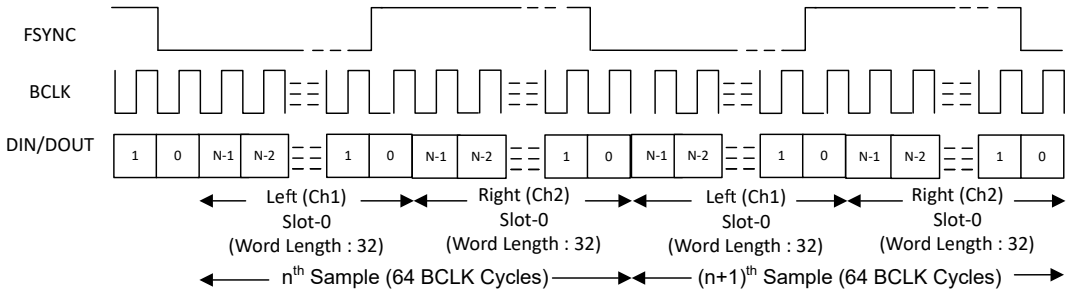


图 7-4. 控制器模式下的 I²S 协议时序（MD0 短接至 AVDD）

为了使音频总线在 I²S 模式下正常运行，每帧的位时钟数必须大于或等于活动输入和输出通道的数量（包括左右时隙）乘以输入和输出通道数据的配置字长。

7.3.2.3 左对齐 (LJ) 接口

标准 LJ 协议仅针对两个通道进行定义：左通道和右通道。在 LJ 模式下，左时隙 0 的 MSB 在 FSYNC *上升* 沿之后的同一 BCLK 周期内发送和接收。右时隙 0 的 MSB 在 FSYNC *下降* 沿后的同一 BCLK 周期内接收。每个后续数据位在 BCLK 的下降沿传输，在 BCLK 的上升沿接收。图 7-5 说明了在目标运行模式下的 LJ 运行的协议时序。

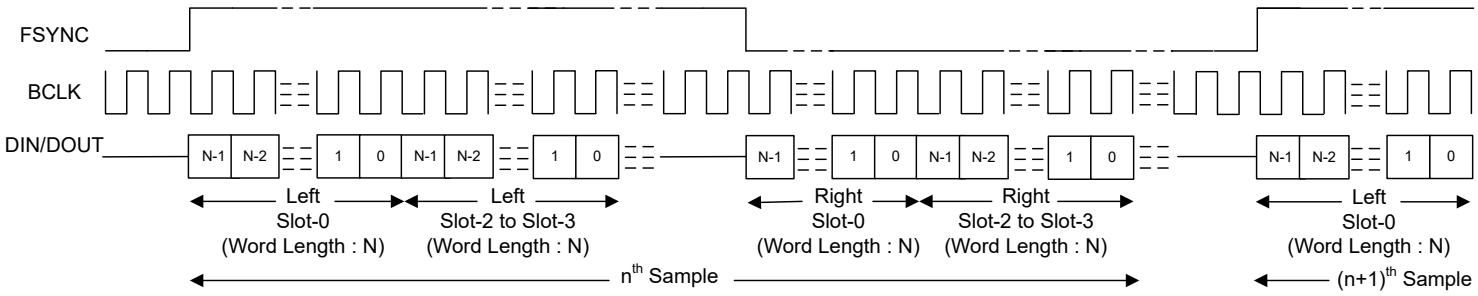


图 7-5. 目标模式下的 LJ 模式标准协议时序（MD0 短接至 AVDD，阻值为 22KΩ）

为了使音频总线在 LJ 模式下正常运行，每帧的位时钟数必须大于或等于活动输入和输出通道的数量（包括左右时隙）乘以输入和输出通道数据的配置字长。

7.3.3 锁相环 (PLL) 和时钟生成

该器件使用集成的低抖动锁相环 (PLL) 来生成 ADC 和 DAC 调制器和数字滤波器引擎以及其他控制块所需的内部时钟。

在目标运行模式下，该器件支持（FSYNC 信号频率的）各种输出数据采样速率和 BCLK 与 FSYNC 之比，以便在内部配置所有时钟分频器（包括 PLL 配置），而无需主机编程。表 7-5 至表 7-8 列出了取决于 IOVDD 电源的受支持 FSYNC 和 BCLK 频率。

表 7-5. 支持的 FSYNC（48kHz 的倍数或约数）和 BCLK 频率（IOVDD - 3.3V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072
24	保留	0.384	0.576	0.768	1.152	2.304	4.608
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576
192	1.536	3.072	4.608	6.144	9.216	18.432	保留
256	2.048	4.096	6.144	8.192	12.288	24.576	保留
384	3.072	6.144	9.216	12.288	18.432	保留	保留
512	4.096	8.192	12.288	16.384	24.576	保留	保留

表 7-6. 支持的 FSYNC（44.1kHz 的倍数或约数）和 BCLK 频率（IOVDD - 3.3V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	保留
384	2.8224	5.6448	8.4672	11.2896	16.9344	保留	保留
512	3.7632	7.5264	11.2896	15.0528	22.5792	保留	保留

表 7-7. 支持的 FSYNC（48kHz 的倍数或约数）和 BCLK 频率（IOVDD - 1.8V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072
24	保留	0.384	0.576	0.768	1.152	2.304	4.608
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288

Copyright © 2024 Texas Instruments Incorporated

表 7-7. 支持的 FSYNC（48kHz 的倍数或约数）和 BCLK 频率（IOVDD - 1.8V 运行）（续）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
96	0.768	1.536	2.304	3.072	4.608	9.216	保留
128	1.024	2.048	3.072	4.096	6.144	12.288	保留
192	1.536	3.072	4.608	6.144	9.216	保留	保留
256	2.048	4.096	6.144	8.192	12.288	保留	保留
384	3.072	6.144	9.216	12.288	保留	保留	保留
512	4.096	8.192	12.288	保留	保留	保留	保留

表 7-8. 支持的 FSYNC（44.1kHz 的倍数或约数）和 BCLK 频率（IOVDD - 1.8V 运行）

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	保留
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	保留
192	1.4112	2.8224	4.2336	5.6448	8.4672	保留	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	保留	保留
384	2.8224	5.6448	8.4672	11.2896	保留	保留	保留
512	3.7632	7.5264	11.2896	保留	保留	保留	保留

在控制器运行模式下，该器件使用 MD3 引脚作为系统时钟，并使用 CCLK 作为基准输入时钟源。在目标运行模式下，MD3 引脚功能如表 7-4 和表 7-11 中所述。

该器件支持使用 MD1 和 MD2 引脚配置的 256 × f_S 或 128 × f_S 或固定 48/44.1kHz 或 96/88.2kHz 系统时钟频率选项，因此可提供 FSYNC 选择的灵活性。表 7-9 展示了使用 MD1 和 MD2 引脚的控制器模式 FSYNC 和 BCLK 选择。

表 7-9. 控制器模式的系统时钟选择

MD2	MD1	系统时钟选择（仅对控制器模式有效）		
		FSYNC	BCLK 与 FSYNC 之比	
			I^2S 模式	TDM 模式
低电平	低电平	CCLK/256	64	FSYNC ≤ 48kHz 时为 256， 48kHz < FSYNC ≤ 96kHz 时为 128， FSYNC > 96kHz 时为 64
低电平	高电平	CCLK/128		
高电平	低电平	96/88.2kHz		128
高电平	高电平	48/44.1kHz		256

有关目标运行模式下的 MD1 和 MD2 引脚功能，请参阅表 7-3。在控制器运行模式下，AVDD = 3.3V、字长 = 32 并适用线性相位抽取/内插滤波器。

7.3.4 模拟输入和输出配置

该器件支持使用高性能立体声 ADC 同时对多达两个通道进行录音。该器件包含两对模拟输入引脚（INxP 和 INxM），可通过设置 MD4 和 MD5 引脚配置为单端或差分输入模式。模拟引脚的输入源可以来自驻极体电容式模拟麦克风、微机电系统 (MEMS) 模拟麦克风，或来自系统板的线路输入（辅助输入）。

语音或音频信号输入可以容性耦合（交流耦合）或直流耦合到器件。为了获得出色的失真性能，建议使用低电压系数电容器进行交流耦合。对于 INxP 或 INxM 引脚，TAC5242 的典型输入阻抗是 5kΩ 并存在 ±20% 的偏差。在交流耦合模式下，选择的耦合电容值必须确保由耦合电容器和输入阻抗形成的高通滤波器不影响信号内容。该耦合电容器必须在上电时充电至共模电压，然后才能开始进行正确录音。为了实现快速充电，该器件具有快速充电方案，可在 I^2 S/LJ 目标模式下运行时加快耦合电容器在上电时的充电速度。可以通过配置 MD3 引脚来启用该输入电容器快速充电设置。当器件在 I^2 S/LJ 目标模式下运行时，MD3 引脚还可配置 ADC 信号路径的数字 HPF 截止频率，如表 7-11 所述。

为获得更佳的性能，对于交流耦合设置，器件输入端的共模变化应限制在 100mVpp 以下。对于无法避免较大共模波动的应用，该器件提供多种模式，可为单端和差分应用配置更高的共模容差。

该器件使用高性能立体声 DAC 支持两个通道的回放。该器件包含两对模拟输出引脚（OUTxP 和 OUTxM），可通过设置 MD4 和 MD5 引脚配置为单端或差分输入模式。这些通道的输入源来自 TDM/I^2S/LJ 接口。

表 7-10 展示了 MD4 和 MD5 配置所提供的模拟输入输出配置模式。

表 7-10. 模拟输入和输出配置

MD5	MD4	模拟输入配置	模拟输出配置
低	低	差分输入；仅交流耦合	差分输出；仅线路输出
低	高	差分输入；具有高共模容差的交流或直流耦合	差分输出；接收器/耳机负载或线路输出
高	低	INxP 上的单端输入；仅交流耦合	单端输出；仅线路输出
高	高	INxP 上的单端输入；具有高共模容差的交流或直流耦合	具有外部共模检测功能的伪差分输出；仅耳机负载

图 7-6 至图 7-9 展示了各种输入配置模式的典型配置图，图 7-10 至图 7-12 展示了各种输出模式的典型配置图。

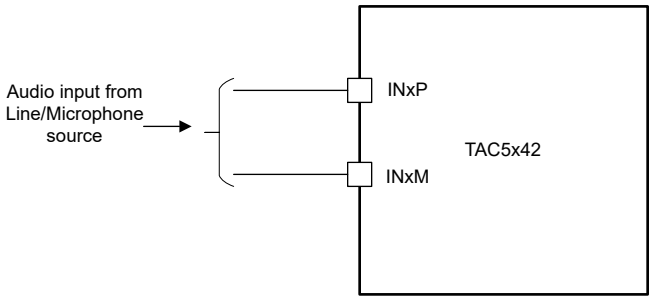


图 7-6. 直流耦合麦克风或线路差分输入连接

Copyright © 2024 Texas Instruments Incorporated

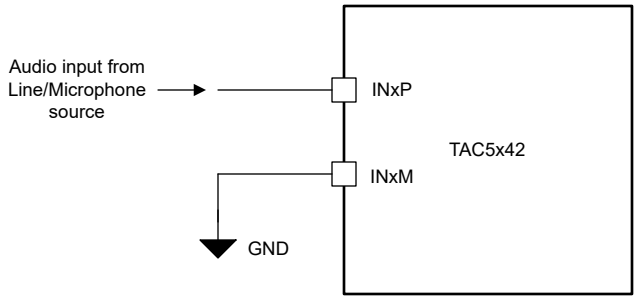


图 7-7. 直流耦合麦克风或线路单端输入连接

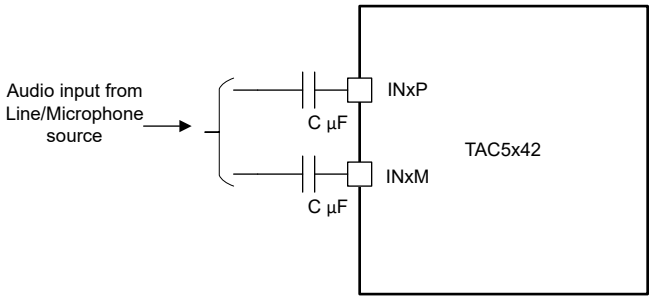


图 7-8. 交流耦合麦克风或线路差分输入连接

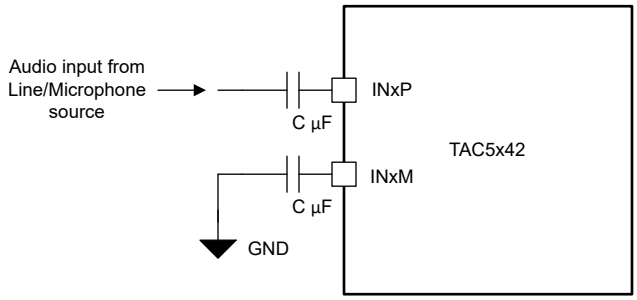


图 7-9. 交流耦合麦克风或线路单端输入连接

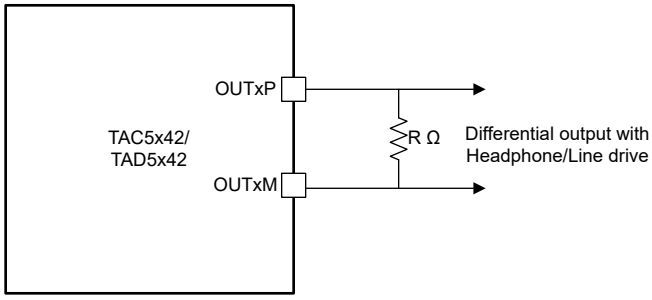


图 7-10. 差分输出连接

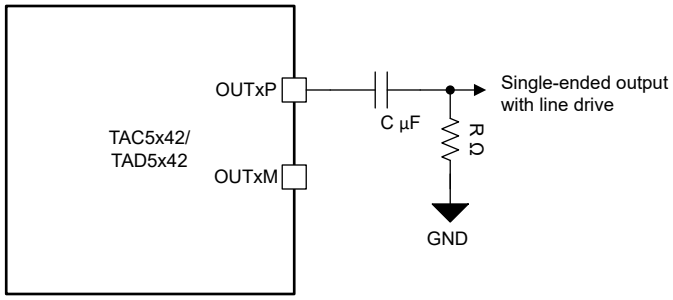


图 7-11. 单端输出连接

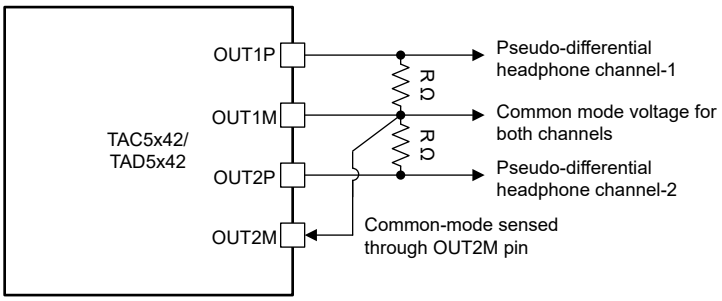


图 7-12. 具有外部共模检测功能的伪差分输出连接

7.3.5 基准电压

所有音频数据转换器都需要直流基准电压。TAC5242 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。该音频转换器基准电压必须使用连接在 VREF 引脚与模拟地 (VSS) 之间的最低 1µF 电容器从外部进行滤波。该基准电压 VREF 的值设置为 2.75V，从而可支持 $2V_{RMS}$ 差分满标量程输入和连接至器件的 $2V_{RMS}$ 差分满标量程输出。该 VREF 电压所需的最小 AVDD 电压为 3V。当器件配置为采用 1.8V AVDD 电源电压时，VREF 引脚上的电压为 1.375V，这支持向器件提供 $1V_{RMS}$ 差分满标量程输入。不要将任何外部负载连接到 VREF 引脚。

7.3.6 集成麦克风偏置

该器件集成一个内置低噪声麦克风偏置引脚，该引脚输出等于 VREF 的高 PSRR、低噪声输出电压，可在系统中用于偏置驻极体电容式麦克风或为 MEMS 模拟或数字麦克风提供电源。集成偏置放大器支持高达 5mA 的负载电流，可用于多个麦克风。当使用该 MICBIAS 引脚对多个麦克风进行偏置或供电时，请避免在用于 MICBIAS 连接的电路板布局布线上出现任何公共阻抗，以尽可能地减小麦克风之间的耦合。

7.3.7 ADC 信号链

TAC5242 ADC 信号链由超低噪声、高性能、低功耗模拟块以及可配置的数字处理块组成。图 7-13 展示了 TAC5242 的概念方框图，突出显示了记录路径信号链的关键元件。

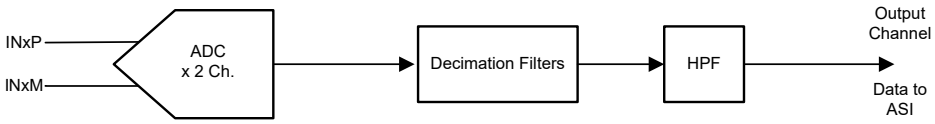


图 7-13. ADC 信号链处理流程图

高性能和灵活性与紧凑的封装相结合，使得该器件非常适合需要多通道音频采集的各种终端设备和应用。ADC 架构具有固有的抗混叠滤波功能，能够很好地抑制多个调制器频率分量附近的带外频率噪声。因此，该器件可在 ADC 采样期间防止噪声混叠到音频频带中。此外，在信号链中，集成的高性能多级数字抽取滤波器会通过高阻带

Copyright © 2024 Texas Instruments Incorporated

衰减来大幅削减任何带外频率噪声，随后是高通滤波器 (HPF)，其截止频率可进一步配置。TAC5242 在控制器和目标工作模式下均支持高达 192kHz 的采样速率。

7.3.7.1 数字高通滤波器

为了去除直流偏移分量并衰减录音数据中不需要的低频噪声成分，该器件支持可配置的高通滤波器 (HPF)，其 –3dB 截止频率为 0.000021 × f_S 或 0.00025 × f_S。HPF 不是独立于通道的滤波器，但全局适用于所有 ADC 通道。该 HPF 使用一阶无限脉冲响应 (IIR) 滤波器构建，并具有足够高的效率来滤除信号中可能的直流分量。此配置仅在目标 I^2S 或 LJ 运行模式下可用。在目标 TDM 运行模式中，MD3 用于设置输入和输出数据流的时隙，如表 7-4 中所述；在控制器模式中，MD3 用作 CCLK 输入，如表 7-9 中所述；在这些模式中，HPF 默认设置为 0.000021 × f_S。此外，由于数字低频滤波器还需要更高容值的电容以在截止频率下实现低压降，因此该器件还可通过此配置调整输入电容器快速充电时间以及 HPF 截止频率。表 7-11 展示了 MD3 配置和 –3dB 截止频率值以及输入电容器快速充电设置。图 7-14 展示了 HPF 滤波器的频率响应图。

表 7-11. 目标 I^2 S/LJ 模式下 ADC 的输入电容器快速充电和 HPF 截止频率选择

MD3	输入电容器快速充电	HPF –3dB 截止频率	HPF –3dB 截止频率（48kHz 采样速率）
低	禁用（50ms 时间）	0.000021 × f_S	1Hz
高	启用（12.5ms 时间）	0.00025 × f_S	12Hz

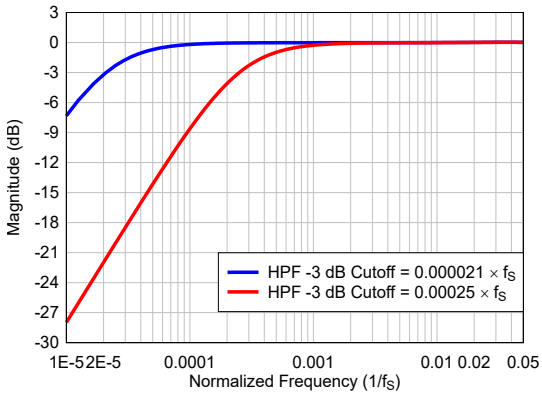


图 7-14. HPF 滤波器频率响应图

Copyright © 2024 Texas Instruments Incorporated

7.3.7.2 可配置数字抽取滤波器

器件录音通道包括一个内置的高动态范围数字抽取滤波器，用于处理来自多位 Δ-Σ 调制器的过采样数据，从而以与 FSYNC 速率相同的奈奎斯特采样速率生成数字数据。可以根据 MD2 和 MD1 引脚的状态将器件中的抽取滤波器选择为线性相位滤波器或低延迟滤波器，请参考表 7-3。因此，这些器件适用于各种音频应用。下一节介绍了不同采样速率下的滤波器响应。

7.3.7.2.1 线性相位滤波器

线性相位抽取滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

7.3.7.2.1.1 采样速率：8kHz 或 7.35kHz

图 7-15 和图 7-16 分别展示了采样速率为 8kHz 或 7.35kHz 时此抽取滤波器的幅度响应和通带纹波，而表 7-12 列出了其规格。

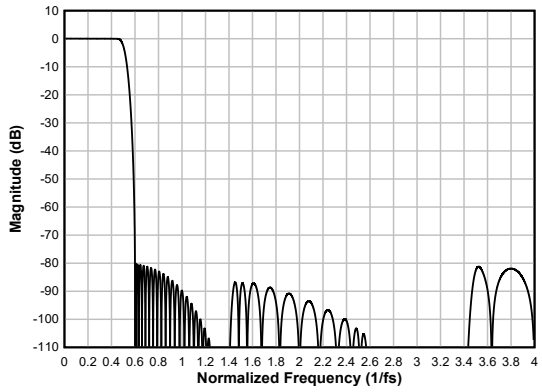


图 7-15. 线性相位抽取滤波器幅度响应

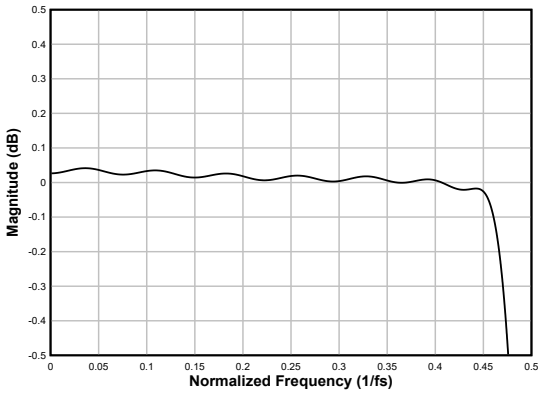


图 7-16. 线性相位抽取滤波器通带纹波

表 7-12. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.454 × f_S	-0.04		0.04	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.2			dB
	频率范围为 4 × f_S 以上	84.7			
群延迟或延时	频率范围为 0 至 0.454 × f_S		16.1		1/f_S

7.3.7.2.1.2 采样速率：16kHz 或 14.7kHz

图 7-17 和图 7-18 分别展示了采样速率为 16kHz 或 14.7kHz 时此抽取滤波器的幅度响应和通带纹波，而表 7-13 列出了其规格。

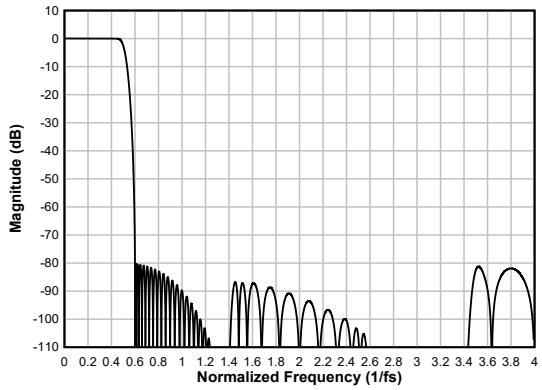


图 7-17. 线性相位抽取滤波器幅度响应

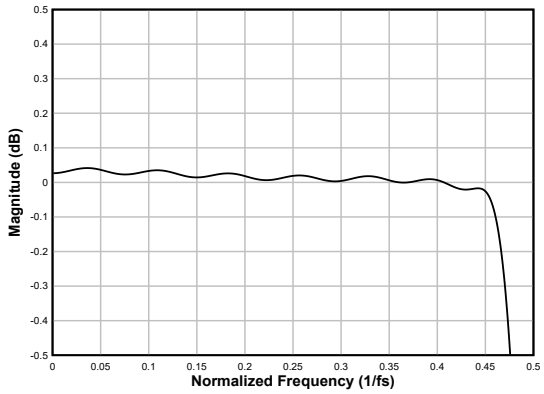


图 7-18. 线性相位抽取滤波器通带纹波

表 7-13. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.454 × f_S	-0.04		0.04	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.2			dB
	频率范围为 4 × f_S 以上	84.7			
群延迟或延时	频率范围为 0 至 0.454 × f_S		16.1		1/f_S

7.3.7.2.1.3 采样速率：24kHz 或 22.05kHz

图 7-19 和图 7-20 分别展示了采样速率为 24kHz 或 22.05kHz 时此抽取滤波器的幅度响应和通带纹波，而表 7-14 列出了其规格。

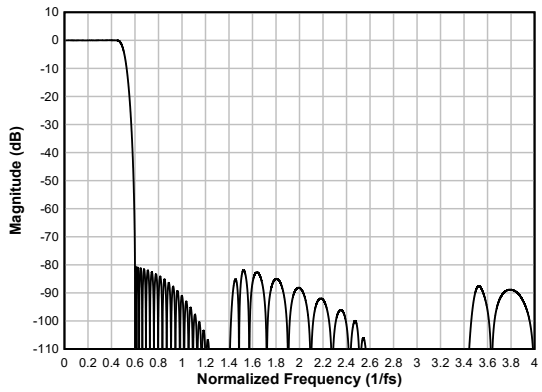


图 7-19. 线性相位抽取滤波器幅度响应

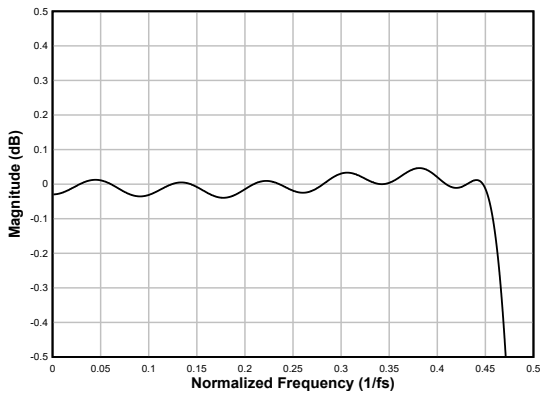


图 7-20. 线性相位抽取滤波器通带纹波

表 7-14. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.05		0.05	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.6			dB
	频率范围为 4 × f_S 以上	93			
群延迟或延时	频率范围为 0 至 0.455 × f_S		14.7		1/f_S

Copyright © 2024 Texas Instruments Incorporated

7.3.7.2.1.4 采样速率：32kHz 或 29.4kHz

图 7-21 和图 7-22 分别展示了采样速率为 32kHz 或 29.4kHz 时此抽取滤波器的幅度响应和通带纹波，而表 7-15 列出了其规格。

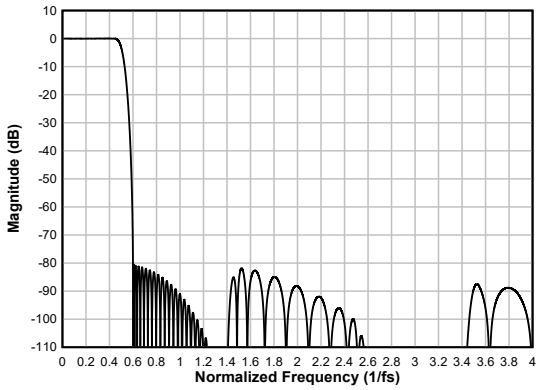


图 7-21. 线性相位抽取滤波器幅度响应

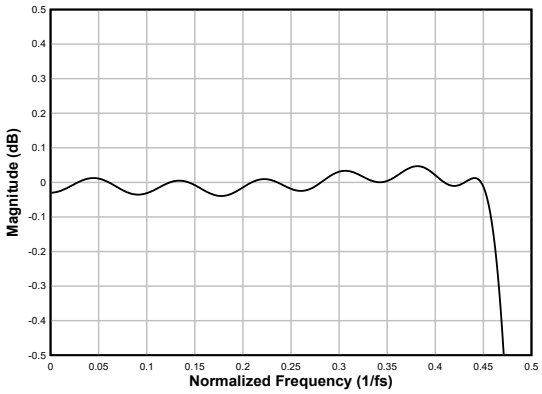


图 7-22. 线性相位抽取滤波器通带纹波

表 7-15. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.05		0.05	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.6			dB
	频率范围为 4 × f_S 以上	92.9			
群延迟或延时	频率范围为 0 至 0.455 × f_S		14.7		1/f_S

7.3.7.2.1.5 采样速率：48kHz 或 44.1kHz

图 7-23 和图 7-24 分别展示了采样速率为 48kHz 或 44.1kHz 时此抽取滤波器的幅度响应和通带纹波，而表 7-16 列出了其规格。

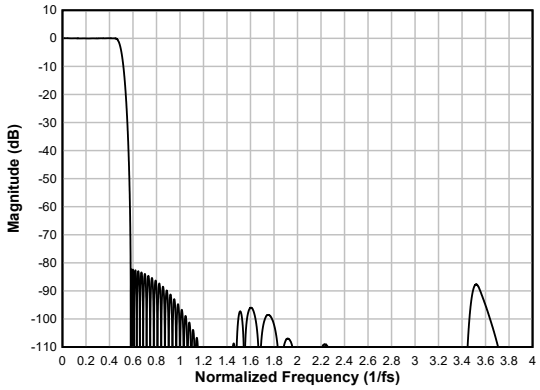


图 7-23. 线性相位抽取滤波器幅度响应

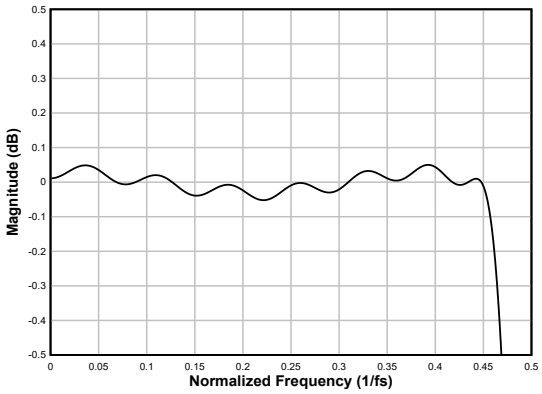


图 7-24. 线性相位抽取滤波器通带纹波

表 7-16. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.454 × f_S	-0.05		0.05	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	82.2			dB
	频率范围为 4 × f_S 以上	98			
群延迟或延时	频率范围为 0 至 0.454 × f_S		17		1/f_S

7.3.7.2.1.6 采样速率：96kHz 或 88.2kHz

图 7-25 和图 7-26 分别展示了采样速率为 96kHz 或 88.2kHz 时此抽取滤波器的幅度响应和通带纹波，而表 7-17 列出了其规格。

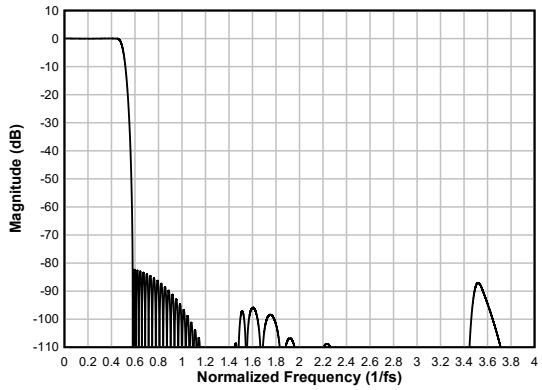


图 7-25. 线性相位抽取滤波器幅度响应

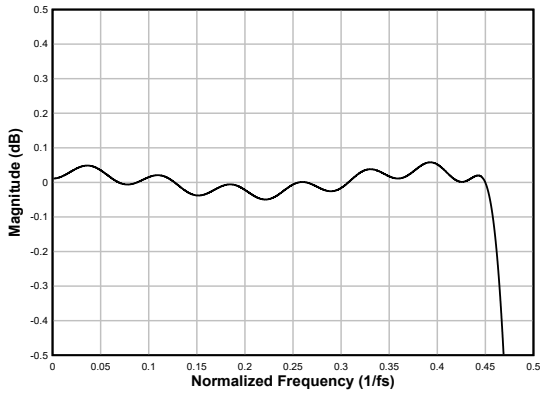


图 7-26. 线性相位抽取滤波器通带纹波

表 7-17. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.05		0.06	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	82.2			dB
	频率范围为 4 × f_S 以上	87			
群延迟或延时	频率范围为 0 至 0.455 × f_S		16.9		1/f_S

7.3.7.2.1.7 采样速率：192kHz 或 176.4kHz

图 7-27 和图 7-28 分别展示了采样速率为 192kHz 或 176.4kHz 时此抽取滤波器的幅度响应和通带纹波，而表 7-18 列出了其规格。

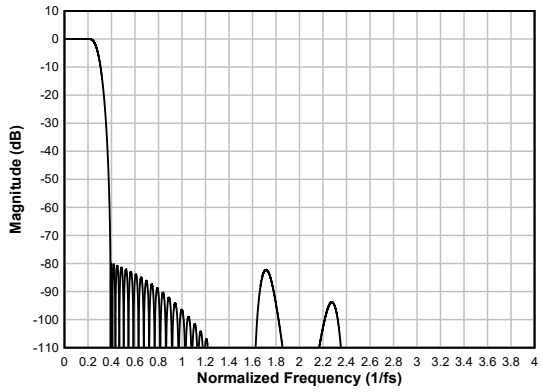


图 7-27. 线性相位抽取滤波器幅度响应

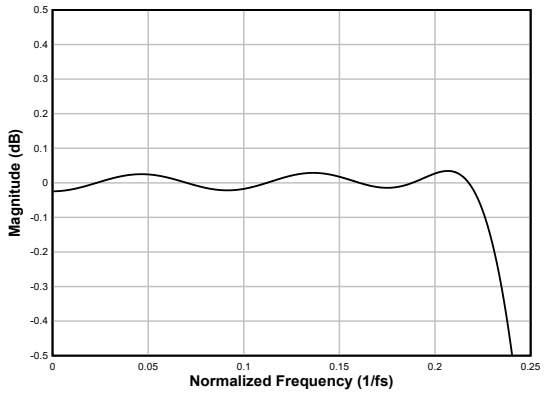


图 7-28. 线性相位抽取滤波器通带纹波

表 7-18. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.223 × f_S	-0.04		0.04	dB
阻带衰减	频率范围为 0.391 × f_S 至 4 × f_S	80			dB
	频率范围为 4 × f_S 以上	82.2			

Copyright © 2024 Texas Instruments Incorporated

表 7-18. 线性相位抽取滤波器规格（续）

参数	测试条件	最小值	典型值	最大值	单位
群延迟或延时	频率范围为 0 至 0.258 × f_S		11.6		$1/f_S$

7.3.7.2.2 低延迟滤波器

对于低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 TAC5242 上的低延迟抽取滤波器。该器件支持这些滤波器，其群延迟约为七个样本，在 0.376 × f_S 频带内具有几乎为线性的相位响应。本节提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

7.3.7.2.2.1 采样速率：24kHz 或 22.05kHz

图 7-29 展示了采样速率为 24kHz 或 22.05kHz 时此抽取滤波器的幅度响应，而图 7-30 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 7-19 列出了器件的规格。

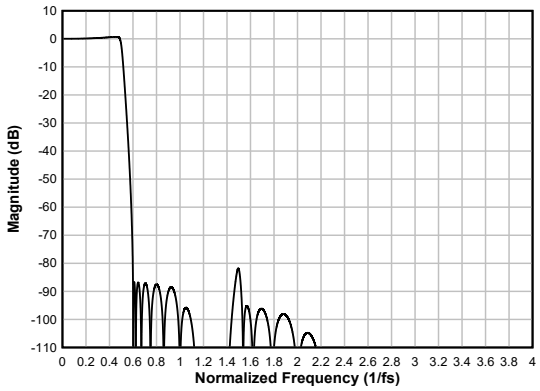


图 7-29. 低延迟抽取滤波器幅度响应

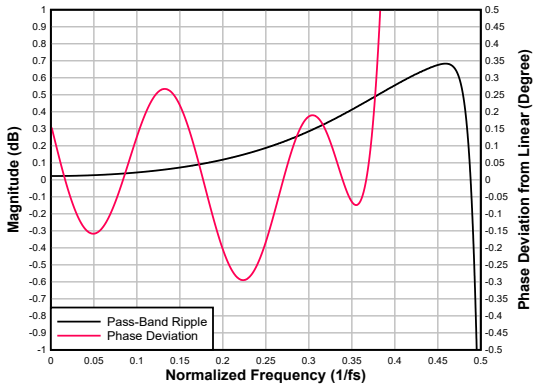


图 7-30. 低延迟抽取滤波器通带纹波和相位偏差

表 7-19. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.492 × f_S	-0.67		-0.67	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	81.8			dB
	频率范围为 4 × f_S 以上	115			
群延迟或延时	频率范围为 0 至 0.376 × f_S		6.5		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.092		0.029	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.3		0.27	度

7.3.7.2.2.2 采样速率：32kHz 或 29.4kHz

图 7-31 展示了采样速率为 32kHz 或 29.4kHz 时此抽取滤波器的幅度响应，而图 7-32 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 7-20 列出了器件的规格。

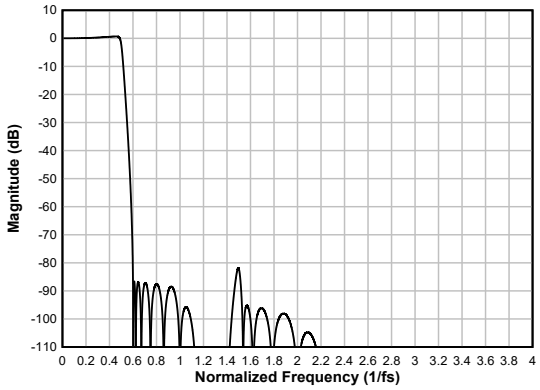


图 7-31. 低延迟抽取滤波器幅度响应

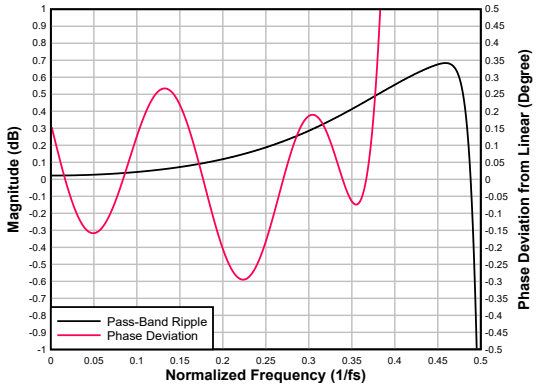


图 7-32. 低延迟抽取滤波器通带纹波和相位偏差

Copyright © 2024 Texas Instruments Incorporated

表 7-20. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.492 × f_S	-0.67		-0.67	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	81.8			dB
	频率范围为 4 × f_S 以上	115			
群延迟或延时	频率范围为 0 至 0.376 × f_S		6.5		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.092		0.029	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.3		0.27	度

7.3.7.2.2.3 采样速率：48kHz 或 44.1kHz

图 7-33 展示了采样速率为 48kHz 或 44.1kHz 时此抽取滤波器的幅度响应，而图 7-34 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 7-21 列出了器件的规格。

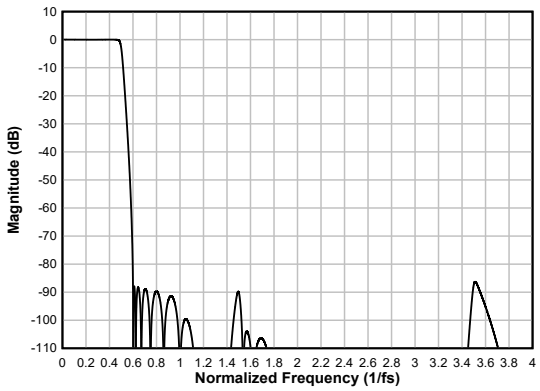


图 7-33. 低延迟抽取滤波器幅度响应

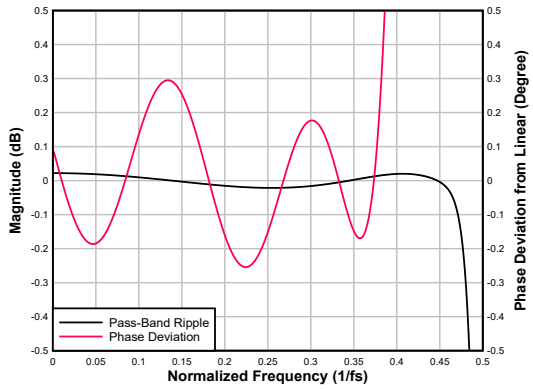


图 7-34. 低延迟抽取滤波器通带纹波和相位偏差

表 7-21. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.456 × f_S	-0.02		-0.02	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	86.3			dB
	频率范围为 4 × f_S 以上	96.8			
群延迟或延时	频率范围为 0 至 0.376 × f_S		6.6		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.086		0.027	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.25		0.3	度

7.3.7.2.2.4 采样速率：96kHz 或 88.2kHz

图 7-35 展示了采样速率为 96kHz 或 88.2kHz 时此抽取滤波器的幅度响应，而图 7-36 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 7-22 列出了器件的规格。

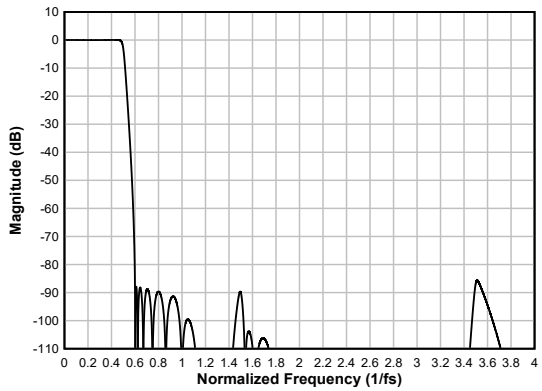


图 7-35. 低延迟抽取滤波器幅度响应

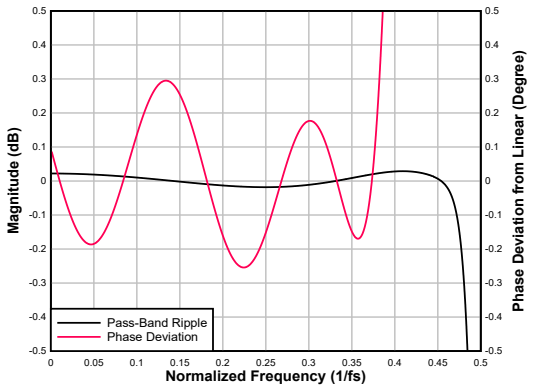


图 7-36. 低延迟抽取滤波器通带纹波和相位偏差

表 7-22. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.456 × f_S	-0.02		0.03	dB
阻带衰减	频率范围为 0.599 × f_S 至 4 × f_S	85.6			dB
	频率范围为 4 × f_S 以上	95.7			
群延迟或延时	频率范围为 0 至 0.376 × f_S		6.6		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.086		0.022	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.25		0.022	度

7.3.7.2.2.5 采样速率：192kHz 或 176.4kHz

图 7-37 展示了采样速率为 192kHz 或 176.4kHz 时此抽取滤波器的幅度响应，而图 7-38 展示了该条件下此抽取滤波器的通带纹波和相位偏差。表 7-23 列出了器件的规格。

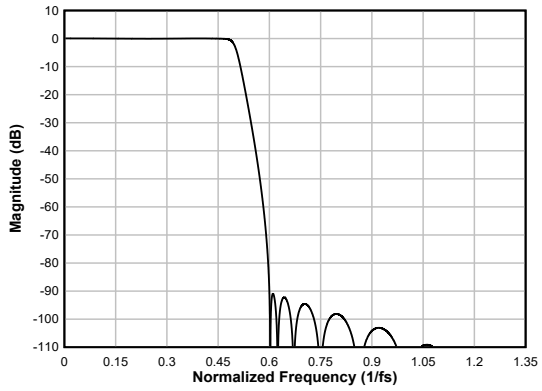


图 7-37. 低延迟抽取滤波器幅度响应

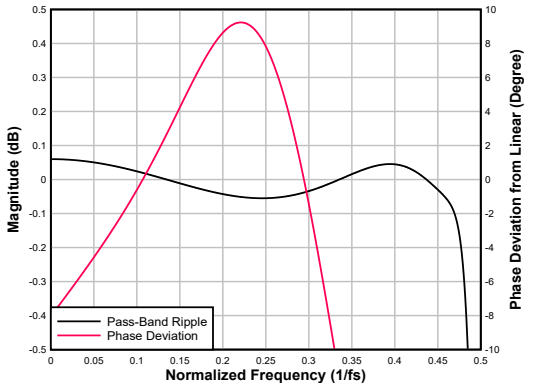


图 7-38. 低延迟抽取滤波器通带纹波和相位偏差

表 7-23. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.456 × f_S	-0.06		0.06	dB
阻带衰减	频率范围为 0.571 × f_S 至 1.35 × f_S	90.5			dB
	频率范围为 1 × f_S 以上	86.9			
群延迟或延时	频率范围为 0 至 0.327 × f_S		6.8		1/f_S
群延迟偏差	频率范围为 0 至 0.327 × f_S	-0.296		0.829	1/f_S

Copyright © 2024 Texas Instruments Incorporated

表 7-23. 低延迟抽取滤波器规格（续）

参数	测试条件	最小值	典型值	最大值	单位
相位偏差	频率范围为 0 至 0.327 × f_S	-9.24		9.24	度

7.3.8 DAC 信号链

图 7-39 展示了回放信号链的关键元件。

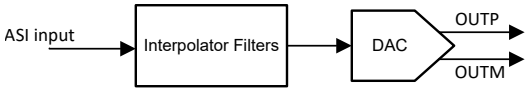


图 7-39. DAC 信号链处理流程图

DAC 信号链为低噪声和高保真音频应用提供高度灵活的低噪声回放路径。这款低噪声和低失真、多位 Δ-Σ DAC 使 TAC5242 能够以非常低的功耗实现高动态范围。此外，DAC 架构具有固有的抗混叠滤波功能，能够很好地抑制多个调制器频率分量附近的带外频率噪声。因此，该器件可防止噪声混叠到音频频带中。TAC5242 还集成了高性能多级数字内插滤波器，该滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

Copyright © 2024 Texas Instruments Incorporated

7.3.8.1 数字内插滤波器

器件回放通道包括高动态范围和内置数字内插滤波器，用于处理输入数据流，从而为多位 Δ-Σ 调制器生成数字数据流。可以根据 MD2 和 MD1 引脚的状态将器件中的内插滤波器选择为线性相位滤波器或低延迟滤波器，请参考表 7-3。因此，这些器件适用于各种音频应用。下一节介绍了不同采样速率下的滤波器响应。

7.3.8.1.1 线性相位滤波器

线性相位内插滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

7.3.8.1.1.1 采样速率：8kHz 或 7.35kHz

图 7-40 和图 7-41 分别展示了采样速率为 8kHz 或 7.35kHz 时此内插滤波器的幅度响应和通带纹波，而表 7-24 列出了其规格。

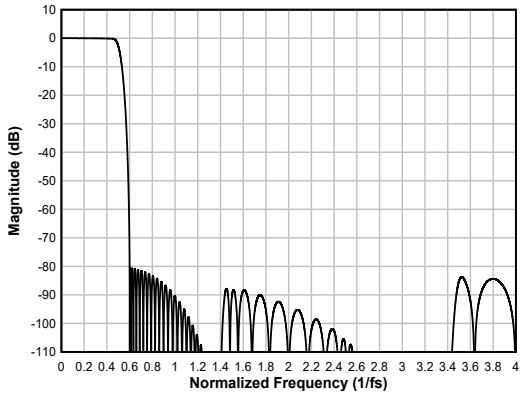


图 7-40. 线性相位内插滤波器幅度响应

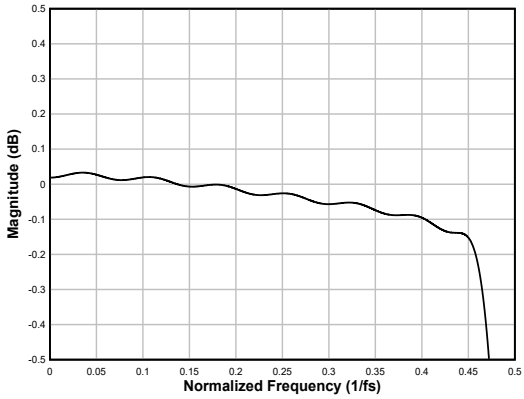


图 7-41. 线性相位内插滤波器通带纹波

表 7-24. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.17		0.03	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.4			dB
	频率范围为 4 × f_S 至 7.431 × f_S	86.9			
群延迟或延时	频率范围为 0 至 0.455 × f_S		16		1/f_S

7.3.8.1.1.2 采样速率：16kHz 或 14.7kHz

图 7-42 和图 7-43 分别展示了采样速率为 16kHz 或 14.7kHz 时此内插滤波器的幅度响应和通带纹波，而表 7-25 列出了其规格。

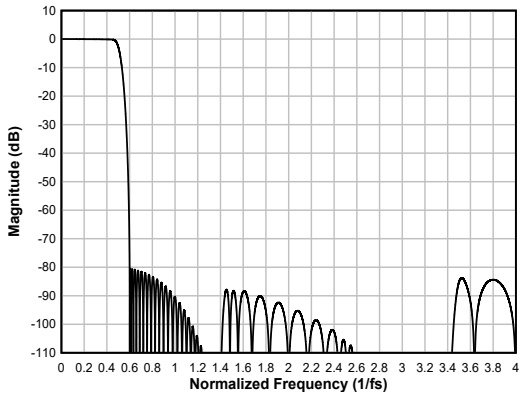


图 7-42. 线性相位内插滤波器幅度响应

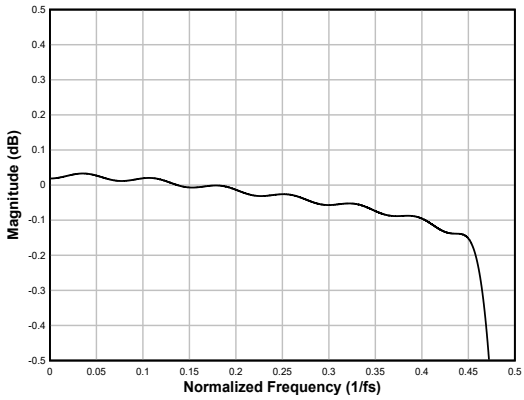


图 7-43. 线性相位内插滤波器通带纹波

表 7-25. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.17		0.03	dB
阻带衰减	频率范围为 0.6 × f_S 至 4 × f_S	80.4			dB
	频率范围为 4 × f_S 至 7.431 × f_S	86.9			
群延迟或延时	频率范围为 0 至 0.455 × f_S		16		1/f_S

7.3.8.1.1.3 采样速率：24kHz 或 22.05kHz

图 7-44 和图 7-45 分别展示了采样速率为 24kHz 或 22.05kHz 时此内插滤波器的幅度响应和通带纹波，而表 7-26 列出了其规格。

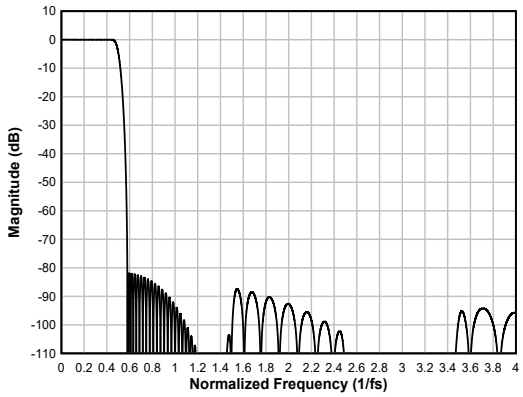


图 7-44. 线性相位内插滤波器幅度响应

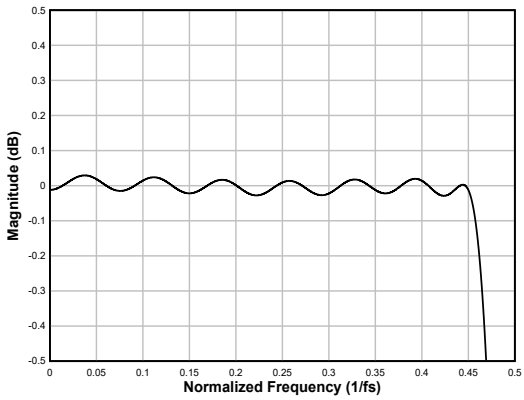


图 7-45. 线性相位内插滤波器通带纹波

表 7-26. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.05		0.03	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	81.9			dB
	频率范围为 4 × f_S 至 8 × f_S	87.7			

Copyright © 2024 Texas Instruments Incorporated

表 7-26. 线性相位内插滤波器规格（续）

参数	测试条件	最小值	典型值	最大值	单位
群延迟或延时	频率范围为 0 至 0.455 × f_S		17.6		$1/f_S$

7.3.8.1.1.4 采样速率：32kHz 或 29.4kHz

图 7-46 和图 7-47 分别展示了采样速率为 32kHz 或 29.4kHz 时此内插滤波器的幅度响应和通带纹波，而表 7-27 列出了其规格。

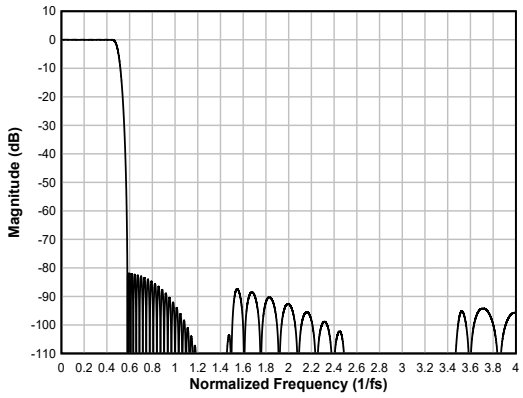


图 7-46. 线性相位内插滤波器幅度响应

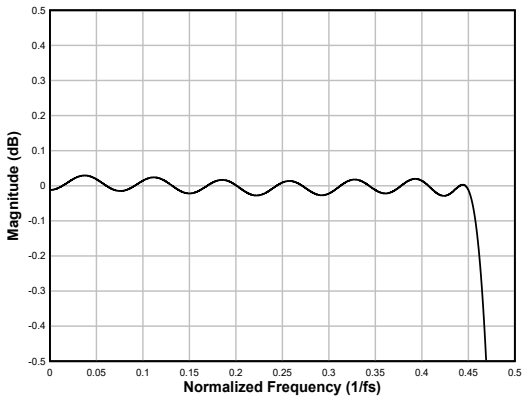


图 7-47. 线性相位内插滤波器通带纹波

表 7-27. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.05		0.03	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	81.9			dB
	频率范围为 4 × f_S 至 8 × f_S	87.6			
群延迟或延时	频率范围为 0 至 0.455 × f_S		17.6		$1/f_S$

7.3.8.1.1.5 采样速率：48kHz 或 44.1kHz

图 7-48 和图 7-49 分别展示了采样速率为 48kHz 或 44.1kHz 时此内插滤波器的幅度响应和通带纹波，而表 7-28 列出了其规格。

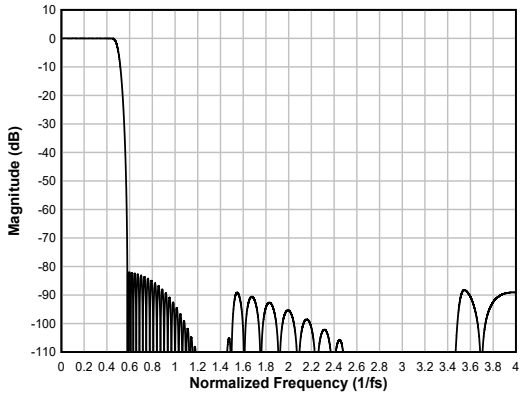


图 7-48. 线性相位内插滤波器幅度响应

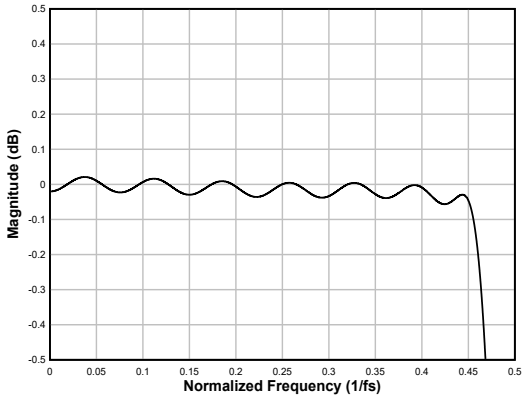


图 7-49. 线性相位内插滤波器通带纹波

表 7-28. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.09		0.02	dB
阻带衰减	频率范围为 0.58 × f_S 至 4 × f_S	82			dB
	频率范围为 4 × f_S 至 7.423 × f_S	89.1			
群延迟或延时	频率范围为 0 至 0.455 × f_S		17.3		1/f_S

7.3.8.1.1.6 采样速率：96kHz 或 88.2kHz

图 7-50 和图 7-51 分别展示了采样速率为 96kHz 或 88.2kHz 时此内插滤波器的幅度响应和通带纹波，而表 7-29 列出了其规格。

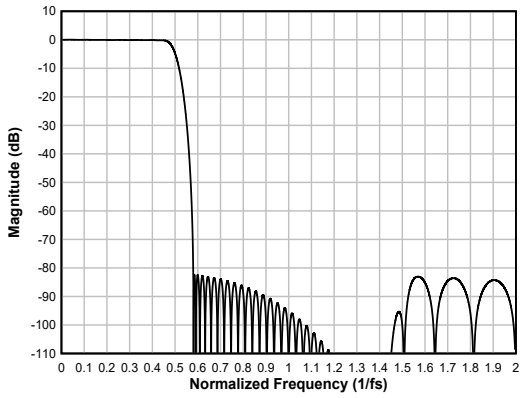


图 7-50. 线性相位内插滤波器幅度响应

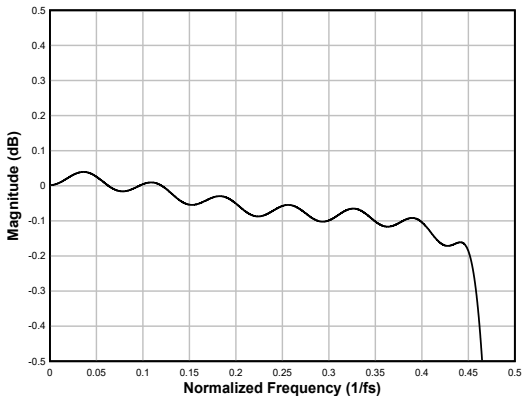


图 7-51. 线性相位内插滤波器通带纹波

表 7-29. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.23		0.04	dB
阻带衰减	频率范围为 0.58 × f_S 至 2 × f_S	82.4			dB
	频率范围为 2 × f_S 至 3.422 × f_S	85.1			
群延迟或延时	频率范围为 0 至 0.455 × f_S		16.7		1/f_S

7.3.8.1.1.7 采样速率：192kHz 或 176.4kHz

图 7-52 和图 7-53 分别展示了采样速率为 192kHz 或 176.4kHz 时此内插滤波器的幅度响应和通带纹波，而表 7-30 列出了其规格。

Copyright © 2024 Texas Instruments Incorporated

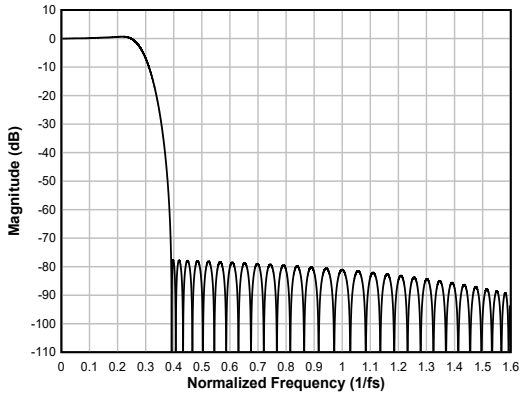


图 7-52. 线性相位内插滤波器幅度响应

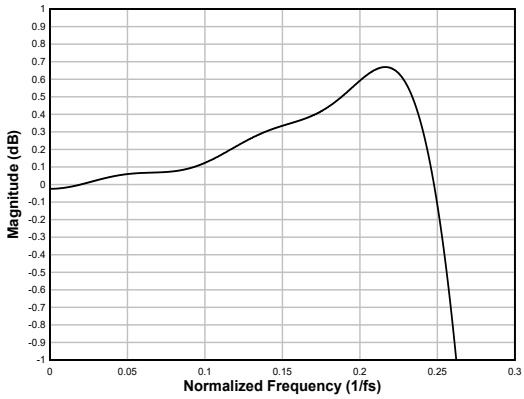


图 7-53. 线性相位内插滤波器通带纹波

表 7-30. 线性相位内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.258 × f_S	-0.67		0.67	dB
阻带衰减	频率范围为 0.391 × f_S 至 1 × f_S	77.7			dB
	频率范围为 1 × f_S 至 1.612 × f_S	81.1			
群延迟或延时	频率范围为 0 至 0.258 × f_S		10.7		1/f_S

7.3.8.1.2 低延迟滤波器

对于低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 TAC5242 上的低延迟内插滤波器。该器件支持这些滤波器，其群延迟约为七个样本，在 0.376 × f_S 频带内具有几乎为线性的相位响应。本节提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

7.3.8.1.2.1 采样速率：24kHz 或 22.05kHz

图 7-54 显示了采样速率为 24kHz 或 22.05kHz 时此内插滤波器的幅度响应，而图 7-55 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 7-31 列出了器件的规格。

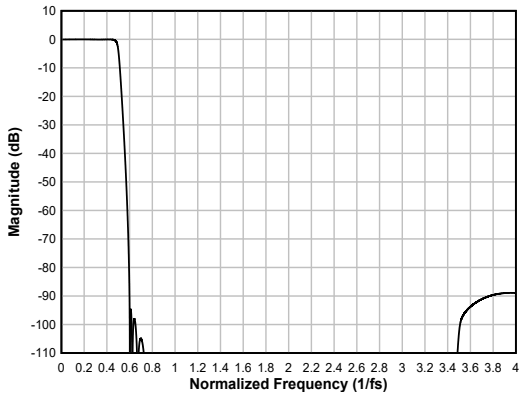


图 7-54. 低延迟内插滤波器幅度响应

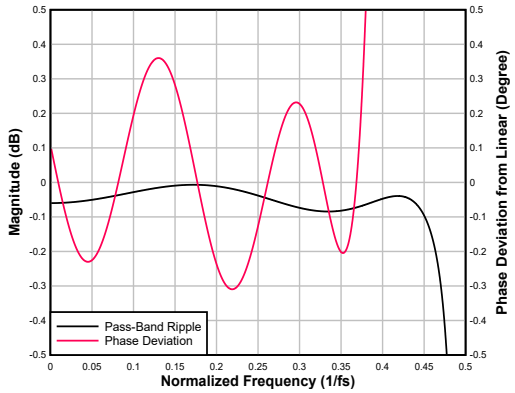


图 7-55. 低延迟内插滤波器通带纹波和相位偏差

表 7-31. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.12		-0.01	dB
阻带衰减	频率范围为 0.599 × f_S 至 4 × f_S	88.9			dB
	频率范围为 4 × f_S 至 7.414 × f_S	89			
群延迟或延时	频率范围为 0 至 0.376 × f_S		7.19		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.088		0.088	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.31		0.36	度

7.3.8.1.2.2 采样速率：32kHz 或 29.4kHz

图 7-56 显示了采样速率为 32kHz 或 29.4kHz 时此内插滤波器的幅度响应，而图 7-57 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 7-32 列出了器件的规格。

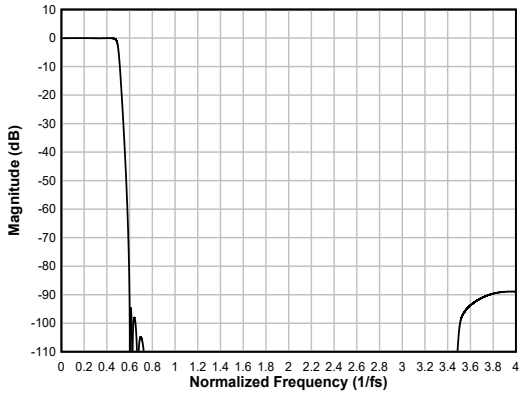


图 7-56. 低延迟内插滤波器幅度响应

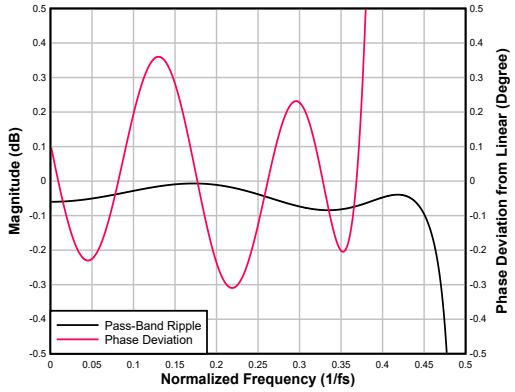


图 7-57. 低延迟内插滤波器通带纹波和相位偏差

Copyright © 2024 Texas Instruments Incorporated

表 7-32. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.12		-0.01	dB
阻带衰减	频率范围为 0.599 × f_S 至 4 × f_S	88.9			dB
	频率范围为 4 × f_S 至 7.414 × f_S	89			
群延迟或延时	频率范围为 0 至 0.376 × f_S		7.19		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.088		0.088	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.31		0.36	度

7.3.8.1.2.3 采样速率：48kHz 或 44.1kHz

图 7-58 显示了采样速率为 48kHz 或 44.1kHz 时此内插滤波器的幅度响应，而图 7-59 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 7-33 列出了器件的规格。

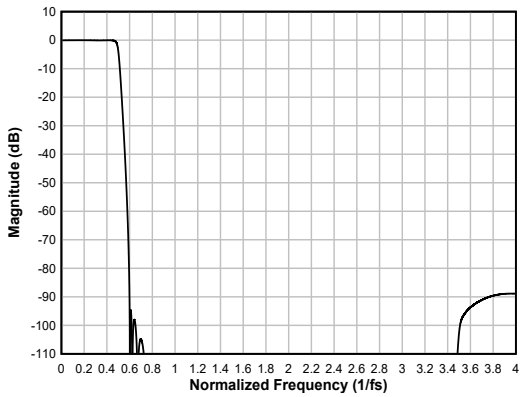


图 7-58. 低延迟内插滤波器幅度响应

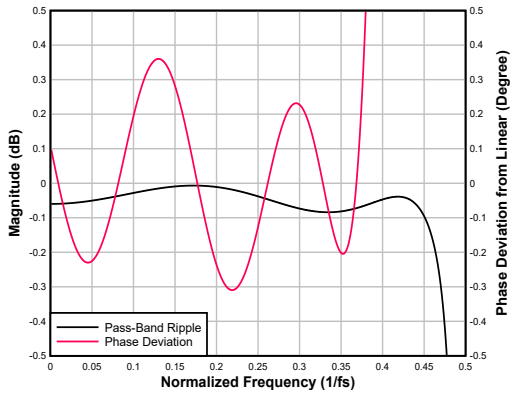


图 7-59. 低延迟内插滤波器通带纹波和相位偏差

表 7-33. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.455 × f_S	-0.12		-0.01	dB
阻带衰减	频率范围为 0.599 × f_S 至 4 × f_S	88.9			dB
	频率范围为 4 × f_S 至 7.414 × f_S	89			
群延迟或延时	频率范围为 0 至 0.376 × f_S		7.19		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.088		0.088	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.31		0.36	度

7.3.8.1.2.4 采样速率：96kHz 或 88.2kHz

图 7-60 显示了采样速率为 96kHz 或 88.2kHz 时此内插滤波器的幅度响应，而图 7-61 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 7-34 列出了器件的规格。

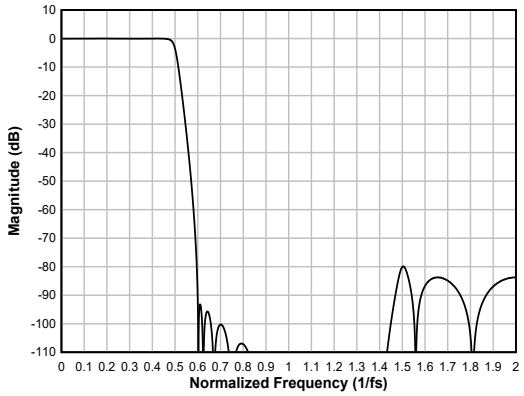


图 7-60. 低延迟内插滤波器幅度响应

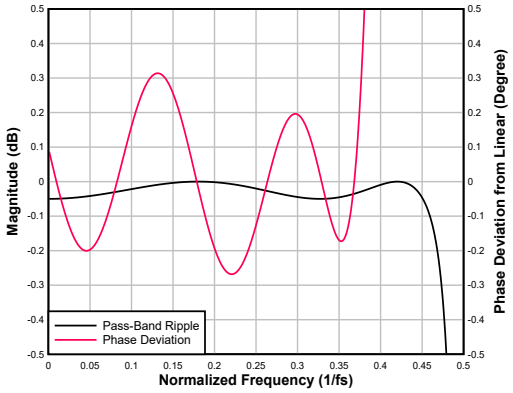


图 7-61. 低延迟内插滤波器通带纹波和相位偏差

表 7-34. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.456 × f_S	-0.07		0	dB
阻带衰减	频率范围为 0.595 × f_S 至 2 × f_S	79.9			dB
	频率范围为 2 × f_S 至 3.405 × f_S	79.9			
群延迟或延时	频率范围为 0 至 0.376 × f_S		6.39		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.078		0.022	1/f_S
相位偏差	频率范围为 0 至 0.376 × f_S	-0.268		0.022	度

7.3.8.1.2.5 采样速率：192kHz 或 176.4kHz

图 7-62 显示了采样速率为 192kHz 或 176.4kHz 时此内插滤波器的幅度响应，而图 7-63 显示了该条件下此内插滤波器的通带纹波和相位偏差。表 7-35 列出了器件的规格。

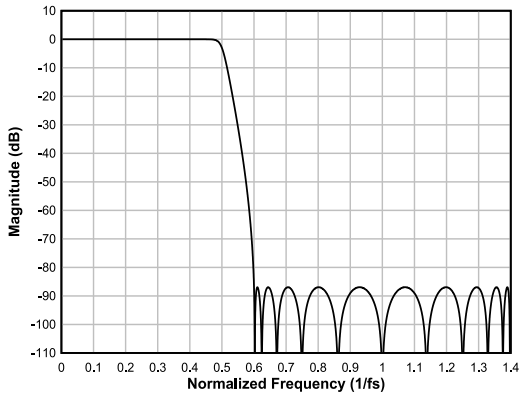


图 7-62. 低延迟内插滤波器幅度响应

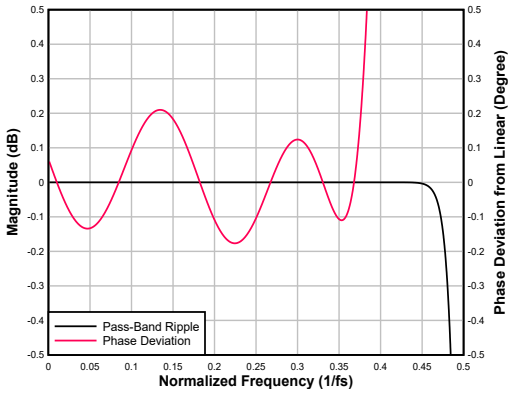


图 7-63. 低延迟内插滤波器通带纹波和相位偏差

表 7-35. 低延迟内插滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 0.452 × f_S	-0.005		0	dB
阻带衰减	频率范围为 0.6 × f_S 至 1 × f_S	86.9			dB
	频率范围为 1 × f_S 至 1.401 × f_S	86.9			
群延迟或延时	频率范围为 0 至 0.376 × f_S		5.41		1/f_S
群延迟偏差	频率范围为 0 至 0.376 × f_S	-0.055		0.055	1/f_S

Copyright © 2024 Texas Instruments Incorporated

表 7-35. 低延迟内插滤波器规格（续）

参数	测试条件	最小值	典型值	最大值	单位
相位偏差	频率范围为 0 至 0.376 × f_S	-0.177		0.21	度

7.4 器件功能模式

7.4.1 工作模式

当 AVDD 和 IOVDD 可用时，器件会在工作模式下唤醒。MD0 引脚设置音频串行接口的类型，并且应与电源一起配置。此外，在为器件启用时钟之前，针对所需的运行模式配置所有其他硬件控制模式引脚（MD1、MD2、MD3、MD4 和 MD5）。

在工作模式下，如果音频时钟可用，则器件会根据配置自动为所有 ADC 和 DAC 通道加电并开始通过音频串行接口接收和发送数据。如果时钟停止，则器件会自动关闭 ADC 和 DAC 通道。

停止时钟或出现时钟错误都会在 GPO 引脚上触发中断。此为锁存中断，可以通过对器件电源进行下电上电来清除。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TAC5242 是一款引脚或硬件控制的高性能立体声音频编解码器，在录制和回放路径上均支持高达 192kHz 的采样速率。可以通过控制模式引脚 MD0 至 MD5 来配置该器件，并且该器件可以支持 1.8V 或 3.3V AVDD 模拟电源以及 I²S/TDM/LJ 的灵活数字音频接口。ADC 具有差分和单端输入功能，并可以支持线路输入和麦克风输入，用于进行具有高动态范围的立体声录音，而 DAC 支持多种输出配置（如 2 通道差分输出、单端输出或伪差分输出）和外部共模检测输出，并具有耳机和线路输出驱动功能选项。

8.2 典型应用

8.2.1 应用

图 8-1 展示了 TAC5242 的典型配置，适用于通过目标模式 I²S 音频串行数据接口使用两通道差分交流耦合麦克风运行和两通道差分线路输出运行的应用。为了获得出色的失真性能，请使用具有低电压系数的输入交流耦合电容器。

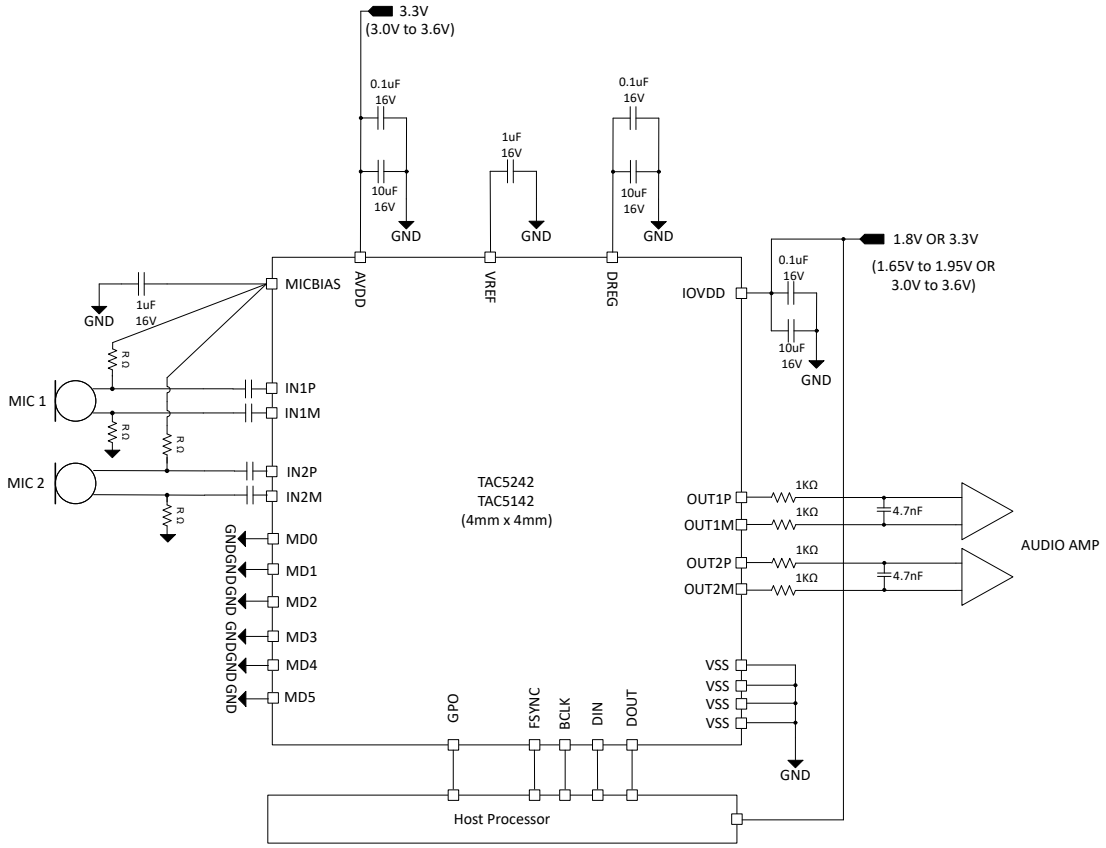


图 8-1. 目标 I²S 模式下具有立体声差分线路输出的立体声差分交流耦合麦克风方框图

8.2.2 设计要求

表 8-1 列出了此应用的设计参数。

Copyright © 2024 Texas Instruments Incorporated

表 8-1. 设计参数

参数	值
AVDD	3.3V
IOVDD	1.8V 或 3.3V
AVDD 电源电流消耗	27mA，AVDD = 3.3V
IOVDD 电源电流消耗	0.1mA，IOVDD = 3.3V
最大 MICBIAS 电流	5mA
OUT1M、OUT1P、OUT2M、OUT2P 上的负载	>600 欧姆

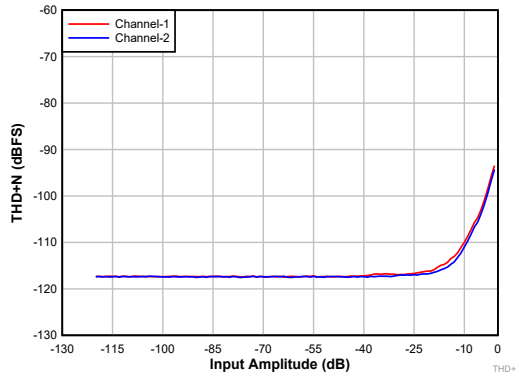
8.2.3 详细设计过程

本节介绍了为此特定应用配置 TAC5242 的必要步骤。

1. 音频串行接口 (ASI) 模式基于 MD0 引脚设置进行配置，该设置需要与电源一起提供。将 MD0 配置为使用适当的电阻值上拉至 AVDD 或下拉至 VSS。对于此应用示例，将 MD0 配置为接地。
2. 为器件通电：
   a. 为 IOVDD 和 AVDD 电源上电。
   b. 确保电源上电后 MD0 引脚设置保持稳定并等待至少 2ms，以让器件为此运行模式进行初始化。
   c. 器件现在进入睡眠模式（低功耗模式 < 1.5mA）
3. 根据系统要求配置模式引脚 MD1 至 MD5：
   a. 在 MD1 至 MD5 引脚上，根据所需配置上拉至 IOVDD 或下拉至 VSS。针对此应用的用例，MD1 至 MD5 引脚接地。
4. 施加 ASI 时钟信号（BCLK 和 FSYNC）来唤醒器件。
5. 要将器件重新置于睡眠模式，请停止时钟：
   a. 等待至少 100ms，让器件完成内部关断序列。
   b. 根据要求将 MD1 至 MD5 引脚设置来更改器件配置。
6. 要更改 ASI 模式，请重新配置 MD0 引脚并对器件执行下电上电操作。
7. 根据模式转换要求，重复步骤 1-6。

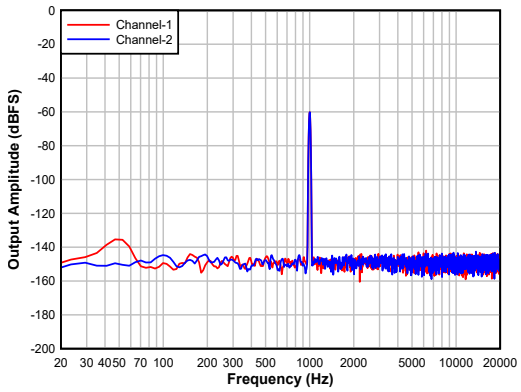
8.2.4 应用性能曲线图

T_A = 25°C、AVDD = 3.3V、IOVDD = 3.3V、f_{IN} = 1kHz 正弦信号、f_S = 48kHz、32 位音频数据、BCLK = 256 × f_S、TDM 目标模式和线性相位抽取和内插滤波器、采用差分交流耦合线路输入配置以及采用差分配置的 1200Ω 线路输出负载；测量时无滤波器，使用 Audio Precision 在 20Hz 至 20kHz 未加权带宽下测量（除非另有说明）



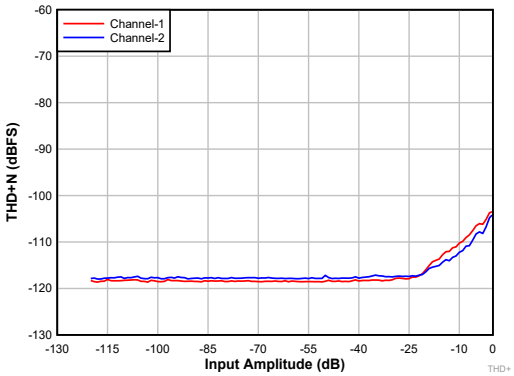
交流耦合差分线路输入

图 8-2. ADC THD + N 级别与输入间的关系



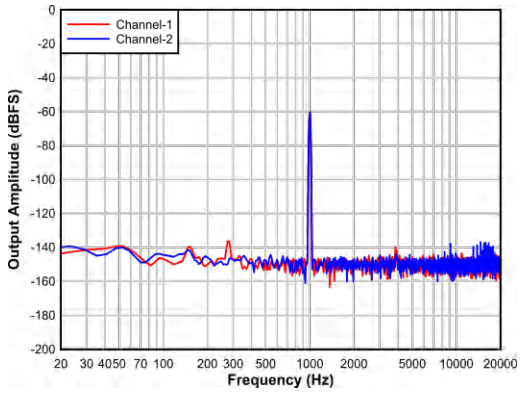
交流耦合差分线路输入 (-60dBFS)

图 8-3. 具有-60dBFS 输入的 ADC FFT



差分输出

图 8-4. DAC THD + N 级别与输入间的关系



差分输出（-60dBFS 输入）

图 8-5. 具有-60dBFS 输入的 DAC FFT

8.3 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。MD0 引脚应与电源一起提供，并且一旦电源稳定到建议的工作电压电平，该引脚就应该保持稳定。只有在所有其他模式引脚（MD1 至 MD5）也稳定后，才能启动时钟来初始化器件。

对于电源加电要求，t_1、t_2 和 t_3 必须至少为 2ms 才能让器件初始化内部设置。有关器件电源稳定至建议的工作电压电平后，该器件如何在各种模式下运行的详细信息，请参阅 *节 7.3.1*。对于电源断电要求，t_4、t_5 和 t_6 必须至少为 10ms。该时序（如图 8-6 所示）允许器件慢慢降低录制和播放数据的音量，关闭模拟和数字块，以及将器件置于低功耗模式。

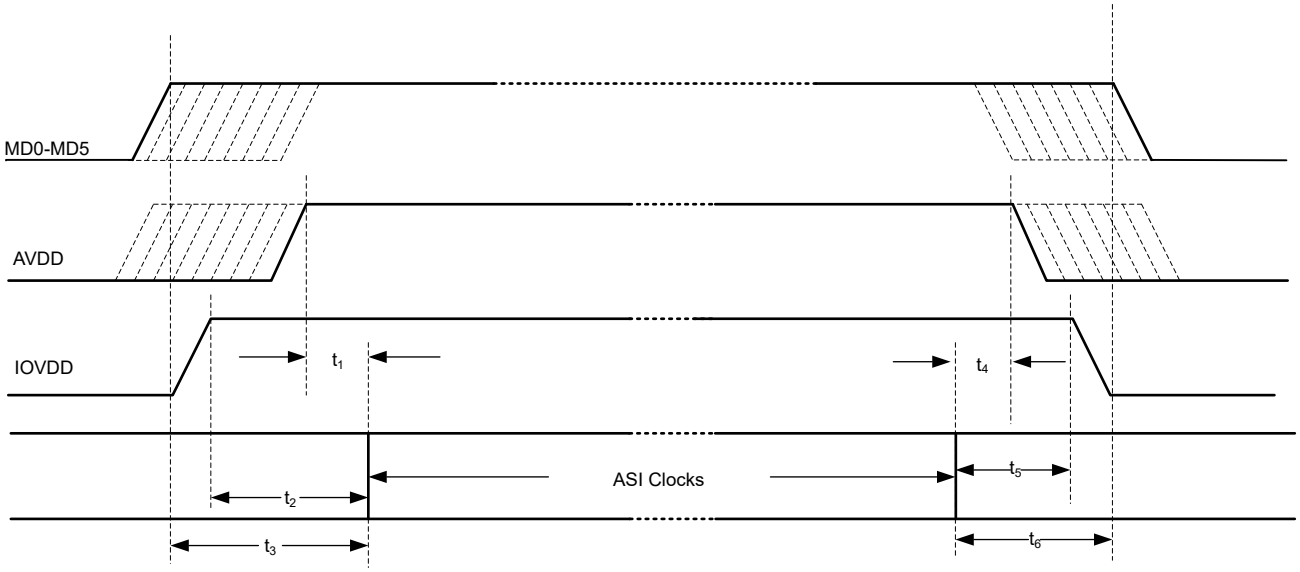


图 8-6. 电源时序要求时序图

确保电源斜坡速率低于 0.1V/μs，并且断电和上电事件之间的等待时间至少为 100ms。

TAC5242 通过集成片上数字稳压器、DREG 和内部模拟稳压器，支持单 AVDD 电源运行。

Copyright © 2024 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

每个系统设计和印刷电路板 (PCB) 布局布线都是独一无二的。必须在特定 PCB 设计的背景下仔细审查布局。但是，以下指南可以优化器件性能：

- 将散热焊盘连接至地。使用过孔布局将器件散热焊盘（即器件正下方的区域）连接到接地平面。该连接有助于散发器件产生的热量。
- 在 VSS 和 VSSA 之间使用相同的接地，以避免它们之间存在任何电势电压差。
- 电源的去耦电容器必须放置在靠近器件引脚的位置。
- 在 PCB 上以差分方式路由模拟差分音频信号，以获得更好的抗噪性。避免数字和模拟信号交叉，以防止出现不良串扰。
- 尽可能避免在 INxx 和 OUTxx 引脚附近运行高频时钟和控制信号。
- 必须使用外部电容器对器件内部基准电压进行滤波。将滤波电容器放置在 VREF 引脚附近以获得良好性能。
- 在为多个麦克风布线偏置或电源引线时，直接分接 MICBIAS 引脚以避免公共阻抗，从而避免麦克风之间的耦合。
- 提供从 VREF 和 MICBIAS 外部电容器接地端子到 VSS 引脚的直接连接。
- 将 MICBIAS 电容器（具有低等效串联电阻）放置在靠近具有最小引线阻抗的器件处。
- 使用接地平面为器件和去耦电容器之间的电源和信号电流提供最低阻抗。将器件正下方的区域视为器件的中心接地区域，所有器件接地必须直接连接到该区域。

8.4.2 布局示例

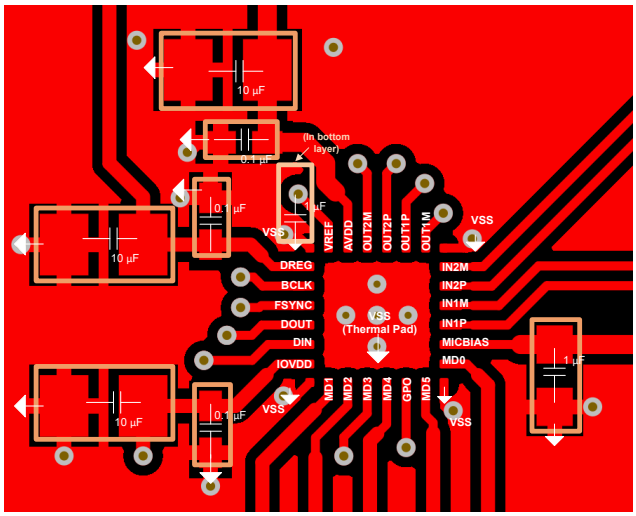


图 8-7. 示例布局

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*TAx5x42EVM-K 硬件控制评估模块* 用户指南

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (January 2024) to Revision A (November 2024)	Page
• 将器件状态更新为量产数据。	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAC5242IRGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TAC5242
TAC5242IRGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TAC5242

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

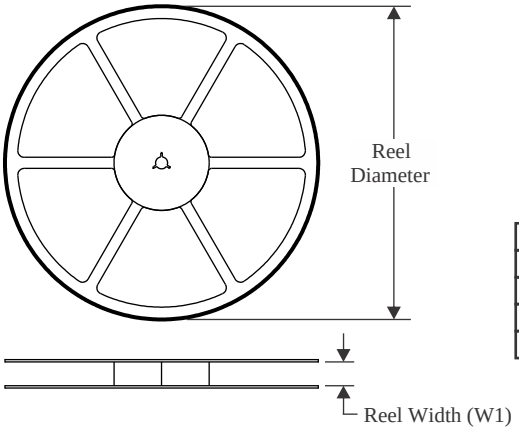
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

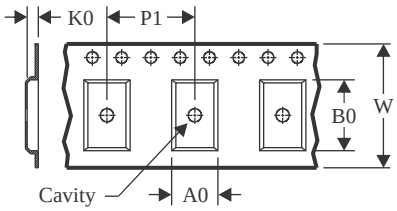
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

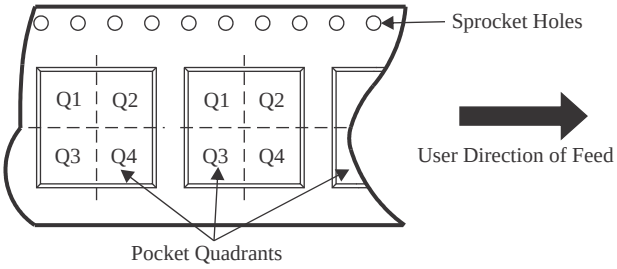


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

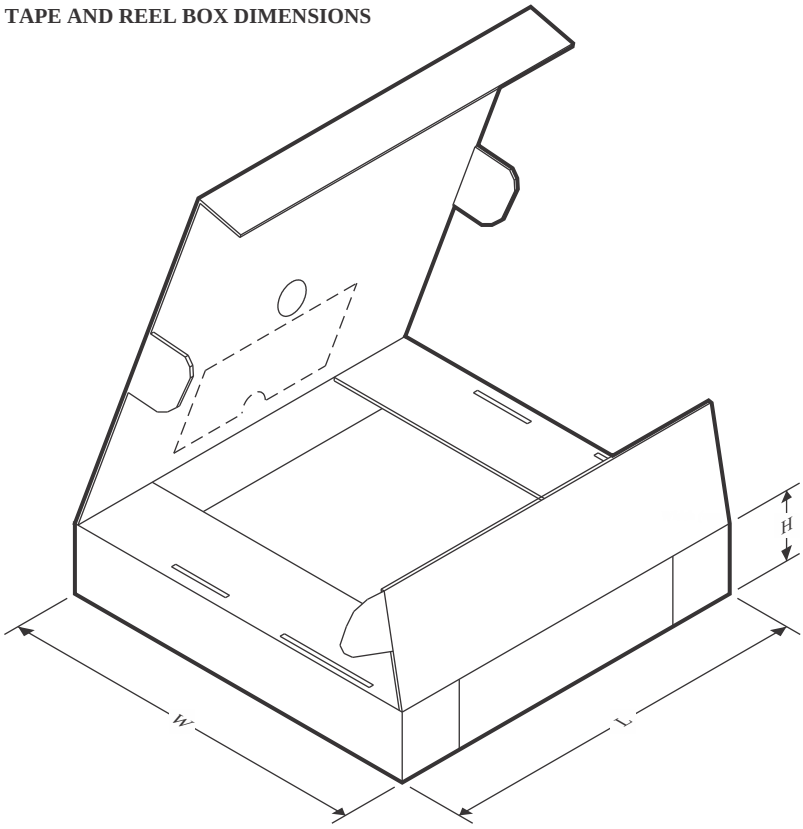
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAC5242IRGER	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

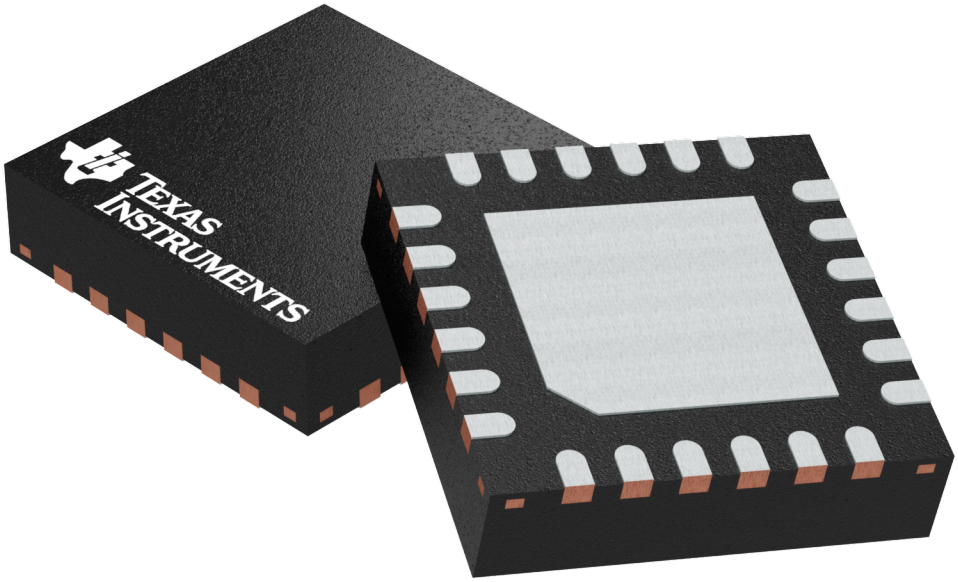


*All dimensions are nominal

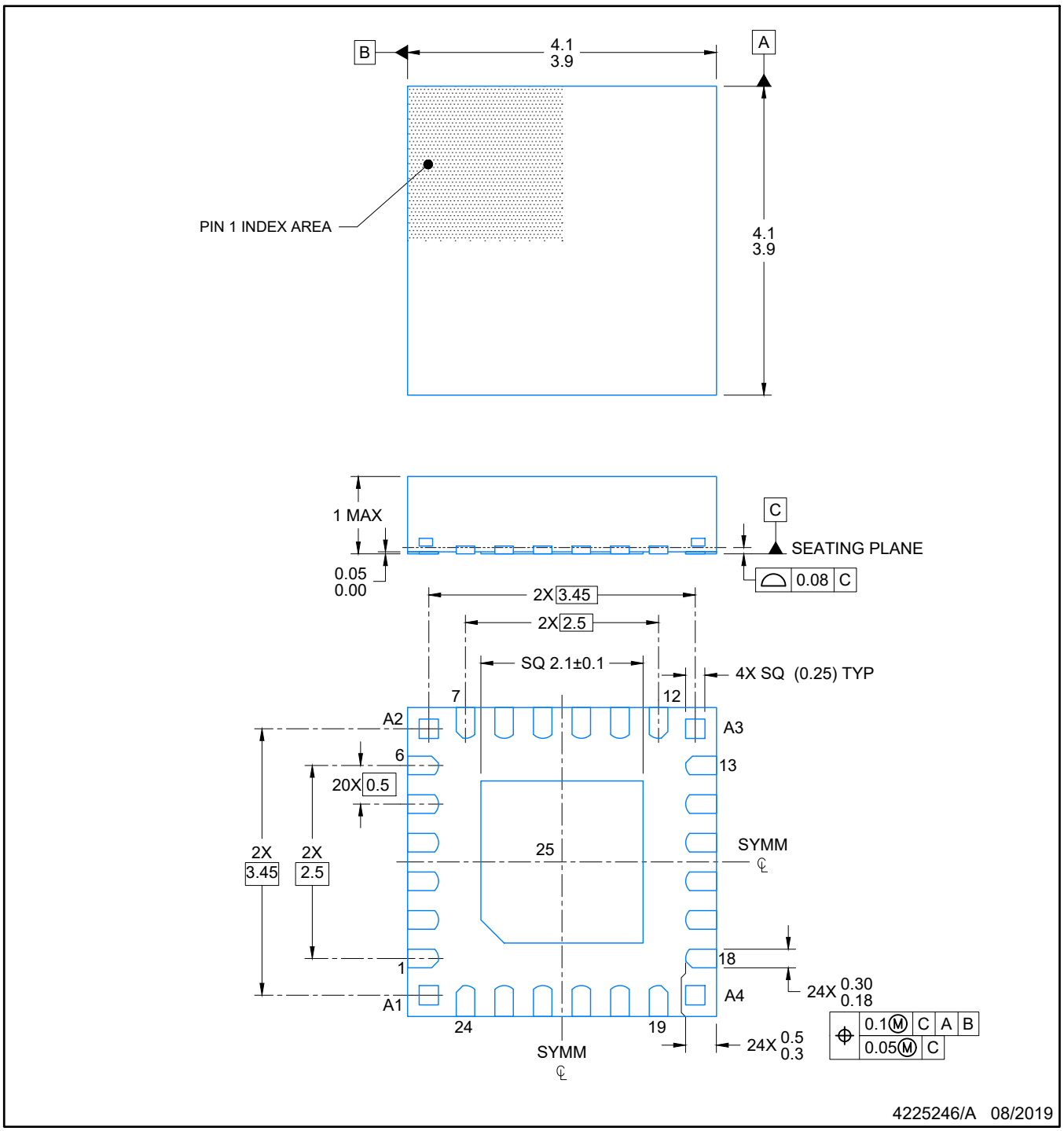
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAC5242IRGER	VQFN	RGE	24	3000	360.0	360.0	36.0

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

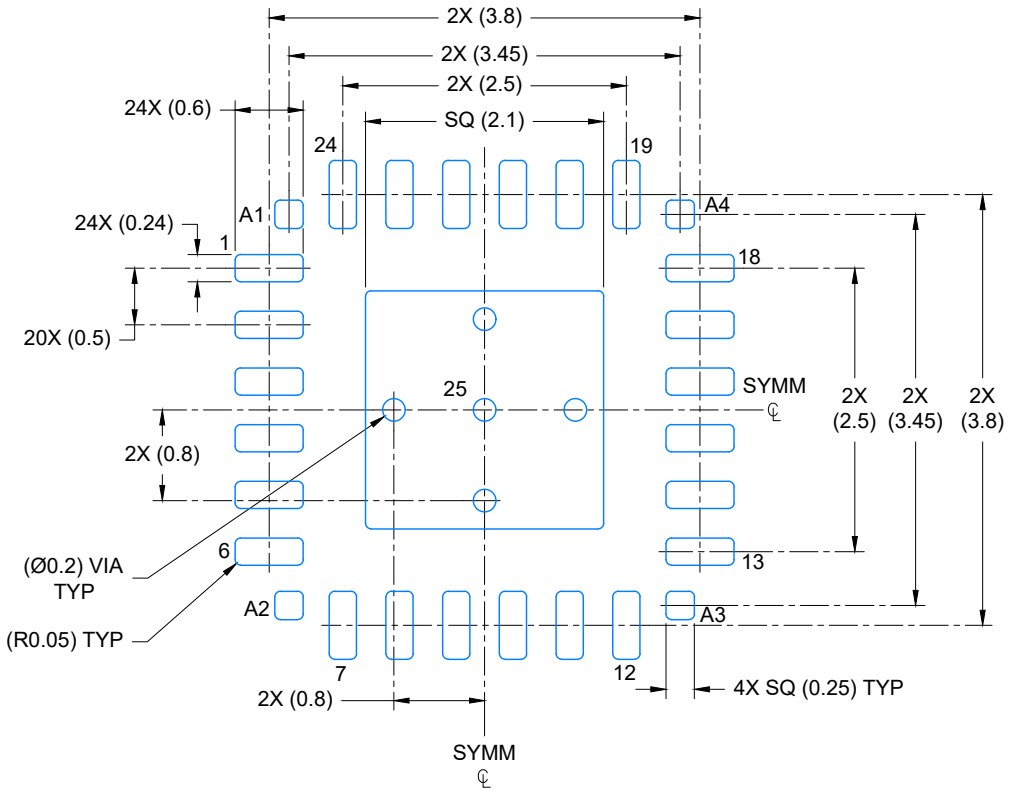


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

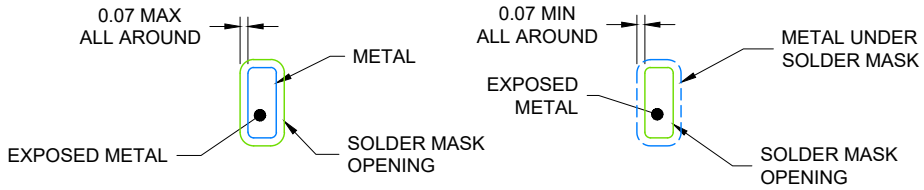


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



NON SOLDER MASK DEFINED (PREFERRED)

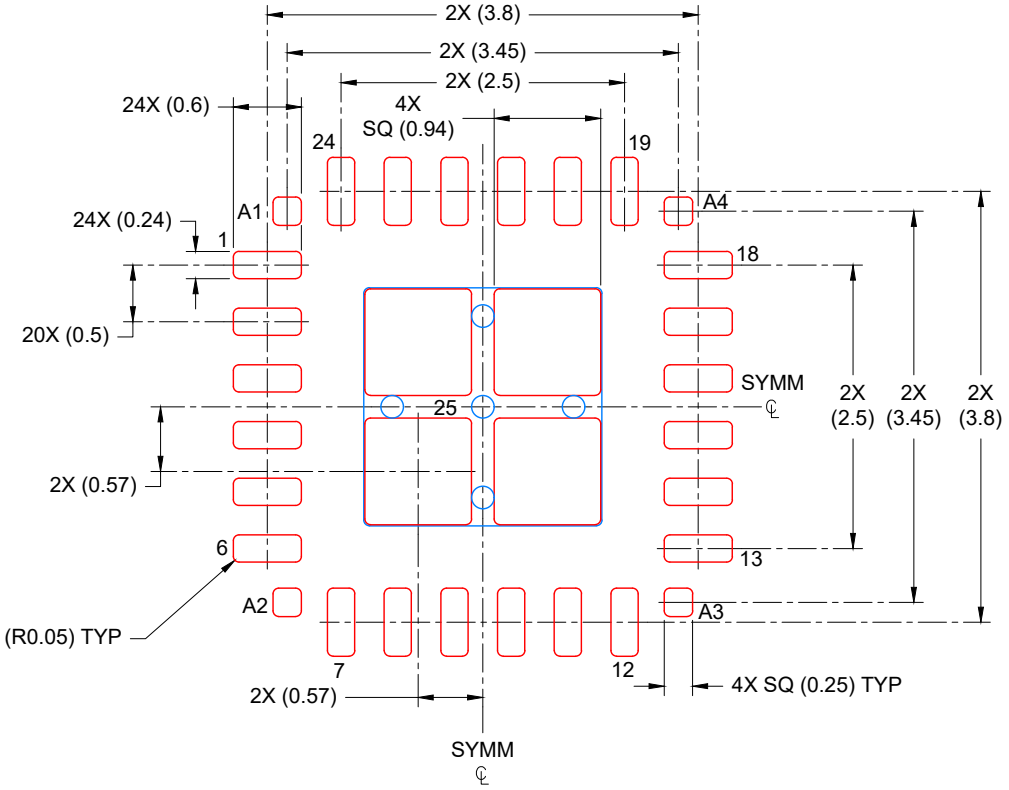
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4225246/A 08/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
80% PRINTED COVERAGE BY AREA
SCALE: 15X

4225246/A 08/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月