SN75LVPE3101 双通道 PCI Express 3.0 线性转接驱动器

1 特性

- 支持 PCI Express 3.0、SATA Express 和 SATA Gen3
- 超低功耗架构：
  - 有效：< 330mW
  - 关断：< 700µW
- 16 种线性均衡设置，高达 14dB（4GHz 时）
- 支持热插拔
- 温度范围：-40°C 至 85°C（工业级）
- ESD HBM 额定电压：±5kV
- 由 3.3V 单电源供电
- 采用 4mm × 4mm VQFN 封装

2 应用

- 台式计算机或主板
- 笔记本电脑
- 数据存储
- 工业模块化计算机

3 说明

SN75LVPE3101 是一款双通道 PCI Express (PCIe) 3.0 x1 转接驱动器。此器件在由 3.3V 电源供电时具有低功耗特性，可支持 PCIe 1.0、2.0 和 3.0 数据速率。

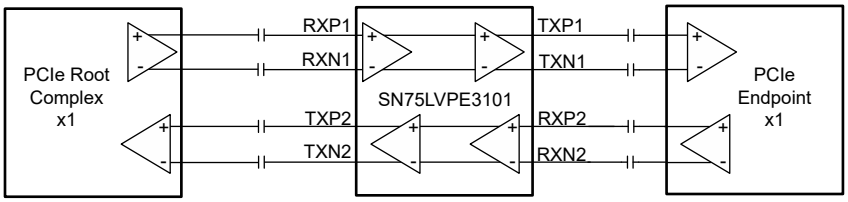
SN75LVPE3101 实现了一款线性均衡器，最高可容许码间串扰 (ISI) 引入 14dB 的损耗。当 PCIe 信号在印刷电路板 (PCB) 或电缆上传输时，其完整性会在通道损耗和码间串扰的影响下有所降低。线性均衡器可对通道损失进行补偿，进而延长通道传输距离，从而使系统符合 PCIe 规范。凭借双通道和小型封装，SN75LVPE3101 可在 PCIe 3.0 数据路径中灵活放置。

SN75LVPE3101 采用 24 引脚 4mm × 4mm VQFN 封装。

器件信息

器件型号(1)	温度	封装
SN75LVPE3101	T_A = -40°C 至 85°C	RGE（VQFN，24）

(1) 有关所有可用封装，请参阅节 10。



简化版原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....5
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 时序要求.....7
5.7 开关特性.....7
5.8 典型特性.....9
6 详细说明.....10
6.1 概述.....10
6.2 功能方框图.....10
6.3 特性说明.....11
6.4 器件功能模式.....12
7 应用和实施.....13
7.1 应用信息.....13
7.2 典型 SATA、PCIe 和 SATA Express 应用.....13
7.3 电源相关建议.....17
7.4 布局.....17
8 器件和文档支持.....19
8.1 接收文档更新通知.....19
8.2 支持资源.....19
8.3 商标.....19
8.4 静电放电警告.....19
8.5 术语表.....19
9 修订历史记录.....19
10 机械、封装和可订购信息.....19

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

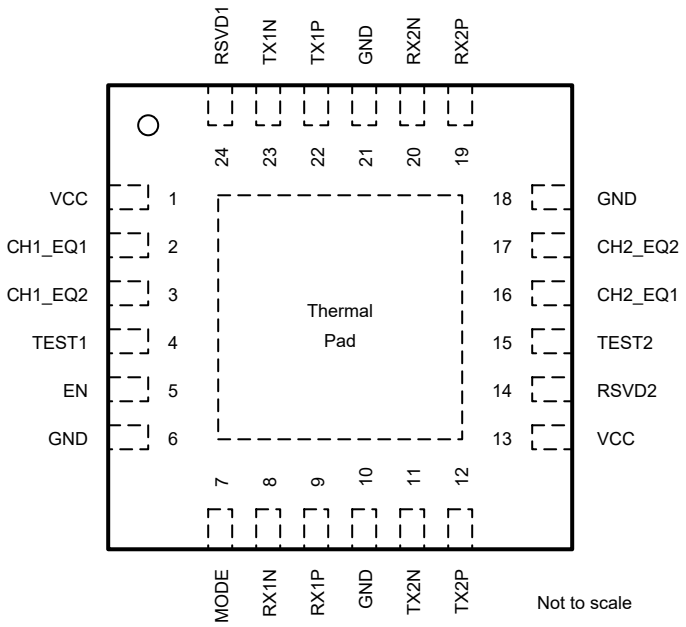


图 4-1. RGE 封装 24 引脚 VQFN（顶视图）

表 4-1. 引脚功能

引脚		类型	内部上拉电阻器/下拉电阻器	说明
名称	编号			
CH1_EQ1	2	I（4 电平）	PU（约 45K） PD（约 95K）	CH1_EQ1。配置引脚，用于控制 RX1P/N 的 RX EQ 等级。在 EN 的上升沿之后对此引脚的状态进行采样。有关时序的详细信息，请参阅图 5-1。此引脚与 CH1_EQ2 一起可用于提供多达 16 种均衡设置。
CH1_EQ2	3	I（4 电平）		CH1_EQ2。配置引脚，用于控制 RX1P/N 的 RX EQ 等级。在 EN 的上升沿之后对此引脚的状态进行采样。有关时序的详细信息，请参阅图 5-1。此引脚与 CH1_EQ1 一起可用于提供多达 16 种均衡设置。
CH2_EQ1	16	I（4 电平）		CH2_EQ1。配置引脚，用于控制 RX2P/N 的 RX EQ 等级。在 EN 的上升沿之后对此引脚的状态进行采样。有关时序的详细信息，请参阅图 5-1。此引脚与 CH2_EQ2 一起可用于提供多达 16 种均衡设置。
CH2_EQ2	17	I（4 电平）		CH2_EQ2。配置引脚，用于控制 RX2P/N 的 RX EQ 等级。在 EN 的上升沿之后对此引脚的状态进行采样。有关时序的详细信息，请参阅图 5-1。此引脚与 CH2_EQ1 一起可用于提供多达 16 种均衡设置。
EN	5	I（2 电平）	PU（约 400K）	EN。当置为低电平时，会将 SN75LVPE3101 置于关断模式。当引脚置为高电平时正常运行。在关断模式下，器件的接收器终端为高阻抗，TX/RX 通道被禁用。
GND	6、10、18、21	GND	—	地
模式	7	I	PU（约 45 K） PD（约 95K）	MODE。在 EN 的上升沿之后对此引脚的状态进行采样。通过 20kΩ 电阻器连接到 GND。
RSVD1	24	O	—	RSVD1。请勿连接此引脚。
RSVD2	14	I	PU（约 400K）	RSVD2。请勿连接此引脚。
RX1N	8	90Ω 差分输入	—	通道 1 的反相差分高速输入
RX1P	9			通道 1 的同相差分高速输入
RX2N	20	90Ω 差分输入	—	通道 2 的反相差分高速输入
RX2P	19			通道 2 的同相差分高速输入

Copyright © 2024 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型	内部上拉电阻器/下拉电阻器	说明
名称	编号			
TEST1	4	I	PU（约 45K） PD（约 95K）	TEST1。必须直接连接到 GND 或通过 1kΩ 电阻器连接到 GND。
TEST2	15	I	PU（约 45K） PD（约 95K）	TEST2。必须直接连接到 GND 或通过 1kΩ 电阻器连接到 GND。
TX1N	23	90Ω 差分输出	—	通道 1 的反相差分高速输出
TX1P	22			通道 1 的同相差分高速输出
TX2N	11	90Ω 差分输出	—	通道 2 的反相差分高速输出
TX2P	12			通道 2 的同相差分高速输出
VCC	1、13	电源	—	3.3V (±10%) 电源
散热焊盘			—	散热焊盘。建议连接到实心接地平面。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.3	4	V
V_{IO}	RX1P/N 和 RX2P/N 的差分电压	-2.5	2.5	V
	RX 引脚的电压	-0.5	4	V
	控制引脚上的电压	-0.5	4	V
T_{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下
能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，
器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±5000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压	3	3.3	3.6	V
V_{PSN}	V_{CC} 引脚上的电源噪声			100	mV
T_A	环境温度	-40		85	°C
T_J	结温	-40		105	°C

5.4 热性能信息

热指标(1)		SN75LVPE3101 RGE (VQFN) 24 引脚	单位
$R_{\theta JA}$	结至环境热阻	38.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	41.6	°C/W
$R_{\theta JB}$	结至电路板热阻	16.3	°C/W
Ψ_{JT}	结至顶部特征参数	1.0	°C/W
Ψ_{JB}	结至电路板特征参数	16.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	6.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
P_{ACTIVE_1200mV}	当所有通道都处于活动状态时的器件功耗。	所有通道均启用；V_{CC} = 3.3V；EN = 1；		330		mW
$P_{SHUTDOWN}$	EN = 0 时的关断功率。	VCC = 3.3V；EN = 0		0.7		mW
4 电平输入（TEST[2:1]、MODE、CH1_EQ[2:1]、CH2_EQ[2:1]）						
V_{TH}	阈值“0”/“R”	V_{CC} = 3.3V		0.55		V
	阈值“R”/“F”	V_{CC} = 3.3V		1.65		V
	阈值“F”/“1”	V_{CC} = 3.3V		2.8		V
I_{IH}	高电平输入电流	V_{CC} = 3.6V；V_{IN} = 3.6V	20		80	μA
I_{IL}	低电平输入电流	V_{CC} = 3.6V；V_{IN} = 0V	-160		-40	μA
R_{PU}	内部上拉电阻			45		kΩ
R_{PD}	内部下拉电阻			95		kΩ
EN、RSVD2						
V_{IH}	高电平输入电压	V_{CC} = 3.3V	1.7		3.6	V
V_{IL}	低电平输入电压	V_{CC} = 3.3V	0		0.7	V
I_{IH}	高电平输入电流	V_{CC} = 3.6V；V_{IN} = 3.6V	-10		10	μA
I_{IL}	低电平输入电流	V_{CC} = 3.6V；V_{IN} = 0V	-15		15	μA
R_{PU_EN}	EN 和 RSVD2 的内部上拉电阻			400		kΩ
高速接收器接口（RX1P/N 和 RX2P/N）						
R_{L_100MHz}	100MHz 至 2.5GHz 时的 RX 差分回波损耗	SDD11，100MHz 至 2.5GHz		-18		dB
R_{L_5GHz}	5GHz 时的 RX 差分回波损耗	SDD11，5GHz		-14		dB
R_{L_10GHz}	5GHz 至 10GHz 范围内的 RX 差分回波损耗	SDD11，5GHz 至 10GHz		-6		dB
R_{L_CM}	RX 共模回波损耗	SCC11，0.5GHz 至 5GHz		-12		dB
X-Talk	TX 和 RX 信号对之间的差分串扰			-50		dB
E_{ACGAIN_4GHz}	最大交流均衡增益	50mVpp CP10 @ 4GHz；V_{CC} = 3.3V		14		dB
E_{ACGAIN_5GHz}	最大交流均衡增益	50mVpp CP10 @ 5GHz；V_{CC} = 3.3V		16		dB
E_{DC_GAIN0}	0dB 设置下的直流增益	200mVpp VID @ 100MHz		0.7		dB
V_{DIFF_IN}	输入差分峰峰值电压摆幅范围			1200		mV
$V_{RX-DC-CM}$	RX 直流共模电压			0		V
$R_{RX-DC-CM}$	RX 直流共模阻抗	在连接器处测得；在 TXP/N 上检测到 远端终端时存在	18		30	Ω
$R_{RX-DC-DIFF}$	RX DC 差分阻抗	在连接器处测得；在 TXP/N 上检测到 远端终端时存在	72		120	Ω
$Z_{RX-DC-DIFF}$	复位或断电期间的直流输入 CM 输入阻抗 V > 0。	1.RX 终端未通电时的 RX 直流 CM 阻抗。2.在 0mV 至 500mV 范围内相对于 GND 测得。3.仅指定直流输入 CM 输入阻抗 V > 0。	35			kΩ
$V_{RX-SIGNAL-DET}$	输入差分峰峰值信号检测置位电平	10Gbps；无损耗输入通道和 PRBS7 模式。		85		mV
$V_{RX-IDLE-DET}$	输入差分峰峰值信号检测置为无效电平	10Gbps；无损耗输入通道和 PRBS7 模式。		60		mV
$V_{RX-CM-AC-P}$	峰值 RX 交流共模电压	在封装引脚处测得。			150	mV

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
高速发送器接口（TX1P/N 和 TX2P/N）						
$R_{L_TX_100MHz}$	100MHz 至 2.5GHz 时的 TX 差分回波损耗	SDD22，100MHz 至 2.5GHz		-20		dB
$R_{L_TX_2.5GHz}$	5GHz 时的 TX 差分回波损耗	SDD22，5GHz		-16		dB
$R_{L_TX_10GHz}$	5GHz 至 10GHz 范围内的 TX 差分回波损耗	SDD22，5GHz 至 10GHz		-8.5		dB
$R_{L_TX_CM}$	TX 共模回波损耗	SCC22，0.5GHz 至 5GHz		-6.7		dB
$V_{TX-DIFFPP-1200}$	100MHz 时的差分峰峰值 TX 电压摆幅线性动态范围	100MHz；在 -1dB 压缩点 = 20 × log(VOD/VOD_linear) 处测得		1000		mV
	5GHz 时的差分峰峰值 TX 电压摆幅线性动态范围	5GHz；在 -1dB 压缩点 = 20 × log(VOD/VOD_linear) 处测得		1300		mV
$V_{TX-RCV-DETECT}$	RX 检测期间允许的电压变化量。	在封装引脚处测得。			600	mV
$V_{TX-DC-CM}$	TX 直流共模电压		0	1.85	2.05	V
$V_{TX-CM-AC-PP-ACTIVE}$	活动状态下的发送器交流共模峰峰值电压。TXP+TXN 在时间和振幅上的最大不匹配。	CHx_EQ 设置与输入通道插入损耗匹配			116	mV
$V_{TX-IDLE-DIFF-AC-PP}$	交流电气空闲差分峰峰值输出电压		0		10	mV
$R_{TX-DC-CM}$	TX 直流共模阻抗		18		30	Ω
$R_{TX-DC-DIFF}$	TX DC 差分阻抗		72		120	Ω
$I_{TX-SHORT}$	发送器短路电流限制。				107	mA
$C_{AC-COUPLING}$	差分对上的外部交流耦合电容器。		75		265	nF

5.6 时序要求

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
t_{d_pg}	当 V_{CC} 为 2.5V 时，内部电源正常状态信号被置为高电平			5	µs
t_{VCC_RAMP}	V_{CC} 电源斜坡要求	0.1		50	ms

5.7 开关特性

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{DIFF_DLY}	差分传播延迟	V_{CC} = 3.0V；EN = 1			150	ps
t_{PWRUP_ACTIVE}	从 EN 置为有效到器件激活并执行 Rx 的时间。在两个端口上检测	V_{CC} = 3.0V；EN = 1			8	ms
$t_{TX_RISE_FALL}$	发送器上升/下降时间	V_{CC} = 3.3V；EN = 1；10Gbps；差分输出的 20% 至 80%；1200mVpp 线性范围设置；快速输入上升/下降时间		27		ps
$t_{RF_MISMATCH}$	发送器上升/下降失配	V_{CC} = 3.3V；EN = 1；10Gbps；差分输出的 20% 至 80%；1200mVpp 线性范围设置；1000mVpp VID		0.6		ps
t_{TX_DJ}	发送器残余确定性抖动	V_{CC} = 3.3V；EN = 1；10Gbps；1200mVpp 线性范围设置；12dB 输入通道损耗；1.5dB 输出通道损耗；优化 EQ		0.05		UI

Copyright © 2024 Texas Instruments Incorporated

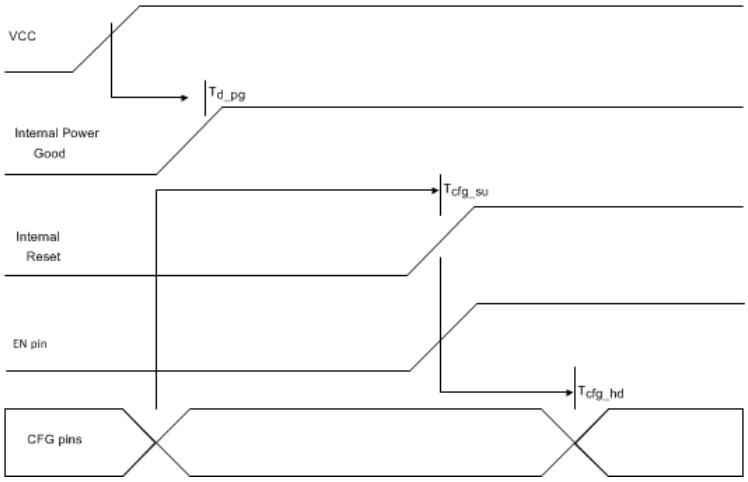


图 5-1. 上电图

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性

V_{CC} = 3.3V，25°C，200mVpp V_{ID} 正弦波，Z_O = 100Ω，RGE 封装

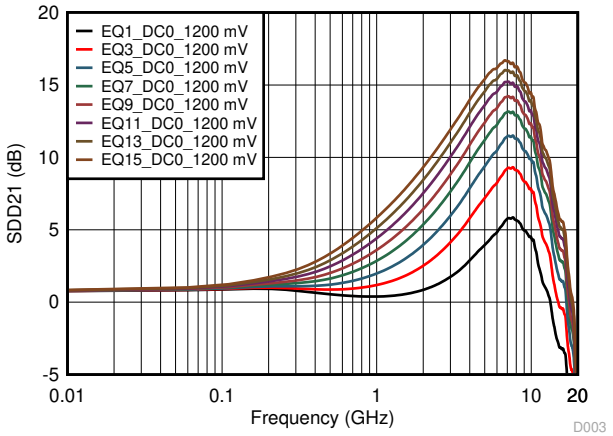


图 5-2. 1200mV DC0 增益奇数 EQ 设置曲线

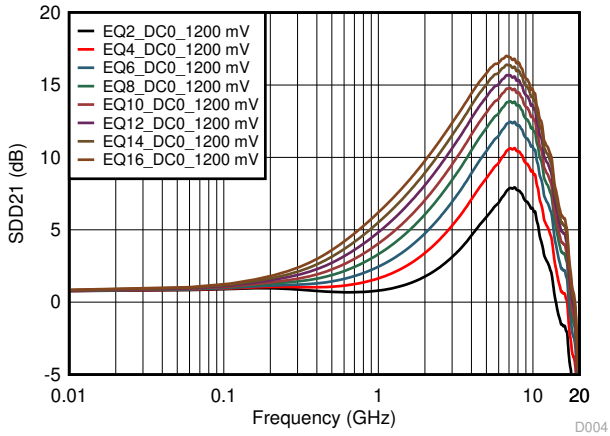


图 5-3. 1200mV DC0 偶数 EQ 设置曲线

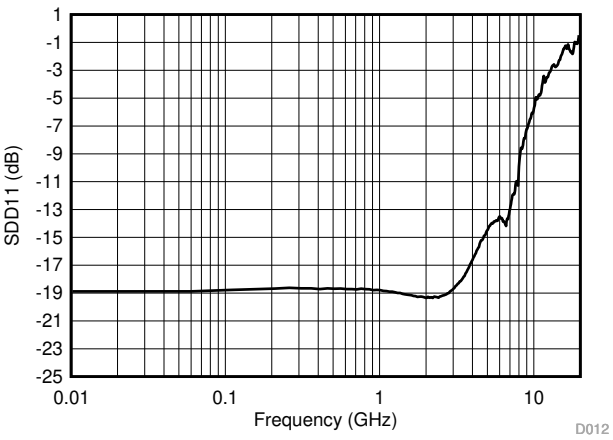


图 5-4. SDD11 回波损耗

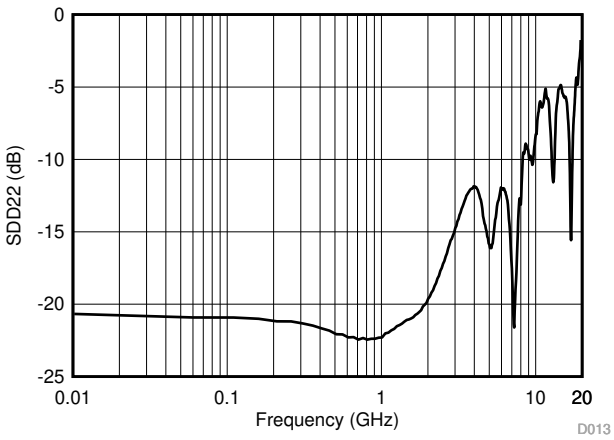


图 5-5. SDD22 回波损耗

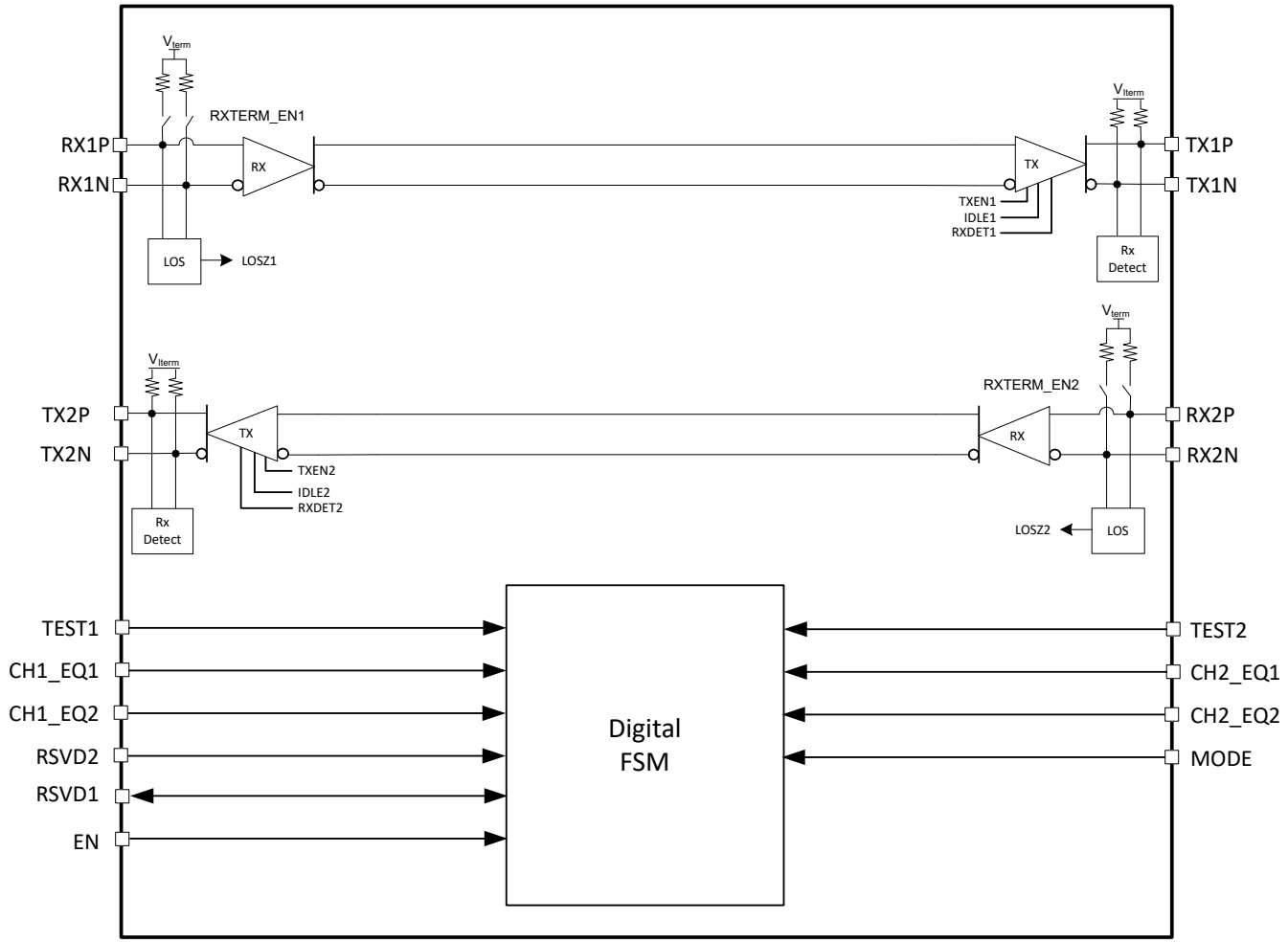
Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

SN75LVPE3101 是一款 PCIe 3.0 x1 转接驱动器。当信号穿过通道（如 FR4 布线）时，信号的振幅会衰减。衰减程度取决于信号的频率成分。根据通道的长度，该衰减可能足够大，从而导致 PCIe 3.0 接收器出现信号完整性问题。通过在 PCIe 3.0 根复合体和终点之间放置 SN75LVPE3101，可以消除或更大限度减弱通道的衰减效应。最终在终点的接收器上产生一个与 PCIe 3.0 兼容的眼图。SN75LVPE3101 具有多达 16 种接收器均衡设置，可以支持许多不同的通道损耗组合。SN75LVPE3101 的超低功耗架构在由 3.3V 单电源供电时可实现低功耗。这些 SN75LVPE3101 设置可通过引脚进行配置。

6.2 功能方框图



Copyright © 2024 Texas Instruments Incorporated

6.3 特性说明

6.3.1 4 电平控制输入

SN75LVPE3101 具有（MODE、CH1_EQ1、CH1_EQ2、CH2_EQ1 和 CH2_EQ2）4 电平输入引脚，用于控制均衡增益和输出电压摆幅动态范围。这些四电平输入使用电阻分压器来帮助设置四个有效电平并提供更广泛的控制设置。这些电阻器与外部电阻器连接相结合，可实现所需电压电平。

表 6-1. 4 电平控制引脚设置

等级	设置
0	选项 1：将 1kΩ 5% 连接到 GND。 选项 2：直接连接到 GND。
R	将 20kΩ 5% 连接到 GND。
F	悬空（使引脚保持开路状态）
1	将 1kΩ 5% 连接到 V_{CC}。

备注

为了省电，在 EN 引脚的上升沿对 4 电平引脚的状态进行采样后，SN75LVPE3101 会禁用 4 电平输入的内部上拉和下拉电阻。在 EN 引脚从低电平转换为高电平之前，不会将任何四电平输入引脚的状态变化应用于 SN75LVPE3101。

6.3.2 线性均衡

借助线性均衡器，SN75LVPE3101 可以在电气上缩短特定通道，从而延长有效长度。

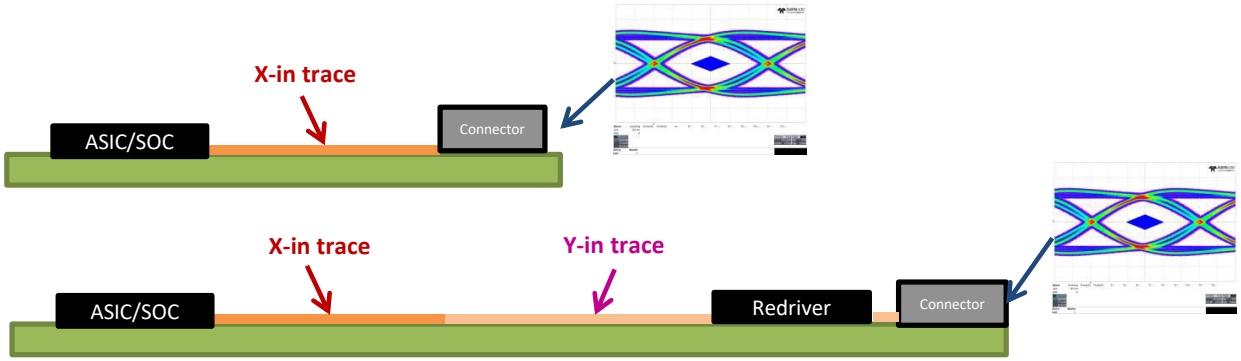


图 6-1. 线性均衡器

使用 SN75LVPE3101 时，可以使较长的布线具有与较短布线相似的插入损耗。例如，可以使长度为 X + Y 英寸的长布线具有与 X 英寸较短布线相似的损耗特性。

每个通道的接收器均衡级别由 CHx_EQ1 和 CHx_EQ2 引脚的状态决定，其中 x = 1 或 2。

Copyright © 2024 Texas Instruments Incorporated

表 6-2. EQ 配置选项

EQ 设置编号	CHx_EQ2 引脚电平	CHx_EQ1 引脚电平	2.5GHz/4GHz /5GHz 时的 EQ 增益 (dB)
1	0	0	1.0/2.3 /3.6
2	0	R	2.1/4.0 /5.5
3	0	F	3.0/5.2 /6.8
4	0	1	4.0/6.4 /8.1
5	R	0	4.6/7.2 /9.0
6	R	R	5.5/8.2 /10.0
7	R	F	6.2/9.0 /10.8
8	R	1	6.9/9.8 /11.6
9	F	0	7.3/10.2 /11.9
10	F	R	7.9/10.9 /12.6
11	F	F	8.4/11.4 /13.1
12	F	1	9.0/12.0 /13.7
13	1	0	9.4/12.3 /14.1
14	1	R	9.9/12.8 /14.6
15	1	F	10.3/13.2 /14.9
16	1	1	10.7/13.6 /15.3

6.3.3 运行 PCIe/SATA/SATA Express 转接驱动器

如果在 PCI Express (PCIe) 第 3 代、SATA 第 3 代或 SATA Express 应用中运行，则在 TX1 和 TX2 上均检测到远端终端时，SN75LVPE3101 会启用两条通道（上行和下行）接收器和发送器路径。上行和下行路径都保持启用状态，直到 EN 引脚取消置位为低电平。在此模式下，SN75LVPE3101 不影响 PCIe 链路电源管理（L0、L1）和 SATA 接口电源状态。在 TX1 和 TX2 上均检测到远端终端时，无论 PCIe 和 SATA 电源状态如何，SN75LVPE3101 功率均为 $P_{(ACTIVE_1200mV)}$。为了在系统 S3/S4/S5 状态期间节省功耗，TI 建议将 EN 引脚置为无效以省电。

6.4 器件功能模式

6.4.1 关断模式

当 EN 引脚为低电平并且 V_{CC} 激活且稳定时，该器件进入关断模式。关断模式是 SN75LVPE3101 的最低功耗状态。在关断模式下，SN75LVPE3101 接收器终端被禁用。

6.4.2 断开模式

除关断模式外，断开模式是 SN75LVPE3101 下一个最低功耗状态。SN75LVPE3101 退出关断模式时进入断开模式。在断开状态下，SN75LVPE3101 会定期检查 TX1 和 TX2 上的远端接收器终端。在这两个端口上均检测到远端接收器终端时，SN75LVPE3101 将转换到运行模式。

6.4.3 运行模式

运行模式是 SN75LVPE3101 的最高功耗状态。只要接收到高速流量，SN75LVPE3101 就会保持在运行模式。仅当在 RX1 和 RX2 上检测到电气空闲时，SN75LVPE3101 才会退出运行模式。在运行模式下，SN75LVPE3101 高速接收器和发送器处于通电和运行状态。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

SN75LVPE3101 是一款线性转接驱动器，专门用于补偿因为布线和电缆等无源介质导致的衰减而引起的 ISI 抖动。SN75LVPE3101 具有两个独立通道，因此该器件可以通过 16 种不同的均衡选项来校正上行和下行方向的 ISI。设计人员可以在两个端口伙伴之间放置 SN75LVPE3101 以纠正信号完整性问题，从而使系统更加稳健。

7.2 典型 SATA、PCIe 和 SATA Express 应用

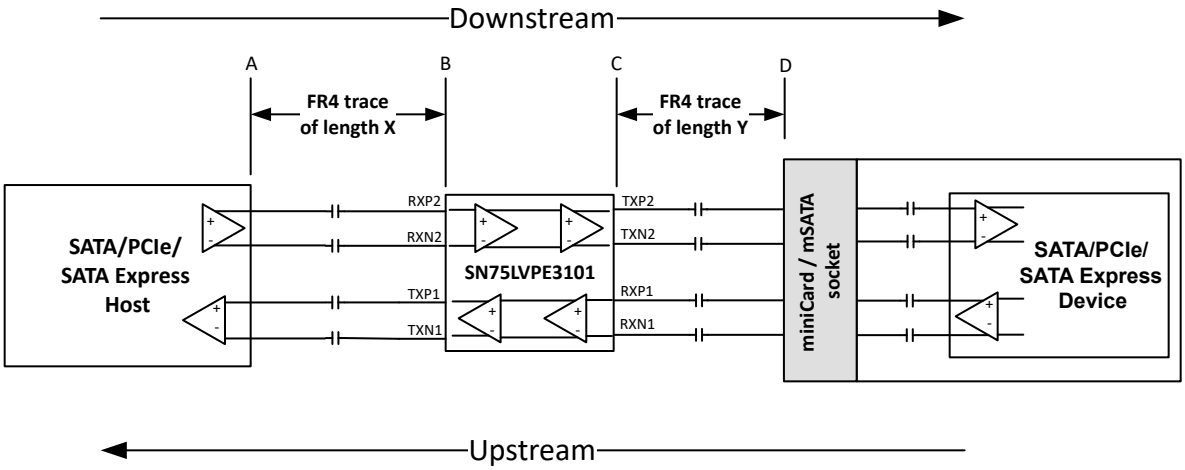


图 7-1. SATA/PCIe/SATA Express 典型应用

7.2.1 设计要求

对于这个设计示例，请使用表 7-1 中显示的参数。

表 7-1. 设计参数

参数	值
VCC 电源（3V 至 3.6V）	3.3V
需要 PCIe 支持（是/否）	是
需要 SATA Express 支持（是/否）	是
需要 SATA 支持（是/否）	是，因此也需要铁氧体磁珠（FB1 和 FB2）和 49.9Ω。 否，因此也不需要铁氧体磁珠（FB1 和 FB2）和 49.9Ω。
TX1、TX2、RX2 交流耦合电容器（176nF 至 265nF）	220nF ±10%
RX1 交流耦合电容器（297nF 至 363nF）	可选。但是，如果采用，则建议为 330nF ±10%
A 到 B FR4 长度（英寸）	8
A 到 B FR4 布线宽度 (mil)	4
C 到 D FR4 长度（英寸）	2
C 到 D FR4 布线宽度 (mil)	4

Copyright © 2024 Texas Instruments Incorporated

7.2.2 详细设计过程

在此示例中，SN75LVPE3101 将其直流增益固定为 0dB，线性范围固定为 1200mV。SN75LVPE3101 执行远端接收器终端检测，并在 TX1 和 TX2 上均检测到远端终端时启用上行和下行路径。

为 SATA 器件定义的交流耦合电容范围远小于为 SATA Express 和 PCI Express (PCIe) 定义的交流耦合电容范围，如图 7-2 所示。虽然 SN75LVPE3101 通常可以检测 PCIe 和 SATA Express 器件的接收器终端，但 SATA 12nF（最大值）交流耦合电容器会阻止 SN75LVPE3101 检测 SATA 器件接收器终端。要纠正此问题，必须在 C_{TX2} 和 miniCard/mSATA 插槽之间放置一个铁氧体磁珠以及 49.9Ω 电阻器。当 PCIe 或 SATA Express 处于活动状态时，可以使用 NFET 将这些元件与高速通道隔离，如图 7-4 所示。TI 建议只要出现 SATA 器件，就要启用 NFET。选择的铁氧体磁珠必须在 100MHz 频率时至少具有 600Ω 阻抗，以免影响高速信号。TI 建议使用 Murata BLM03AG601SN1、BLM03HD601SN1D 或其他供应商提供的具有类似特性的铁氧体磁珠。对于仅需要支持 PCIe 和 SATA Express 而不需要支持 SATA 的应用，不需要铁氧体磁珠和 49.9Ω 电阻器。

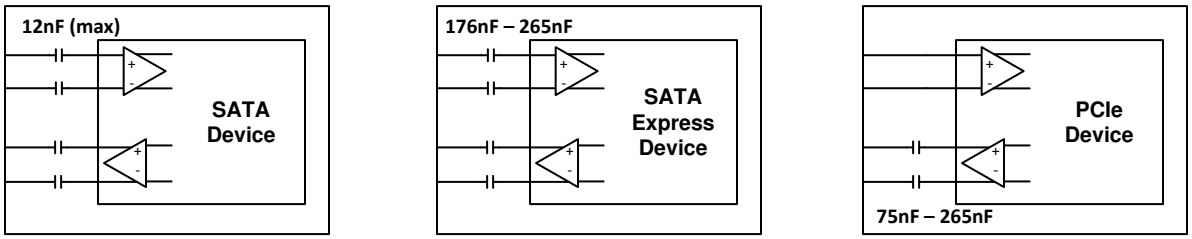


图 7-2. 适用于 SATA、SATA Express 和 PCIe 器件的交流耦合电容器实施方案

当 SN75LVPE3101 的上行和下行路径均启用时，其功耗为 $P_{(ACTIVE_1200mV)}$。为了在系统 S3/S4/S5 状态下节省系统功耗，TI 建议控制 SN75LVPE3101 EN 引脚。只要系统进入低功耗状态（S3、S4 或 S5），TI 建议将 EN 引脚置为无效。当 EN 引脚置为无效后，SN75LVPE3101 的功耗为 $P_{(SHUTDOWN)}$。只要系统退出低功耗状态，就必须将此引脚置为有效。

SN75LVPE3101 会补偿上行（C 到 D）和下行（A 到 B）两个方向的通道损耗。应将 CH1_EQ[2:1] 和 CH2_EQ[2:1] 引脚配置为尽可能与通道插入损耗匹配的均衡设置。在此特定示例中，CH2_EQ[2:1] 用于 A 到 B 路径（即 PCIe/SATA/SATA Express 主机和 SN75LVPE3101 之间的通道），而 CH1_EQ[2:1] 用于 C 到 D 路径（即 SN75LVPE3101 与 miniCard/mSATA 插槽之间的通道）。

在此特定示例中，通道 A-B 的布线长度为 8 英寸，布线宽度为 4mil。该特定通道在 5GHz 时的插入损耗约为 0.83dB/英寸。这相当于整个 8 英寸布线的损耗约为 6.7dB，如图 7-3 所示。PCIe/SATA/SATA Express 主机、SN75LVPE3101 和交流耦合电容器的封装所导致的额外损耗会增加 1.5dB。这会使 5GHz 时的整个通道损耗达到 6.7dB + 1.5dB = 8.2dB。此示例中的通道 A-B 连接到 SN75LVPE3101 RX2P/N 输入，因此 CH2_EQ[2:1] 引脚用于调整 SN75LVPE3101 RX2P/N 均衡设置。设置 CH2_EQ[2:1] 引脚，使 SN75LVPE3101 均衡介于 5dB 和 8dB 之间。如果主机具有发送器去加重，最好使用接近 5dB 的值。

Copyright © 2024 Texas Instruments Incorporated

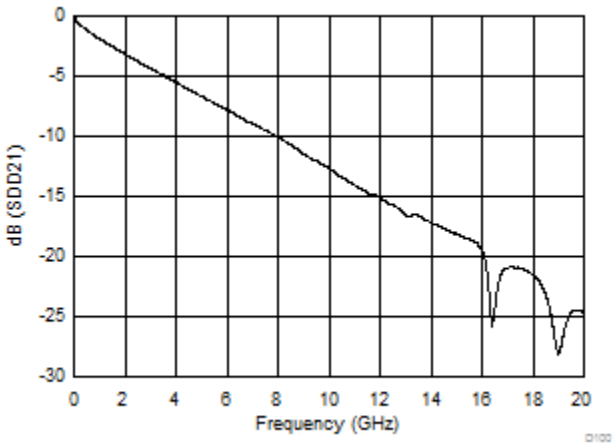


图 7-3. 8 英寸 FR4 布线长度和 4mil FR4 布线宽度的插入损耗

对上行路径（C 到 D）使用类似的方法。在此特定示例中，C 到 D 的布线长度为 2 英寸，布线宽度为 4mil。这相当于 5GHz 时约为 1.5dB。SATA/SATA Express/PCIe 器件也存在通道损耗，可与 C 到 D 通道损耗相加。在此示例中，假设可以使用 5dB 的值来补偿 C 到 D 通道损耗以及与 SATA/SATA Express/PCIe 器件相关的损耗。设置 CH1_EQ[2:1] 引脚，使 SN75LVPE3101 均衡为 5dB。

Copyright © 2024 Texas Instruments Incorporated

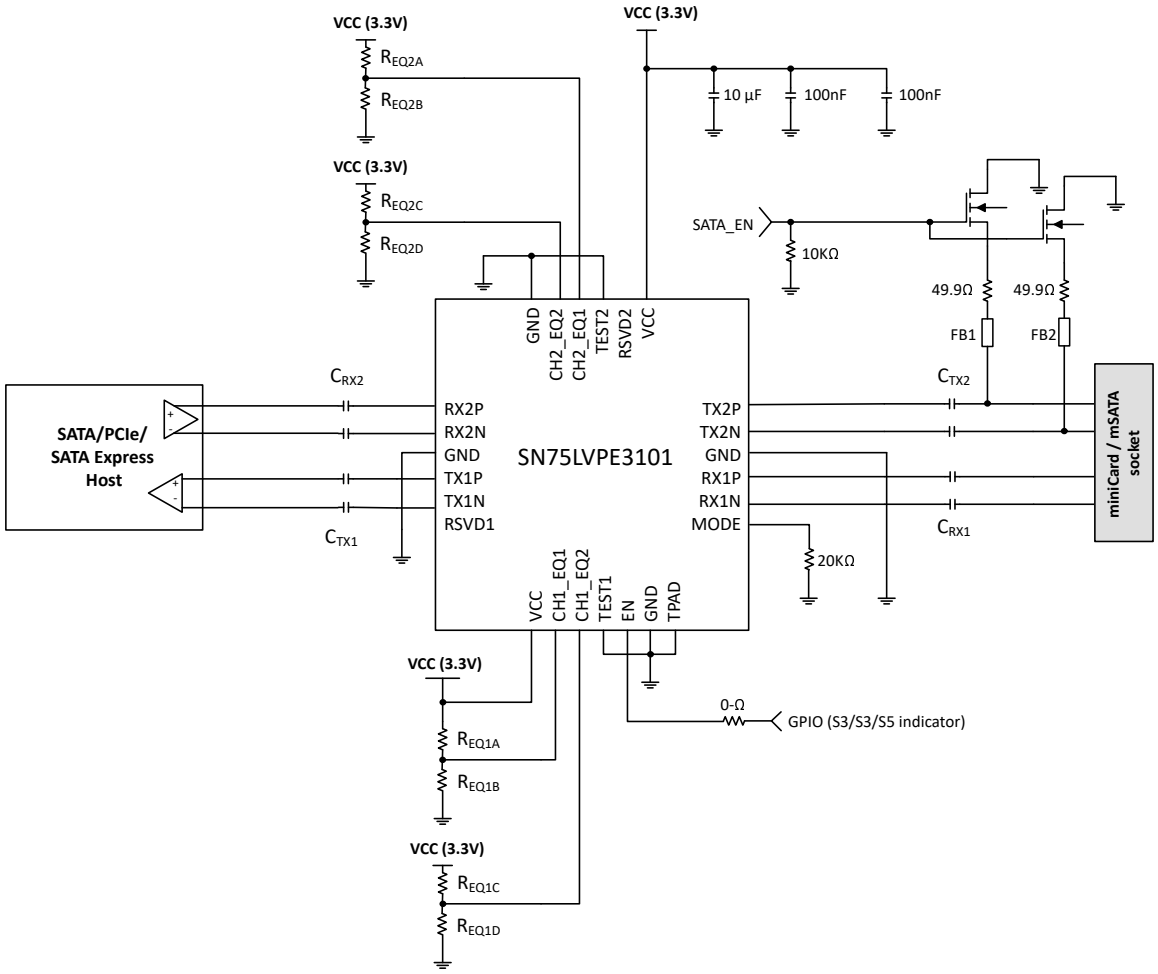


图 7-4. SATA/PCIe/SATA Express 原理图示例

7.2.3 应用曲线

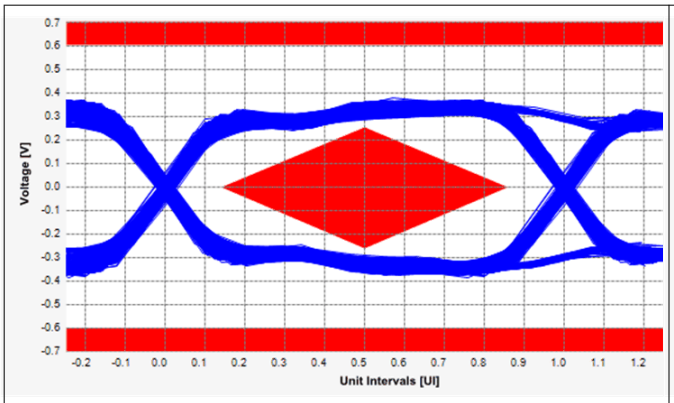


图 7-5. PCIe 第 1 代 TX 眼图

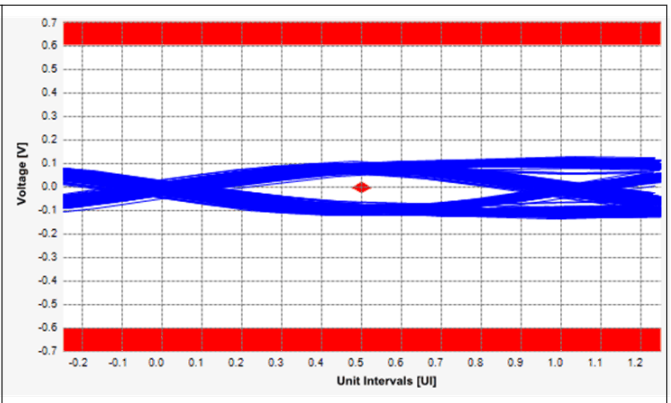


图 7-6. PCIe 第 3 代 TX 眼图

Copyright © 2024 Texas Instruments Incorporated

7.3 电源相关建议

SN75LVPE3101 具有两个 V_{CC} 电源引脚。TI 建议在每个 V_{CC} 引脚附近放置一个 100nF 去耦电容器。TI 还建议在靠近 SN75LVPE3101 的 V_{CC} 平面上至少使用一个至少 10μF 的大容量电容器。

7.4 布局

7.4.1 布局指南

- 使用受控差分阻抗布线 RXP/N 和 TXP/N 对。高速布线的差分阻抗取决于具体的设计。PCIe 允许 70Ω 至 100Ω 范围内的差分阻抗，通常建议使用 85Ω 来实现卡机电 (CEM) 规范的互操作性。
- 远离其他高速信号。
- 在 PCIe 应用中，无需通过 SN75LVPE3101 保持极性。因此，TI 建议在连接极性时确保实现最佳布线。
- 将对内布线保持在 2mil 以内。
- 对内长度匹配必须在不匹配位置附近。
- 不需要进行对间长度匹配。
- 每对应至少间隔信号布线宽度的 3 倍。
- 尽量减少使用弯曲的差分布线。使用弯曲时，务必确保左右弯曲数量尽可能相等，弯曲角度 ≥ 135 度。这更大程度地减少了由弯曲引起的任何长度不匹配，因此更大程度地减少了弯曲对 EMI 的影响。
- 在同一层布线所有差分对。
- 必须尽量减少使用过孔。TI 建议将过孔数量保持在 2 个或更少。
- 在靠近接地平面的层上保留布线。
- 请勿在任何平面分割点布线差分对。
- 使用穿孔高速连接器时，TI 建议在底层布线差分对，以尽量减少穿孔连接器产生的残桩。
- 添加测试点会导致阻抗不连续，从而对信号性能产生负面影响。如果使用测试点，应将测试点串联并对称放置。这些测试点的布置方式不得使差分对上产生残桩。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 布局示例

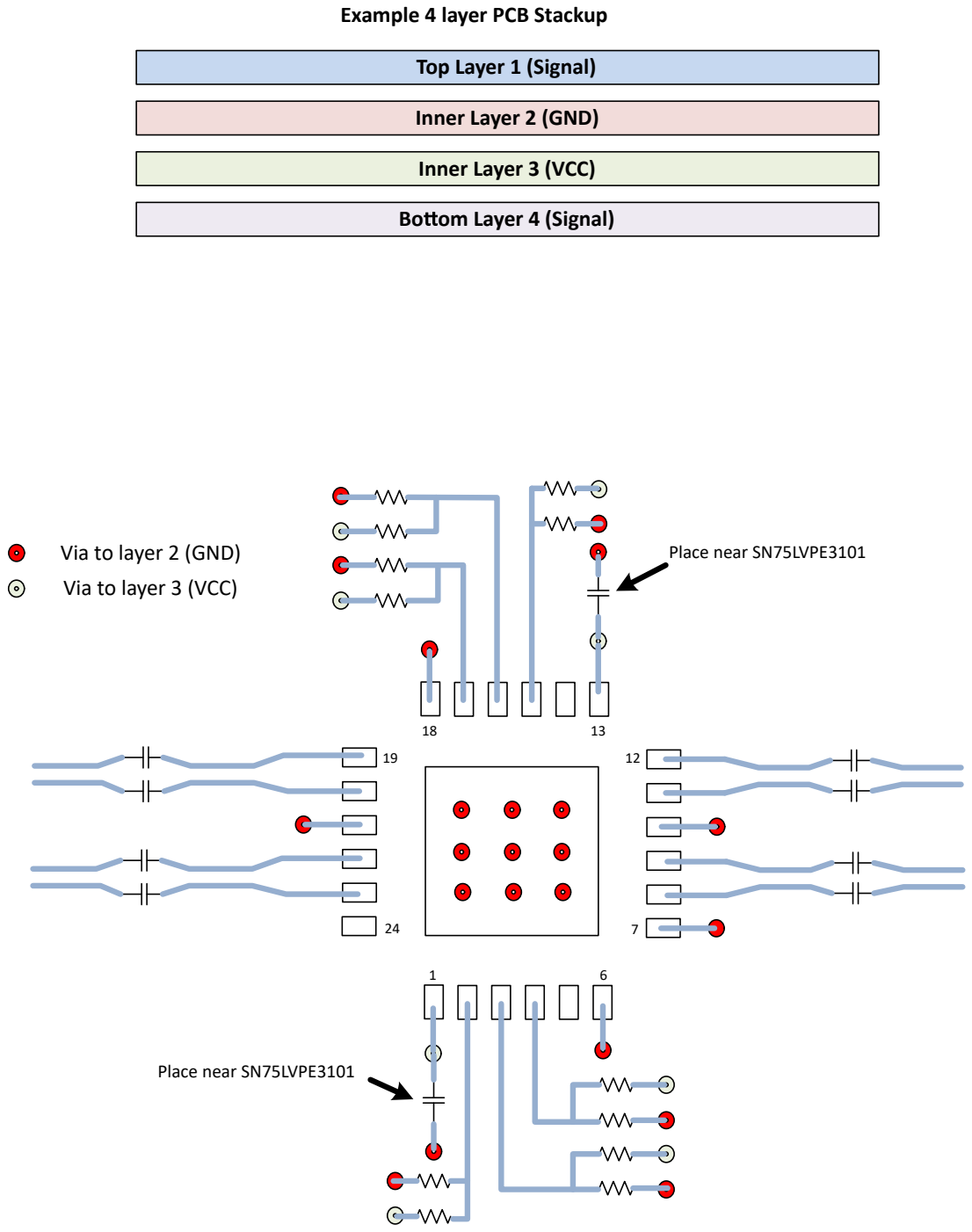


图 7-7. 示例布局

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
October 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN75LVPE3101RGER	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PX101
SN75LVPE3101RGER.A	Active	Production	VQFN (RGE) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PX101
SN75LVPE3101RGET	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PX101
SN75LVPE3101RGET.A	Active	Production	VQFN (RGE) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	PX101

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

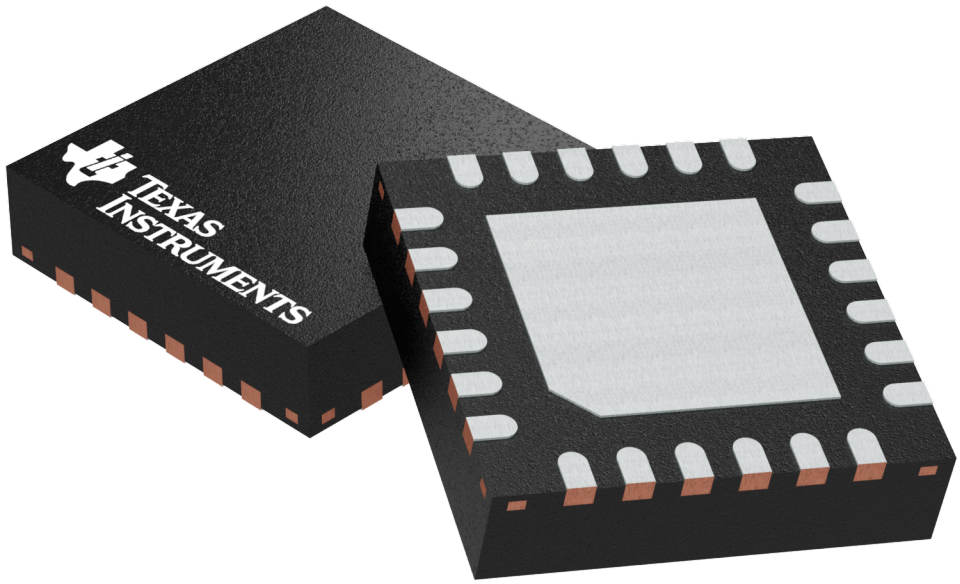
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

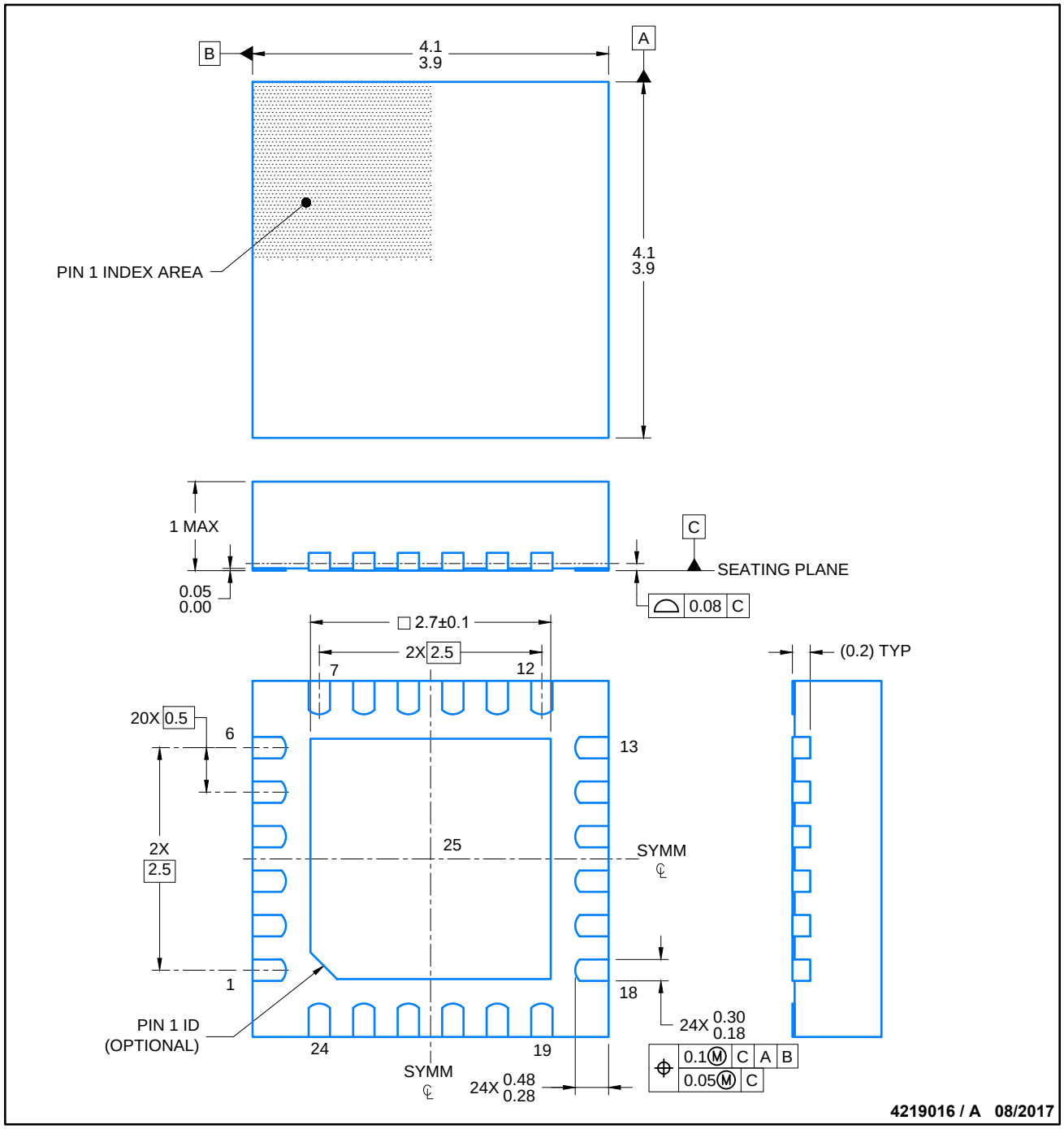
4204104/H

PACKAGE OUTLINE

RGE0024H

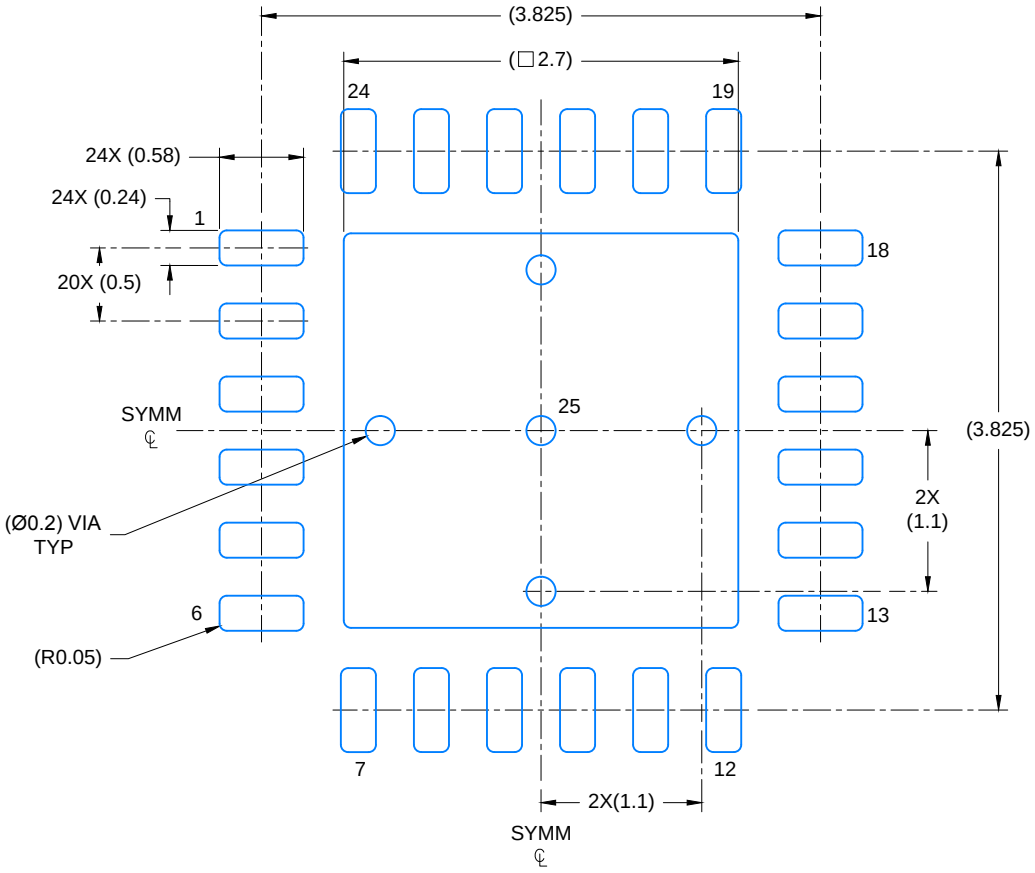
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK- NO LEAD



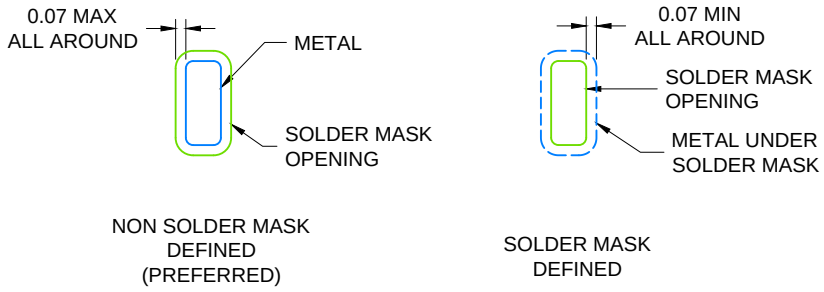
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

SCALE: 20X

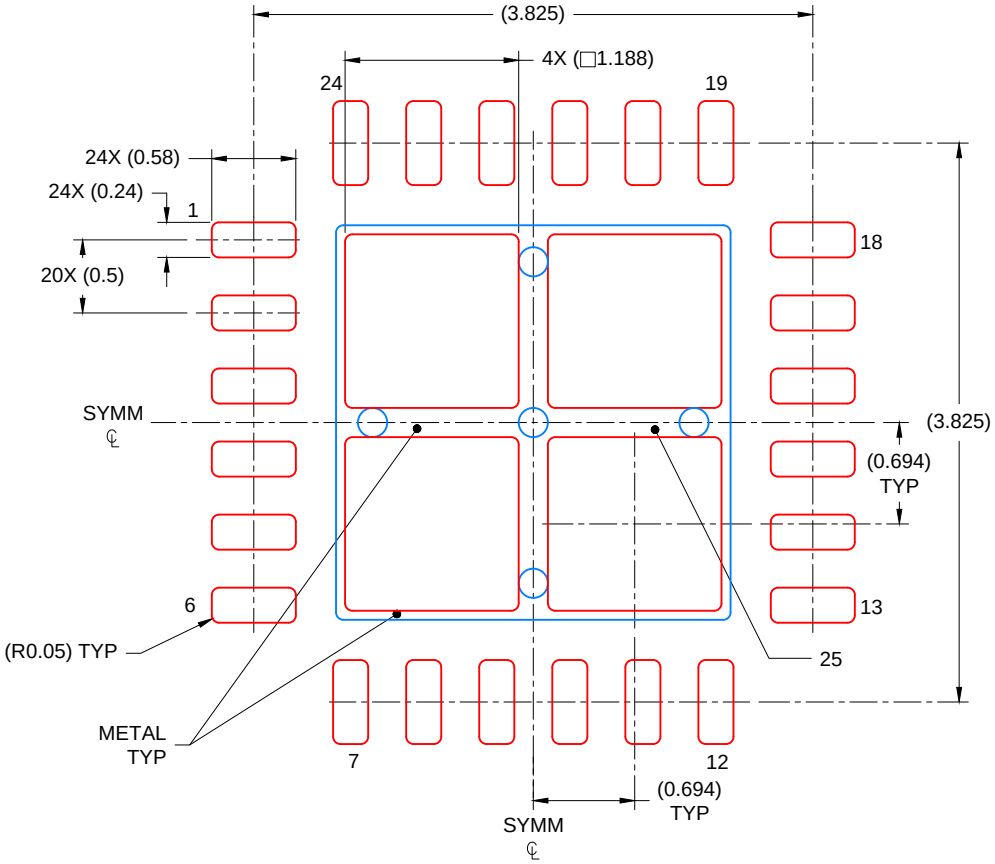


SOLDER MASK DETAILS

4219016 / A 08/2017

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 20X

4219016 / A 08/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations..

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月