

具有漏极开路输出的 SN74UVP1G07 低功耗单路缓冲器/驱动器

1 特性

- 扩展的低电压工作范围，电源电压为 0.63V 至 3.6V
- 扩展工作温度范围：-40°C 至 125°C
- 低功耗
 - I_{CC} 的典型值 = 10nA
 - 输入泄漏电流典型值 $I_I = 3\text{nA}$
 - 关断状态下的输出泄漏电流典型值 $I_{OZ} = 100\text{nA}$
 - 在局部断电模式下， I_{OFF} 典型值为 0.2uA
- 3.6V 耐压输入支持降压转换
- 3.3V 时 t_{pd} 最大值为 9.5ns
- 与 AUP1G 系列直接兼容， V_{CC} 范围从 0.8V 扩展至 0.63V

2 应用

- PC 和笔记本电脑
- 数据中心
- 楼宇自动化
- 手机
- 可穿戴设备
- 有线网络

3 说明

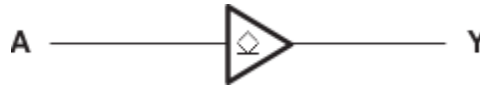
SN74UVP1G07 是一款具有开漏输出的单路缓冲门。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN74UVP1G07	DBV (SOT-23 , 5)	2.90mm × 1.60mm
	DCK (SC-70 , 5)	2.00mm × 1.25mm
	DRY (USON , 6)	1.45mm × 1.00mm
	DSF (X2SON , 6)	1.00mm × 1.00mm
	DPW (X2SON , 5)	0.80mm × 0.80mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，不包括引脚。



简化版原理图



内容

1 特性	1	8 应用和实施	9
2 应用	1	8.1 应用信息.....	9
3 说明	1	8.2 典型应用.....	9
4 引脚配置和功能	3	8.3 电源相关建议.....	9
5 规格	4	8.4 布局.....	9
5.1 绝对最大额定值.....	4	9 器件和文档支持	11
5.2 ESD 等级.....	4	9.1 文档支持.....	11
5.3 建议运行条件.....	4	9.2 接收文档更新通知.....	11
5.4 热性能信息.....	5	9.3 支持资源.....	11
5.5 电气特性.....	5	9.4 商标.....	11
5.6 开关特性.....	6	9.5 静电放电警告.....	11
6 参数测量信息	7	9.6 术语表.....	11
7 详细说明	8	10 修订历史记录	11
7.1 概述.....	8	11 机械、封装和可订购信息	12
7.2 功能方框图.....	8	11.1 卷带包装信息.....	12
7.3 特性说明.....	8	11.2 机械数据.....	14
7.4 器件功能模式.....	8		

4 引脚配置和功能

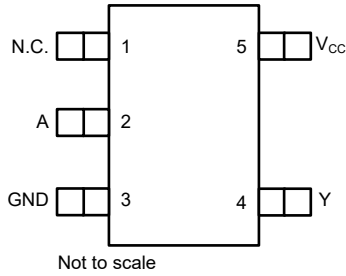


图 4-1. DBV 或 DCK 封装，
5 引脚 SOT-23 或 SC-70
(顶视图)

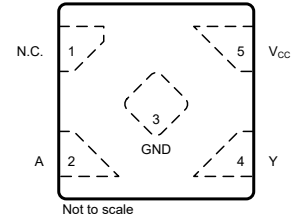


图 4-2. DPW 封装，
5 引脚 X2SON
(顶视图)

表 4-1. 引脚功能

引脚			类型 ⁽¹⁾	说明
名称	DBV、DCK、DTX	DPW		
N.C.	1	1	—	无内部连接
A	2	2	I	
GND	3	3	G	接地引脚
Y	4	4	O	输出 Y (开漏)
VCC	5	5	P	电源引脚

(1) I = 输入，O = 输出，G = 地，P = 电源

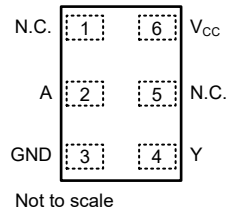


图 4-3. DRY 或 DSF 封装，
5 引脚 USON 或 X2SON
(顶视图)

表 4-2. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	DSF、DRY		
N.C.	1、5	—	无内部连接
A	2	I	输入 A
GND	3	G	接地引脚
Y	4	O	输出 Y (开漏)
VCC	6	P	电源引脚

(1) I = 输入，O = 输出，G = 地，P = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	6	V
V_I	输入电压范围 ⁽²⁾		-0.5	6	V
V_O	输出电压范围 ⁽²⁾		-0.5	$V_{CC} + 0.5$	V
V_O	输出电压范围 ⁽²⁾		-0.5	6	V
I_{IK}	输入钳位电流	$V_I < 0V$		-50	mA
I_{OK}	输出钳位电流	$V_O < 0V$		-50	mA
I_O	持续输出电流			± 50	mA
I_O	通过 V_{CC} 或 GND 的持续输出电流			± 100	mA
T_J	结温		-65	150	°C
T_{stg}	贮存温度		-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	± 1000	

- (1) JEDEC 文件 JEP155 指出，500V HBM 可通过标准 ESD 管控流程安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V_{CC}	电源电压		0.63	3.6	V
V_I	输入电压		0	5.5	V
V_O	输出电压		0	5.5	V
V_{IH}	高电平输入电压	$V_{CC} = 0.63V$ 至 $0.77V$	$0.65 \times V_{CC}$		V
		$V_{CC} = 0.72V$ 至 $0.88V$	$0.65 \times V_{CC}$		
		$V_{CC} = 0.9V$ 至 $1.1V$	$0.65 \times V_{CC}$		
		$V_{CC} = 1.08V$ 至 $1.32V$	$0.65 \times V_{CC}$		
		$V_{CC} = 1.35V$ 至 $1.65V$	$0.65 \times V_{CC}$		
		$V_{CC} = 1.62V$ 至 $1.98V$	$0.65 \times V_{CC}$		
		$V_{CC} = 2.3V$ 至 $2.7V$	1.7		
		$V_{CC} = 3.0V$ 至 $3.6V$	2		

5.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V _{IL}	低电平输入电压	V _{CC} = 0.63V 至 0.77V		0.35 x V _{CC}	V
		V _{CC} = 0.72V 至 0.88V		0.35 x V _{CC}	
		V _{CC} = 0.9V 至 1.1V		0.35 x V _{CC}	
		V _{CC} = 1.08V 至 1.32V		0.35 x V _{CC}	
		V _{CC} = 1.35V 至 1.65V		0.35 x V _{CC}	
		V _{CC} = 1.62V 至 1.98V		0.35 x V _{CC}	
		V _{CC} = 2.3V 至 2.7V		0.7	
		V _{CC} = 3.0V 至 3.6V		0.8	
I _{OL}	低电平输出电流	V _{CC} = 0.63V		0.2	mA
		V _{CC} = 0.72V		0.5	
		V _{CC} = 0.9V		0.7	
		V _{CC} = 1.08V		1.1	
		V _{CC} = 1.35V		1.7	
		V _{CC} = 1.62V		1.9	
		V _{CC} = 2.3V		3.1	
		V _{CC} = 3.0V		4	
Δt/Δv	输入转换上升或下降速率	V _{CC} = 0.65V 至 3.6V		200	ns/V
T _A	自然通风条件下的工作温度		-40	125	°C

5.4 热性能信息

封装	引脚	热指标 ⁽¹⁾						单位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
DBV (SOT-23 , 5)	5	298.6	240.2	134.6	114.5	133.9	不适用	°C/W
DCK (SC-70 , 5)	5	314.4	128.7	100.6	7.1	99.8	不适用	°C/W
DRY (USON , 6)	6	554.9	385.4	388.2	159.0	384.1	不适用	°C/W
DSF (X2SON , 6)	6	407.1	232.0	306.9	40.3	306.0	不适用	°C/W
DPW (X2SON , 5)	5	291.8	224.2	245.8	31.4	245.6	195.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
V _{OL}	I _{OL} = 20μA	0.63V 至 3.6V			0.15	V
	I _{OH} = 0.7 mA	1.0V			0.35	
	I _{OH} = 1.1 mA	1.2V			0.25	
	I _{OH} = 1.7 mA	1.5V			0.23	
	I _{OH} = 1.9 mA	1.65V			0.23	
	I _{OH} = 3.1 mA	2.3V			0.26	
	I _{OH} = 3.5 mA	2.7V			0.27	
	I _{OH} = 4 mA	3V			0.29	
I _I	V _I = V _{CC} 或 GND	V _{CC} = 0V 至 3.6V		±0.003	±0.5	μA

5.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	V _{CC}	最小值	典型值	最大值	单位
I _{OFF}	V _I 或 V _O = V _{CC}	V _{CC} = 0V		±0.2	±1	μA
I _{OZ}	V _O = V _{CC} 或 GND	3.6V		±0.1	±1.5	μA
I _{CC}	V _I = V _{CC} 或 GND, I _O = 0	V _{CC} = 0.63V 至 3.6V		0.01	1.4	μA
Δ I _{CC}	一个输入电压为 V _{CC} 至 0.6V, 其他输入电压为 V _{CC} 或 GND	3.3V			60	μA
C _I	V _I = V _{CC} 或 GND	3.3V		4.4		pF
C _O	V _O = V _{CC} 或 GND	3.3V		2.59		pF

5.6 开关特性

在自然通风条件下的工作温度范围内；典型值在 T_A = 25°C 时测得 (除非另有说明)。请参阅 [参数测量信息](#)

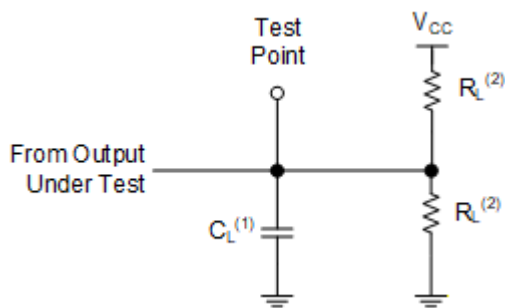
参数	从 (输入)	至 (输出)	负载条件	V _{CC}	最小值	典型值	最大值	单位
t _{pd}	A	Y	C _L = 5pF	0.7V ± 0.07V			320	ns
				0.8V ± 0.08V			117.3	ns
			C _L = 10pF	1.0V ± 0.1V			28.4	ns
				1.2V ± 0.12V			16.4	ns
			C _L = 15pF	1.5V ± 0.15V			6.3	ns
				1.8V ± 0.18V			5.9	ns
			C _L = 30pF	2.5V ± 0.2V			6.6	ns
				3.3V ± 0.3V			9.5	ns
C _{pd}			f = 10MHz	0.7V		0.67		pF
				0.8V		0.67		pF
				1.0V		0.70		pF
				1.2V		0.71		pF
				1.5V		0.72		pF
				1.8V		0.75		pF
				2.5V		0.95		pF
				3.3V		1.23		pF

6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：
 $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f < 3\text{ns}$ 。

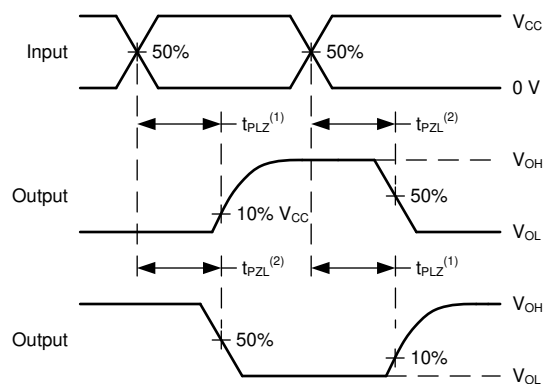
输出单独测量，每次测量一个输入转换。

测试	R_L	C_L	ΔV	V_{CC}
t_{pd}	20K Ω	5pF	0.07V	0.7V
			0.08V	0.8V
		10pF	0.1V	1.0V
	5K Ω	10pF	0.12V	1.2V
		15pF	0.15V	1.5V
			0.18V	1.8V
		30pF	0.2V	2.5V
			0.3V	3.3V



- (1) C_L 包括探头和测试夹具电容。
(2) 对于使能和禁用时间的测量， $R_L = 5\text{k}\Omega$ 或 $20\text{k}\Omega$ 。对于传播延迟、建立和保持时间以及脉冲宽度的测量， $R_L = 1\text{M}\Omega$ 。

图 6-1. 开漏输出的负载电路



- (1) 如果 $R_L = 5\text{k}\Omega$ ，则 t_{PLZ} 和 t_{PZL} 之间的时间与禁用和使能时间相同。
(2) 如果 $R_L = 1\text{M}\Omega$ ，则 t_{PLZ} 和 t_{PZL} 与 t_{pd} 相同。

图 6-2. 电压波形传播延迟

7 详细说明

7.1 概述

SN74UVP1G07 是一款具有开漏输出的单路缓冲门。该单路缓冲器/驱动器的输出为漏极开路，可连接其它开漏输出，从而实现低电平有效的连线 OR 或高电平有效的连线 AND 功能。

该器件专用于使用 I_{off} 的局部断电应用。 I_{off} 电路可禁用输出，以防在器件断电时电流回流对器件造成损坏。

7.2 功能方框图



7.3 特性说明

- 0.63V 至 3.6V 的宽工作 V_{CC} 范围
- 3.6V 耐压 I/O 支持降压转换
- 输入迟滞可在输入端实现缓慢的输入转换和更好的开关噪声抗扰度
- I_{OFF} 特性允许在 V_{CC} 为 0V 时在输入和输出上产生电压。
- 较慢的边沿速率实现低噪声

7.4 器件功能模式

功能表

输入 A	输出 Y
H	H/Z
L	L

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

UVP 系列是 TI 先进的解决方案，可满足电池供电便携式应用的低功耗要求。此系列可确保在整个 V_{CC} 范围内实现超低静态和动态功耗，从而延长电池寿命。该产品还可以保持出色的信号完整性。它具有少量内置迟滞，允许慢速或高噪声输入信号。较低的驱动可产生较慢的边沿，并防止在输出端出现过冲和下冲。

8.2 典型应用

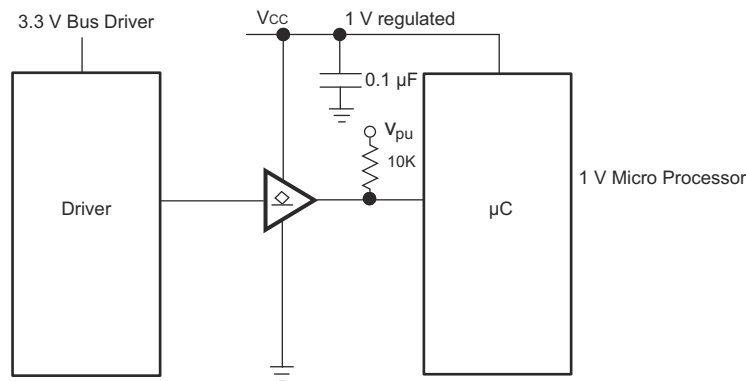


图 8-1. 典型应用原理图

8.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限制的电流。

8.2.2 详细设计过程

1. 建议的输入条件
 - 上升时间和下降时间规格。请参阅以下内容中的 ($\Delta t / \Delta V$)： [节 5.3](#)
 - 指定的高电平和低电平。请参阅以下内容中的 (V_{IH} 和 V_{IL})： [节 5.3](#)
 - 输入具有过压容限，允许它们在任何有效 V_{CC} 下高达 3.6V
2. 建议的输出条件
 - 输出端的负载电流不应超过 20mA，该器件的总电流不应超过 50mA。

8.3 电源相关建议

电源可以是 [节 5.3](#) 表中最小和最大电源电压额定值之间的任意电压。

每个 V_{CC} 引脚必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 μf ；如果有多个 V_{CC} 引脚，则建议每个电源引脚使用 0.01 μf 或 0.022 μf 。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 μf 和 1 μf 通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源引脚安装。

8.4 布局

8.4.1 布局指南

在许多情况下，数字逻辑器件的功能或部分功能未被使用（例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时）。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的运行状态。图 8-2

指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至高或低偏置以防悬空。应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，将这些输入连接到 **GND** 或 **V_{CC}**，具体取决于哪种方式更合理或更方便。使输出悬空通常是可以接受的，除非该器件是收发器。如果收发器有一个输出使能引脚，它会在置位时禁用该器件的输出部分。这不会禁用 I/O 的输入部分，因此输入在禁用后也不能悬空。

8.4.2 布局示例

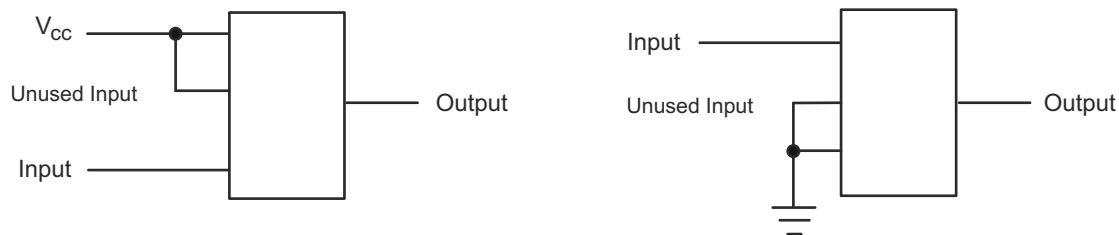


图 8-2. 布局图

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI)，[CMOS 功耗与 \$C_{pd}\$ 计算应用手册](#)
- 德州仪器 (TI)，[使用逻辑器件进行设计应用手册](#)
- 德州仪器 (TI)，[标准线性和逻辑 \(SLL\) 封装和器件的热特性应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

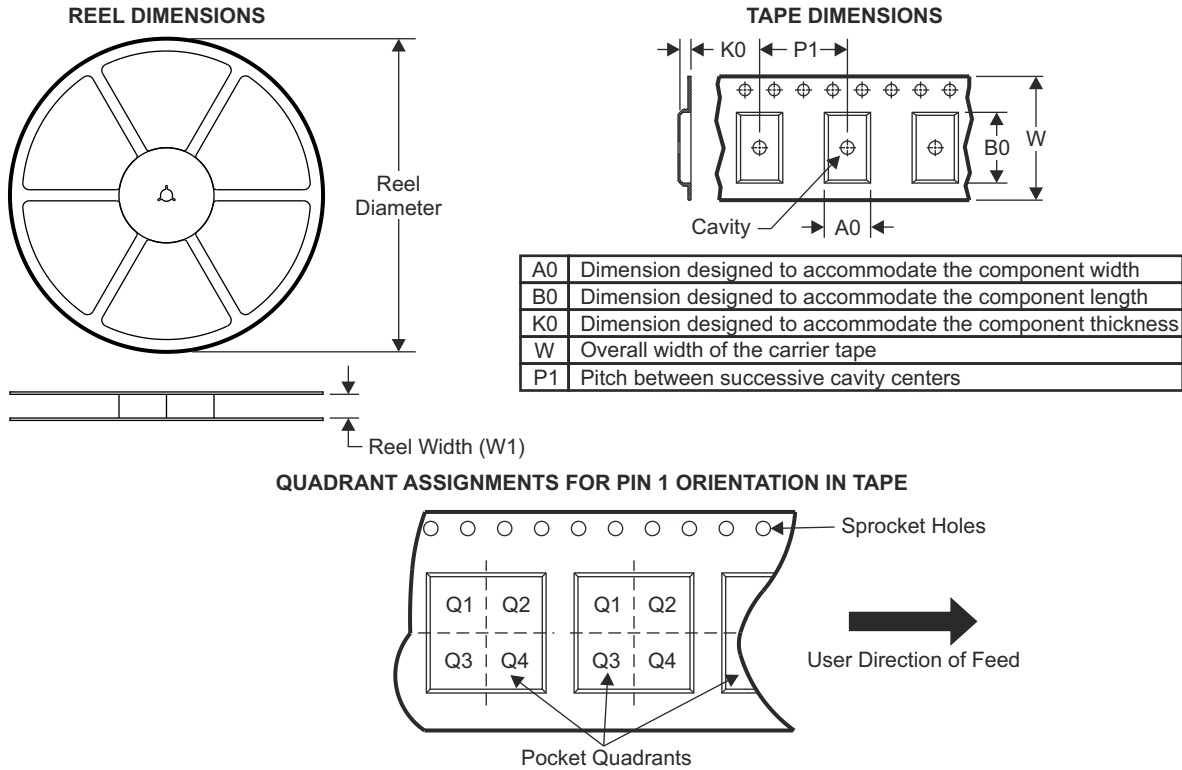
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
June 2026	*	初始发行版

11 机械、封装和可订购信息

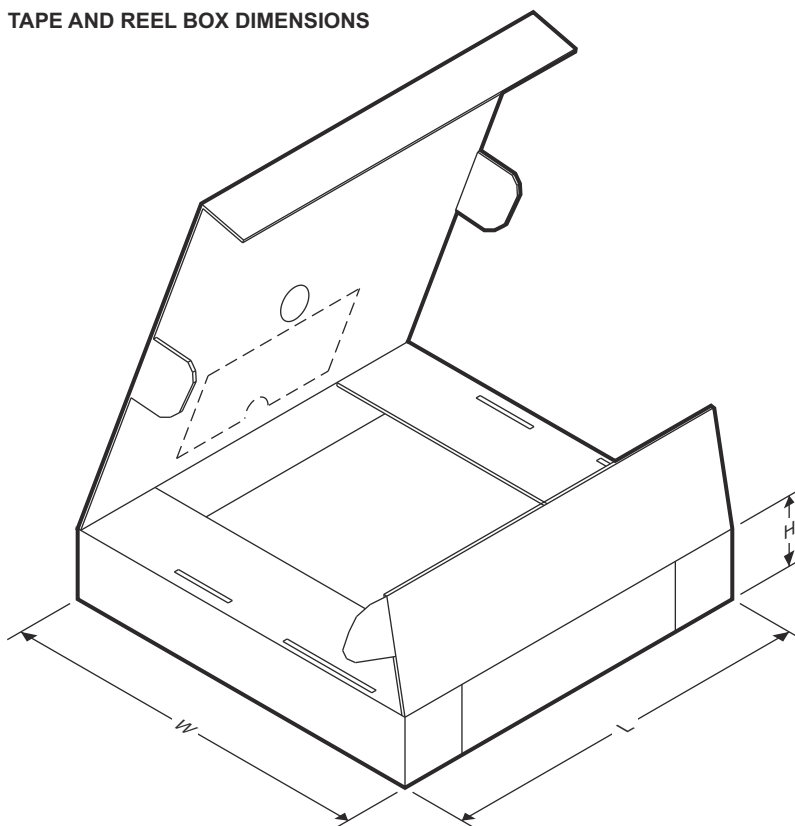
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

11.1 卷带包装信息



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
PSN74UVP1G07DBV R	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
PSN74UVP1G07DC KR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
PSN74UVP1G07DP WR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3
PSN74UVP1G07DR YR	USON	DRY	5	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
PSN74UVP1G07DSF R	USON	DSF	5	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PSN74UVP1G07DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
PSN74UVP1G07DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
PSN74UVP1G07DPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
PSN74UVP1G07DRYR	USON	DRY	5	5000	184.0	184.0	19.0
PSN74UVP1G07DSFR	USON	DSF	5	5000	210.0	185.0	35.0

ADVANCE INFORMATION

11.2 机械数据

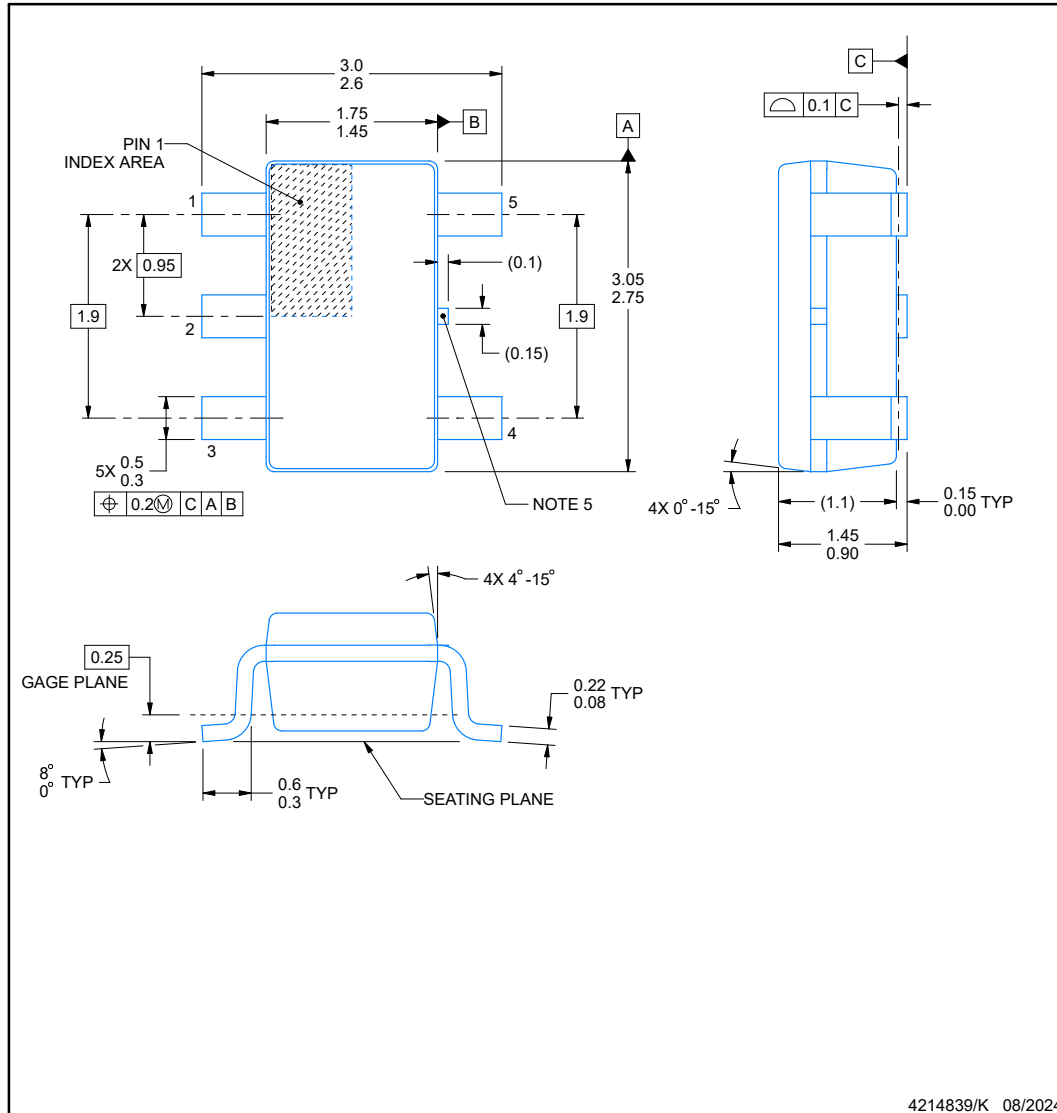
DBV0005A



PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES:

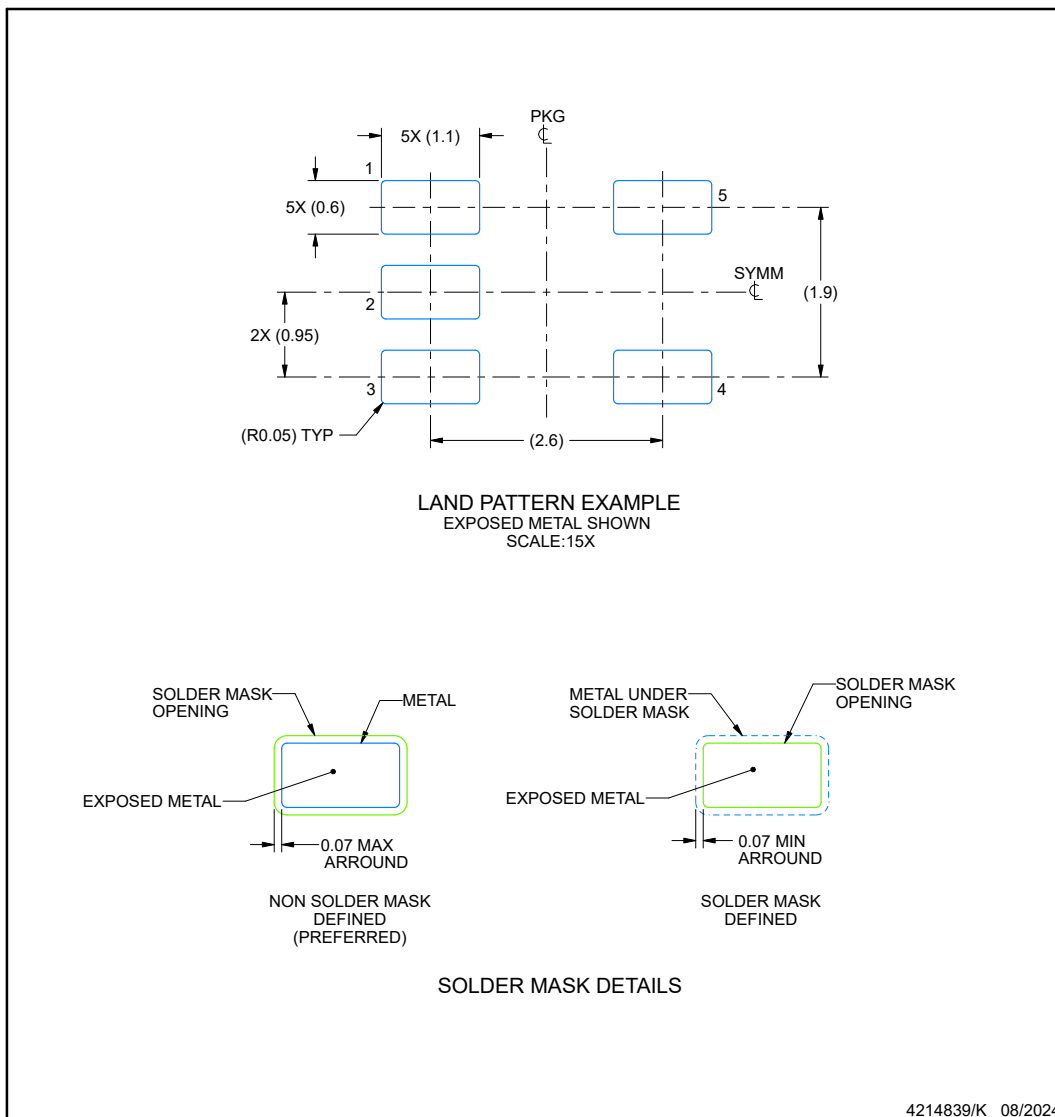
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



NOTES: (continued)

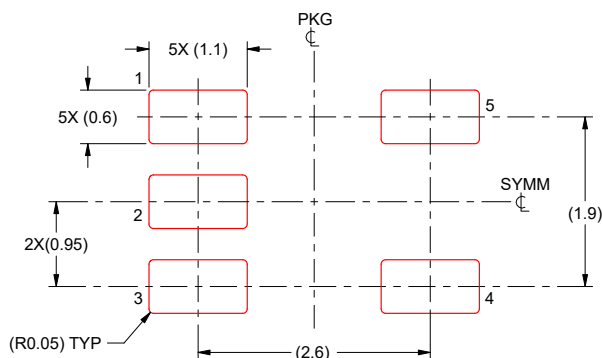
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

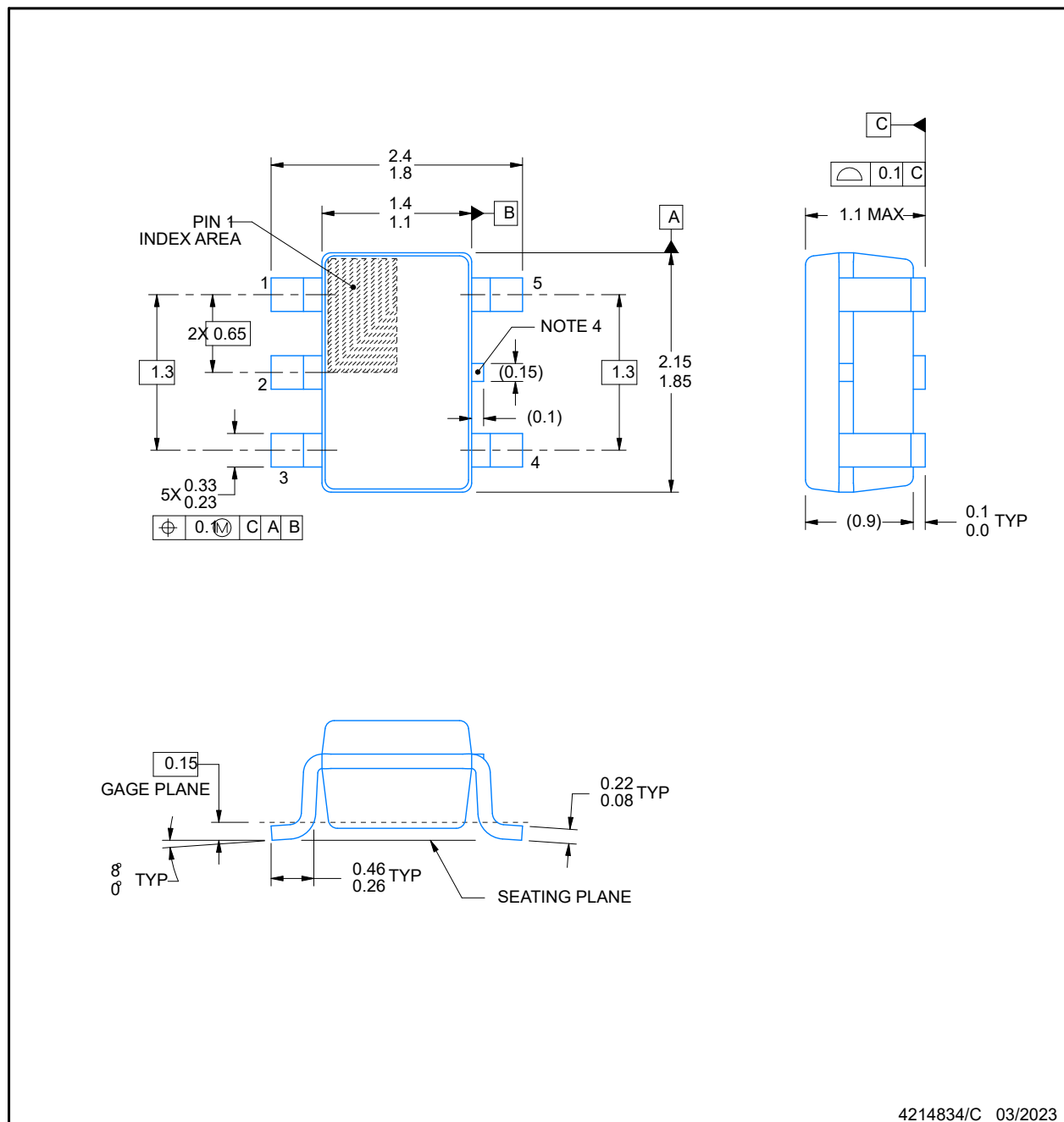
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



ADVANCE INFORMATION

NOTES:

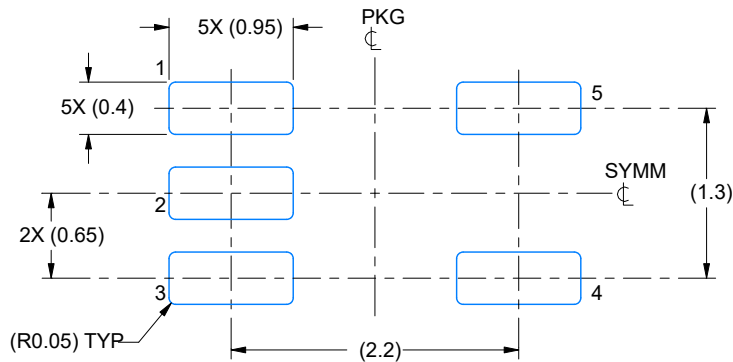
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-203.
4. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

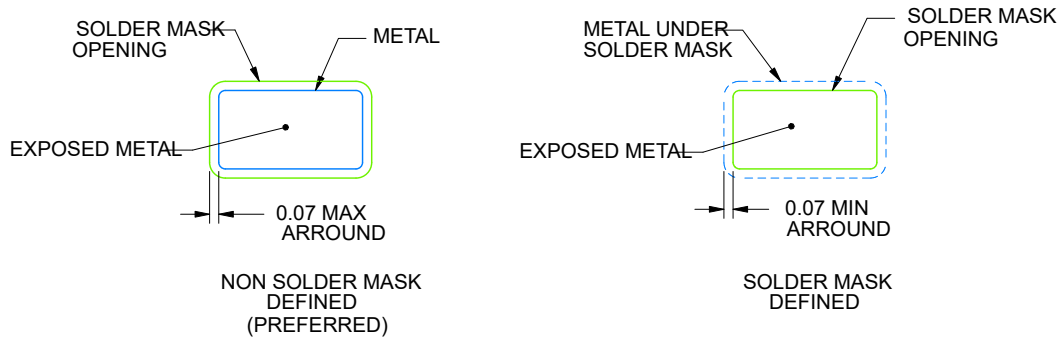
DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X



SOLDER MASK DETAILS

4214834/C 03/2023

NOTES: (continued)

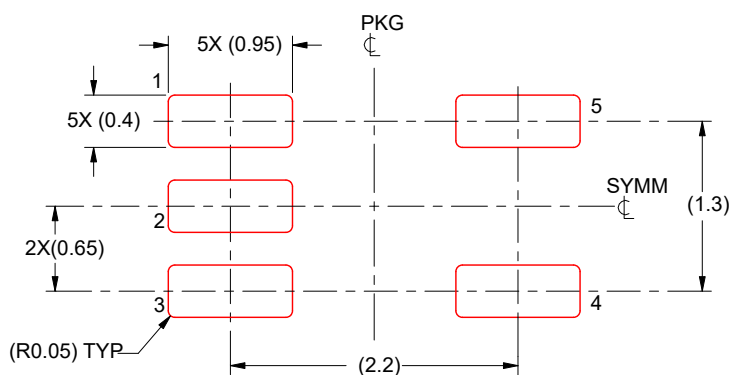
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCK0005A

SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
 BASED ON 0.125 THICK STENCIL
 SCALE:18X

4214834/C 03/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

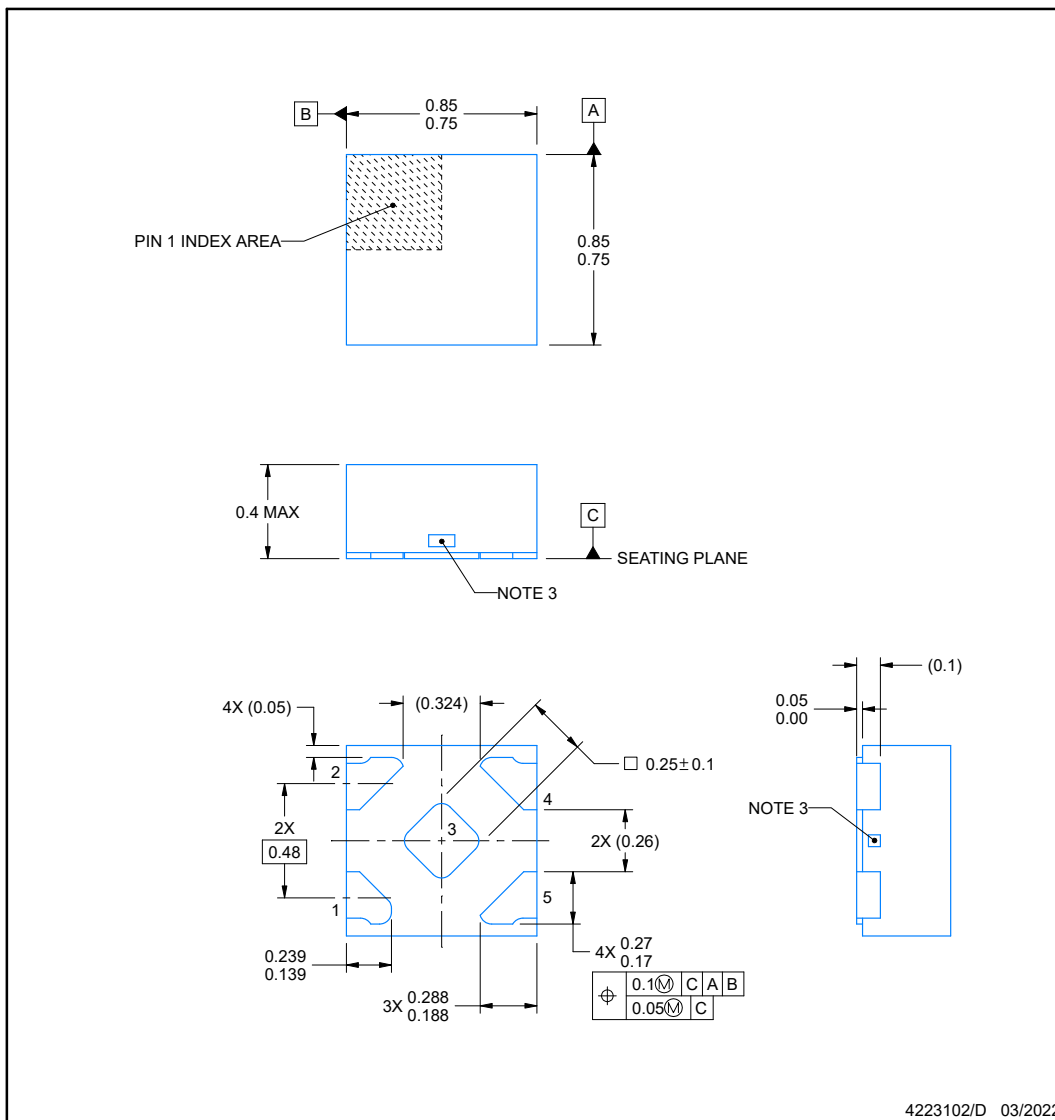


DPW0005A

PACKAGE OUTLINE

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

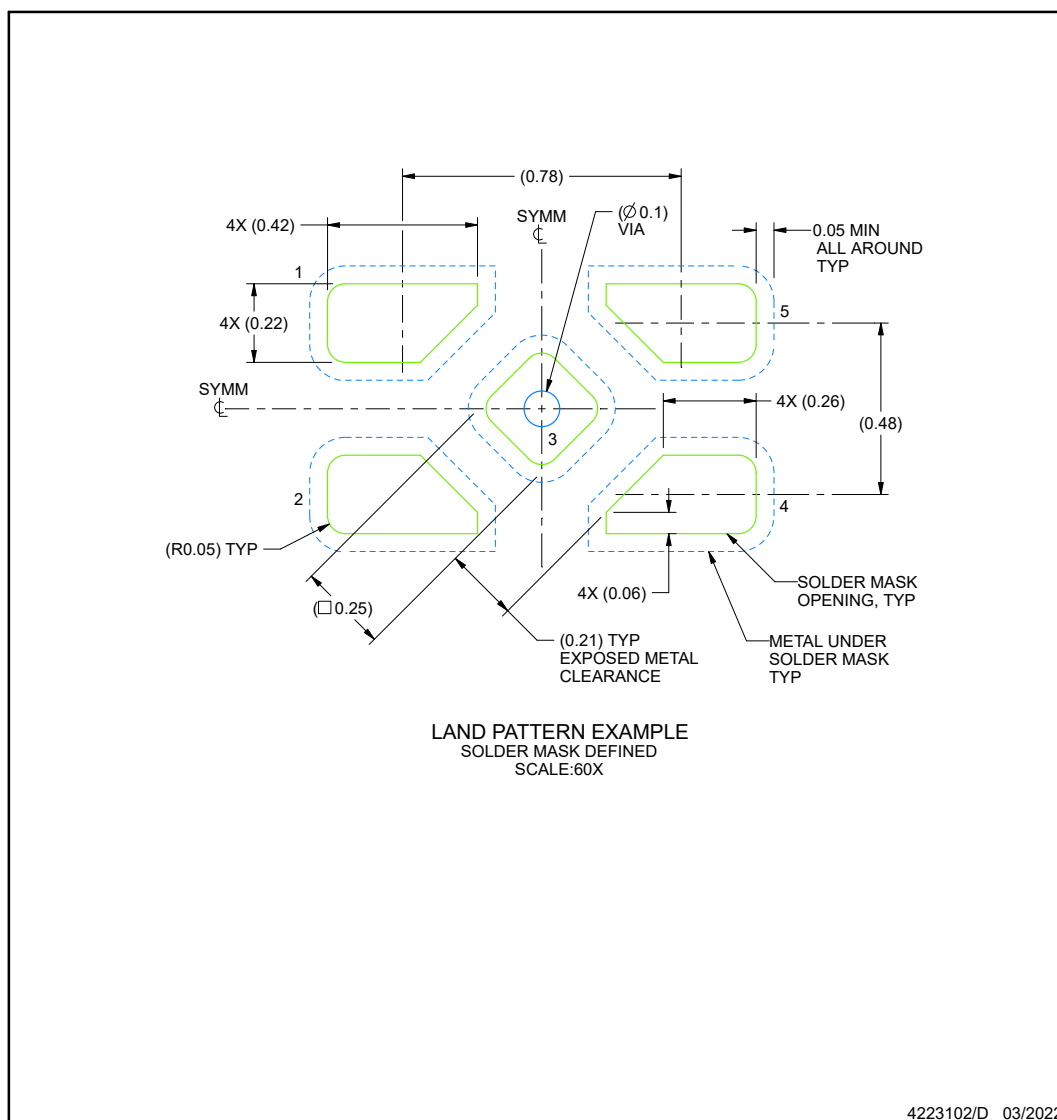
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.

EXAMPLE BOARD LAYOUT

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4223102/D 03/2022

NOTES: (continued)

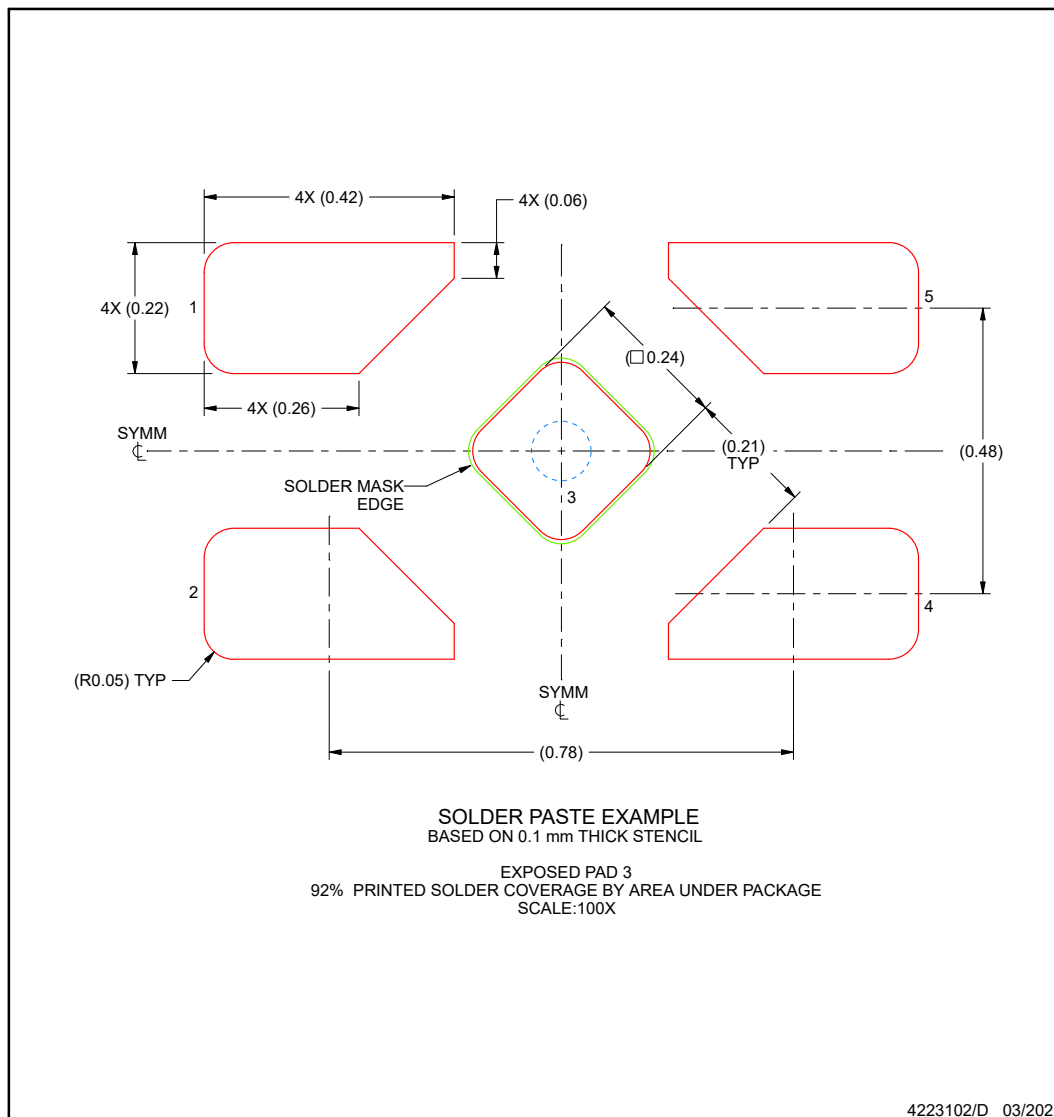
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

DPW0005A

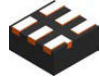
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

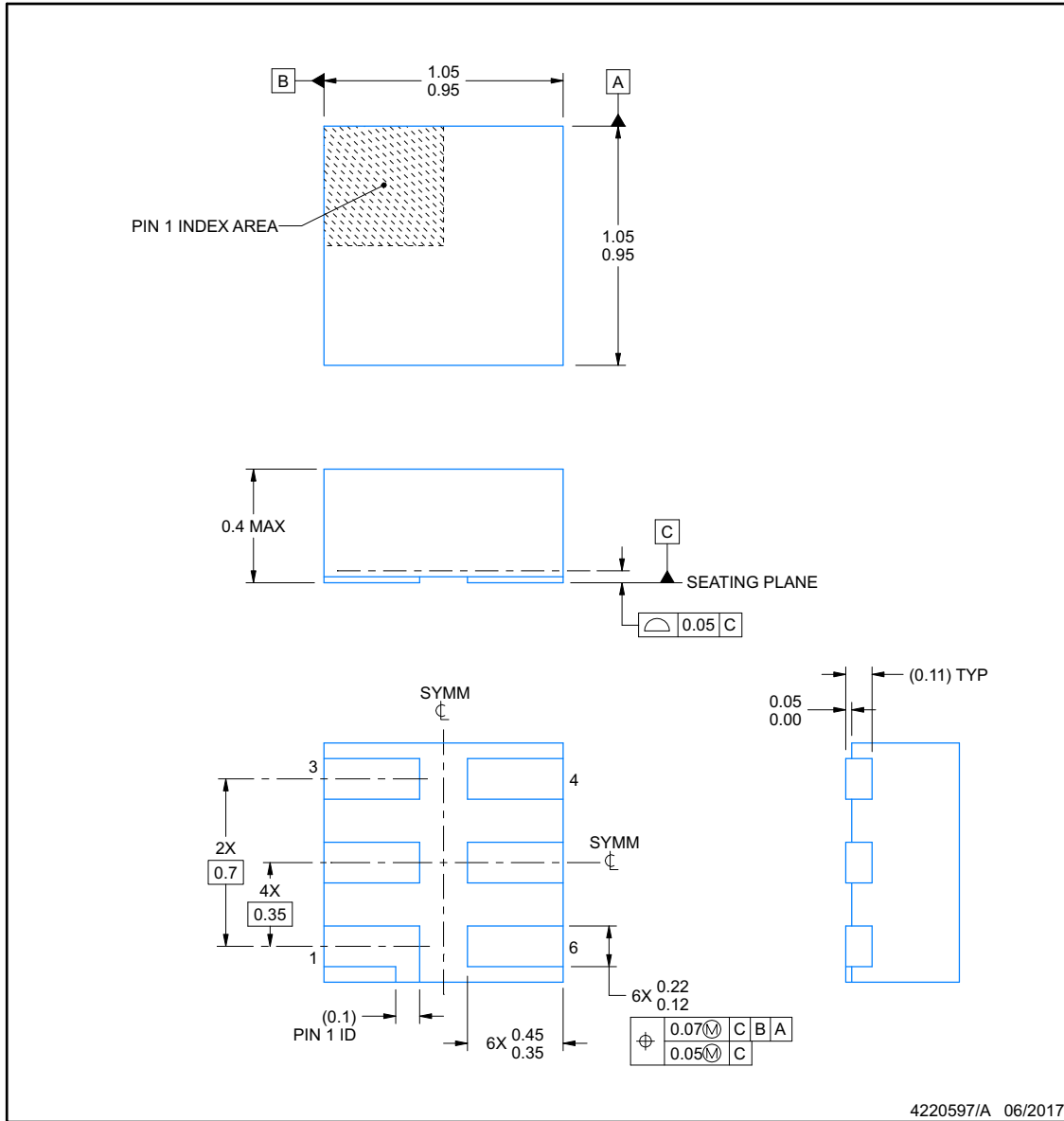
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



DSF0006A

PACKAGE OUTLINE
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.

www.ti.com

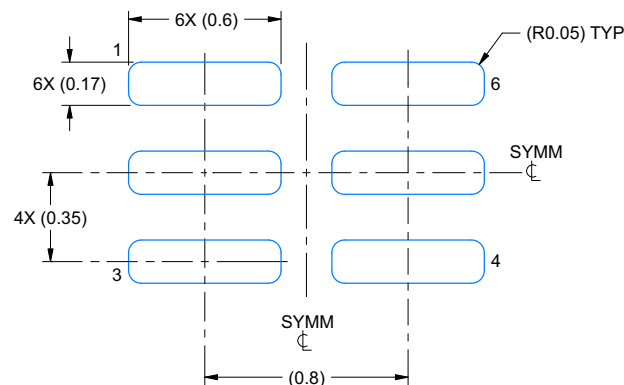
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

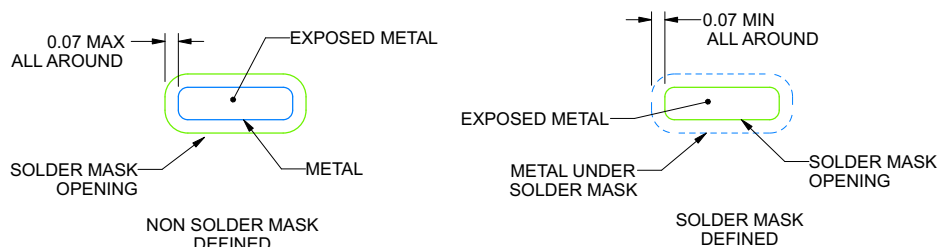
DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/A 06/2017

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).

www.ti.com

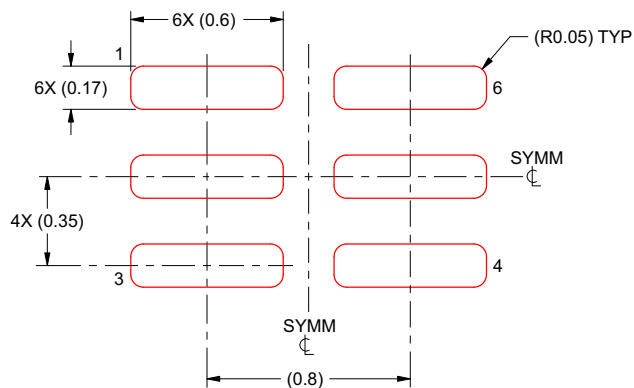
ADVANCE INFORMATION

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/A 06/2017

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION

www.ti.com

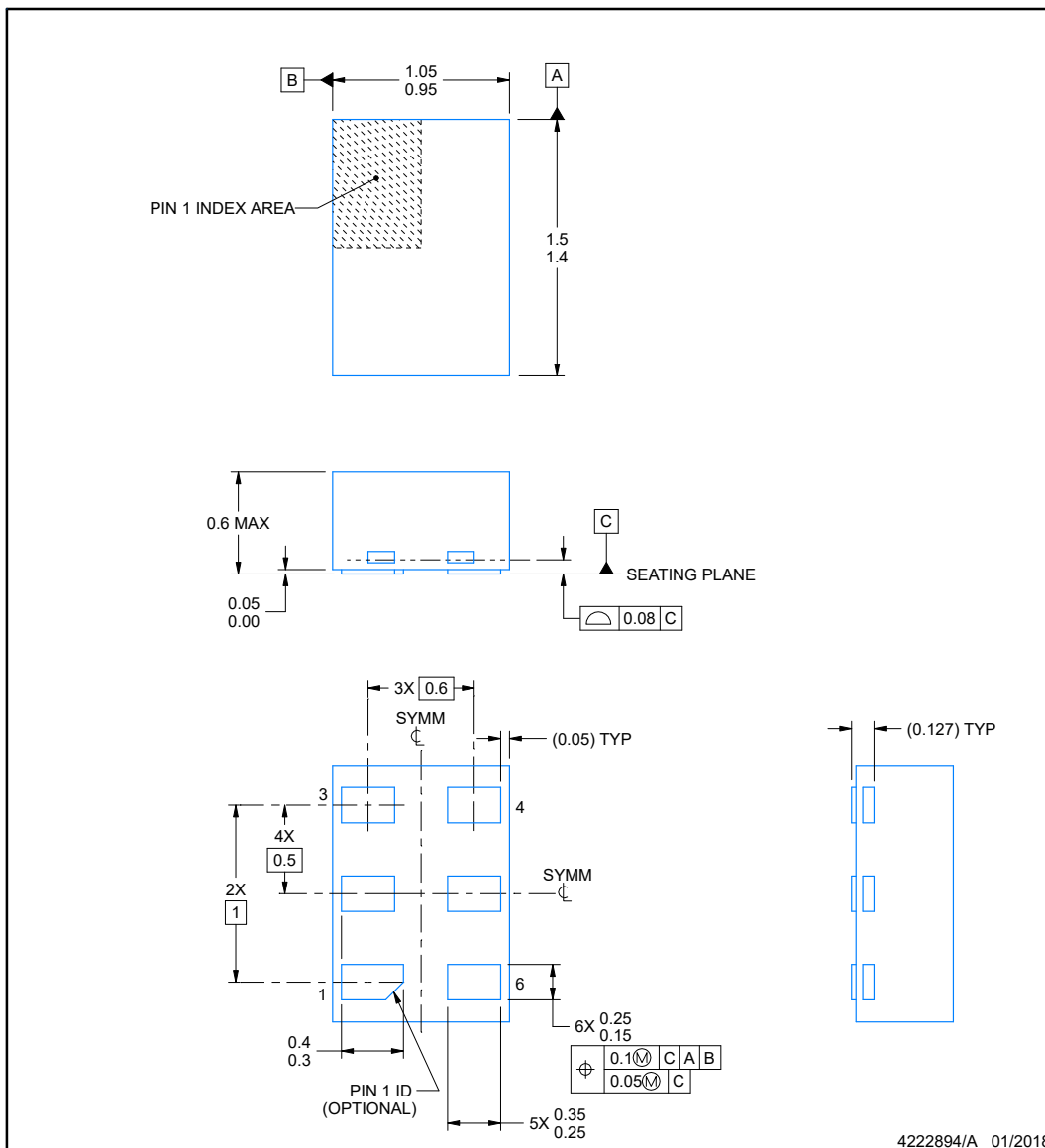
DRY0006A



PACKAGE OUTLINE

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

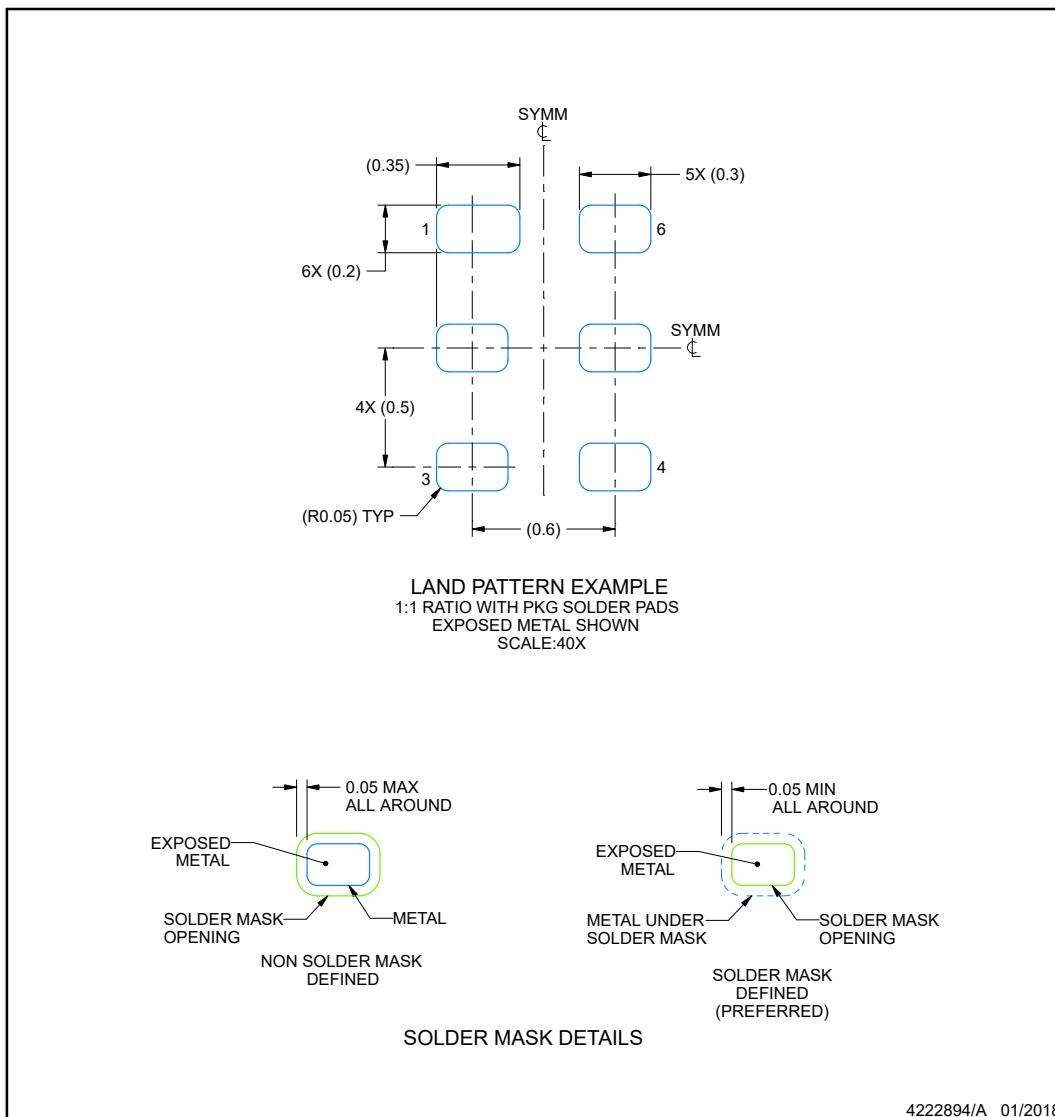
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

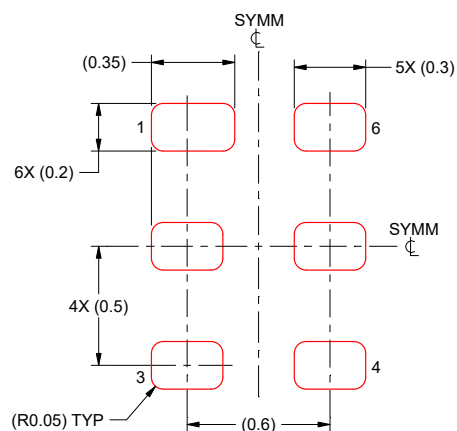
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/sluea271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月