参考文献



# SN74UVP1G06 具有漏极开路输出的低功耗单路反相器

## 1 特性

- 扩展的低电压工作范围，电源电压为 0.63V 至 3.6V
- 扩展工作温度范围：-40°C 至 125°C
- 低功耗
  - 典型值 $I_{CC}$ = 10nA
  - 输入泄漏电流典型值 $I_I$ = 3nA
  - 关断状态下的输出泄漏电流典型值 $I_{OZ}$ = 100nA
  - 在局部断电模式下，$I_{OFF}$ 典型值为 0.2uA
- 3.6V 耐压输入，支持降压转换
- 3.3V 时 $t_{pd}$ 最大值为 9.5ns
- 与 AUP1G 系列直接兼容，$V_{CC}$ 范围从 0.8V 扩展至 0.63V

## 2 应用

- PC 和笔记本电脑
- 数据中心
- 楼宇自动化
- 手机
- 可穿戴设备
- 有线网络

## 3 说明

SN74UVP1G06 器件是一款具有漏极开路输出的低功耗单路反相器，执行布尔函数 $Y = \overline{A}$。

封装信息

| 器件型号 | 封装 (1) | 封装尺寸(2) |
|---|---|---|
| SN74UVP1G06 | DBV（SOT-23，5） | 2.90mm × 1.60mm |
| SN74UVP1G06 | DCK（SC-70，5） | 2.00mm × 1.25mm |
| | DRY（USON，6） | 1.45mm × 1.00mm |
| | DSF（X2SON，6） | 1.00mm × 1.00mm |
| | DPW（X2SON，5） | 0.80mm × 0.80mm |

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，不包括引脚

逻辑图

ADVANCE INFORMATION

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

ADVANCE INFORMATION

# 内容

**1 特性**.....1
**2 应用**.....1
**3 说明**.....1
**4 引脚配置和功能**.....3
**5 规格**.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 开关特性.....6
**6 参数测量信息**.....7
**7 详细说明**.....8
7.1 概述.....8
7.2 功能方框图.....8
7.3 特性说明.....8
7.4 器件功能模式.....8
**8 应用和实施**.....9
8.1 应用信息.....9
8.2 典型应用.....9
8.3 设计要求.....9
8.4 应用曲线.....11
8.5 电源相关建议.....11
8.6 布局.....11
**9 器件和文档支持**.....13
9.1 文档支持.....13
9.2 接收文档更新通知.....13
9.3 支持资源.....13
9.4 商标.....13
9.5 静电放电警告.....13
9.6 术语表.....13
**10 修订历史记录**.....13
**11 机械、封装和可订购信息**.....14
11.1 卷带包装信息.....14
11.2 机械数据.....16


Copyright © 2026 Texas Instruments Incorporated

## 4 引脚配置和功能

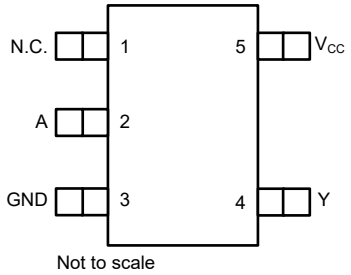



**图 4-1. DBV 或 DCK 封装，5 引脚 SOT-23 或 SC-70（顶视图）**

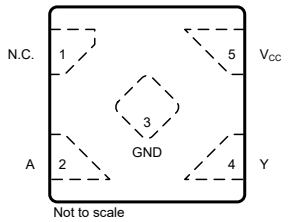



**图 4-2. DPW 封装，5 引脚 X2SON（顶视图）**

**表 4-1. 引脚功能**

| 引脚 | | 类型(1) | 说明 |
|---|---|---|---|
| 名称 | DPW、DBV、DCK、 | | |
| N.C. | 1 | — | 无内部连接 |
| A | 2 | I | 输入 A |
| GND | 3 | G | 接地引脚 |
| Y | 4 | O | 输出 Y（推挽） |
| VCC | 5 | P | 电源引脚 |

(1) I = 输入，O = 输出，G = 地，P = 电源

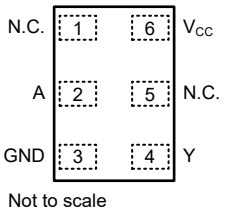



**图 4-3. DRY 或 DSF 封装，5 引脚 USON 或 X2SON（顶视图）**

**表 4-2. 引脚功能**

| 引脚 | | 类型(1) | 说明 |
|---|---|---|---|
| 名称 | DSF、DRY | | |
| N.C. | 1、5 | — | 无内部连接 |
| A | 2 | I | 输入 A |
| GND | 3 | G | 接地引脚 |
| Y | 4 | O | 输出 Y（推挽） |
| VCC | 6 | P | 电源引脚 |

(1) I = 输入，O = 输出，G = 地，P = 电源

ADVANCE INFORMATION

ADVANCE INFORMATION

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

| | | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{CC}$ | 电源电压范围 | | -0.5 | 6 | V |
| $V_I$ | 输入电压范围[(2)] | | -0.5 | 6 | V |
| $V_O$ | 输出电压范围[(2)] | | -0.5 | $V_{CC}$ + 0.5 | V |
| $V_O$ | 输出电压范围 [(2)] | | -0.5 | 6 | V |
| $I_{IK}$ | 输入钳位电流 | $V_I$ < 0V | | -50 | mA |
| $I_{OK}$ | 输出钳位电流 | $V_O$ < 0V | | -50 | mA |
| $I_O$ | 持续输出电流 | | | ±50 | mA |
| $I_O$ | 通过 $V_{CC}$ 或 GND 的持续输出电流 | | | ±100 | mA |
| $T_J$ | 结温 | | -65 | 150 | °C |
| $T_{stg}$ | 贮存温度 | | -65 | 150 | °C |

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

## 5.2 ESD 等级

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)] | ±2000 | V |
| | | 充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)] | ±1000 | |

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

## 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 规格 | 说明 | 条件 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{CC}$ | 电源电压 | | 0.63 | 3.6 | V |
| $V_I$ | 输入电压 | | 0 | 5.5 | V |
| $V_O$ | 输出电压 | | 0 | 5.5 | V |
| $V_{IH}$ | 高电平输入电压 | $V_{CC}$ = 0.63V 至 0.77V | 0.65 × Vcc | | V |
| | | $V_{CC}$ = 0.72V 至 0.88V | 0.65 × Vcc | | |
| | | $V_{CC}$ = 0.9V 至 1.1V | 0.65 × Vcc | | |
| | | $V_{CC}$ = 1.08V 至 1.32V | 0.65 × Vcc | | |
| | | $V_{CC}$ = 1.35V 至 1.65V | 0.65 × Vcc | | |
| | | $V_{CC}$ = 1.62V 至 1.98V | 0.65 × Vcc | | |
| | | $V_{CC}$ = 2.3V 至 2.7V | 1.7 | | |
| | | $V_{CC}$ = 3.0V 至 3.6V | 2 | | |


Copyright © 2026 Texas Instruments Incorporated

## 5.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 规格 | 说明 | 条件 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{IL}$ | 低电平输入电压 | $V_{CC}$ = 0.63V 至 0.77V | | 0.35 × Vcc | V |
| | | $V_{CC}$ = 0.72V 至 0.88V | | 0.35 × Vcc | |
| | | $V_{CC}$ = 0.9V 至 1.1V | | 0.35 × Vcc | |
| | | $V_{CC}$ = 1.08V 至 1.32V | | 0.35 × Vcc | |
| | | $V_{CC}$ = 1.35V 至 1.65V | | 0.35 × Vcc | |
| | | $V_{CC}$ = 1.62V 至 1.98V | | 0.35 × Vcc | |
| | | $V_{CC}$ = 2.3V 至 2.7V | | 0.7 | |
| | | $V_{CC}$ = 3.0V 至 3.6V | | 0.8 | |
| $I_{OL}$ | 低电平输出电流 | $V_{CC}$ = 0.63V | | 0.2 | mA |
| | | $V_{CC}$ = 0.72V | | 0.5 | |
| | | $V_{CC}$ = 0.9V | | 0.7 | |
| | | $V_{CC}$ = 1.08V | | 1.1 | |
| | | $V_{CC}$ = 1.35V | | 1.7 | |
| | | $V_{CC}$ = 1.62V | | 1.9 | |
| | | $V_{CC}$ = 2.3V | | 3.1 | |
| | | $V_{CC}$ = 3.0V | | 4 | |
| Δt/Δv | 输入转换上升或下降速率 | $V_{CC}$ = 0.65V 至 3.6V | | 200 | ns/V |
| $T_A$ | 自然通风条件下的工作温度 | | -40 | 125 | °C |

## 5.4 热性能信息

| 封装 | 引脚 | 热指标[1] | | | | | | 单位 |
|---|---|---|---|---|---|---|---|---|
| | | $R_{\theta JA}$ | $R_{\theta JC(top)}$ | $R_{\theta JB}$ | $\Psi_{JT}$ | $\Psi_{JB}$ | $R_{\theta JC(bot)}$ | |
| DBV（SOT-23，5） | 5 | 298.6 | 240.2 | 134.6 | 114.5 | 133.9 | 不适用 | °C/W |
| DCK（SC-70，5） | 5 | 314.4 | 128.7 | 100.6 | 7.1 | 99.8 | 不适用 | °C/W |
| DRY（USON，6） | 6 | 554.9 | 385.4 | 388.2 | 159.0 | 384.1 | 不适用 | °C/W |
| DSF（X2SON，6） | 6 | 407.1 | 232.0 | 306.9 | 40.3 | 306.0 | 不适用 | °C/W |
| DPW（X2SON，5） | 5 | 291.8 | 224.2 | 245.8 | 31.4 | 245.6 | 195.4 | °C/W |

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

## 5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数 | 测试条件 | $V_{CC}$ | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $V_{OL}$ | $I_{OL}$ = 20μA | 0.63V 至 3.6V | | | 0.15 | V |
| | $I_{OL}$ = 0.7mA | 1.0V | | | 0.35 | |
| | $I_{OL}$ = 1.1mA | 1.2V | | | 0.25 | |
| | $I_{OL}$ = 1.7mA | 1.5V | | | 0.23 | |
| | $I_{OL}$ = 1.9mA | 1.65V | | | 0.23 | |
| | $I_{OL}$ = 3.1mA | 2.3V | | | 0.26 | |
| | $I_{OL}$ = 3.5mA | 2.7V | | | 0.27 | |
| | $I_{OL}$ = 4mA | 3V | | | 0.29 | |
| $I_I$ | $V_I$ = $V_{CC}$ 或 GND | $V_{CC}$ = 0V 至 3.6V | | ±0.003 | ±0.5 | μA |

ADVANCE INFORMATION

ADVANCE INFORMATION

## 5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数 | 测试条件 | $V_{CC}$ | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $I_{OFF}$ | $V_I$ 或 $V_O$ = $V_{CC}$ | $V_{CC}$ = 0V | | ±0.2 | ±1 | μA |
| $I_{OZ}$ | $V_O$ = $V_{CC}$ 或 GND | 3.6V | | ±0.1 | ±1.5 | μA |
| $I_{CC}$ | $V_I$ = $V_{CC}$ 或 GND，$I_O$ = 0 | $V_{CC}$ = 0.63V 至 3.6V | | 0.01 | 1.4 | μA |
| $\Delta I_{CC}$ | 一个输入电压为 $V_{CC}$ 至 0.6V，其他输入电压为 $V_{CC}$ 或 GND | 3.3V | | | 60 | μA |
| $C_I$ | $V_I$ = $V_{CC}$ 或 GND | 3.3V | | 4.4 | | pF |
| $C_O$ | $V_O$ = $V_{CC}$ 或 GND | 3.3V | | 2.59 | | pF |

## 5.6 开关特性

在自然通风条件下的工作温度范围内；典型值在 $T_A$ = 25°C 时测得（除非另有说明）。请参阅*参数测量信息*

| 参数 | 从（输入） | 至（输出） | 负载条件 | $V_{CC}$ | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|---|---|
| $t_{pd}$ | A | Y | $C_L$ = 5pF | 0.7V ± 0.07V | | | 302 | ns |
| | | | | 0.8V ± 0.08V | | | 105.5 | ns |
| | | | $C_L$ = 10pF | 1.0V ± 0.1V | | | 25.1 | ns |
| | | | | 1.2V ± 0.12V | | | 16.4 | ns |
| | | | $C_L$ = 15pF | 1.5V ± 0.15V | | | 5.7 | ns |
| | | | | 1.8V ± 0.18V | | | 6.1 | ns |
| | | | $C_L$ = 30pF | 2.5V ± 0.2V | | | 7 | ns |
| | | | | 3.3V ± 0.3V | | | 10.1 | ns |
| $C_{pd}$ | | | f = 10MHz | 0.7V | | 0.46 | | pF |
| | | | | 0.8V | | 0.47 | | pF |
| | | | | 1.0V | | 0.47 | | pF |
| | | | | 1.2V | | 0.47 | | pF |
| | | | | 1.5V | | 0.49 | | pF |
| | | | | 1.8V | | 0.53 | | pF |
| | | | | 2.5V | | 0.72 | | pF |
| | | | | 3.3V | | 1 | | pF |

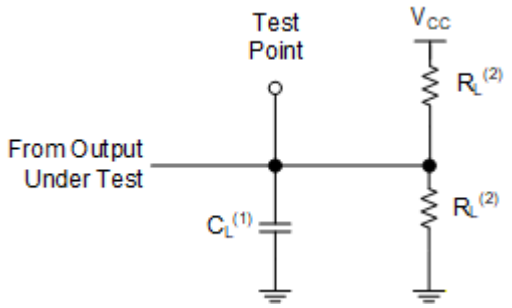

Copyright © 2026 Texas Instruments Incorporated

## 6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，$Z_O$ = 50Ω，$t_t$ < 3ns。

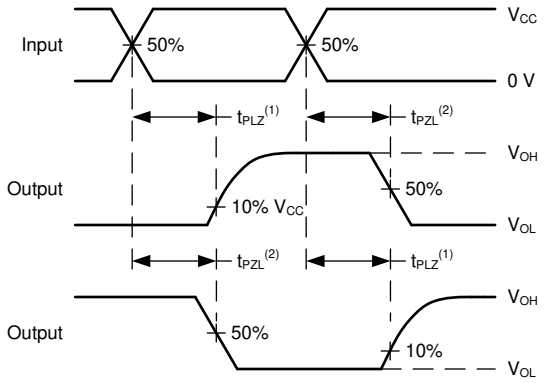
输出单独测量，每次测量一个输入转换。

| 测试 | $R_L$ | $C_L$ | ΔV | $V_{CC}$ |
|---|---|---|---|---|
| $t_{pd}$ | 20KΩ | 5pF | 0.07V | 0.7V |
| | | | 0.08V | 0.8V |
| | | 10pF | 0.1V | 1.0V |
| | 5KΩ | 10pF | 0.12V | 1.2V |
| | | 15pF | 0.15V | 1.5V |
| | | | 0.18V | 1.8V |
| | | 30pF | 0.2V | 2.5V |
| | | | 0.3V | 3.3V |




(1) $C_L$ 包括探头和测试夹具电容。
(2) 对于使能和禁用时间的测量，$R_L$ = 5kΩ 或 20kΩ。对于传播延迟、建立和保持时间以及脉冲宽度的测量，$R_L$ = 1MΩ。

**图 6-1. 开漏输出的负载电路**




(1) 如果 $R_L$ = 5kΩ，则 $t_{PLZ}$ 和 $t_{PZL}$ 之间的时间与禁用和使能时间相同。
(2) 如果 $R_L$ = 1MΩ，则 $t_{PLZ}$ 和 $t_{PZL}$ 与 $t_{pd}$ 相同。

**图 6-2. 电压波形传播延迟**

ADVANCE INFORMATION

# 7 详细说明

## 7.1 概述

SN74UVP1G06 器件包含一个最大灌电流为 32mA 的开漏反相器。该器件专用于使用 $I_{off}$ 的局部断电应用。当器件断电时，$I_{off}$ 电路将会禁用输出。这会抑制电流回流到器件中，从而防止损坏器件。

## 7.2 功能方框图

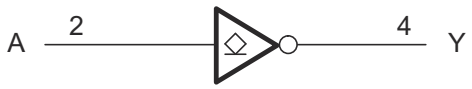



**图 7-1. 逻辑图（正逻辑）**

## 7.3 特性说明

### *7.3.1 开漏 CMOS 输出*

开漏输出包含在 SN74UVP1G06 中。开漏输出仅能将输出驱动为低电平。当置于高逻辑状态时，输出处于高阻抗状态，这意味着输出既不会拉出电流，也不会灌入电流（*电气特性* 表中定义的小漏电流除外）。在高阻抗状态下，输出电压不受 SN74UVP1G06 控制，而取决于外部因素。

受高阻抗状态影响，需要使用一个外部上拉电阻器来定义逻辑高电平。如果没有上拉电阻器，输出将悬空并处于未定义的逻辑电平。电阻器的值取决于寄生电容和功耗等因素；通常，10kΩ 的电阻器是合适的。

SN74UVP1G06 的驱动能力可在轻负载情况下产生快速边沿，因此在布线和负载设计时应注意防止振铃。此外，与能够连续处理电流的 SN74UVP1G06 相比，输出能够驱动更高的电流。限制器件输出功率，以避免因过流导致损坏。始终遵守 *绝对最大额定值* 中规定的电气和热限值。有关可从外部连接到 SN74UVP1G06 的最大输出电压，请参见*建议的运行条件* 表。

未使用的开漏 CMOS 输出应保持断开。

### *7.3.2 标准 CMOS 输入*

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性* 中所示。最坏情况下的电阻是根据*绝对最大额定值* 中给出的最大输入电压和*电气特性* 中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范会导致功耗过大并可能导致振荡。更多详细信息请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。在 $V_{CC}$ 或 GND 处端接未使用的输入。如果系统并非一直驱动输入，请考虑添加上拉或下拉电阻器，以提供有效的输入电压。电阻值取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

## 7.4 器件功能模式

功能表 列出了 SN74UVP1G06 的功能模式。

**表 7-1. 功能表**

| 输入 A | 输出 Y |
|---|---|
| L | 高阻态 |
| H | L |

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

# 8 应用和实施

**备注**

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

## 8.1 应用信息

SN74UVP1G06 是一款高驱动 CMOS 器件，可用于 LED 相关应用。该器件可在 4.5V 时灌入 32mA 电流，适用于各类适合高驱动应用。该器件非常适合高达 100MHz 的高速应用。输入可耐受 5.5V 电压，从而可将其升压或降压转换至 $V_{CC}$。图 8-1 显示了该器件单通道简易 LED 驱动器应用。

## 8.2 典型应用

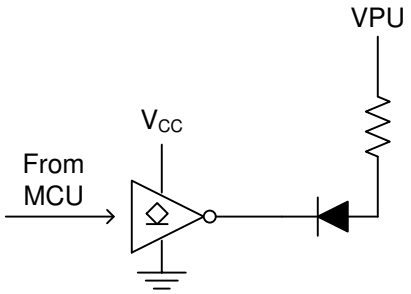



**图 8-1. 典型应用图**

## 8.3 设计要求

### *8.3.1 电源注意事项*

验证所需电源电压在*电气特性*中规定的范围内。电源电压按照*电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 最大静态电源电流 $I_{CC}$（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。

地必须能够灌入的电流等于 SN74UVP1G06 所有输出端灌入的总电流加上最大电源电流 $I_{CC}$（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入接地连接可灌入的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74UVP1G06 可以驱动总电容小于或等于 30pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但是，TI 建议在输出端和电容器之间添加一个串联电阻器，以防止电流过大。

SN74UVP1G06 可以驱动由 $R_L \geqslant V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性* 表中用 $V_{OL}$ 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 $V_{CC}$ 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*应用手册中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*应用手册中提供的信息计算热增量。

**小心**

*绝对最大额定值* 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

### *8.3.2 输入注意事项*

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

ADVANCE INFORMATION

未使用的输入必须端接至 $V_{CC}$ 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74UVP1G06 的漏电流（如*电气特性*中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SN74UVP1G06 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如电气特性表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅*特性描述*。

#### *8.3.3 输出注意事项*

接地电压用于产生低电平输出电压。根据*电气特性*中 $V_{OL}$ 规格所示，向输出端灌入电流会提高输出电压。

开漏输出可以直接连接在一起，以实现线与配置或获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 $V_{CC}$ 或地。

有关此器件的输出的其他信息，请参阅*特性说明*部分。

#### *8.3.4 详细设计过程*

1. 在 $V_{CC}$ 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 $V_{CC}$ 和 GND 引脚。*布局*部分中展示了示例布局。
2. 验证输出端的容性负载是否 ≤ 50pF。低负载电容可以通过从 SN74UVP1G06 向接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC} / I_{O(max)})$Ω。切勿超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用 *CMOS 功耗与 Cpd 计算应用手册*中提供的步骤计算功耗和热增量。

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

## 8.4 应用曲线

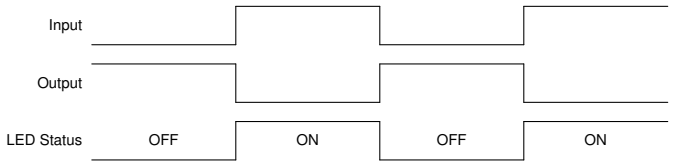



图 8-2. 应用曲线

## 8.5 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任何电压。每个 $V_{CC}$ 端子都必须具有一个良好的旁路电容器，以防止功率干扰。

建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

## 8.6 布局

### *8.6.1 布局指南*

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

### *8.6.2 布局示例*

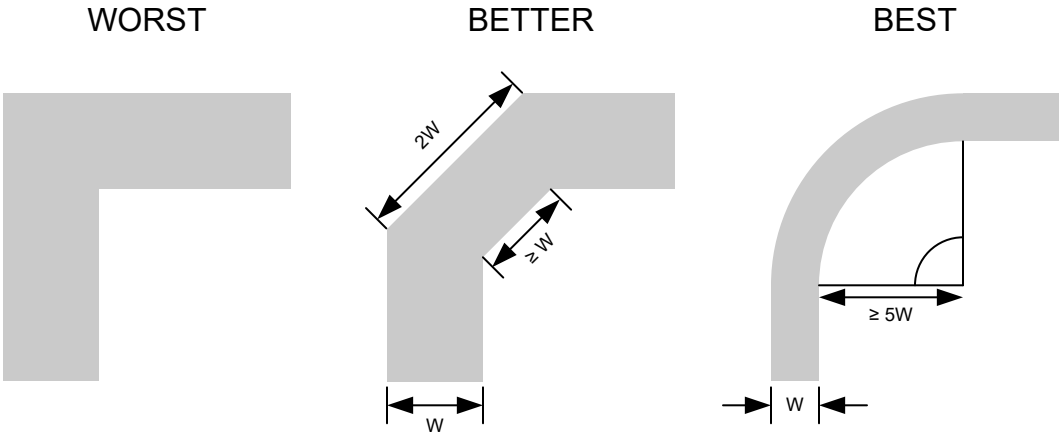



图 8-3. 可改善信号完整性的布线转角示例

ADVANCE INFORMATION

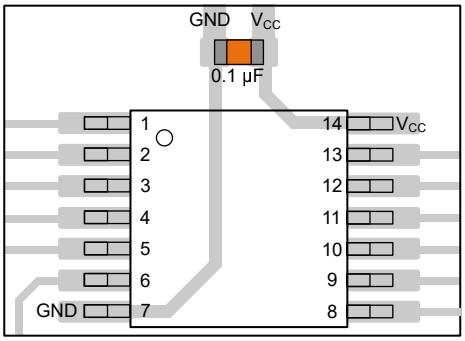



图 8-4. TSSOP 和类似封装的旁路电容器放置示例

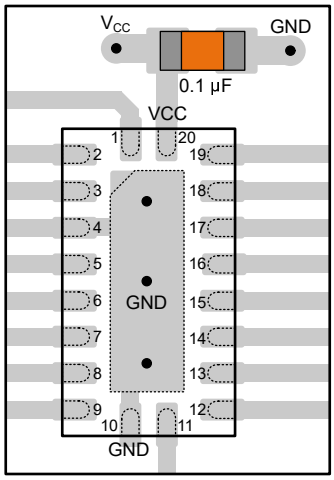



图 8-5. WQFN 和类似封装的旁路电容器放置示例

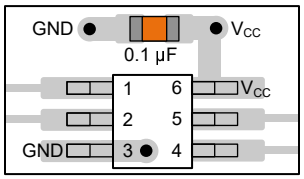



图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

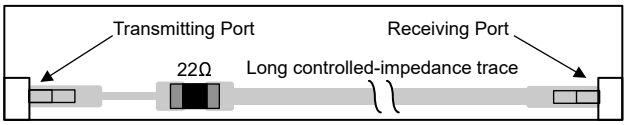



图 8-7. 可改善信号完整性的阻尼电阻放置示例

ADVANCE INFORMATION


Copyright © 2026 Texas Instruments Incorporated

# 9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

## 9.1 文档支持

### *9.1.1 相关文档*

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI)，*CMOS 功耗与 $C_{pd}$ 计算* 应用手册
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册

## 9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 9.6 术语表

| | |
|---|---|
| TI 术语表 | 本术语表列出并解释了术语、首字母缩略词和定义。 |

# 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| 日期 | 修订版本 | 注释 |
|---|---|---|
| August 2026 | * | 初始发行版 |

ADVANCE INFORMATION

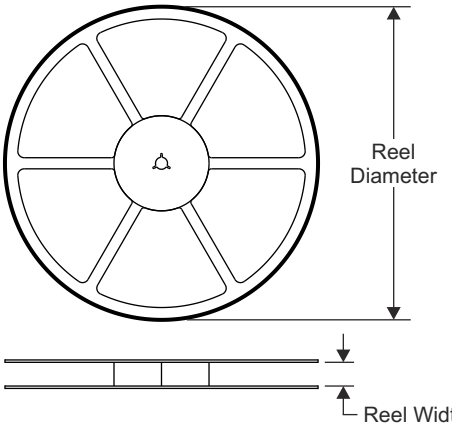
ADVANCE INFORMATION

# 11 机械、封装和可订购信息

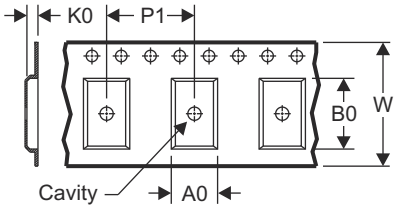
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

## 11.1 卷带包装信息

**REEL DIMENSIONS**

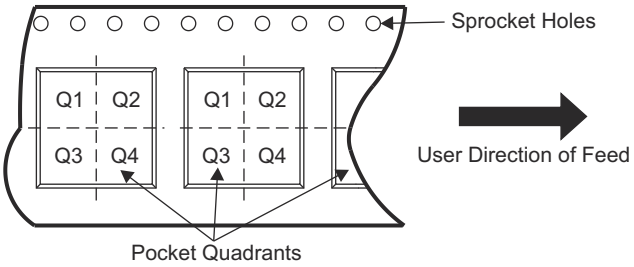



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

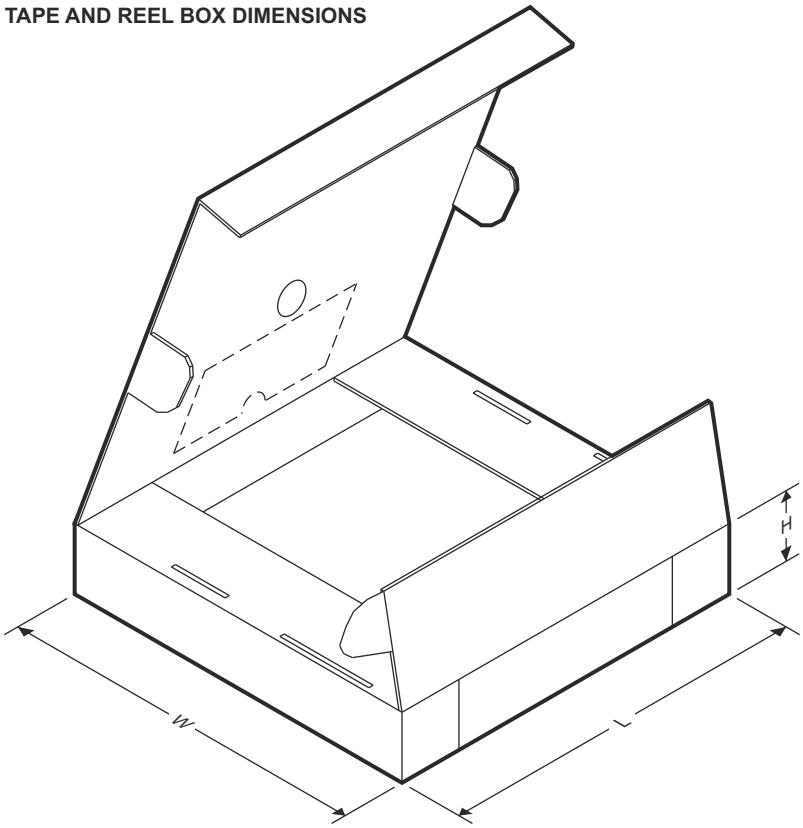
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 卷带直径 (mm) | 卷带宽度 W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 象限 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| PSN74UVP1G06DBVR | SOT-23 | DBV | 5 | 3000 | 178.0 | 8.4 | 3.2 | 3.2 | 1.4 | 4.0 | 8.0 | Q3 |
| PSN74UVP1G06DCKR | SC70 | DCK | 5 | 3000 | 178.0 | 8.4 | 2.25 | 2.45 | 1.2 | 4.0 | 8.0 | Q3 |
| PSN74UVP1G06DPWR | X2SON | DPW | 5 | 3000 | 178.0 | 8.4 | 0.91 | 0.91 | 0.5 | 2.0 | 8.0 | Q3 |
| PSN74UVP1G06DRYR | USON | DRY | 5 | 5000 | 180.0 | 9.5 | 1.15 | 1.6 | 0.75 | 4.0 | 8.0 | Q1 |
| PSN74UVP1G06DSFR | USON | DSF | 5 | 5000 | 180.0 | 8.4 | 1.16 | 1.16 | 0.5 | 4.0 | 8.0 | Q2 |


Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS




| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 长度 (mm) | 宽度 (mm) | 高度 (mm) |
|---|---|---|---|---|---|---|---|
| PSN74UVP1G06DBVR | SOT-23 | DBV | 5 | 3000 | 208.0 | 191.0 | 35.0 |
| PSN74UVP1G06DCKR | SC70 | DCK | 5 | 3000 | 208.0 | 191.0 | 35.0 |
| PSN74UVP1G06DPWR | X2SON | DPW | 5 | 3000 | 205.0 | 200.0 | 33.0 |
| PSN74UVP1G06DRYR | USON | DRY | 5 | 5000 | 184.0 | 184.0 | 19.0 |
| PSN74UVP1G06DSFR | USON | DSF | 5 | 5000 | 210.0 | 185.0 | 35.0 |

ADVANCE INFORMATION

ADVANCE INFORMATION

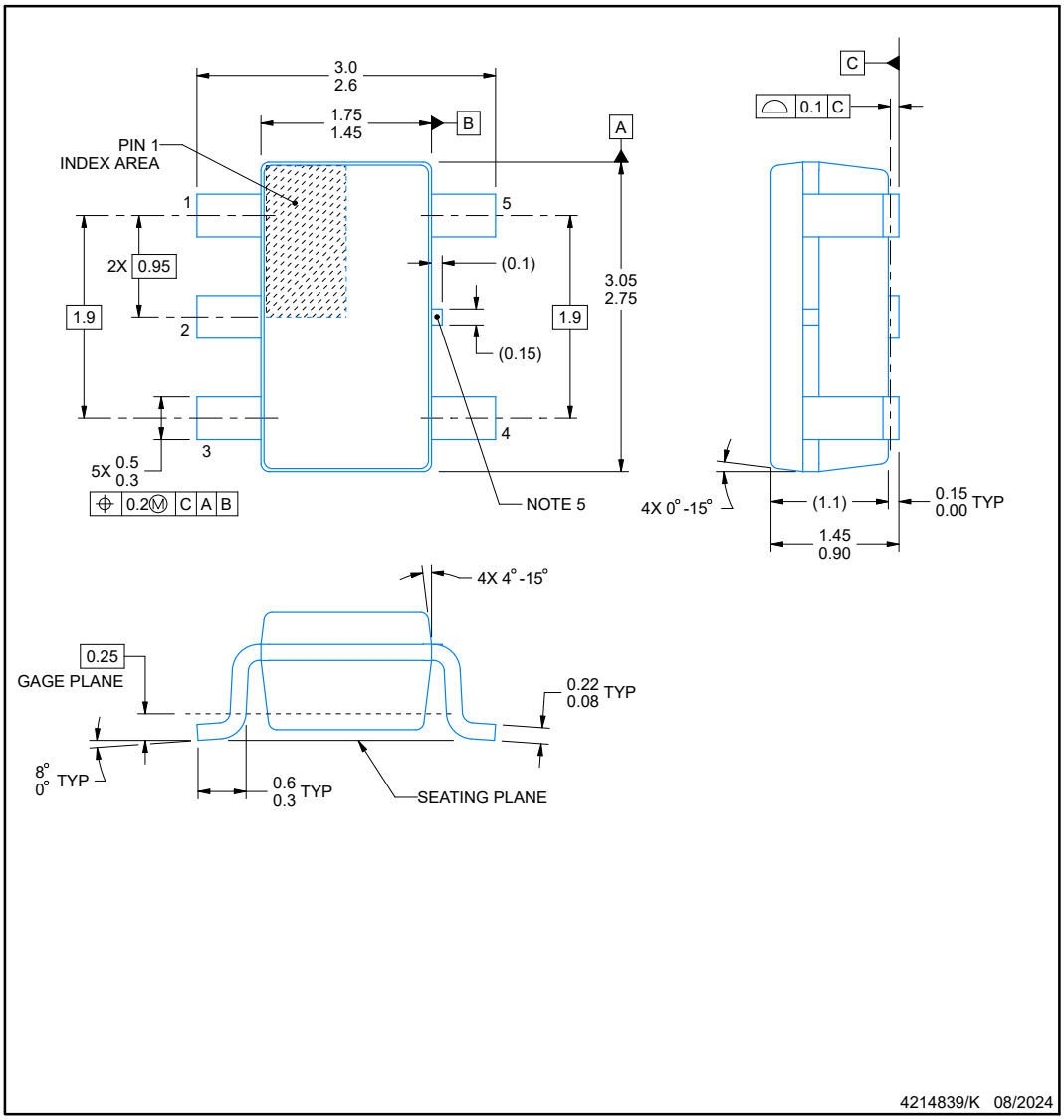
## 11.2 机械数据

**DBV0005A**

**PACKAGE OUTLINE**

**SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR




NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

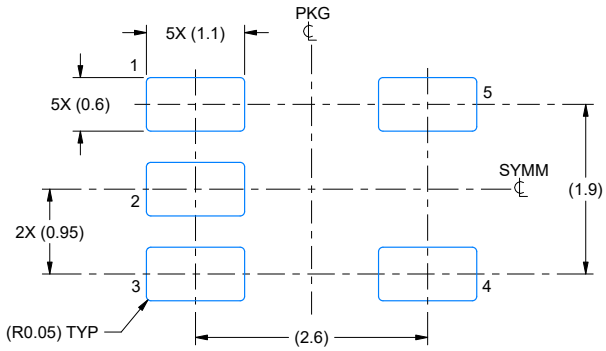
TEXAS INSTRUMENTS
www.ti.com


Copyright © 2026 Texas Instruments Incorporated

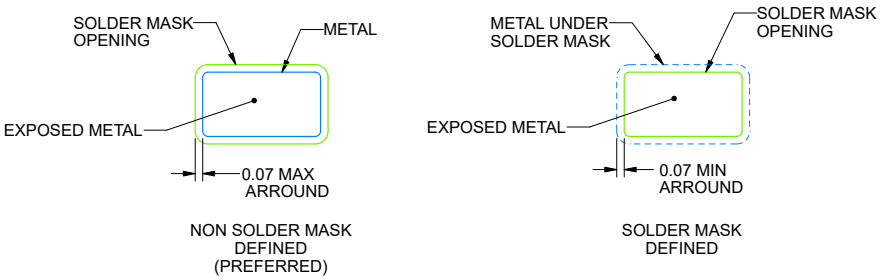
## EXAMPLE BOARD LAYOUT

**DBV0005A** **SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X




SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

ADVANCE INFORMATION



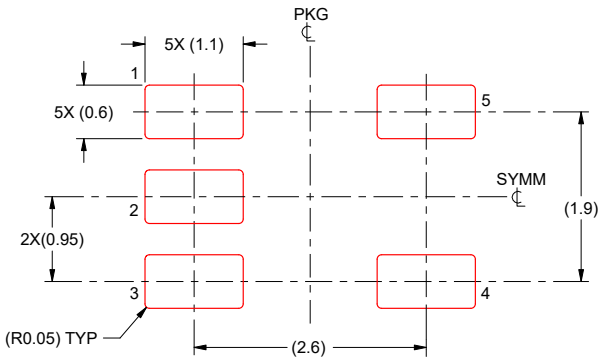
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

## EXAMPLE STENCIL DESIGN

**DBV0005A** **SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

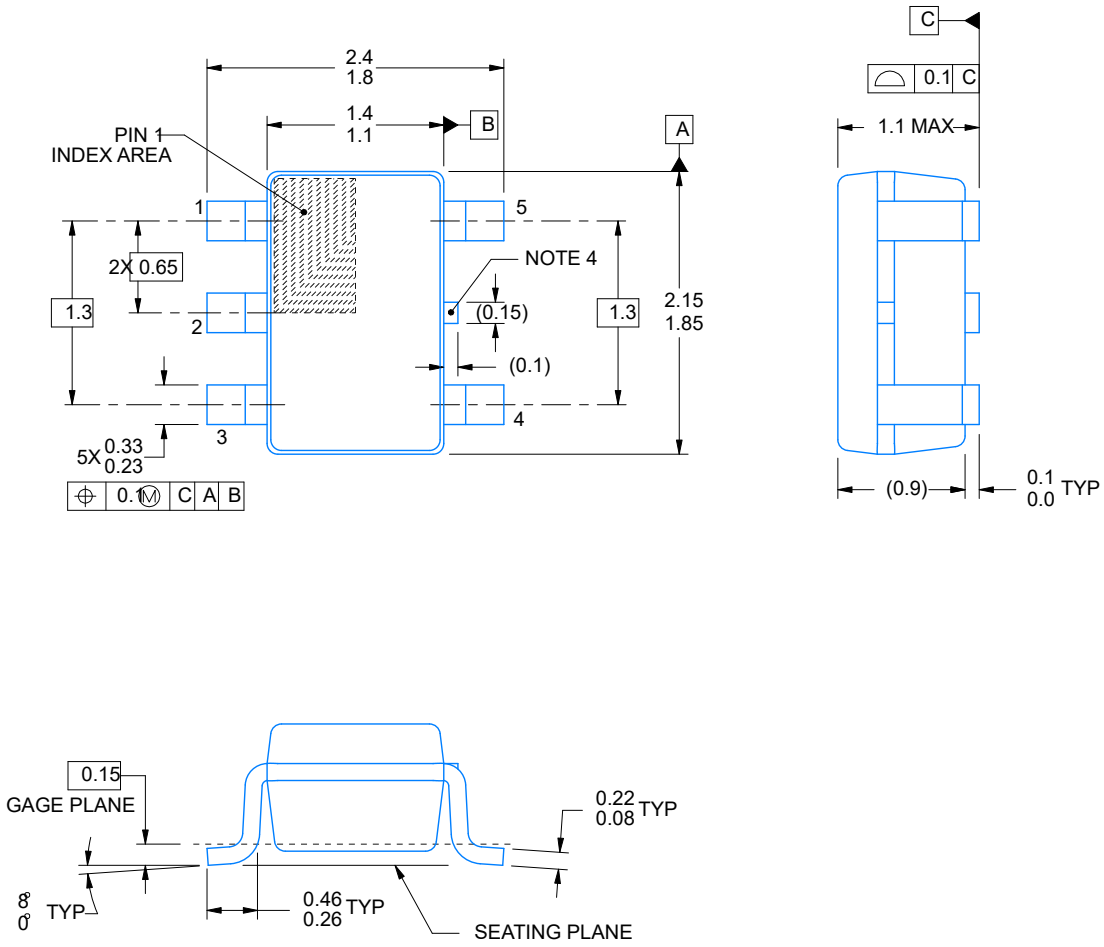

Copyright © 2026 Texas Instruments Incorporated

# PACKAGE OUTLINE

## DCK0005A

## SOT - 1.1 max height

SMALL OUTLINE TRANSISTOR




4214834/C 03/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dim ensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.

ADVANCE INFORMATION

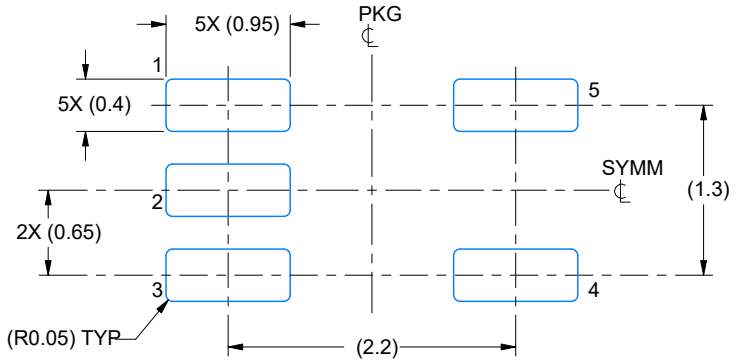
ADVANCE INFORMATION

# EXAMPLE BOARD LAYOUT

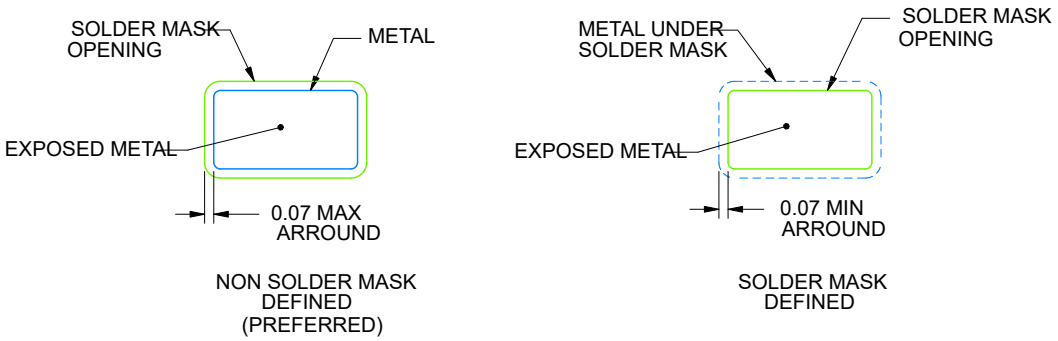
## DCK0005A

**SOT - 1.1 max height**

SMALL OUTLINE TRANSISTOR




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X




SOLDER MASK DETAILS

4214834/C 03/2023

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

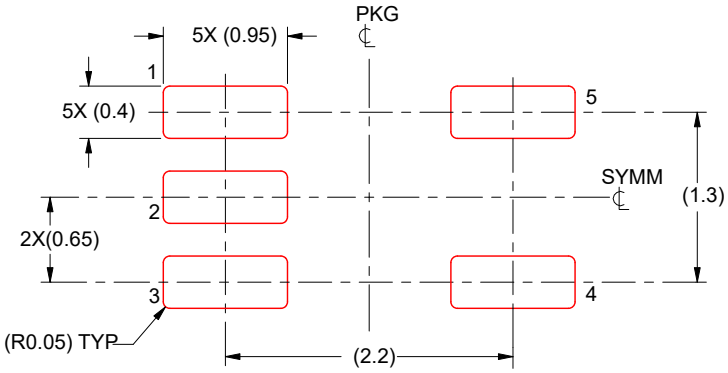

Copyright © 2026 Texas Instruments Incorporated

# EXAMPLE STENCIL DESIGN

## DCK0005A

**SOT - 1.1 max height**

SMALL OUTLINE TRANSISTOR




SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/C 03/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

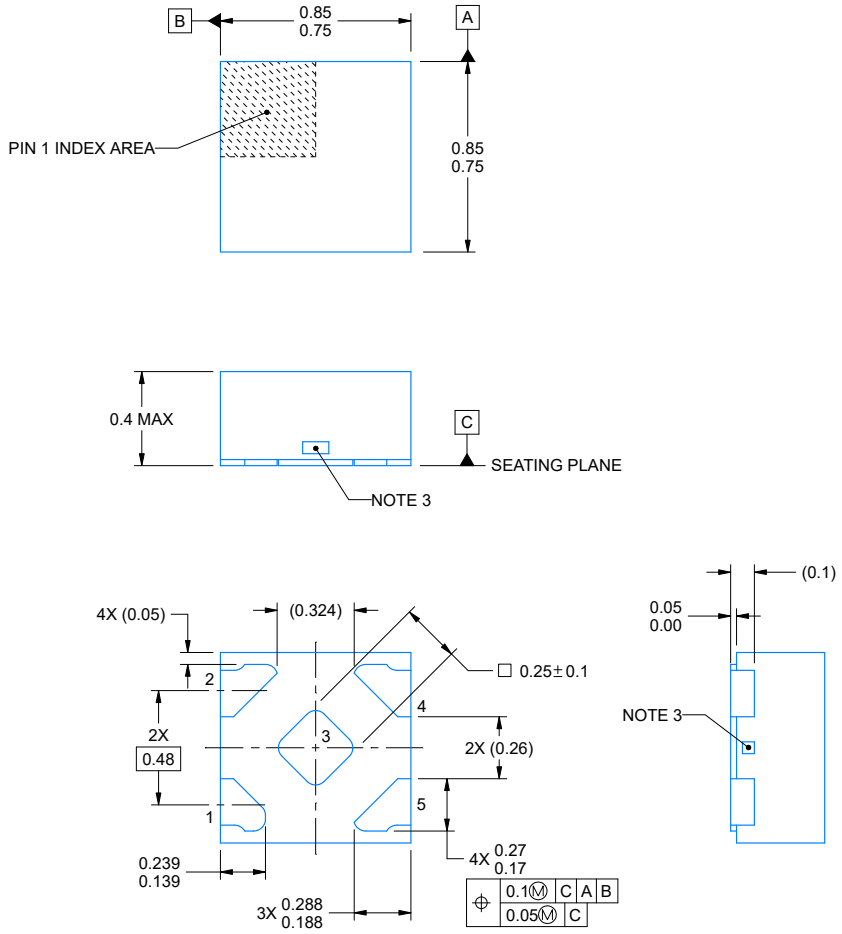
ADVANCE INFORMATION

## PACKAGE OUTLINE

## DPW0005A

### X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD




NOTES:

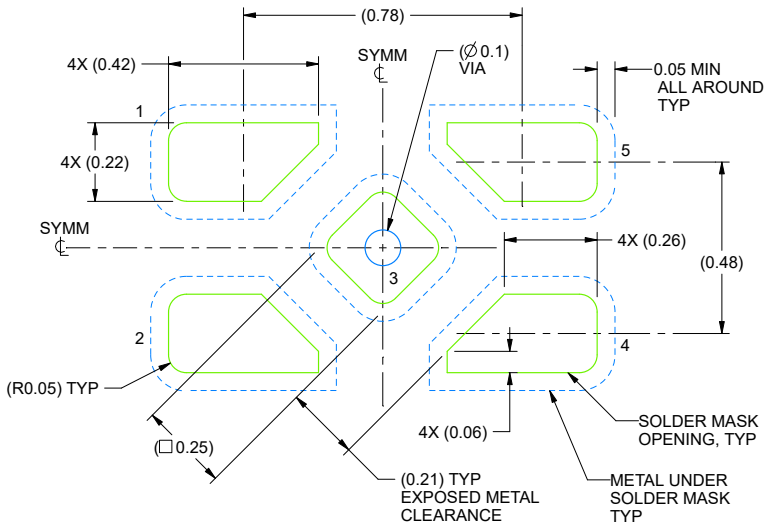
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.


Copyright © 2026 Texas Instruments Incorporated

## EXAMPLE BOARD LAYOUT

**DPW0005A** **X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD




LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

ADVANCE INFORMATION



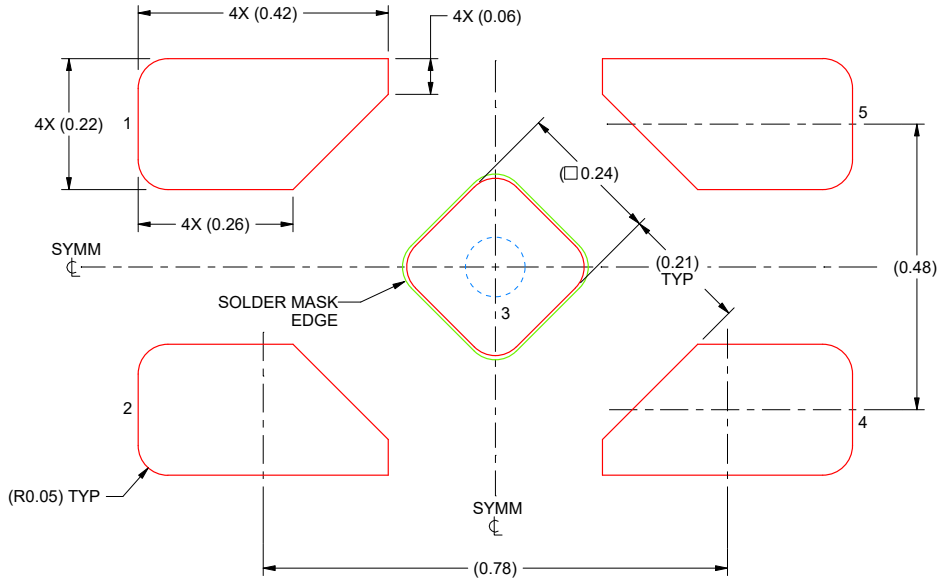
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

## EXAMPLE STENCIL DESIGN

**DPW0005A** **X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD




SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

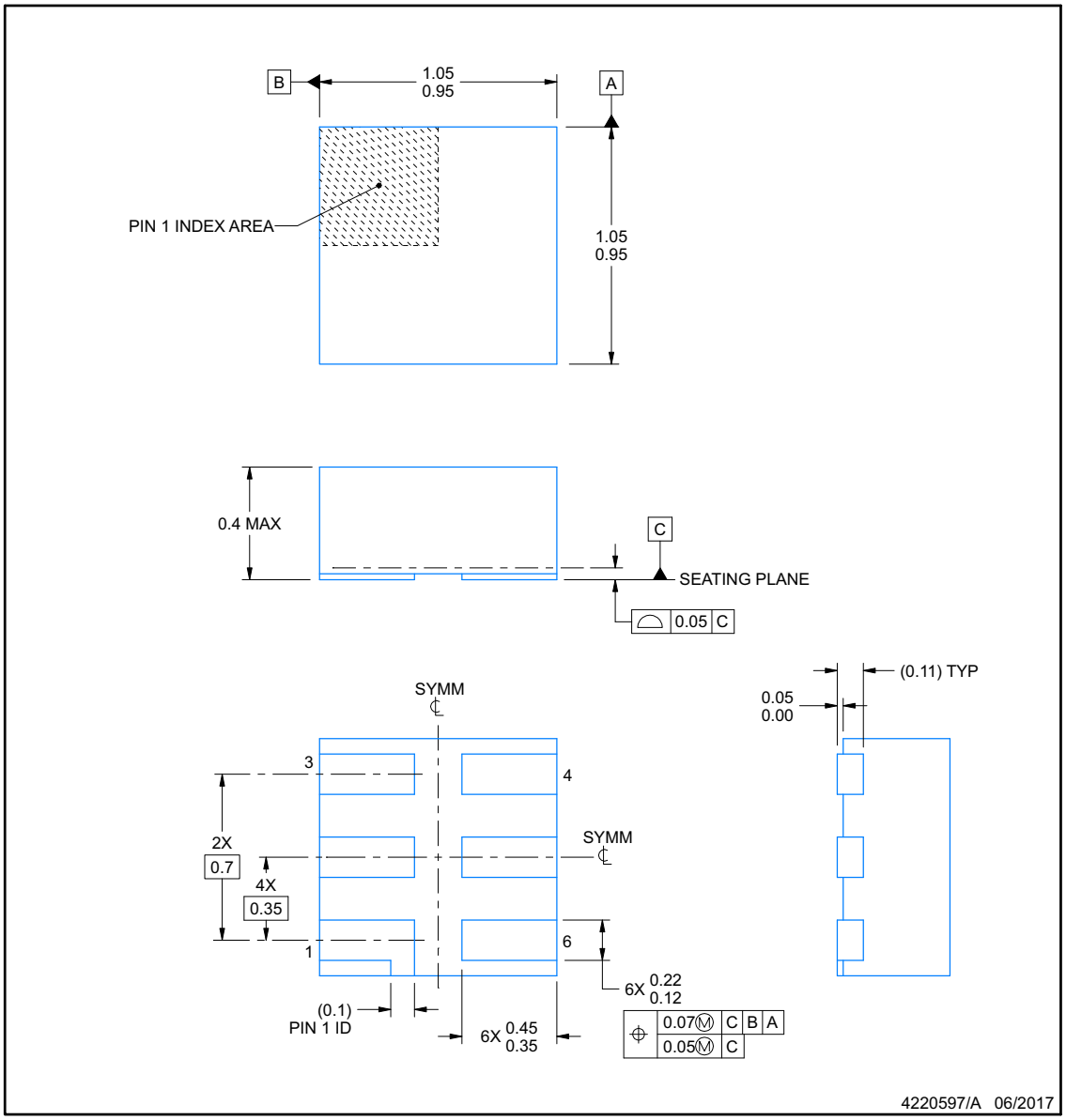

Copyright © 2026 Texas Instruments Incorporated

# PACKAGE OUTLINE

## DSF0006A

## X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD




NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.

ADVANCE INFORMATION



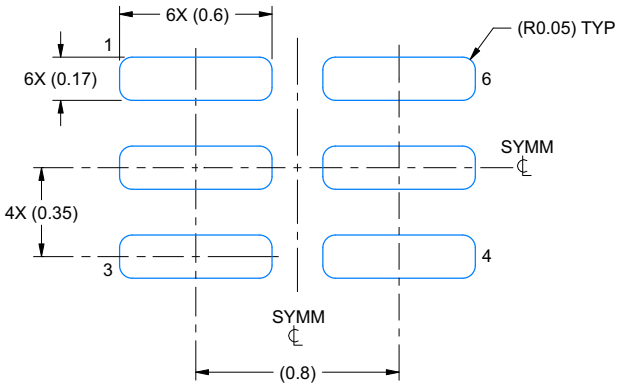
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

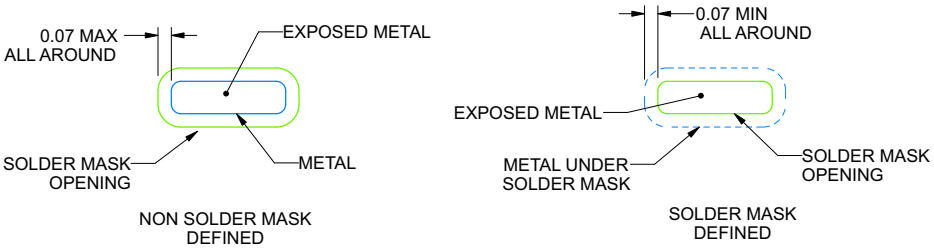
## EXAMPLE BOARD LAYOUT

**DSF0006A** — **X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X




SOLDER MASK DETAILS

4220597/A 06/2017

NOTES: (continued)

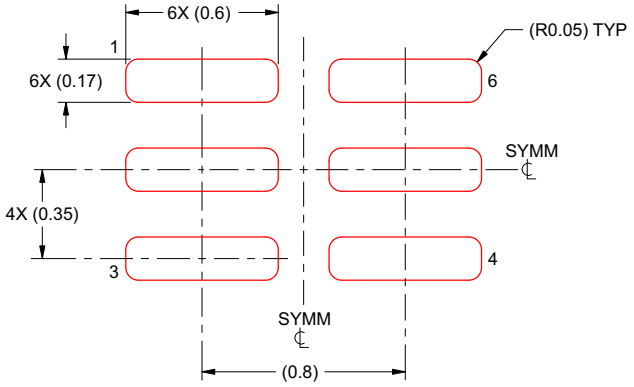
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).


Copyright © 2026 Texas Instruments Incorporated

## EXAMPLE STENCIL DESIGN

**DSF0006A** **X2SON - 0.4 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/A 06/2017

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

ADVANCE INFORMATION



Copyright © 2026 Texas Instruments Incorporated

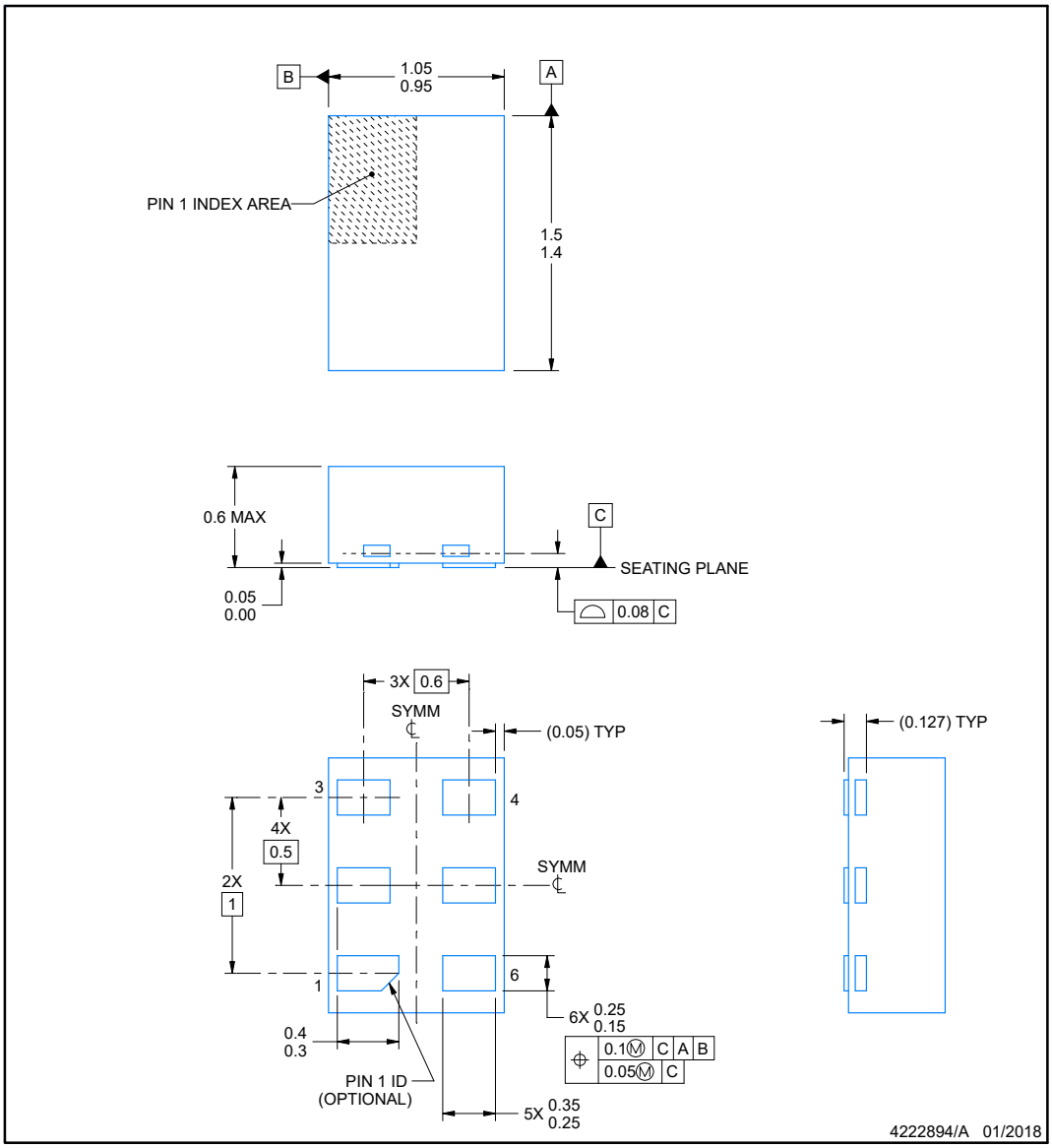
ADVANCE INFORMATION

## PACKAGE OUTLINE

## DRY0006A

### USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD




NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

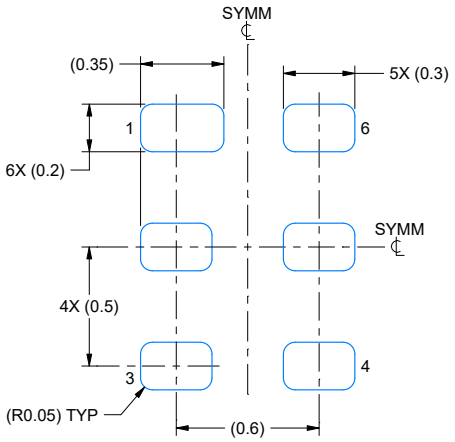
TEXAS INSTRUMENTS
www.ti.com


Copyright © 2026 Texas Instruments Incorporated

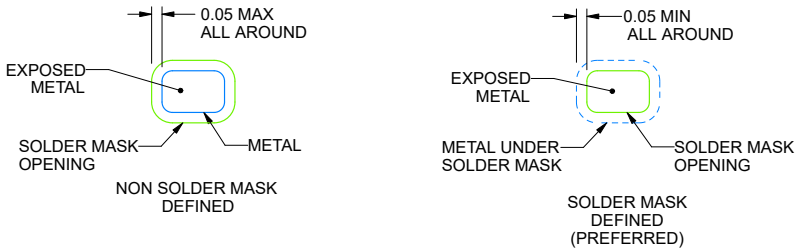
## EXAMPLE BOARD LAYOUT

**DRY0006A** **USON - 0.6 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD




LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X




SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

ADVANCE INFORMATION



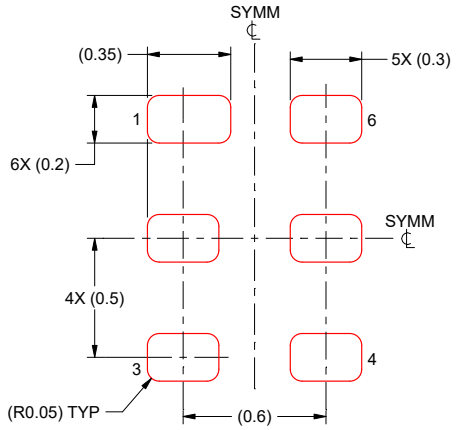
Copyright © 2026 Texas Instruments Incorporated

ADVANCE INFORMATION

## EXAMPLE STENCIL DESIGN

**DRY0006A** **USON - 0.6 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD




SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.




Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| PSN74UVP1G06DBVR | Active | Preproduction | SOT-23 (DBV) \| 5 | 3000 \| LARGE T&R | - | Call TI | Call TI | - | |
| PSN74UVP1G06DCKR | Active | Preproduction | SC70 (DCK) \| 5 | 3000 \| LARGE T&R | - | Call TI | Call TI | - | |
| PSN74UVP1G06DPWR | Active | Preproduction | X2SON (DPW) \| 5 | 3000 \| LARGE T&R | - | Call TI | Call TI | - | |
| PSN74UVP1G06DRYR | Active | Preproduction | SON (DRY) \| 6 | 3000 \| LARGE T&R | - | Call TI | Call TI | - | |
| PSN74UVP1G06DSFR | Active | Preproduction | SON (DSF) \| 6 | 3000 \| LARGE T&R | - | Call TI | Call TI | - | |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

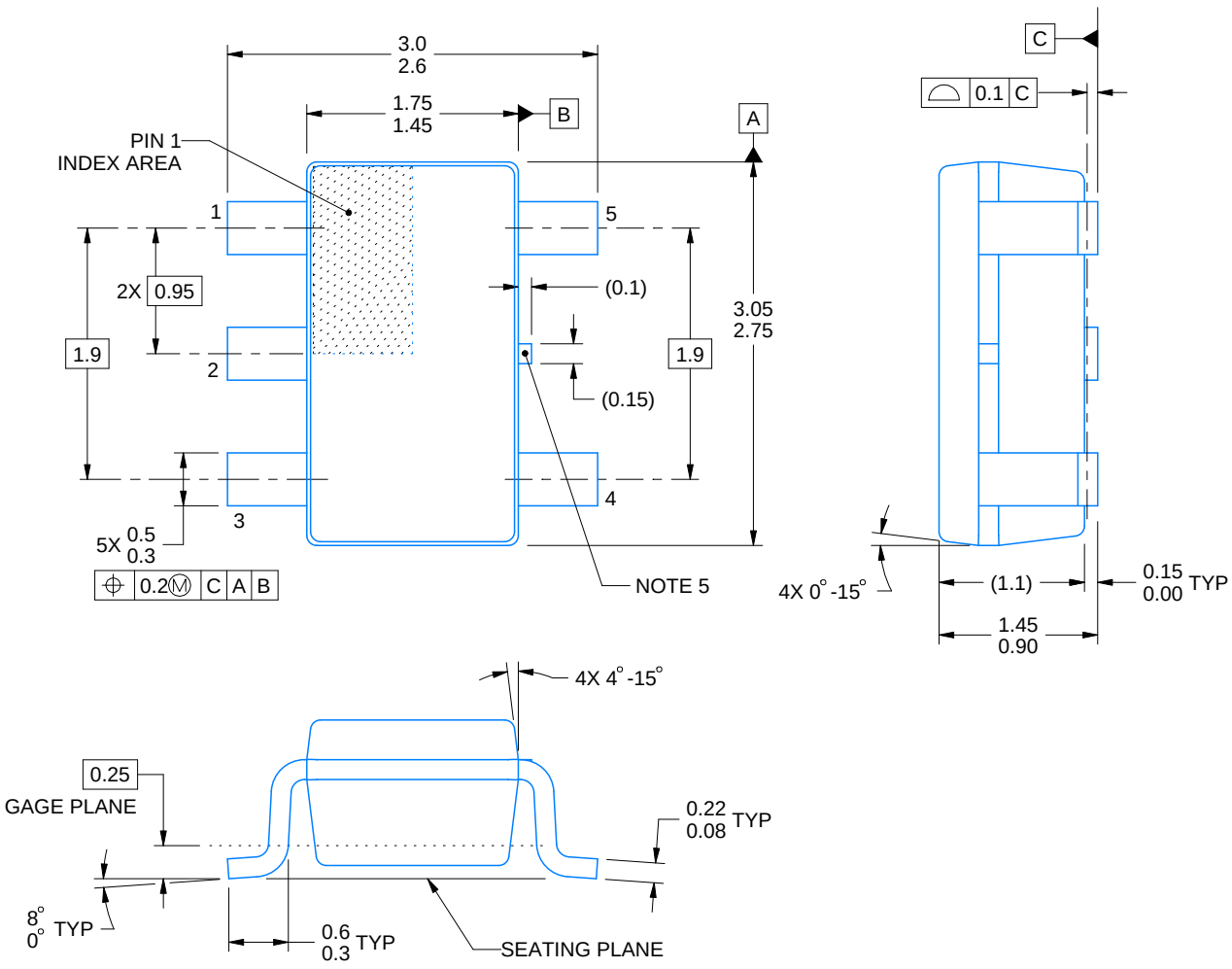
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74UVP1G06 :**

- Automotive : SN74UVP1G06-Q1

NOTE: Qualified Version Definitions:

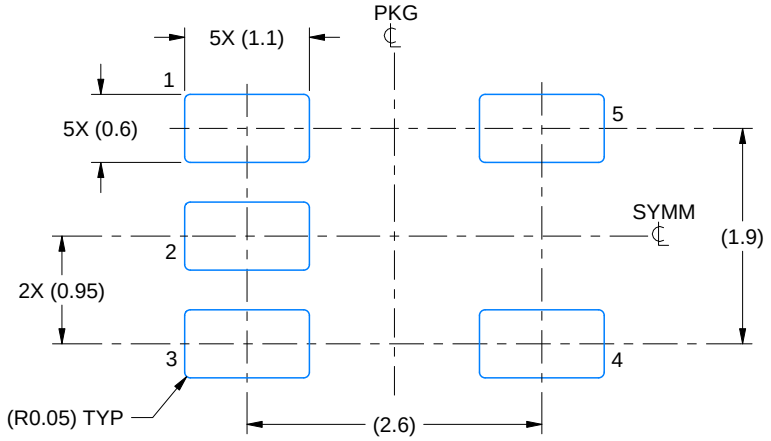
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects



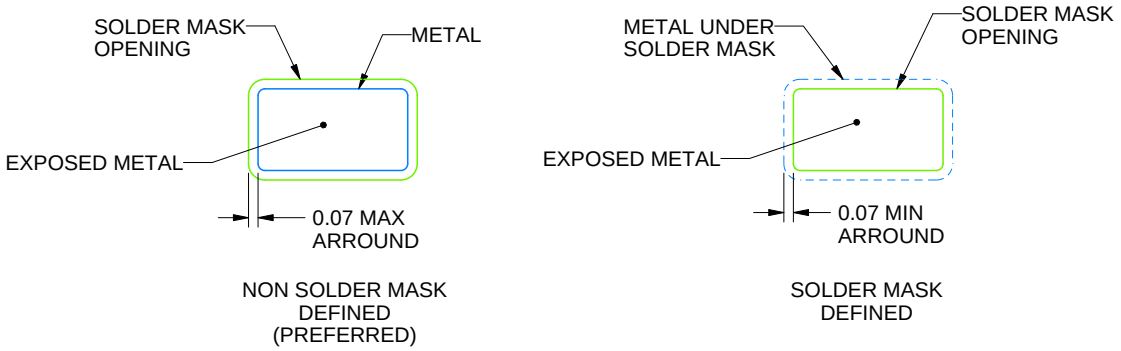

4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

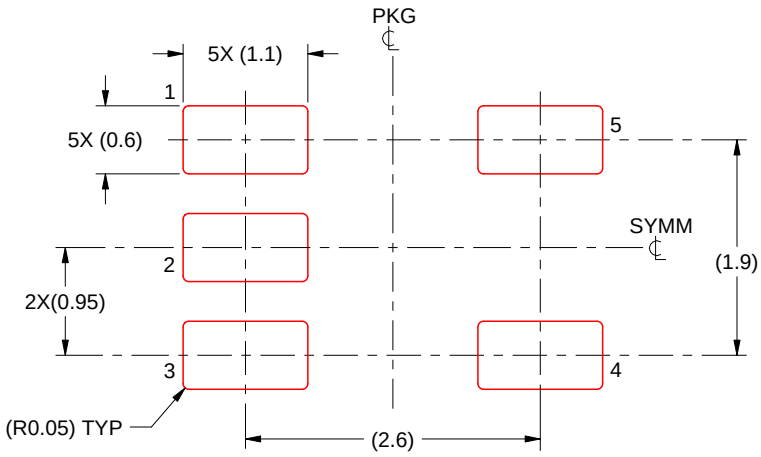



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



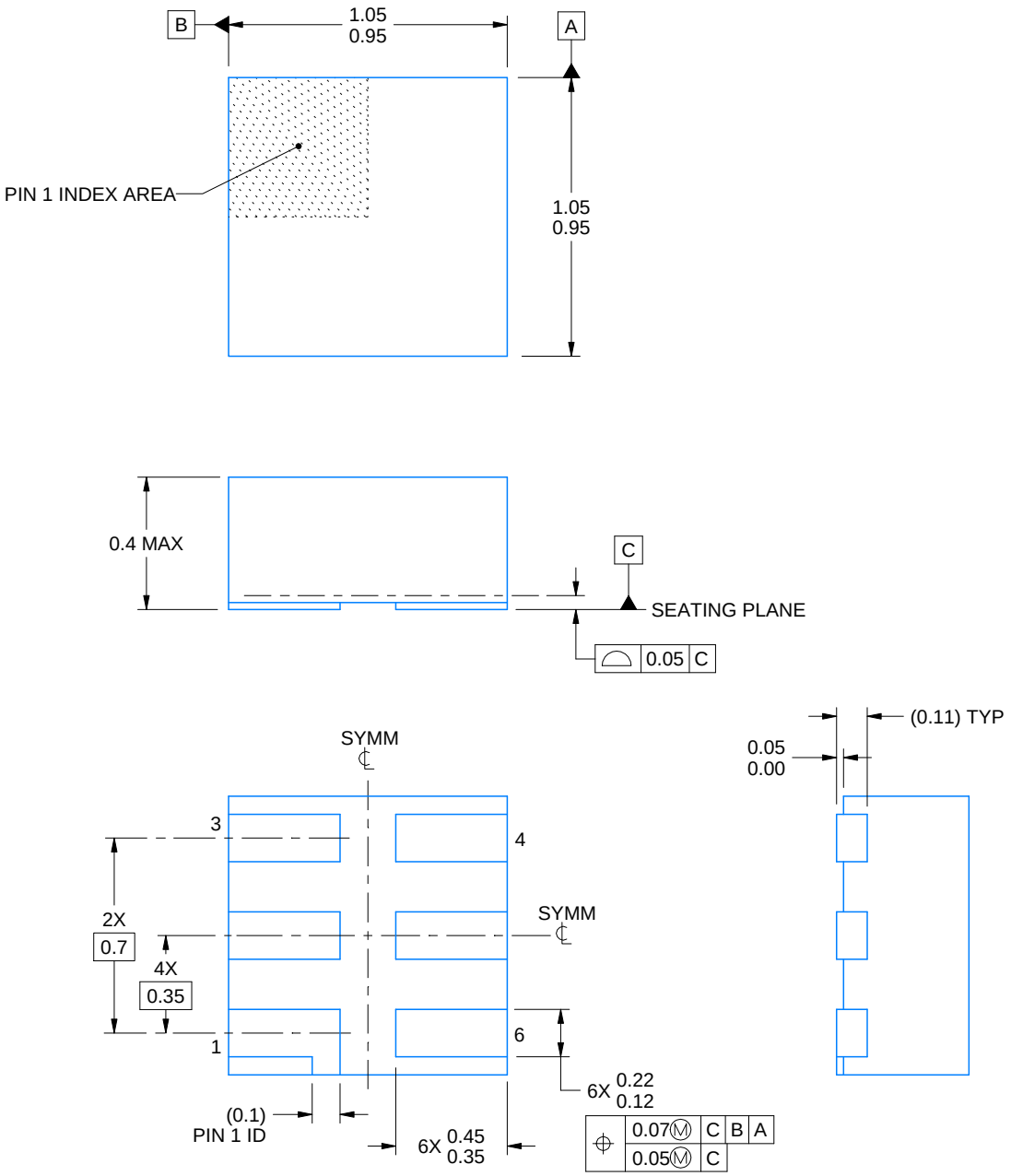

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

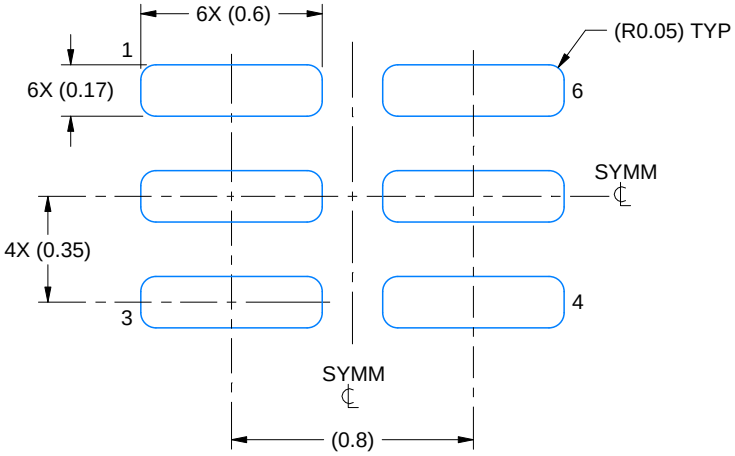
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



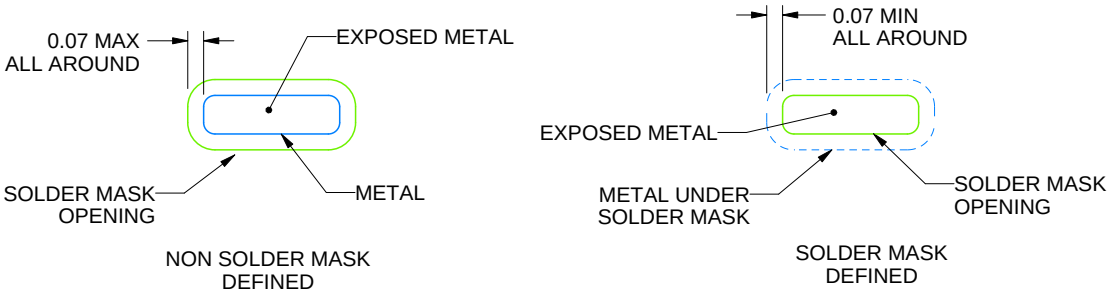

4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X

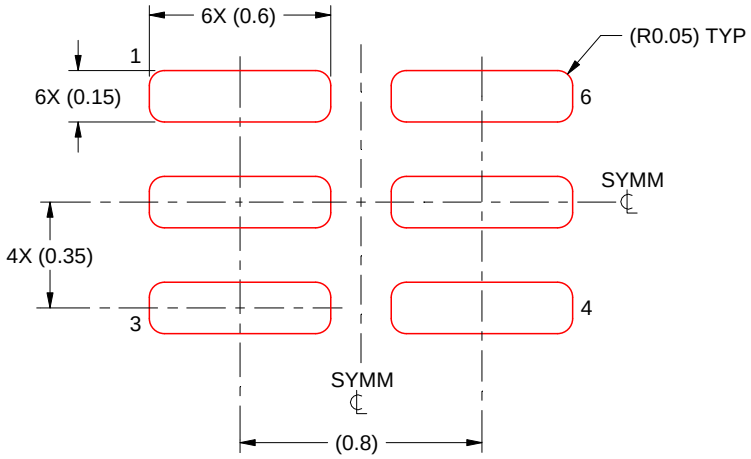



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).




SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

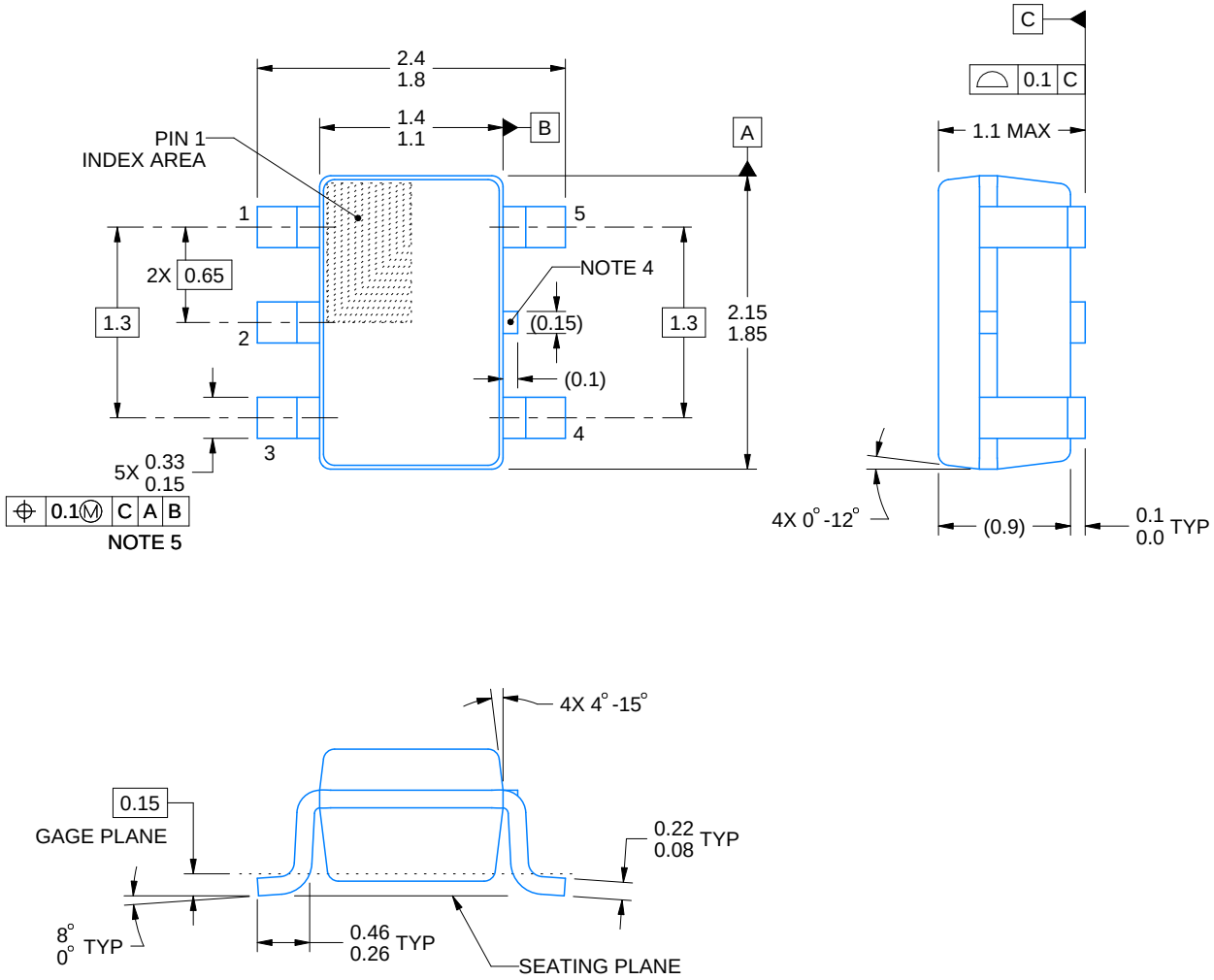
4220597/B 06/2022

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# DPW 5 X2SON - 0.4 mm max height

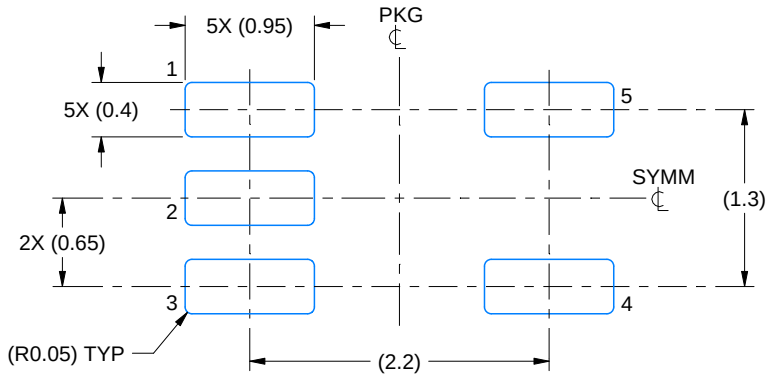
PLASTIC SMALL OUTLINE - NO LEAD

Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

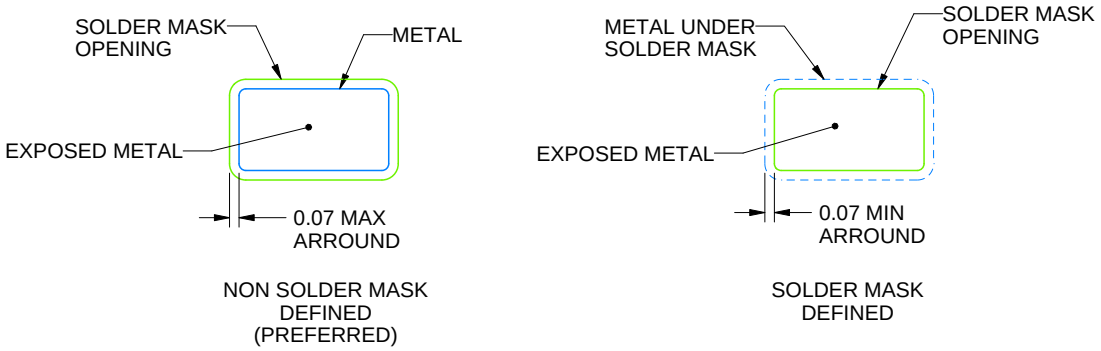



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

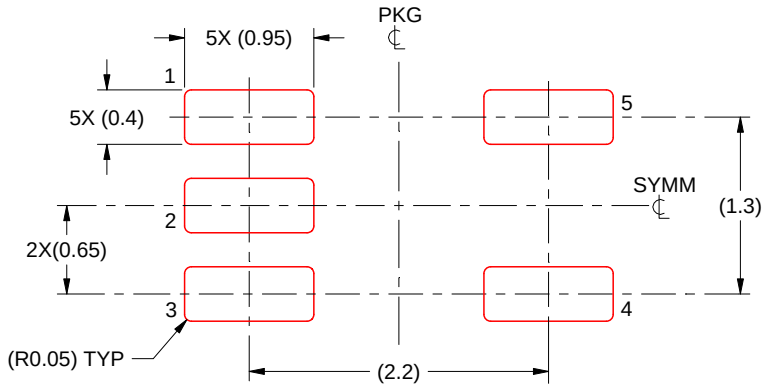



SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月