

SN74LVCZ240A 具有上电三态输出的八路缓冲器

1 特性

- 可在 2.7V 至 3.6V 范围内工作
- 输入电压高达 5.5V
- 3.3V 时 t_{pd} 最大值为 6.5ns
- $V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$ 时, V_{OLP} (输出接地反弹) 典型值小于 0.8V
- $V_{CC} = 3.3V$ 、 $T_A = 25^\circ C$ 时, V_{OHV} (输出 V_{OH} 下冲) 典型值大于 2V
- I_{OFF} 和上电三态支持热插入
- 所有端口均支持混合模式信号运行 (5V 输入/输出电压, 具有 3.3V V_{CC})
- 闩锁性能超过 100mA, 符合 JESD 78 规范

2 应用

- 控制指示灯 LED
- 使用开漏输出进行电平转换

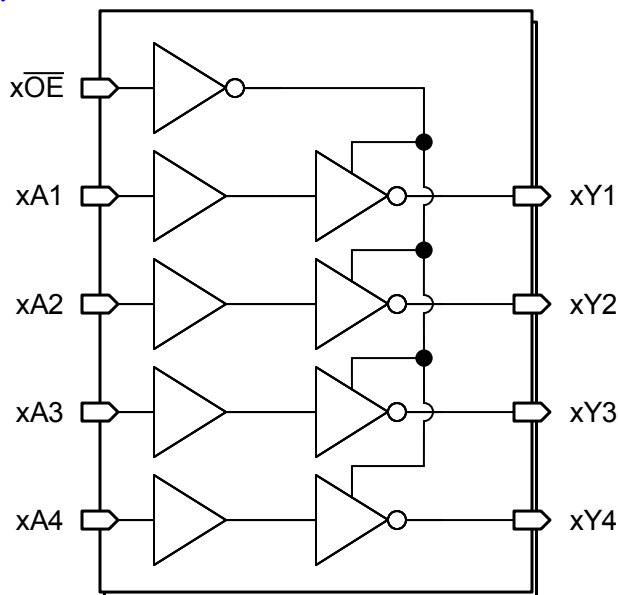
3 说明

SN74LVCZ240A 是一款具有 3 态输出和施密特触发输入的。该器件配置为两组, 每组四个驱动器, 每组都通过一个输出使能引脚进行控制。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
SN74LVCZ240A	PW (TSSOP, 20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	DW (SOIC, 20)	12.80mm × 10.3mm	12.8mm × 7.5mm
	NS (SOP, 20)	12.6mm × 7.8mm	12.6mm × 5.3mm

- (1) 如需了解详情, 请参阅 [机械、封装和可订购信息](#)。
 (2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。
 (3) 封装尺寸 (长 × 宽) 为标称值, 不包括引脚。



功能方框图



内容

1 特性	1	7.3 特性说明	11
2 应用	1	7.4 器件功能模式	12
3 说明	1	8 应用和实施	13
4 引脚配置和功能	3	8.1 应用信息	13
5 规格	4	8.2 典型应用	13
5.1 绝对最大额定值.....	4	8.3 电源相关建议	15
5.2 ESD 等级.....	4	8.4 布局	15
5.3 建议运行条件.....	5	9 器件和文档支持	17
5.4 热性能信息.....	5	9.1 文档支持	17
5.5 电气特性.....	6	9.2 接收文档更新通知	17
5.6 开关特性.....	6	9.3 支持资源	17
5.7 工作特性.....	6	9.4 商标	17
5.8 典型特性.....	7	9.5 静电放电警告	17
6 参数测量信息	9	9.6 术语表	17
7 详细说明	11	10 修订历史记录	17
7.1 概述.....	11	11 机械、封装和可订购信息	18
7.2 功能方框图.....	11		

4 引脚配置和功能

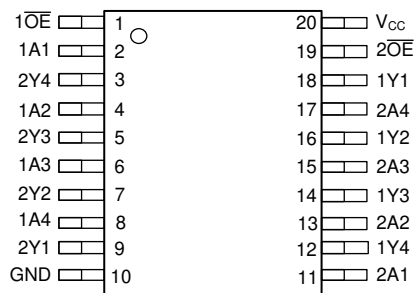


图 4-1. SN74LVCZ240A PW、DW、NS 封装
(顶视图)

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
A1	2	I	组 1, 通道 1 输入
A2	3	O	组 2, 通道 4 输出
A3	4	I	组 1, 通道 2 输入
A4	5	O	组 2, 通道 3 输出
A5	6	I	组 1, 通道 3 输入
A6	7	O	组 2, 通道 2 输出
A7	8	I	组 1, 通道 4 输入
A8	9	O	组 2, 通道 1 输出
GND	10	G	接地
OE1	1	I	组 1, 输出使能, 低电平有效
OE2	19	I	组 2, 输出使能, 低电平有效
V _{CC}	20	P	正电源
Y1	18	O	组 1, 通道 1 输出
Y2	17	I	组 2, 通道 4 输入
Y3	16	O	组 1, 通道 2 输出
Y4	15	I	组 2, 通道 3 输入
Y5	14	O	组 1, 通道 3 输出
Y6	13	I	组 2, 通道 2 输入
Y7	12	O	组 1, 通道 4 输出
Y8	11	I	组 2, 通道 1 输入

(1) 信号类型: I = 输入, O = 输出, G = 地, P = 电源。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.5	6.5	V
V_I	输入电压范围 ⁽¹⁾	-0.5	6.5	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围 ⁽¹⁾	-0.5	6.5	V
V_O	应用到任一处于高电平或低电平状态输出的电压范围 ⁽¹⁾	-0.5	$V_{CC} + 0.5$	V
I_{IK}	输入钳位电流		-50	mA
I_{OK}	输出钳位电流		-50	mA
I_O	持续输出电流		±50	mA
	通过 V_{CC} 或 GND 的持续电流		±100	mA
T_{stg}	贮存温度范围	-65	150°C	°C

(1) 如果遵守输入和输出电流额定值，则允许超出输入负电压和输出电压额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

			最小值	最大值	单位
V_{CC}	电源电压		2.7	3.6	V
V_{IH}	高电平输入电压	$V_{CC} = 2.7V$ 至 $3.6V$	2		V
V_{IL}	低电平输入电压	$V_{CC} = 2.7V$ 至 $3.6V$		0.8	V
V_I	输入电压		0	5.5	V
V_O	输出电压	高电平或低电平状态	0	V_{CC}	V
		三态	0	5.5	
I_{OH}	高电平输出电流	$V_{CC} = 2.7V$		-12	mA
		$V_{CC} = 3V$		-24	
I_{OL}	低电平输出电流	$V_{CC} = 2.7V$		12	mA
		$V_{CC} = 3V$		24	
$\Delta t / \Delta v$	输入转换上升或下降速率			6	ns/V
$\Delta t / \Delta V_{CC}$	上电斜率		150		$\mu s/V$
T_A	自然通风条件下的工作温度		-40	85	$^{\circ}C$

5.4 热性能信息

封装	引脚	热指标 ⁽¹⁾						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	20	120.3	62.5	82.4	16.0	81.5	不适用	$^{\circ}C/W$
DW (SOIC)	20	114.8	84.1	88.8	55.8	87.8	不适用	$^{\circ}C/W$
NS (SOP)	20	116.3	82.4	86.2	43.9	85.5	不适用	$^{\circ}C/W$

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用手册](#)。

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	最小值 典型值 ⁽¹⁾ 最大值	单位
V _{OH}	I _{OH} = -100 μA	2.7V 至 3.6V	V _{CC} - 0.2	V
	I _{OH} = -12mA	2.7V	2.2	
		3V	2.4	
	I _{OH} = -24mA	3V	2.2	
V _{OL}	I _{OL} = 100 μA	2.7V 至 3.6V	0.2	V
	I _{OL} = 12mA	2.7V	0.4	
	I _{OL} = 24mA	3V	0.55	
I _I	V _I = 0 至 5.5V	3.6V	±5	μA
I _{off}	V _I 或 V _O = 5.5V	0	±5	μA
I _{OZ}	V _O = 0 至 5.5V	3.6V	±5	μA
I _{OZPU}	V _O = 0.5 至 2.5V, $\overline{\text{OE}}$ = 无关	0 至 1.5V	±5	μA
I _{OZPD}	V _O = 0.5 至 2.5V, $\overline{\text{OE}}$ = 无关	1.5V 至 0	±5	μA
I _{CC}	V _I = V _{CC} 或 GND	3.6V	100	μA
	3.6V ≤ V _I ≤ 5.5V ⁽²⁾		100	
ΔI _{CC}	一个输入电压为 V _{CC} - 0.6V, 另一个输入电压为 V _{CC} 或 GND	2.7V 至 3.6V	100	μA
C _i	V _I = V _{CC} 或 GND	3.3V	3.5	pF
C _o	V _O = V _{CC} 或 GND	3.3V	5.5	pF

(1) 所有典型值均在 V_{CC} = 3.3V、T_A = 25°C 下测得。

(2) 这仅在禁用状态下适用。

5.6 开关特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	从 (输入)	至 (输出)	V _{CC} = 2.7V		V _{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	
t _{pd}	A 或 B	B 或 A	7.5		1.3	6.5	ns
t _{en}	$\overline{\text{OE}}$	A 或 B	9		1.1	8	ns
t _{dis}	$\overline{\text{OE}}$	A 或 B	8		1.4	7	ns

5.7 工作特性

T_A = 25°C

参数		测试 条件	V _{CC} = 3.3V	单位
			典型值	
C _{pd}	每个缓冲器/驱动器的功率耗散电容	f = 10MHz	37	pF
	输出已禁用		3	

5.8 典型特性

$T_A = 25^\circ\text{C}$ (除非另有说明)

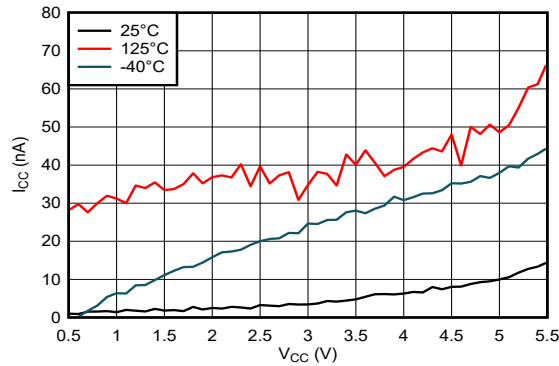


图 5-1. 电源电压两端的电源电流

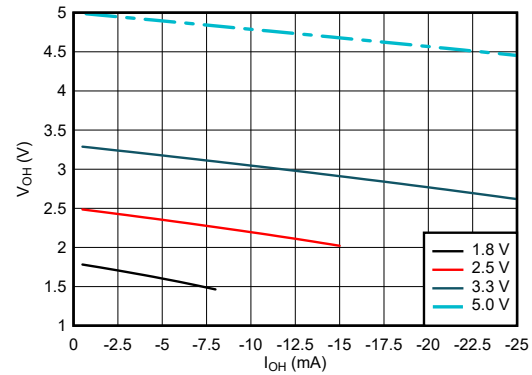


图 5-2. 高电平状态下输出电压与电流间的关系

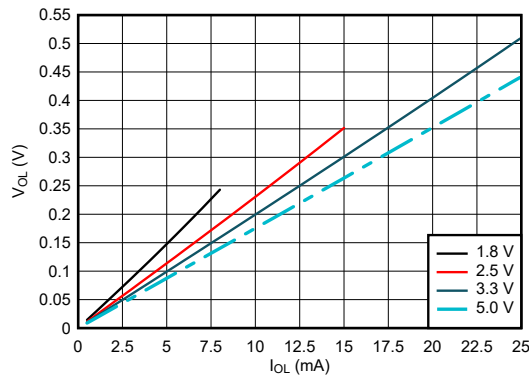


图 5-3. 低电平状态下输出电压与电流间的关系

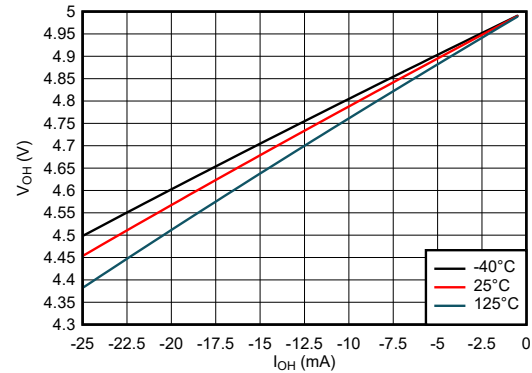


图 5-4. 高电平状态下输出电压与电流间的关系 (5V 电源)

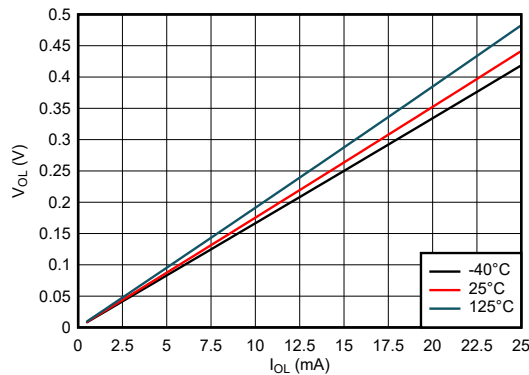


图 5-5. 低电平状态下输出电压与电流间的关系 (5V 电源)

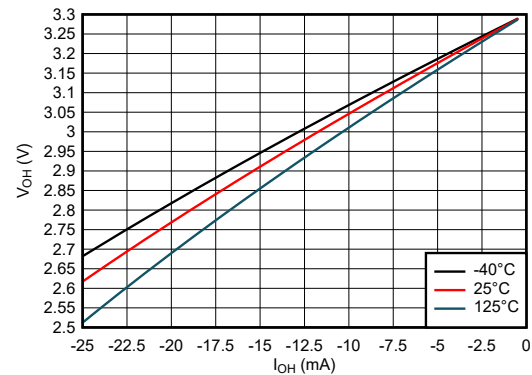


图 5-6. 高电平状态下输出电压与电流间的关系 (3.3V 电源)

5.8 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另有说明)

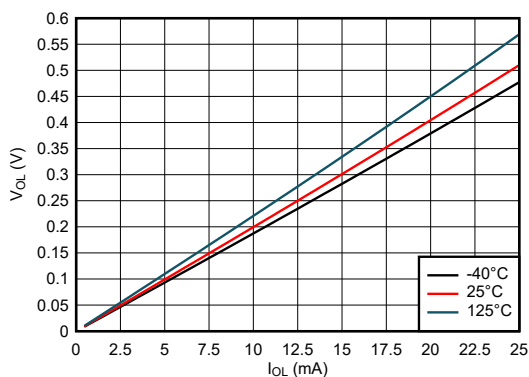


图 5-7. 低电平状态下输出电压与电流间的关系 (3.3V 电源)

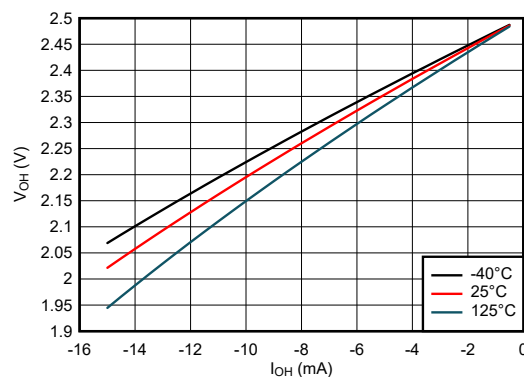


图 5-8. 高电平状态下输出电压与电流间的关系 (2.5V 电源)

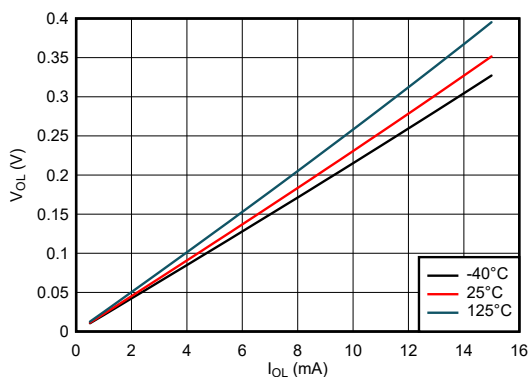


图 5-9. 低电平状态下输出电压与电流间的关系 (2.5V 电源)

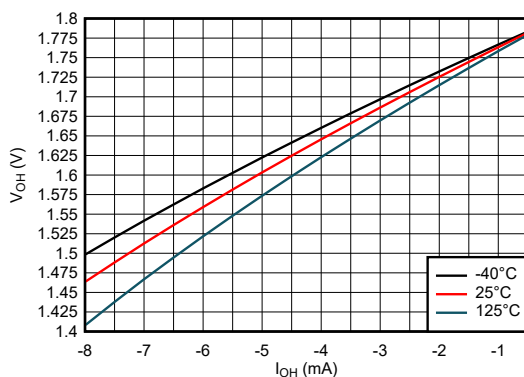


图 5-10. 高电平状态下输出电压与电流间的关系 (1.8V 电源)

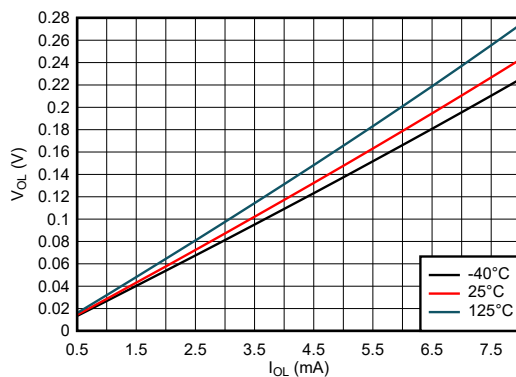


图 5-11. 低电平状态下输出电压与电流间的关系 (1.8V 电源)

6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：
 $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f \leq 2.5\text{ns}$ 。

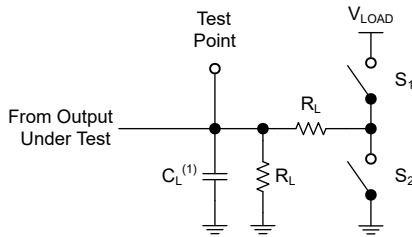
输出单独测量，每次测量一个输入转换。

表 6-1. 三态输出

测试	S1	S2
t_{PLH} 、 t_{PHL}	断开	断开
t_{PLZ} 、 t_{PZL}	闭合	断开
t_{PHZ} 、 t_{PZH}	断开	闭合

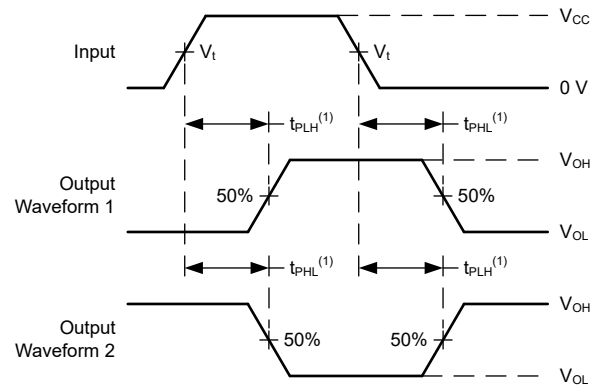
表 6-2. 三态或开漏输出

V_{CC}	V_t	R_L	C_L	ΔV	V_{LOAD}
$1.8\text{V} \pm 0.15\text{V}$	$V_{CC}/2$	$1\text{k}\Omega$	30pF	0.15V	$2 \times V_{CC}$
$2.5\text{V} \pm 0.2\text{V}$	$V_{CC}/2$	500Ω	30pF	0.15V	$2 \times V_{CC}$
2.7V	1.5V	500Ω	50pF	0.3V	6V
$3.3\text{V} \pm 0.3\text{V}$	1.5V	500Ω	50pF	0.3V	6V



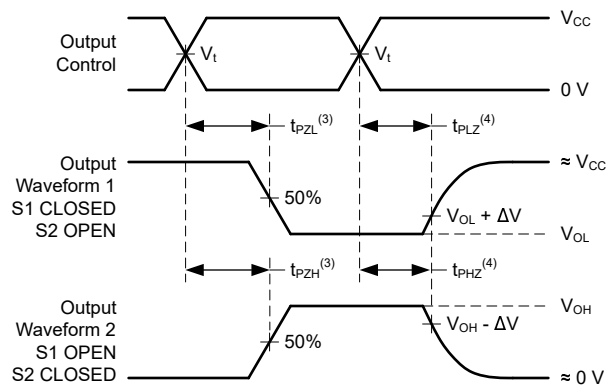
(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

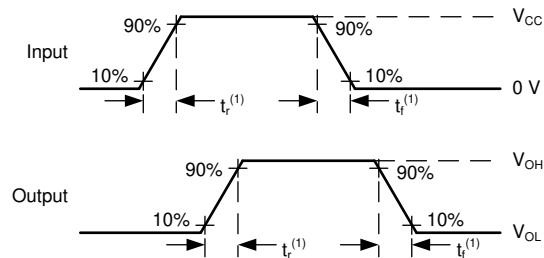
图 6-2. 电压波形传播延迟



(1) t_{PZL} 和 t_{PZH} 之间的较大者与 t_{en} 相同。

(2) t_{PLZ} 和 t_{PHZ} 之间的较大者与 t_{dis} 相同。

图 6-3. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-4. 电压波形，输入和输出转换时间

7 详细说明

7.1 概述

SN74LVCZ240A 包含 8 个具有施密特触发输入和三态输出的独立高速 CMOS 逆变器。

每个逆变器均可执行布尔逻辑函数 $xY_n = \overline{xA_n}$ ，其中 x 为存储体编号， n 为通道编号。

每个输出使能 ($\overline{xOE}$) 控制四个逆变器。当 $\overline{xOE}$ 引脚处于低电平状态时，存储体 x 中所有逆变器的输出将被启用。当 $\overline{xOE}$ 引脚处于高电平状态时，存储体 x 中所有逆变器的输出将被禁用。所有被禁用的输出将置于高阻抗状态。

为了确保加电或断电期间的高阻抗状态，两个 $\overline{OE}$ 引脚必须通过一个上拉电阻器连接至 V_{CC} ；该电阻器的最小值由驱动器的灌电流能力和电气特性表中定义的引脚泄漏电流决定。

7.2 功能方框图

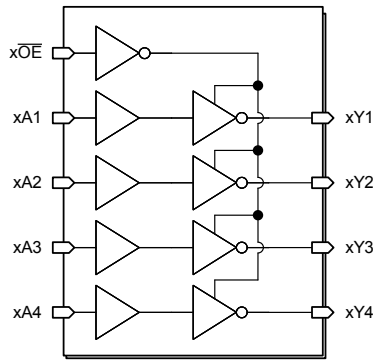


图 7-1. SN74LVCZ240A 的逻辑图 (正逻辑)

7.3 特性说明

7.3.1 平衡 CMOS 三态输出

该器件包括平衡 CMOS 三态输出：驱动高电平、驱动低电平和高阻抗。术语 *平衡* 表示器件可以灌入和拉出相似的电流。该器件的驱动能力可在轻负载情况下产生快速边沿，因此在布线和负载设计时应注意防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，器件不会控制输出电压。输出电流取决于外部因素。悬空节点是未连接其他驱动器且电压未知的节点。上拉或下拉电阻器可以连接到输出端，以便当器件处于高阻抗状态时在输出端提供已知电压。电阻值取决于多种因素，包括寄生电容和功耗限制。通常，10kΩ 电阻即可满足这些要求。

未使用的三态 CMOS 输出应保持断开。

7.3.2 局部断电 (I_{off})

该器件包含当电源引脚保持为 0V 时禁用所有输出的电路。禁用时，无论施加的输入电压是多少，输出都不会拉出或灌入电流。每个输出端的漏电流大小由 *电气特性* 表中的 I_{off} 规格定义。

7.3.3 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是使用 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，根据欧姆定律 ($R = V \div I$) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 $10k\Omega$ 电阻器，这通常可以满足所有要求。

7.3.4 钳位二极管结构

图 7-2 展示了该器件的输入和输出仅布置负钳位二极管。

小心

电压超出 *绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

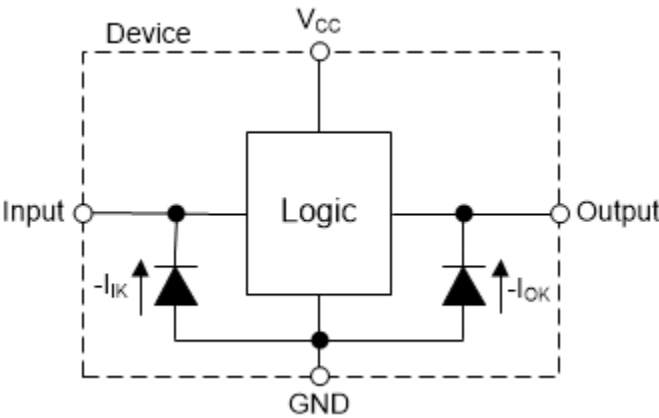


图 7-2. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1 列出了 SN74LVCZ240A 的功能模式。

表 7-1. 功能表

输入 ⁽¹⁾		输出
OE	A	Y
L	L	H
L	H	L
H	X	Z

(1) H = 高压电平，L = 低压电平，X = 无关，Z = 高阻抗状态

8 应用和实例

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74LVCZ240A 可用于在较长布线或传输线中驱动信号。可以使用与发送器输出串联的串联阻尼电阻器来减少由于驱动器、传输线和接收器之间阻抗不匹配引起的振铃。*应用曲线* 部分的图展示了使用三种不同电阻值接收到的信号。在这种类型的应用中，只需少量电阻就会对信号完整性产生显著影响。

8.2 典型应用

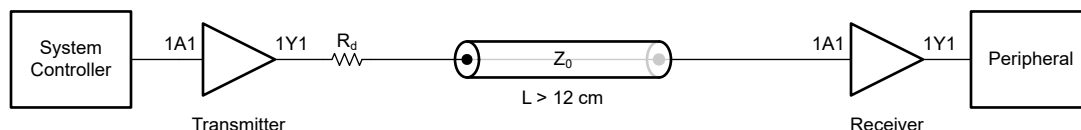


图 8-1. 典型应用框图

8.2.1 设计要求

SN74LVCZ240A 器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限值的电流。

SN74LVCZ240A 允许通过数字控制信号切换模拟和数字信号控制。所有输入信号必须保持在尽可能接近 0V 或 V_{CC} 的位置，以实现卓越运行。

8.2.1.1 电源注意事项

验证所需电源电压在 *电气特性* 中规定的范围内。电源电压按照 *电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LVCZ240A 所有输出端拉出的总电流加上最大静态电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。验证不要超过 *绝对最大额定值* 中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74LVCZ240A 所有输出端灌入的总电流加上最大电源电流 I_{CC} (在 *电气特性* 中列出) 以及开关所需的任何瞬态电流之和。逻辑器件只能灌入接地连接可灌入的大小相同的电流。验证不要超过 *绝对最大额定值* 中列出的通过 GND 的最大总电流。

SN74LVCZ240A 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但不要超过 50pF。

SN74LVCZ240A 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在 *电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 应用手册中提供的信息进行计算。

可以使用 *标准线性逻辑 (SLL) 封装和器件的热特性* 应用手册中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反 *绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过 *绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LVCZ240A 的漏电流（如 *电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 $10k\Omega$ 的电阻值。

SN74LVCZ240A 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如 *电气特性表* 中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅 *特性描述*。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据 *电气特性* 中 V_{OH} 规格所示，从输出端汲取电流会降低输出电压。接地电压用于产生低电平输出电压。根据 *电气特性* 中 V_{OL} 规格所示，向输出端灌入电流会提高输出电压。

可能处于相反状态的推挽输出绝不能直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅 *特性说明* 部分。

8.2.2 详细设计过程

1. 建议的输入条件：

- 有关上升时间和下降时间规格，请参阅 *建议运行条件表* 中的 $\Delta t / \Delta v$ 。
- 有关额定的高电平和低电平，请参阅 *建议运行条件表* 中的 V_{IH} 和 V_{IL} 。
- 输入和输出具有过压容限，因此在任何有效 V_{CC} 下均高达 5.5V。

2. 建议的输出条件：

- 负载电流不超过 $\pm 50mA$ 。

3. 频率选择标准：

- 频率对器件功耗的影响应该在 *CMOS 功耗和 CPD 计算应用手册* 中研究。
- 添加的布线电阻和电容可能会降低最大频率能力；请遵循 *布局* 部分中列出的布局实践。

8.2.3 应用曲线

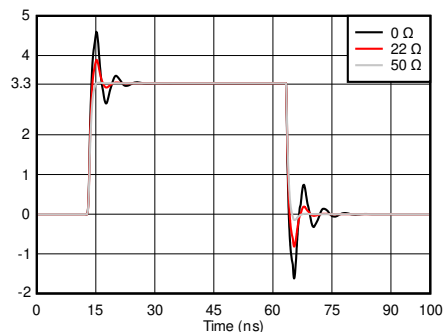


图 8-2. 使用不同阻尼电阻器 (R_d) 值的接收器模拟信号完整性

8.3 电源相关建议

电源可以是 *建议运行条件* 中所列最小和最大电源电压额定值之间的任何电压。

确保每个 V_{CC} 端子都配置了良好的旁路电容器，以防功率止干扰。对于 SN74LVCZ240A，建议使用 $0.1\ \mu\text{F}$ 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 的电容器通常并联使用。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 并行布线之间必须至少间隔 3 倍电介质厚度
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

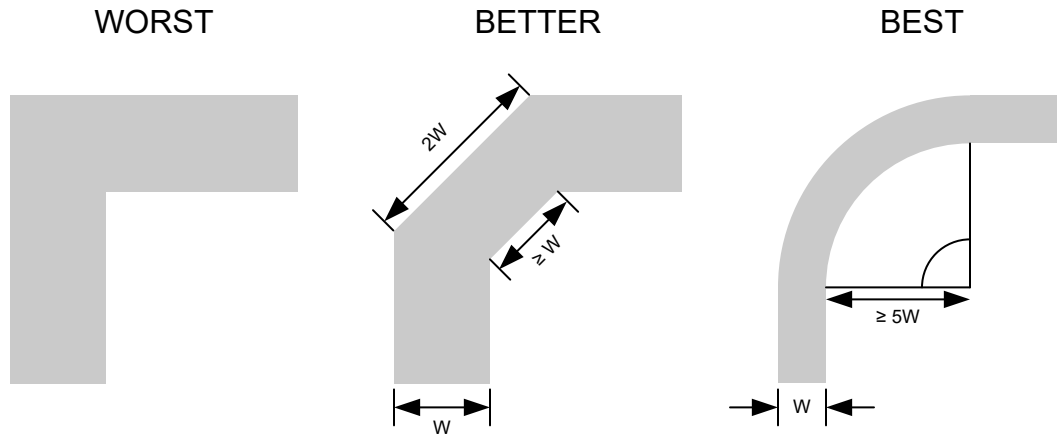


图 8-3. 可改善信号完整性的布线转角示例

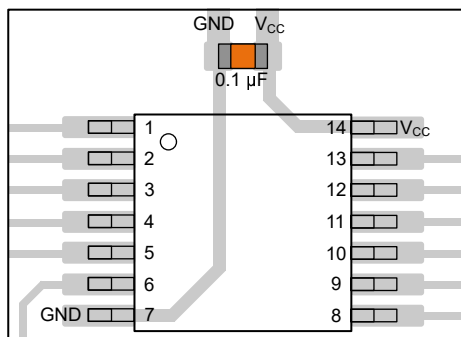


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

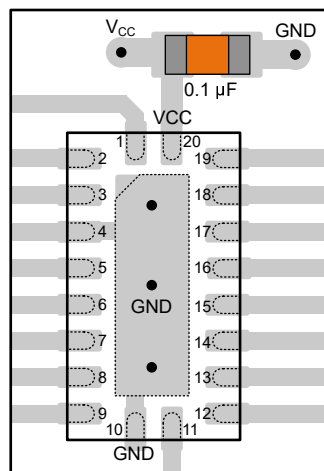


图 8-5. WQFN 和类似封装的旁路电容器放置示例

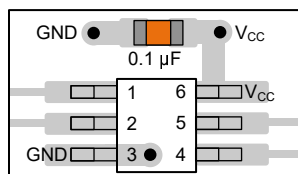


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

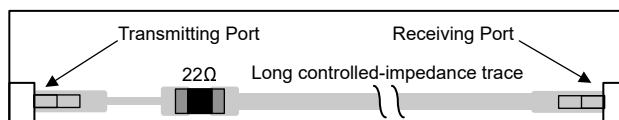


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI)，[CMOS 功耗与 \$C_{pd}\$ 计算应用手册](#)
- 德州仪器 (TI)，[使用逻辑器件进行设计应用手册](#)
- 德州仪器 (TI)，[标准线性和逻辑 \(SLL\) 封装和器件的热特性应用手册](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from APRIL 1, 2005 to JUNE 24, 2026 (from Revision H (April 2005) to Revision I (June 2026))

	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 将 ESD 等级移至 ESD 等级表.....	1
• 根据最新标准更新了门锁等级.....	1
• 将 DW 封装的 $R_{\theta JA}$ 从 58°C/W 更改为：114.8°C/W.....	5
• 将 NS 封装的 $R_{\theta JA}$ 从 60°C/W 更改为：116.3°C/W.....	5
• 将 PW 封装的 $R_{\theta JA}$ 从 83°C/W 更改为：120.3°C/W.....	5
• 向布局指南添加了并行布线间距建议。将“避免分支；对必须单独分支的信号进行缓冲”的措辞更改为“避免分支；对必须单独分支的每条信号进行缓冲”.....	15

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVCZ240ADW	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240ADW.B	Active	Production	SOIC (DW) 20	25 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240ANSR	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240ANSR.B	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVCZ240A
SN74LVCZ240APW	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APW.B	Active	Production	TSSOP (PW) 20	70 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APWR.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A
SN74LVCZ240APWR.B	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CV240A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVCZ240ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LVCZ240APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVCZ240ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LVCZ240APWR	TSSOP	PW	20	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74LVCZ240ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVCZ240ADW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVCZ240APW	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVCZ240APW.B	PW	TSSOP	20	70	530	10.2	3600	3.5



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

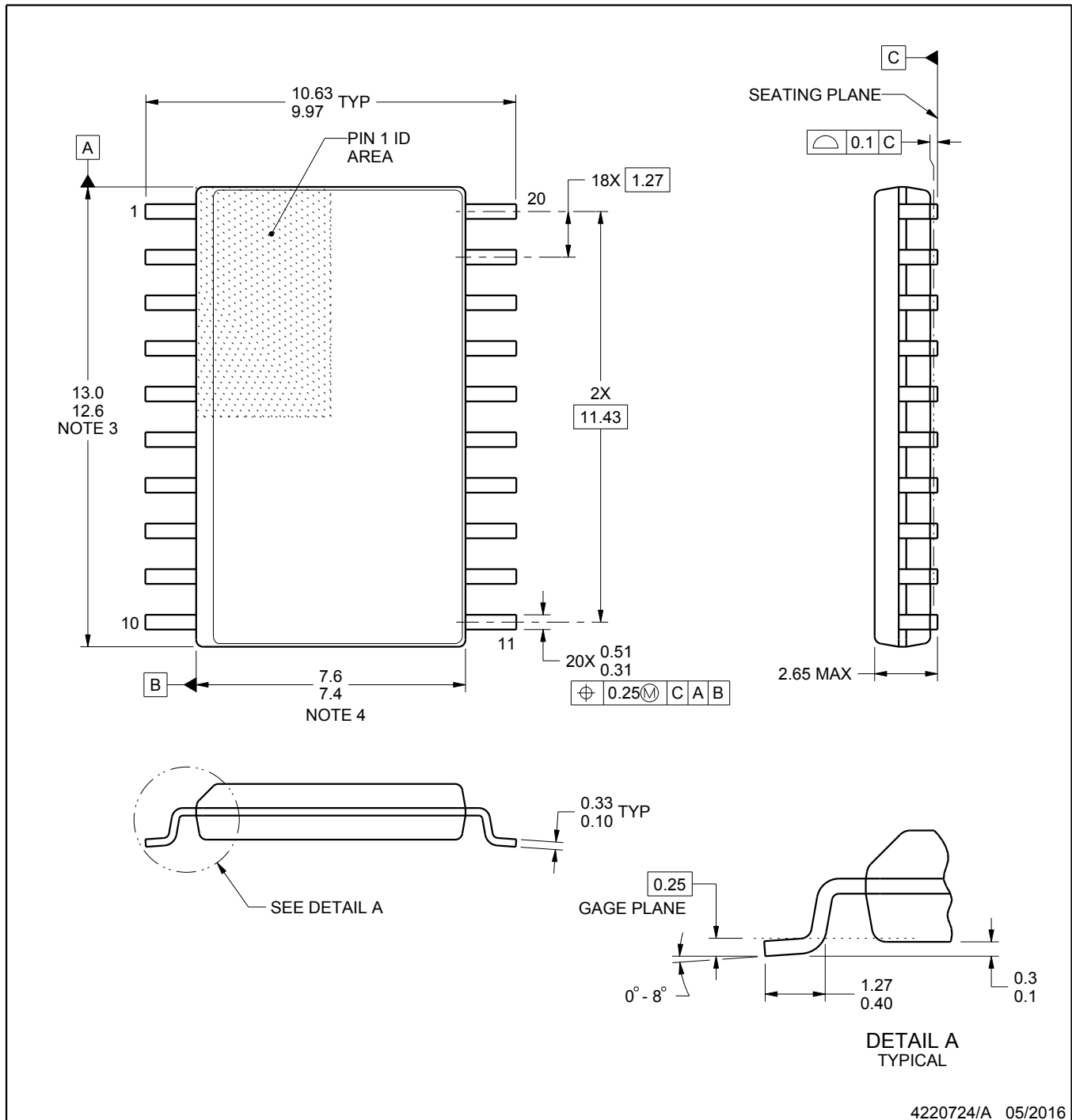
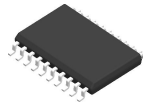
NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.



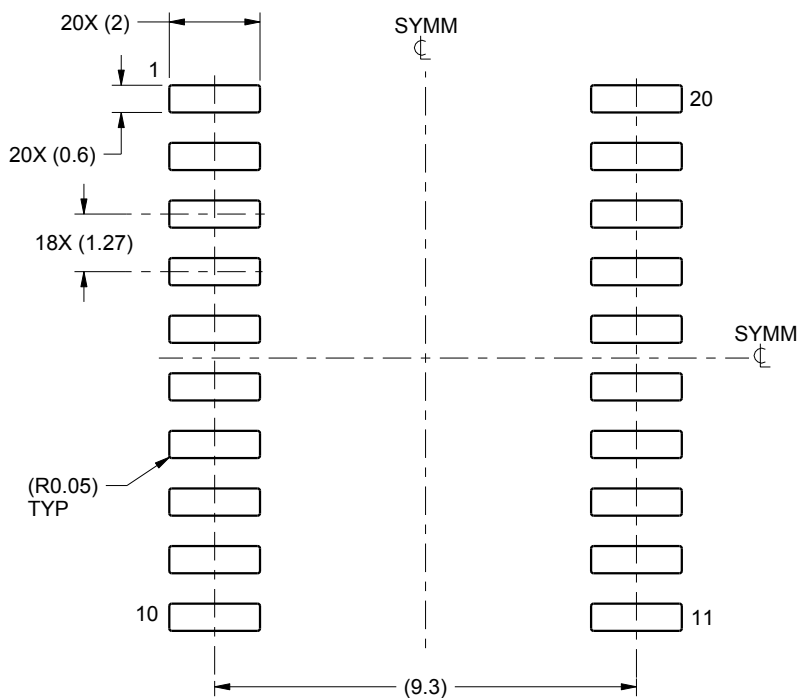
NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.

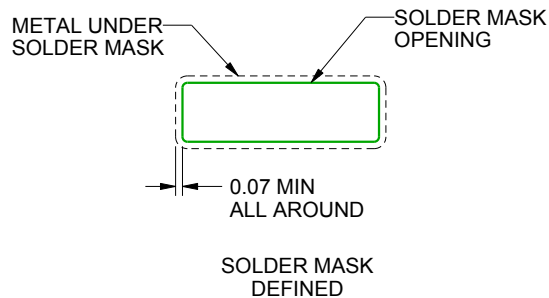
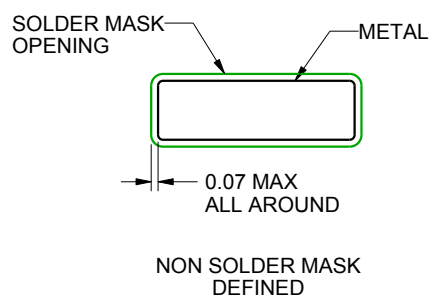
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月