SN74LVC244A-Q1 具有三态输出的汽车类八通道缓冲器或驱动器

1 特性

- 符合汽车应用要求
- 可在 1.65V 至 3.6V 范围内工作
- 输入电压高达 5.5V
- 额定工作温度范围为 –40°C 至 +85°C 以及 –40°C 至 +125°C
- 3.3V 时，t_{pd} 最大值为 5.9ns
- V_{CC} = 3.3V、T_A = 25°C 时，V_{OLP}（输出接地反弹）典型值小于 0.8V
- V_{OHV}（输出 V_{OH} 下冲）典型值大于 2V（V_{CC} = 3.3V、T_A = 25°C 时）
- 所有端口均支持混合模式信号运行（5V 输入或输出电压，具有 3.3V V_{CC}）
- I_{off} 支持带电插入、局部关断模式和后驱动保护
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 将电源正常信号进行组合
- 启用数字信号

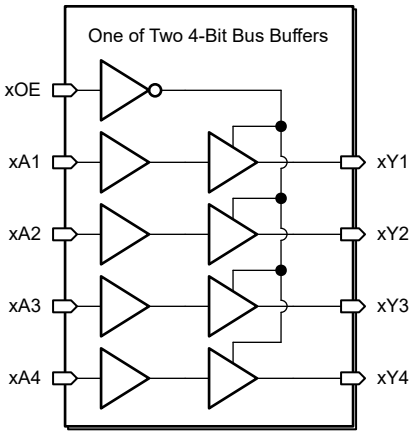
3 说明

这些八通道总线缓冲器可在 1.65V 至 3.6V V_{CC} 下运行。SN74LVC244A-Q1 器件旨在实现数据总线间的异步通信。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74LVC244A-Q1	RKS（VQFN，20）	4.50mm × 2.50mm	4.50mm × 2.50mm
	DW（SOIC，20）	12.80mm × 10.3mm	12.80mm × 7.50mm
	PW（TSSOP，20）	6.50mm × 6.4mm	6.50mm × 4.40mm
	DGS（VSSOP，20）	5.10mm × 4.90mm	5.10mm × 3.00mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 6
5.4 热性能信息 6
5.5 电气特性 7
5.6 开关特性 8
5.7 工作特性 8
5.8 典型特性 9
6 参数测量信息 10
7 详细说明 11
7.1 概述 11
7.2 功能方框图 11
7.3 特性说明 11
7.4 器件功能模式 12
8 应用和实施 13
8.1 应用信息 13
8.2 典型应用 13
8.3 电源相关建议 14
8.4 布局 14
9 器件和文档支持 16
9.1 文档支持 16
9.2 接收文档更新通知 16
9.3 支持资源 16
9.4 商标 16
9.5 静电放电警告 16
9.6 术语表 16
10 修订历史记录 16
11 机械、封装和可订购信息 16

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

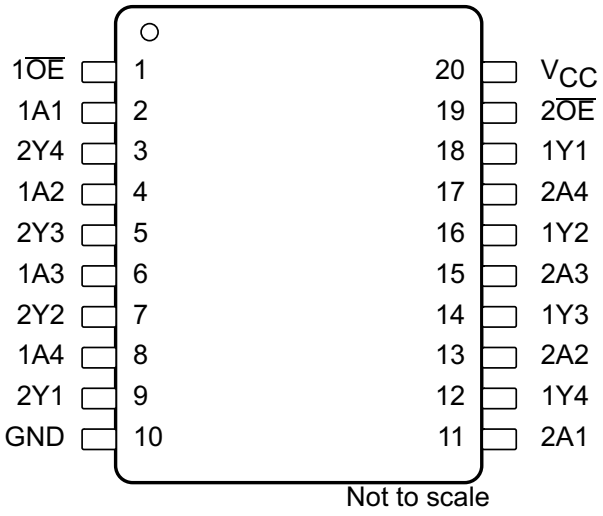


图 4-1. DW、DGS 和 PW 封装 20 引脚 SOIC、VSSOP 和 TSSOP 前视图

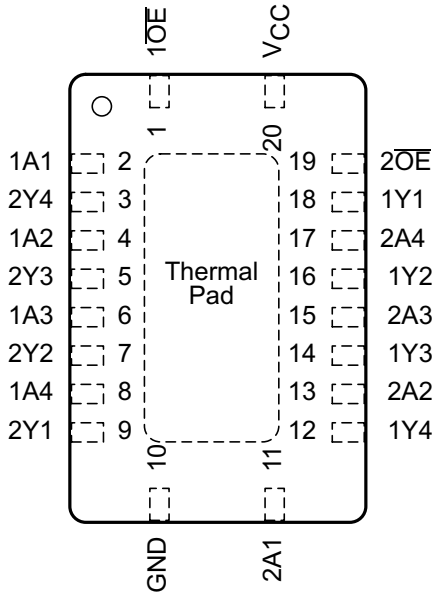


图 4-2. RKS 封装 20 引脚 VQFN 顶视图

表 4-1. 引脚功能

引脚		类型	说明
名称	DW、PW、DGS 和 RKS		
1A1	2	I	端口 1A1 输入
1A2	4	I	端口 1A2 输入
1A3	6	I	端口 1A3 输入
1A4	8	I	端口 1A4 输入
1 $\overline{OE}$	1	I	启用输出
1Y1	18	O	端口 1Y1 输出
1Y2	16	O	端口 1Y2 输出
1Y3	14	O	端口 1Y3 输出
1Y4	12	O	端口 1Y4 输出
2A1	11	I	端口 2A1 输入
2A2	13	I	端口 2A2 输入
2A3	15	I	端口 2A3 输入
2A4	17	I	端口 2A4 输入
2 $\overline{OE}$	19	I	启用输出
2Y1	9	O	端口 2Y1 输出
2Y2	7	O	端口 2Y2 输出
2Y3	5	O	端口 2Y3 输出
2Y4	3	O	端口 2Y4 输出
GND	10	—	接地
V_{CC}	20	—	电源引脚

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	6.5	V
V_I	输入电压(2)		-0.5	6.5	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围(2)		-0.5	6.5	V
V_O	应用到任一处于高电平或低电平状态输出的电压范围(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
P_{tot}	功率耗散	T_A = -40°C 至 +125°C(4) (5)		500	mW
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，并不表示器件在这些条件下以及在 *节 5.3* 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) V_{CC} 的值在 *节 5.3* 表中提供。
(4) 对于 DW 封装：在 70°C 以上时，P_{tot} 值以 8mW/K 的幅度线性降额。
(5) 对于 DB、DGV、N、NS 和 PW 封装：在 60°C 以上时，P_{tot} 值以 5.5mW/K 的幅度线性降额。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的建议运行温度范围内测得（除非另有说明）(1)

			T_A = 25°C		-40°C 至 +85°C		-40°C 至 +125°C		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
V_{CC}	电源电压	工作	1.65	3.6	1.65	3.6	1.65	3.6	V
		仅数据保留	1.5		1.5		1.5		
V_{IH}	高电平输入电压	V_{CC} = 1.65V 至 1.95V	0.65 × V_{CC}		0.65 × V_{CC}		0.65 × V_{CC}		V
		V_{CC} = 2.3V 至 2.7V	1.7		1.7		1.7		
		V_{CC} = 2.7V 至 3.6V	2		2		2		
V_{IL}	低电平输入电压	V_{CC} = 1.65V 至 1.95V		0.35 × V_{CC}		0.35 × V_{CC}		0.35 × V_{CC}	V
		V_{CC} = 2.3V 至 2.7V		0.7		0.7		0.7	
		V_{CC} = 2.7V 至 3.6V		0.8		0.8		0.8	
V_I	输入电压		0	5.5	0	5.5	0	5.5	V
V_O	输出电压		0	V_{CC}	0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 1.65V		-4		-4		-4	mA
		V_{CC} = 2.3V		-8		-8		-8	
		V_{CC} = 2.7V		-12		-12		-12	
		V_{CC} = 3V		-24		-24		-24	
I_{OL}	低电平输出电流	V_{CC} = 1.65V		4		4		4	mA
		V_{CC} = 2.3V		8		8		8	
		V_{CC} = 2.7V		12		12		12	
		V_{CC} = 3V		24		24		24	
T_A	环境温度	BGA 封装			-40	85			°C
		所有其他封装					-40	125	

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND，以确保器件正常运行。请参阅 *CMOS 输入缓慢变化或悬空的影响*，SCBA004。

5.4 热性能信息

热指标(1)		SN74LVC244A			单位
		DW (2) (SOIC)	PW(2) (TSSOP)	RKS(3) (VQFN)	
		20 引脚			
$R_{\theta JA}$	结温至环境温度热阻	58	83	87.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻			93.4	°C/W
$R_{\theta JB}$	结至电路板热阻			59.8	°C/W
ψ_{JT}	结至顶部特征参数			24.9	°C/W
ψ_{JB}	结至电路板特征参数			59.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	—	—	44.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。
(2) 封装热阻抗根据 JESD 51-7 计算。
(3) 封装热阻抗根据 JESD 51-5 计算。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V_{CC}	T_A = 25°C			-40°C 至 +85°C		-40°C 至 +125°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	I_{OH} = -100μA		1.65V 至 3.6V	V_{CC} – 0.2			V_{CC} – 0.2		V_{CC} – 0.3		V
	I_{OH} = -4mA		1.65V	1.29			1.2		1.05		
	I_{OH} = -8mA		2.3V	1.9			1.7		1.55		
	I_{OH} = -12mA		2.7V	2.2			2.2		2.05		
			3V	2.4			2.4		2.25		
	I_{OH} = -24mA		3V	2.3			2.2		2		
V_{OL}	I_{OL} = 100μA		1.65V 至 3.6V			0.1		0.2		0.3	V
	I_{OL} = 4mA		1.65V			0.24		0.45		0.6	
	I_{OL} = 8mA		2.3V			0.3		0.7		0.75	
	I_{OL} = 12mA		2.7V			0.4		0.4		0.6	
	I_{OL} = 24mA		3V			0.55		0.55		0.8	
I_I	V_I=5.5 V 或 GND		3.6V			±1		±5		±20	μA
I_{off}	V_I 或 V_O = 5.5V		0			±1		±10		±20	μA
I_{OZ}	V_O = 0 至 5.5V		3.6V			±1		±10		±20	μA
I_{CC}	V_I = V_{CC} 或 GND	I_O = 0	3.6V			1		10		40	μA
	3.6V ≤ V_I ≤ 5.5V(1)	I_O = 0				1		10		40	
ΔI_{CC}	一个输入电压为 V_{CC} – 0.6V，其他输入电压为 V_{CC} 或 GND		2.7V 至 3.6V			500		500		5000	μA
C_i	V_I = V_{CC} 或 GND		3.3V		4						pF
C_o	V_O = V_{CC} 或 GND		3.3V		5.5						pF

(1) 这仅在禁用状态下适用。

Copyright © 2026 Texas Instruments Incorporated

5.6 开关特性

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅 图 6-1）

参数	从（输入）	至（输出）	V_{CC}	T_A = 25°C			-40°C 至 +85°C		-40°C 至 +125°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A	Y	1.5V		7	14.4	14.9		16.4		ns
			1.8V ± 0.15V		5.9	10.4	10.9		12.4		
			2.5V ± 0.2V		4.2	7.4	7.9		10		
			2.7V		4.2	6.7	6.9		8.2		
			3.3V ±0.3V		3.9	5.7	5.9		7.2		
t_{en}	$\overline{OE}$	Y	1.5V		8.3	17.8	18.3		19.8		ns
			1.8V ±0.15V		6.4	12.1	12.6		14.1		
			2.5V ±0.2V		4.6	9.1	9.6		11.7		
			2.7V		5	8.4	8.6		10.3		
			3.3V ±0.3V		4.5	7.4	7.6		9.4		
t_{dis}	$\overline{OE}$	Y	1.5V		7.2	15.6	16.1		17.6		ns
			1.8V ±0.15V		5.8	11.6	12.1		13.6		
			2.5V ±0.2V		3.7	7.3	7.8		9.9		
			2.7V		3.8	6.6	6.8		8.6		
			3.3V ±0.3V		3.8	6.3	6.5		8		
$t_{sk(o)}$			3.3V ±0.3V				1		1.5		ns

5.7 工作特性

T_A = 25°C

参数		测试条件	V_{CC}	典型值	单位
C_{pd} 每个缓冲器/驱动器的功率耗散电容	输出已启用	f = 10MHz	1.8V	43	pF
			2.5V	43	
			3.3V	44	
	输出已禁用	f = 10MHz	1.8V	1	
			2.5V	1	
			3.3V	2	

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性

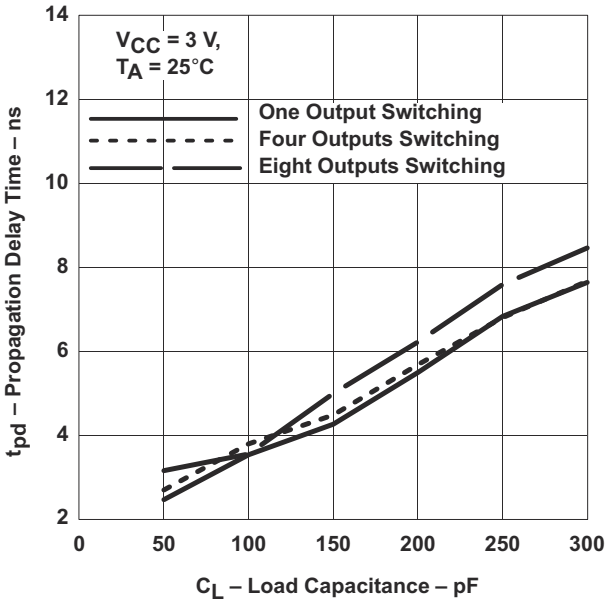


图 5-1. 传播延迟（低电平至高电平转换）与负载电容间的关系

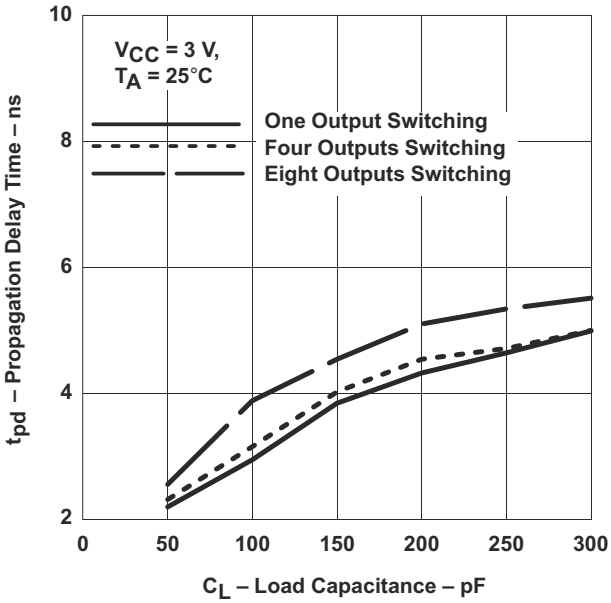
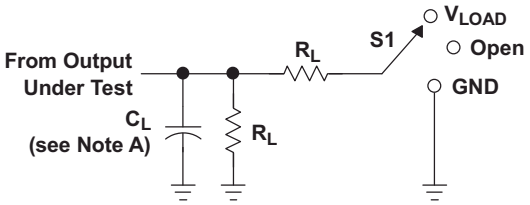


图 5-2. 传播延迟（高电平至低电平转换）与负载电容间的关系

Copyright © 2026 Texas Instruments Incorporated

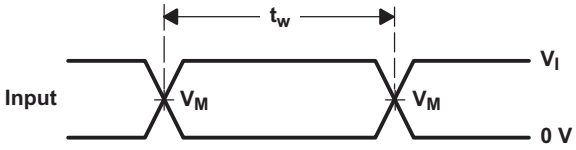
6 参数测量信息



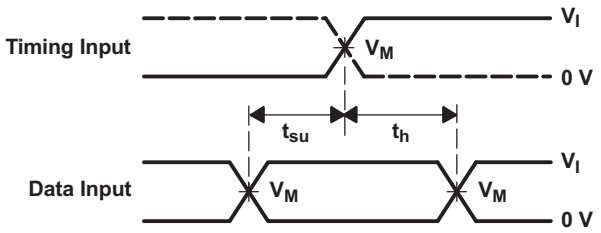
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

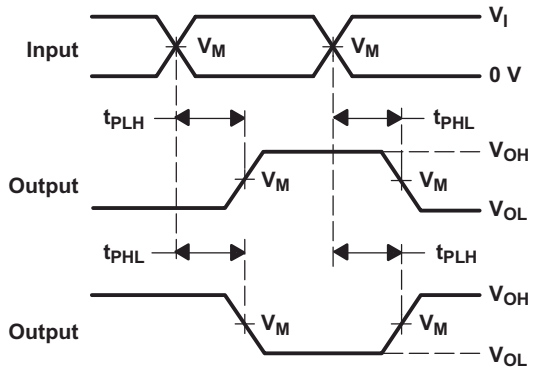
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.5 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	2 kΩ	0.1 V
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
2.7 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
3.3 V ± 0.3 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V



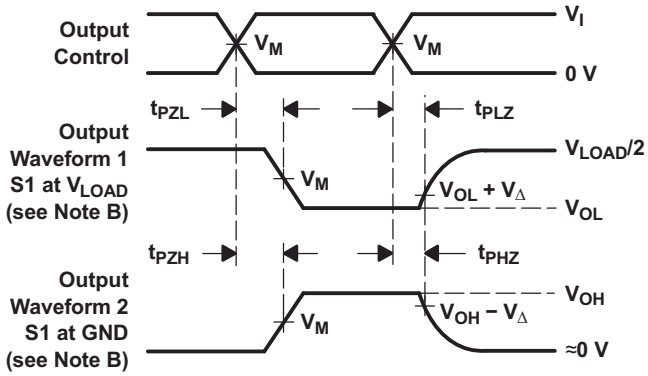
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

SN74LVC244A-Q1 包含 8 个独立的高速 CMOS 缓冲器，配置为两个具有三态输出的 4 位缓冲器/线路驱动器。

每个缓冲器均可执行布尔逻辑函数 xYn = xAn，其中 *x* 为存储体编号，*n* 为通道编号。

每个输出使能 (x$\overline{OE}$) 控制四个缓冲器。当 x$\overline{OE}$ 引脚处于低电平状态时，存储体 x 中所有缓冲器的输出将被启用。当 x$\overline{OE}$ 引脚处于高电平状态时，存储体 x 中所有缓冲器的输出将被禁用。所有被禁用的输出将置于高阻抗状态。

为了在上电或断电期间将器件置于高阻抗状态，需将两个 $\overline{OE}$ 引脚通过一个上拉电阻连接至 V_{CC}；电阻的最小值由驱动器的灌电流能力和*电气特性*表中定义的引脚漏电流决定。

7.2 功能方框图

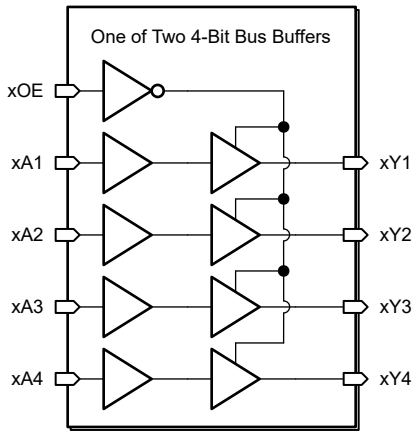


图 7-1. 逻辑图（正逻辑）

7.3 特性说明

7.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以驱动为高电平、低电平和高阻抗这三种状态。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但*电气特性*表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10kΩ 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

7.3.2 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻使用*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入泄漏电流，根据欧姆定律 (R = V ÷ I) 计算得出。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件*表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

Copyright © 2026 Texas Instruments Incorporated

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

7.3.3 钳位二极管结构

图 7-2 展示了该器件的输入和输出仅布置负钳位二极管。

小心

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

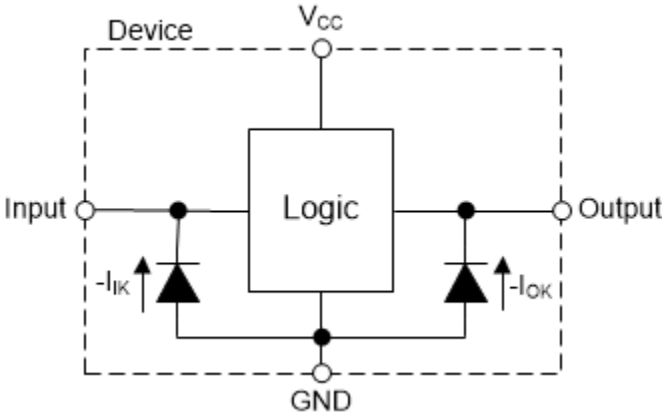


图 7-2. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1 列出了 SN74LVC244A-Q1 的功能模式。

表 7-1. 功能表

输入(1)		输出
$\overline{OE}$	A	Y
L	L	L
L	H	H
H	X	Z

(1) H = 高压电平，L = 低压电平，X = 无关，Z = 高阻抗状态

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74LVC244A-Q1 是一款高驱动 CMOS 器件，可用于需要考虑输出驱动或 PCB 布线长度的多种总线接口类型应用。

8.2 典型应用

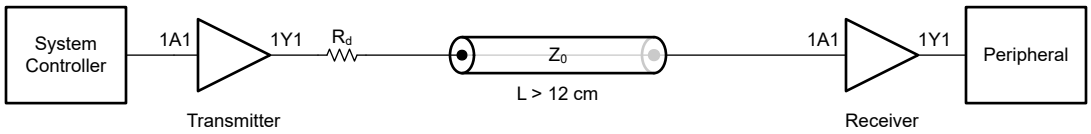


图 8-1. 应用原理图

8.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。避免总线争用，因为它可以驱动超过最大限制的电流。高驱动也会在轻负载时产生快速边缘，因此请考虑布线和负载条件以防止振铃。

8.2.2 详细设计过程

1. 建议的输入条件：
   - 有关上升时间和下降时间规格，请参阅*建议运行条件*表中的 ($\Delta t/\Delta V$)。
   - 有关指定的高电平和低电平，请参阅*建议运行条件* 表中的 (V_{IH} 和 V_{IL})。
   - 输入可耐受过压，允许它们在任何有效 V_{CC} 下高达*建议运行条件* 表中的 (V_I 最大值) 。
2. 建议的输出条件上限：
   - 每路输出的负载电流不应超过 (I_O 最大值) ，且不能超过该器件的总电流 (通过 V_{CC} 或 GND 的持续电流) 。这些限值位于*绝对最大额定值* 表中。
   - 输出不应被拉至高于 V_{CC}。

8.2.3 应用曲线

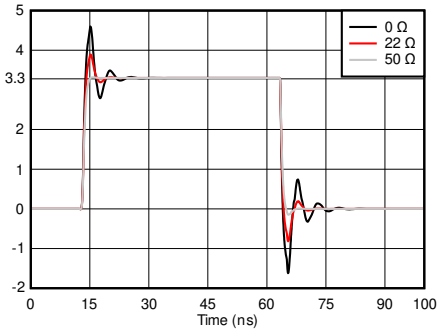


图 8-2. 使用不同阻尼电阻器 (R_d) 值的接收器模拟信号完整性

8.3 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。

建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

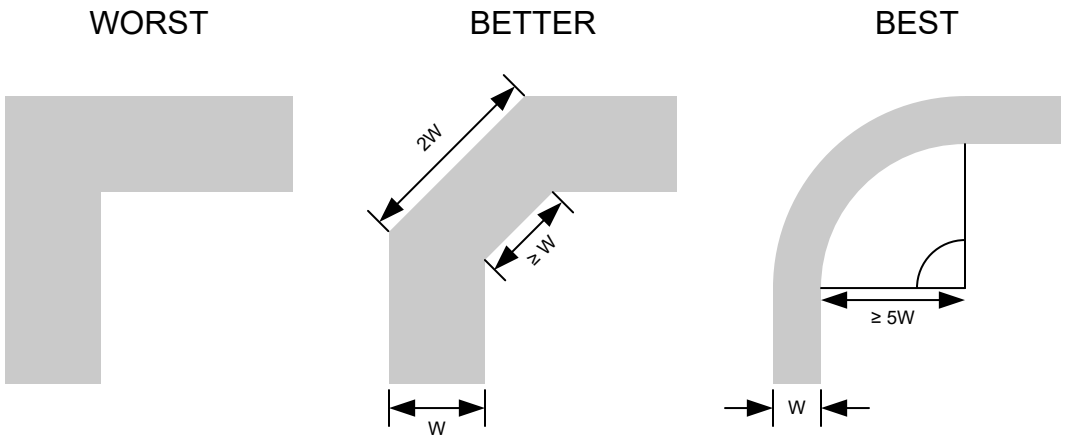


图 8-3. 可改善信号完整性的布线转角示例

Copyright © 2026 Texas Instruments Incorporated

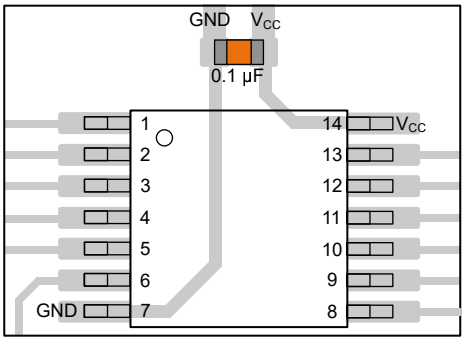


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

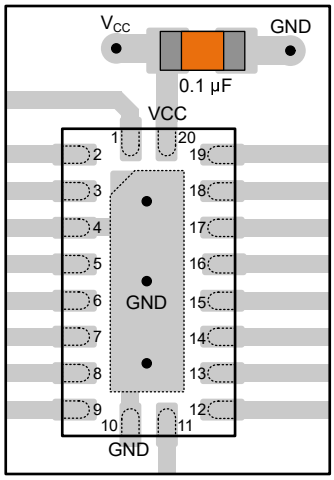


图 8-5. WQFN 和类似封装的旁路电容器放置示例

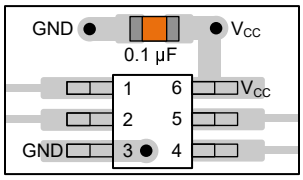


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

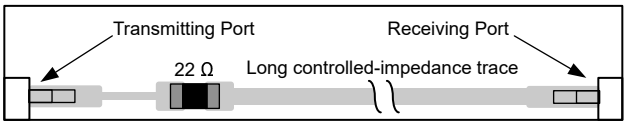


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用手册
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (March 2025) to Revision D (February 2026)	Page
• 添加了 DGS（VSSOP，20）封装选项。	1

Changes from Revision B (December 2008) to Revision C (March 2025)	Page
• 添加了 RKS（VQFN，20）封装选项。	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CLVC244AQDWRG4Q1	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244AQ
CLVC244AQDWRG4Q1.B	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244AQ
CLVC244AQPWRG4Q1	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244AQ
CLVC244AQPWRG4Q1.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244AQ
SN74LVC244ADGSRQ1	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C244Q
SN74LVC244AQPWRQ1	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244AQ
SN74LVC244AQPWRQ1.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244AQ
SN74LVC244AQPWRQ1.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC244AQ
SN74LVC244AWRKSRQ1	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC244AQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC244A-Q1 :

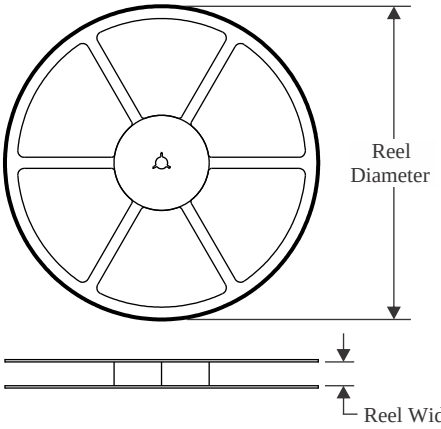
- Catalog : SN74LVC244A

NOTE: Qualified Version Definitions:

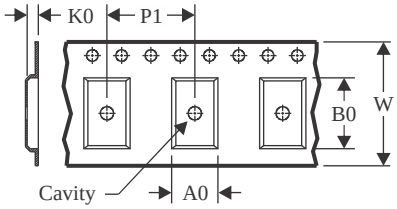
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

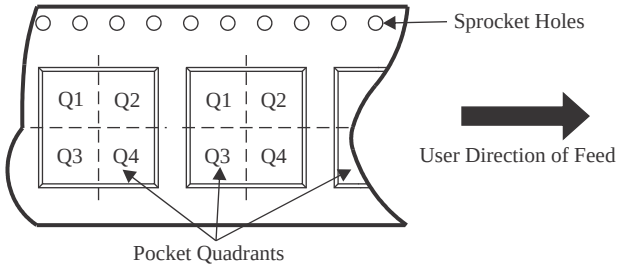


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

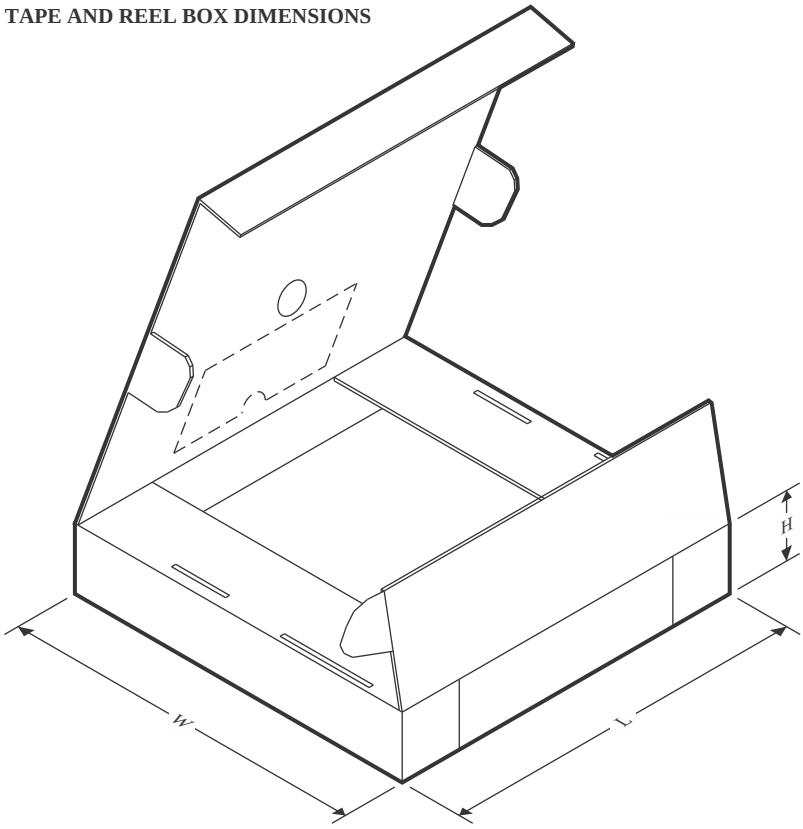
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLVC244AQDWRG4Q1	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
CLVC244AQPWRG4Q1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
CLVC244AQPWRG4Q1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244ADGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LVC244AQPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC244AWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLVC244AQDWRG4Q1	SOIC	DW	20	2000	356.0	356.0	45.0
CLVC244AQPWRG4Q1	TSSOP	PW	20	2000	353.0	353.0	32.0
CLVC244AQPWRG4Q1	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC244ADGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LVC244AQPWRQ1	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC244AWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

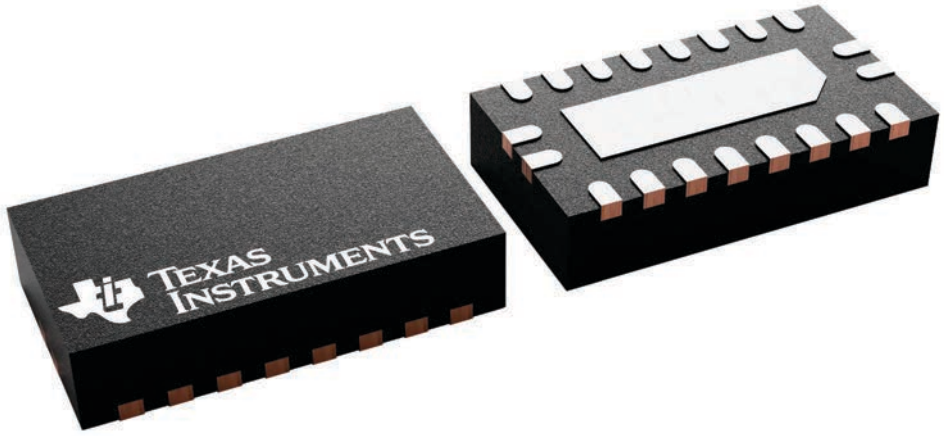
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

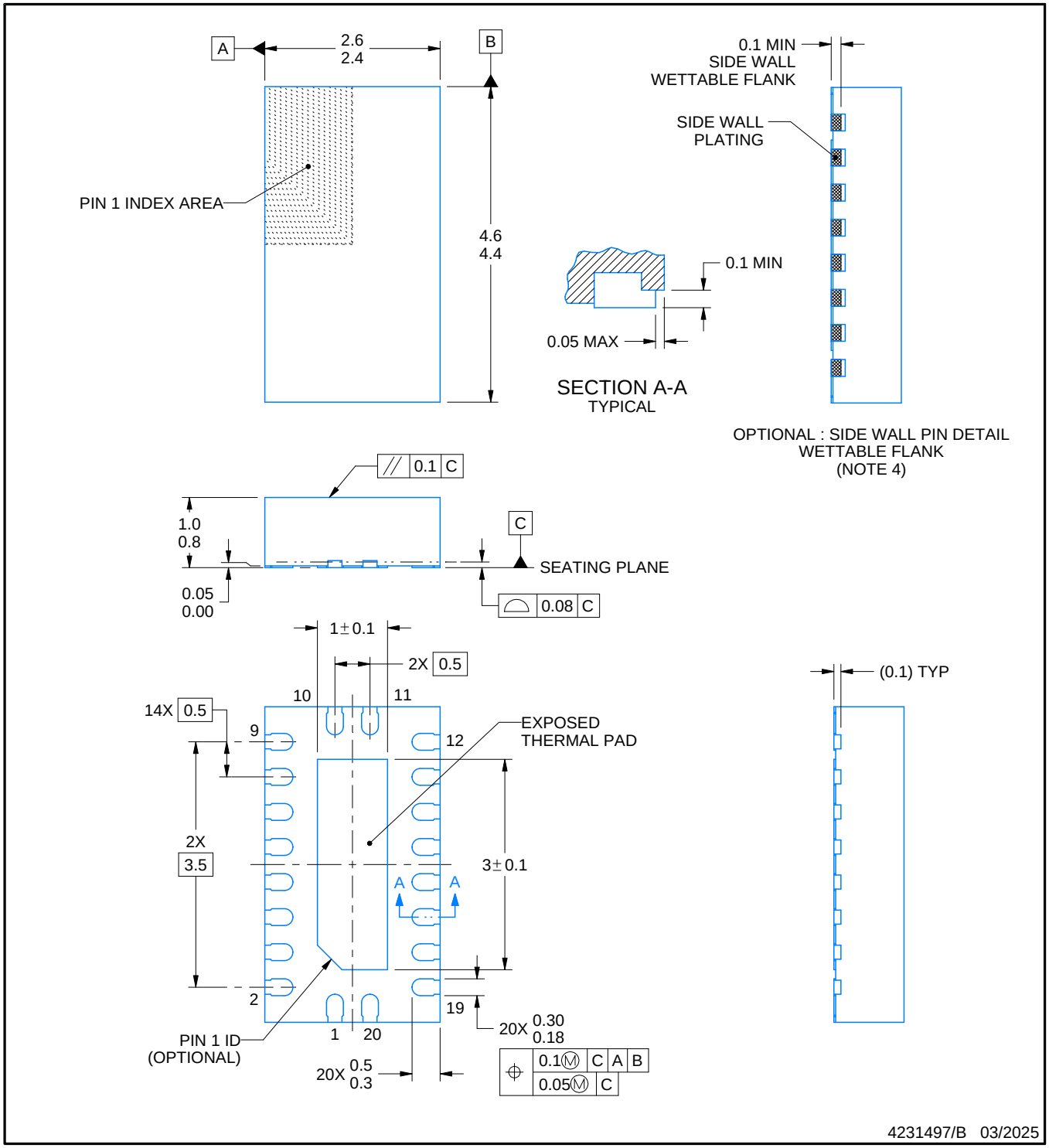


PACKAGE OUTLINE

RKS0020C

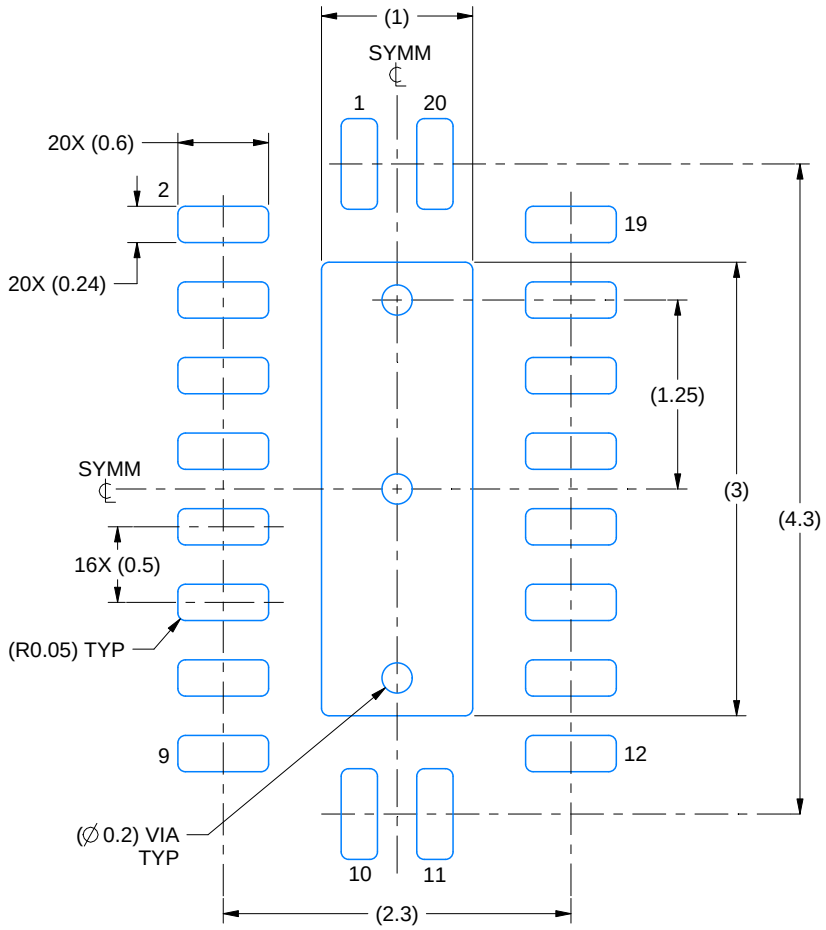
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

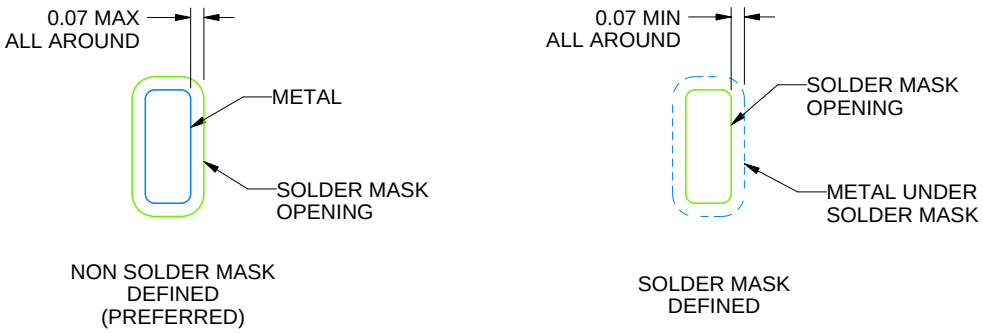


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1mm solder wetting on pins side wall. Available for wettable flank version only



LAND PATTERN EXAMPLE
SCALE:20X

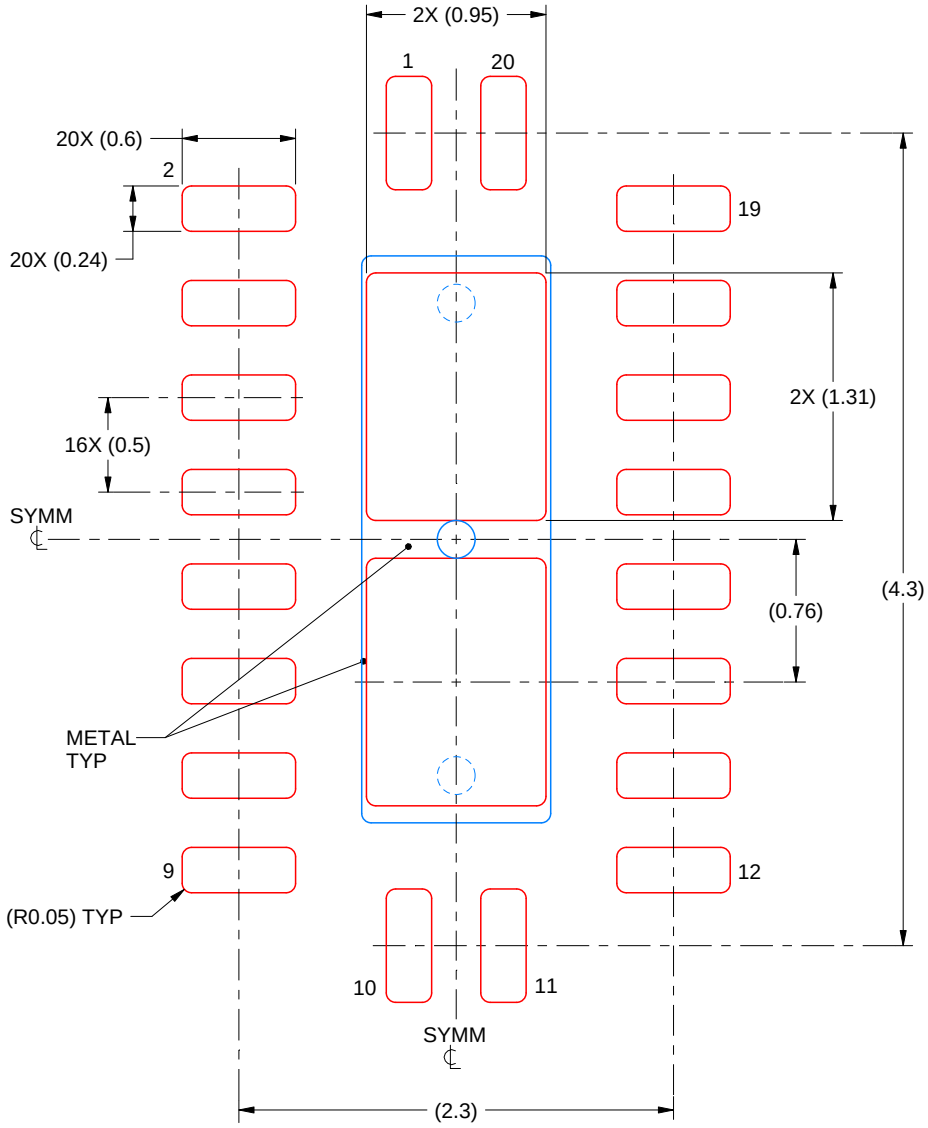


SOLDER MASK DETAILS

4231497/B 03/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



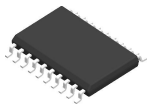
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4231497/B 03/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

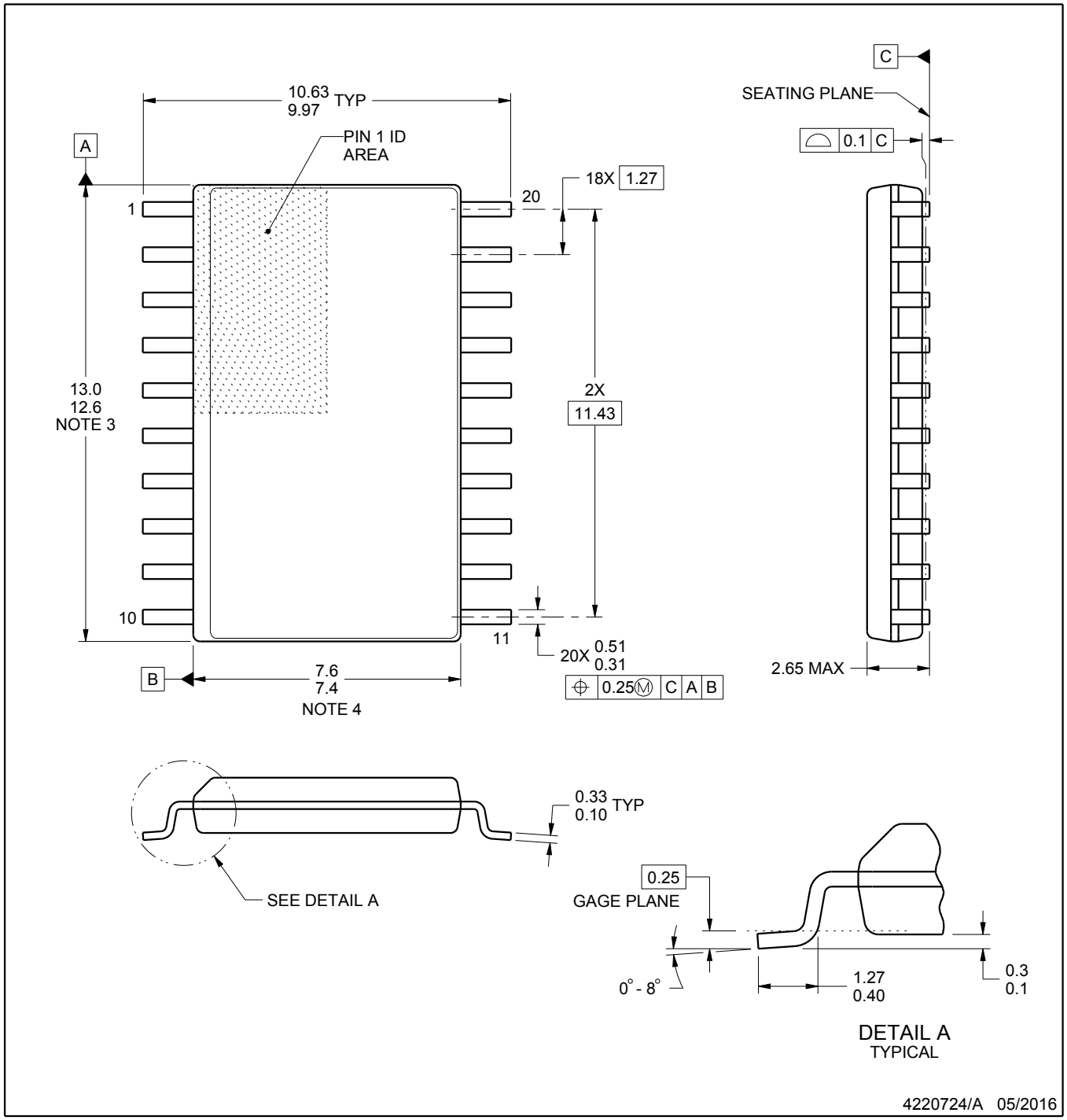


PACKAGE OUTLINE

DW0020A

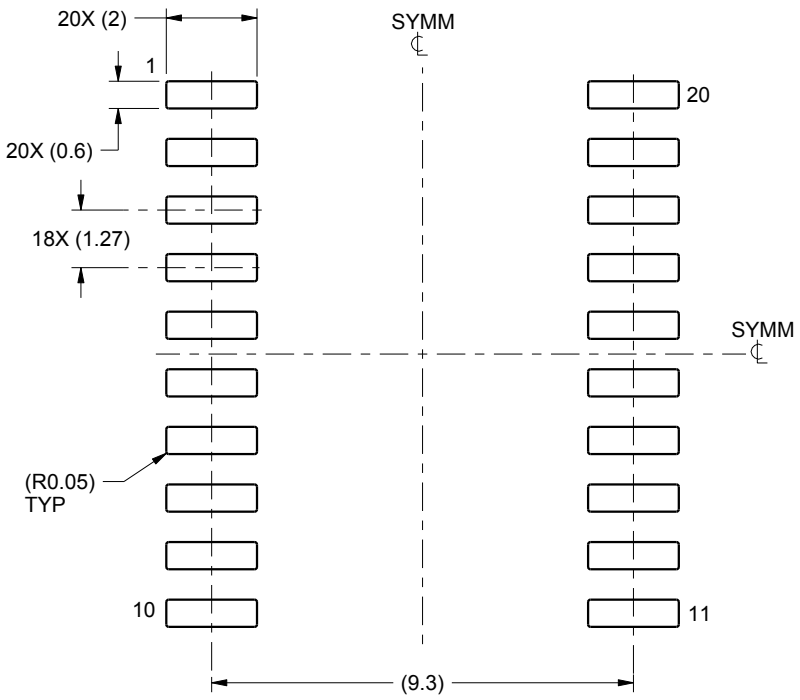
SOIC - 2.65 mm max height

SOIC

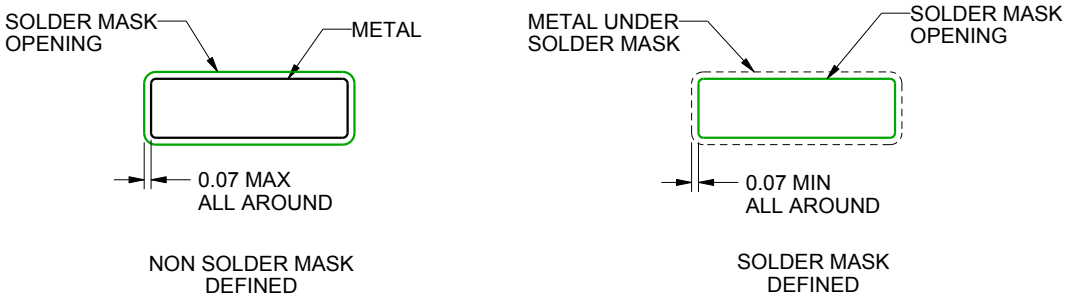


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

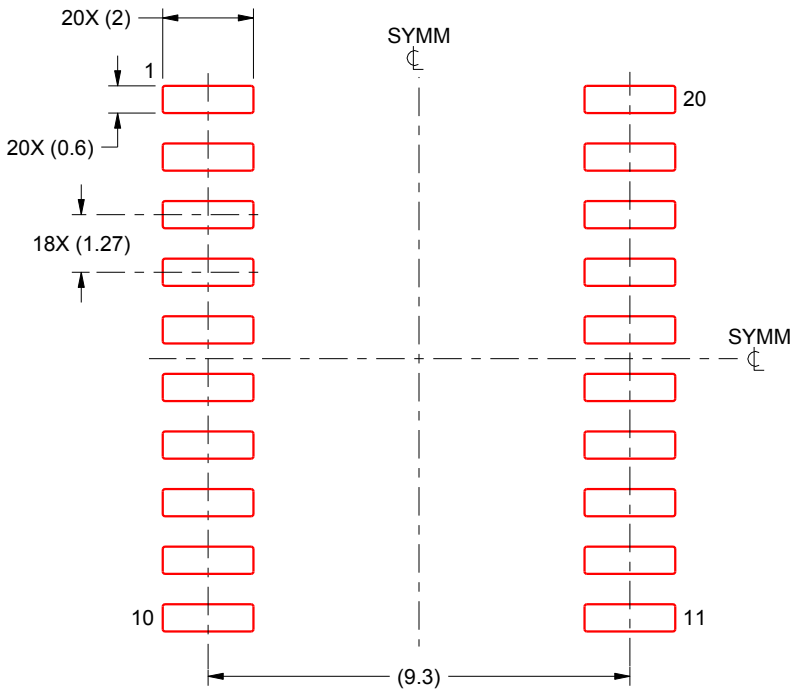


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

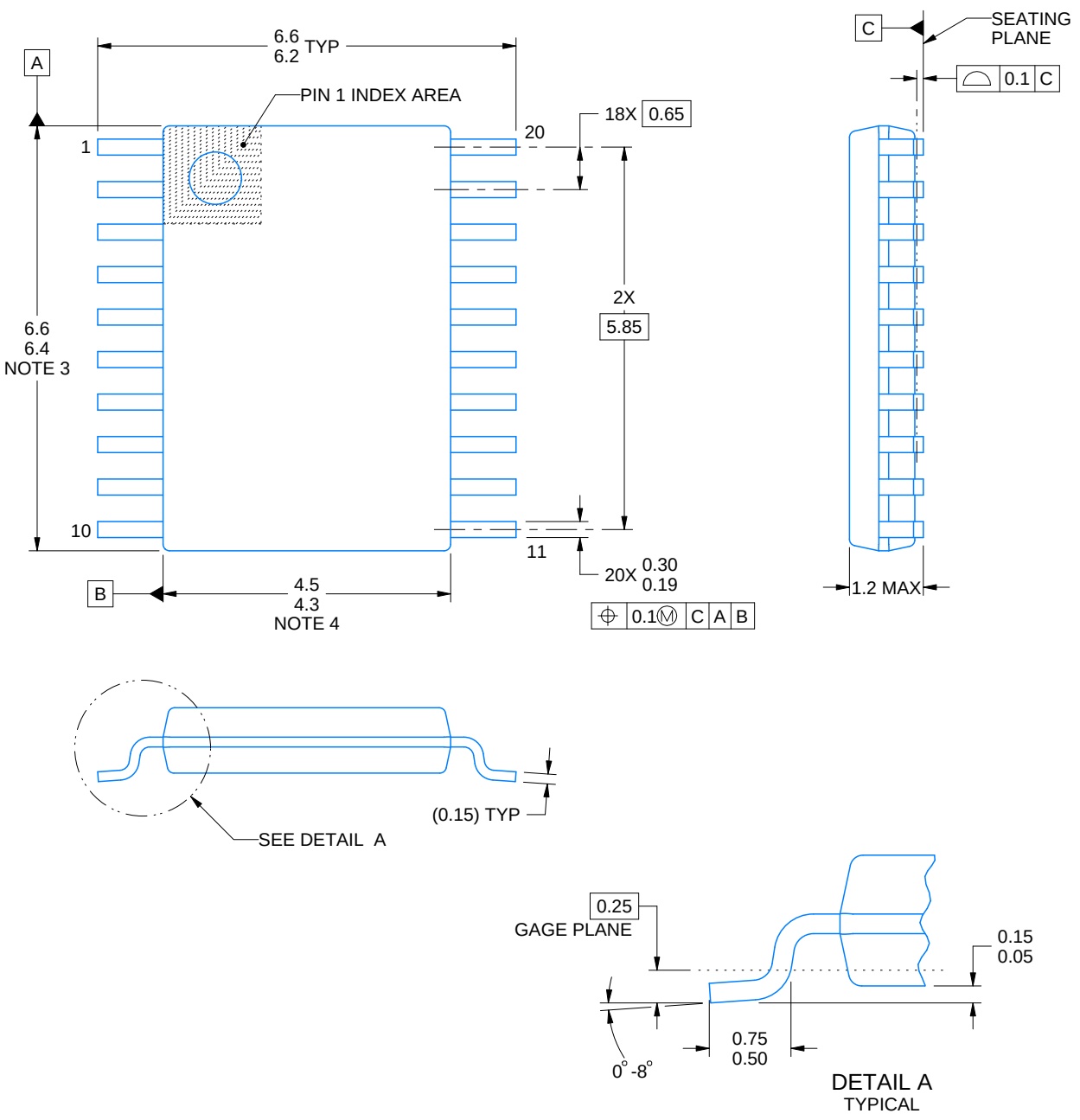
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0020A

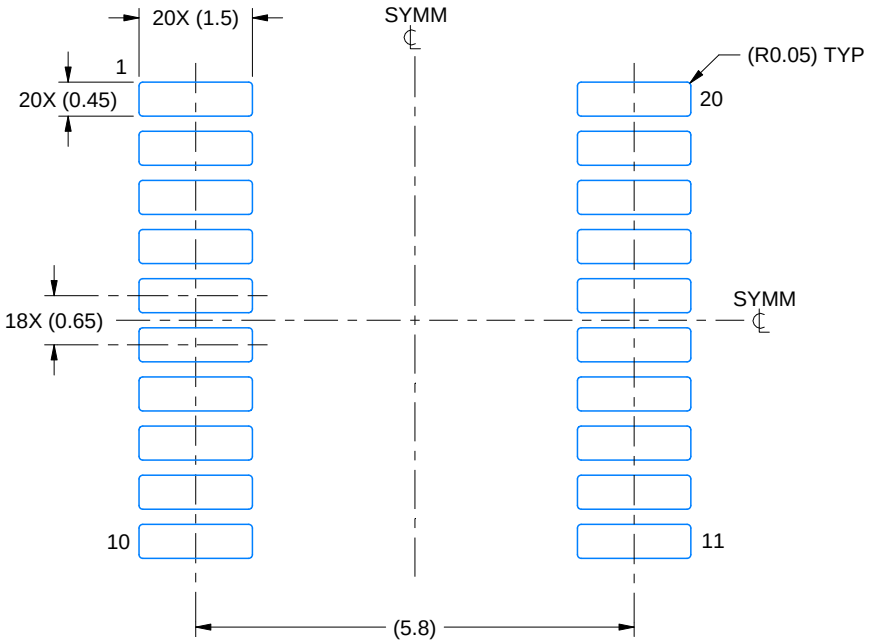
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

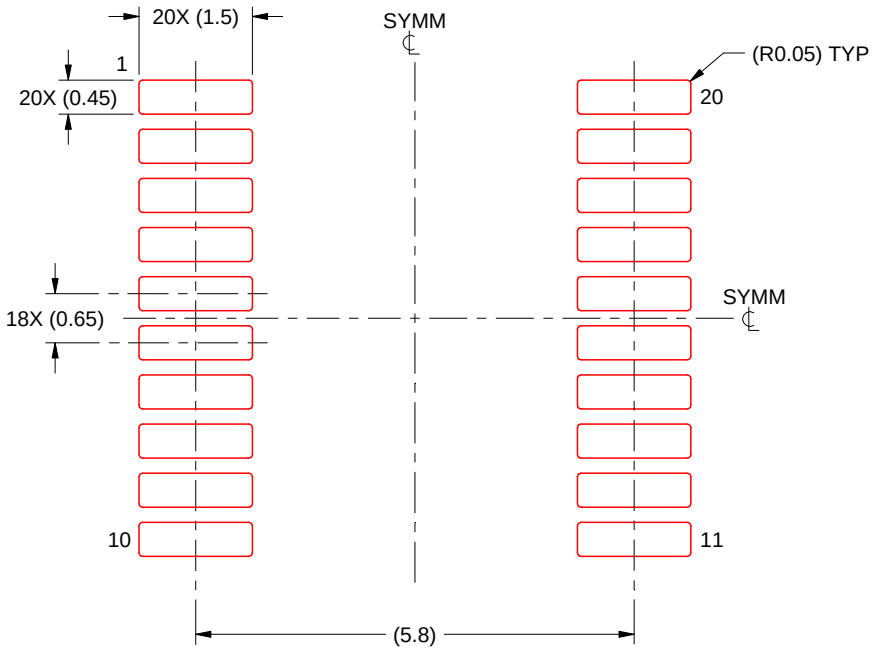


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

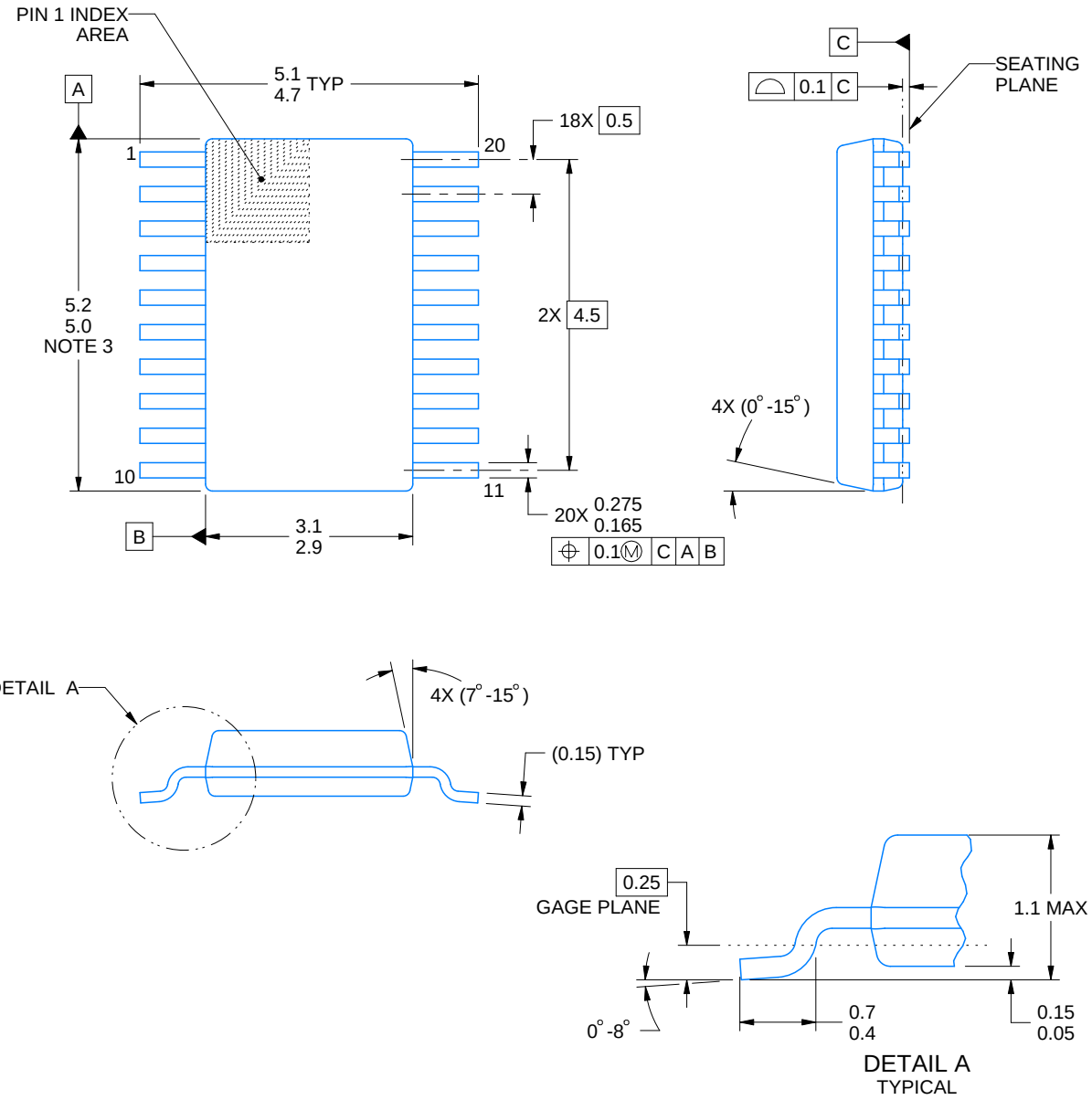
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

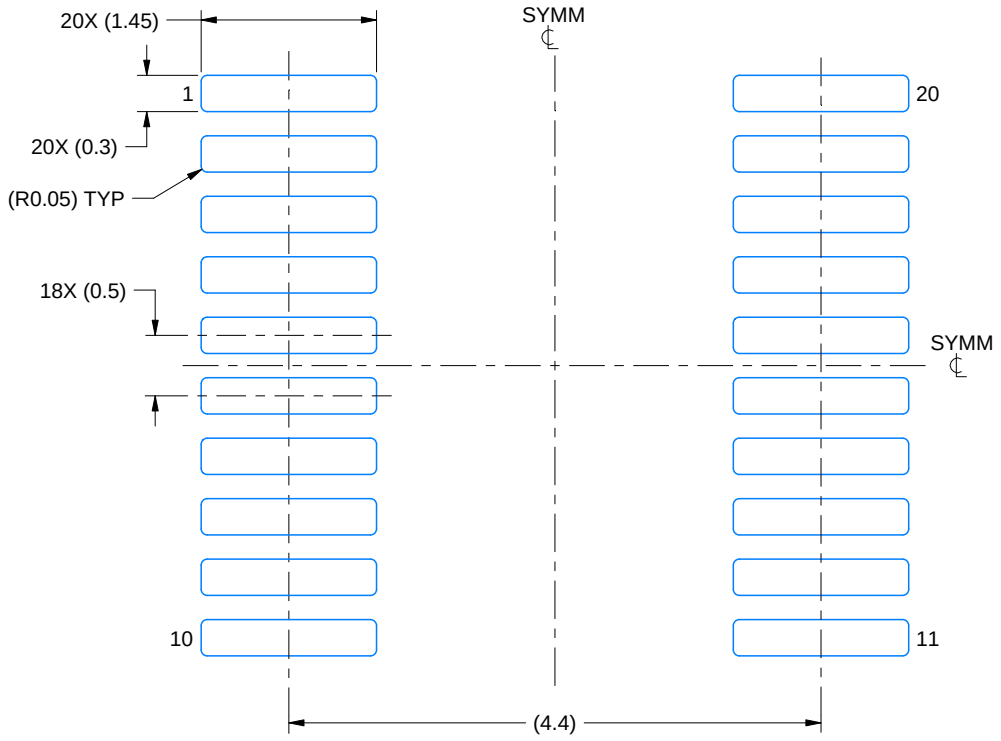
SMALL OUTLINE PACKAGE



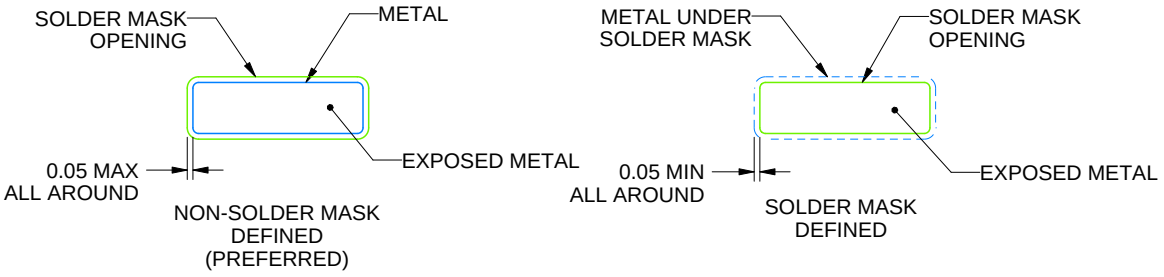
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

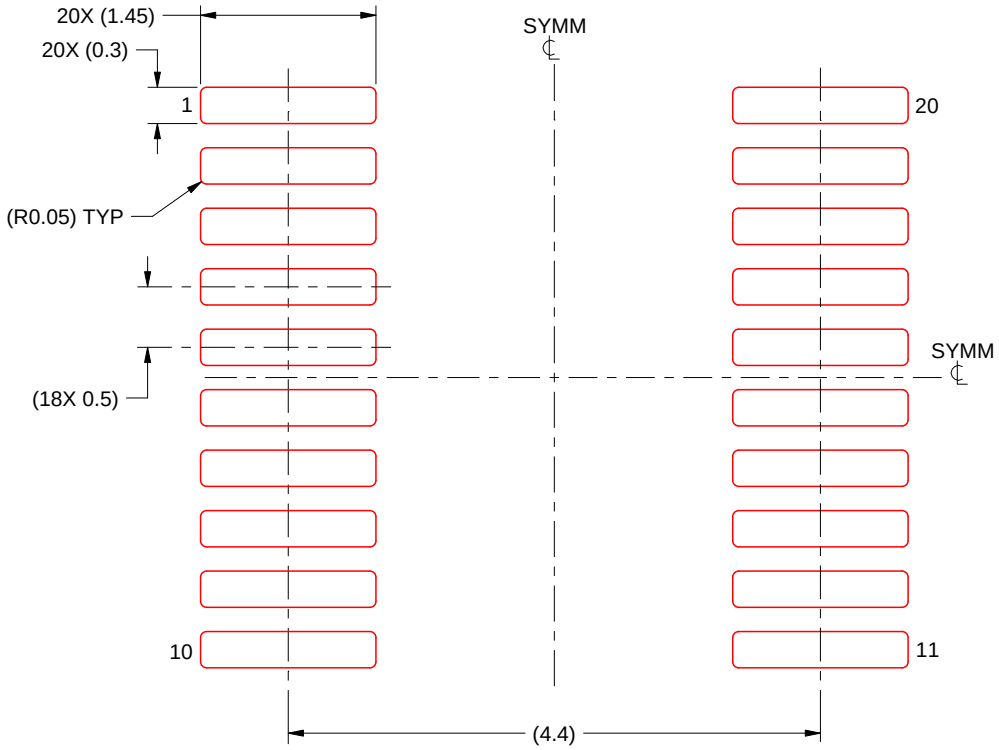


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月