SN74LVC1G135B-Q1 具有施密特触发输入和漏极开路输出的单通道、双输入、1.1V 至 5.5V 与非门

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 器件温度等级 1：-40°C 至 +125°C
  - 器件 HBM ESD 分类等级 2
  - 器件 CDM ESD 分类等级 C4B
- 工作电压范围为 1.1V 至 5.5V
- 耐过压输入支持高达 5.5V 的电压（独立于 V_{CC}）
- 开漏输出支持 5.5V 电压（独立于 V_{CC}）
- 支持局部关断以及后驱动保护 (I_{off})
- 高开漏输出驱动强度：
  - 在 5V 时为 32mA
  - 在 3.3V 时为 24mA
  - 在 2.5V 时为 8mA
  - 在 1.8V 时为 4mA
- 电源为 4.5V 时的最大传播延迟为 4.8ns
- 闩锁性能超过 100mA，符合 JESD78 和 AEC-Q100-004 规范

2 应用

- 将电源正常信号相结合
- 将使能信号相结合

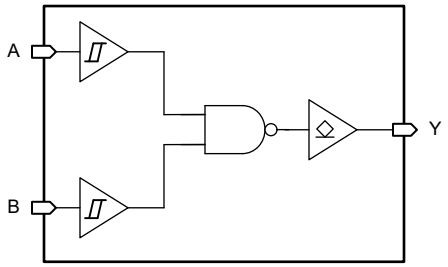
3 说明

SN74LVC1G135B-Q1 器件是一款具有开漏输出的单路 2 输入正与门。该器件以正逻辑执行布尔函数 $Y = \overline{A \bullet B}$ 或 $Y = \bar{A} + B$。该器件可作为具有施密特触发输入的独立缓冲器，因此该器件针对正向 (V_{T+}) 和负向 (V_{T-}) 信号具有不同的输入阈值电平，可提供磁滞 (ΔV_T)，从而使器件能够耐受慢速或高噪声输入信号。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74LVC1G135B-Q1	DBV（SOT-23，5）	2.9mm × 2.8mm	2.9mm × 1.6mm
	DCK（SC70，5）	2mm × 2.1mm	2mm × 1.25mm
	DTX（X2SON，5）	1.1mm × 0.85mm	1.1mm × 0.85mm

(1) 有关更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 开关特性.....6
6 参数测量信息.....7
7 详细说明.....8
7.1 概述.....8
7.2 功能方框图.....8
7.3 特性说明.....8
7.4 器件功能模式.....9
8 应用和实施.....10
8.1 应用信息.....10
8.2 典型应用.....10
8.3 电源相关建议.....11
8.4 布局.....11
9 器件和文档支持.....14
9.1 文档支持.....14
9.2 接收文档更新通知.....14
9.3 支持资源.....14
9.4 商标.....14
9.5 静电放电警告.....14
9.6 术语表.....14
10 修订历史记录.....14
11 机械、封装和可订购信息.....15

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

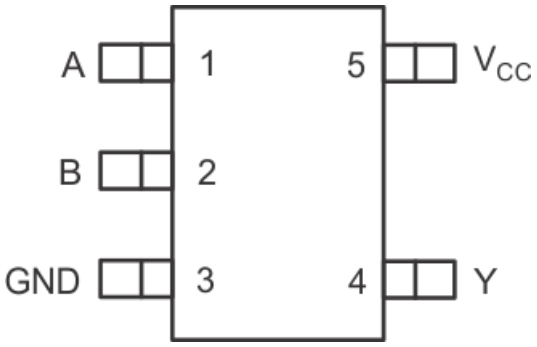


图 4-1. DCK 、 DBV 封装 5 引脚 SC70 、 SOT-23 顶视图

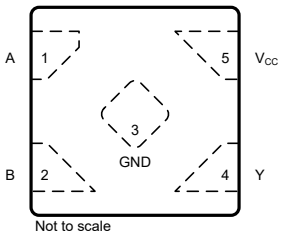


图 4-2. DTX 封装 5 引脚 X2SON 顶视图

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
A	1	I	输入 A
B	2	I	输入 B
GND	3	G	接地
V_{CC}	5	P	电源
Y	4	O	输出 Y

(1) I = 输入，O = 输出，P = 正电源，G = 接地

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	6.5	V
V_I	输入电压范围(2)		-0.5	6.5	V
V_O	输出电压范围(2)		-0.5	V_{CC} + 0.5	V
V_O	输出电压范围 - 高阻抗(2)		-0.5	6.5	V
I_{IK}	输入钳位电流	V_I < 0V		-50	mA
I_{OK}	输出钳位电流	V_O < 0V		-50	mA
I_O	持续输出电流			±50	mA
I_O	通过 V_{CC} 或 GND 的持续输出电流			±100	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准	±1000	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CC}	电源电压		1.1	5.5	V
V_I	输入电压		0	5.5	V
V_O	输出电压	高电平或低电平状态	0	V_{CC}	V
V_O	输出电压	高阻态	0	5.5	V
T_A	自然通风条件下的工作温度		-40	125	°C

5.4 热性能信息

封装	引脚	热指标(1)						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DCK（SOT-SC70，5）	5	371	297.5	258.6	195.6	256.2	-	°C/W
DTX（XSON，5）	5	393.6	103.2	331.8	69.8	331.9	179.9	°C/W
DBV（SOT-23，5）	5	357.1	263.7	264.4	195.6	262.2	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
V_{T+}	正向输入阈值电压	1.1V	0.67		0.72	V
		1.3V	0.79		0.85	
		1.65V	0.98		1.09	
		1.95V	1.13		1.26	
		2.3V	1.31		1.46	
		2.7V	1.51		1.68	
		3V	1.66		1.82	
		3.6V	1.95		2.1	
		4.5V	2.39		2.56	
		5.5V	2.91		3.08	
V_{T-}	负向输入阈值电压	1.1V	0.37		0.46	V
		1.3V	0.44		0.51	
		1.65V	0.56		0.61	
		1.95V	0.66		0.71	
		2.3V	0.78		0.84	
		2.7V	0.92		0.99	
		3V	1.03		1.11	
		3.6V	1.26		1.34	
		4.5V	1.58		1.69	
		5.5V	1.95		2.08	
ΔV_T	迟滞 ($V_{T+} - V_{T-}$)	1.1V	0.24		0.33	V
		1.3V	0.31		0.39	
		1.65V	0.38		0.51	
		1.95V	0.43		0.59	
		2.3V	0.47		0.67	
		2.7V	0.52		0.75	
		3V	0.56		0.78	
		3.6V	0.63		0.83	
		4.5V	0.74		0.92	
		5.5V	0.88		1.04	
V_{OL}	I_{OL}= 100 μA	1.1V 至 5.5V			0.15	V
	I_{OL} = 4mA	1.65V			0.45	
	I_{OL} = 8mA	2.3V			0.3	
	I_{OL} = 12mA	2.7V			0.4	
	I_{OL} = 16mA	3V			0.4	
	I_{OL} = 24mA	3V			0.55	
	I_{OL} = 32mA	4.5V			0.55	
I_I	V_I = V_{CC} 或 GND	V_{CC} = 0V 至 5.5V			±5	μA
I_{OFF}	V_I 或 V_O = V_{CC}	V_{CC} = 0V			±10	μA
I_{OZ}	V_O = V_{CC} 或 GND	5.5V			±15	μA
I_{CC}	V_I = V_{CC} 或 GND，I_O = 0	V_{CC} = 1.1V 至 5.5V			10	μA

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
ΔI_{CC}	一个输入电压为 V_{CC} 至 0.6V，其他输入电压为 V_{CC} 或 GND	3V 至 5.5V			500	μA
C_I	$V_I = V_{CC}$ 或 GND	3.3V		3.5		pF
C_O	$V_O = V_{CC}$ 或 GND	3.3V		6.3		pF

5.6 开关特性

在自然通风条件下的工作温度范围内；典型值在 T_A = 25°C 时测得（除非另有说明）。请参阅*参数测量信息*

参数	从（输入）	至（输出）	负载电容	V_{CC}	-40°C 至 125°C			单位
					最小值	典型值	最大值	
t_{pd}	A 或 B	Y	C_L = 15pF	1.2V ± 0.1V			66.7	ns
				1.5V ± 0.12V			12.4	
				1.8V ± 0.15V			8.4	
				2.5V ± 0.2V			5.1	
				3.3V ± 0.3V			3.9	
				5.0V ± 0.5V			3.3	
			C_L = 30pF	1.8V ± 0.15V			9.4	
				2.5V ± 0.2V			5.7	
			C_L = 50pF	3.3V ± 0.3V			4.8	
				5.0V ± 0.5V			3.8	
C_{pd}			f = 10MHz	1.8V		4		pF
				2.5V		5		
				3.3V		5		
				5V		6		

Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t ≤ 2.5ns。

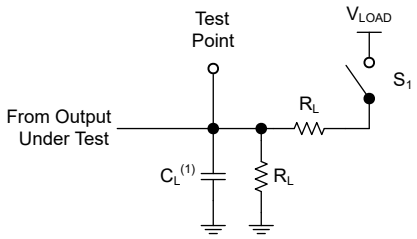
输出单独测量，每次测量一个输入转换。

表 6-1. 开漏输出

测试	S1
t_{PLZ}、t_{PZL}	闭合

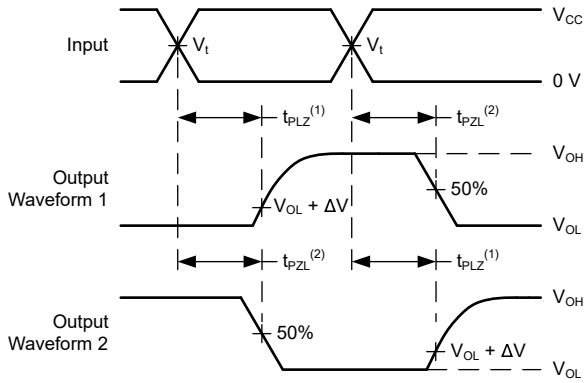
表 6-2. 三态或开漏输出

V_{CC}	V_t	R_L	C_L	Δ V	V_{LOAD}
1.8V ± 0.15V	V_{CC}/2	1kΩ	15pF/30pF	0.15V	2×V_{CC}
2.5V ± 0.2V	V_{CC}/2	500Ω	15pF/30pF	0.15V	2×V_{CC}
3.3V ± 0.3V	1.5V	500Ω	15pF/50pF	0.3V	6V
5.0V ± 0.5V	1.5V	500Ω	15pF/50pF	0.3V	6V



(1) C_L 包括探头和测试夹具电容。

图 6-1. 开漏输出的负载电路



(1) t_{PLZ} 与 t_{dis} 相同。

(2) t_{PZL} 与 t_{en} 相同。

图 6-2. 电压波形传播延迟

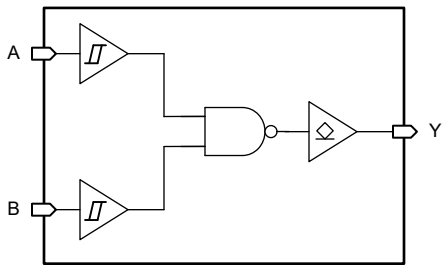
Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

SN74LVC1G135B-Q1 器件是一款具有开漏输出的单路 2 输入正与门。该器件以正逻辑执行布尔函数 $Y = \overline{A \cdot B}$ 或 $Y = \bar{A} + B$。该器件可作为具有施密特触发输入的独立缓冲器，因此该器件针对正向 (V_{T+}) 和负向 (V_{T-}) 信号具有不同的输入阈值电平，可提供磁滞 (ΔV_T)，从而使器件能够耐受慢速或高噪声输入信号。

7.2 功能方框图



逻辑图（正逻辑）

7.3 特性说明

7.3.1 开漏 CMOS 输出

开漏输出包含在 SN74LVC1G135B-Q1 中。开漏输出仅能将输出驱动为低电平。当置于高逻辑状态时，输出处于高阻抗状态，这意味着输出既不会拉出电流，也不会灌入电流（*电气特性* 表中定义的小漏电流除外）。在高阻抗状态下，输出电压不受 SN74LVC1G135B-Q1 控制，而取决于外部因素。

受高阻抗状态影响，需要使用一个外部上拉电阻器来定义逻辑高电平。如果没有上拉电阻器，输出将悬空并处于未定义的逻辑电平。电阻器的值取决于寄生电容和功耗等因素；通常，10kΩ 的电阻器是合适的。

SN74LVC1G135B-Q1 的驱动能力可在轻负载情况下产生快速边沿，因此在布线和负载设计时应注意防止振铃。此外，与能够连续处理电流的 SN74LVC1G135B-Q1 相比，输出能够驱动更高的电流。限制器件输出功率，以避免因过流导致损坏。始终遵守 *绝对最大额定值* 中规定的电气和热限值。有关可从外部连接到 SN74LVC1G135B-Q1 的最大输出电压，请参见*建议的运行条件* 表。

未使用的开漏 CMOS 输出应保持断开。

7.3.2 CMOS 施密特触发输入

此器件包括具有施密特触发架构的输入。这些输入为高阻抗，通常建模为从输入到地之间、与输入电容（电容值在*电气特性* 表中规定）并联的电阻器。最坏情况下的电阻是使用*绝对最大额定值* 表中给出的最大输入电压和*电气特性* 表中给出的最大输入漏电流，根据欧姆定律 (R = V ÷ I) 计算得出的。

施密特触发输入架构可提供由*电气特性* 表中的 ΔV_T 定义的迟滞，因而此器件能够很好地耐受慢速或高噪声输入。虽然输入的驱动速度可能比标准 CMOS 输入慢得多，但仍建议正确端接未使用的输入。使用缓慢的转换信号驱动输入会增加器件的动态电流消耗。有关施密特触发输入的其他信息，请参阅*了解施密特触发*。

7.3.3 局部断电 (I_{off})

该器件包含当电源引脚保持为 0V 时禁用所有输出的电路。禁用时，无论施加的输入电压是多少，输出都不会拉出或灌入电流。每个输出端的漏电流大小由*电气特性* 表中的 I_{off} 规格定义。

7.3.4 钳位二极管结构

图 7-1 展示了该器件的输入和输出仅布置负钳位二极管。

Copyright © 2026 Texas Instruments Incorporated

小心

电压超出*绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

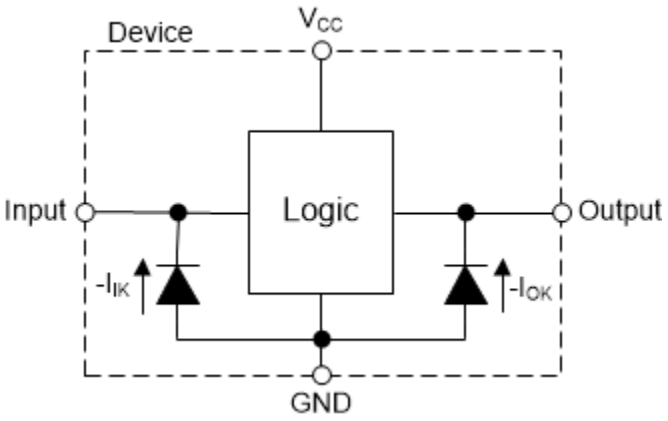


图 7-1. 每个输入和输出的钳位二极管的电气布置

7.3.5 过压容限输入

SN74LVC1G135B-Q1 包含耐过压输入。输入引脚通过使用不包含标准正钳位二极管的输入保护电路来支持大于电源电压的高电平状态输入电压。请参阅*建议运行条件*，了解建议的输入电压。

小心

不要超过*绝对最大额定值* 中的最大输入电压范围。超过最大输入电压范围额定值可能会立即对器件造成损坏或造成永久性损坏。

7.4 器件功能模式

功能表 列出了 SN74LVC1G135B-Q1 的功能模式。

表 7-1. 功能表

输入(1)		输出
A	B	Y
H	H	L
L	X	H
X	L	H

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

在该应用中，使用具有漏极开路输出的双输入与非门来驱动 LED。SN74LVC1G135B-Q1 用于打开指示灯 LED。当电源正常信号为高电平时，LED 亮起（表示电源已达到所需电压）。

8.2 典型应用

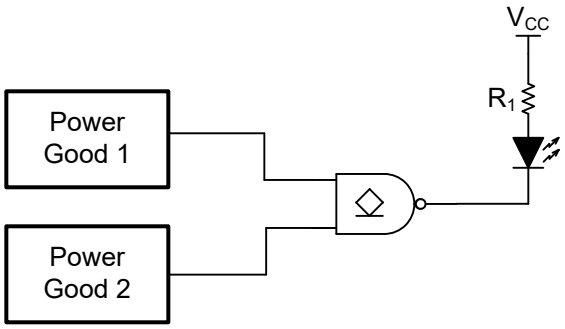


图 8-1. 典型应用框图

8.2.1 设计要求

8.2.1.1 电源注意事项

验证所需电源电压在*电气特性*中规定的范围内。电源电压按照*电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 最大静态电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。

地必须能够灌入的电流等于 SN74LVC1G135B-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入接地连接可灌入的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74LVC1G135B-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但是，TI 建议在输出端和电容器之间添加一个串联电阻器，以防止电流过大。

SN74LVC1G135B-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性* 表中用 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*应用手册中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*应用手册中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{t-(min)}$ 才能被视为逻辑低电平，超过 $V_{t+(max)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

Copyright © 2026 Texas Instruments Incorporated

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LVC1G135B-Q1 的漏电流（如*电气特性*中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SN74LVC1G135B-Q1 由于器件具有施密特触发输入，因而没有输入信号转换速率要求。

具有施密特触发输入的另一个优势是能够抑制噪声。振幅足够大的噪声仍然会导致问题。要了解噪声大到什么程度才是过大，请参考电气特性中的 $\Delta V_{T(min)}$。此迟滞值会提供峰峰值限制。

与标准 CMOS 输入不同，施密特触发输入可以保持在任何有效值，而不会导致功耗大幅增加。将输入保持在 V_{CC} 或地电平以外的值所导致的典型附加电流绘制在典型特性中。

有关此器件的输入的附加信息，请参阅*特性描述*。

8.2.1.3 输出注意事项

接地电压用于产生低电平输出电压。根据*电气特性*中 V_{OL} 规格所示，向输出端灌入电流会提高输出电压。

开漏输出可以直接连接在一起，以实现线与配置或获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明*部分。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局*部分中展示了示例布局。
2. 验证输出端的容性负载是否 ≤ 50pF。低负载电容可以通过从 SN74LVC1G135B-Q1 向接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC} / I_{O(max)})$Ω。切勿超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用 *CMOS 功耗与 Cpd 计算*应用手册中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

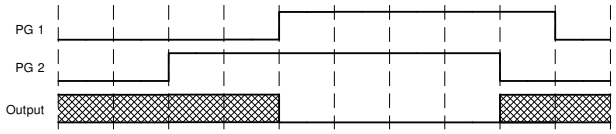


图 8-2. 典型应用时序图

8.3 电源相关建议

电源可以是*建议运行条件*中所列最小和最大电源电压额定值之间的任何电压。

确保每个 V_{CC} 端子都配置了良好的旁路电容器，以防功率止干扰。对于 SN74LVC1G135B-Q1，建议使用 0.1μF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 0.1μF 和 1μF 的电容器通常并联使用。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面

Copyright © 2026 Texas Instruments Incorporated

- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

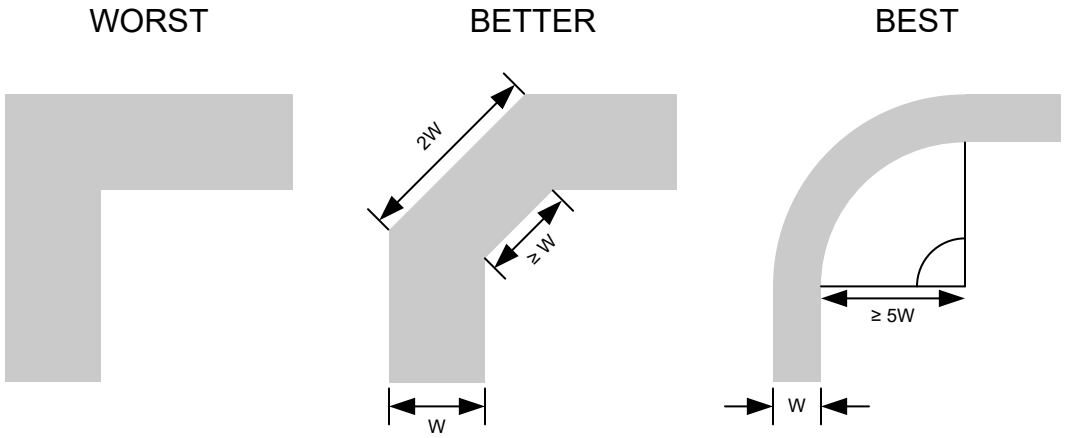


图 8-3. 可改善信号完整性的布线转角示例

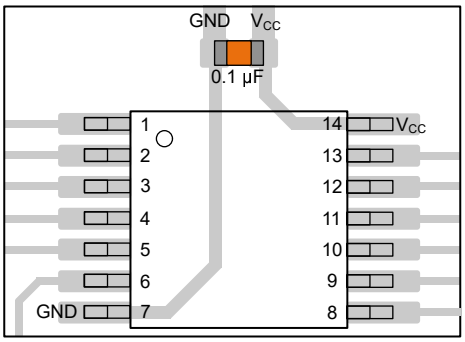


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

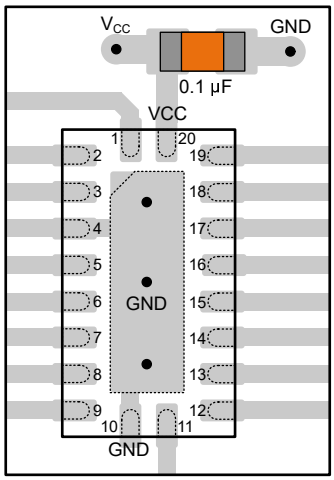


图 8-5. WQFN 和类似封装的旁路电容器放置示例

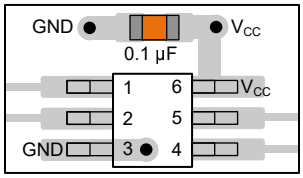


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

Copyright © 2026 Texas Instruments Incorporated

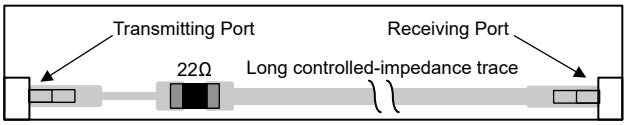


图 8-7. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用手册
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
August 2026	*	初始发行版

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CLVC1G135BDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	3WBF
CLVC1G135BDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	25G
CLVC1G135BDTXRQ1	Active	Production	X2SON (DTX) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	E

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G135B-Q1 :

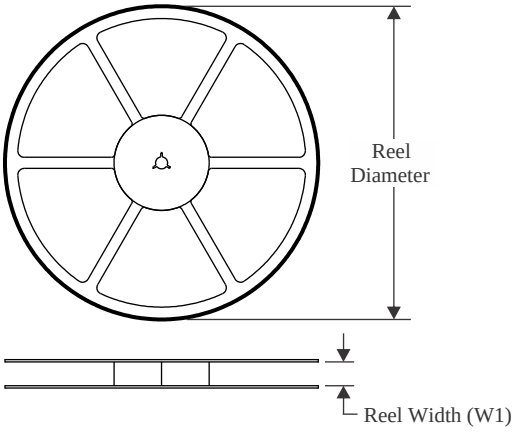
- Catalog : SN74LVC1G135B

NOTE: Qualified Version Definitions:

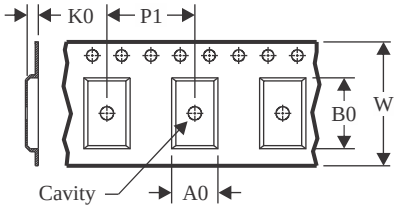
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

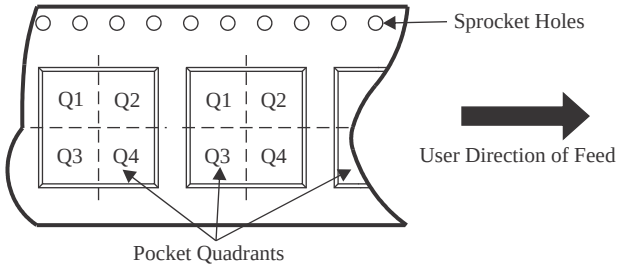


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

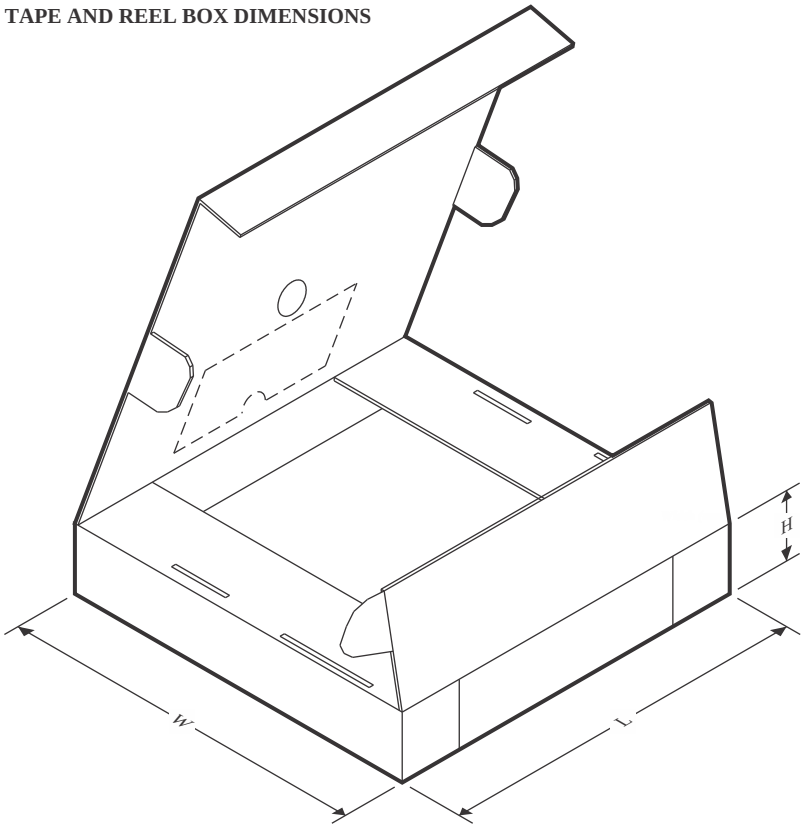
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLVC1G135BDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
CLVC1G135BDCKRQ1	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
CLVC1G135BDTXRQ1	X2SON	DTX	5	3000	180.0	8.4	1.0	1.25	0.48	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

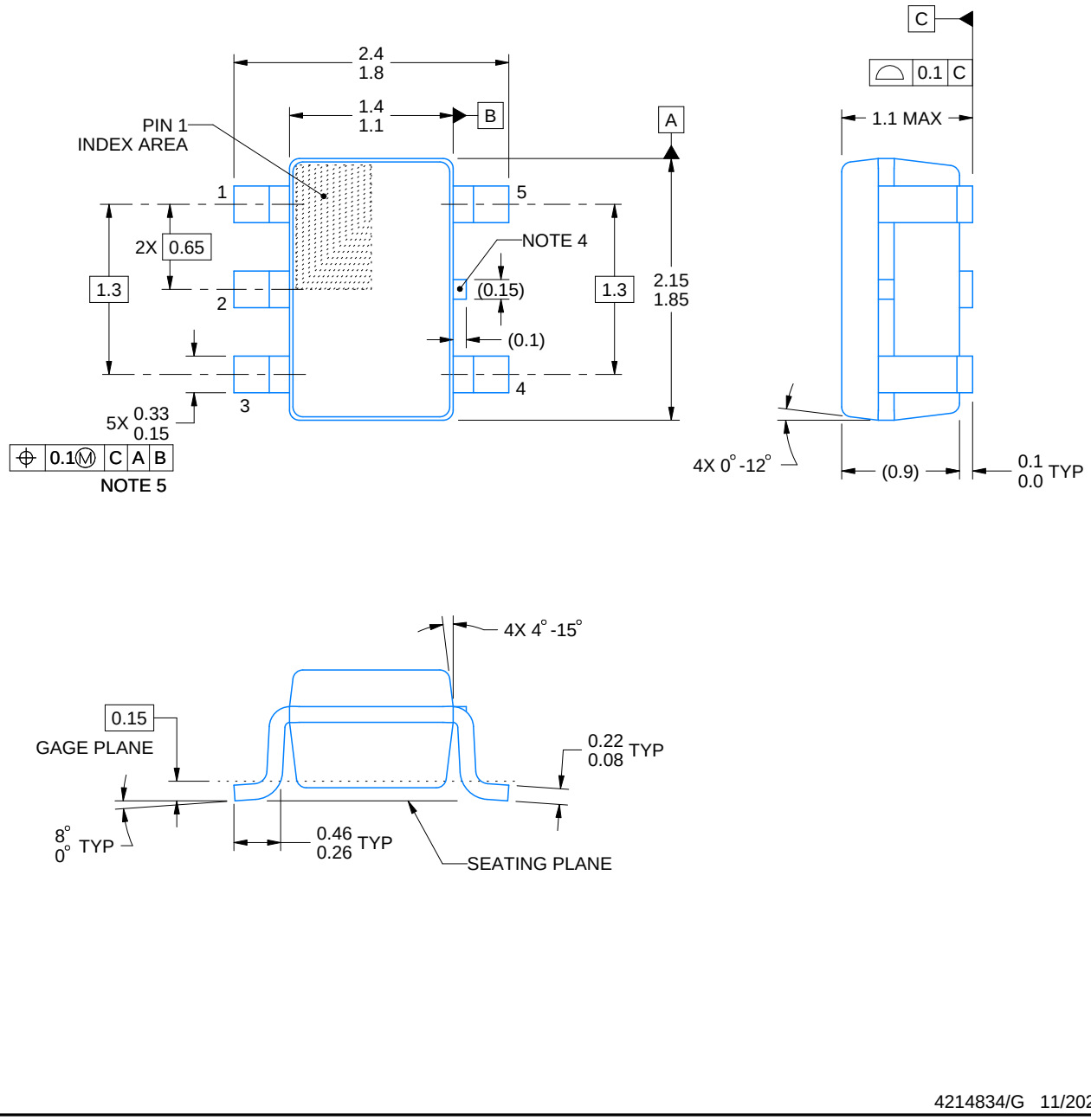
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLVC1G135BDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
CLVC1G135BDCKRQ1	SC70	DCK	5	3000	210.0	185.0	35.0
CLVC1G135BDTXRQ1	X2SON	DTX	5	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

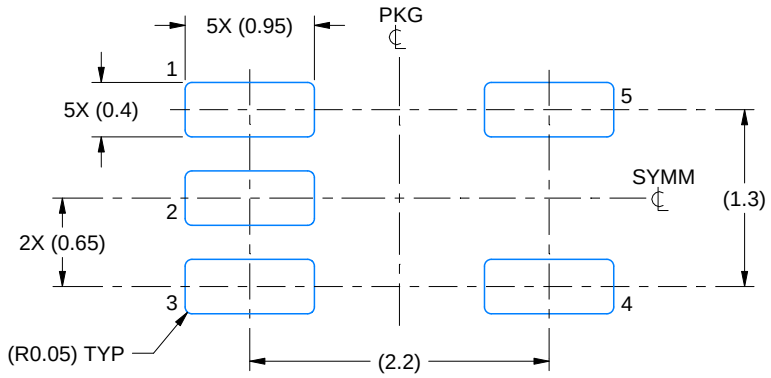
SMALL OUTLINE TRANSISTOR



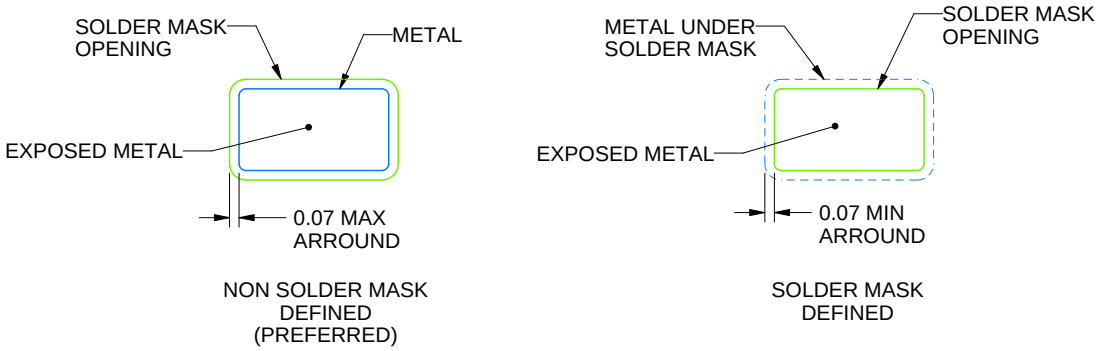
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

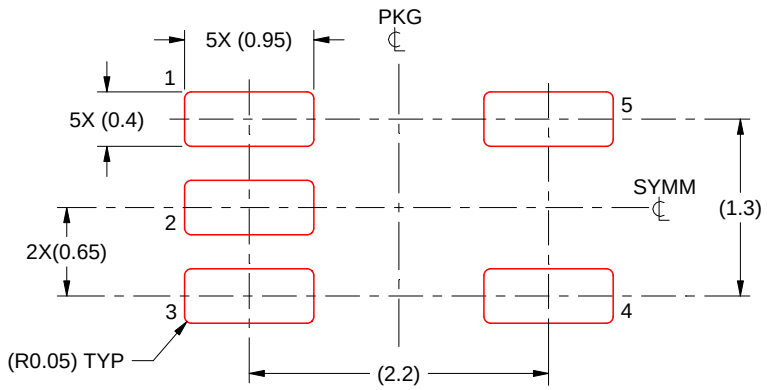


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

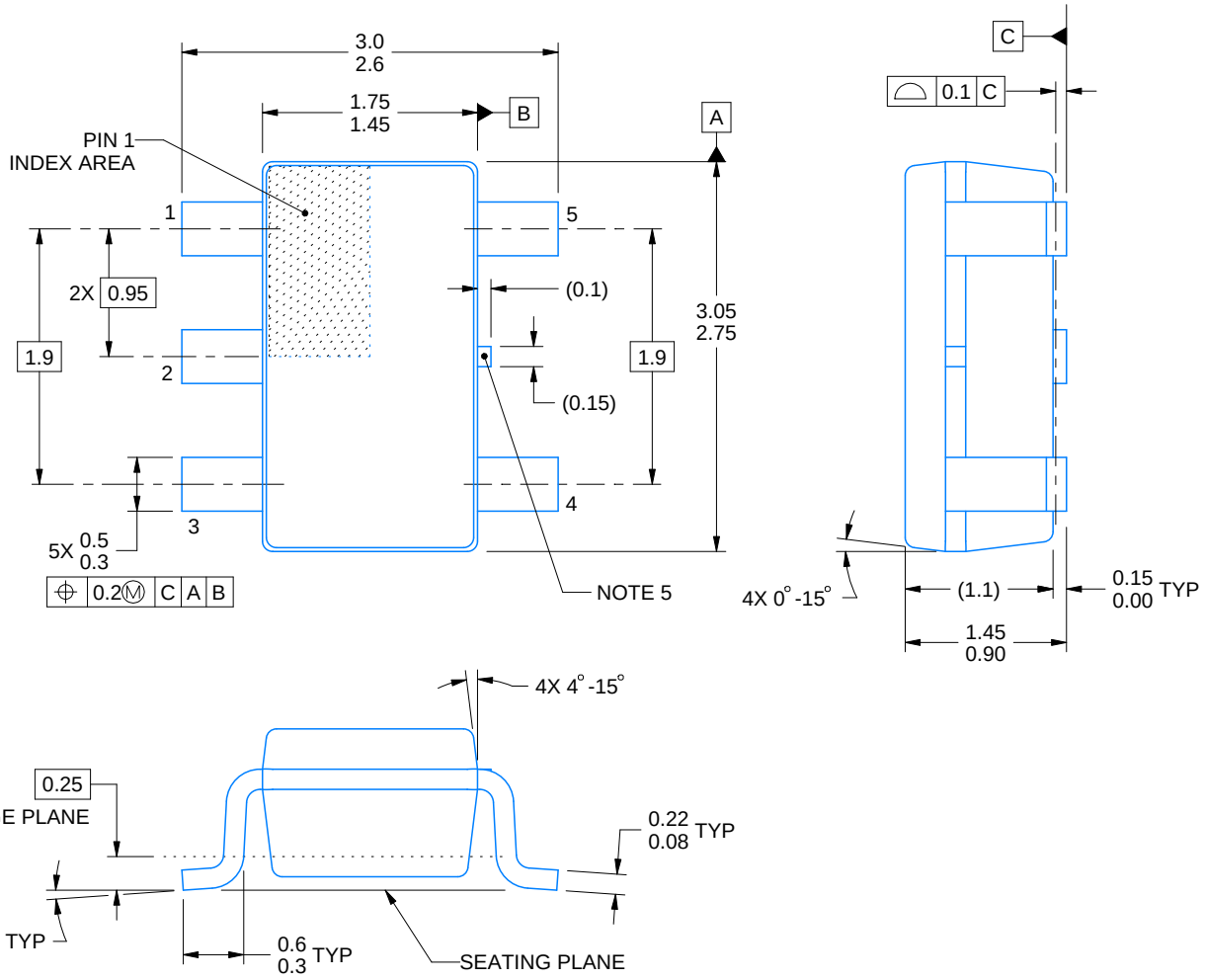
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

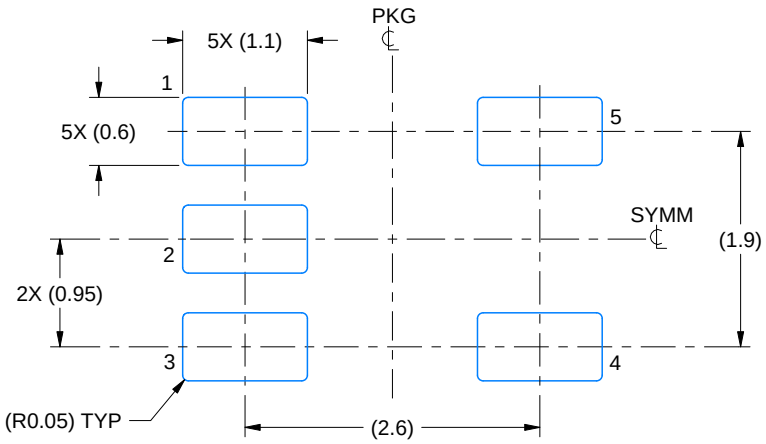
SMALL OUTLINE TRANSISTOR



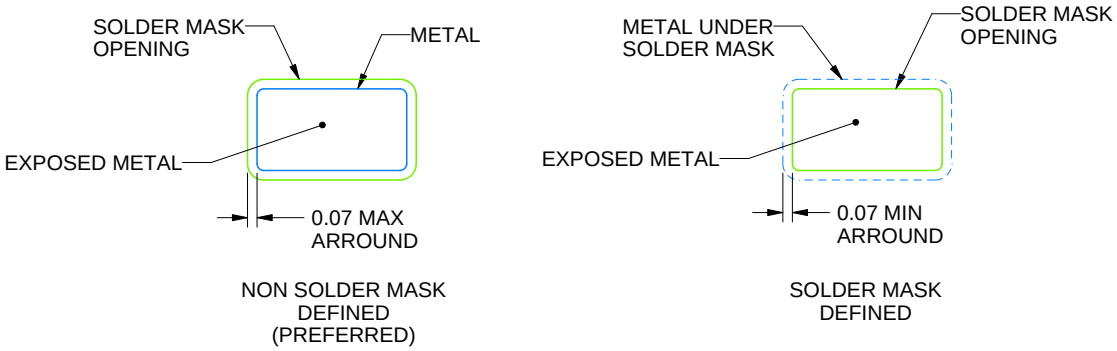
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

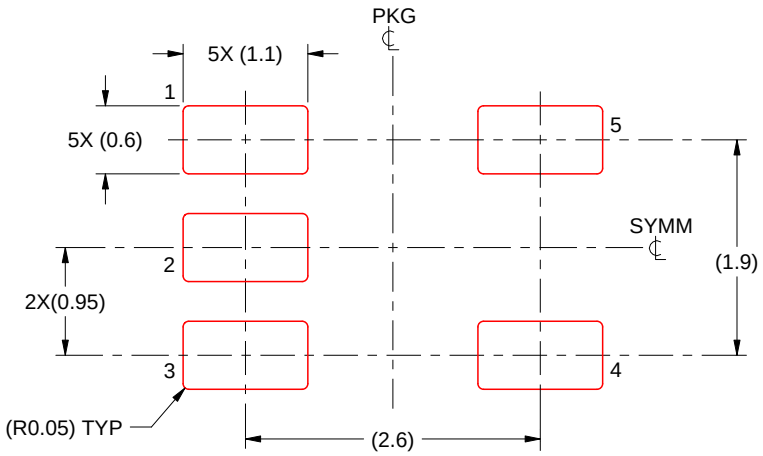


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

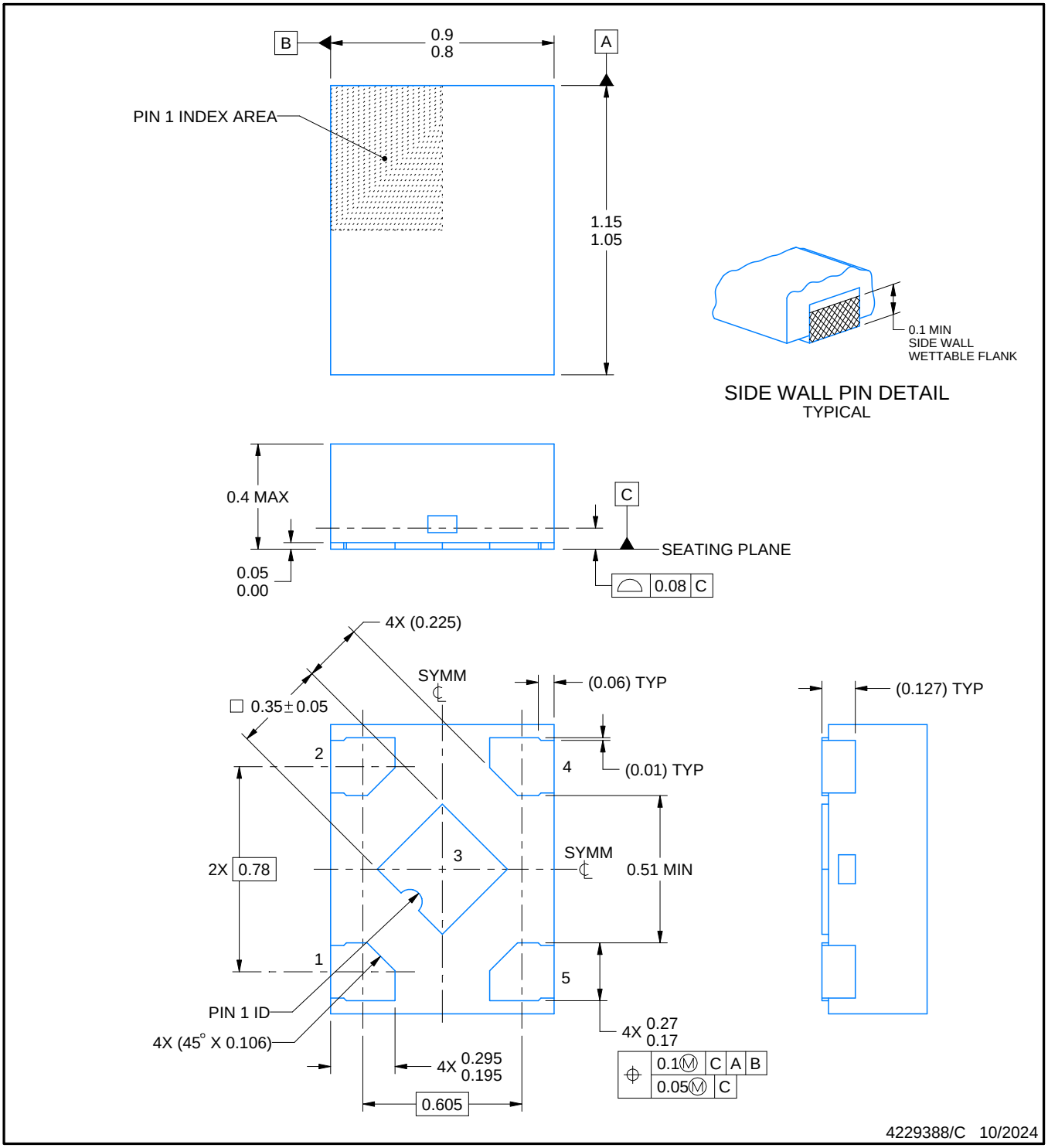
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DTX0005A

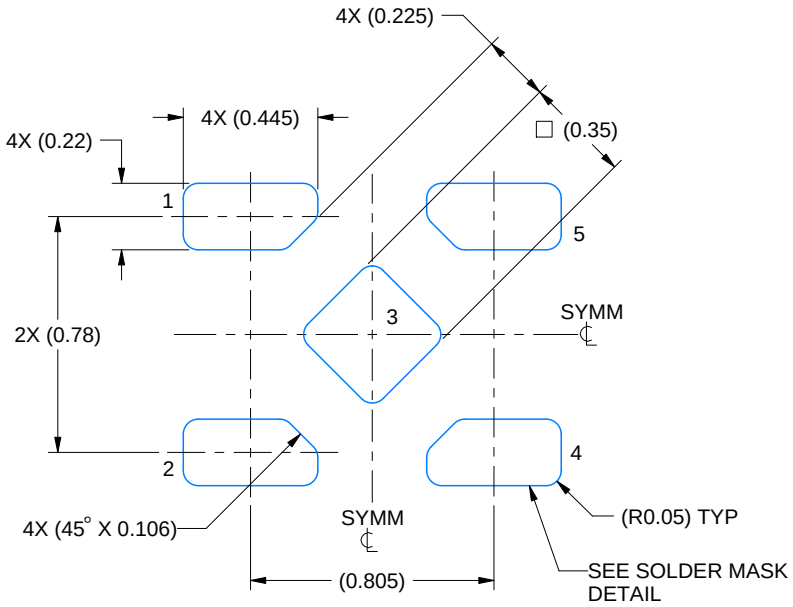
X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

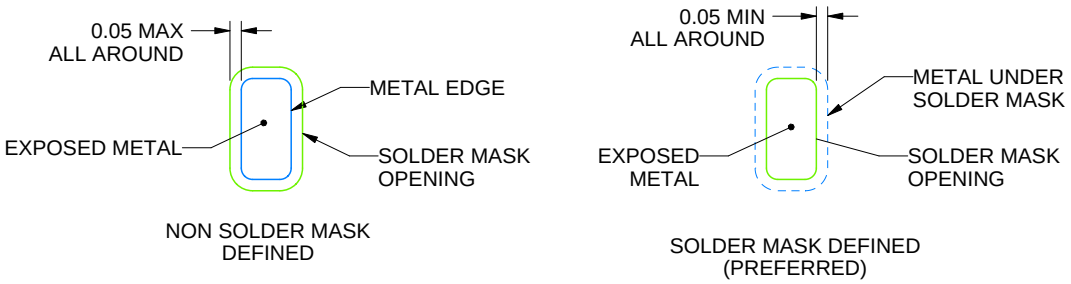


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

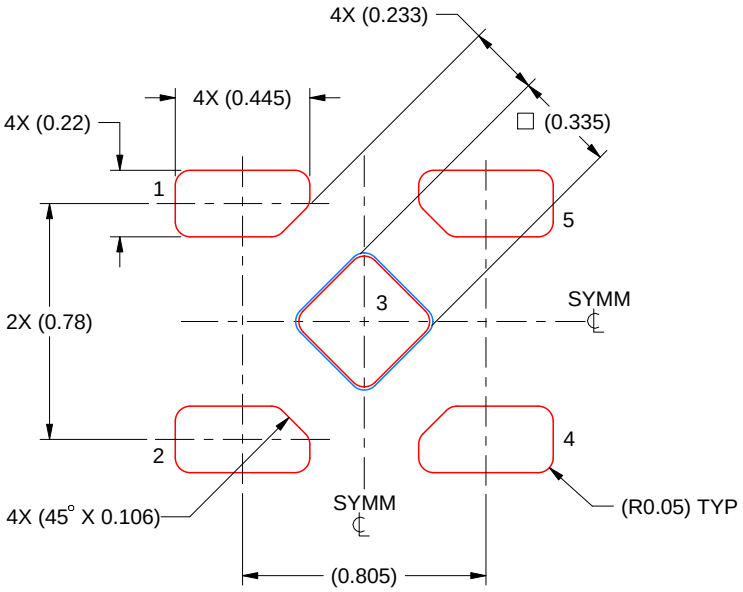


SOLDER MASK DETAILS

4229388/C 10/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 40X

PRINTED SOLDER PASTE COVERAGE BY AREA UNDER PACKAGE
PAD 5: 92%

4229388/C 10/2024

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月