SN74LVC1G11 单通道三输入正与门

1 特性

- 闩锁性能超过 100mA，符合 JESD 78 II 类规范
- ESD 保护性能超过 JESD 22 规范要求
  - ±2000V 人体放电模型 (A114-A)
  - ±1000V 充电器件模型 (C101)
- 采用德州仪器 (TI) NanoFree™ 封装
- 支持 5V V_{CC} 运行
- 输入电压高达 5.5V
- 3.3V 时，t_{pd} 最大值为 4.1ns
- 低功耗，I_{CC} 最大值为 10 µA
- 3.3V 时，输出驱动为 ±24mA
- I_{off} 支持局部省电模式运行

2 应用

- AV 接收器
- DLP 正投影系统
- 数码相框
- 数字音频广播
- 数码相机
- 数码摄像机 (DVC)
- 嵌入式个人电脑 (PC)
- 电子书
- 以太网交换机
- GPS：个人导航设备
- 手持终端：智能手机
- 高速数据采集和生成
- 军用：雷达和声纳
- 移动互联网设备
- 笔记本电脑和上网本
- 网络附属存储 (NAS)
- 电力线通信调制解调器
- 服务器 PSU
- STB、DVR 和流媒体
- 主讲人：USB
- 平板电脑：企业级
- 视频广播与基础设施：可扩展平台和基于 IP 的多格式转码器
- 无线耳机、键盘和鼠标

3 说明

SN74LVC1G11 以正逻辑执行布尔函数 $Y = A \cdot B \cdot C$ or $Y = \overline{\overline{A} + \overline{B} + \overline{C}}$。

NanoFree 封装技术是 IC 封装概念的一项重大突破，它将硅晶片用作封装。

该器件专用于使用 I_{off} 的局部断电应用。I_{off} 电路可禁用输出，以防在器件断电时电流回流对器件造成损坏。

器件信息

器件型号	封装(1)	本体尺寸(2)
SN74LVC1G11	DBV（SOT-23，6）	2.90mm × 1.60mm
	DCK（SC70，6）	2.00mm × 1.25mm
	DRY（SON，6）	1.45mm × 1.00mm
	DSF (SON, 6)	1.00mm × 1.00mm
	YZP（DSBGA，6）	1.41mm × 0.91mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 5
5.5 电气特性 5
5.6 开关特性，C_L = 15pF 6
5.7 开关特性，C_L = 30pF 或 50pF 6
5.8 开关特性，C_L = 30pF 或 50pF 6
5.9 工作特性 6
5.10 典型特性 7
6 参数测量信息 8
7 详细说明 9
7.1 概述 9
7.2 功能方框图 9
7.3 特性说明 9
7.4 器件功能模式 9
8 应用和实施 10
8.1 应用信息 10
8.2 典型应用 10
8.3 电源相关建议 11
8.4 布局 11
9 器件和文档支持 13
9.1 文档支持（模拟） 13
9.2 接收文档更新通知 13
9.3 支持资源 13
9.4 商标 13
9.5 静电放电警告 13
9.6 术语表 13
10 修订历史记录 13
11 机械、封装和可订购信息 14

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

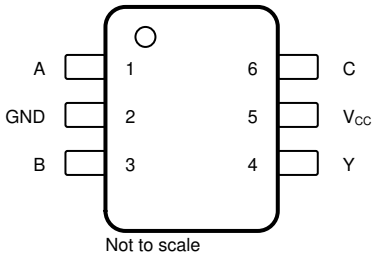


图 4-1. DBV 或 DCK 封装、6 引脚 SOT-23 或 SOT-SC70（顶视图）

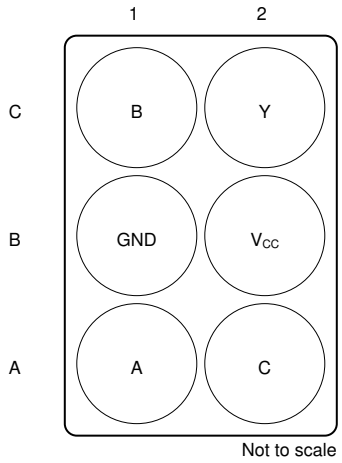


图 4-2. YZP 封装、6 引脚 DSBGA（底视图）

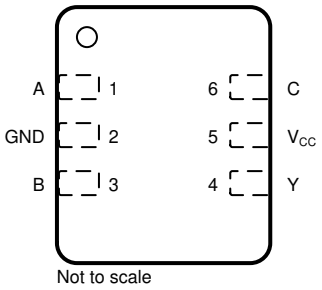
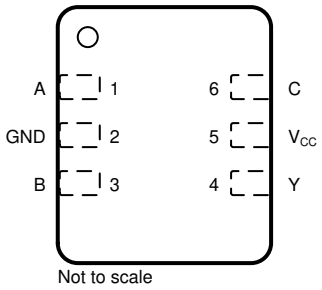


图 4-3. DRY 封装 6 引脚 SON（顶视图）



请参阅机械制图，了解尺寸。

图 4-4. DSF 封装 6 引脚 SON 顶视图

表 4-1. 引脚功能

引脚			I/O[1]	说明
名称	SOT-23、SOT-SC70、SON、SON	DSBGA		
A	1	A1	I	A 输入
B	3	C1	I	B 输入
C	6	A2	I	C 输入
GND	2	B1	—	接地
V_{CC}	5	B2	—	电源
Y	4	C2	O	Y 输出

(1) I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	6.5	V
V_I	输入电压(2)		-0.5	6.5	V
V_O	施加到任一处于高阻抗或断电状态输出的电压(2)		-0.5	6.5	V
V_O	施加到任一处于高电平或低电平状态输出的电压(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*下面列出的值可能会对器件造成永久损坏。这些仅为应力等级，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，有可能超过输入负电压和输出电压额定值。
(3) V_{CC} 的值在*建议运行条件*表中提供。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压	工作	1.65	5.5	V
		仅数据保留	1.5		
V_{IH}	高电平输入电压	V_{CC} = 1.65V 至 1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V 至 2.7V	1.7		
		V_{CC} = 3V 至 3.6V	2		
		V_{CC} = 4.5V 至 5.5V	0.7 × V_{CC}		
V_{IL}	低电平输入电压	V_{CC} = 1.65V 至 1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V 至 2.7V		0.7	
		V_{CC} = 3V 至 3.6V		0.8	
		V_{CC} = 4.5V 至 5.5V		0.3 × V_{CC}	
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 1.65V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 3V		-16	
				-24	
		V_{CC} = 4.5V		-32	

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
I_{OL}	低电平输出电流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 3V		16	
				24	
		V_{CC} = 4.5V		32	
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 1.8V ± 0.15V，2.5V ± 0.2V		20	ns/V
		V_{CC}=3.3V±0.3V		10	
		V_{CC}=5V±0.5V		10	
T_A	自然通风条件下的工作温度范围	BGA 封装	-40	85	°C
		所有其他封装	-40	125	

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 *CMOS 输入缓慢变化或悬空的影响*，SCBA004。

5.4 热性能信息

热指标(1)		SN74LVC1G11					单位
		DBV (SOT-23)	DCK (SC70)	DRY (SON)	YZP (DSBGA)	DSF (SON)	
		6 引脚	6 引脚	6 引脚	6 引脚	6 引脚	
$R_{\theta JA}$	结至环境热阻	195.9	260.1	424.6	105.8	413.7	°C/W
$R_{\theta JCtop}$	结至外壳（顶部）热阻	177.4	98.1	309	1.6	226.6	°C/W
$R_{\theta JB}$	结至电路板热阻	51.7	63.1	292	10.8	317	°C/W
Ψ_{JT}	结至顶部特征参数	61.3	2.2	135.4	3.1	37.4	°C/W
Ψ_{JB}	结至电路板特征参数	51.3	62.4	292	10.8	317	°C/W
$R_{\theta JCbot}$	结至外壳（底部）热阻	—	—	—	—	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{OH}		I_{OH} = -100 µA	1.65V 至 5.5V	V_{CC} – 0.1			V
		I_{OH} = -4mA	1.65V	1.2			
		I_{OH} = -8mA	2.3V	1.9			
		I_{OH} = -16mA	3V	2.4			
		I_{OH} = -24mA		2.3			
		I_{OH} = -32mA	4.5V	3.8			
V_{OL}		I_{OL}=100 µA	1.65V 至 5.5V			0.1	V
		I_{OL} = 4mA	1.65V			0.45	
		I_{OL} = 8mA	2.3V			0.3	
		I_{OL} = 16mA	3V			0.4	
		I_{OL} = 24mA				0.55	
		I_{OL} = 32mA	4.5V			0.55	
I_I	所有输入	V_I = 5.5V 或 GND	0V 至 5.5V			±5	µA
I_{off}		V_I 或 V_O = 5.5V	0			±10	µA
I_{CC}		V_I = 5.5V 或 GND，I_O = 0	1.65V 至 5.5V			10	µA
ΔI_{CC}		一个输入电压为 V_{CC} – 0.6V，其他输入电压为 V_{CC} 或 GND	3V 至 5.5V			500	µA

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	最小值	典型值	最大值	单位
C_i	$V_I = V_{CC}$ 或 GND	3.3V		3.5		pF

5.6 开关特性，C_L = 15pF

在自然通风条件下的建议工作温度范围内测得，C_L = 15pF，T_A = –40°C 至 +85°C（除非另有说明）（请参阅图 6-1）

参数	从（输入）	至（输出）	V_{CC}	最小值	最大值	单位
t_{pd}	A、B 或 C	Y	V_{CC} = 1.8V ± 0.15V	2.6	15.2	ns
			V_{CC}=2.5V±0.2V	1.6	5.6	
			V_{CC}=3.3V±0.3V	1.2	4.1	
			V_{CC}=5V±0.5V	1	3.1	

5.7 开关特性，C_L = 30pF 或 50pF

在自然通风条件下的建议工作温度范围内测得，C_L = 30pF 或 50pF，T_A = –40°C 至 +85°C（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	V_{CC}	最小值	最大值	单位
t_{pd}	A、B 或 C	Y	V_{CC} = 1.8V ± 0.15V	2.9	17.2	ns
			V_{CC}=2.5V±0.2V	1.4	6.2	
			V_{CC}=3.3V±0.3V	1.3	4.9	
			V_{CC}=5V±0.5V	1	3.5	

5.8 开关特性，C_L = 30pF 或 50pF

在自然通风条件下的建议工作温度范围内测得，C_L = 30pF 或 50pF，T_A = –40°C 至 +125°C（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	V_{CC}	最小值	最大值	单位
t_{pd}	A、B 或 C	Y	V_{CC} = 1.8V ± 0.15V	2.9	20	ns
			V_{CC}=2.5V±0.2V	1.4	7.8	
			V_{CC}=3.3V±0.3V	1.3	6.2	
			V_{CC}=5V±0.5V	1	4.6	

5.9 工作特性

T_A = 25°C

参数		测试条件	V_{CC}	典型值	单位
C_{pd}	功率耗散电容	f = 10MHz	V_{CC} = 1.8V	18	pF
			V_{CC} = 2.5V	19	
			V_{CC} = 3.3V	20	
			V_{CC} = 5V	23	

Copyright © 2024 Texas Instruments Incorporated

5.10 典型特性

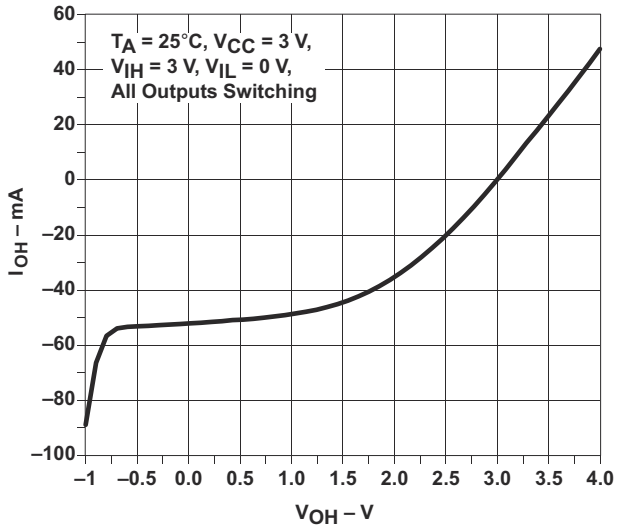
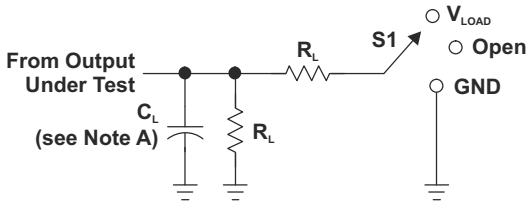


图 5-1. 输出驱动电流与高电平输出电压间的关系

Copyright © 2024 Texas Instruments Incorporated

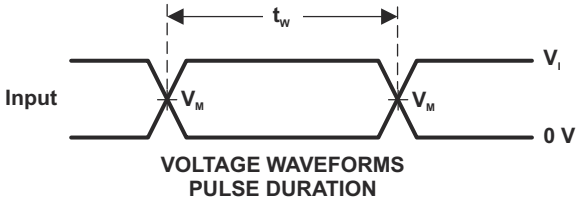
6 参数测量信息



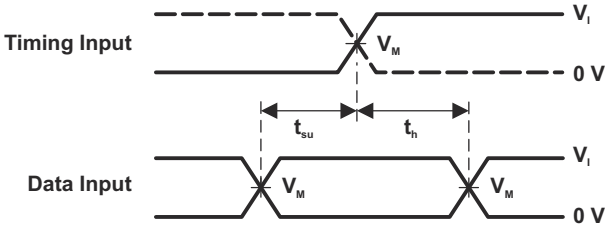
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

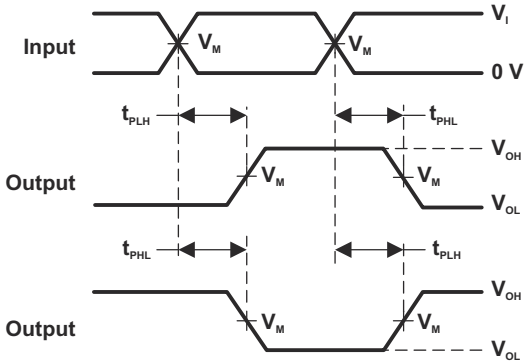
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	15 pF	1 MΩ	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.3 V



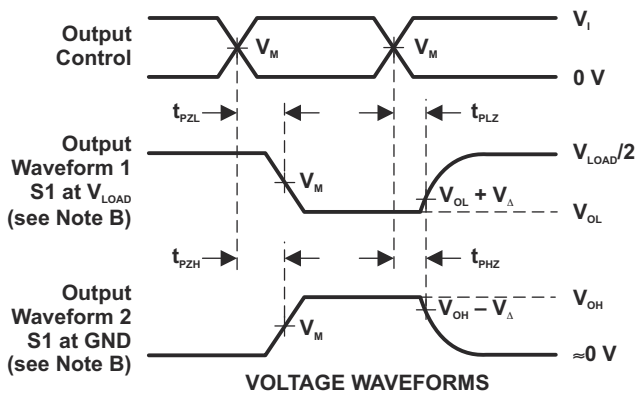
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

按照设计，此三路输入与门可在 1.65V 至 5.5V V_{CC} 电压下运行。

SN74LVC1G11 器件是三路输入与门。输出状态由 3 位输入的 8 种模式决定。可以将所有输入连接至 V_{CC} 或 GND。

该器件完全符合使用 I_{off} 的部分断电应用的规范要求。I_{off} 电路可禁用输出，以防在器件断电时电流回流对器件造成损坏。

7.2 功能方框图

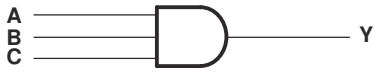


图 7-1. 逻辑图（正逻辑）

7.3 特性说明

SN74LVC1G11 器件具有 1.65V 至 5.5V 的宽工作 V_{CC} 范围，因此可用于各种系统。5.5V I/O 支持降压转换，还允许在 V_{CC} = 0V 时在输入端施加电压。

7.4 器件功能模式

表 7-1 列出了 SN74LVC1G11 器件的功能模式。

表 7-1. 功能表

输入			输出
A	B	C	Y
H	H	H	H
L	X	X	L
X	L	X	L
X	X	L	L

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74LVC1G11 器件为许多设计应用提供逻辑与配置。本示例介绍了使用与门配置的基本电源时序。电源时序通常用于需要具有特定电压时序要求的处理器或其他精密器件的应用，以保护器件免受故障的影响。在下面的应用中，来自电源的电源正常信号会通知 MCU 继续运行。

8.2 典型应用

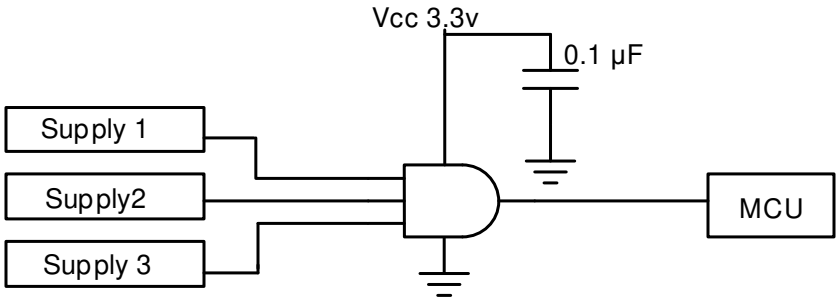


图 8-1. 典型应用图

8.2.1 设计要求

- 建议的输入条件：
  - 有关上升时间和下降时间规格，请参阅*建议运行条件*表中的 Δt/Δv。
  - 有关指定的高电平和低电平，请参阅*建议运行条件*表中 V_{IH} 和 V_{IL}。
  - 输入和输出具有过压容限，因此在任何有效 V_{CC} 下均高达 5.5V。
- 建议的输出条件：
  - 负载电流不得超过 ±50mA。
- 频率选择标准：
  - 图 8-2 说明了频率对输出电流的影响。
  - 添加的布线电阻和电容会降低最大频率能力。请遵循*布局*部分中列出的布局操作。

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

SN74LVC1G11 器件采用 CMOS 技术并具有平衡输出驱动。避免总线争用，因为它可以驱动超过最大限制的电流。

SN74LVC1G11 允许针对数字信号执行逻辑与运算。将输入信号保持在尽可能接近 0V 或 V_{CC} 的位置，以实现卓越运行。

8.2.3 应用曲线

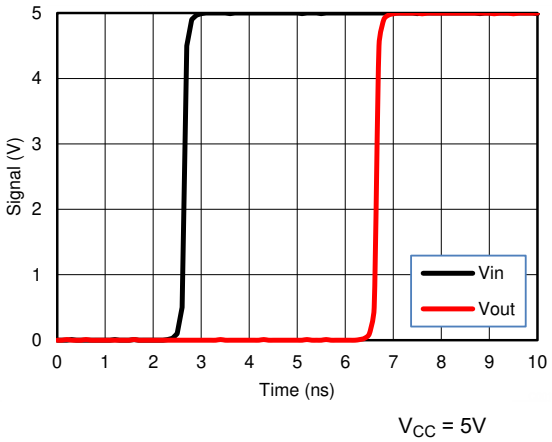


图 8-2. 显示传播延迟的模拟输入至输出电压响应

8.3 电源相关建议

电源可以是*建议运行条件*中所列最小和最大电源电压额定值之间的任何电压。

为了防止功率干扰，请确保每个 V_{CC} 端子均具有良好的旁路电容。对于单电源器件，建议使用 0.1 µF 旁路电容器。如果多个引脚被标记为 V_{CC}，鉴于 V_{CC} 引脚在电路内部彼此相连，建议为每个 V_{CC} 引脚配备一个 0.01 µF 或 0.022 µF 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 0.1µF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子。

8.4 布局

8.4.1 布局指南

当使用多位逻辑器件时，输入决不能悬空。

在许多情况下，是未使用数字逻辑器件的全部或部分功能（例如，仅使用三输入与门的两个输入，或仅使用 4 个缓冲门中的 3 个）。此类输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的运行状态。图 8-3 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至一个高或低偏置以防止悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们会连接到 GND 或 V_{CC}，具体取决于哪种更合理或更方便。使输出悬空通常是可以接受的，除非该器件是收发器。如果收发器有一个输出使能引脚，它会在置为有效时禁用该器件的输出部分，但 I/O 的输入部分不会禁用。因此，I/O 在禁用时不能悬空。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

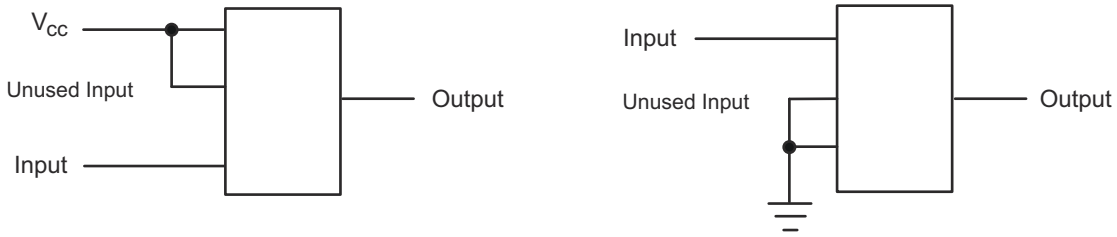


图 8-3. 布局图

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持（模拟）

9.1.1 相关文档

请参阅以下相关文档：

- *慢速或浮点 CMOS 输入的影响*，SCBA004
- *选择合适的德州仪器 (TI) 信号开关*，SZZA030

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知*进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

NanoFree™ is a trademark of Texas Instruments.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (November 2016) to Revision I (November 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 更新了 DCK 封装引脚排列图	3
• 删除了重复的*负载电路和电压波形*图	8

Changes from Revision G (December 2015) to Revision H (November 2016)	Page
• 删除了*特性*中的 200V 机器放电模型	1
• 更改了引脚排列图以使引脚名称和引脚编号更加清晰	3
• 向*引脚功能*表添加了 DSBGA 引脚编号	3
• 添加了自然通风条件为 BGA 封装的工作温度范围 (T_A)	4

Copyright © 2024 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G11DBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C115, C11F, C11K, C11R)
SN74LVC1G11DBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C115, C11F, C11K, C11R)
SN74LVC1G11DBVRE4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C11F, C11R)
SN74LVC1G11DBVRG4	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C11F, C11R)
SN74LVC1G11DBVRG4.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C11F, C11R)
SN74LVC1G11DCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C35, C3F, C3J, C3K, C3R)
SN74LVC1G11DCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C35, C3F, C3J, C3K, C3R)
SN74LVC1G11DCKRE4	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C35
SN74LVC1G11DCKRG4	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C35
SN74LVC1G11DCKRG4.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C35
SN74LVC1G11DRYR	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DRYR.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DRYRG4	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DRYRG4.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFR	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFR.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFRG4	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11DSFRG4.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C3
SN74LVC1G11YZPR	Active	Production	DSBGA (YZP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	C3N
SN74LVC1G11YZPR.B	Active	Production	DSBGA (YZP) | 6	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	C3N

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G11 :

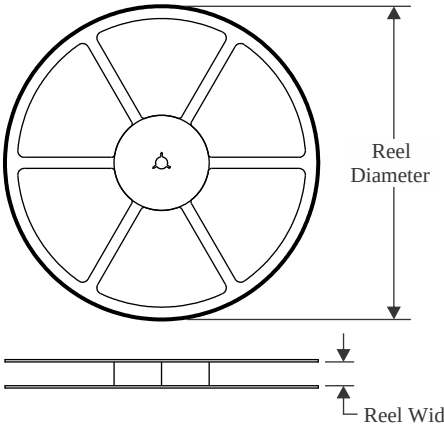
- Automotive : SN74LVC1G11-Q1
- Enhanced Product : SN74LVC1G11-EP

NOTE: Qualified Version Definitions:

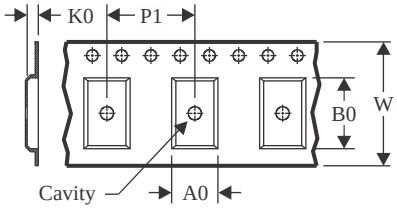
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

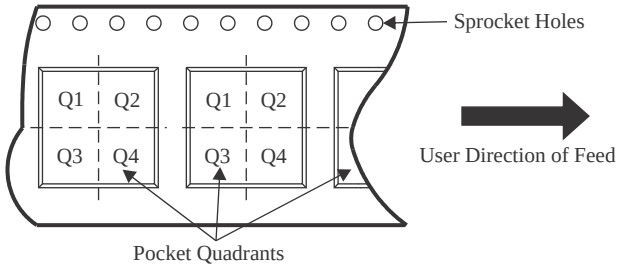


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

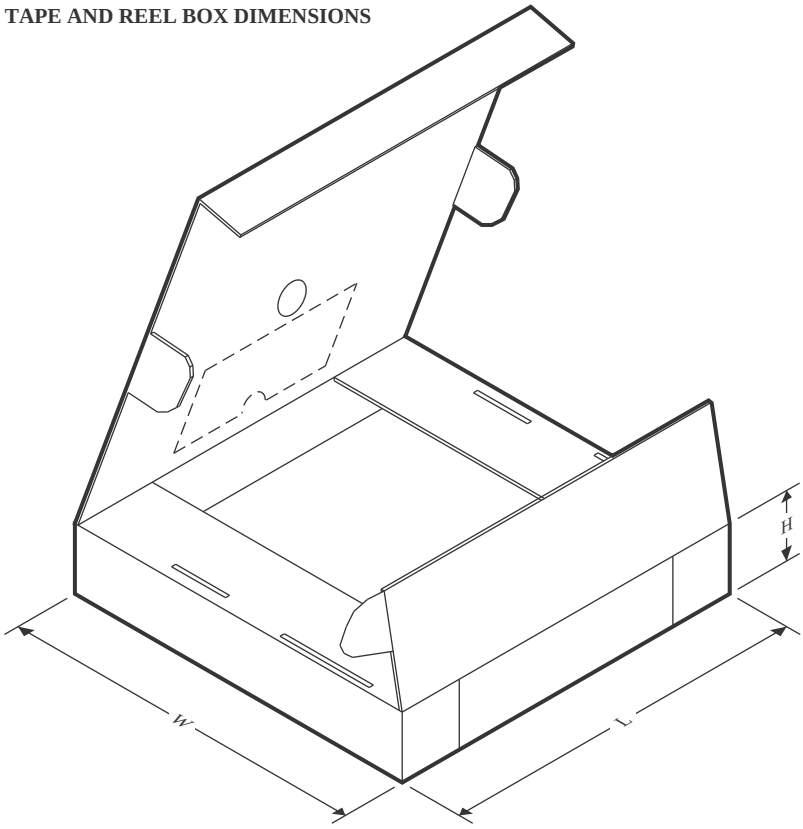


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	8.4	2.41	2.41	1.2	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G11DCKRG4	SC70	DCK	6	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G11DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G11DRYRG4	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G11DSFR	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G11DSFRG4	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G11YZPR	DSBGA	YZP	6	3000	178.0	9.2	1.02	1.52	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	202.0	201.0	28.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G11DBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	210.0	185.0	35.0
SN74LVC1G11DBVRG4	SOT-23	DBV	6	3000	180.0	180.0	18.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	202.0	201.0	28.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	208.0	191.0	35.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G11DCKR	SC70	DCK	6	3000	210.0	185.0	35.0
SN74LVC1G11DCKRG4	SC70	DCK	6	3000	180.0	180.0	18.0
SN74LVC1G11DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G11DRYRG4	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G11DSFR	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G11DSFRG4	SON	DSF	6	5000	184.0	184.0	19.0

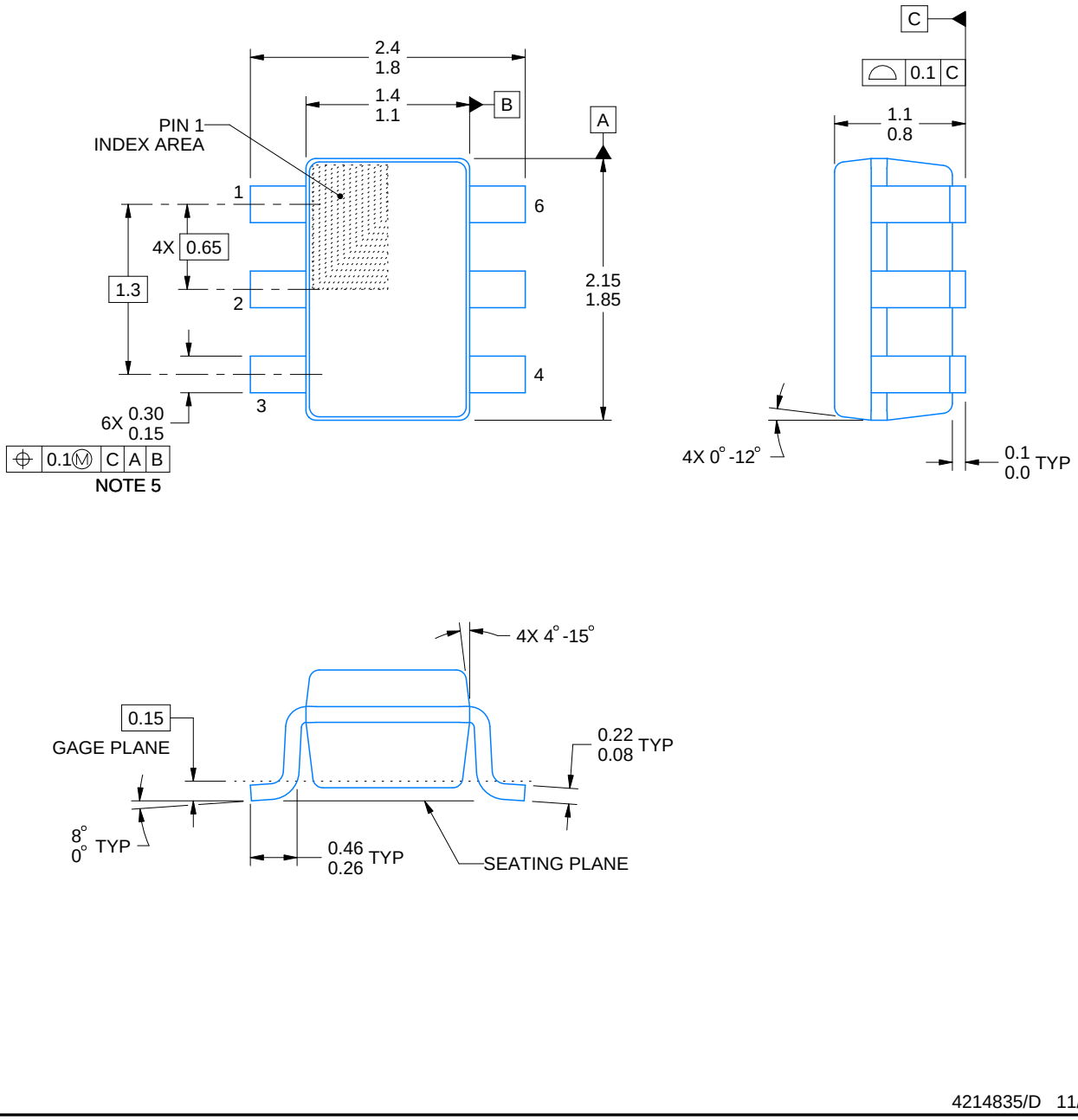
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G11YZPR	DSBGA	YZP	6	3000	220.0	220.0	35.0

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

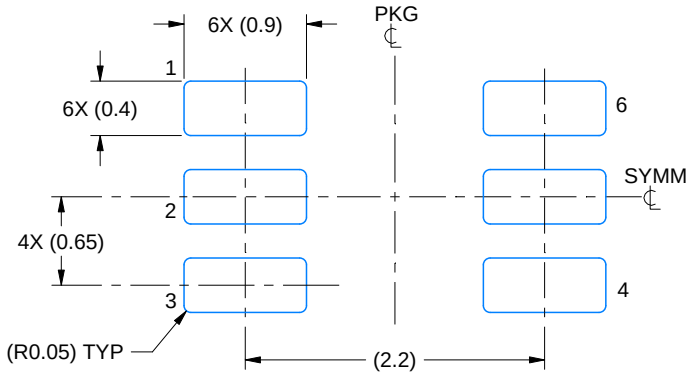
SMALL OUTLINE TRANSISTOR



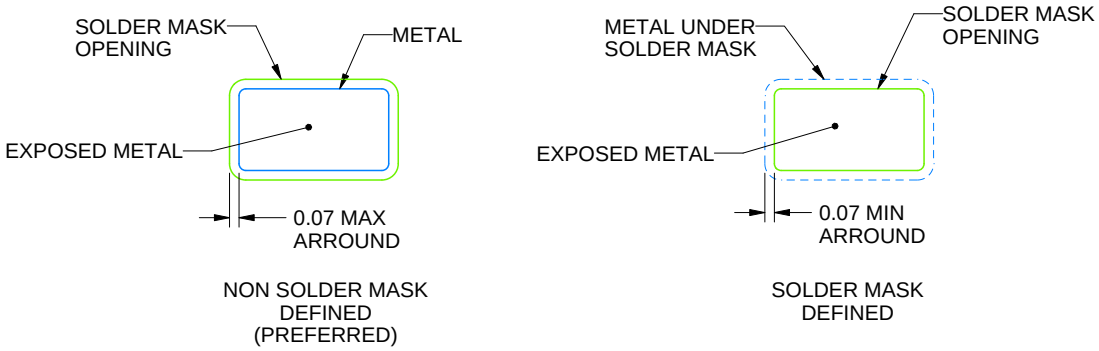
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

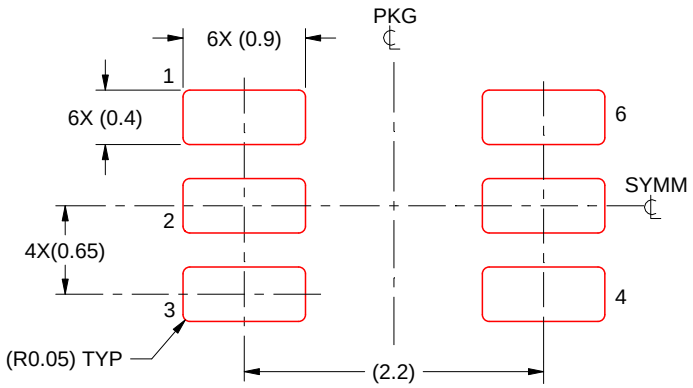


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

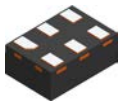
DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

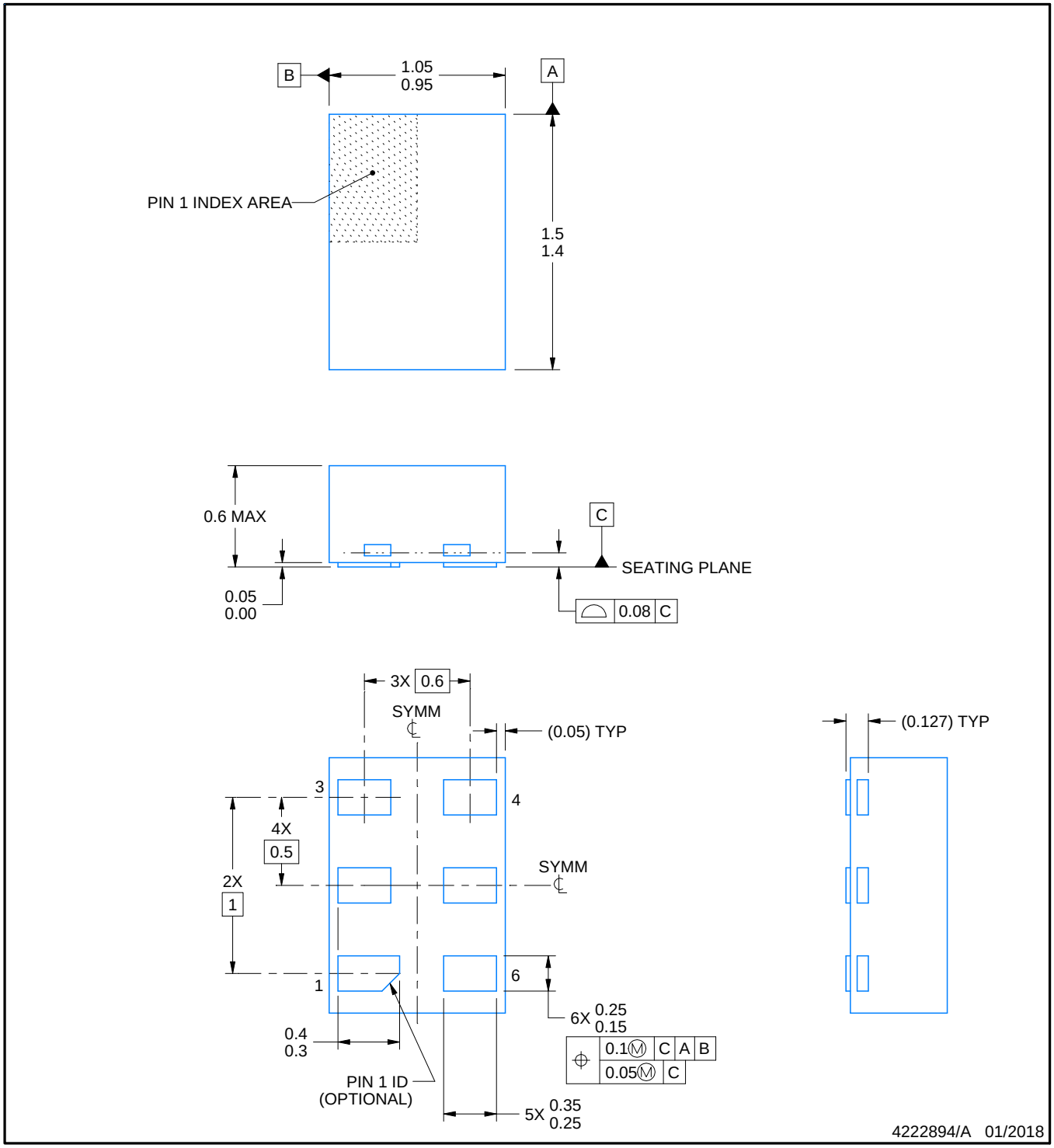
DRY0006A



PACKAGE OUTLINE

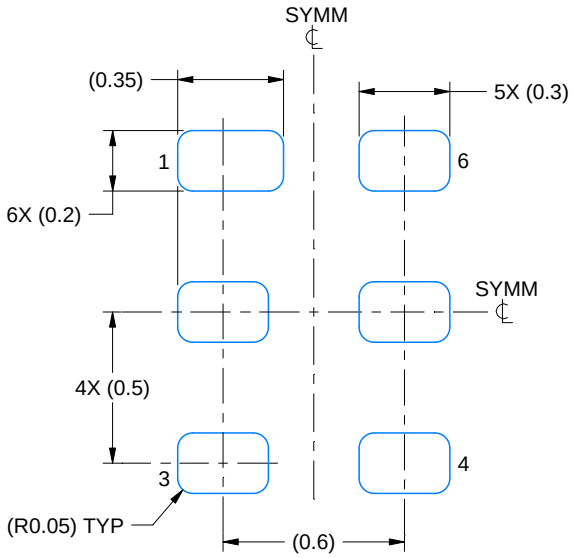
USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

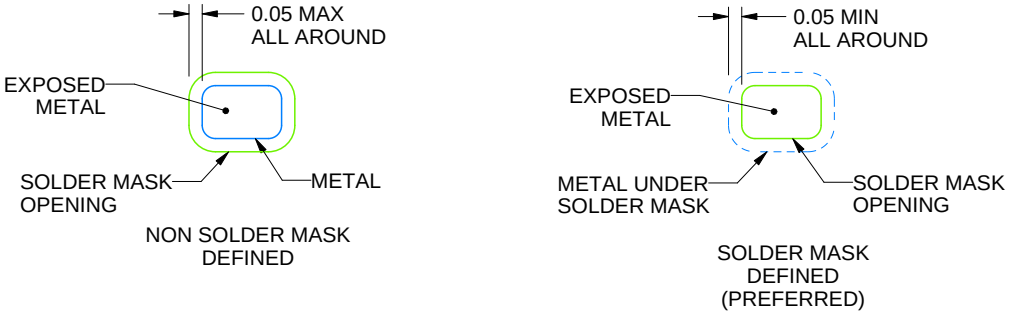


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

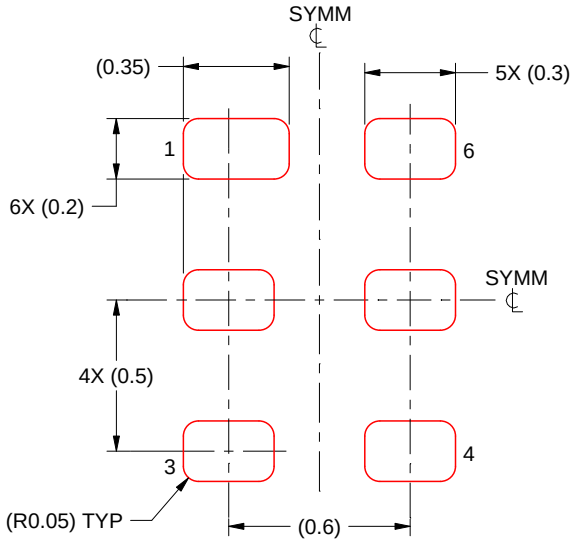
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

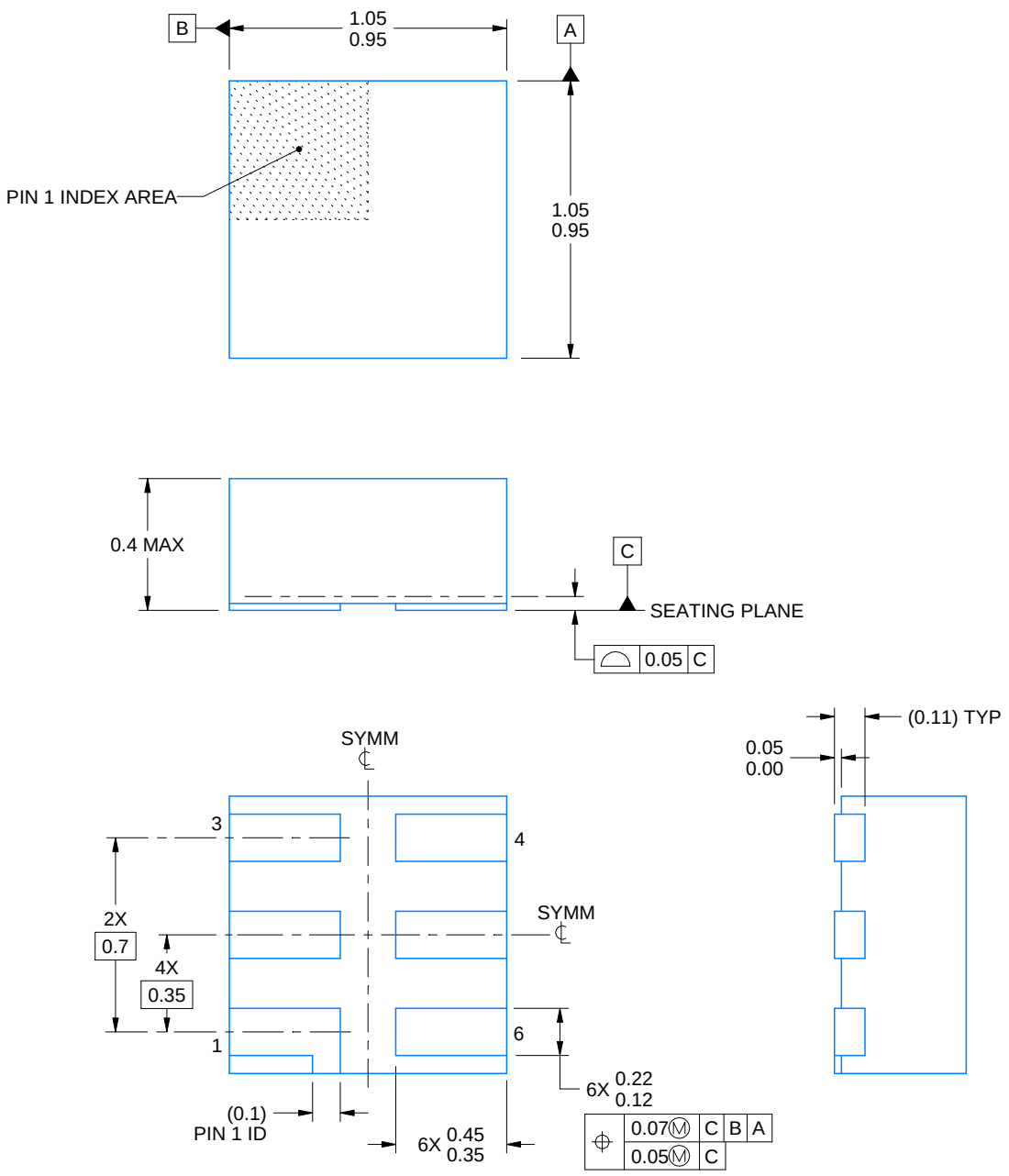
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

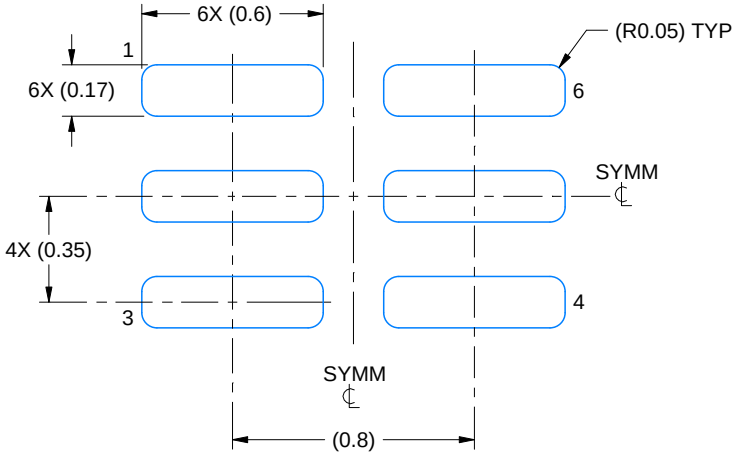
PLASTIC SMALL OUTLINE - NO LEAD



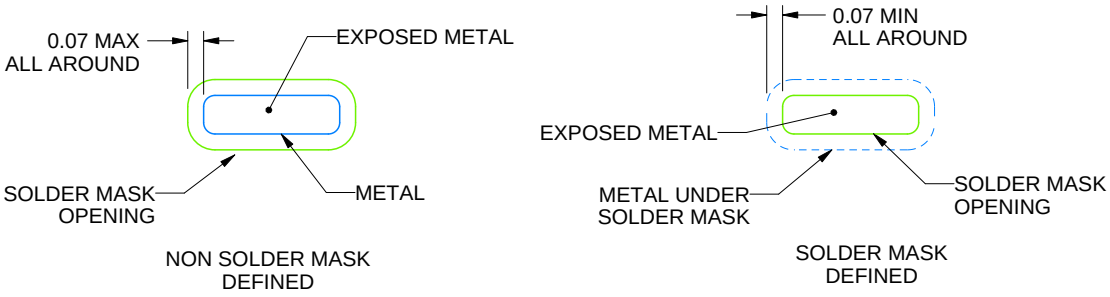
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

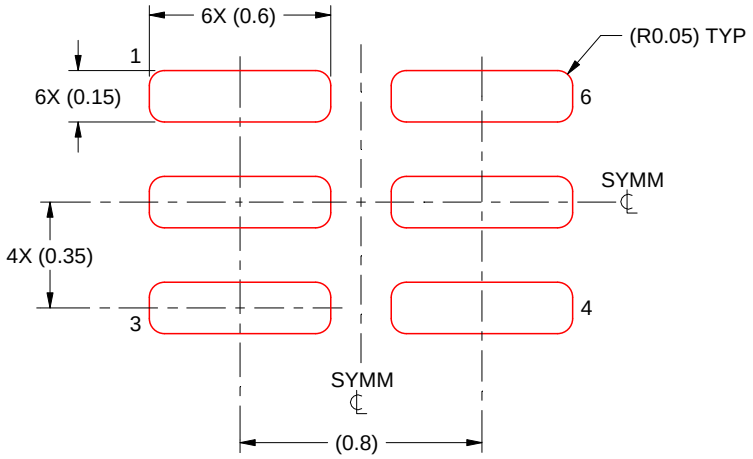
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

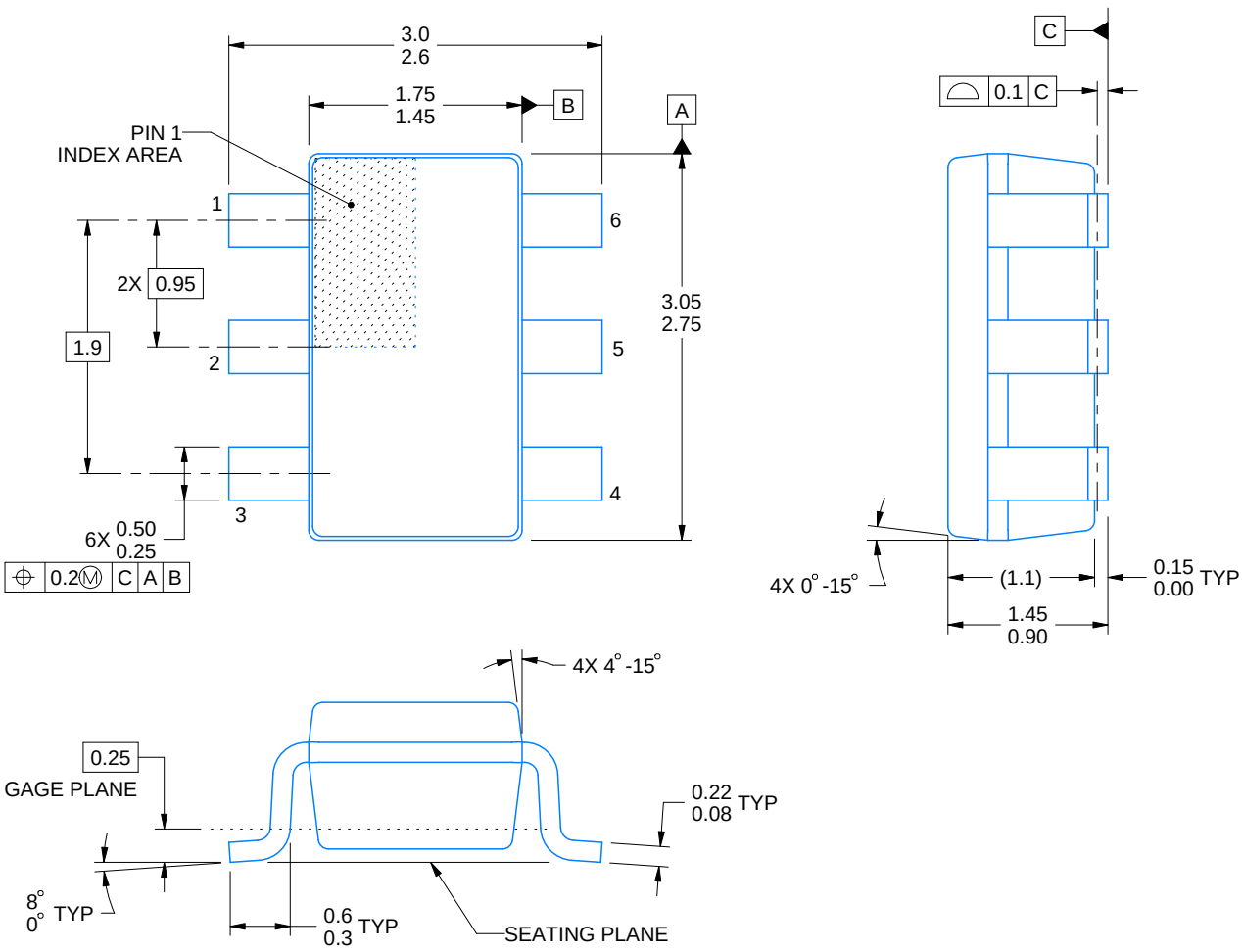
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

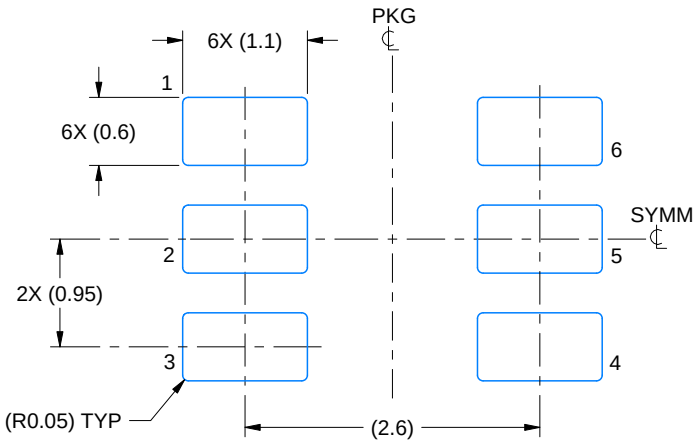
SMALL OUTLINE TRANSISTOR



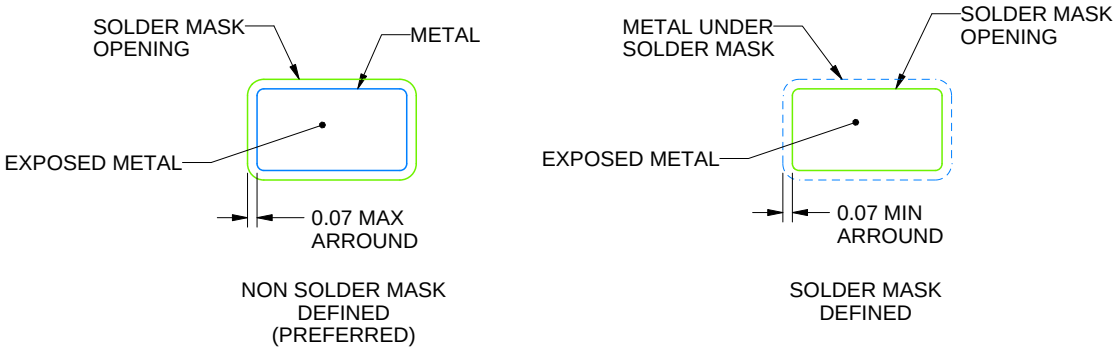
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

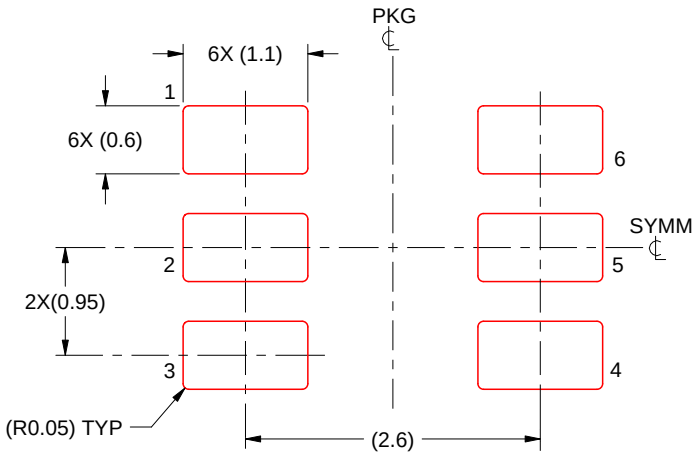


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

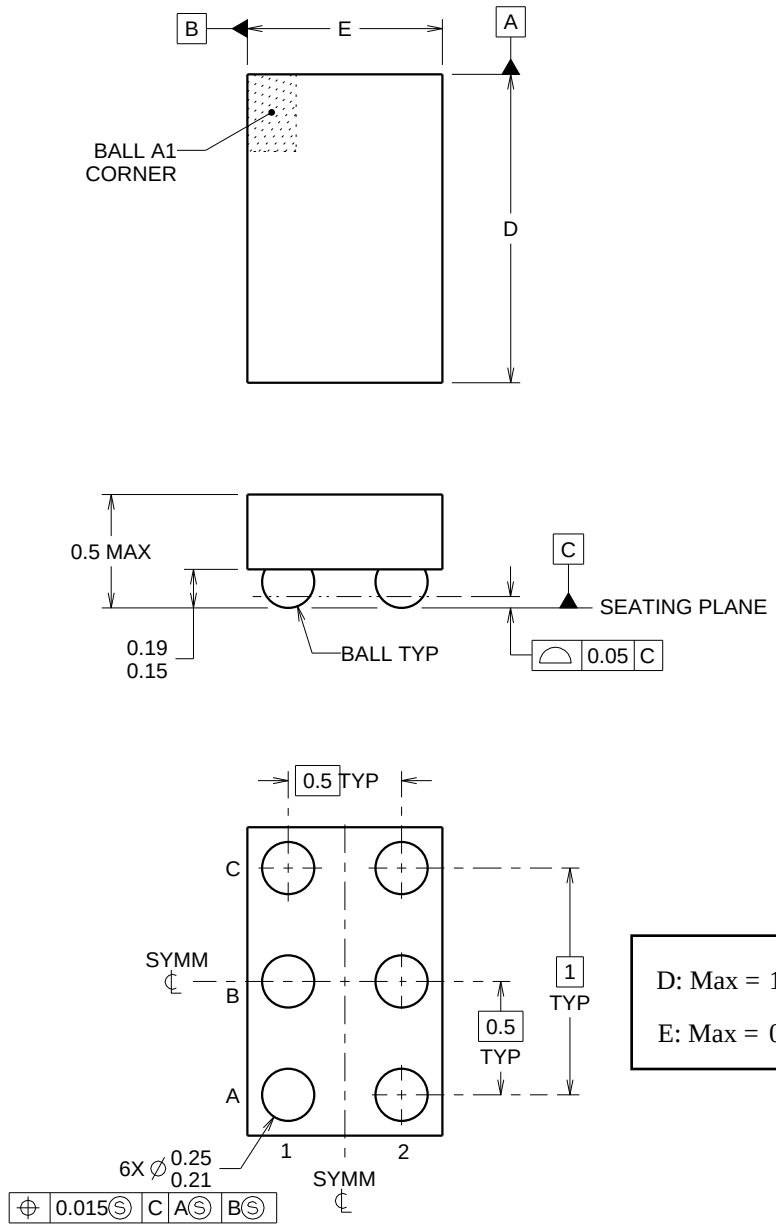
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

YZP0006

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



D: Max = 1.418 mm, Min =1.358 mm

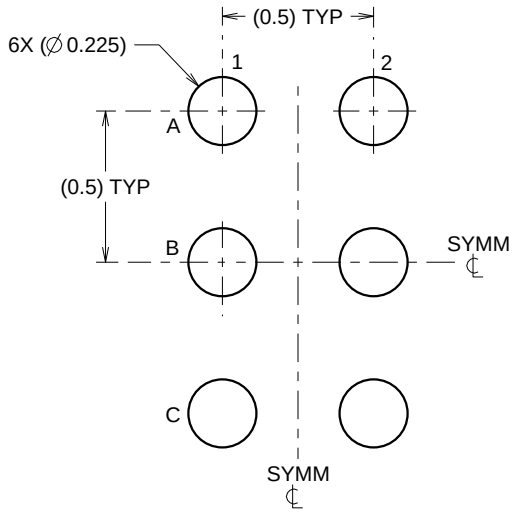
E: Max = 0.918 mm, Min =0.858 mm

4219524/A 06/2014

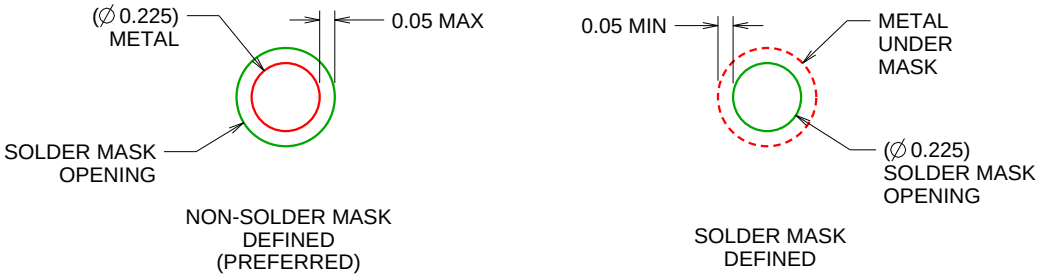
NOTES:

NanoFree Is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.



LAND PATTERN EXAMPLE
SCALE:40X

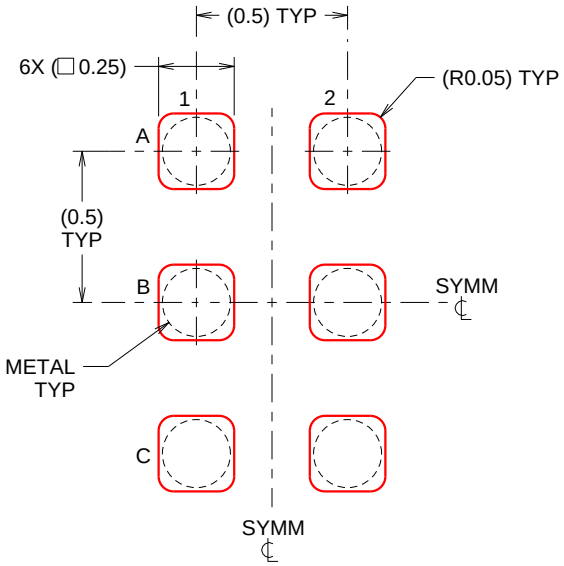


SOLDER MASK DETAILS
NOT TO SCALE

4219524/A 06/2014

NOTES: (continued)

4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SBVA017 (www.ti.com/lit/sbva017).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4219524/A 06/2014

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月