SN74LVC1G08 单通道双输入正与门

1 特性

- 采用具有 0.5mm 间距的超小型 0.64mm^2 封装 (DPW)
- 支持 5V V_{CC} 运行
- 输入电压高达 5.5V
- 支持向下转换到 V_{CC}
- 3.3V 时 t_{pd} 最大值为 3.6ns
- 低功耗，I_{CC} 最大值为 10 µA
- 3.3V 时，输出驱动为 ±24mA
- I_{off} 支持带电插入、局部关断模式和后驱动保护
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求

2 应用

- ATCA 解决方案
- 有源噪声消除 (ANC)
- 条形码扫描仪
- 血压监护仪
- CPAP 呼吸机
- 电缆解决方案
- DLP 3D 机器视觉、高光谱成像、光纤网络和光谱分析
- 电子书
- 嵌入式 PC
- 现场发送器：温度或压力传感器
- 指纹生物识别
- HVAC：暖通空调
- 网络附加存储 (NAS)
- 服务器主板和 PSU
- 软件定义无线电 (SDR)
- 电视：高清电视 (HDTV)、LCD 电视和数字电视
- 视频通信系统
- 无线数据访问卡、耳机、键盘、鼠标和 LAN 卡
- X 射线：行李扫描仪、医疗和牙科

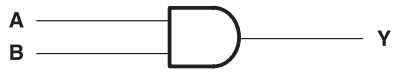
3 说明

SN74LVC1G08 器件是一个单通道双输入正与门。该器件以正逻辑执行布尔函数 $Y = A \cdot B$ 或 $Y = \overline{\overline{A} + \overline{B}}$。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74LVC1G08	DPW（X2SON，5）	0.8mm × 0.8mm	0.8mm × 0.8mm
	DRY（SON，6）	1.45mm × 1mm	1.45mm × 1mm
	DSF (SON, 6)	1mm × 1mm	1mm × 1mm
	DRL（SOT，5）	1.6mm × 1.6mm	1.6mm × 1.2mm
	DCK（SOT-SC70，5）	2mm × 2.1mm	2mm × 1.25mm
	DBV（SOT-23，5）	2.9mm × 2.8mm	2.9mm × 1.6mm
	YZP（DSBGA，5）	1.39mm × 0.89mm	1.39mm × 0.89mm

(1) 有关更多信息，请参阅 机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

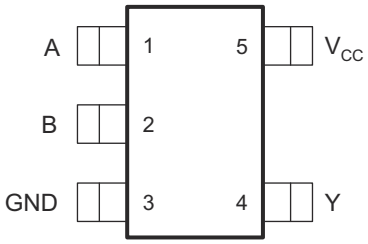
内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 5
5.4 热性能信息 5
5.5 电气特性 6
5.6 开关特性，C_L = 15pF 6
5.7 开关特性、1.8V 和 2.5V 6
5.8 开关特性、3.3V 和 5V 7
5.9 工作特性 7
5.10 典型特性 7
6 参数测量信息 8
7 详细说明 10
7.1 概述 10
7.2 功能方框图 10
7.3 特性说明 10
7.4 器件功能模式 11
8 应用和实施 12
8.1 应用信息 12
8.2 典型应用 12
8.3 电源相关建议 13
8.4 布局 14
9 器件和文档支持 16
9.1 文档支持 16
9.2 接收文档更新通知 16
9.3 支持资源 16
9.4 商标 16
9.5 静电放电警告 16
9.6 术语表 16
10 修订历史记录 16
11 机械、封装和可订购信息 18

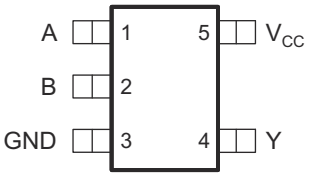
Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

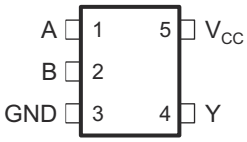
DBV PACKAGE
(TOP VIEW)



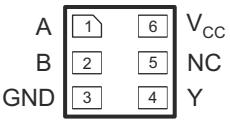
DCK PACKAGE
(TOP VIEW)



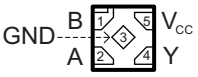
DRL PACKAGE
(TOP VIEW)



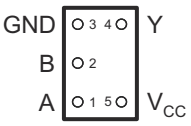
DSF PACKAGE
(TOP VIEW)



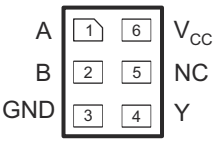
DPW PACKAGE
(TOP VIEW)



YZP PACKAGE
(BOTTOM VIEW)



DRY PACKAGE
(TOP VIEW)



NC – 无内部连接

请参阅机械制图，了解尺寸。

引脚功能

引脚				说明
名称	DBV、DCK、DRL、YZP	DRY、DSF	DPW	
A	1	1	2	输入
B	2	2	1	输入
GND	3	3	3	接地
NC		5		未连接
V_{CC}	5	6	5	电源引脚
Y	4	4	4	输出

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CC} (1)	电源电压范围		-0.5	6.5	V
V_I	输入电压范围(2)		-0.5	6.5	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围(2)		-0.5	6.5	V
V_O	应用到任一处于高电平或低电平状态输出的电压范围(2) (3)		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_J(max)	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) V_{CC} 的值在 建议运行条件 表中提供。

5.2 ESD 等级

			最小值	最大值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	0	2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	0	1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件

			最小值	最大值	单位
V_{CC}	电源电压	工作	1.65	5.5	V
		仅数据保留	1.5		
V_{IH}	高电平输入电压	V_{CC} = 1.65V 至 1.95V	0.65 × V_{CC}		V
		V_{CC} = 2.3V 至 2.7V	1.7		
		V_{CC} = 3V 至 3.6V	2		
		V_{CC} = 4.5V 至 5.5V	0.7 × V_{CC}		
V_{IL}	低电平输入电压	V_{CC} = 1.65V 至 1.95V		0.35 × V_{CC}	V
		V_{CC} = 2.3V 至 2.7V		0.7	
		V_{CC} = 3V 至 3.6V		0.8	
		V_{CC} = 4.5V 至 5.5V		0.3 × V_{CC}	
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 1.65V		-4	mA
		V_{CC} = 2.3V		-8	
		V_{CC} = 3V		-16	
				-24	
		V_{CC} = 4.5V		-32	
I_{OL}	低电平输出电流	V_{CC} = 1.65V		4	mA
		V_{CC} = 2.3V		8	
		V_{CC} = 3V		16	
				24	
		V_{CC} = 4.5V		32	
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 1.8V ± 0.15V，2.5V ± 0.2V		20	ns/V
		V_{CC} = 3.3V ± 0.3V		10	
		V_{CC} = 5V ± 0.5V		5	
T_A	自然通风条件下的工作温度		-40	125	°C

5.4 热性能信息

封装	引脚	热指标(1)						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DBV (SOT-23)	5	357.1	263.7	264.4	195.6	262.2	-	°C/W
DCK (SOT-SC70)	5	371	297.5	258.6	195.6	256.2	-	°C/W
DRL (SOT-5X3)	5	364.1	280.6	261.5	195.6	259.2	-	°C/W
DRY (SON)	6	438.8	276.8	271.7	83.8	271.4	–	°C/W
YZP (DSBGA)	5	130	54	51	1	50	–	°C/W
DPW (X2SON)	5	340	215	294	41	294	250	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		测试条件	V_{CC}	-40°C 至 85°C			建议 -40°C 至 125°C			单位
				最小值	典型值(1)	最大值	最小值	典型值	最大值	
V_{OH}		I_{OH} = – 100 μA	1.65V 至 5.5V	V_{CC} – 0.1			V_{CC} – 0.15			V
		I_{OH} = -4mA	1.65V	1.2			1.2			
		I_{OH} = -8mA	2.3V	1.9			1.9			
		I_{OH} = -16mA	3V	2.4			2.4			
		I_{OH} = -24mA		2.3			2.3			
		I_{OH} = -32mA	4.5V	3.8			3.8			
V_{OL}		I_{OL} = 100 μA	1.65V 至 5.5V			0.1			0.1	V
		I_{OL} = 4mA	1.65V			0.45			0.45	
		I_{OL} = 8mA	2.3V			0.3			0.3	
		I_{OL} = 16mA	3V			0.4			0.4	
		I_{OL} = 24mA				0.55			0.55	
		I_{OL} = 32mA	4.5V			0.55			0.55	
I_I	A 或 B 输入	V_I=5.5 V 或 GND	0 至 5.5V			±5			±5	μA
I_{off}		V_I 或 V_O = 5.5V	0			±10			±10	μA
I_{CC}		V_I = 5.5V 或 GND， I_O = 0	1.65V 至 5.5V			10			10	μA
ΔI_{CC}		一个输入电压为 V_{CC} – 0.6V，其他输入电压为 V_C 或 GND	3V 至 5.5V			500			500	μA
C_i		V_I = V_{CC} 或 GND	3.3V		4			4		pF

(1) 所有典型值均在 V_{CC} = 3.3V、T_A = 25°C 下测得。

5.6 开关特性，C_L = 15pF

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅 图 6-1）

参数	从（输入）	至（输出）	-40°C 至 85°C								单位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A 或 B	Y	1.5	7.2	0.7	4.4	0.8	3.6	0.8	3.4	ns

5.7 开关特性、1.8V 和 2.5V

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅 图 6-2）

参数	从（输入）	至（输出）	-40°C 至 85°C		-40°C 至 125°C 推荐		-40°C 至 85°C		-40°C 至 125°C 推荐		单位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 2.5V ± 0.2V		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A 或 B	Y	2.4	8	2.4	10	1.1	5.5	1.1	7	ns

Copyright © 2026 Texas Instruments Incorporated

5.8 开关特性、3.3V 和 5V

在自然通风条件下的建议工作温度范围内测得，C_L = 30pF 或 50pF（除非另有说明）（请参阅图 6-2）

参数	从（输入）	至（输出）	-40°C 至 85°C		-40°C 至 125°C 推荐		-40°C 至 85°C		-40°C 至 125°C 推荐		单位
			V_{CC} = 3.3V ± 0.3V		V_{CC} = 3.3V ± 0.3V		V_{CC} = 5V ± 0.5V		V_{CC} = 5V ± 0.5V		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A 或 B	Y	1	4.5	1	6	1	4	1	5	ns

5.9 工作特性

T_A = 25°C

参数		测试条件	V_{CC} = 1.8V 典型值	V_{CC} = 2.5V 典型值	V_{CC} = 3.3V 典型值	V_{CC} = 5V 典型值	单位
C_{pd}	功率耗散电容	f = 10MHz	21	24	26	31	pF

5.10 典型特性

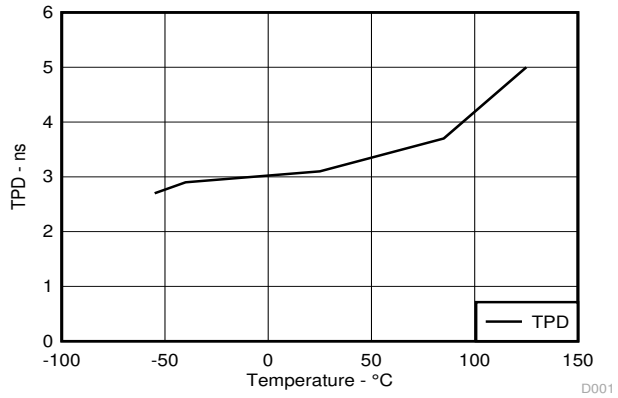


图 5-1. 在 3.3V VCC 电压下的 TPD 随温度变化情况

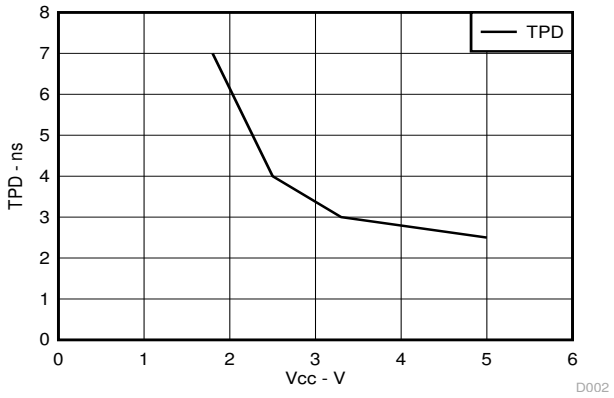
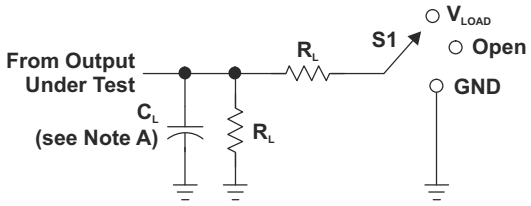


图 5-2. 在 25°C 下 TPD 随温度的变化

Copyright © 2026 Texas Instruments Incorporated

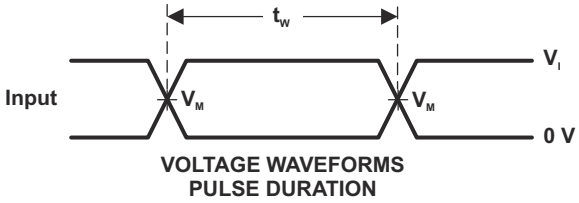
6 参数测量信息



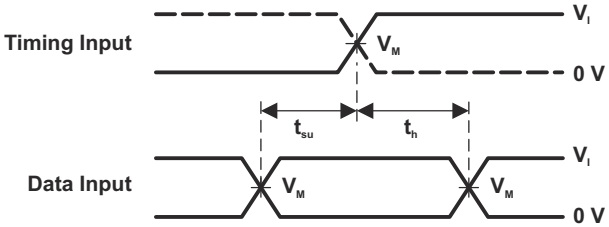
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

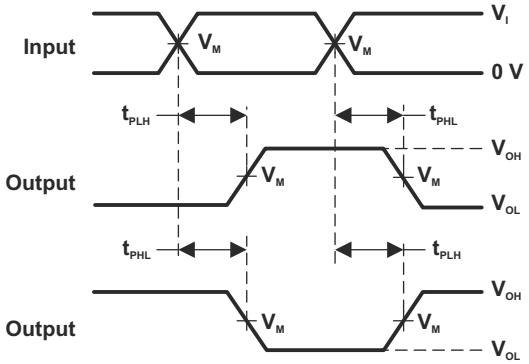
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	15 pF	1 MΩ	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	15 pF	1 MΩ	0.3 V



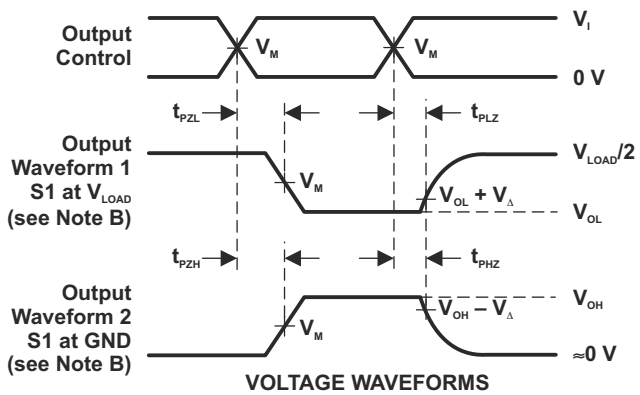
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

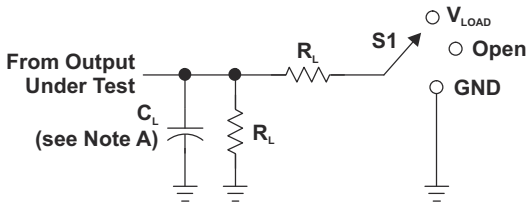


VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

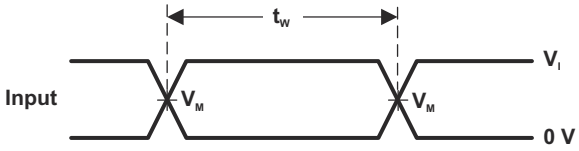
Copyright © 2026 Texas Instruments Incorporated



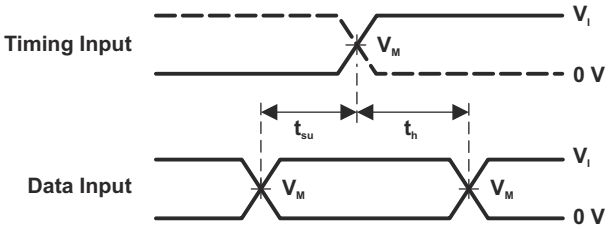
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

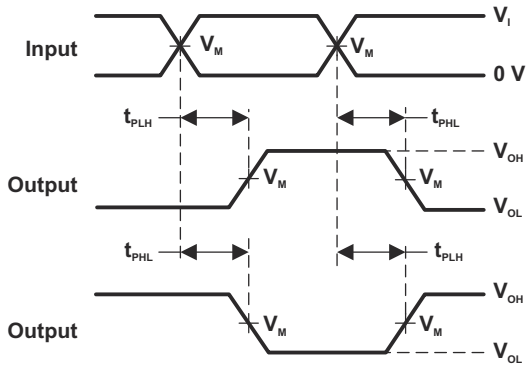
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	3 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
5 V ± 0.5 V	V_{CC}	≤2.5 ns	$V_{CC}/2$	2 × V_{CC}	50 pF	500 Ω	0.3 V



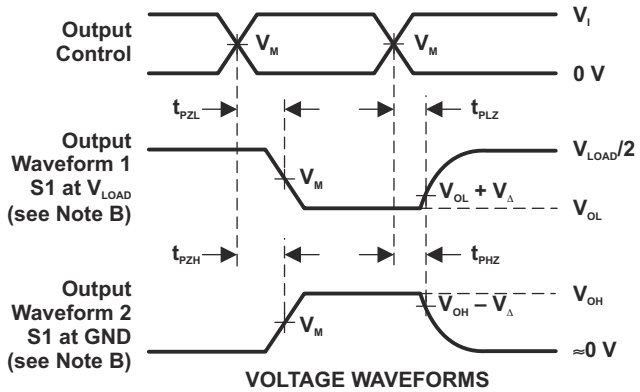
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

图 6-2. 负载电路和电压波形

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

SN74LVC1G08 器件是一个单通道双输入正与门。该器件以正逻辑执行布尔函数 Y = A ● B 或 Y = $\overline{A + B}$。

7.2 功能方框图



图 7-1. 逻辑图（正侧）

7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此必须考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

7.3.2 局部断电 (I_{off})

该器件包含当电源引脚保持为 0V 时禁用所有输出的电路。禁用时，无论施加的输入电压是多少，输出都不会拉出或灌入电流。每个输出端的漏电流大小由*电气特性*表中的 I_{off} 规格定义。

7.3.3 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件*表中的输入转换时间或速率所定义。不符合此规范会导致功耗过大并可能导致振荡。更多详细信息请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。在 V_{CC} 或 GND 处端接未使用的输入。如果系统并非一直驱动输入，请考虑添加上拉或下拉电阻器，以提供有效的输入电压。电阻值取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

7.3.4 钳位二极管结构

图 7-2 展示了该器件的输入和输出仅布置负钳位二极管。

小心

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

Copyright © 2026 Texas Instruments Incorporated

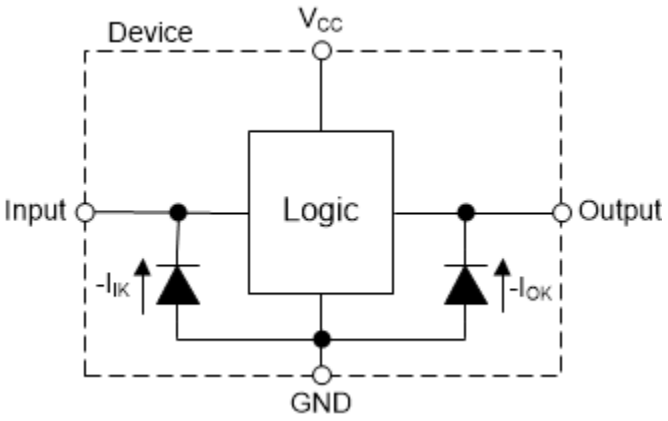


图 7-2. 每个输入和输出的钳位二极管的电气布置

7.3.5 过压容限输入

SN74LVC1G08 包含耐过压输入。输入引脚通过使用不包含标准正钳位二极管的输入保护电路来支持大于电源电压的高电平状态输入电压。请参阅*建议运行条件*，了解建议的输入电压。

小心

不要超过*绝对最大额定值* 中的最大输入电压范围。超过最大输入电压范围额定值可能会立即对器件造成损坏或造成永久性损坏。

7.4 器件功能模式

功能表 列出了 SN74LVC1G08 器件的功能模式。

表 7-1. 功能表

输入(1)		输出(2)
A	B	Y
H	H	H
L	X	L
X	L	L

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑
(2) H = 驱动为高电平，L = 驱动为低电平，Z = 高阻抗状态

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

与门的一个常见应用是其在电源时序中的使用。电源时序通常应用于需要具有特定电压时序要求的处理器或其他精密器件的应用，以保护器件免受故障的影响。使用 SN74LVC1G08 来验证处理器是否已导通、可以保护它免受任何有害信号的影响。

8.2 典型应用

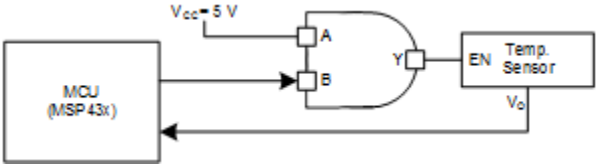


图 8-1. 电源时序应用

8.2.1 设计要求

SN74LVC1G08 器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限值的电流。

SN74LVC1G08 允许通过数字控制信号切换模拟和数字信号控制。所有输入信号必须保持在尽可能接近 0V 或 V_{CC} 的位置，以实现卓越运行。

8.2.1.1 电源注意事项

验证所需电源电压在*电气特性*中规定的范围内。电源电压按照*电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LVC1G08 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74LVC1G08 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入接地连接可灌入的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74LVC1G08 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但是，TI 建议在输出端和电容器之间添加一个串联电阻器，以防止电流过大。

SN74LVC1G08 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*应用手册中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*应用手册中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LVC1G08 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SN74LVC1G08 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如电气特性表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅*特性描述*。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流会降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流会提高输出电压。

可能处于相反状态的推挽输出绝不能直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

8.2.2 详细设计过程

1. 建议的输入条件：
   - 有关上升时间和下降时间规格，请参阅*建议运行条件*表中的 $\Delta t/\Delta v$。
   - 有关额定的高电平和低电平，请参阅*建议运行条件*表中的 V_{IH} 和 V_{IL}。
   - 输入和输出具有过压容限，因此在任何有效 V_{CC} 下均高达 5.5V。
2. 建议的输出条件：
   - 负载电流不超过 ±50mA。
3. 频率选择标准：
   - 频率对器件功耗的影响应该在 *CMOS 功耗和 CPD 计算* 应用手册中研究。
   - 添加的布线电阻和电容可能会降低最大频率能力；请遵循*布局*部分中列出的布局实践。

8.2.3 应用曲线

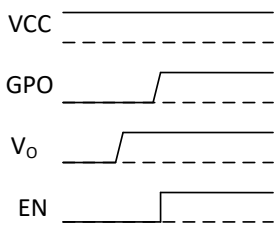


图 8-2. 典型应用时序图

8.3 电源相关建议

电源可以是*建议运行条件* 中所列最小和最大电源电压额定值之间的任何电压。

确保每个 V_{CC} 端子都配置了良好的旁路电容器，以防功率止干扰。对于 SN74LVC1G08，建议使用 0.1 µF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 0.1 µF 和 1 µF 的电容器通常并联使用。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

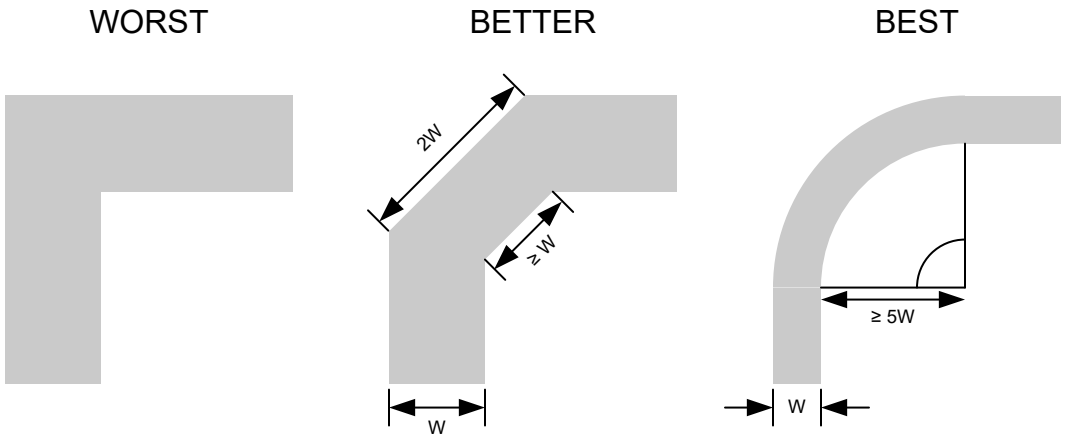


图 8-3. 可改善信号完整性的布线转角示例

Copyright © 2026 Texas Instruments Incorporated

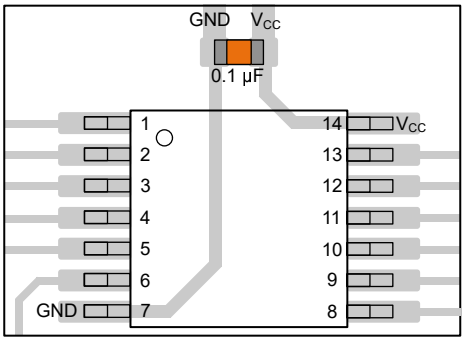


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

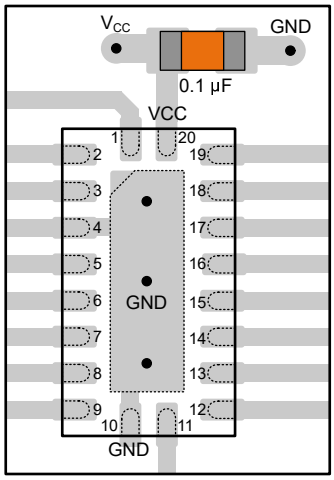


图 8-5. WQFN 和类似封装的旁路电容器放置示例

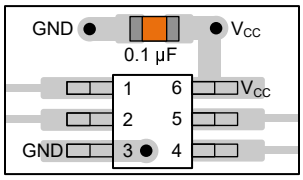


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

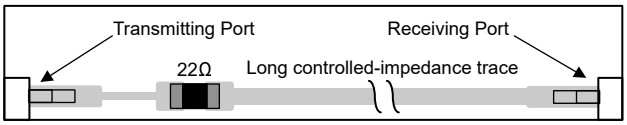


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用手册
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from MAY 1, 2019 to AUGUST 12, 2026 (from Revision Z (May 2019) to Revision AA (August 2026)) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 更新了 *器件信息* 表以包含本体和封装尺寸 1
- 更新了 *热性能信息* 表中的格式 5
- 将 DBV 封装的结至环境热阻值从：207.6°C/W 更改为：357.1°C/W 5
- 将 DBV 封装的结至外壳（顶部）热阻值从：145.2°C/W 更改为：263.7°C/W 5
- 将 DBV 封装的结至电路板特征值从：53.5°C/W 更改为：264.4°C/W 5
- 将 DBV 封装的结至顶部特征值从：37.5°C/W 更改为：195.6°C/W 5
- 将 DBV 封装的结至电路板特征值从：53.1°C/W 更改为：262.2°C/W 5
- 将 DCK 封装的结至环境热阻值从：283.1°C/W 更改为：371°C/W 5
- 将 DCK 封装的结至外壳（顶部）热阻值从：92.3°C/W 更改为：297.5°C/W 5

Copyright © 2026 Texas Instruments Incorporated

- 将 DCK 封装的结至电路板特征值从：60.9°C/W 更改为：258.6°C/W 5
- 将 DCK 封装的结至顶部特征值从：1.7°C/W 更改为：195.6°C/W 5
- 将 DCK 封装的结至电路板特征值从：60.1°C/W 更改为：256.2°C/W 5
- 将 DRL 封装的结至环境热阻值从：242.9°C/W 更改为：364.1°C/W 5
- 将 DRL 封装的结至外壳（顶部）热阻值从：77.5°C/W 更改为：280.6°C/W 5
- 将 DRL 封装的结至电路板特征值从：77.5°C/W 更改为：261.5°C/W 5
- 将 DRL 封装的结至顶部特征值从：9.6°C/W 更改为：195.6°C/W 5
- 将 DRL 封装的结至电路板特征值从：77.3°C/W 更改为：259.2°C/W 5
- 更新了*概述*、*应用和实现*、*器件和文档支持*部分，以补充详细的特性说明和更详细的信息。 9
- 向布局指南添加了并行布线间距建议。将“避免分支；对必须单独分支的信号进行缓冲”的措辞更改为“避免分支；对必须单独分支的每条信号进行缓冲” 14

Changes from Revision Y (April 2014) to Revision Z (May 2019) **Page**

- “绝对最大额定值”表中增加了 T_J(max) 规范 4
- 将 T_{stg} 规范从“处理等级”表移到了“绝对最大额定值”表中。 4
- 将“处理等级”表重命名为“ESD 等级”表 4

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G08DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R, C 08T) (C08P, C08S)
SN74LVC1G08DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R, C 08T) (C08P, C08S)
SN74LVC1G08DBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R, C 08T) (C08P, C08S)
SN74LVC1G08DBVRE4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVRG4.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R) (C08H, C08P, C08S)
SN74LVC1G08DBVT.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(C085, C08F, C08J, C08K, C08R) (C08H, C08P, C08S)
SN74LVC1G08DBVTE4	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DBVTG4.B	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C08 C08P
SN74LVC1G08DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CE K, CER, CET) (CEH, CEP, CES)

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G08DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKRE4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKRG4	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKRG4.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKT	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKT.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(CE5, CEF, CEJ, CEK, CER, CET) (CEH, CEP, CES)
SN74LVC1G08DCKTE4	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKTG4	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DCKTG4.B	Active	Production	SC70 (DCK) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE5 CES
SN74LVC1G08DPWR	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	M4
SN74LVC1G08DPWR.B	Active	Production	X2SON (DPW) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	M4
SN74LVC1G08DRLR	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRLR.A	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRLR.B	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRLRG4	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(CE7, CER)
SN74LVC1G08DRY2	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRY2.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRYR	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRYR.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G08DRYRG4	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DRYRG4.B	Active	Production	SON (DRY) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSF2	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSF2.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFR	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU | NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFR.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFRG4	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08DSFRG4.B	Active	Production	SON (DSF) | 6	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CE
SN74LVC1G08YZPR	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(CE, CE7)
SN74LVC1G08YZPR.B	Active	Production	DSBGA (YZP) | 5	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(CE, CE7)

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC1G08 :

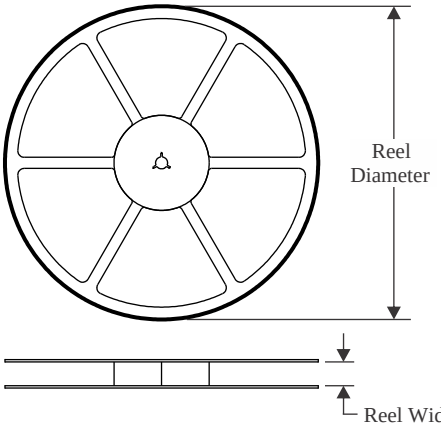
- Automotive : SN74LVC1G08-Q1
- Enhanced Product : SN74LVC1G08-EP

NOTE: Qualified Version Definitions:

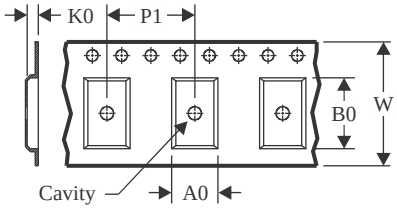
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

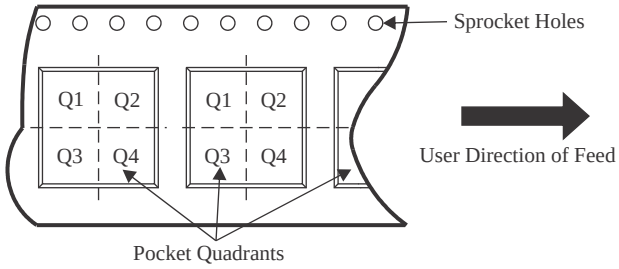


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

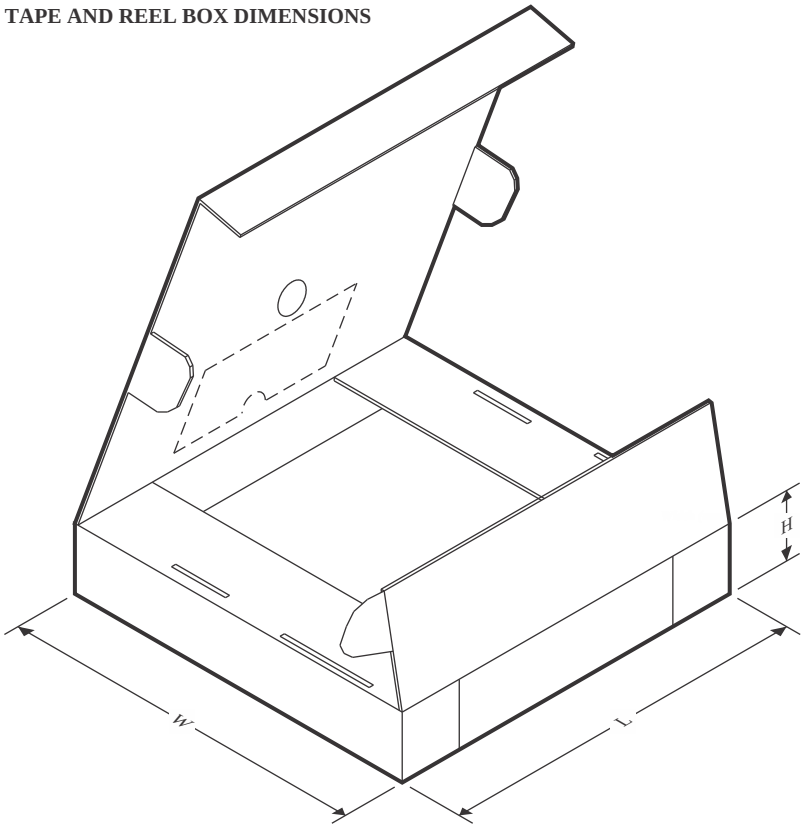


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVRG4	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKRG4	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	8.4	2.47	2.3	1.25	4.0	8.0	Q3
SN74LVC1G08DCKTG4	SC70	DCK	5	250	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3
SN74LVC1G08DPWR	X2SON	DPW	5	3000	178.0	8.4	0.91	0.91	0.5	2.0	8.0	Q3
SN74LVC1G08DRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
SN74LVC1G08DRY2	SON	DRY	6	5000	180.0	9.5	1.6	1.15	0.75	4.0	8.0	Q3
SN74LVC1G08DRY2	SON	DRY	6	5000	180.0	8.4	1.65	1.2	0.7	4.0	8.0	Q3
SN74LVC1G08DRYR	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G08DRYRG4	SON	DRY	6	5000	180.0	9.5	1.15	1.6	0.75	4.0	8.0	Q1
SN74LVC1G08DSF2	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q3
SN74LVC1G08DSF2	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.63	4.0	8.0	Q3
SN74LVC1G08DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G08DSFR	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.63	4.0	8.0	Q2
SN74LVC1G08DSFR	SON	DSF	6	5000	180.0	9.5	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G08DSFRG4	SON	DSF	6	5000	180.0	8.4	1.16	1.16	0.5	4.0	8.0	Q2
SN74LVC1G08YZPR	DSBGA	YZP	5	3000	180.0	8.4	1.02	1.52	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
SN74LVC1G08DBVR	SOT-23	DBV	5	3000	202.0	201.0	28.0
SN74LVC1G08DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	180.0	180.0	18.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	202.0	201.0	28.0
SN74LVC1G08DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	208.0	191.0	35.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	202.0	201.0	28.0
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	180.0	18.0

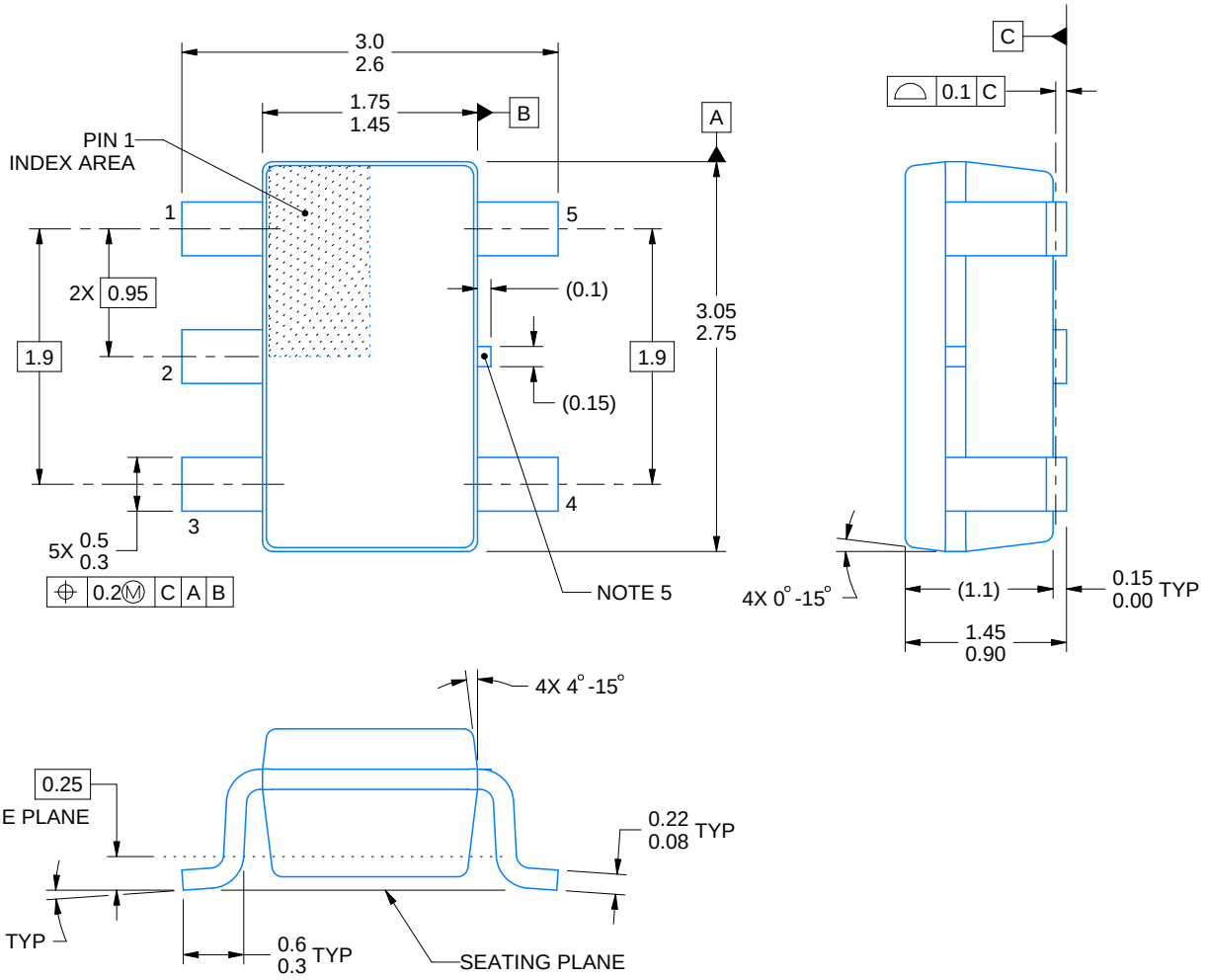
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC1G08DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G08DCKRG4	SC70	DCK	5	3000	180.0	180.0	18.0
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DCKT	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DCKT	SC70	DCK	5	250	202.0	201.0	28.0
SN74LVC1G08DCKTG4	SC70	DCK	5	250	180.0	180.0	18.0
SN74LVC1G08DPWR	X2SON	DPW	5	3000	205.0	200.0	33.0
SN74LVC1G08DRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
SN74LVC1G08DRY2	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G08DRY2	SON	DRY	6	5000	202.0	201.0	28.0
SN74LVC1G08DRYR	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G08DRYRG4	SON	DRY	6	5000	184.0	184.0	19.0
SN74LVC1G08DSF2	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G08DSF2	SON	DSF	6	5000	202.0	201.0	28.0
SN74LVC1G08DSFR	SON	DSF	6	5000	210.0	185.0	35.0
SN74LVC1G08DSFR	SON	DSF	6	5000	202.0	201.0	28.0
SN74LVC1G08DSFR	SON	DSF	6	5000	184.0	184.0	19.0
SN74LVC1G08DSFRG4	SON	DSF	6	5000	210.0	185.0	35.0
SN74LVC1G08YZPR	DSBGA	YZP	5	3000	182.0	182.0	20.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

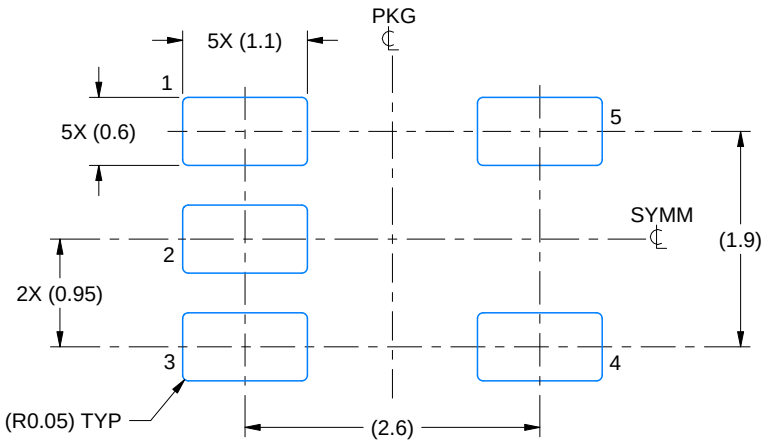
SMALL OUTLINE TRANSISTOR



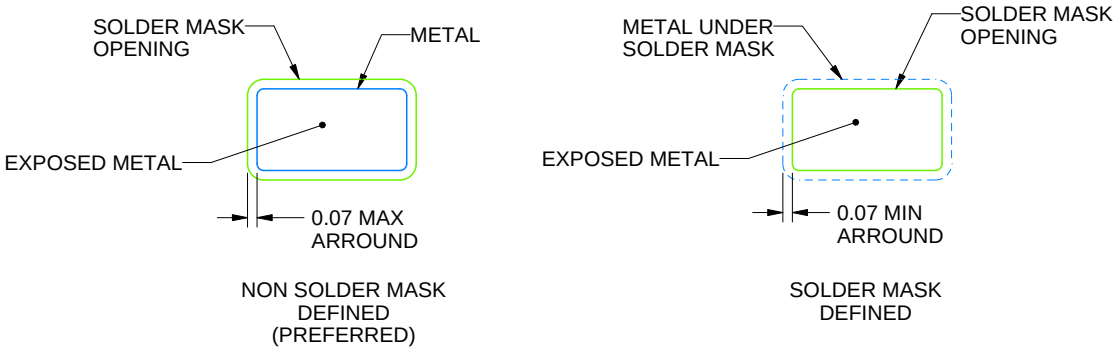
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

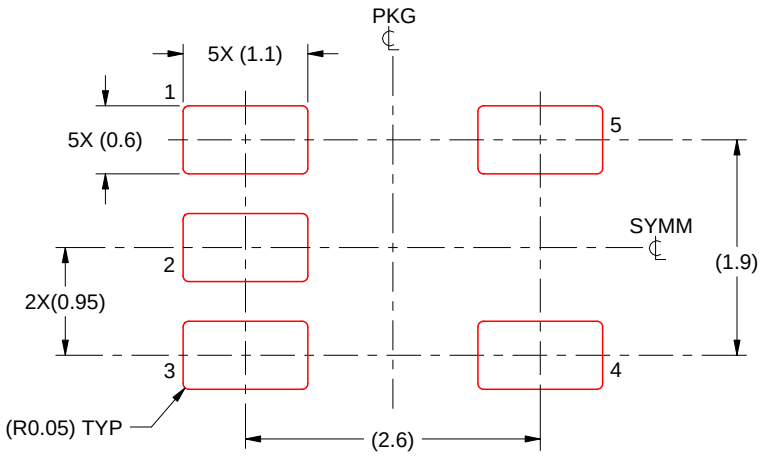


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

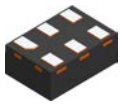
DRY 6 USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

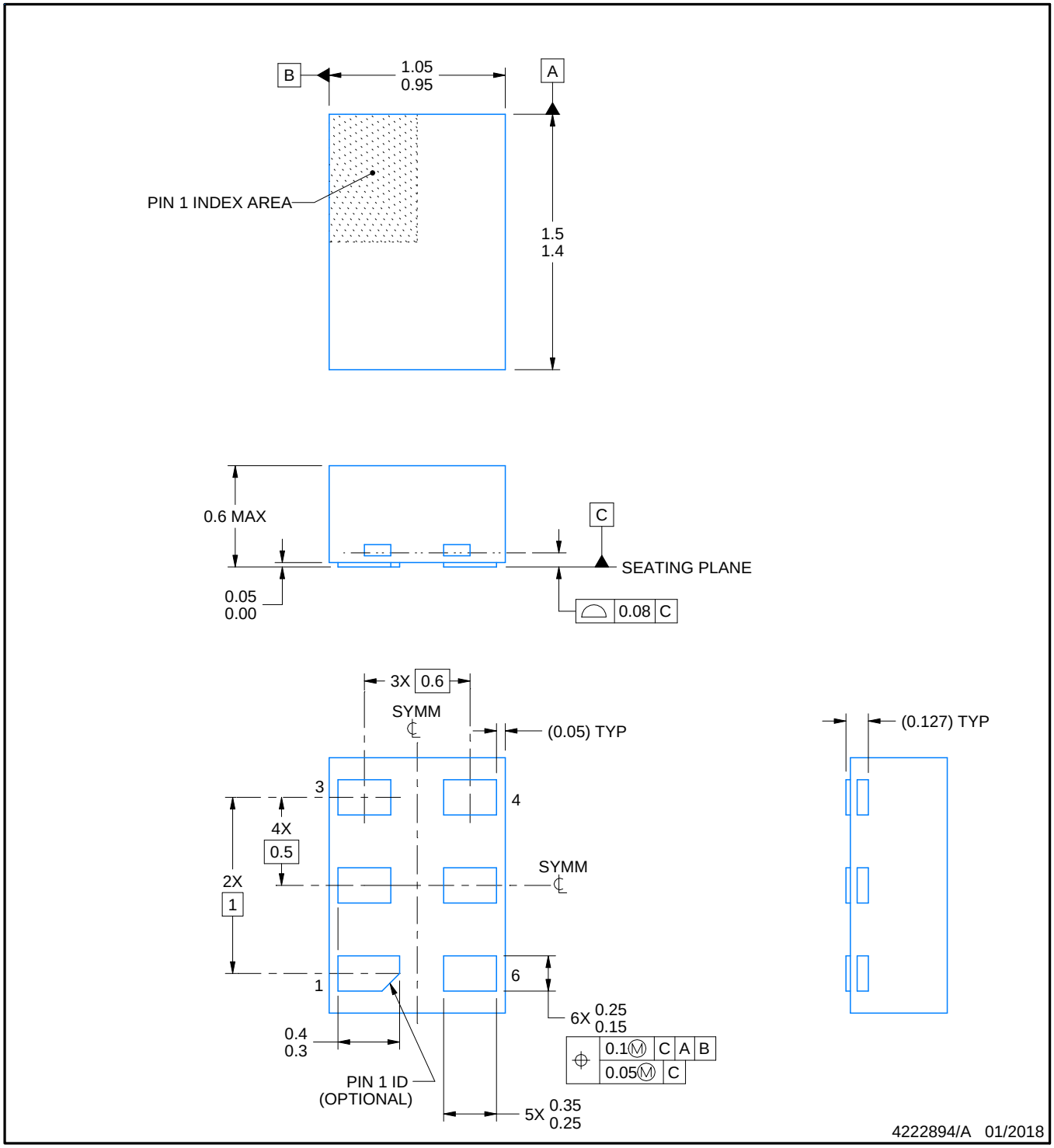
DRY0006A



PACKAGE OUTLINE

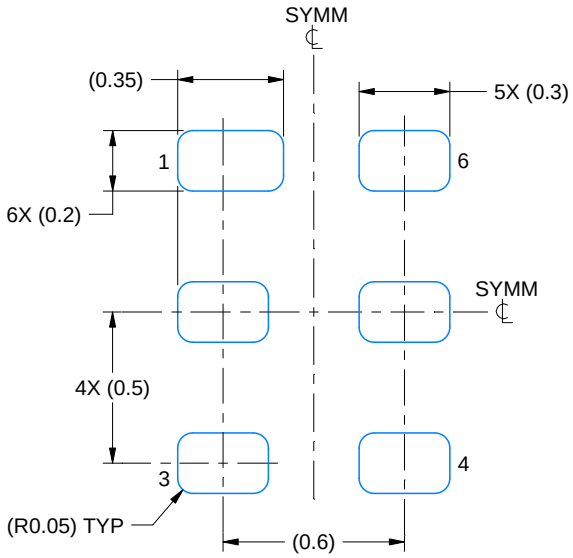
USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

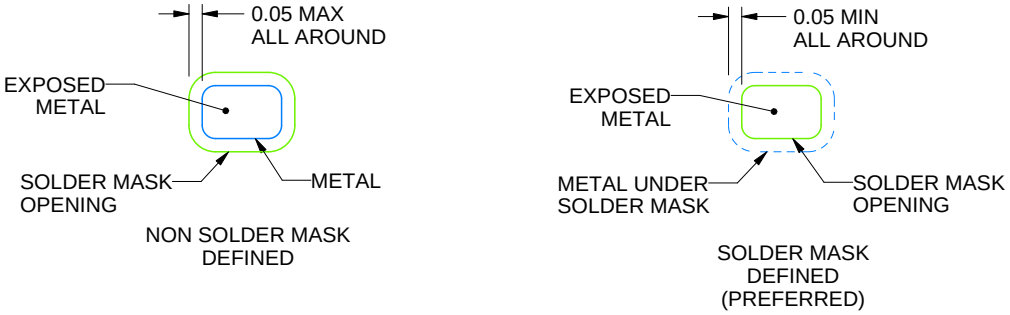


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
1:1 RATIO WITH PKG SOLDER PADS
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4222894/A 01/2018

NOTES: (continued)

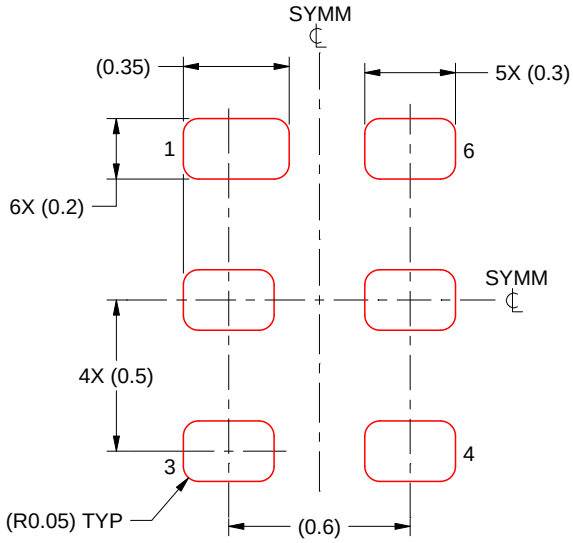
3. For more information, see QFN/SON PCB application report in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DRY0006A

USON - 0.6 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.075 - 0.1 mm THICK STENCIL
SCALE:40X

4222894/A 01/2018

NOTES: (continued)

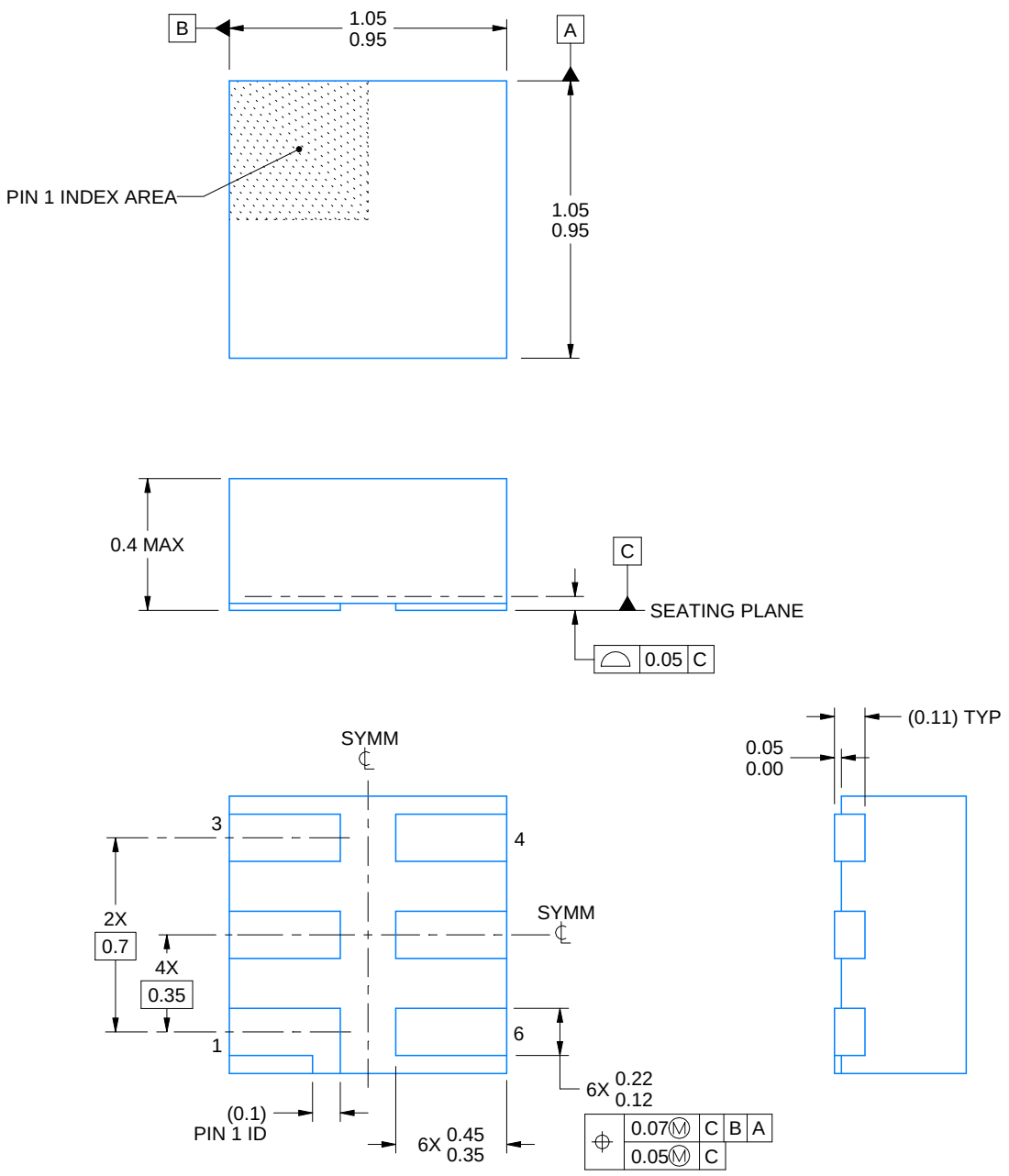
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DSF0006A

X2SON - 0.4 mm max height

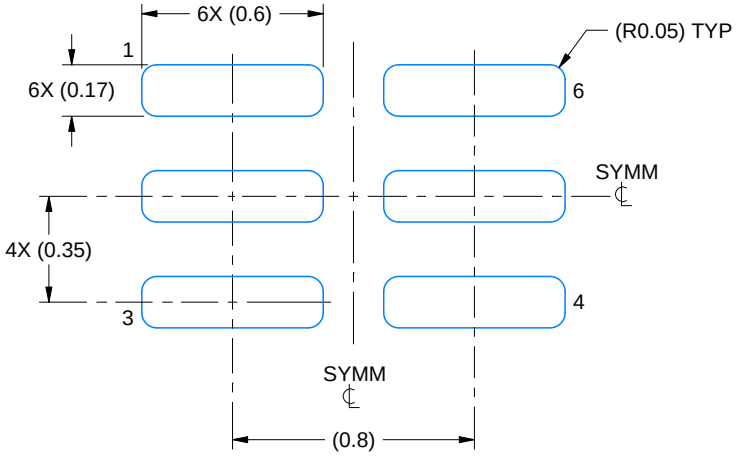
PLASTIC SMALL OUTLINE - NO LEAD



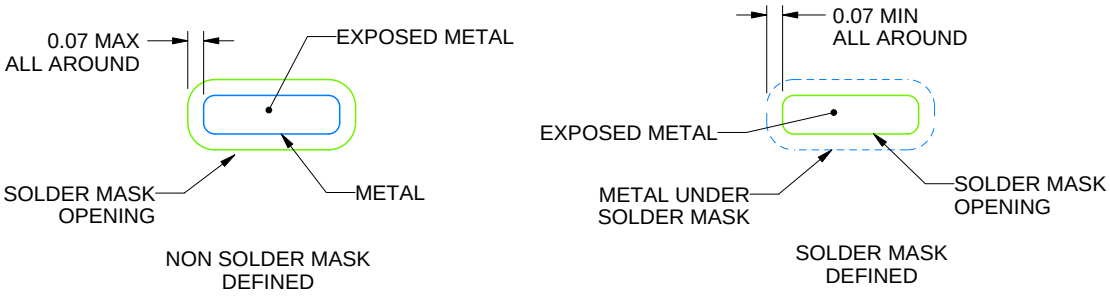
4220597/B 06/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MO-287, variation X2AAF.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:40X



SOLDER MASK DETAILS

4220597/B 06/2022

NOTES: (continued)

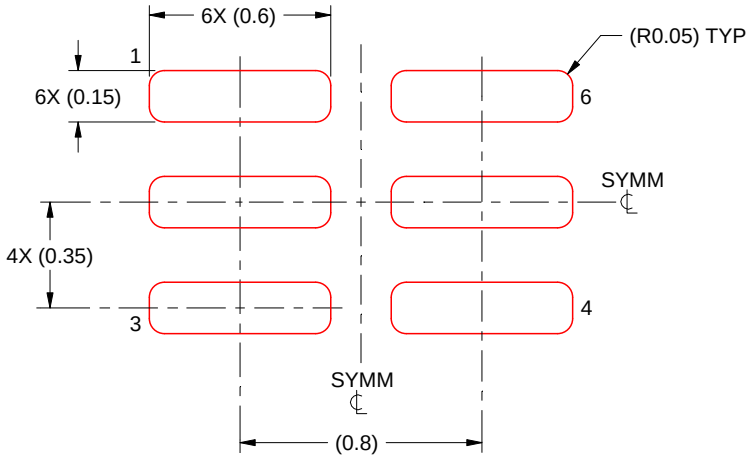
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSF0006A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.09 mm THICK STENCIL

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:40X

4220597/B 06/2022

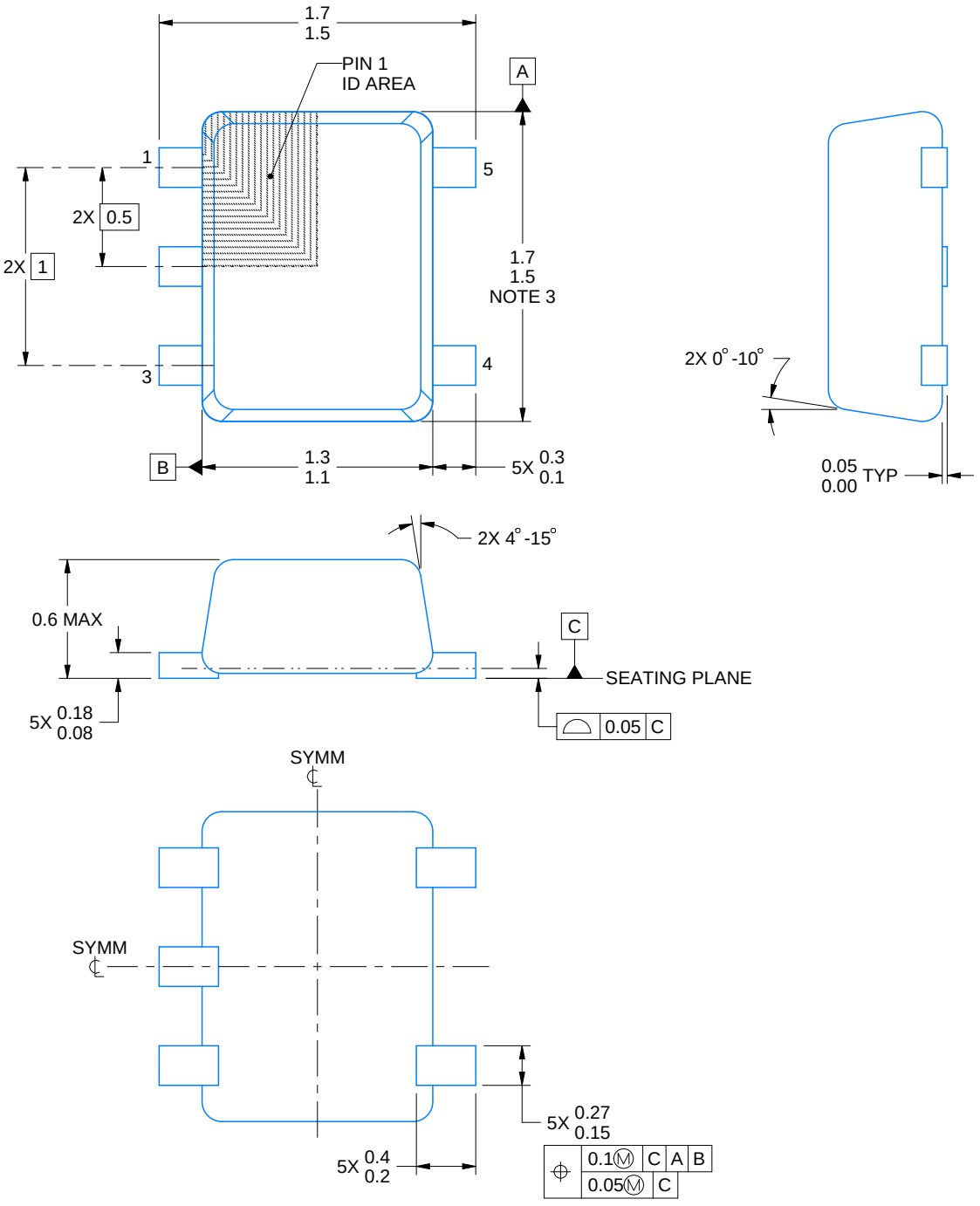
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DRL0005A

SOT - 0.6 mm max height

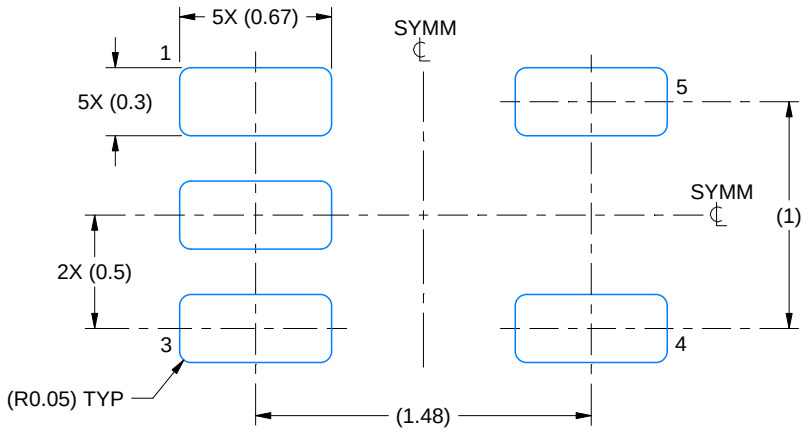
PLASTIC SMALL OUTLINE



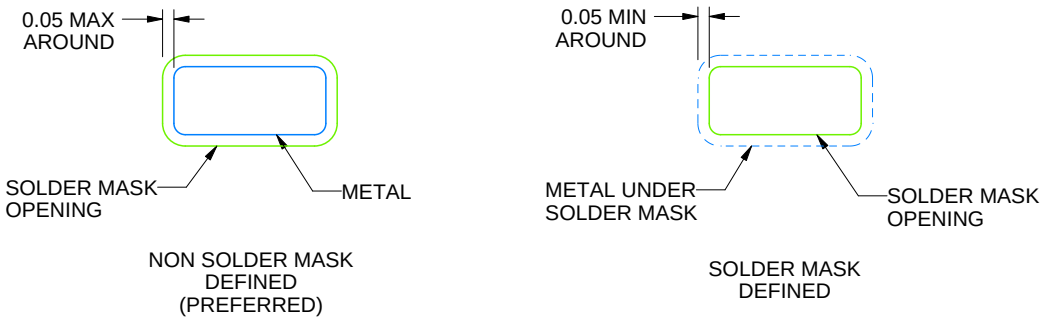
4220753/E 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD-1



LAND PATTERN EXAMPLE
SCALE:30X

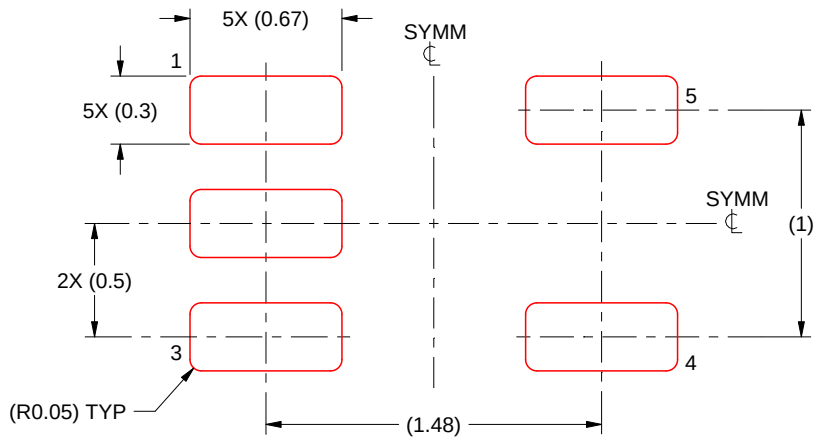


SOLDERMASK DETAILS

4220753/E 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4220753/E 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

DPW 5 X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

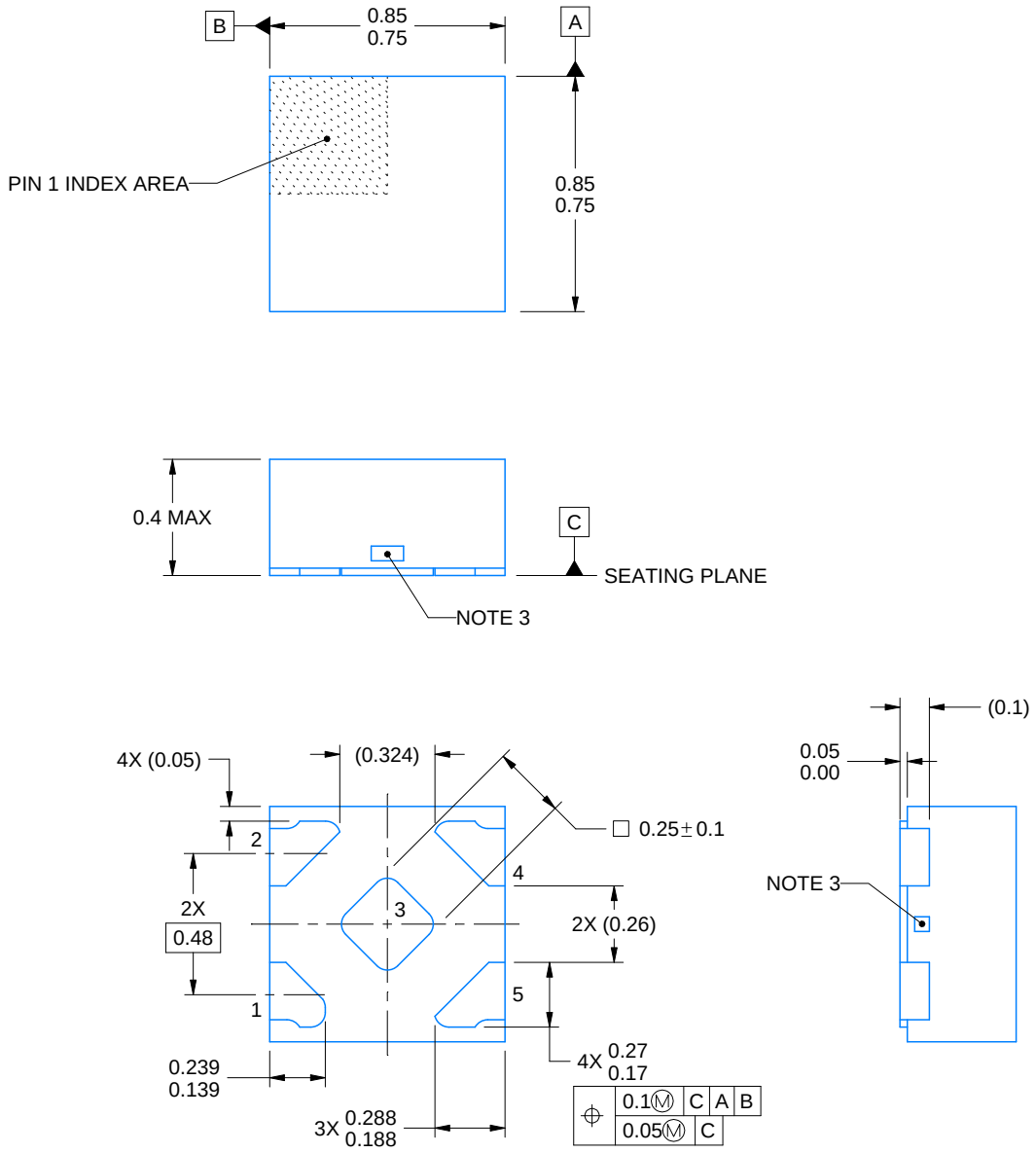
4211218-3/D

PACKAGE OUTLINE

DPW0005A

X2SON - 0.4 mm max height

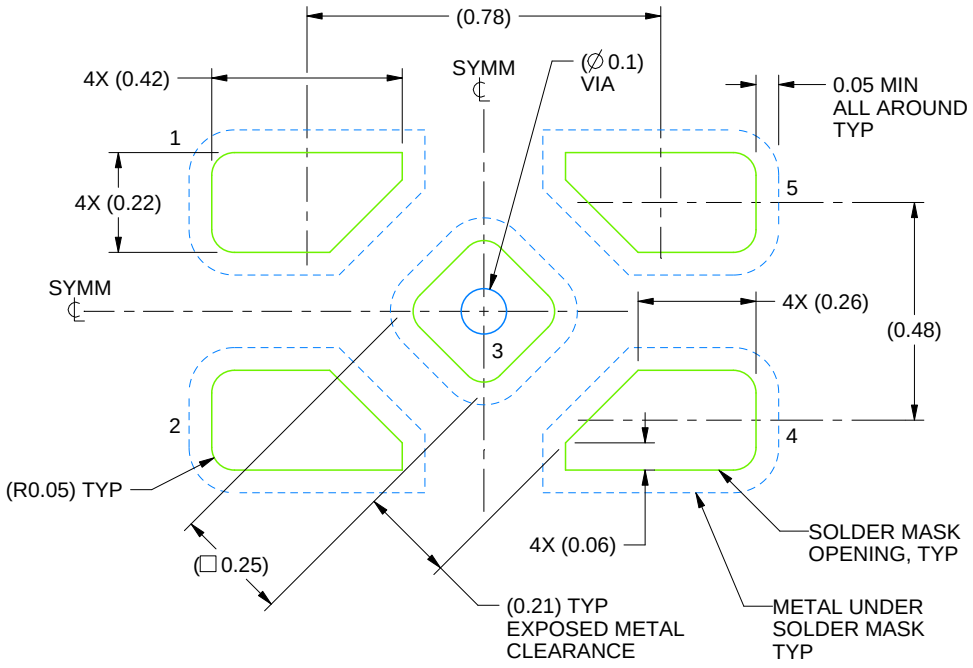
PLASTIC SMALL OUTLINE - NO LEAD



4223102/D 03/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The size and shape of this feature may vary.



LAND PATTERN EXAMPLE
SOLDER MASK DEFINED
SCALE:60X

4223102/D 03/2022

NOTES: (continued)

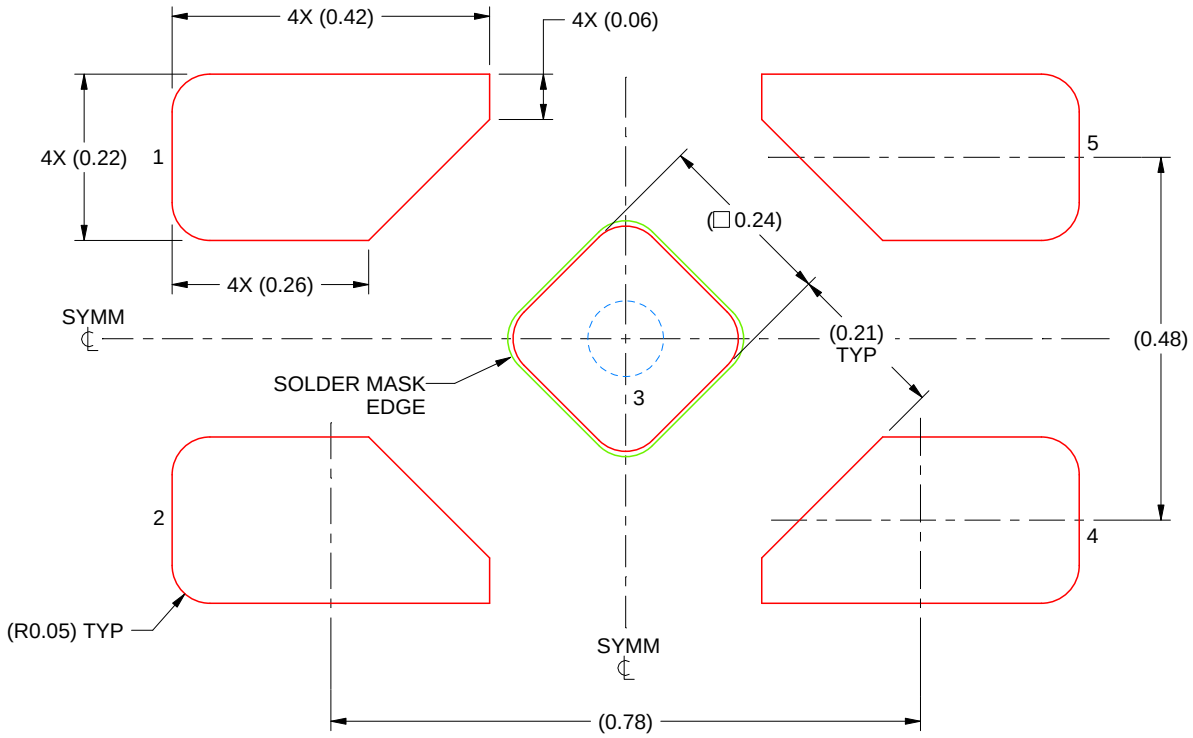
4. This package is designed to be soldered to a thermal pad on the board. For more information, refer to QFN/SON PCB application note in literature No. SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DPW0005A

X2SON - 0.4 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 3
92% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:100X

4223102/D 03/2022

NOTES: (continued)

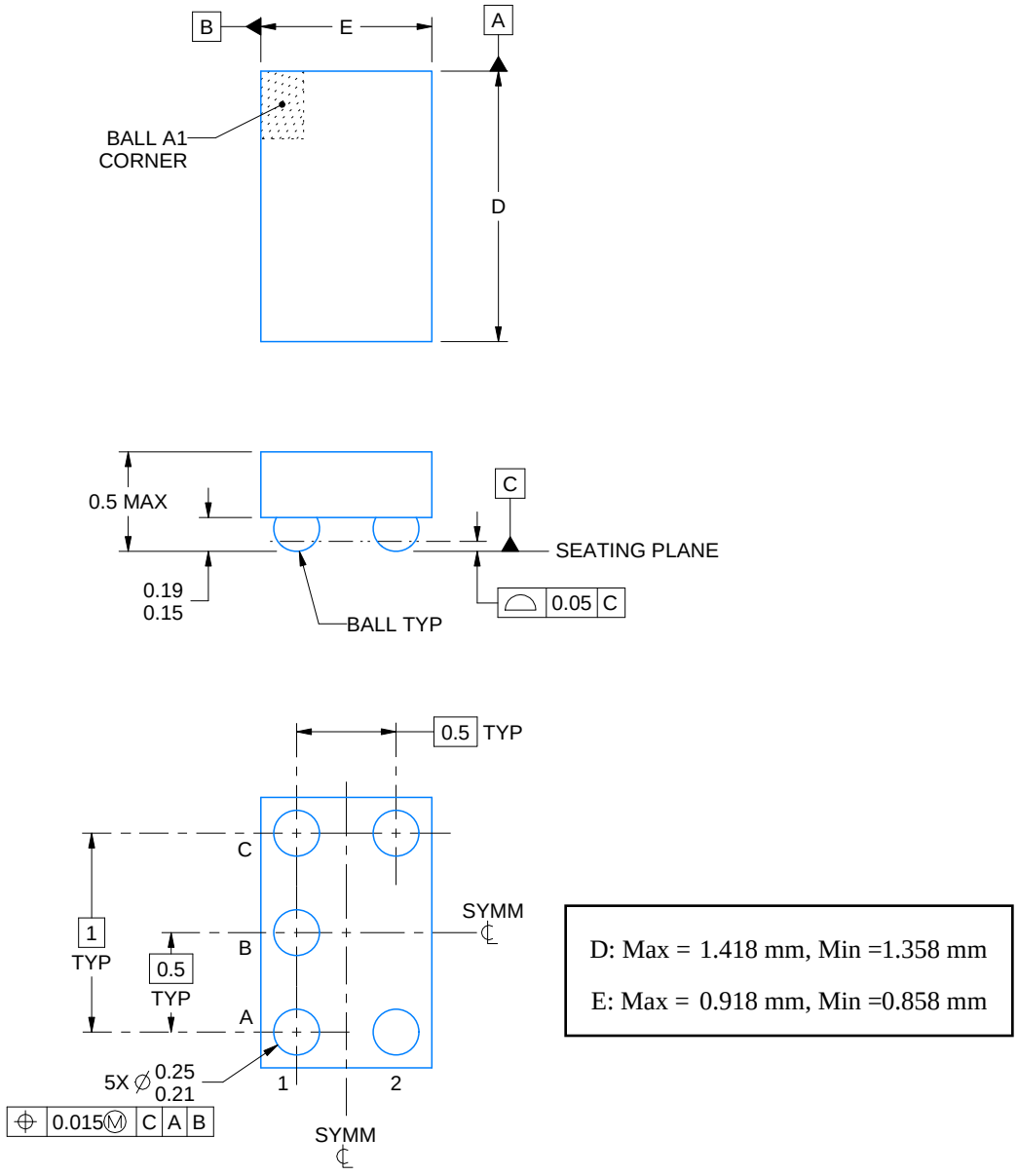
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

YZP0005

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



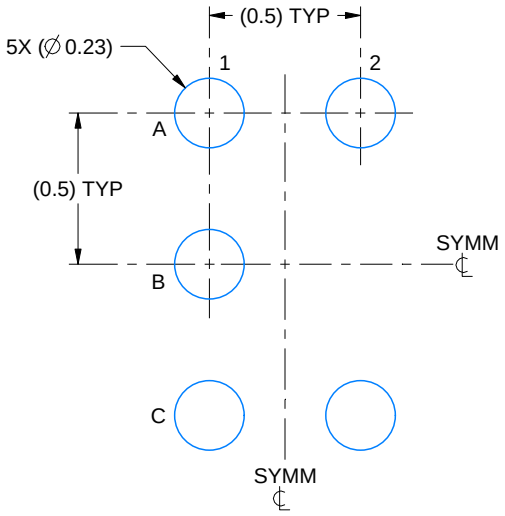
D: Max = 1.418 mm, Min =1.358 mm

E: Max = 0.918 mm, Min =0.858 mm

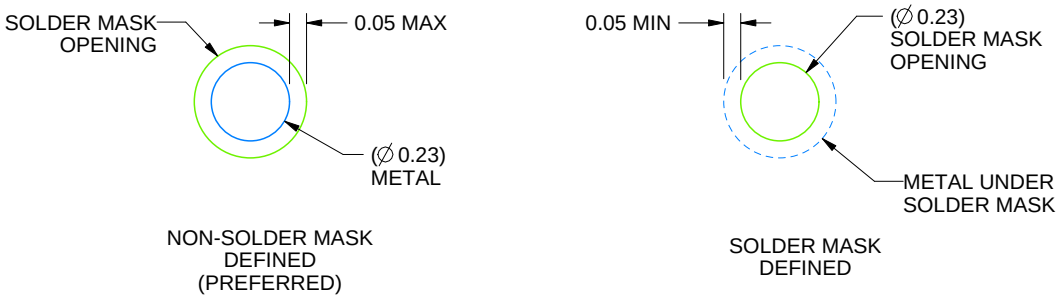
4219492/A 05/2017

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE:40X

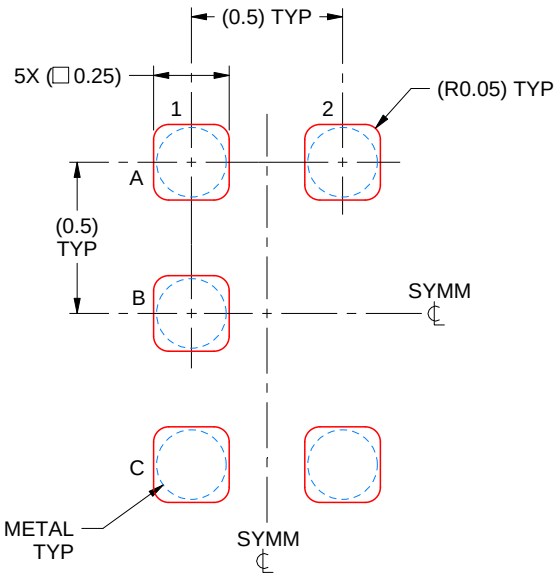


SOLDER MASK DETAILS
NOT TO SCALE

4219492/A 05/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4219492/A 05/2017

NOTES: (continued)

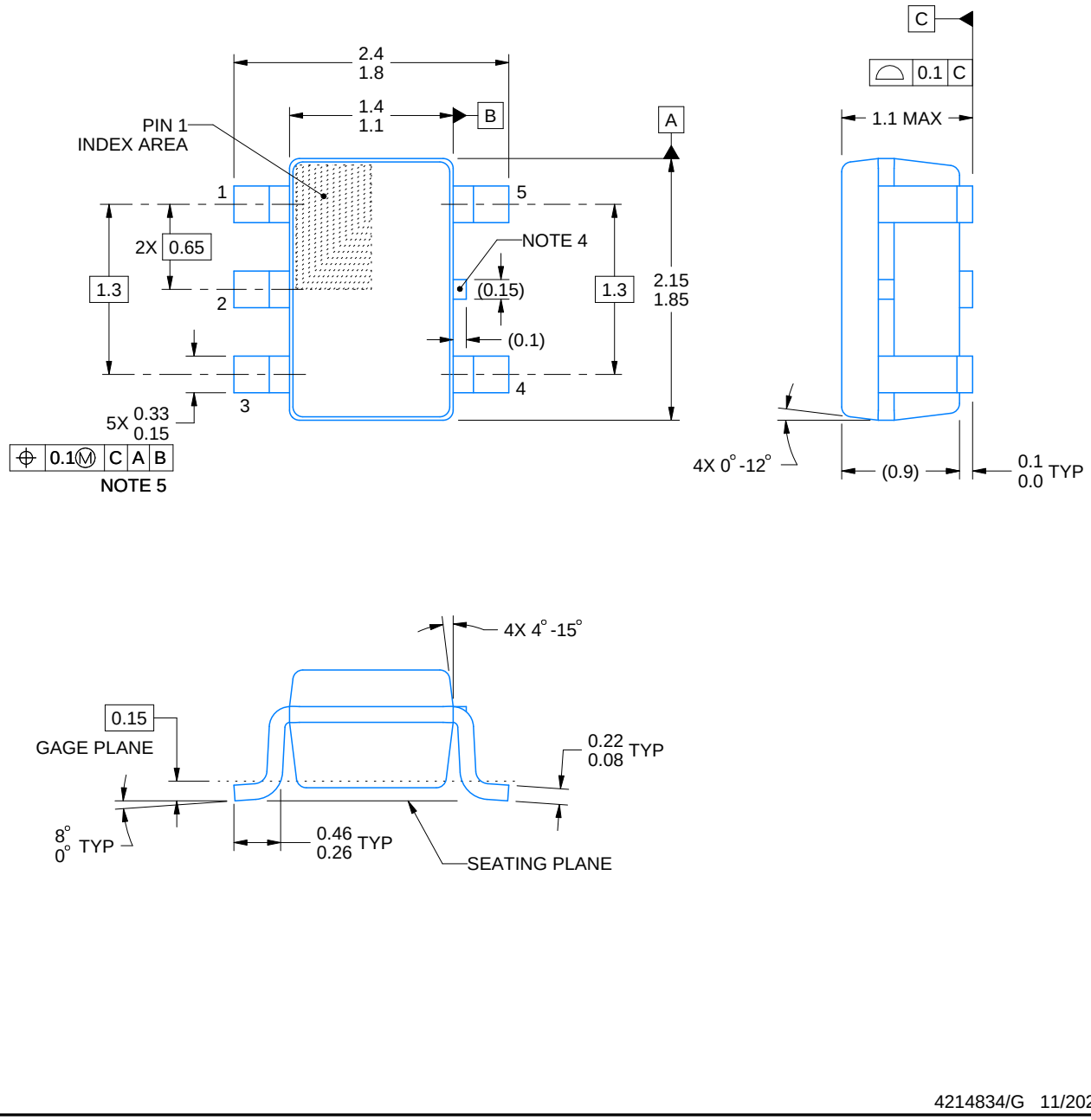
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

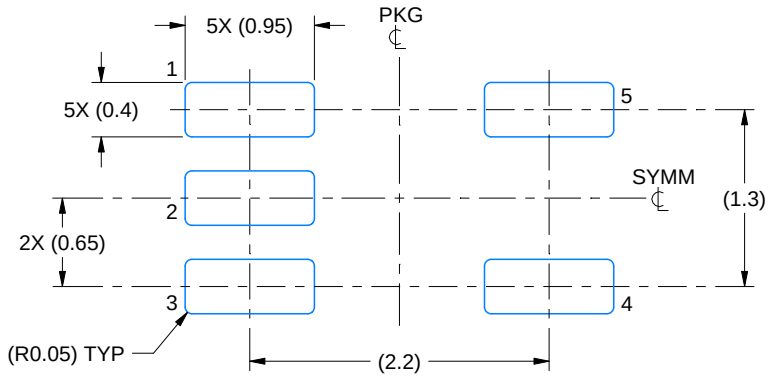
SMALL OUTLINE TRANSISTOR



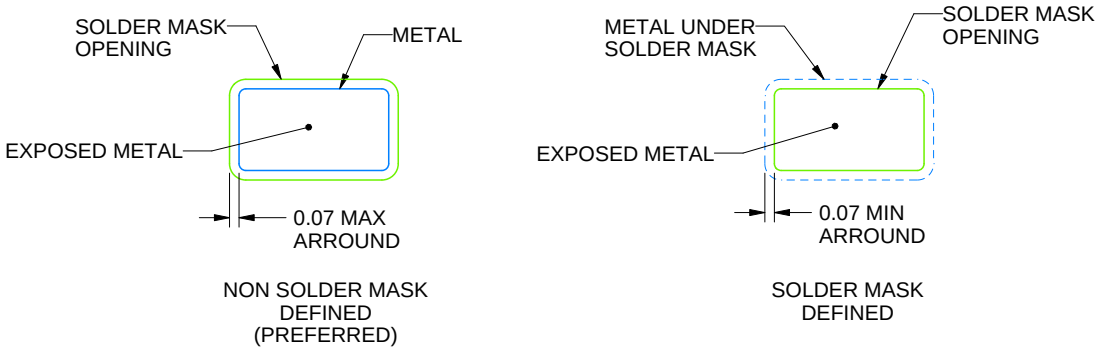
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

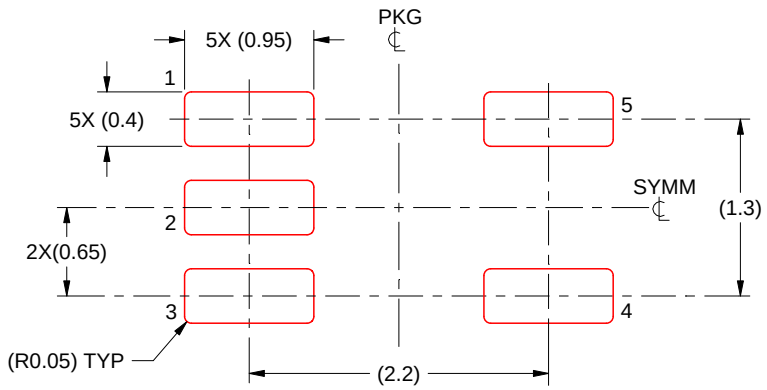


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月