SN74LV4T125-EP 具有三态输出 CMOS 逻辑电平转换器的单电源四路缓冲器转换器门

1 特性

- 1.8V 至 5.5V 的宽工作电压范围
- 单电源电压转换器（参阅 *LVxT 增强输入电压*）：
  - 升压转换：
    - 1.2V 至 1.8V
    - 1.5V 至 2.5V
    - 1.8V 至 3.3V
    - 3.3V 至 5.0V
  - 降压转换：
    - 5.0V、3.3V、2.5V 至 1.8V
    - 5.0V、3.3V 至 2.5V
    - 5.0V 至 3.3V
- 5.5V 容限输入引脚
- 支持标准引脚排列
- 速率高达 150Mbps，具有 5V 或 3.3V V_{CC}
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 启用或禁用数字信号
- 控制指示灯 LED
- 通信模块和系统控制器之间的转换

3 说明

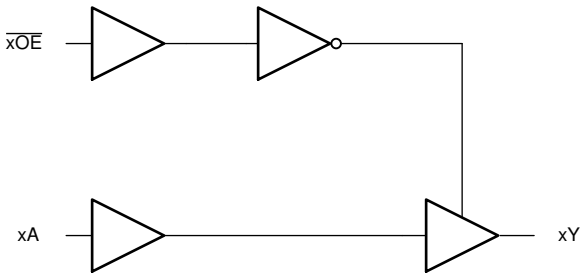
SN74LV4T125-EP 包含四个具有三态输出的独立缓冲器且支持扩展电压运行，可实现电平转换。每个缓冲器以正逻辑执行布尔函数 Y = A。通过对 $\overline{OE}$ 引脚施加高电平，可以将输出置于高阻态 (Hi-Z)。输出电平以电源电压 (V_{CC}) 为基准，并支持 1.8V、2.5V、3.3V 和 5V CMOS 电平。

该输入经设计，具有较低阈值电路，支持较低电压 CMOS 输入的升压转换（例如 1.2V 输入转换为 1.8V 输出或 1.8V 输入转换为 3.3V 输出）。此外，5V 容限输入引脚可实现降压转换（例如 3.3V 转 2.5V 输出）。

封装信息

器件型号(1)	封装(2)	封装尺寸(3)	封装尺寸（标称值）(4)
SN74LV4T125-EP	PW（TSSOP，14）	5mm × 6.4mm	5mm × 4.4mm

(1) 请参阅其他产品选择
(2) 有关更多信息，请参阅 节 12。
(3) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(4) 封装尺寸（长 × 宽）为标称值，不包括引脚。



简化逻辑图（正逻辑）

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 额外产品选择.....2
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....5
6.5 电气特性.....5
6.6 开关特性.....7
6.7 噪声特性.....8
6.8 典型特性.....8
7 参数测量信息.....11
8 详细说明.....12
8.1 概述.....12
8.2 功能方框图.....12
8.3 特性说明.....12
8.4 器件功能模式.....15
9 应用和实施.....16
9.1 应用信息.....16
9.2 典型应用.....16
9.3 电源相关建议.....17
9.4 布局.....17
10 器件和文档支持.....18
10.1 接收文档更新通知.....18
10.2 支持资源.....18
10.3 商标.....18
10.4 静电放电警告.....18
10.5 术语表.....18
11 修订历史记录.....18
12 机械、封装和可订购信息.....18

4 额外产品选择

器件	封装	说明
SN74LV1T00	DCK，DBV	2 输入正与非 (NAND) 门
SN74LV1T02	DCK，DBV	2 输入正或非 (NOR) 门
SN74LV1T04	DCK，DBV	反向器门
SN74LV1T08	DCK，DBV	2 输入正与 (AND) 门
SN74LV1T34	DCK，DBV，DRL	单缓冲器门
SN74LV1T14	DCK，DBV	单路施密特触发器反向器门
SN74LV1T32	DCK，DBV	2 输入正或 (OR) 门
SN74LV1T86	DCK，DBV	单路 2 输入异或门
SN74LV1T125	DCK，DBV，DRL	具有三态输出的单路缓冲器门
SN74LV1T126	DCK，DBV，DRL	具有三态输出的单路缓冲器门
SN74LV4T125-EP	RGY，PW	具有三态输出的四路总线缓冲器门

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

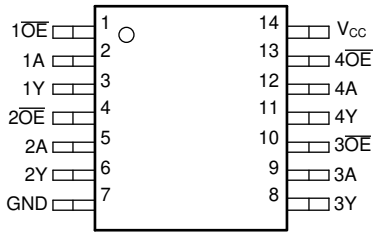


图 5-1. PW 封装，
14 引脚 TSSOP
（顶视图）

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
1$\overline{OE}$	1	I	通道 1，输出使能，低电平有效
1A	2	I	通道 1，输入 A
1Y	3	O	通道 1，输出 Y
2$\overline{OE}$	4	I	通道 2，输出使能，低电平有效
2A	5	I	通道 2，输入 A
2Y	6	O	通道 2，输出 Y
GND	7	G	地
3Y	8	O	通道 3，输出 Y
3A	9	I	通道 3，输入 A
3$\overline{OE}$	10	I	通道 3，输出使能，低电平有效
4Y	11	O	通道 4，输出 Y
4A	12	I	通道 4，输入 A
4$\overline{OE}$	13	I	通道 4，输出使能，低电平有效
V_{CC}	14	P	正电源

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2024 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围(2)		-0.5	7	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围(2)		-0.5	7	V
V_O	输出电压范围(2)		-0.5	V_{CC}+0.5	V
I_{IK}	输入钳位电流	V_I < -0.5V		-20	mA
I_{OK}	输出钳位电流	V_O < -0.5V 或 V_O > V_{CC} +0.5V		±20	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}		±25	mA
	通过 V_{CC} 或 GND 的持续输出电流			±50	mA
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值* 的运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件* 以外的任何其他条件下能够正常运行。如果在*建议运行条件* 之外但在*绝对最大额定值* 范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	最大值	单位
V_{CC}	电源电压		1.6	5.5	V
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
V_{IH}	高电平输入电压	V_{CC} = 1.65V 至 2V	1.1		V
		V_{CC} = 2.25V 至 2.75V	1.28		
		V_{CC}=3V 至 3.6V	1.45		
		V_{CC} = 4.5V 至 5.5V	2		
V_{IL}	低电平输入电压	V_{CC} = 1.65V 至 2V		0.5	V
		V_{CC} = 2.25V 至 2.75V		0.65	
		V_{CC}=3V 至 3.6V		0.75	
		V_{CC} = 4.5V 至 5.5V		0.85	
I_O	输出电流	V_{CC} = 1.6V 至 2V		±3	mA
		V_{CC} = 2.25V 至 2.75V		±7	
		V_{CC} = 3.3V 至 5.0V		±15	
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 1.6V 至 5.0V		20	ns/V

Copyright © 2024 Texas Instruments Incorporated

6.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
T_A	自然通风条件下的工作温度范围	-55	125	°C

6.4 热性能信息

热指标(1)		SN74LV4T125-EP-EP PW (TSSOP) 14 引脚	单位
$R_{\theta JA}$	结至环境热阻	147.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	77.4	°C/W
$R_{\theta JB}$	结至电路板热阻	90.9	°C/W
Ψ_{JT}	结至顶部特性参数	27.2	°C/W
Ψ_{JB}	结至电路板特征参数	90.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			-55°C 至 125°C			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
V_{OH}	I_{OH} = -50μA	1.65V 至 5.5V	V_{CC} - 0.1			V_{CC} - 0.1			V
	I_{OH} = -2mA	1.65V 至 2V	1.28	1.7 (1)		1.21			
	I_{OH}=-3mA	2.25V 至 2.75V	2	2.4(1)		1.93			
	I_{OH} = -5.5mA	3V 至 3.6V	2.6	3.08(1)		2.49			
	I_{OH} = -8mA	4.5V 至 5.5V	4.1	4.65(1)		3.95			
V_{OL}	I_{OL} = 50μA	1.65V 至 5.5V			0.1			0.1	V
	I_{OL} = 2mA	1.65V 至 2V		0.1(1)	0.2			0.25	
	I_{OL} = 3mA	2.25V 至 2.75V		0.1(1)	0.15			0.2	
	I_{OL} = 5.5mA	3V 至 3.6V		0.2(1)	0.2			0.25	
	I_{OL} = 8mA	4.5V 至 5.5V		0.3(1)	0.3			0.35	
I_I	V_I = 0V 或 V_{CC}	0V 至 5.5V			±0.1			±1	μA
I_{OZ}	V_O = V_{CC} 或 GND 且 V_{CC} = 5.5V	5.5V			±0.25			±2.5	μA
I_{CC}	V_I = 0V 或 V_{CC}，I_O = 0；负载开路	1.65V 至 5.5V			2			20	μA
ΔI_{CC}	一个输入为 0.3V 或 3.4V，其他输入为 0V 或 V_{CC}，I_O = 0	5.5V			1.35			1.5	mA
	一个输入为 0.3V 或 1.1V，其他输入为 0V 或 V_{CC}，I_O = 0	1.8V			10			20	μA
C_I	V_I=V_{CC} 或 GND	5V		4	10			10	pF
C_O	V_O = V_{CC} 或 GND	5V		3					pF

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			-55°C 至 125°C			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
C_{PD}	空载，F = 1MHz	5V		14					pF

(1) 最接近标称电压（1.8V、2.5V、3.3V 和 5V）时的典型值

Copyright © 2024 Texas Instruments Incorporated

6.6 开关特性

在自然通风条件下的工作温度范围内测得；典型额定值在 T_A = 25°C 时测得（除非另有说明）。

参数	从（输入）	至（输出）	负载电容	V_{CC}	最小值	典型值	最大值	单位
t_{PHL}	A	Y	C_L = 15pF	1.8V		15.6	40.1	ns
t_{PLH}	A	Y	C_L = 15pF	1.8V		11.8	40.1	ns
t_{PHZ}	OE	Y	C_L = 15pF	1.8V		13.0	20.9	ns
t_{PLZ}	OE	Y	C_L = 15pF	1.8V		11.7	18.5	ns
t_{PZH}	OE	Y	C_L = 15pF	1.8V		17.4	33.3	ns
t_{PZL}	OE	Y	C_L = 15pF	1.8V		16.8	32.3	ns
t_{PHL}	A	Y	C_L = 50pF	1.8V		21.0	46.7	ns
t_{PLH}	A	Y	C_L = 50pF	1.8V		16.1	46.7	ns
t_{PHZ}	OE	Y	C_L = 50pF	1.8V		19.7	28.2	ns
t_{PLZ}	OE	Y	C_L = 50pF	1.8V		18.6	25.9	ns
t_{PZH}	OE	Y	C_L = 50pF	1.8V		19.9	37.1	ns
t_{PZL}	OE	Y	C_L = 50pF	1.8V		19.1	35.8	ns
t_{PHL}	A	Y	C_L = 15pF	2.5V		10.6	24.0	ns
t_{PLH}	A	Y	C_L = 15pF	2.5V		7.1	24.0	ns
t_{PHZ}	OE	Y	C_L = 15pF	2.5V		8.2	12.6	ns
t_{PLZ}	OE	Y	C_L = 15pF	2.5V		7.4	11.1	ns
t_{PZH}	OE	Y	C_L = 15pF	2.5V		10.4	19.8	ns
t_{PZL}	OE	Y	C_L = 15pF	2.5V		9.9	19.0	ns
t_{PHL}	A	Y	C_L = 50pF	2.5V		13.5	25.4	ns
t_{PLH}	A	Y	C_L = 50pF	2.5V		10.1	25.4	ns
t_{PHZ}	OE	Y	C_L = 50pF	2.5V		13.1	18.5	ns
t_{PLZ}	OE	Y	C_L = 50pF	2.5V		12.0	16.4	ns
t_{PZH}	OE	Y	C_L = 50pF	2.5V		12.0	22.5	ns
t_{PZL}	OE	Y	C_L = 50pF	2.5V		11.1	21.5	ns
t_{PHL}	A	Y	C_L = 15pF	3.3V		7.9	15.2	ns
t_{PLH}	A	Y	C_L = 15pF	3.3V		5.4	13.8	ns
t_{PHZ}	OE	Y	C_L = 15pF	3.3V		6.0	9.9	ns
t_{PLZ}	OE	Y	C_L = 15pF	3.3V		5.3	8.2	ns
t_{PZH}	OE	Y	C_L = 15pF	3.3V		7.9	14.1	ns
t_{PZL}	OE	Y	C_L = 15pF	3.3V		7.4	13.5	ns
t_{PHL}	A	Y	C_L = 50pF	3.3V		10.2	18.3	ns
t_{PLH}	A	Y	C_L = 50pF	3.3V		7.8	16.0	ns
t_{PHZ}	OE	Y	C_L = 50pF	3.3V		9.7	15.1	ns
t_{PLZ}	OE	Y	C_L = 50pF	3.3V		9.2	12.9	ns
t_{PZH}	OE	Y	C_L = 50pF	3.3V		9.1	16.4	ns
t_{PZL}	OE	Y	C_L = 50pF	3.3V		8.3	15.3	ns
tsk(o)	OE	Y	C_L = 50pF	3.3V			1.5	ns
t_{PHL}	A	Y	C_L = 15pF	5V		5.3	10.2	ns
t_{PLH}	A	Y	C_L = 15pF	5V		4.2	9.9	ns
t_{PHZ}	OE	Y	C_L = 15pF	5V		4.6	7.5	ns
t_{PLZ}	OE	Y	C_L = 15pF	5V		4.2	6.1	ns
t_{PZH}	OE	Y	C_L = 15pF	5V		5.6	9.6	ns
t_{PZL}	OE	Y	C_L = 15pF	5V		5.1	8.9	ns

Copyright © 2024 Texas Instruments Incorporated

6.6 开关特性（续）

在自然通风条件下的工作温度范围内测得；典型额定值在 T_A = 25°C 时测得（除非另有说明）。

参数	从（输入）	至（输出）	负载电容	V_{CC}	最小值	典型值	最大值	单位
t_{PHL}	A	Y	C_L = 50pF	5V		7.1	12.5	ns
t_{PLH}	A	Y	C_L = 50pF	5V		5.8	11.5	ns
t_{PHZ}	OE	Y	C_L = 50pF	5V		6.9	10.9	ns
t_{PLZ}	OE	Y	C_L = 50pF	5V		6.8	9.1	ns
t_{PZH}	OE	Y	C_L = 50pF	5V		6.6	11.0	ns
t_{PZL}	OE	Y	C_L = 50pF	5V		5.7	10.0	ns

6.7 噪声特性

VCC = 5V，CL = 50pF，TA = 25°C

参数	说明	最小值	典型值	最大值	单位
$V_{OL(P)}$	安静输出，最大动态 V_{OL}		1	1.2	V
$V_{OL(V)}$	安静输出，最小动态 V_{OL}	-0.8	-0.3		V
$V_{OH(V)}$	安静输出，最小动态 V_{OH}	4.4	5		V
$V_{IH(D)}$	高电平动态输入电压	2.1			V
$V_{IL(D)}$	低电平动态输入电压			0.5	V

6.8 典型特性

T_A = 25°C（除非另外注明）

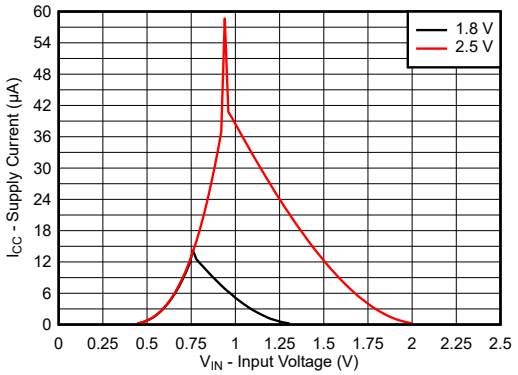


图 6-1. 输入电压范围内的电源电流，1.8V 和 2.5V 电源

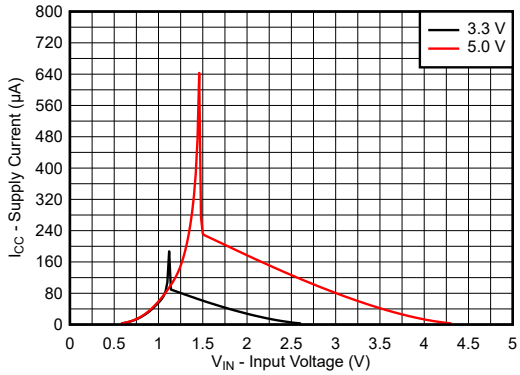


图 6-2. 输入电压范围内的电源电流，3.3V 和 5.0V 电源

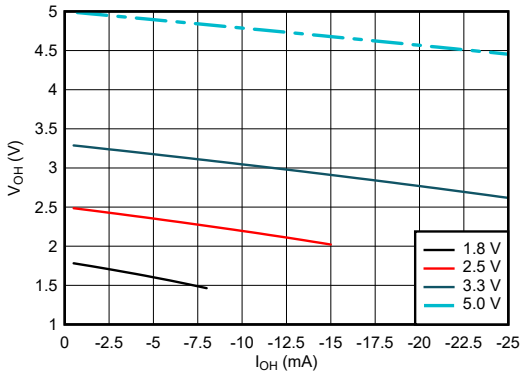


图 6-3. 高电平状态下输出电压与电流间的关系

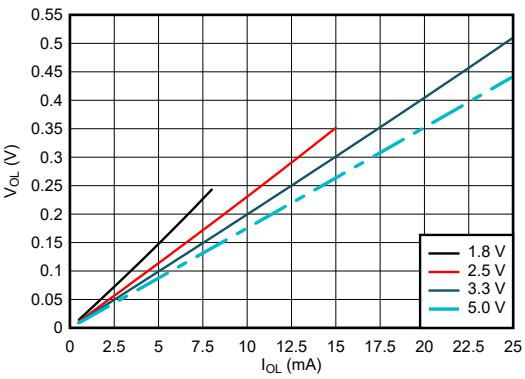


图 6-4. 低电平状态下输出电压与电流间的关系

Copyright © 2024 Texas Instruments Incorporated

6.8 典型特性（续）

T_A = 25°C（除非另外注明）

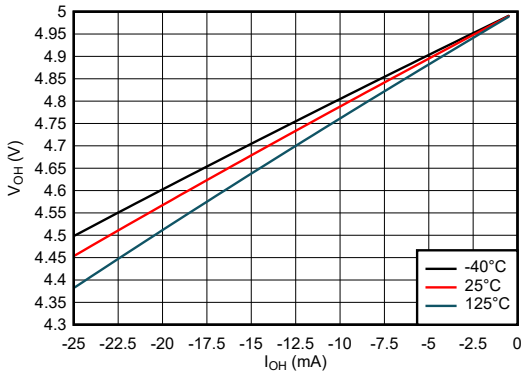


图 6-5. 高电平状态下输出电压与电流间的关系（5V 电源）

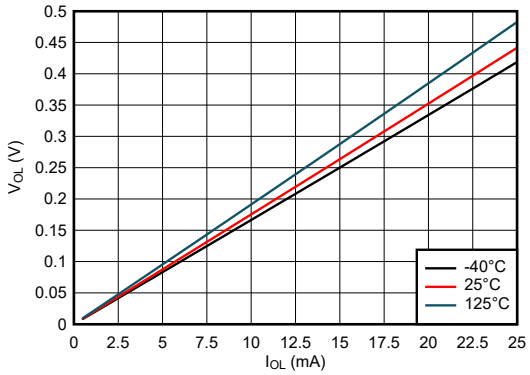


图 6-6. 低电平状态下输出电压与电流间的关系（5V 电源）

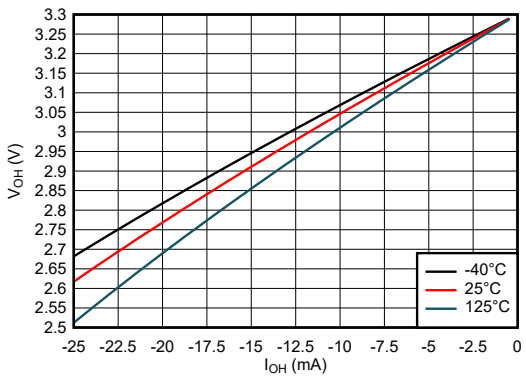


图 6-7. 高电平状态下输出电压与电流间的关系（3.3V 电源）

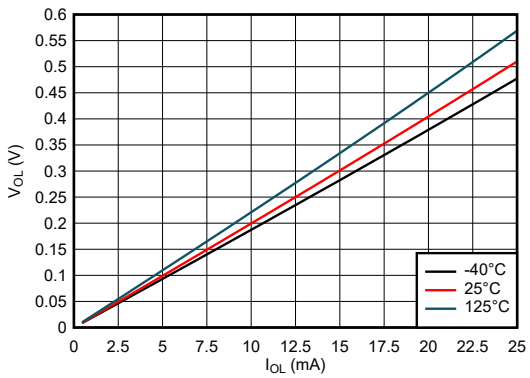


图 6-8. 低电平状态下输出电压与电流间的关系（3.3V 电源）

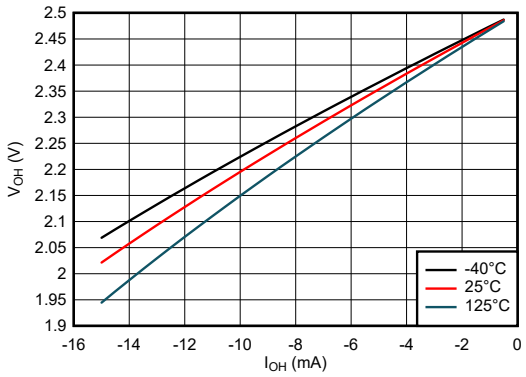


图 6-9. 高电平状态下输出电压与电流间的关系（2.5V 电源）

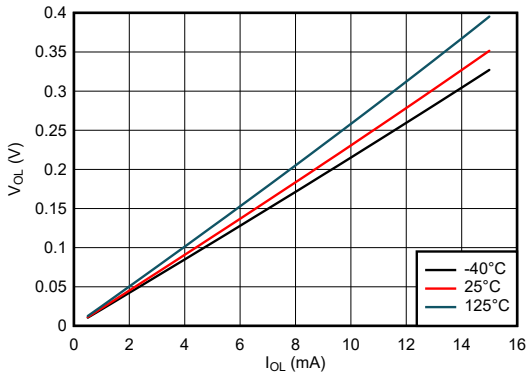


图 6-10. 低电平状态下输出电压与电流间的关系（2.5V 电源）

Copyright © 2024 Texas Instruments Incorporated

6.8 典型特性（续）

T_A = 25°C（除非另外注明）

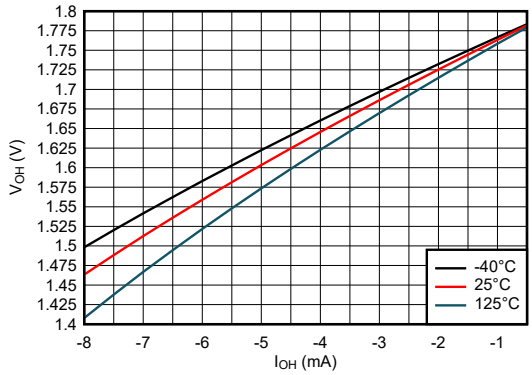


图 6-11. 高电平状态下输出电压与电流间的关系（1.8V 电源）

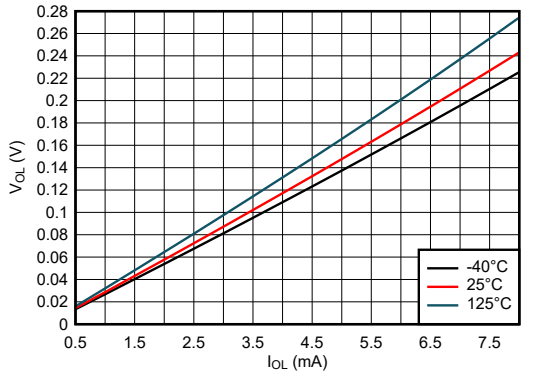
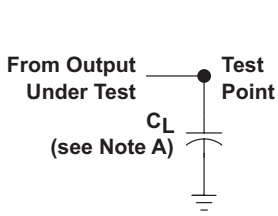


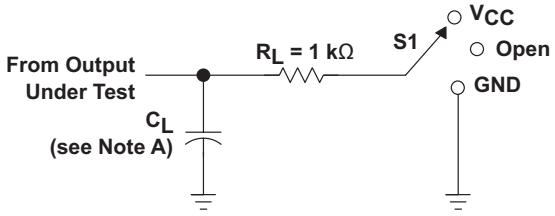
图 6-12. 低电平状态下输出电压与电流间的关系（1.8V 电源）

Copyright © 2024 Texas Instruments Incorporated

7 参数测量信息

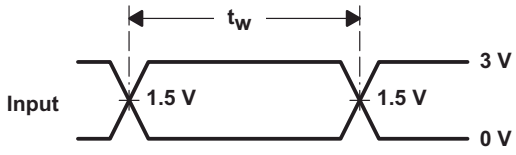


LOAD CIRCUIT FOR
TOTEM-POLE OUTPUTS

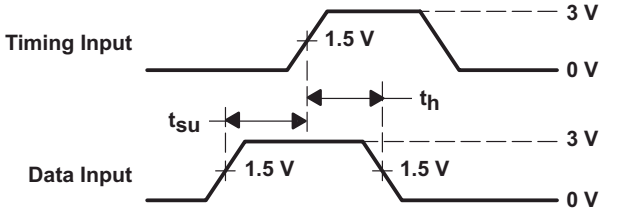


LOAD CIRCUIT FOR
3-STATE AND OPEN-DRAIN OUTPUTS

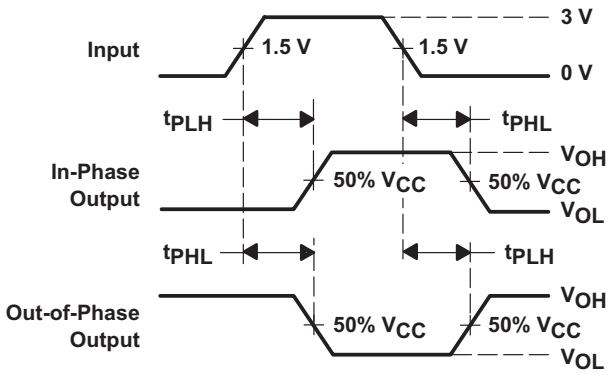
TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{CC}
t_{PHZ}/t_{PZH}	GND
Open Drain	V_{CC}



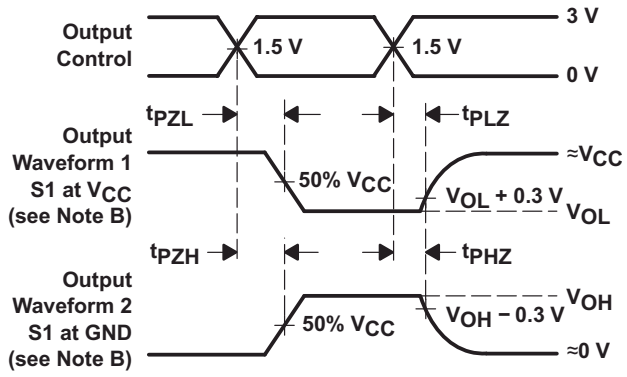
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES: A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 1 MHz, Z_O = 50 Ω, t_r ≤ 3 ns, t_f ≤ 3 ns.
D. The outputs are measured one at a time, with one input transition per measurement.
E. All parameters and waveforms are not applicable to all devices.

图 7-1. 负载电路和电压波形

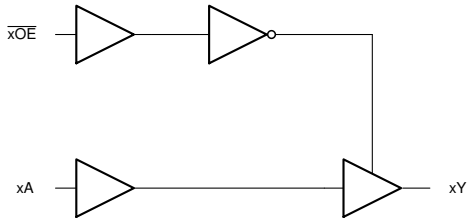
Copyright © 2024 Texas Instruments Incorporated

8 详细说明

8.1 概述

SN74LV4T125-EP 包含四个具有三态输出的独立缓冲器且支持扩展电压运行，可实现电平转换。每个缓冲器以正逻辑执行布尔函数 Y = A。通过对 $\overline{OE}$ 引脚施加高电平，可以将输出置于高阻态。输出电平以电源电压 (V_{CC}) 为基准，并支持 1.8V、2.5V、3.3V 和 5V CMOS 电平。

8.2 功能方框图



8.3 特性说明

8.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻抗模式时，输出既不会灌入电流，也不会拉出电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10kΩ 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

8.3.2 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 8-1 所示。

小心

电压超出 *绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

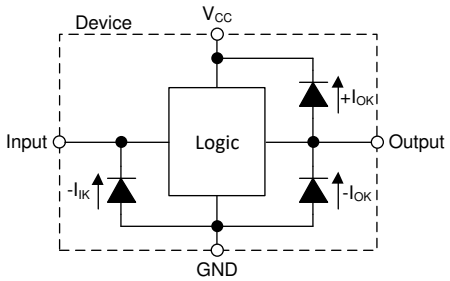


图 8-1. 每个输入和输出的钳位二极管的电气布置

8.3.3 LVxT 增强输入电压

SN74LV4T125-EP 属于 TI 的 LVxT 逻辑器件系列，具有集成电压电平转换功能。该系列器件的设计具有更低的输入电压阈值，支持升压转换；其输入可承受高达 5.5V 电平的信号，支持降压转换。输出电压将始终以电源电压

Copyright © 2024 Texas Instruments Incorporated

(V_{CC}) 为基准，如*电气特性* 表中所述。为了正常运行，输入信号必须保持在或低于指定的 $V_{IH(MIN)}$ 电平才能获得高电平输入状态，保持在或低于指定的 $V_{IL(MAX)}$ 电平才能获得低电平输入状态。图 8-2 展示了 LVxT 系列器件的典型 V_{IH} 和 V_{IL} 电平，以及标准 CMOS 器件的电压电平用于比较。

输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性* 中所示。最坏情况下的电阻是根据*绝对最大额定值* 中给出的最大输入电压和*电气特性* 中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

输入要求输入信号在有效逻辑状态之间快速转换，如*建议的工作条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢变化或悬空的影响* 应用报告。

在运行期间，任何时候都不要让输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

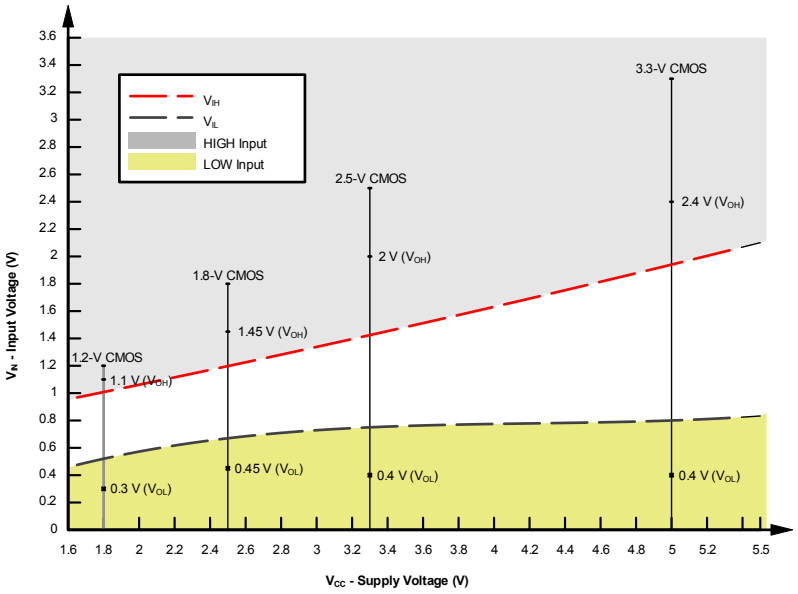


图 8-2. LVxT 输入电压电平

8.3.3.1 降压转换

可以使用 SN74LV4T125-EP 对信号进行降压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如*建议的工作条件* 和*电气特性* 表中所述。

当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC}，在低电平状态下约为 0V。如图 8-2 所示，确保处于高电平状态的输入信号介于 $V_{IH(MIN)}$ 和 5.5V 之间，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$。

例如，在 5.0V、3.3V 或 2.5V 电压下运行的器件的标准 CMOS 输入可进行降压转换，以匹配器件在 1.8V V_{CC} 电压下运行时的 1.8V CMOS 信号。请参阅图 8-3。

降压转换组合 如下：

- 1.8V V_{CC} – 输入为 2.5V、3.3V 和 5.0V
- 2.5V V_{CC} – 输入为 3.3V 和 5.0V
- 3.3V V_{CC} – 输入为 5.0V

Copyright © 2024 Texas Instruments Incorporated

8.3.3.2 升压转换

可以使用 SN74LV4T125-EP 对输入信号进行升压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如*建议的工作条件* 和*电气特性* 表中所述。当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC}，在低电平状态下约为 0V。

输入具有更低的阈值，使得输入高状态电平远低于标准值。例如，工作电源电压为 5V 的器件的标准 CMOS 输入将具有 3.5V 的 $V_{IH(MIN)}$。对于 SN74LV4T125-EP，电源电压为 5V 时，$V_{IH(MIN)}$ 仅为 2V，可以实现信号从典型 2.5V 至 5V 的升压转换。

如图 8-3 所示，确保处于高电平状态的输入信号高于 $V_{IH(MIN)}$，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$。

升压转换组合 如下：

- 1.8V V_{CC} – 输入为 1.2V
- 2.5V V_{CC} – 输入为 1.8V
- 3.3V V_{CC} – 输入为 1.8V 和 2.5V
- 5.0V V_{CC} – 输入为 2.5V 和 3.3V

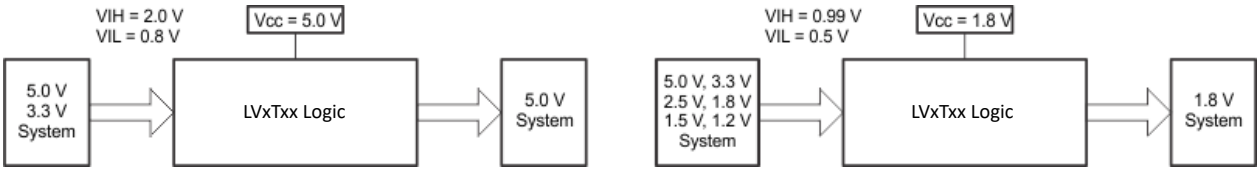


图 8-3. LVxT 升压和降压转换示例

Copyright © 2024 Texas Instruments Incorporated

8.4 器件功能模式

功能表列出了 SN74LV4T125-EP 的功能模式。

表 8-1. 功能表

输入(1)		输出
$\overline{OE}$	A	Y
L	H	H
L	L	L
H	X	Z

(1) H = 高压电平，L = 低压电平，X = 无关，Z = 高阻抗

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

此应用中使用具有三态输出的缓冲器来禁用数据信号，如图 9-1 中所示。其余三个缓冲器可用于系统中其他地方的信号调节，或者可将输入接地，并且通道保持不适用。

9.2 典型应用

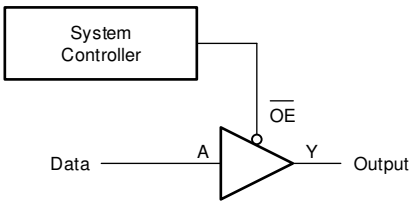


图 9-1. 典型应用框图

9.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。输入阈值电平被降低，以允许升压转换。在 5V 时，该器件具有等效的 TTL 输入电平。

9.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74LV4T125-EP 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$ Ω。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

9.2.3 应用曲线

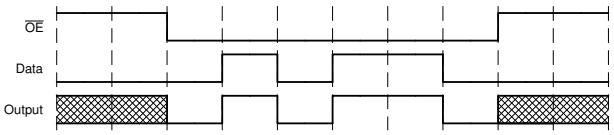


图 9-2. 应用时序图

Copyright © 2024 Texas Instruments Incorporated

9.3 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1μF；如果有多个 V_{CC} 引脚，则建议每个电源引脚使用 0.01μF 或 0.022μF 电容。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 μ F 和 1 μ F 通常并联使用。为了获得更佳效果，旁路电容器应尽可能靠近电源引脚安装。

9.4 布局

9.4.1 布局指南

当使用多位逻辑器件时，输入决不能悬空。

在许多情况下，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时，未使用数字逻辑器件的功能或部分功能。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的操作状态。图 9-3 指定了在所有情况下都必须遵守的规则。

数字逻辑器件的所有未使用输入必须被连接至一个高或低偏置以防止它们悬空。应应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们将连接到 GND 或 V_{CC}，具体取决于哪种更合理或更方便。

浮动输出通常是可以接受的，除非该器件是收发器。如果该收发器有一个输出使能引脚，它会在置为有效时禁用该器件的输出部分。这不会禁用 IO 的输入部分，因此输入在禁用后也无法悬空。

9.4.2 布局示例

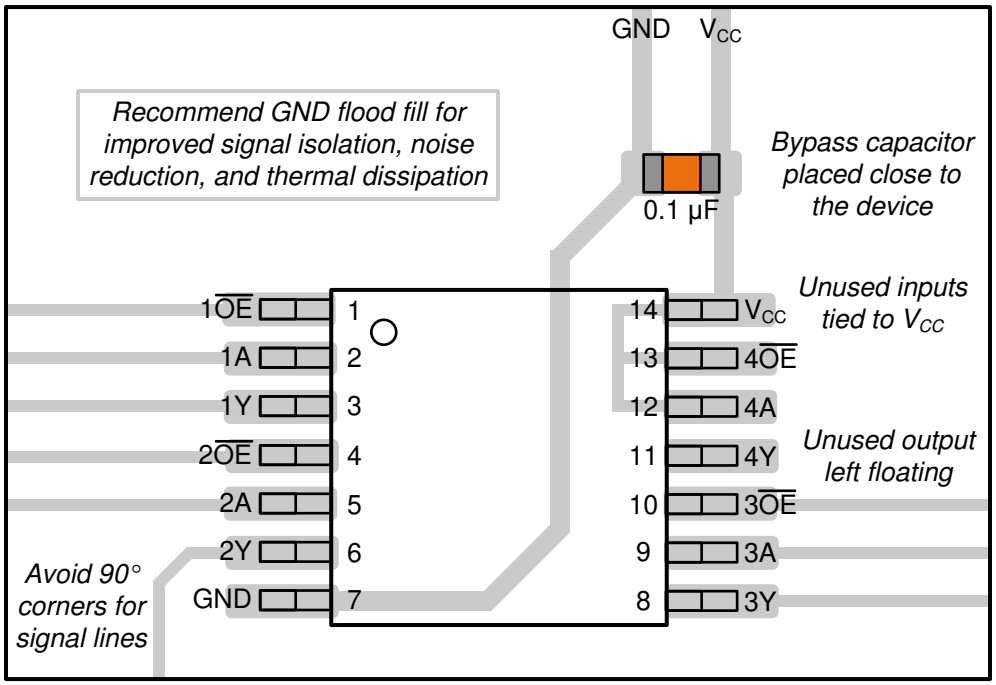


图 9-3. 示例布局 SN74LV4T125-EP

Copyright © 2024 Texas Instruments Incorporated

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

日期	修订版	说明
2024 年 1 月	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV4T125PWREP	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	L4125EP
SN74LV4T125PWREP.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	L4125EP
V62/24608-01XE	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	L4125EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV4T125-EP :

- Catalog : SN74LV4T125

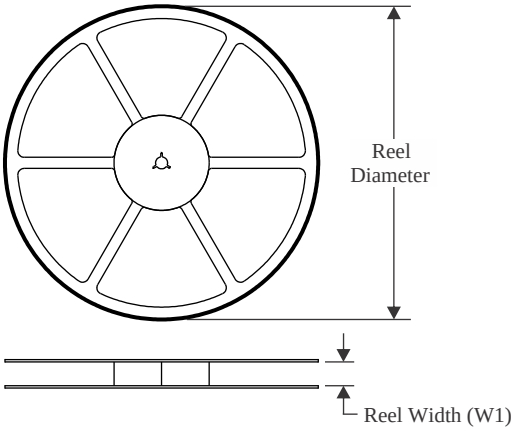
- Automotive : SN74LV4T125-Q1

NOTE: Qualified Version Definitions:

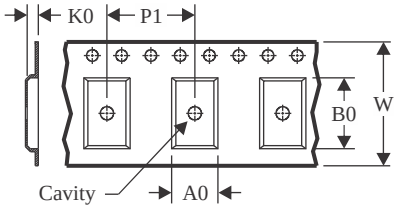
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

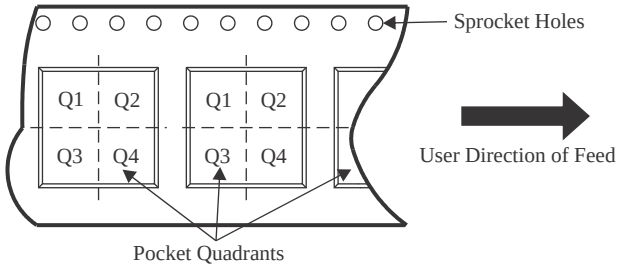


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

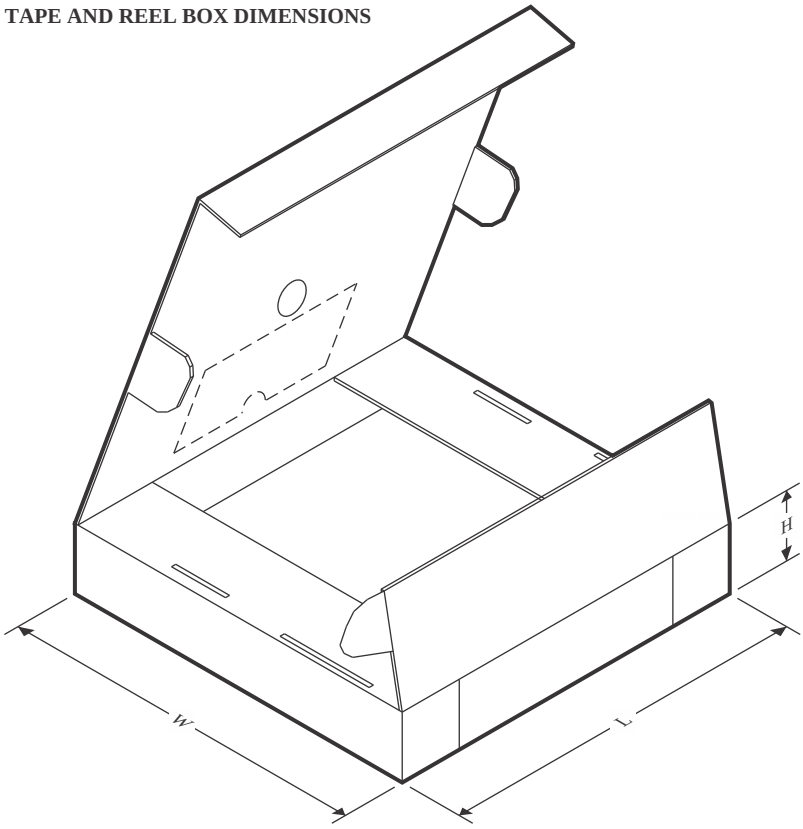
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV4T125PWREP	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

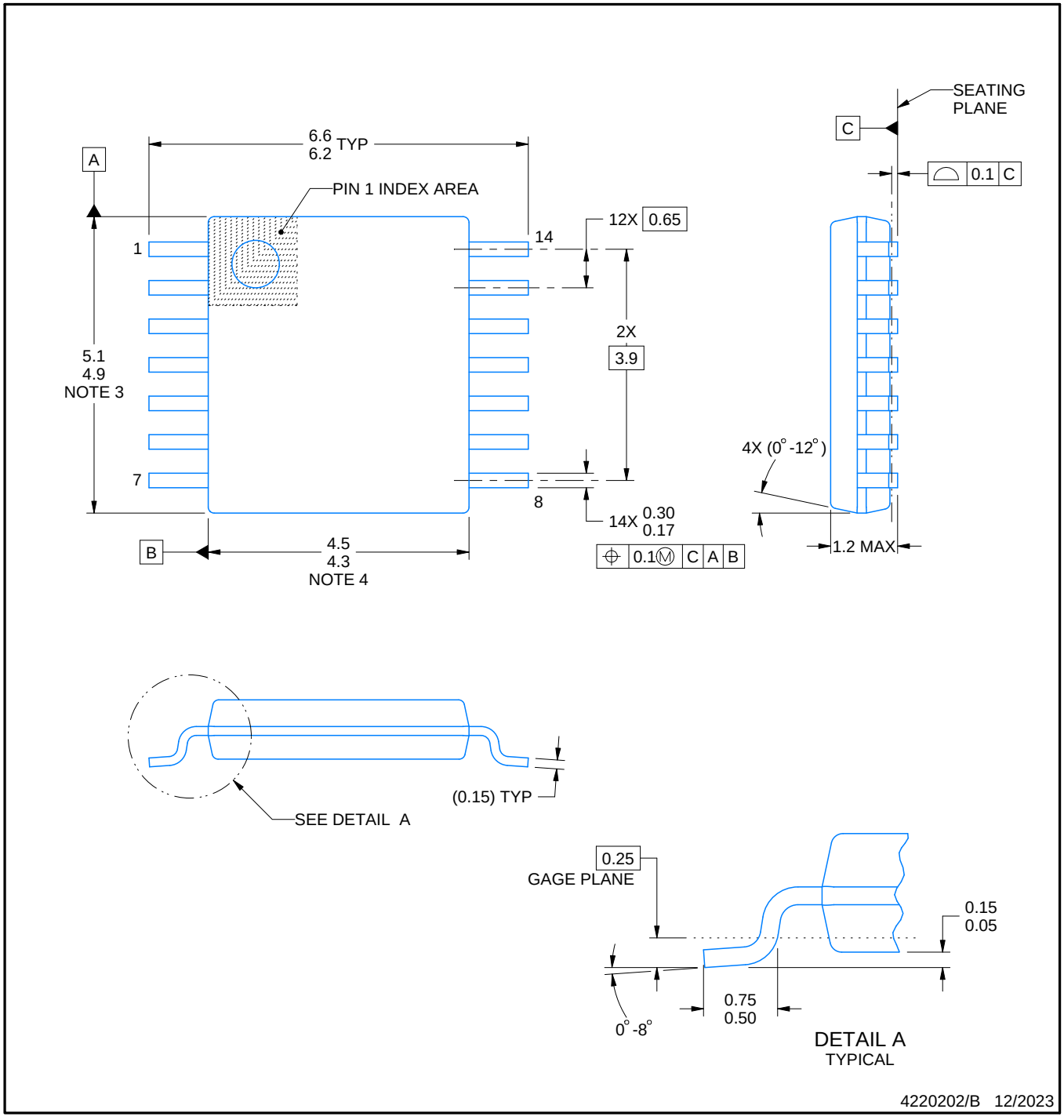
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV4T125PWREP	TSSOP	PW	14	3000	353.0	353.0	32.0

PACKAGE OUTLINE

PW0014A

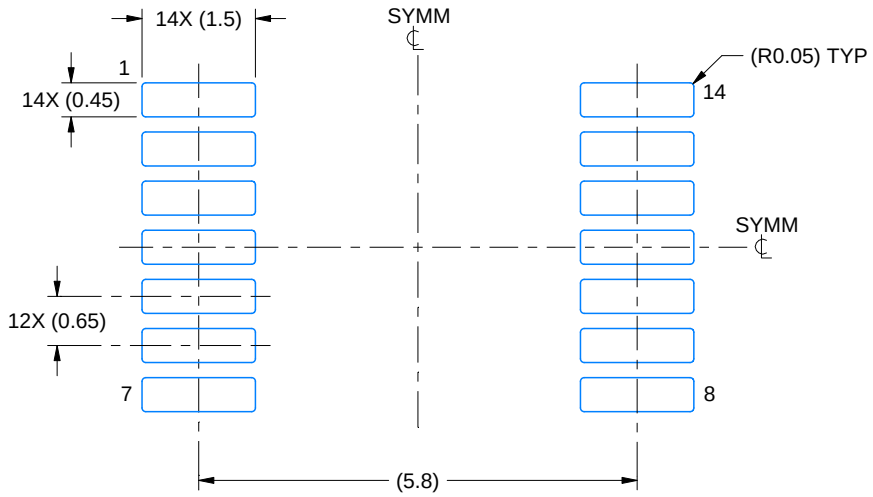
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

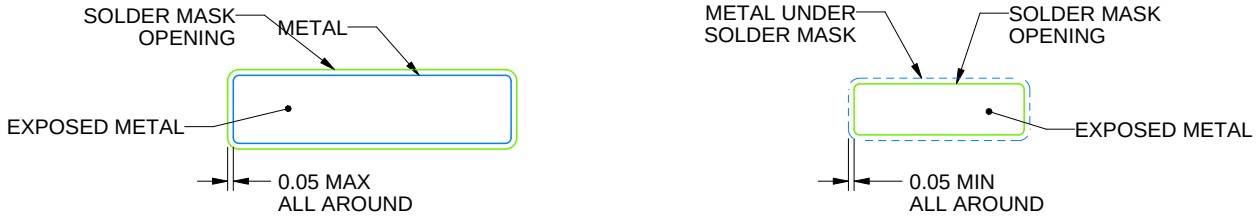


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

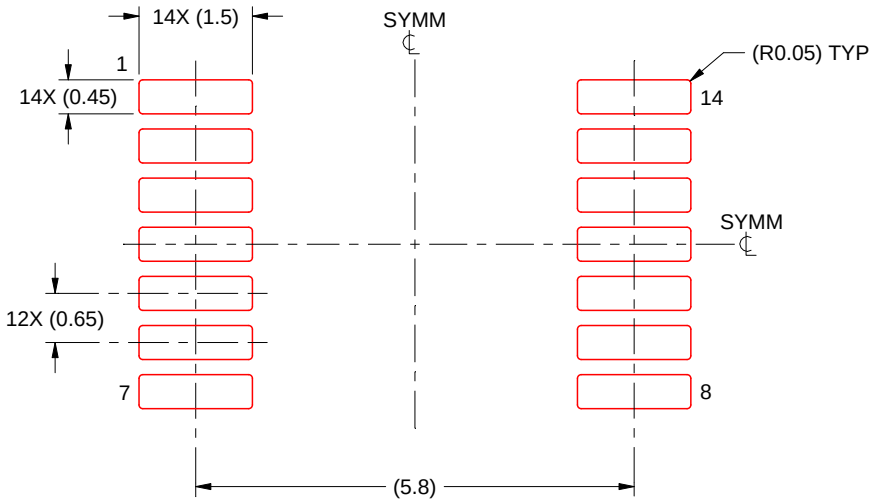


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月