SN74LV1T32 单电源 2 输入正或门 CMOS 逻辑电平转换器

1 特性

- V_{CC} 为 5.0V、3.3V、2.5V 和 1.8V 的单电源电压转换器
- 工作电压范围为 1.8V 至 5.5V
- 升压转换：
  - 1.8V V_{CC} 时为 1.2V(1) 至 1.8V
  - 2.5V V_{CC} 时为 1.5V(1) 至 2.5V
  - 3.3V V_{CC} 时为 1.8V(1) 至 3.3V
  - 5.0V V_{CC} 时为 3.3V 至 5.0V
- 降压转换：
  - 1.8V V_{CC} 时为 3.3V 至 1.8V
  - 2.5V V_{CC} 时为 3.3V 至 2.5V
  - 3.3V V_{CC} 时为 5.0V 至 3.3V
- 逻辑输出以 V_{CC} 为基准
- 输出驱动：
  - 电压为 5V 时，输出驱动为 8mA
  - 电压为 3.3V 时，输出驱动为 7mA
  - 电压为 1.8V 时，输出驱动为 3mA
- 3.3V V_{CC} 时，频率高达 50MHz
- 输入引脚可耐受 5V 电压
- -40°C 至 125°C 工作温度范围
- 可提供无铅封装：SC-70 (DCK)
  - 2mm x 2.1mm x 0.65mm（高度 1.1mm）
- 闩锁性能超过 250mA，符合 JESD 17 规范
- 支持标准逻辑引脚排列
- 与 AUP1G 和 LVC1G 系列兼容的 CMOS 输出 B[1]

2 应用

- 电信
- 便携式应用
- 服务器
- PC 和笔记本电脑

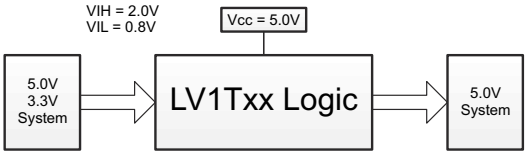
3 说明

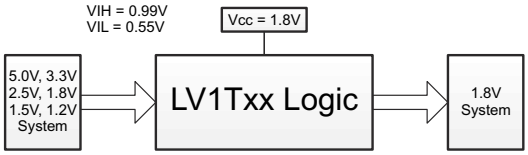
SN74LV1T32 是一款具有较低输入阈值的单路 2 输入或门，可支持电压转换应用。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74LV1T32	DBV（SOT-23，5）	2.9mm × 2.8mm	2.9mm x 1.6mm
	DCK（SC70，5）	2.0mm × 2.1mm	2.0mm × 1.25mm

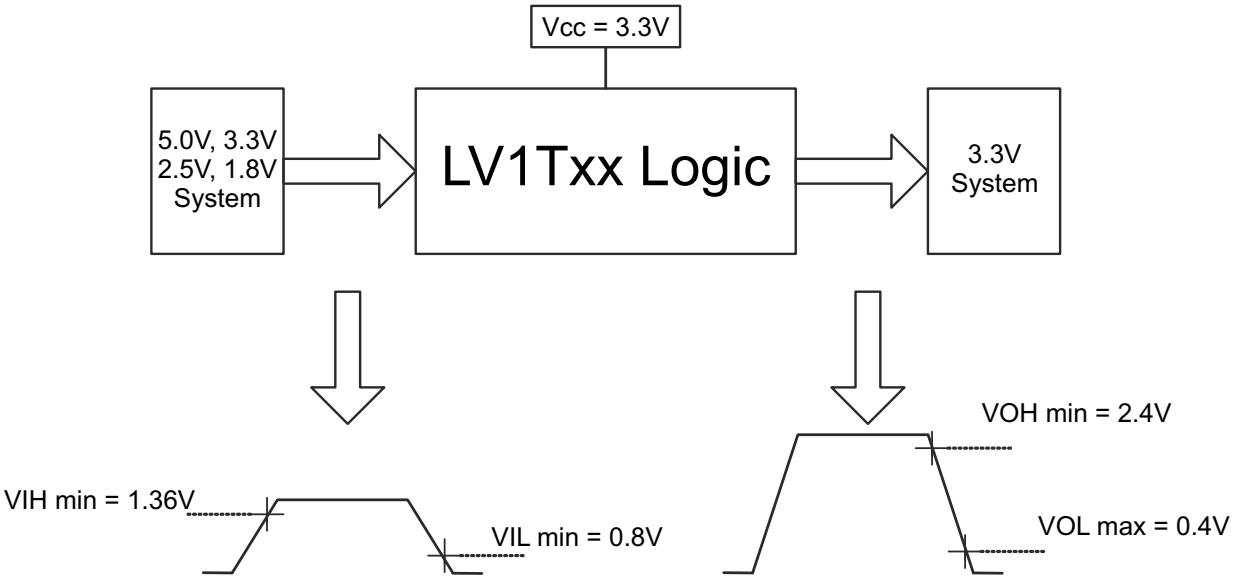
(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 x 宽）为标称值，不包括引脚。





[1] 请参考较低 V_{CC} 条件下的 V_{IH}/V_{IL} 和输出驱动。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。



1.8V 至 3.3V 转换的开关阈值

Copyright © 2024 Texas Instruments Incorporated

内容

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 相关产品 ... 4
5 引脚配置和功能 ... 5
6 规格 ... 6
6.1 绝对最大额定值 ... 6
6.2 ESD 等级 ... 6
6.3 建议运行条件 ... 6
6.4 热性能信息 ... 7
6.5 电气特性 ... 7
6.6 开关特性 ... 8
6.7 工作特性 ... 8
6.8 典型特性 ... 9
7 参数测量信息 ... 10
8 详细说明 ... 11
8.1 概述 ... 11
8.2 功能方框图 ... 11
8.3 特性说明 ... 11
8.4 器件功能模式 ... 13
9 应用和实施 ... 14
9.1 电源相关建议 ... 14
9.2 布局 ... 14
10 器件和文档支持 ... 15
10.1 文档支持（模拟） ... 15
10.2 接收文档更新通知 ... 15
10.3 支持资源 ... 15
10.4 商标 ... 15
10.5 静电放电警告 ... 15
10.6 术语表 ... 15
11 修订历史记录 ... 15
12 机械、封装和可订购信息 ... 16

Copyright © 2024 Texas Instruments Incorporated

4 相关产品

器件	封装	说明
SN74LV1T00	DCK，DBV	2 输入正与非门
SN74LV1T02	DCK，DBV	2 输入正或非门
SN74LV1T04	DCK，DBV	反向器门
SN74LV1T08	DCK，DBV	2 输入正与门
SN74LV1T17	DCK、DBV	单路施密特触发缓冲门
SN74LV1T14	DCK，DBV	单施密特触发器反相器门
SN74LV1T32	DCK，DBV	2 输入正或门
SN74LV1T34	DCK、DBV	单路缓冲门
SN74LV1T86	DCK，DBV	单路 2 输入异或门
SN74LV1T125	DCK、DBV	具有三态输出的单路缓冲器门
SN74LV1T126	DCK、DBV	具有三态输出的单路缓冲器门
SN74LV4T125	RGY，PW	具有三态输出的四路总线缓冲器门

Copyright © 2024 Texas Instruments Incorporated

5 引脚配置和功能

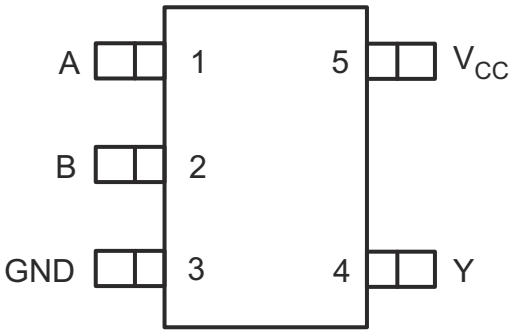


图 5-1. DCK 或 DBV 封装，5 引脚 SC70 或 SOT-23（顶视图）

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
A	1	I	输入 A
B	2	I	输入 B
GND	3	G	地
支持	4	O	输出 Y
V_{CC}	5	P	正电源

(1) I = 输入，O = 输出

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7.0	V
V_I	输入电压范围(2)		-0.5	7.0	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围(2)		-0.5	4.6	V
	应用到任一处于高电平或低电平状态输出的电压范围(2)		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0		-20	mA
I_{OK}	输出钳位电流	V_O < 0 或 V_O > V_{CC}		±20	mA
I_O	持续输出电流			±25	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些仅为应力等级，并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，有可能超过输入负电压和输出电压额定值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 支持在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 支持在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		1.6	5.5	V
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 1.8V		-3	mA
		V_{CC} = 2.5V		-5	
		V_{CC} = 3.3V		-7	
		V_{CC} = 5.0V		-8	
I_{OL}	低电平输出电流	V_{CC} = 1.8V		3	mA
		V_{CC} = 2.5V		5	
		V_{CC} = 3.3V		7	
		V_{CC} = 5.0V		8	
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 1.8V		20	ns/V
		V_{CC} = 3.3V 或 2.5V		20	
		V_{CC} = 5.0V		20	
T_A	自然通风条件下的工作温度范围		-40	125	°C

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢或悬空的影响*，文献编号 SCBA004。

Copyright © 2024 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)	DBV	DCK	单位
	5 引脚	5 引脚	
$R_{\theta JA}$ 结至环境热阻	278	289.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告 SPRA953。

6.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			T_A = -40°C 至 125°C		单位
			最小值	典型值	最大值	最小值	最大值	
V_{IH} 高电平输入电压		1.65V 至 1.8V	0.94			1.0		V
		2.0V	0.99			1.03		
		2.25V 至 2.5V	1.135			1.18		
		2.75V	1.21			1.23		
		3V 至 3.3V	1.35			1.37		
		3.6V	1.47			1.48		
		4.5V 至 5.0V	2.02			2.03		
		5.5 V	2.1			2.11		
V_{IL} 低电平输入电压		1.65V 至 2.0V			0.58		0.55	V
		2.25V 至 2.75V			0.75		0.71	
		3V 至 3.6V			0.8		0.65	
		4.5V 至 5.5V			0.8		0.8	
V_{OH}	I_{OH} = -20μA	1.65V 至 5.5V	V_{CC} – 0.1			V_{CC} – 0.1		V
	I_{OH} = -2.0mA	1.65V	1.28			1.21		V
		1.8V	1.5			1.45		
	I_{OH} = -3mA	2.3V	2.0			1.93		V
	I_{OH} = -3mA	2.5V	2.25			2.15		V
	I_{OH} = -3.0mA	3.0V	2.78			2.7		V
	I_{OH} = -5.5mA		2.6			2.49		
	I_{OH} = -5.5mA	3.3V	2.9			2.8		
	I_{OH} = -4mA	4.5V	4.2			4.1		V
	I_{OH} = -8mA		4.1			3.95		
	I_{OH} = -8mA	5.0V	4.6			4.5		
V_{OL}	I_{OL} = 20μA	1.65V 至 5.5V			0.1		0.1	V
	I_{OL} = 2.0mA	1.65V			0.2		0.25	
	I_{OH} = 3mA	2.3 V			0.15		0.2	
	I_{OL} = 3mA	3.0V			0.1		0.15	
	I_{OL} = 5.5mA				0.2		0.252	
	I_{OL} = 4mA	4.5V			0.15		0.2	
	I_{OL} = 8mA				0.3		0.35	
I_I A 输入	V_I = 0V 或 V_{CC}	0V、1.8V、2.5V、3.3V、5.5V			0.1		±1	μA
I_{CC}	V_I = 0V 或 V_{CC}，I_O = 0；负载开路	5.0V			1		10	μA
		3.3V			1		10	
		2.5V			1		10	
		1.8V			1		10	

Copyright © 2024 Texas Instruments Incorporated

6.5 电气特性（续）

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			T_A = -40°C 至 125°C		单位
			最小值	典型值	最大值	最小值	最大值	
ΔI_{CC}	一个输入为 0.3V 或 3.4V 其他输入为 0V 或 V_{CC}， I_O = 0	5.5V			1.35		1.5	mA
	一个输入为 0.3V 或 1.1V 其他输入为 0V 或 V_{CC}， I_O = 0	1.8V			10		10	μA
C_i	V_I = V_{CC} 或 GND	3.3V		2	10	2	10	pF
C_o	V_O = V_{CC} 或 GND	3.3V		2.5		2.5		pF

6.6 开关特性

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	频率（典型值）	V_{CC}	C_L	T_A = 25°C			T_A = -65°C 至 125°C			单位
						最小值	典型值	最大值	最小值	典型值	最大值	
t_{pd}	任意输入	Y	DC 到 50MHz	5.0V	15pF		4	5		4	5	ns
					30pF		5.5	7.0		5.5	7.0	
				3.3V	15pF		4.8	5		5	5.5	ns
					30pF		5	5.5		5.5	6.5	
			DC 到 25MHz	2.5V	15pF		6	6.5		7	7.5	ns
					30pF		6.5	7.5		7.5	8.5	
			DC 到 15MHz	1.8 V	15pF		10.5	11		11	12	ns
					30pF		12	13		12	14	

6.7 工作特性

T_A = 25°C

参数		测试条件	V_{CC}	典型值	单位
C_{pd}	功率耗散电容	f = 1MHz 和 10MHz	1.8 V ± 0.15 V	14	pF
			2.5 V ± 0.2 V	14	
			3.3 V ± 0.3 V	14	
			5.5 V ± 0.5 V	14	

Copyright © 2024 Texas Instruments Incorporated

6.8 典型特性

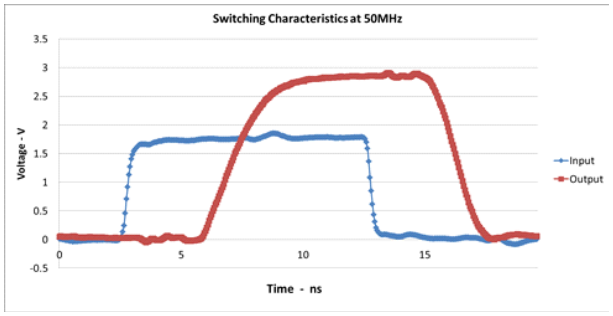


图 6-1. 出色的信号完整性
(3.3V V_{CC} 时为 1.8V 至 3.3V)

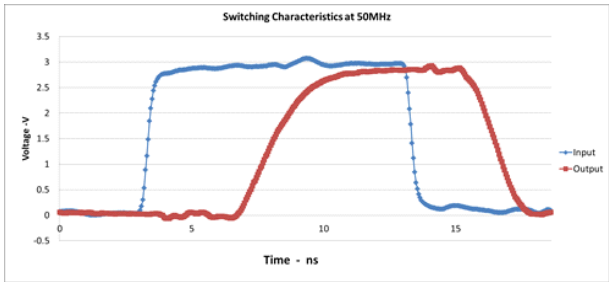


图 6-2. 出色的信号完整性
(3.3V V_{CC} 时为 3.3 V 至 3.3V)

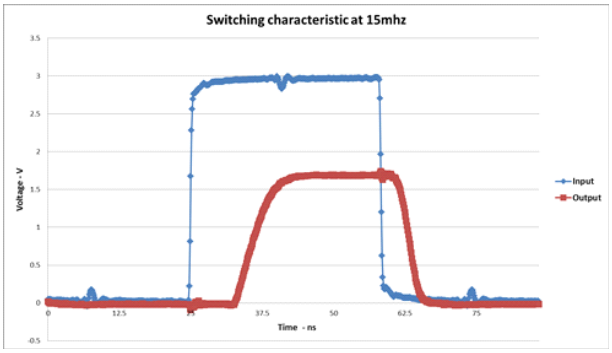
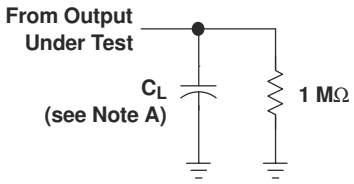


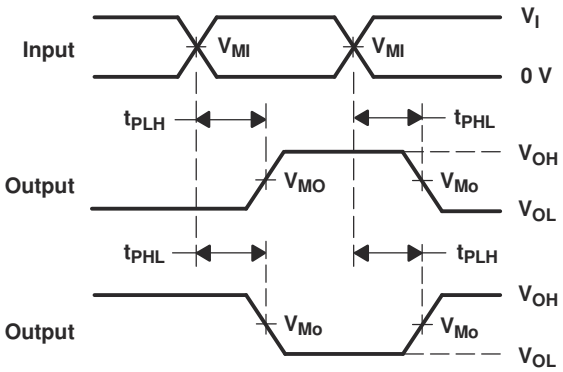
图 6-3. 出色的信号完整性
(1.8V V_{CC} 时为 3.3V 至 1.8V)

7 参数测量信息



LOAD CIRCUIT

	V_{CC} = 2.5 V ± 0.2 V	V_{CC} = 3.3 V ± 0.3 V
C_L	5, 10, 15, 30 pF	5, 10, 15, 30 pF
V_{MI}	$V_I/2$	$V_I/2$
V_{MO}	$V_{CC}/2$	$V_{CC}/2$



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS

NOTES: A. C_L includes probe and jig capacitance.
B. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, slew rate ≥ 1 V/ns.
C. The outputs are measured one at a time, with one transition per measurement.
D. t_{PLH} and t_{PHL} are the same as t_{pd}.

图 7-1. 负载电路和电压波形

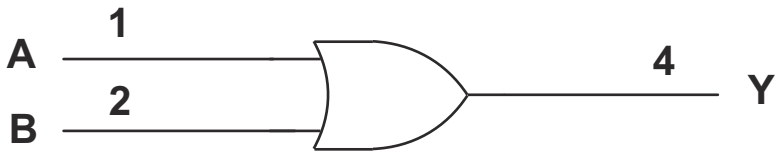
Copyright © 2024 Texas Instruments Incorporated

8 详细说明

8.1 概述

SN74LV1T32 器件是一款具有较宽电压范围的低压 CMOS 门逻辑器件，用于工业、便携式、电信和汽车应用。输出电平以电源电压为基准，并且能够支持 1.8V、2.5V、3.3V 和 5V CMOS 电平。该输入设计采用较低阈值电路，可匹配 V_{CC} = 3.3V 时的 1.8V 输入逻辑，并可用于 1.8V 至 3.3V 升压转换。此外，5 V 耐压输入引脚可实现降压转换（即，V_{CC} = 2.5 V 时，从 3.3 V 输入至 2.5 V 输出）。1.8 V 至 5.5 V 的宽 V_{CC} 范围使生成的所需输出电平能够连接至控制器或处理器。SN74LV1T32 器件的设计电流驱动能力为 8mA，能减少由高驱动输出导致的线路反射、过冲和下冲。

8.2 功能方框图



8.3 特性说明

8.3.1 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 8-1 所示。

小心

电压超出*绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

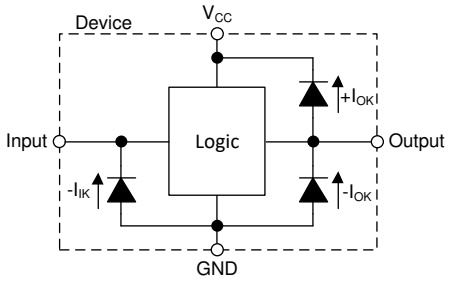


图 8-1. 每个输入和输出的钳位二极管的电气布置

8.3.2 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值* 中规定的电气和热限值。

未使用的推挽 CMOS 输出应保持断开状态。

8.3.3 LVxT 增强输入电压

SN74LV1T32 属于 TI 的 LVxT 逻辑器件系列，具有集成电压电平转换功能。该系列器件的设计具有更低的输入电压阈值，支持升压转换；其输入可承受高达 5.5 V 电平的信号，支持降压转换。输出电压将始终以电源电压 (V_{CC}) 为基准，如*电气特性* 表中所述。为了正常运行，输入信号必须保持在或低于指定的 $V_{IH(MIN)}$ 电平才能获得高电平输入状态，保持在或低于指定的 $V_{IL(MAX)}$ 电平才能获得低电平输入状态。图 8-2 展示了 LVxT 系列器件的典型 V_{IH} 和 V_{IL} 电平，以及标准 CMOS 器件的电压电平用于比较。

Copyright © 2024 Texas Instruments Incorporated

输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性* 中所示。最坏情况下的电阻是使用*绝对最大额定值* 中给出的最大输入电压和*电气特性* 中给出的最大输入漏电流，根据欧姆定律 (R = V ÷ I) 计算得出的。

输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响* 应用报告。

在运行期间，任何时候都不要让输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

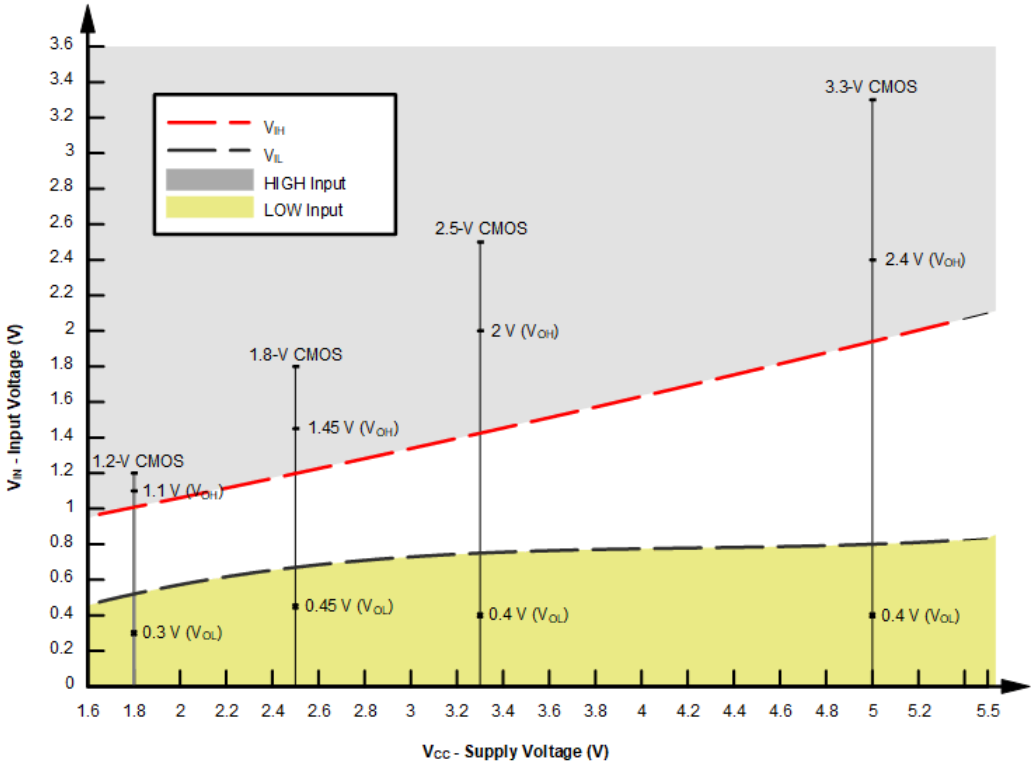


图 8-2. LVxT 输入电压电平

8.3.4 降压转换

可以使用 SN74LV1T32 对信号进行降压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如*建议运行条件* 和*电气特性* 表中所述。

当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC}，在低电平状态下约为 0V。如图 8-2 所示，确保处于高电平状态的输入信号介于 $V_{IH(MIN)}$ 和 5.5V 之间，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$。

例如，如图 8-3 所示，在 5.0V、3.3V 或 2.5V 电压下运行的器件的标准 CMOS 输入可进行降压转换，以匹配器件在 1.8V V_{CC} 电压下运行时的 1.8V CMOS 信号。

降压转换组合 如下：

- 1.8V V_{CC} – 输入为 2.5V、3.3V 和 5.0V
- 2.5V V_{CC} – 输入为 3.3V 和 5.0V
- 3.3V V_{CC} – 输入为 5.0V

Copyright © 2024 Texas Instruments Incorporated

8.3.5 升压转换

可以使用 SN74LV1T32 对输入信号进行升压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如*建议运行条件* 和*电气特性* 表中所述。当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC}，在低电平状态下约为 0V。

输入具有更低的阈值，使得输入高状态电平远低于标准值。例如，在 5V 电源电压下运行的器件的标准 CMOS 输入将具有 3.5V 的 $V_{IH(MIN)}$。对于 SN74LV1T32，5V 电源时的 $V_{IH(MIN)}$ 仅为 2V，可以实现信号从典型 2.5V 至 5V 的升压转换。

如#none# 所示，确保处于高电平状态的输入信号高于 $V_{IH(MIN)}$，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$。

升压转换组合 如下：

- 1.8V V_{CC} – 输入为 1.2V
- 2.5V V_{CC} – 输入为 1.8V
- 3.3V V_{CC} – 输入为 1.8V 和 2.5V
- 5.0V V_{CC} – 输入为 2.5V 和 3.3V

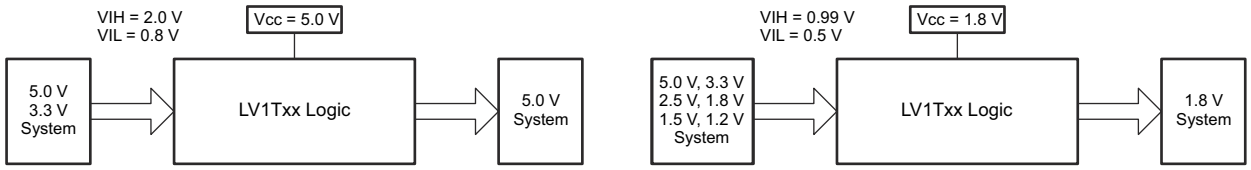


图 8-3. LVxT 升压和降压转换示例

8.4 器件功能模式

功能表

输入 (低电平输入)		输出 (V_{CC} CMOS)
A	B	Y
H	X	H
X	H	H
L	L	L
电源 V_{CC} = 3.3 V		
A	B	Y
V_{IH}(min) = 1.35V V_{IL}(max) = 0.08V		V_{OH}(min) = 2.9V V_{OL}(max) = 0.2V

Copyright © 2024 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。旁路电容器应安装在尽可能靠近电源端子的位置，以获得更佳效果，如以下布局示例所示。

9.2 布局

9.2.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

9.2.2 布局示例

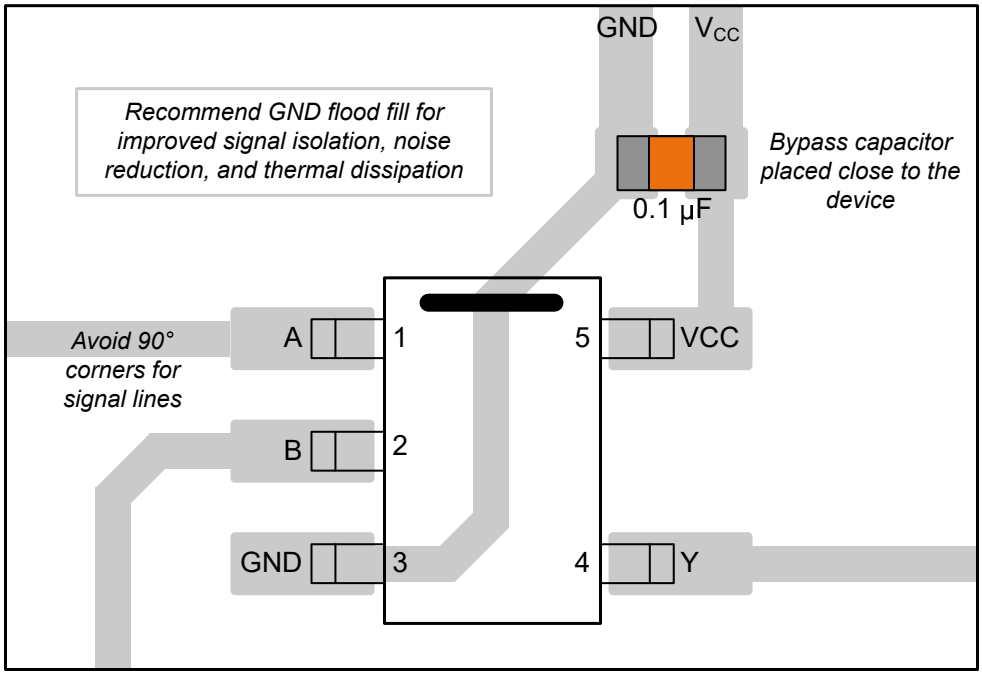


图 9-1. SN74LV1T32 的示例布局

Copyright © 2024 Texas Instruments Incorporated

10 器件和文档支持

10.1 文档支持（模拟）

10.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 Cpd 计算* 应用手册
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册
- 德州仪器 (TI)，*CMOS 输入缓慢或悬空的影响* 应用手册

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (October 2023) to Revision D (May 2024)	Page
• 更新了 R θ JA 值：DBV = 206 至 278，所有值均以 °C/W 为单位	7
• 添加了 *特性说明* 主题	11

Changes from Revision B (June 2022) to Revision C (October 2023)	Page
• 向*封装信息* 表中添加了封装尺寸	1
• 新增了“热性能信息”表	7
• 添加了 *应用和实施*部分	14

Copyright © 2024 Texas Instruments Incorporated

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LV1T32DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(37XH, 3CIF, NEG3, NEGJ, NEGS)
SN74LV1T32DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(37XH, 3CIF, NEG3, NEGJ, NEGS)
SN74LV1T32DBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NEG3
SN74LV1T32DBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	NEG3
SN74LV1T32DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(1R2, WG3, WGJ, WGS)
SN74LV1T32DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(1R2, WG3, WGJ, WGS)
SN74LV1T32DCKRG4	Last Time Buy	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-	WG3
SN74LV1T32DCKRG4.A	Last Time Buy	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	WG3

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV1T32 :

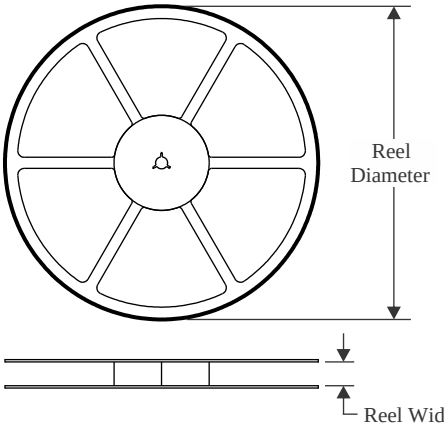
- Automotive : SN74LV1T32-Q1

NOTE: Qualified Version Definitions:

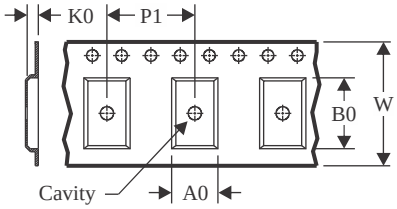
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

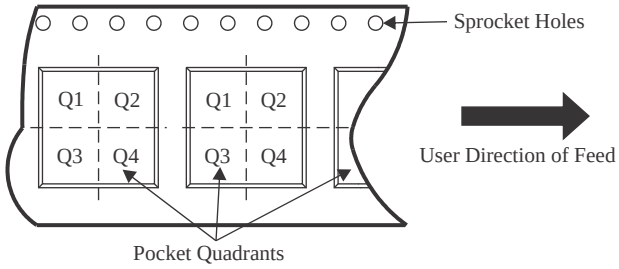


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

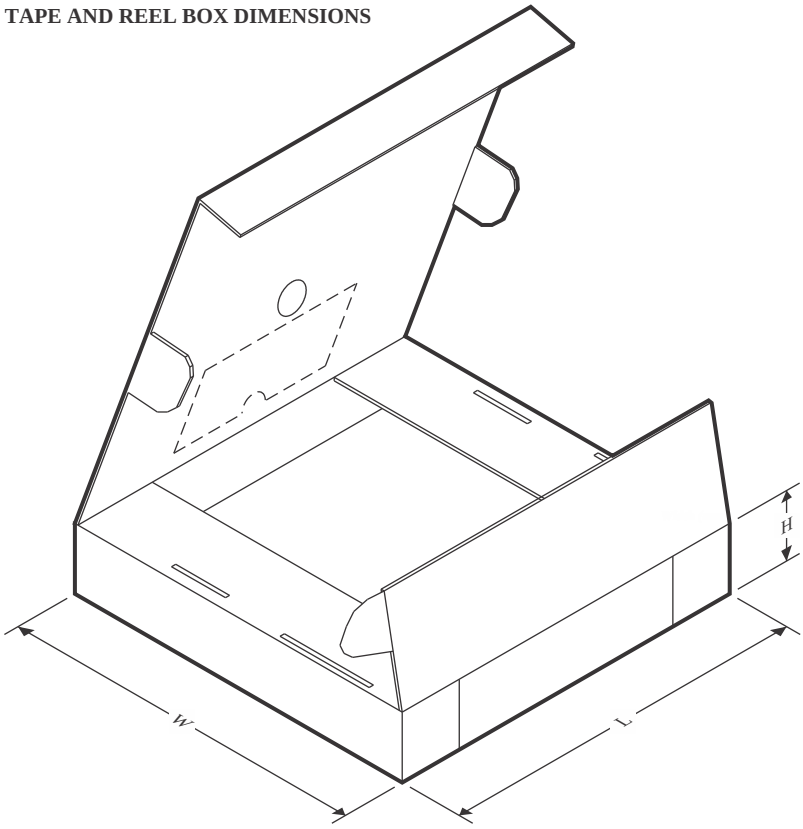
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV1T32DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
SN74LV1T32DBVRG4	SOT-23	DBV	5	3000	178.0	9.2	3.3	3.23	1.55	4.0	8.0	Q3
SN74LV1T32DCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.55	1.2	4.0	8.0	Q3
SN74LV1T32DCKRG4	SC70	DCK	5	3000	178.0	9.2	2.4	2.4	1.22	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

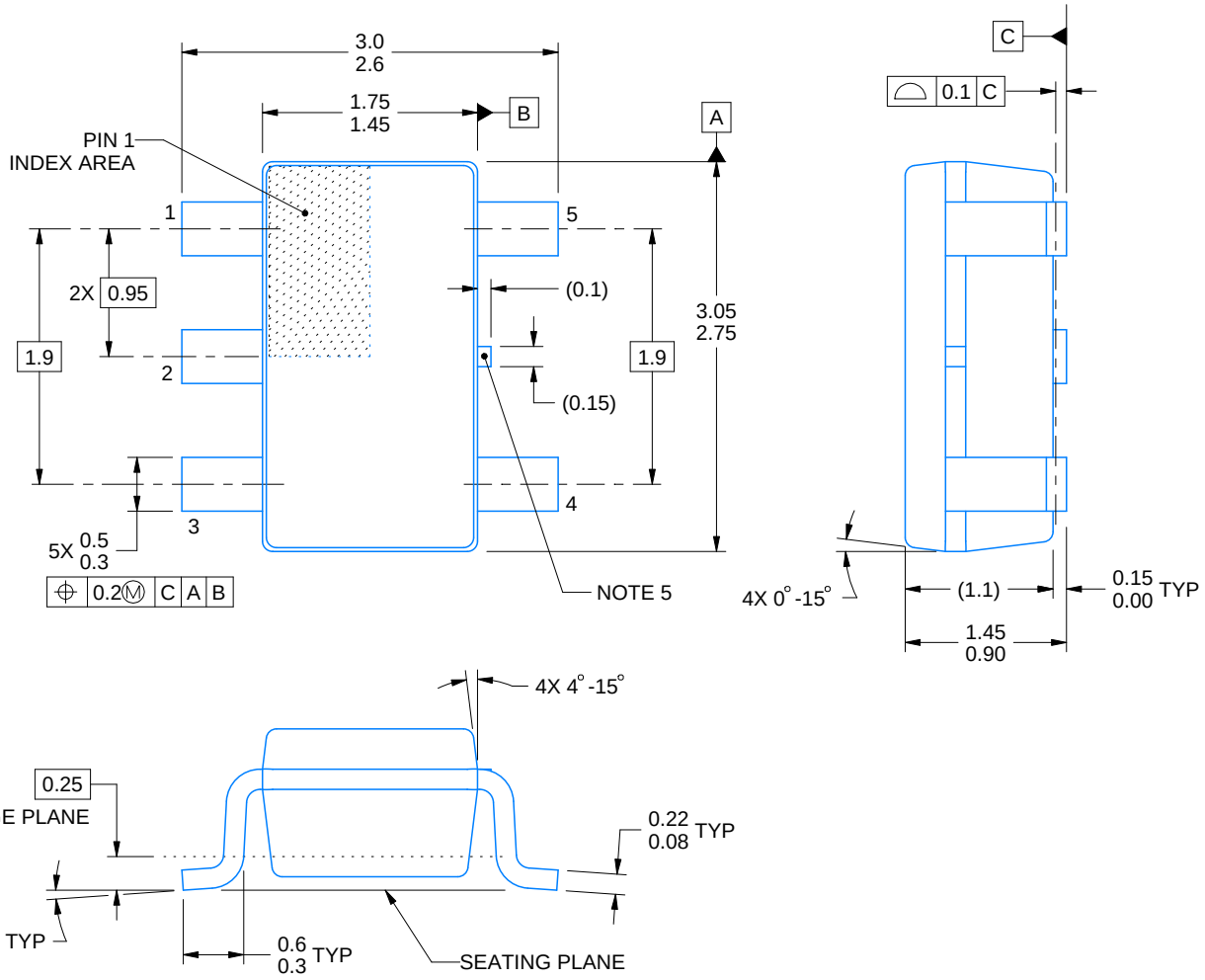
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV1T32DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
SN74LV1T32DBVRG4	SOT-23	DBV	5	3000	180.0	180.0	18.0
SN74LV1T32DCKR	SC70	DCK	5	3000	210.0	185.0	35.0
SN74LV1T32DCKRG4	SC70	DCK	5	3000	180.0	180.0	18.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

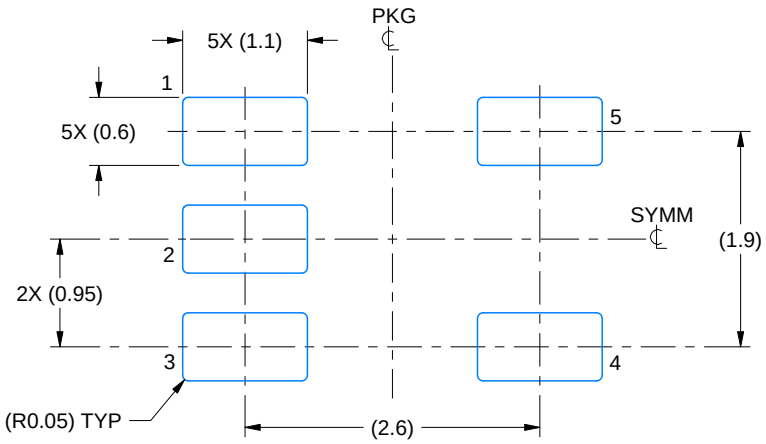
SMALL OUTLINE TRANSISTOR



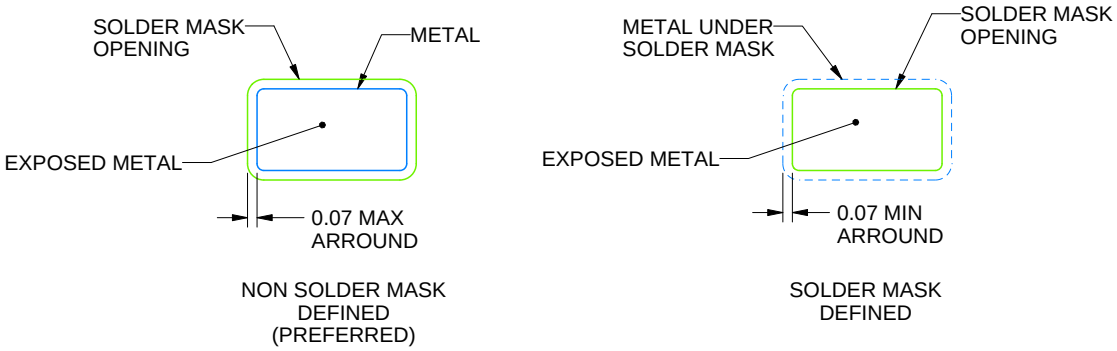
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

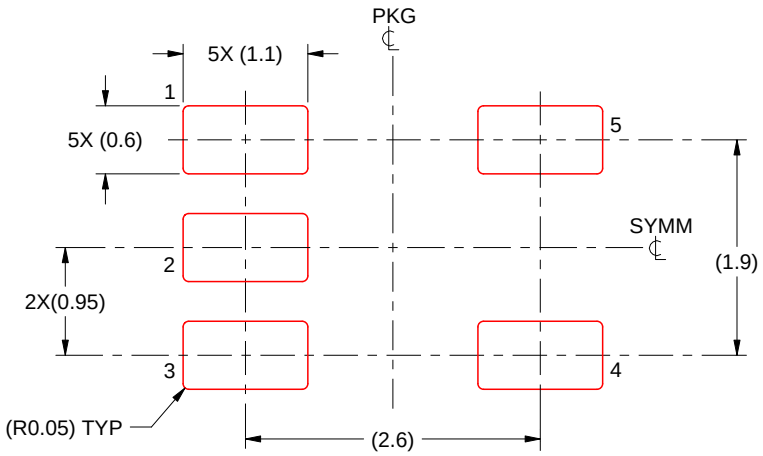


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

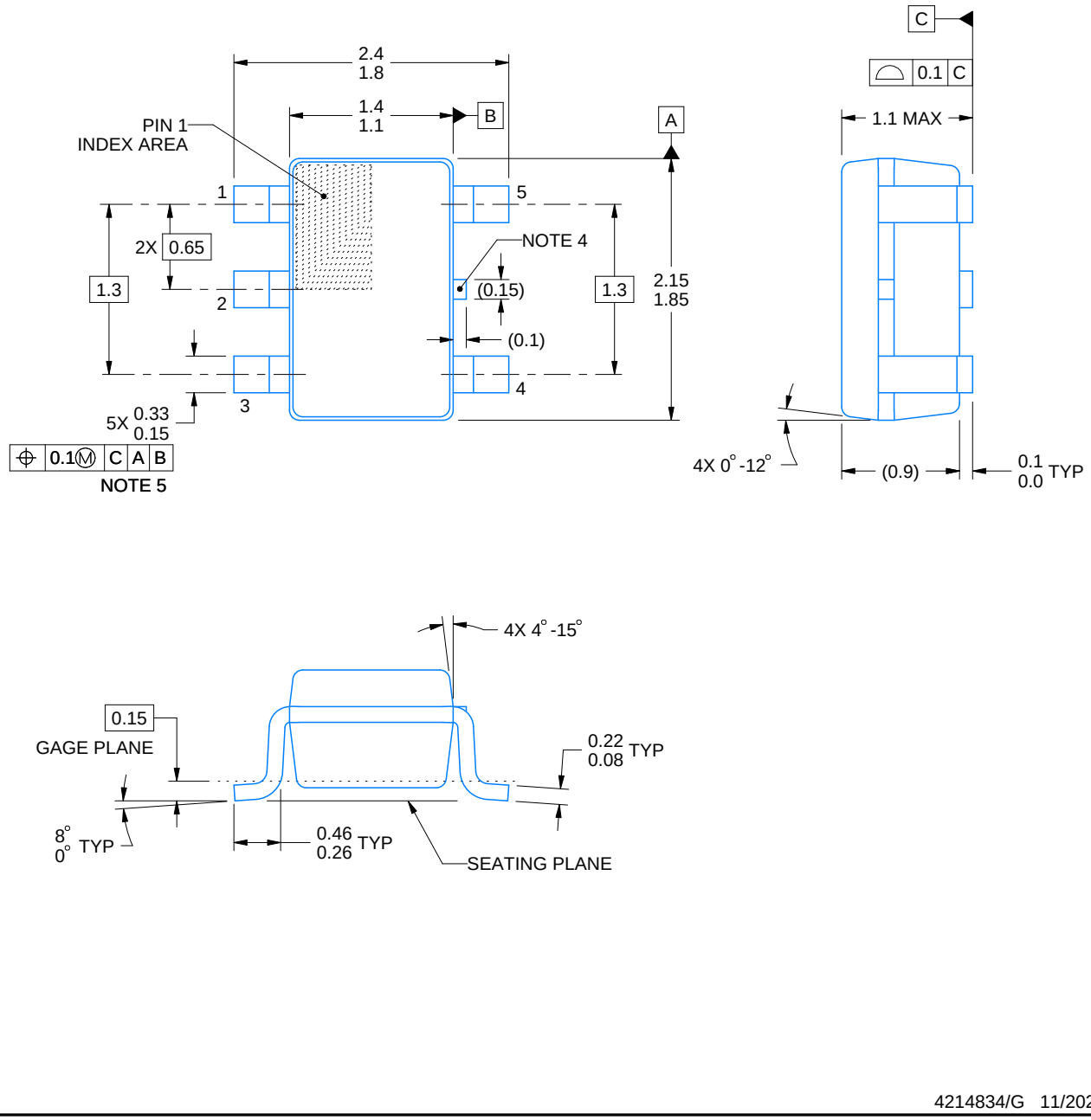
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

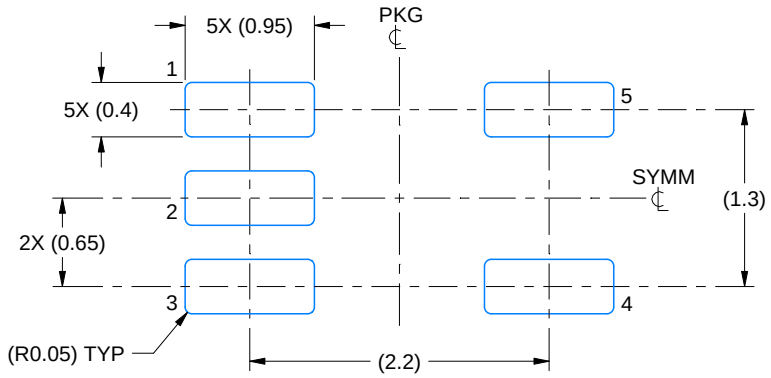
SMALL OUTLINE TRANSISTOR



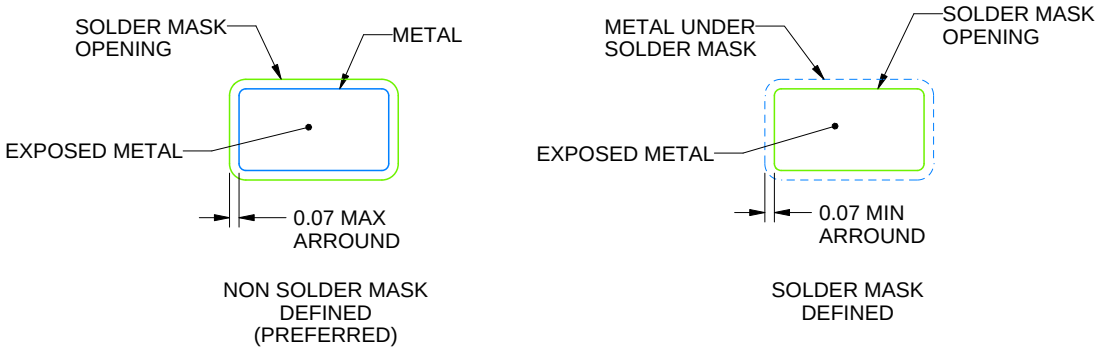
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

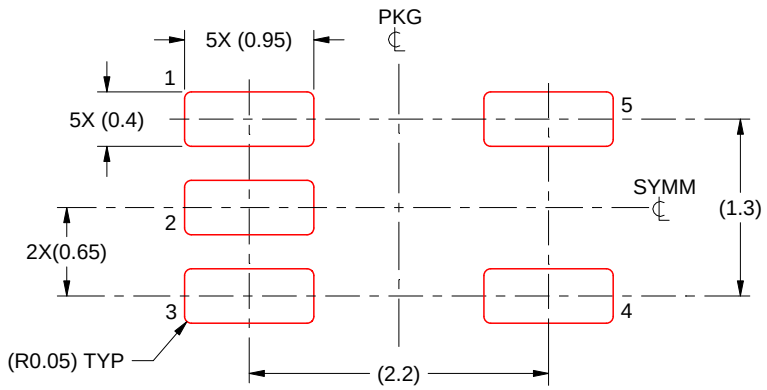


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月