SNx4HC166 8 位并联负载移位寄存器

1 特性

- 2V 至 6V 的宽工作电压范围
- 输出可驱动多达 10 个 LSTTL 负载
- 低功耗，I_{CC} 最大值为 80 μA
- t_{pd} 典型值 = 13ns
- 5V 时，输出驱动为 ±4mA
- 低输入电流，最大值 1 μA
- 同步负载
- 直接覆盖清零
- 并行转串行转换

2 应用

- 增加微控制器上的输入/输出数量

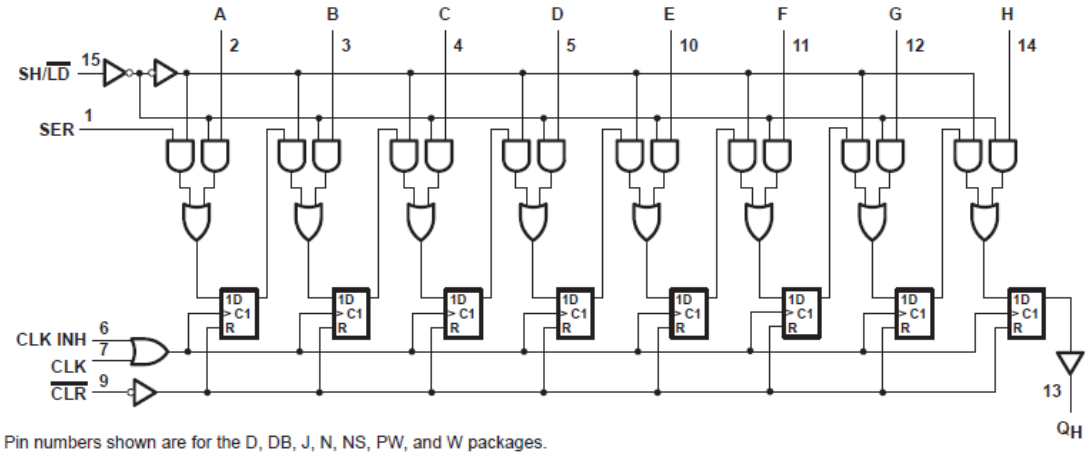
3 说明

SNx4HC166 器件包含一个 8 位移位寄存器，具有一路串行输入和八路并行负载输入。

器件信息

器件型号	封装(1)	本体尺寸（标称值）(2)
SN74HC166	D（SOIC，16）	9.90mm × 3.90mm
	DB（SSOP，16）	6.20mm × 5.30mm
	N（PDIP，16）	19.31mm × 6.35mm
	NS（SOP，16）	6.20mm × 5.30mm
	PW（TSSOP，16）	5.00mm × 4.40mm
SN54HC166	J（CDIP、16）	24.38mm × 6.92mm
	FK（LCCC，20）	8.89mm × 8.45mm
	W（CFP，16）	10.16mm × 6.73mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，不包括引脚。



功能方框图

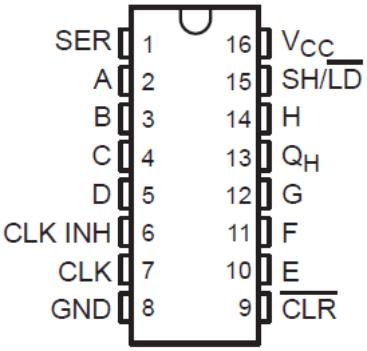
本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

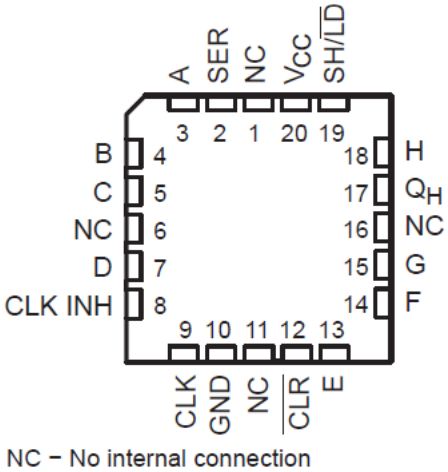
1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 建议的运行条件.....4
5.3 热性能信息.....4
5.4 电气特性.....5
5.5 时序要求.....6
5.6 开关特性.....7
5.7 工作特性.....7
6 参数测量信息.....8
7 详细说明.....9
7.1 概述.....9
7.2 功能方框图.....9
7.3 特性说明.....9
7.4 器件功能模式.....11
8 应用和实施.....12
8.1 应用信息.....12
8.2 典型应用.....12
8.3 电源相关建议.....15
8.4 布局.....15
9 器件和文档支持.....17
9.1 文档支持.....17
9.2 接收文档更新通知.....17
9.3 支持资源.....17
9.4 商标.....17
9.5 静电放电警告.....17
9.6 术语表.....17
10 修订历史记录.....17
11 机械、封装和可订购信息.....18

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能



J、D、DB、N、NS 或 PW 封装
16 引脚 CDIP、SOIC、SSOP、PDIP、SO、TSSOP
顶视图



FK 封装
20 引脚 LCCC
顶视图

引脚功能

引脚		类型	说明
名称	编号(1)		
SER	1	输入	串行输入
A	2	输入	并行输入 A
B	3	输入	并行输入 B
C	4	输入	并行输入 C
D	5	输入	并行输入 D
CLK INH	6	输入	时钟抑制输入
CLK	7	输入	时钟输入，正沿触发
GND	8	—	接地
$\overline{CLR}$	9	输入	清除输入，低电平有效
E	10	输入	并行输入 E
F	11	输入	并行输入 F
G	12	输入	并行输入 G
Q_H	13	输出	Q_H 输出
H	14	输入	并行输入 H
SH/$\overline{LD}$	15	输入	在输入为高电平时启用移位，在输入为低电平时移位/加载输入
V_{CC}	16	—	正电源

(1) I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
I_{IK}	输入钳位电流[(2)]	$V_I < 0$ 或 $V_I > V_{CC}$		±20	mA
I_{OK}	输出钳位电流[(2)]	$V_O < 0$ 或 $V_O > V_{CC}$		±20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		±25	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*最大绝对额定值*下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其他超过节 5.2 所述条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 建议的运行条件

在自然通风条件下的建议运行温度范围内测得（除非另有说明）[(1)]

			SN54HC166			SN74HC166			单位
			最小值	标称值	最大值	最小值	标称值	最大值	
V_{CC}	电源电压		2	5	6	2	5	6	V
V_{IH}	高电平输入电压	V_{CC} = 2V	1.5			1.5			V
		V_{CC} = 4.5V	3.15			3.15			
		V_{CC} = 6V	4.2			4.2			
V_{IL}	低电平输入电压	V_{CC} = 2V			0.5			0.5	V
		V_{CC} = 4.5V			1.35			1.35	
		V_{CC} = 6V			1.8			1.8	
V_I	输入电压		0		V_{CC}	0		V_{CC}	V
V_O	输出电压		0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$[(2)]	输入转换上升/下降时间	V_{CC} = 2V			1000			1000	ns
		V_{CC} = 4.5V			500			500	
		V_{CC} = 6V			400			400	
T_A	自然通风条件下的工作温度范围		-55		125	-55		125	°C

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢或悬空的影响*，文献编号 SCBA004。
(2) 如果此器件用于阈值区域（从 V_{IL}max = 0.5V 至 V_{IH}min = 1.5V），感应接地有可能进入错误状态，导致双时钟。在 t_t = 1000ns 且 V_{CC} = 2V 的输入范围内工作不会损坏器件；但在功能上，在移位、计数或切换操作模式下不能确保 CLK 输入。

5.3 热性能信息

热指标		D (SOIC) 16 引脚	DB (SSOP) 16 引脚	N (PDIP) 16 引脚	NS (SO) 16 引脚	PW (TSSOP) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻[(1)]	73	82	67	64	108	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.4 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件[(1)]	V_{CC} (V)	T_A = 25°C			SN54HC166		SN74HC166		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	I_{OH} = −20 μA	2	1.9	1.998		1.9		1.9		V
		4.5	4.4	4.499		4.4		4.4		
		6	5.9	5.999		5.9		5.9		
	I_{OH} = -4mA	4.5	3.98	4.3		3.7		3.7		
	I_{OH} = -5.2mA	6	5.48	5.8		5.2		5.2		
V_{OL}	I_{OL} = 20 μA	2		0.002	0.1		0.1		0.1	V
		4.5		0.001	0.1		0.1		0.1	
		6		0.001	0.1		0.1		0.1	
	I_{OL} = 4mA	4.5		0.17	0.26		0.4		0.4	
	I_{OL} = 5.2mA	6		0.15	0.26		0.4		0.4	
I_I	V_I = V_{CC} 或 0	6		±0.1	±100		±1000		±1000	nA
I_{CC}	V_I = V_{CC} 或 0，I_O = 0	6			8		160		160	μA
C_i		2 至 6		3	10		10		10	pF

(1) 除非另有说明，否则 V_I = V_{IH} 或 V_{IL}。

5.5 时序要求

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

			V_{CC}(V)	T_A = 25°C		SN54HC166		SN74HC166		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
f_{clock}	时钟频率		2		6		4.2		5	MHz
			4.5		31		21		25	
			6		36		25		29	
t_w	脉冲持续时间	$\overline{CLR}$ 为低电平	2	100		150		125		ns
			4.5	20		30		25		
			6	17		26		21		
		CLK 高电平或低电平	2	80		120		100		
			4.5	16		24		20		
			6	14		20		17		
t_{su}	建立时间	CLK ↑ 之前 SH/$\overline{LD}$ 为高电平	2	145		220		180		ns
			4.5	29		44		36		
			6	25		38		31		
		CLK ↑ 之前的 SER	2	80		120		100		
			4.5	16		24		20		
			6	14		20		17		
		CLK ↑ 之前 CLK INH 为低电平	2	100		150		125		
			4.5	20		30		25		
			6	17		26		21		
		CLK ↑ 之前的数据	2	80		120		100		
			4.5	16		24		20		
			6	14		20		17		
		$\overline{CLR}$ 在 CLK ↑ 之前无效	2	40		60		50		
			4.5	8		12		10		
			6	7		10		9		
t_h	保持时间	CLK ↑ 之后 SH/$\overline{LD}$ 为高电平	2	0		0		0		ns
			4.5	0		0		0		
			6	0		0		0		
		CLK ↑ 之后的 SER	2	5		5		5		
			4.5	5		5		5		
			6	5		5		5		
		CLK ↑ 之后 CLK INH 为高电平	2	0		0		0		
			4.5	0		0		0		
			6	0		0		0		
		CLK ↑ 之后的数据	2	5		5		5		
			4.5	5		5		5		
			6	5		5		5		

Copyright © 2025 Texas Instruments Incorporated

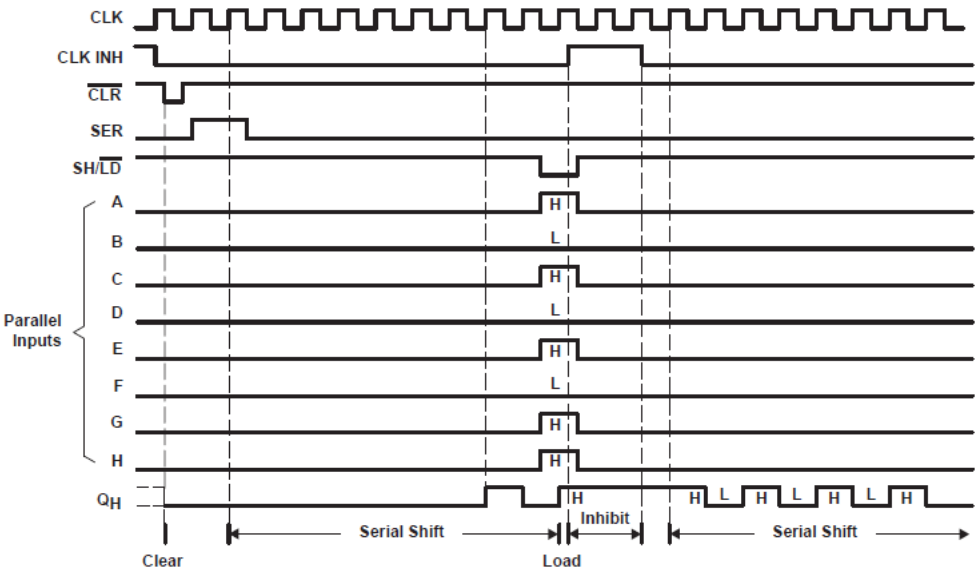


图 5-1. 典型的清除、移位、加载、禁止和移位序列

5.6 开关特性

在自然通风条件下的建议工作温度范围内测得，C_L = 50pF（除非另有说明）（请参阅图 6）

参数	从（输入）	至（输出）	V_{CC} (V)	T_A = 25°C			SN54HC166		SN74HC166		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f_{max}			2	6	11		4.2		4.2		MHz
			4.5	31	36		21		21		
			6	36	45		25		25		
t_{PHL}	$\overline{CLR}$	Q_H	2		62	120		180		180	ns
			4.5		18	24		36		36	
			6		13	20		31		31	
t_{pd}	CLK	Q_H	2		75	150		225		225	ns
			4.5		15	30		45		45	
			6		13	26		38		38	
t_t		不限	2		38	75		110		110	ns
			4.5		8	15		22		22	
			6		6	13		19		19	

5.7 工作特性

T_A = 25°C

参数		测试条件	典型值	单位
C_{pd}	功率耗散电容	无负载	50	pF

6 参数测量信息

t_{pd} 为 t_{PLH} 或 t_{PHL} 的较低者。

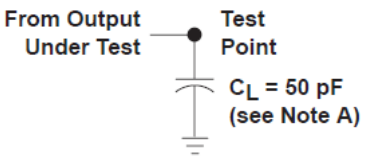


图 6-1. 负载电路

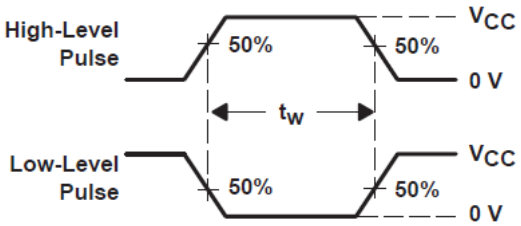


图 6-2. 电压波形
脉冲持续时间

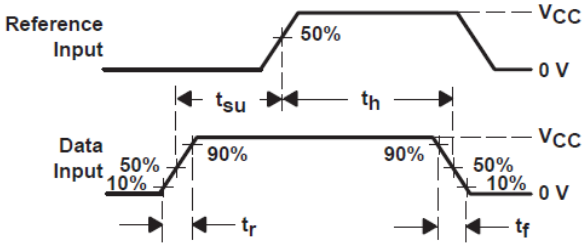


图 6-3. 电压波形
设置和保持以及输入上升和下降时间

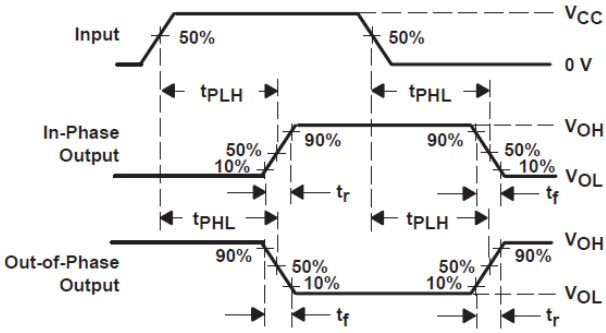


图 6-4. 电压波形
传播延迟与输出转换时间

A. C_L 包括探针和夹具电容。

B. 任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_r = 6ns，t_f = 6ns。

C. 对于时钟输入，f_{max} 是在输入占空比为 50% 时测量的

D. 一次测量一个输出，每次测量进行一次输入转换。

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

SNx4HC166 是一款具有异步清零 ($\overline{CLR}$) 功能的并行负载 8 位移位寄存器。该并行或串行输入/串行输出移位寄存器具有门控时钟（CLK、CLK INH）输入和覆盖清零 ($\overline{CLR}$) 输入。并行输入或串行输入模式由模式选择 (SH/$\overline{LD}$) 输入确定。SH/$\overline{LD}$ 为高电平时，会启用串行 (SER) 数据输入，并耦合八个触发器以在每个时钟 (CLK) 脉冲的作用下进行串行移位。当为低电平时，并行（A 到 H）数据输入被启用，并且在下一个时钟脉冲上发生同步加载。

在并行加载期间，串行数据流被禁止。时钟在 CLK 或 CLK INH 的上升沿实现，允许将一个输入用作时钟使能或时钟抑制功能。将 CLK 或 CLK INH 保持为高电平会抑制时钟；将其中任何一个保持为低电平则会启用另一个时钟输入。仅当 CLK 为高电平时，才应将 CLK INH 更改为高电平。

$\overline{CLR}$ 会覆盖包括 CLK 在内的所有其他输入，并将所有触发器复位为零。

7.2 功能方框图

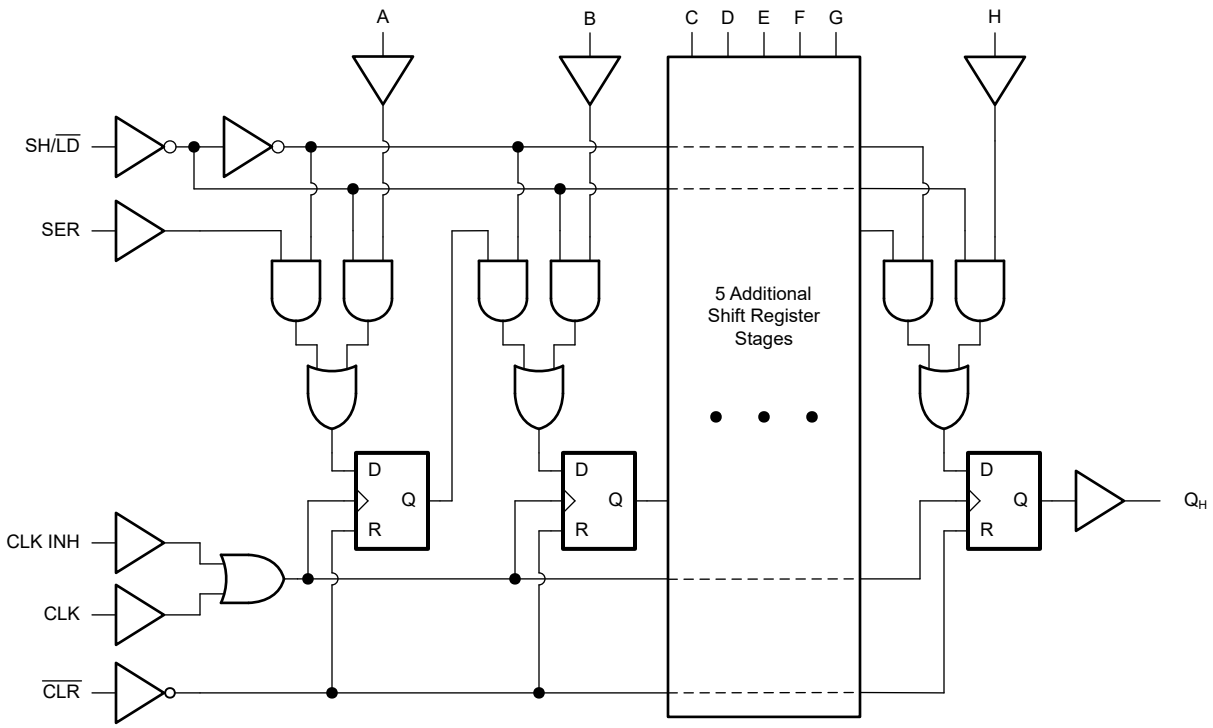


图 7-1. SNx4HC166 的逻辑图（正逻辑）

7.3 特性说明

7.3.1 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性* 中所示。最坏情况下的电阻是根据*绝对最大额定值* 中给出的最大输入电压和*电气特性* 中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

7.3.2 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性* 中所示。最坏情况下的电阻是根据*绝对最大额定值* 中给出的最大输入电压和*电气特性* 中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议的工作条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢变化或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

Copyright © 2025 Texas Instruments Incorporated

7.4 器件功能模式

表 7-1 列出了 SNx4HC166 的功能模式。

表 7-1. 工作模式表

输入(1)			功能
SH/$\overline{LD}$	CLK	CLK INH	
L	X	X	并行负载(2)
H	H	X	没有变化
H	X	H	没有变化
H	L	↑	移位(3)
H	↑	L	移位(3)

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑，↑ = 低电平至高电平转换
(2) 并行负载：输入端 A 到 H 的值与时钟同步加载到各自的内部寄存器。
(3) 移位：每个内部寄存器的内容与时钟同步通过串行输出 Q_H 传输。SER 的数据被移入第一个寄存器。

表 7-2. 输出功能表

内部寄存器(1) (2)		输出(3)
A — G	H	Q
X	L	L
X	H	H

(1) 内部寄存器是指器件内的移位寄存器。通过从并行或串行输入加载数据来设置这些值。
(2) H = 高电压电平，L = 低电压电平，X = 不用考虑
(3) H = 驱动至高电平，L = 驱动至低电平

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

在此应用中，SNx4HC166 用于增加微控制器上的输入数量。与其他 I/O 扩展器不同，SNx4HC166 不需要使用通信接口来进行控制。它可以通过简单的 GPIO 引脚轻松操作。

上电时，内部移位寄存器的初始状态是未知的。要给它们提供一个定义的零状态，可通过向清零 ($\overline{CLR}$) 输入施加低电平信号来清除器件。或者，可以通过切换到负载模式（SH/$\overline{LD}$ = 低电平），然后通过向时钟 (CLK) 输入发送一个时钟脉冲来直接加载数据。

8.2 典型应用

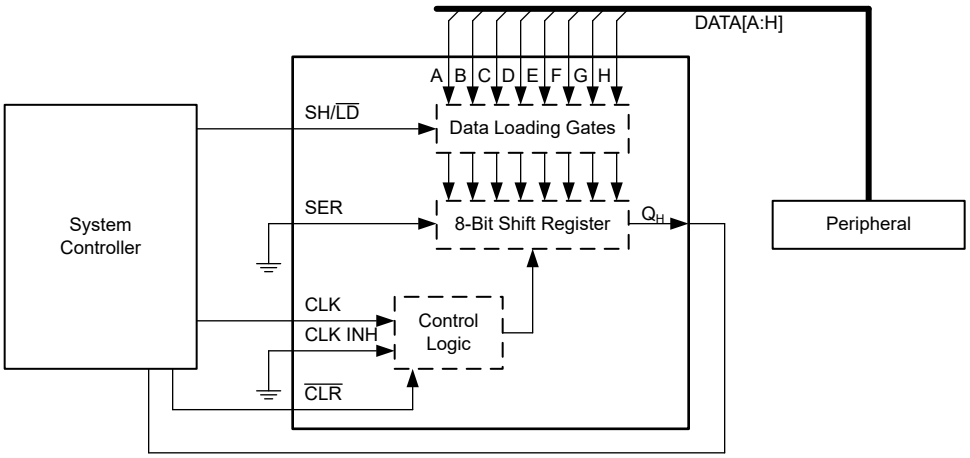


图 8-1. 典型应用框图

Copyright © 2025 Texas Instruments Incorporated

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件* 中规定的范围内。电源电压按照*电气特性* 部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 最大静态电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。

地必须能够灌入的电流等于 SNx4HC166 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值* 中列出的通过 GND 的最大总电流。

SNx4HC166 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SNx4HC166 可以驱动由 $R_L \geqslant V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性* 表中用 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

> **小心**
> *绝对最大额定值* 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SNx4HC166 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SNx4HC166 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

8.2.1.3 输出注意事项

接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SNx4HC166 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$ Ω。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

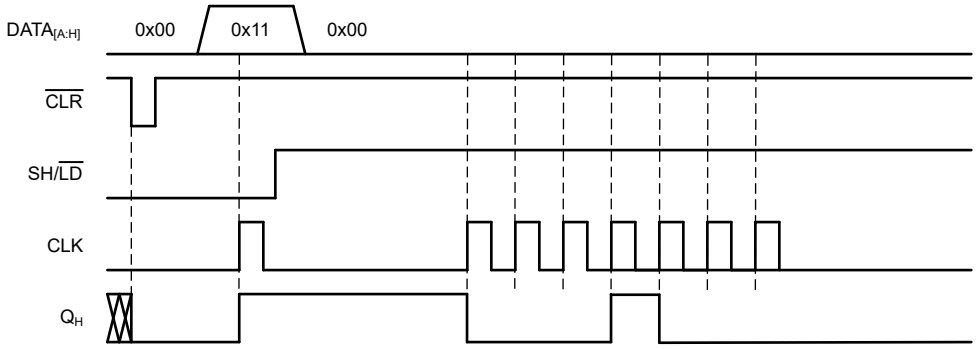


图 8-2. 应用时序图

8.3 电源相关建议

电源可以是*建议运行条件* 中所列最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于 SNx4HC166，建议使用 0.1 μF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 0.1 μF 和 1 μF 的电容器通常并联使用。

8.4 布局

8.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

8.4.2 布局示例

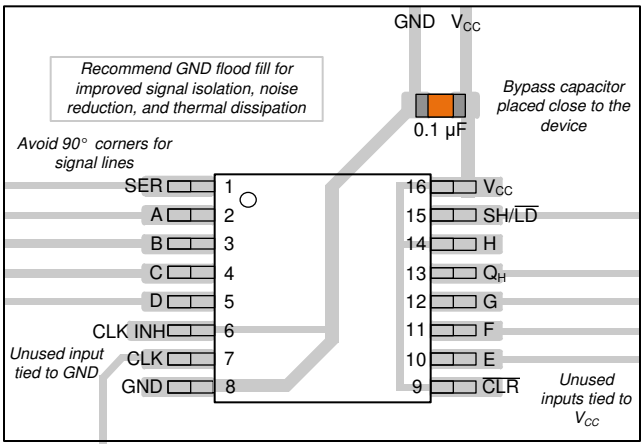


图 8-3. SNx4HC166 的示例布局

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision E (February 2022) to Revision F (May 2025) — **Page**

- 添加的应用 1
- 将 SN74HC166 工作温度更新为 125°C、并在*建议运行条件* 表、*电气特性* 表和*开关特性* 表中更新相应的值 .. 1
- 添加了*引脚功能* 表以及*应用和实施* 部分 1

Changes from Revision D (December 1982) to Revision E (February 2022) — **Page**

- 更新了整个文档中的编号、格式、表格、图和交叉参考，以反映现代数据表标准 1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9050101Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101Q2A SNJ54HC166FK
5962-9050101QEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101QEA SNJ54HC166J
5962-9050101VEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101VEA SNV54HC166J
5962-9050101VEA.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101VEA SNV54HC166J
SN54HC166J	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC166J
SN54HC166J.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC166J
SN74HC166D	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	HC166
SN74HC166DBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DRE4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DRG4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166DRG4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166N	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC166N
SN74HC166N.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC166N
SN74HC166NSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166NSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	HC166
SN74HC166PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HC166PWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC166
SN74HC166PWT	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 85	HC166
SN74HCS166DYYR	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS166
SN74HCS166DYYR.A	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCS166
SNJ54HC166FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101Q2A SNJ54HC 166FK
SNJ54HC166FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101Q2A SNJ54HC 166FK
SNJ54HC166J	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101QEA SNJ54HC166J
SNJ54HC166J.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9050101QEA SNJ54HC166J

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC166, SN54HC166-SP, SN74HC166 :

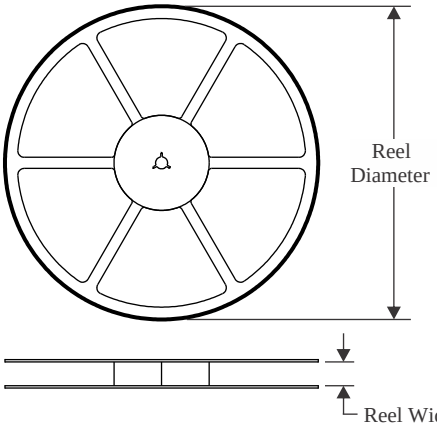
- Catalog : SN74HC166, SN54HC166
- Military : SN54HC166
- Space : SN54HC166-SP

NOTE: Qualified Version Definitions:

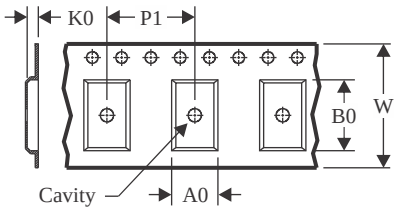
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

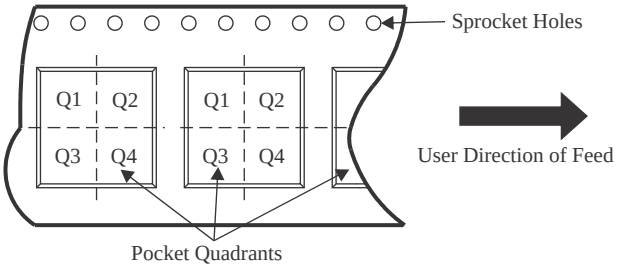


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

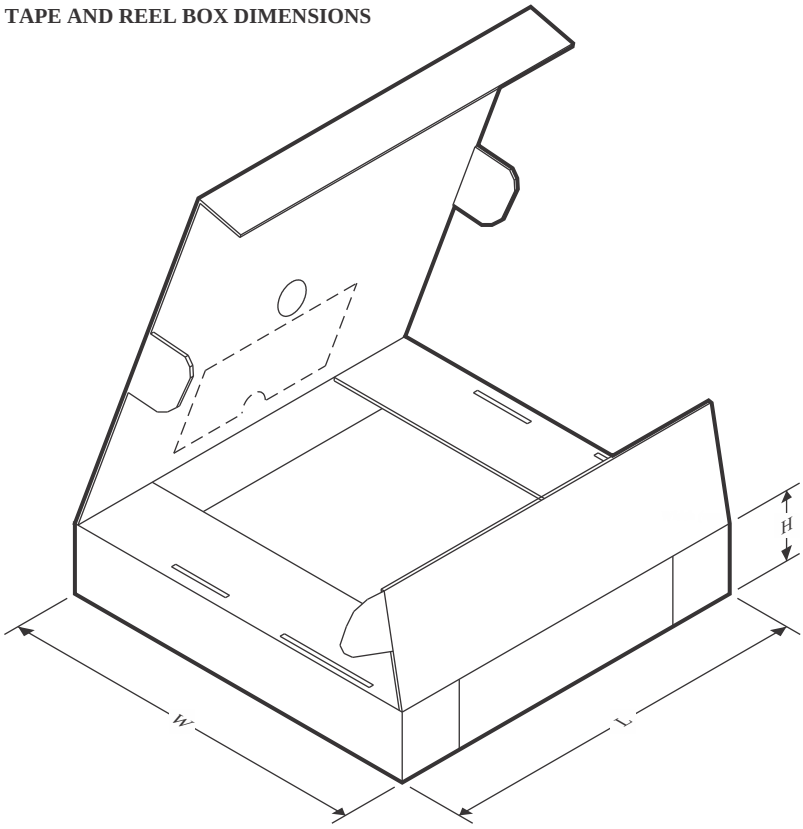
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC166DBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74HC166DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC166DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC166DRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC166NSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
SN74HC166NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74HC166PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HC166PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC166PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC166PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74HC166PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
SN74HCS166DYYR	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

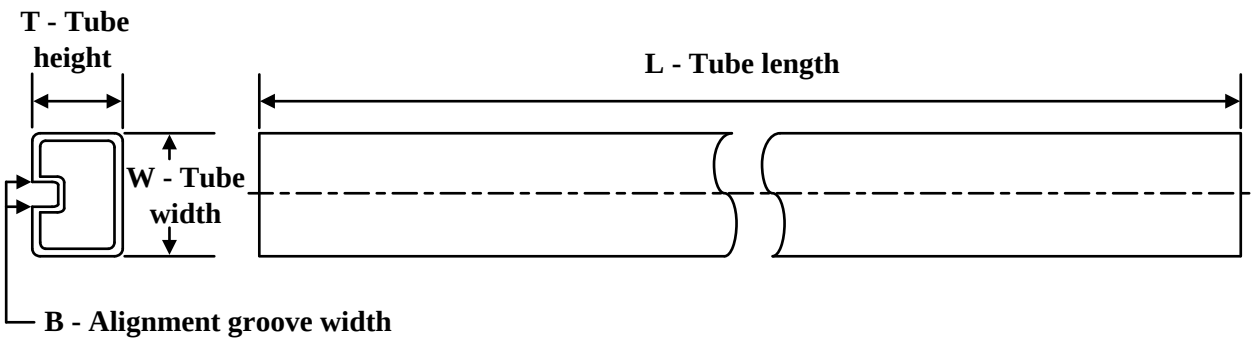
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC166DBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74HC166DR	SOIC	D	16	2500	340.5	336.1	32.0
SN74HC166DR	SOIC	D	16	2500	340.5	336.1	32.0
SN74HC166DRG4	SOIC	D	16	2500	340.5	336.1	32.0
SN74HC166NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74HC166NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74HC166PWR	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74HC166PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74HC166PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74HC166PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74HC166PWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0
SN74HCS166DYYR	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8

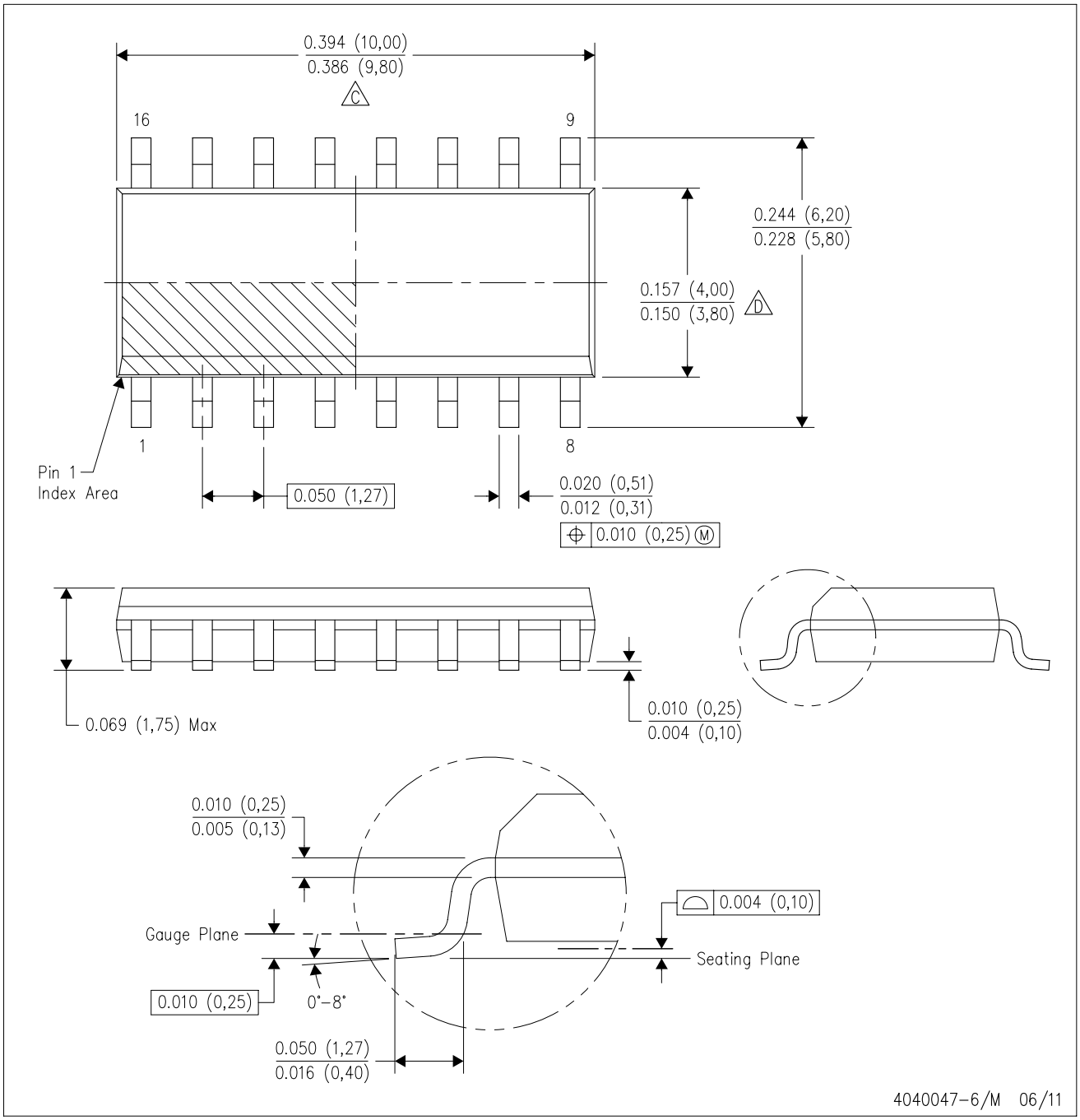
TUBE



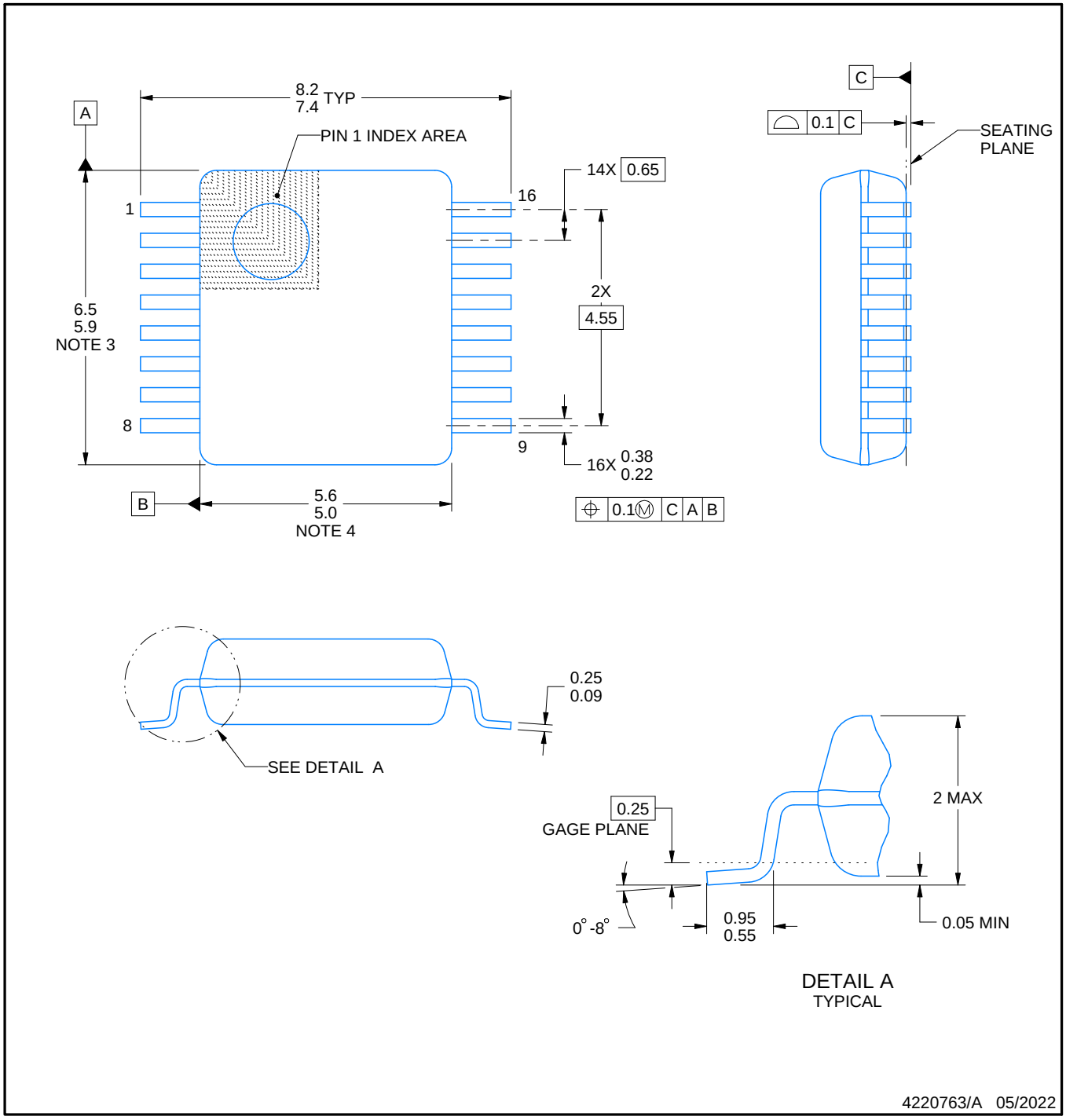
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9050101Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
SN74HC166N	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC166N	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC166N.A	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC166N.A	N	PDIP	16	25	506	13.97	11230	4.32
SNJ54HC166FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC166FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA

D (R–PDSO–G16) PLASTIC SMALL OUTLINE

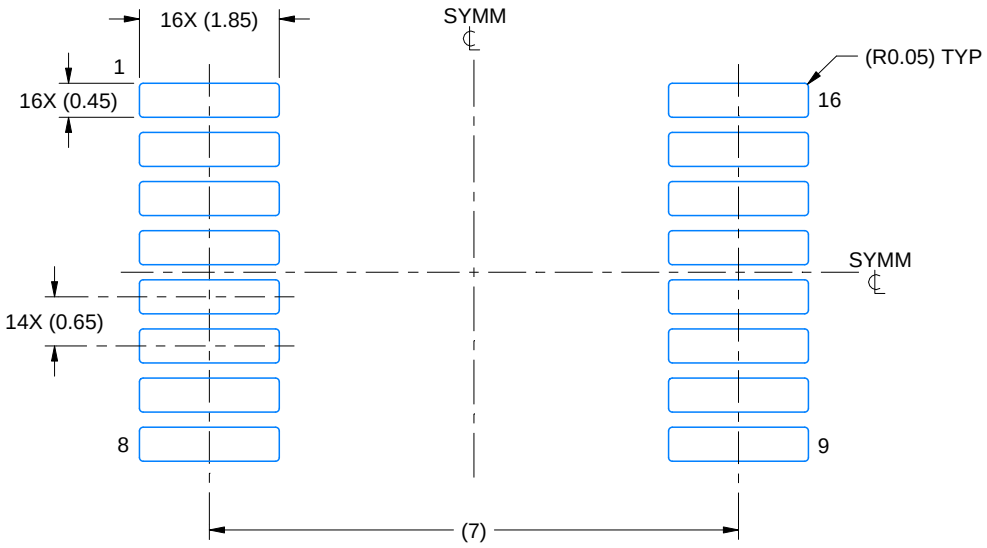


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

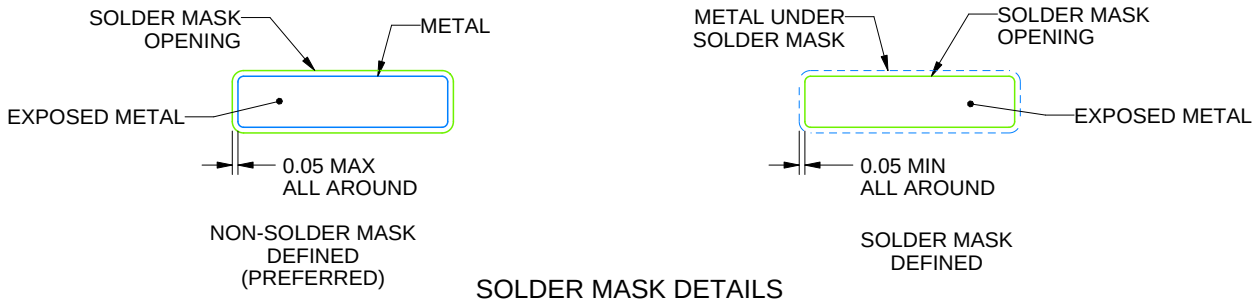


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

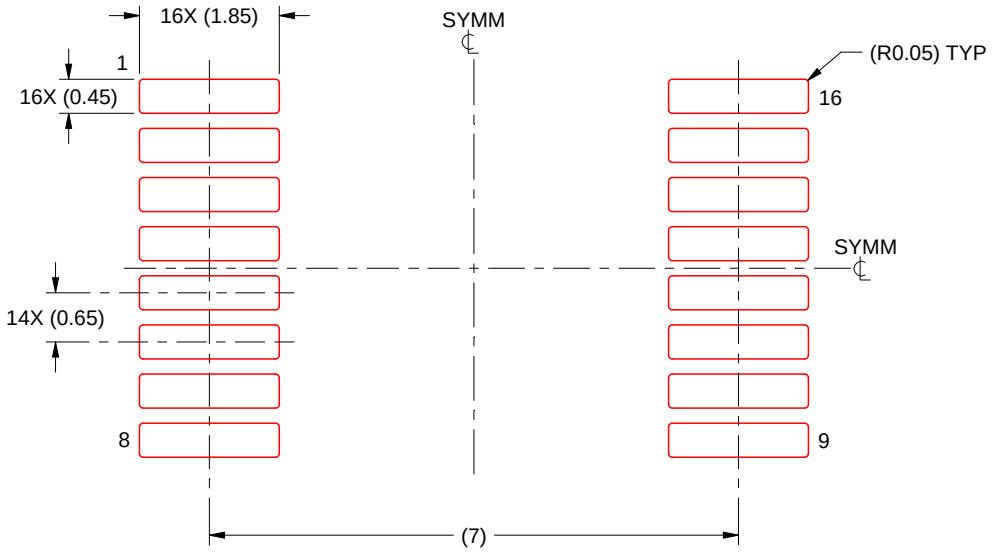


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

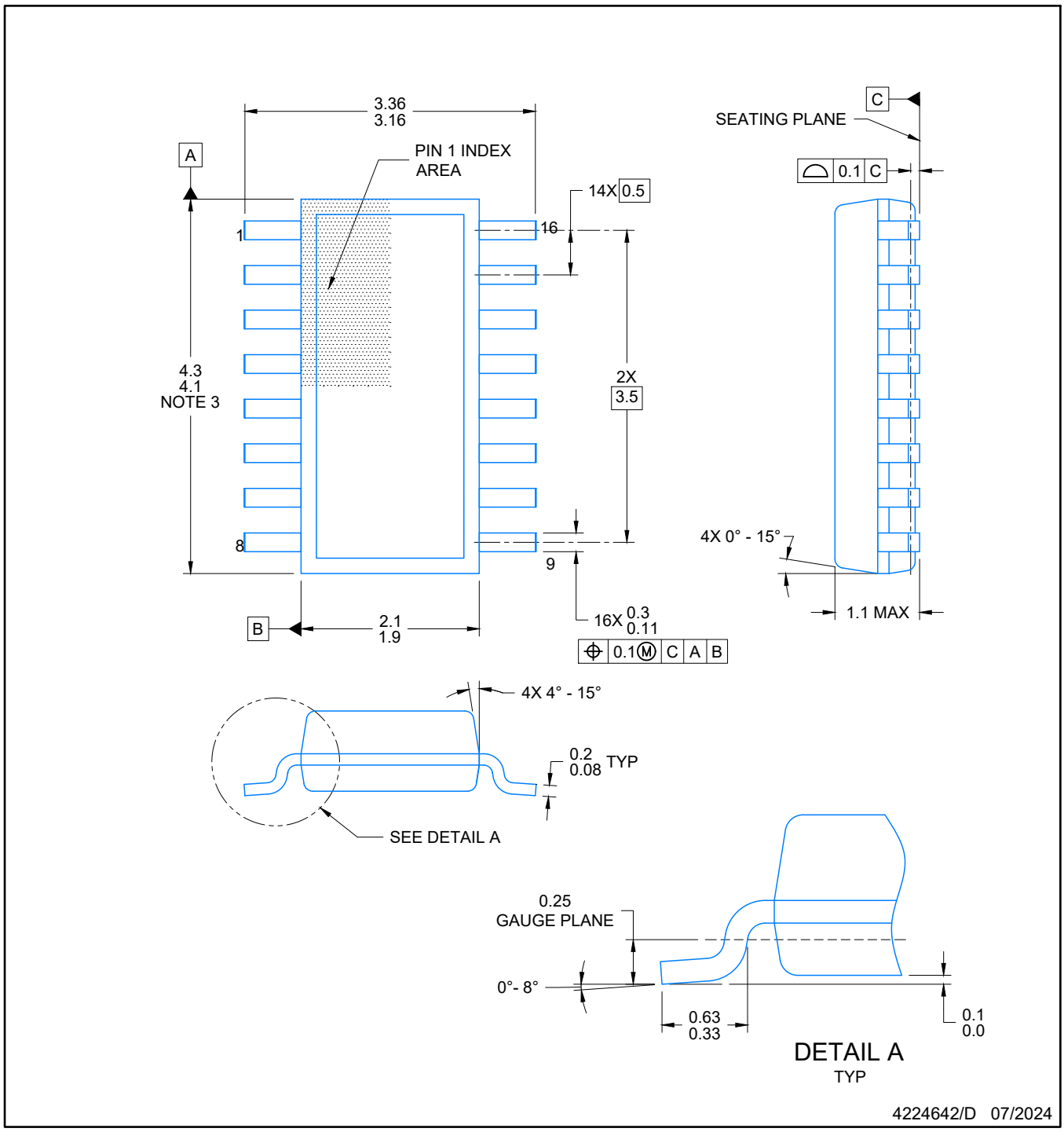


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

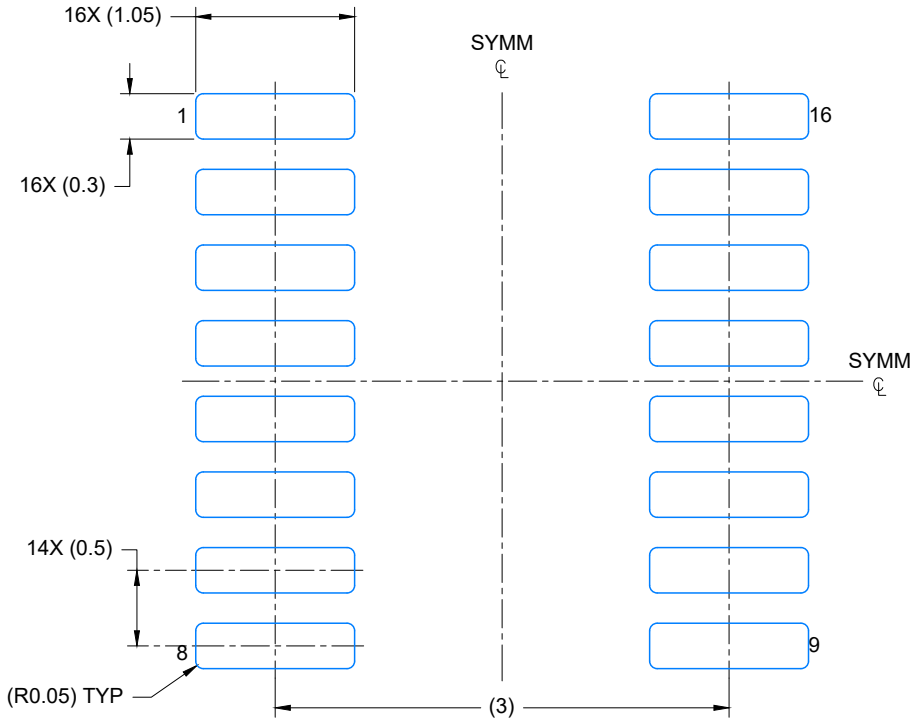
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

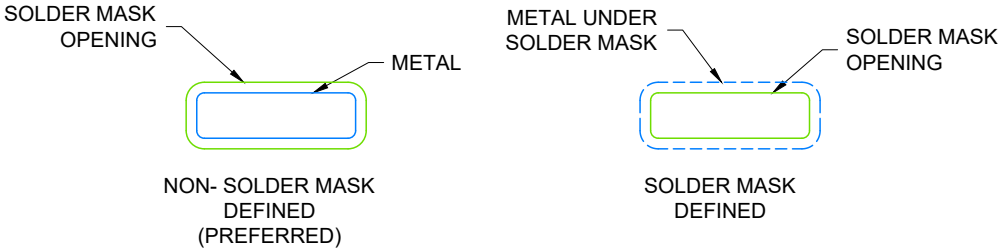


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

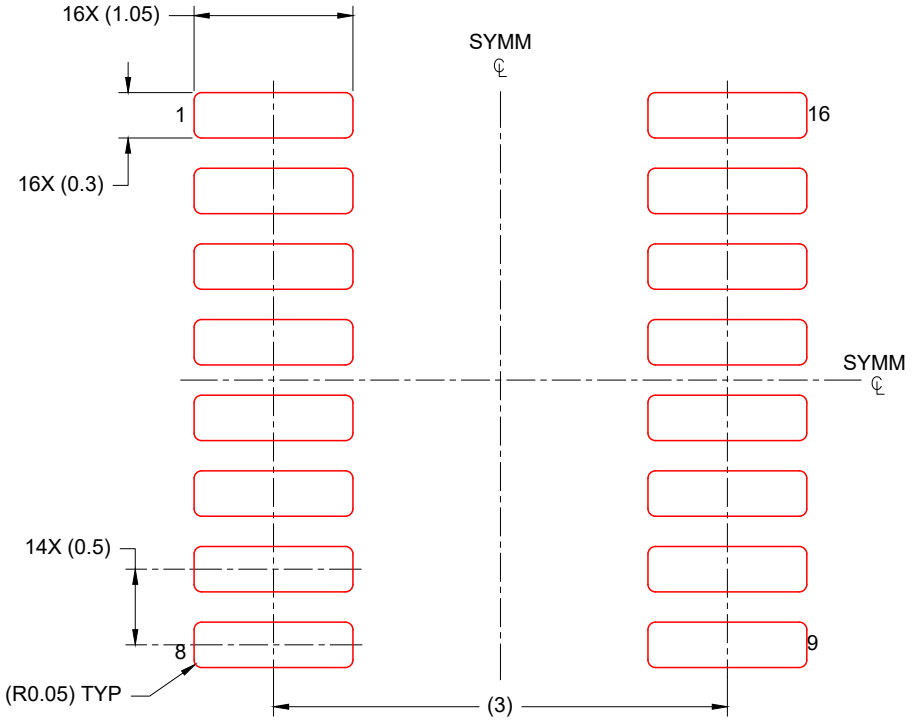


SOLDER MASK DETAILS

4224642/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

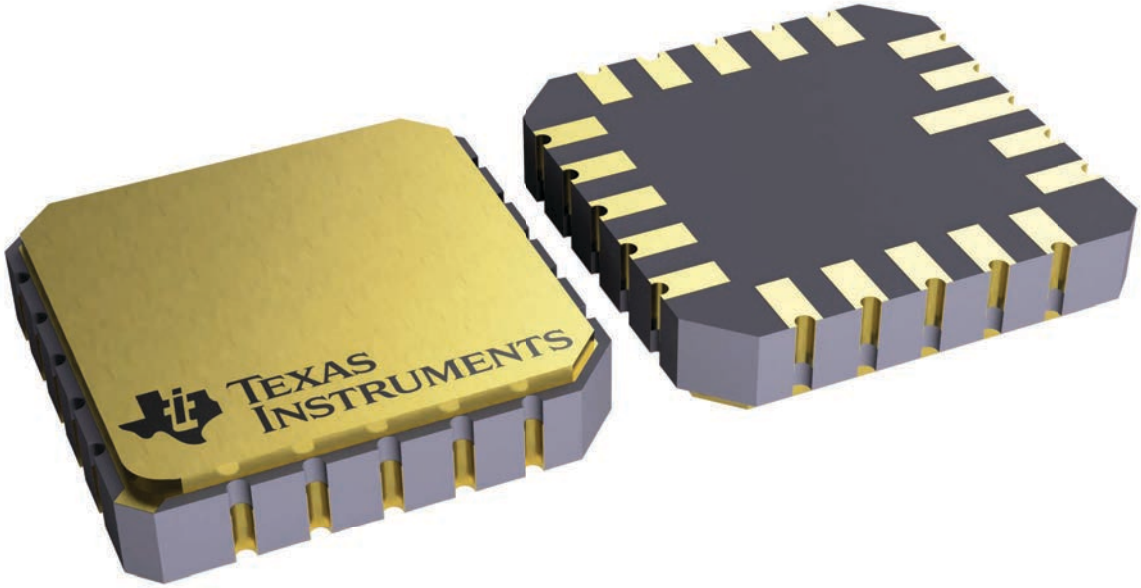
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

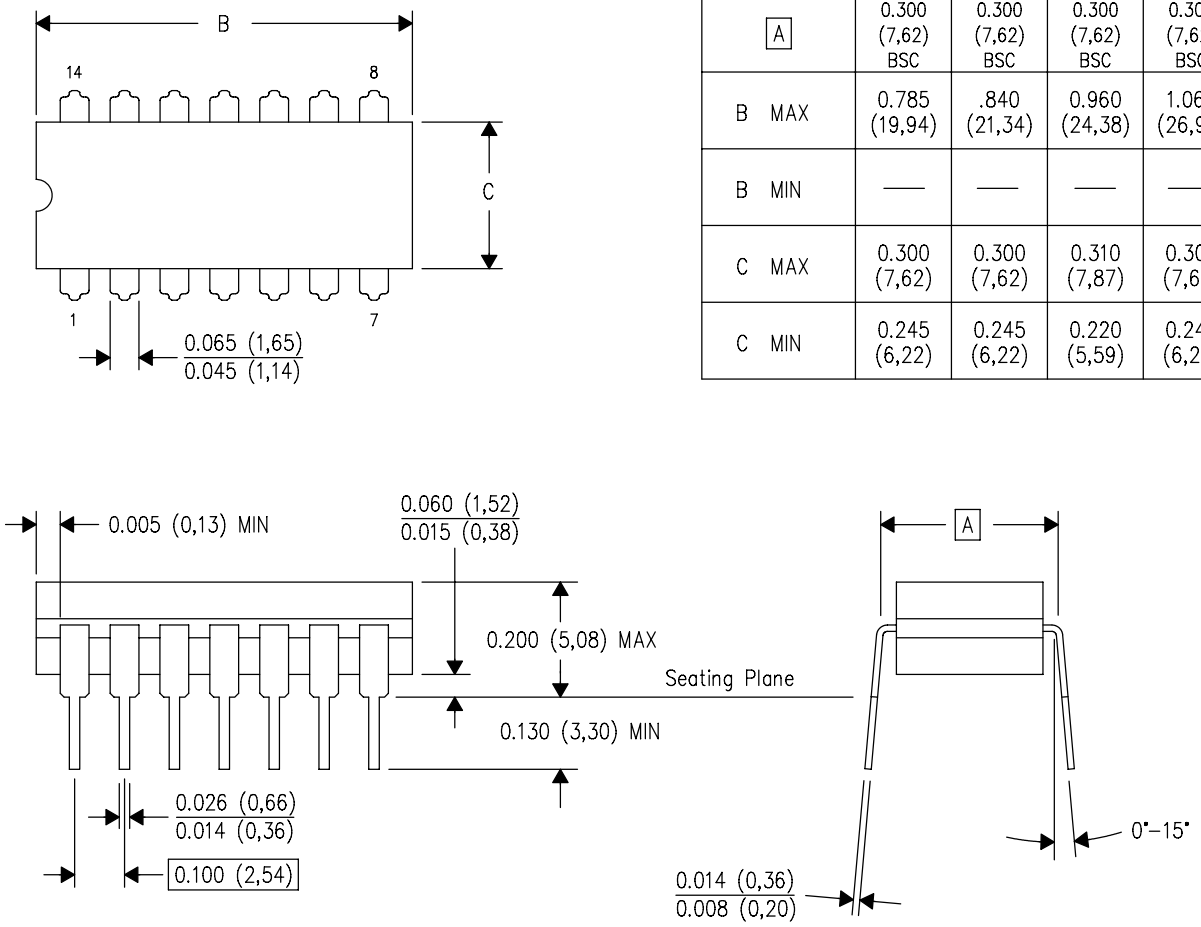
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4229370VA\

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

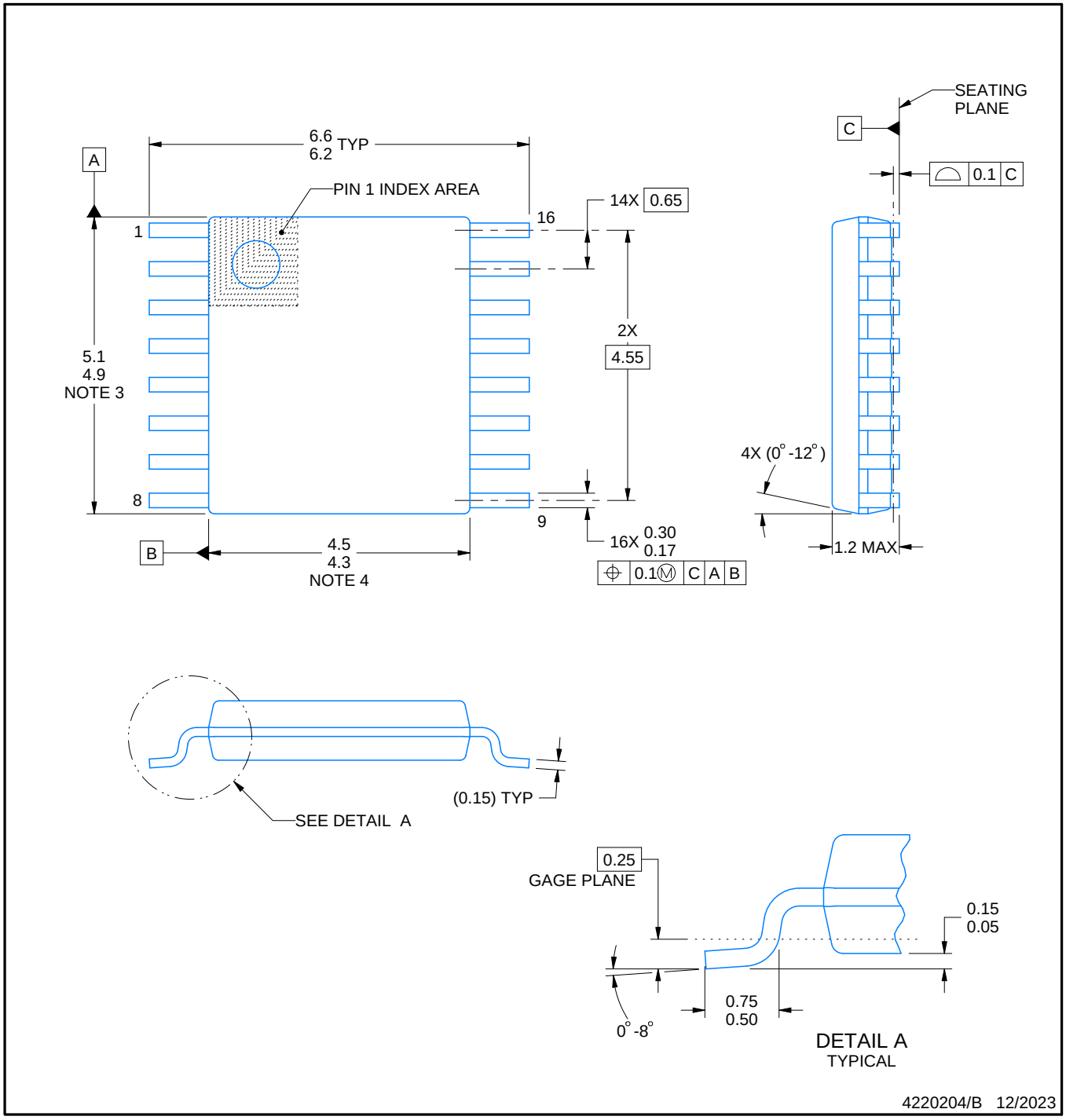
14 LEADS SHOWN



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

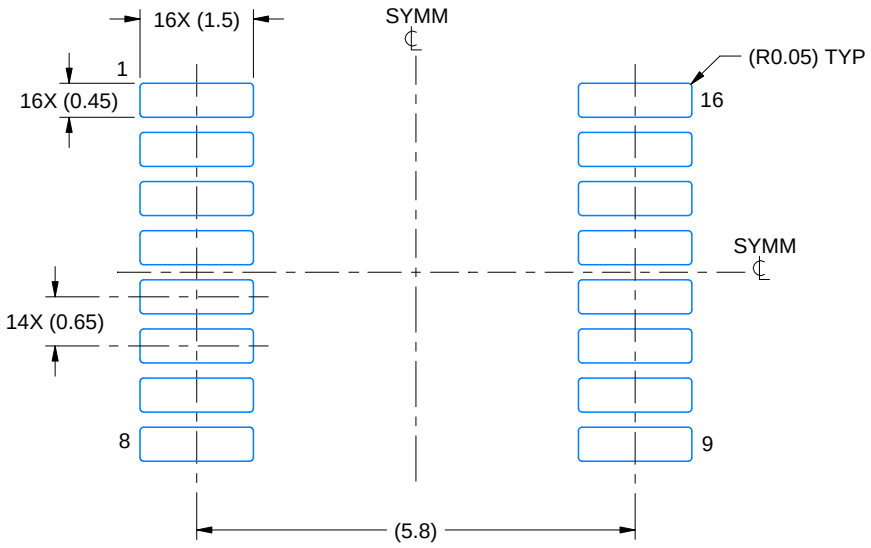
4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

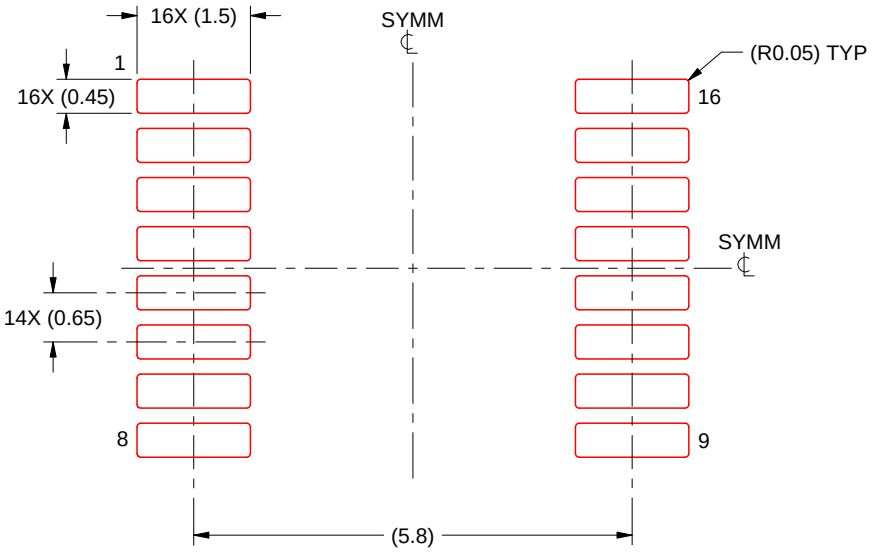
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

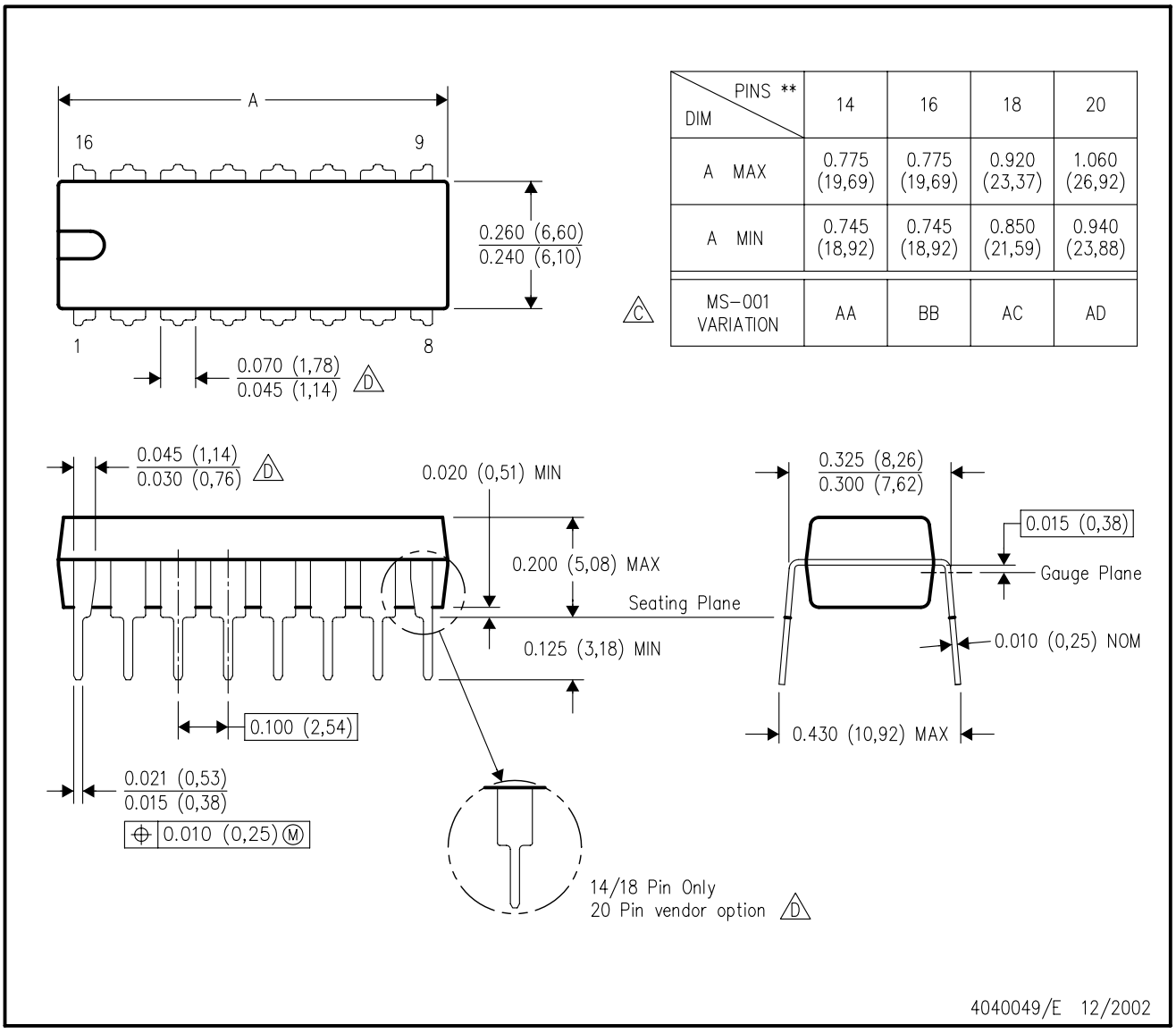
4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

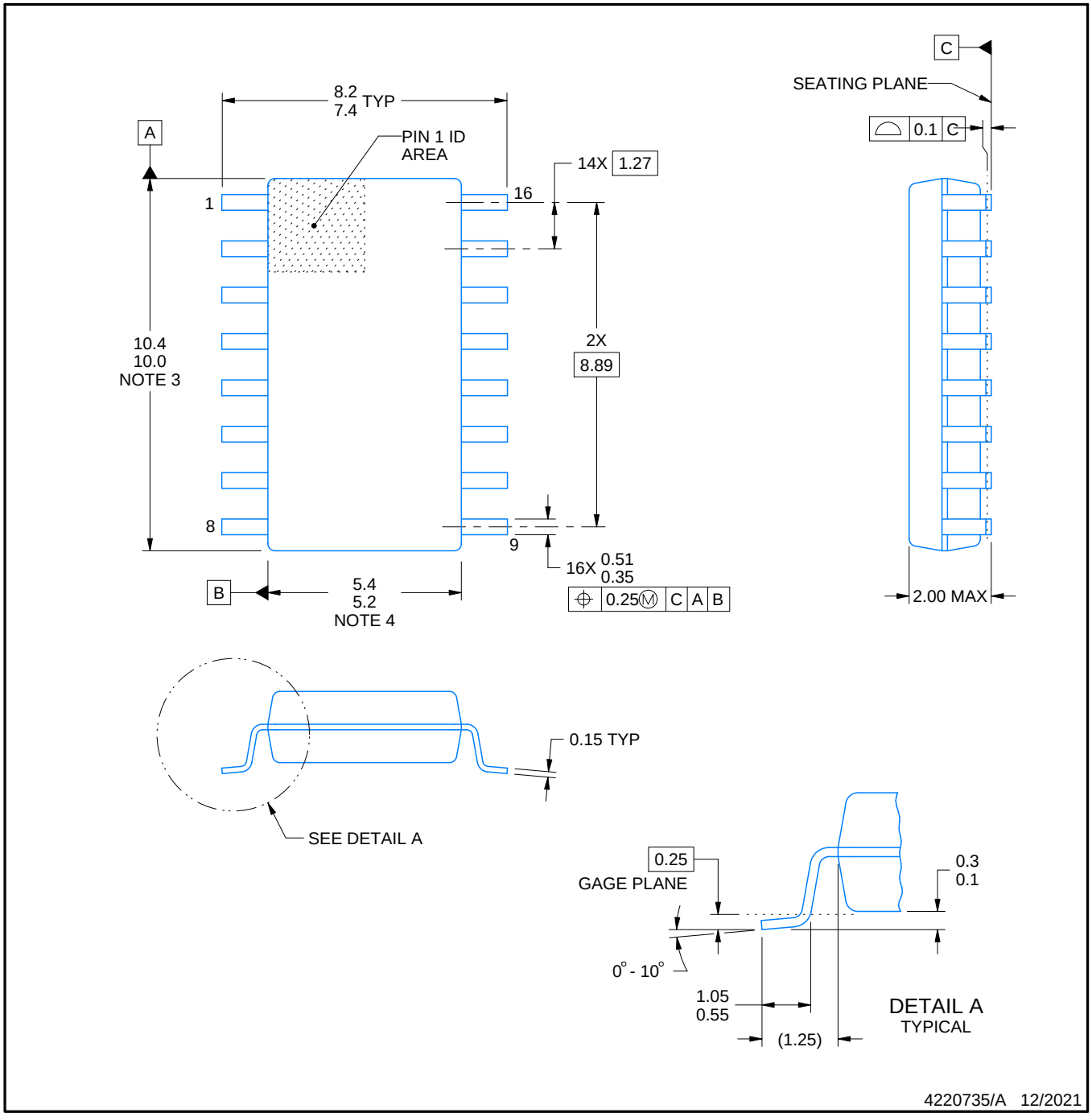
N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



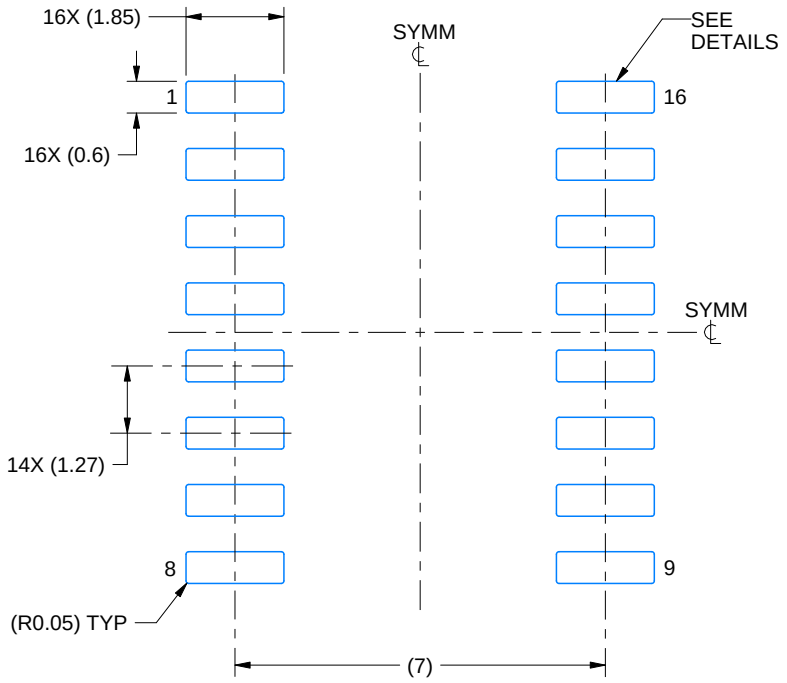
DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

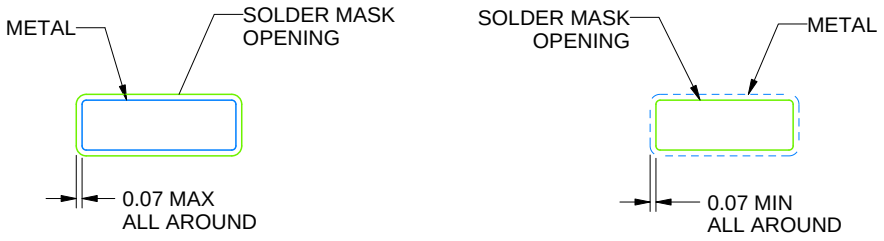


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK DEFINED

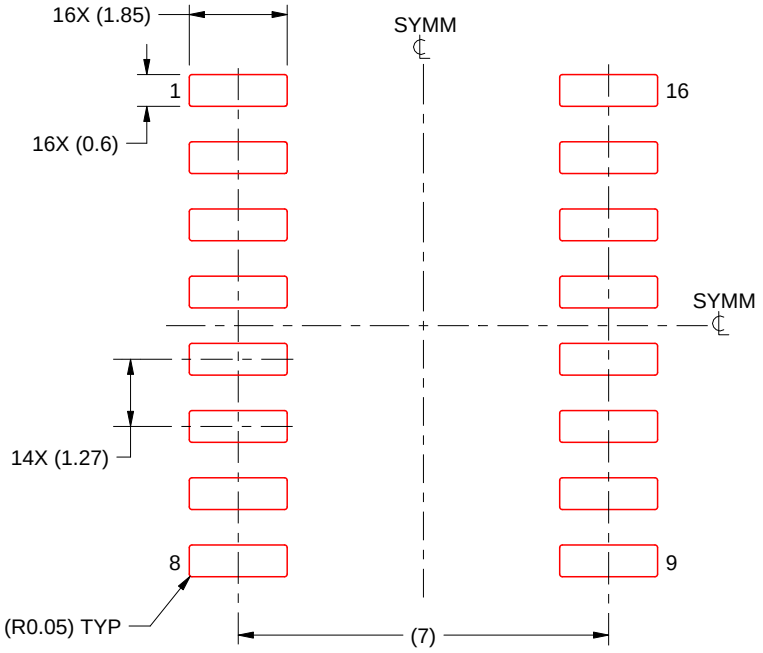
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月