SN74CBLTV3251 低电压、1:8 FET 多路复用器/多路信号分离器

1 特性

- 两个端口之间具有 5Ω 开关连接
- 支持在数据 I/O 端口进行轨到轨开关
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求

2 应用

- 数据中心和企业计算
- 宽带固定线路接入
- 楼宇自动化
- 有线网络
- 电机驱动器

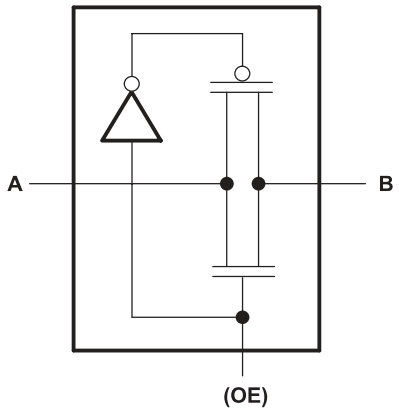
3 说明

SN74CBTLV3251 器件是一款 1:8 高速 FET 多路复用器/多路解复用器。此开关具有低导通状态电阻，可以最短传播延迟建立连接。选择 (S0, S1, S2) 输入端控制数据流。当输出使能 ($\overline{OE}$) 输入端为高电平时，FET 多路复用器/多路解复用器将被禁用。该器件专用于使用 Ioff 的局部断电应用。Ioff 特性旨在确保在关断时，损坏电流不能通过器件回流。该器件可在关断时提供隔离。为确保在上电或掉电期间均处于高阻抗状态，必须将 OE 通过上拉电阻器连接到 VCC；该电阻器的最小值取决于驱动器的灌电流能力。

封装信息

器件型号	封装 (1)	封装尺寸(2)
SN74CBTLV3251DBQR	DBQ（SSOP，16）	4.90mm × 3.90mm
SN74CBTLV3251PWR	PW（TSSOP，16）	5.00mm × 4.40mm
SN74CBTLV3251DGVR	DGV(TVSOP,16)	3.60mm × 4.40mm
SN74CBTLV3251DR	D（SOIC，16）	9.90mm × 3.91mm
SN74CBTLV3251RGYR	RGY（VQFN，16）	4.00mm × 3.50mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版原理图（每个 FET 开关）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 开关特性.....5
5.7 典型特性.....6
6 参数测量信息.....7
7 详细说明.....8
7.1 概述.....8
7.2 功能方框图.....8
7.3 特性说明.....9
7.4 器件功能模式.....9
8 应用和实施.....10
8.1 典型应用.....10
8.2 电源相关建议.....11
8.3 布局.....11
9 器件和文档支持.....12
9.1 接收文档更新通知.....12
9.2 支持资源.....12
9.3 商标.....12
9.4 静电放电警告.....12
9.5 术语表.....12
10 修订历史记录.....12
11 机械、封装和可订购信息.....12

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

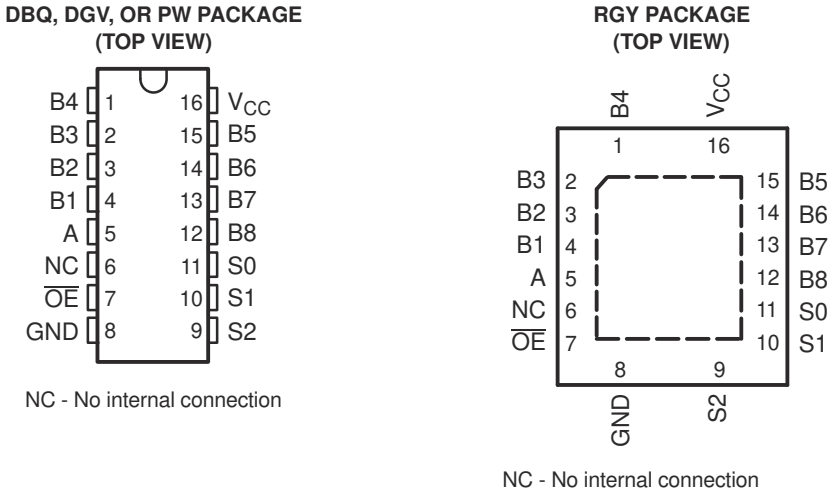


图 4-1. D、DBQ、DGV、PW 和 RGY

表 4-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
B4	1	I/O	多路复用器的输入/输出
B3	2	I/O	多路复用器的输入/输出
B2	3	I/O	多路复用器的输入/输出
B1	4	I/O	多路复用器的输入/输出
A	5	O/I	多路复用器的输出/输入
NC	6	—	无内部连接
$\overline{OE}$	7	I	输出使能，低电平有效
GND	8	—	接地
S2	9	I	选择引脚 2
S1	10	I	选择引脚 1
S0	11	I	选择引脚 0
B8	12	I/O	多路复用器的输入/输出
B7	13	I/O	多路复用器的输入/输出
B6	14	I/O	多路复用器的输入/输出
B5	15	I/O	多路复用器的输入/输出
V_{CC}	16	—	电源

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	4.6	V
V_I	输入电压[(2)]		-0.5	4.6	V
	连续通道电流			128	mA
I_{IK}	输入钳位电流	$V_{I/O}$ < 0		-50	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 如果遵守输入和输出钳位电流额定值，则可能会超过输入和输出负电压额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_{CC}	电源电压		2.3	3.6	V
V_{IH}	高电平控制输入电压	V_{CC} = 2.3V 至 2.7V	1.7		V
		V_{CC} = 2.7V 至 3.6V	2		
V_{IL}	低电平控制输入电压	V_{CC} = 2.3V 至 2.7V		0.7	V
		V_{CC} = 2.7V 至 3.6V		0.8	
T_A	自然通风条件下的工作温度	PKG = RGY、DBQ、D、PW、DGV	-40	85	°C

(1) 器件所有的未使用控制输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 *CMOS 输入缓慢或悬空的影响*。

5.4 热性能信息

热指标[(1)]		SN74CBTLV3251					单位
		D	DBQ	DGV	PW	RGY	
		16 引脚	16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	102.7	116.6	120	129.1	77.73	°C/W
$R_{\theta JC(bottom)}$	结至外壳（底部）热阻	-	-	-	-	35.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件			最小值	典型值 (1)	最大值	单位
V_{IK}		V_{CC} = 3V，	I_I = -18mA				-1.2	V
I_I		V_{CC} = 3.6V，	V_I = V_{CC} 或 GND				±1	μA
I_{off}		V_{CC} = 0，	V_I 或 V_O = 0V 至 3.6V				20	μA
I_{CC}		V_{CC} = 3.6V，	I_O = 0，	V_I = V_{CC} 或 GND			10	μA
ΔI_{CC} (2)	控制输入	V_{CC} = 3.6V，	一个输入为 3V，	其他输入电压为 V_{CC} 或 GND			300	μA
C_i	控制输入	V_I = 3V 或 0V				3		pF
$C_{io(OFF)}$	A 端口	V_O = 3V 或 0V，	$\overline{OE}$ = V_{CC}			40.5		pF
	B 端口					6		
r_{on} (3)		V_{CC} = 2.3V，V_{CC} = 2.5V 时的典型值	V_I = 0	I_I = 64mA		5	8	Ω
				I_I = 24mA		5	8	
			V_I = 1.7V	I_I = 15mA		27	40	
		V_{CC} = 3V	V_I = 0	I_I = 64mA		5	7	
				I_I = 24mA		5	7	
			V_I = 2.4V	I_I = 15mA		10	15	

(1) 所有典型值均在 V_{CC} = 3.3V（除非另外注明）、T_A = 25°C 时测得。
(2) 这是每个输入在指定电压电平（而不是 V_{CC} 或 GND 下）的电源电流增加情况。
(3) 在流经开关的指示电流下，由 A 和 B 端子之间的压降测量。导通状态电阻由两个（A 或 B）端子的较低电压决定。

5.6 开关特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	从（输入）	至（输出）	V_{CC} = 2.5 ± 0.2V		V_{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	
t_{pd}	A 或 B(1)	B 或 A		0.15		0.25	ns
	S	A	1	6.1	1	5.3	
t_{en}	S	B	1	4.1	1	3.6	ns
t_{dis}	S	B	1	3.5	1	3.3	ns
t_{en}	$\overline{OE}$	A 或 B	1	5.2	1	4.5	ns
t_{dis}	$\overline{OE}$	A 或 B	1	6.7	1	7.2	ns

(1) 当由一个适当的电压源（零输出阻抗）驱动时，传播延迟是使用此开关通态电阻典型值和额定负载电容计算得出的 RC 时间常数。

5.7 典型特性

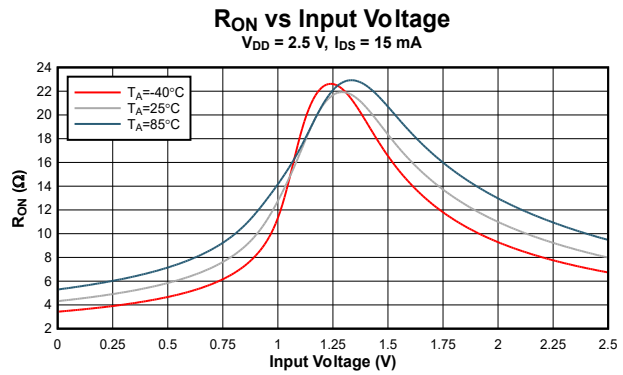


图 5-1. V_{DD} = 2.5V，I_{DS} = 15mA

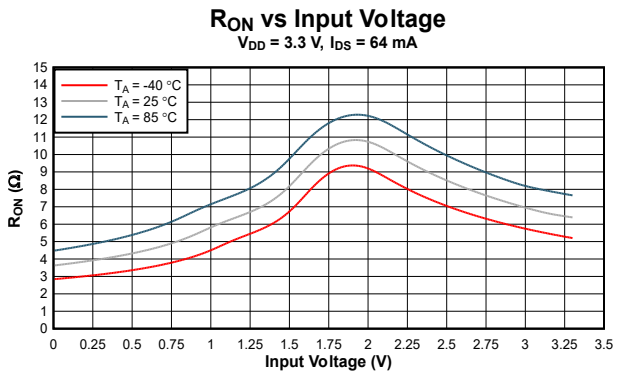
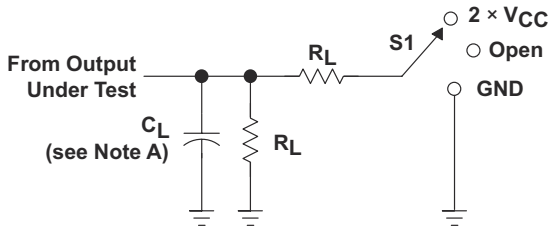


图 5-2. V_{DD} = 3.3V，I_{DS} = 64mA

Copyright © 2026 Texas Instruments Incorporated

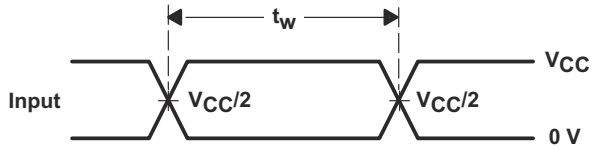
6 参数测量信息



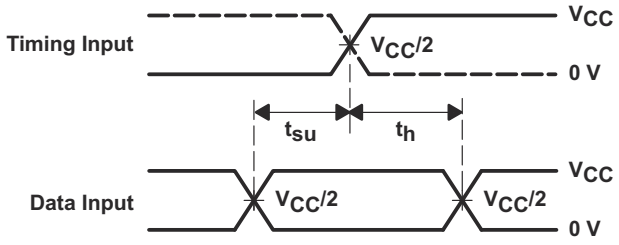
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × V_{CC} GND

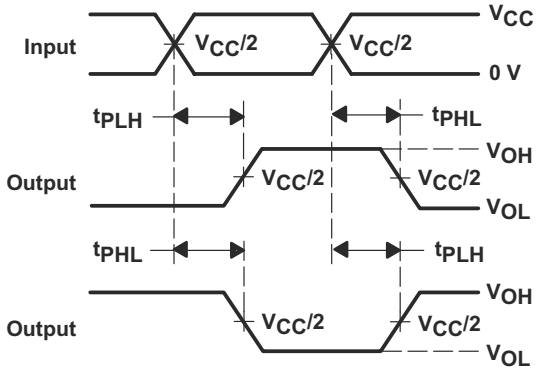
V_{CC}	C_L	R_L	V_Δ
2.5 V ± 0.2 V	30 pF	500 Ω	0.15 V
3.3 V ± 0.3 V	50 pF	500 Ω	0.3 V



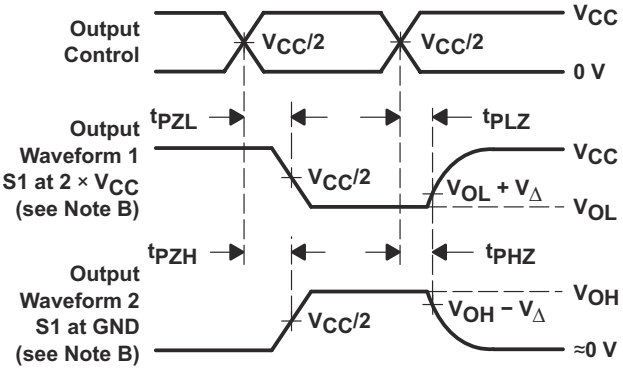
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, t_r ≤ 2 ns, t_f ≤ 2 ns.
D. The outputs are measured one at a time with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

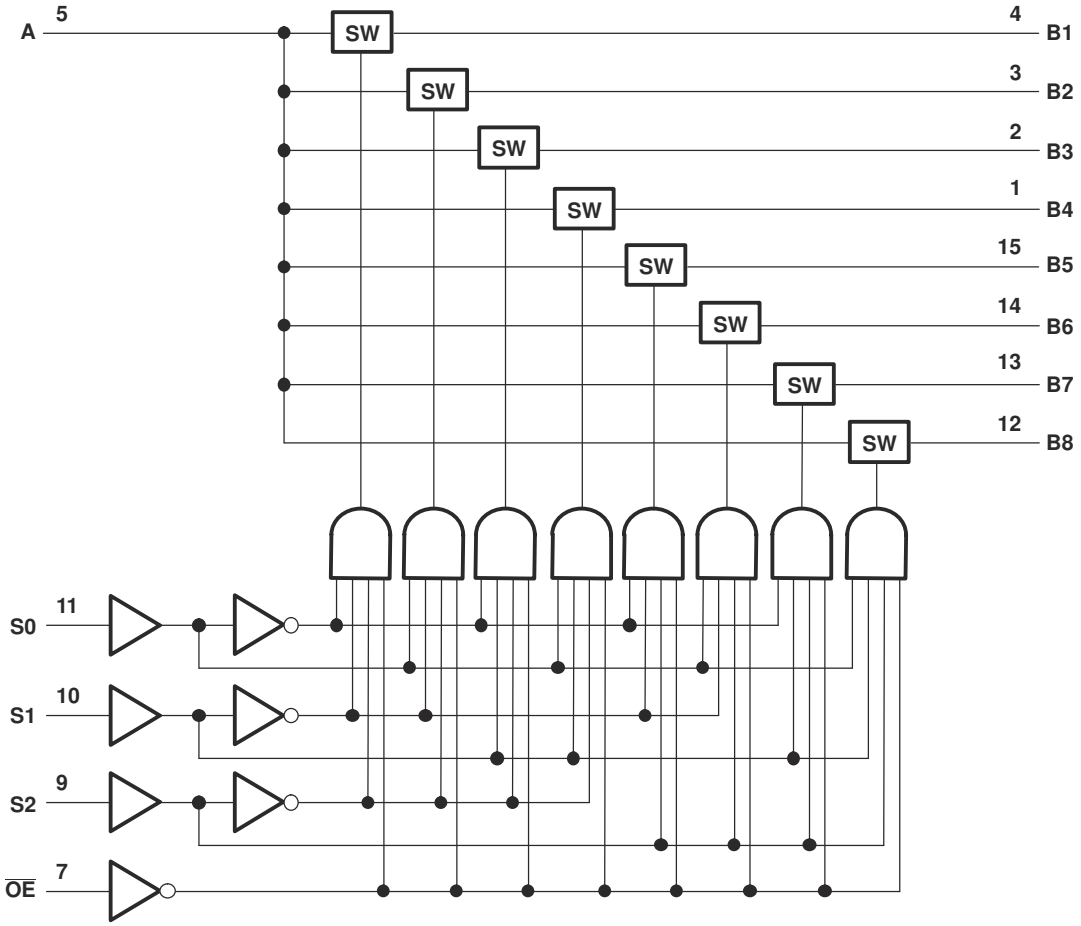
图 **6-1.** 负载电路和电压波形

7 详细说明

7.1 概述

SN74CBTLV3251 器件是一款 1:8 高速 FET 多路复用器/多路解复用器。此开关具有低导通状态电阻，可以最短传播延迟建立连接。选择 (S0, S1, S2) 输入端控制数据流。当输出使能 ($\overline{OE}$) 输入端为高电平时，FET 多路复用器/多路解复用器将被禁用。该器件专用于使用 Ioff 的局部断电应用。Ioff 特性确保在断电时防止损坏电流通过器件回流。该器件可在关断时提供隔离。为确保在上电或掉电期间均处于高阻抗状态，必须将 OE 通过上拉电阻器连接到 VCC；该电阻器的最小值取决于驱动器的灌电流能力。

7.2 功能方框图



逻辑图（正逻辑）

Copyright © 2026 Texas Instruments Incorporated

7.3 特性说明

SN74CBTLV3251 在端口之间采用 5Ω 开关连接，可降低开关信号损耗。借助数据 I/O 的轨到轨开关功能可实现全电压摆幅输出。Ioff 支持局部断电模式运行，在芯片未上电时保护其免受输出端口电压的影响。闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求。

7.4 器件功能模式

表 7-1. 功能表

输入				输入/输出 A	功能
$\overline{OE}$	S2	S1	S0		
L	L	L	L	B1	A 端口 = B1 端口
L	L	L	H	B2	A 端口 = B2 端口
L	L	H	L	B3	A 端口 = B3 端口
L	L	H	H	B4	A 端口 = B4 端口
L	H	L	L	B5	A 端口 = B5 端口
L	H	L	H	B6	A 端口 = B6 端口
L	H	H	L	B7	A 端口 = B7 端口
L	H	H	H	B8	A 端口 = B8 端口
H	X	X	X	Z	断开

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 典型应用

SN74CBTLV3251 器可与微控制器结合使用以对键盘进行轮询。图 8-1 显示了此类轮询系统的基本原理图。在读取输入时，微控制器使用通道选择引脚在不同通道间循环，以查看用户是否按下了任何按键。这是一种非常稳健的设置，能够以极低的功耗同时进行按键操作。该器件使用的微控制器引脚也非常少。轮询的缺点是微控制器必须频繁扫描按键是否被按压。

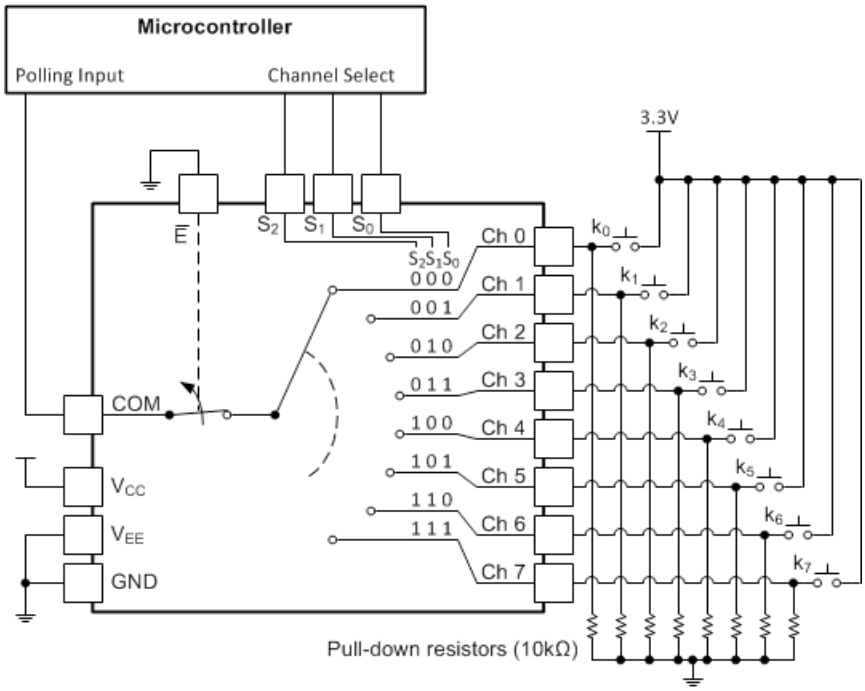


图 8-1. 键盘轮询应用

8.1.1 设计要求

这些器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限值的电流。

Copyright © 2026 Texas Instruments Incorporated

8.1.2 详细设计过程

1. 建议的输入条件：
   - 有关开关时间规格，请参阅 *节 5.3* 中的传播延迟时间。
   - 输入不得拉低至低于地。
   - 有关控制输入的输入电压电平规格，请参阅 *节 5.3* 中的 V_{IH} 和 V_{IL}。
2. 输入和输出电流注意事项：
   - 每路输出的负载电流不能超过该器件的总电流（通过 V_{CC} 或 GND 的持续电流）。这些示例位于：*节 5.1*。

8.2 电源相关建议

电源可以是 中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1μF 电容器；如果有多个 V_{CC} 引脚，则建议为每个电源引脚使用 0.01μF 或 0.022μF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1μF 和 1μF 电容器通常并联使用。为了获得更佳效果，旁路电容器必须尽可能靠近电源引脚安装。

8.3 布局

8.3.1 布局指南

当使用多位逻辑器件时，输入决不能悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能；例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个。此类输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的运行状态。以下指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至高或低偏置以防悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们将连接到 GND 或 V_{CC}，具体取决于哪种更合理或更方便。

8.3.2 布局示例

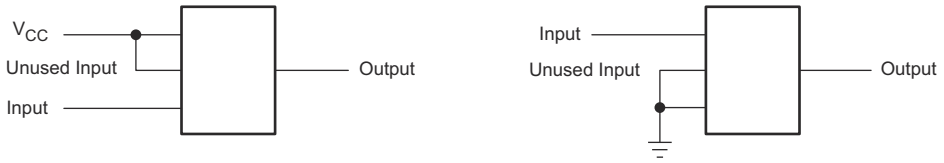


图 8-2. 布局图

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision I (October 2003) to Revision J (July 2026)	Page
• 添加了应用部分、器件信息部分、引脚配置和功能部分、ESD 等级表、特性说明部分、器件功能模式、应用和实现部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分	1
• 更新了“热性能额定值”	4
• 为新封装添加了“电气规格”一节	5
• 为新封装添加了开关规格部分	5
• 添加了典型曲线	6

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74CBTLV3251RGYRG4	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
74CBTLV3251RGYRG4.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
74CBTLV3251RGYRG4.B	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
SN74CBTLV3251D	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	CBTLV3251
SN74CBTLV3251DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
SN74CBTLV3251DBQR.A	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
SN74CBTLV3251DBQR.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
SN74CBTLV3251DGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251DGVR.B	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251DR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3251
SN74CBTLV3251DR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3251
SN74CBTLV3251DR.B	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CBTLV3251
SN74CBTLV3251PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251PWR.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251PWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251PWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251PWRG4.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	CL251
SN74CBTLV3251RGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
SN74CBTLV3251RGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251
SN74CBTLV3251RGYR.B	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	CL251

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

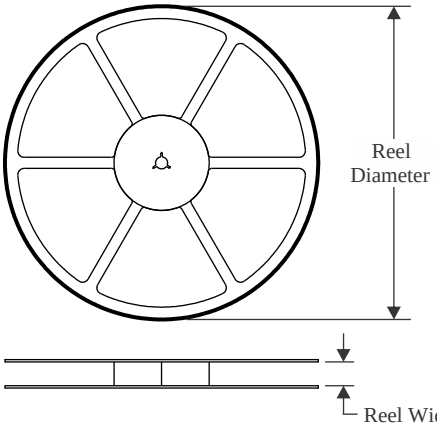
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

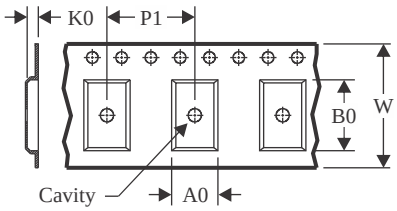
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

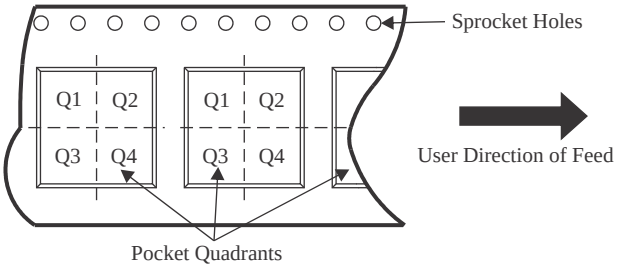


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

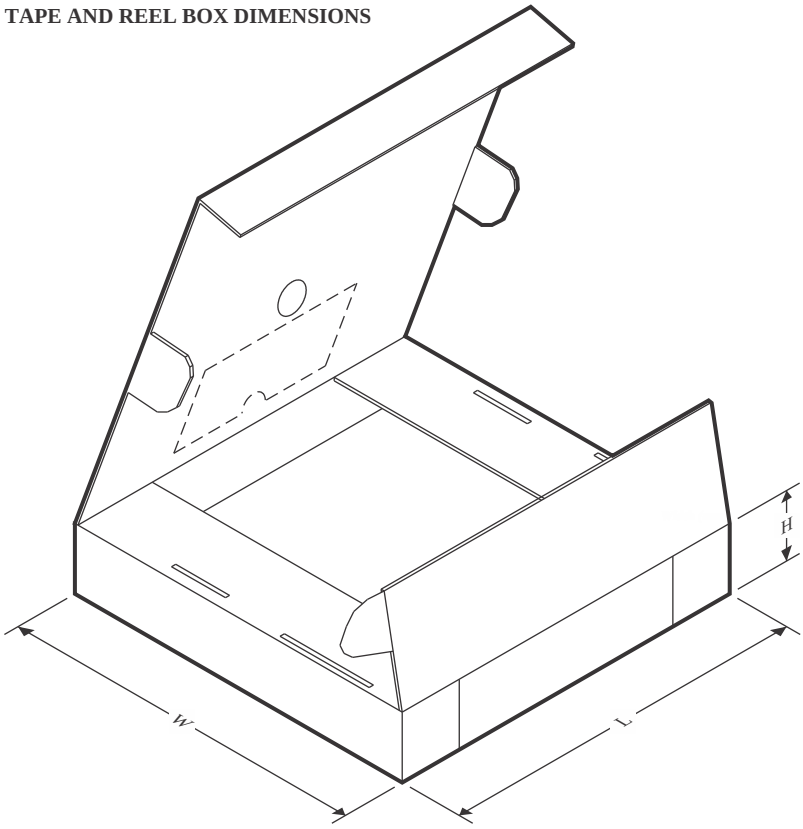
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74CBTLV3251RGYRG4	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1
SN74CBTLV3251DBQR	SSOP	DBQ	16	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
SN74CBTLV3251DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74CBTLV3251DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74CBTLV3251PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3251PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3251PWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74CBTLV3251RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

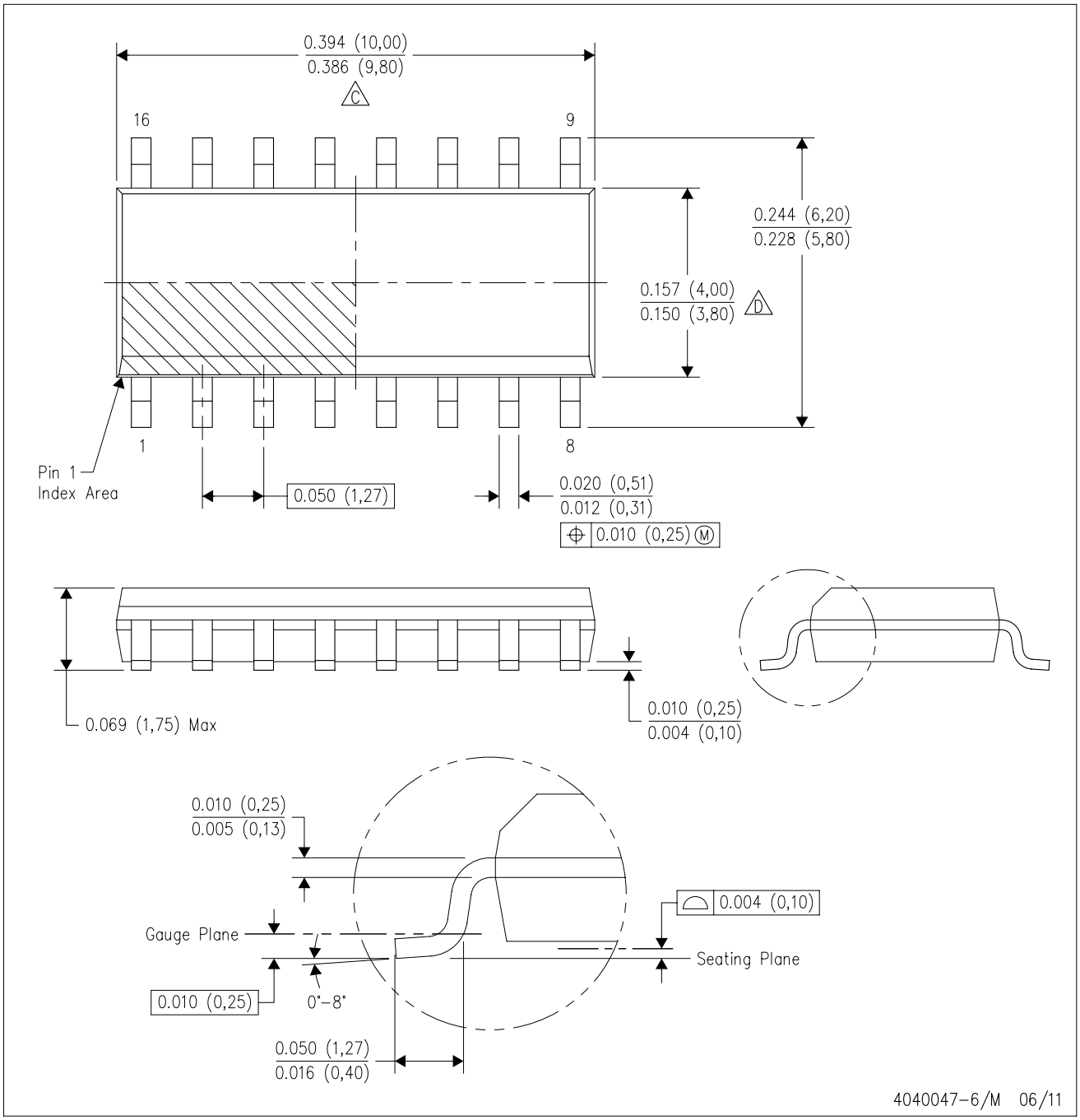
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74CBTLV3251RGYRG4	VQFN	RGY	16	3000	353.0	353.0	32.0
SN74CBTLV3251DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
SN74CBTLV3251DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74CBTLV3251DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74CBTLV3251PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CBTLV3251PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74CBTLV3251PWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74CBTLV3251RGYR	VQFN	RGY	16	3000	353.0	353.0	32.0

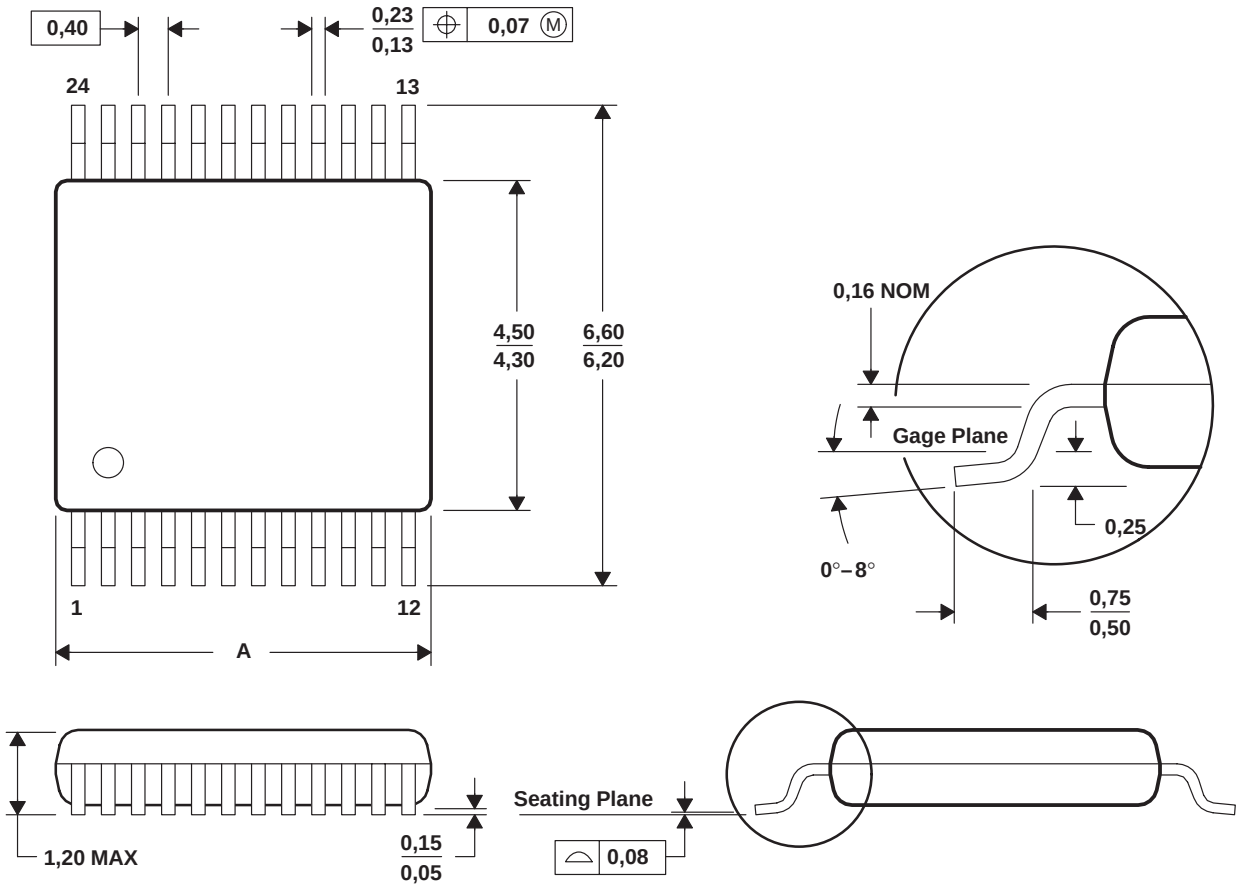
D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

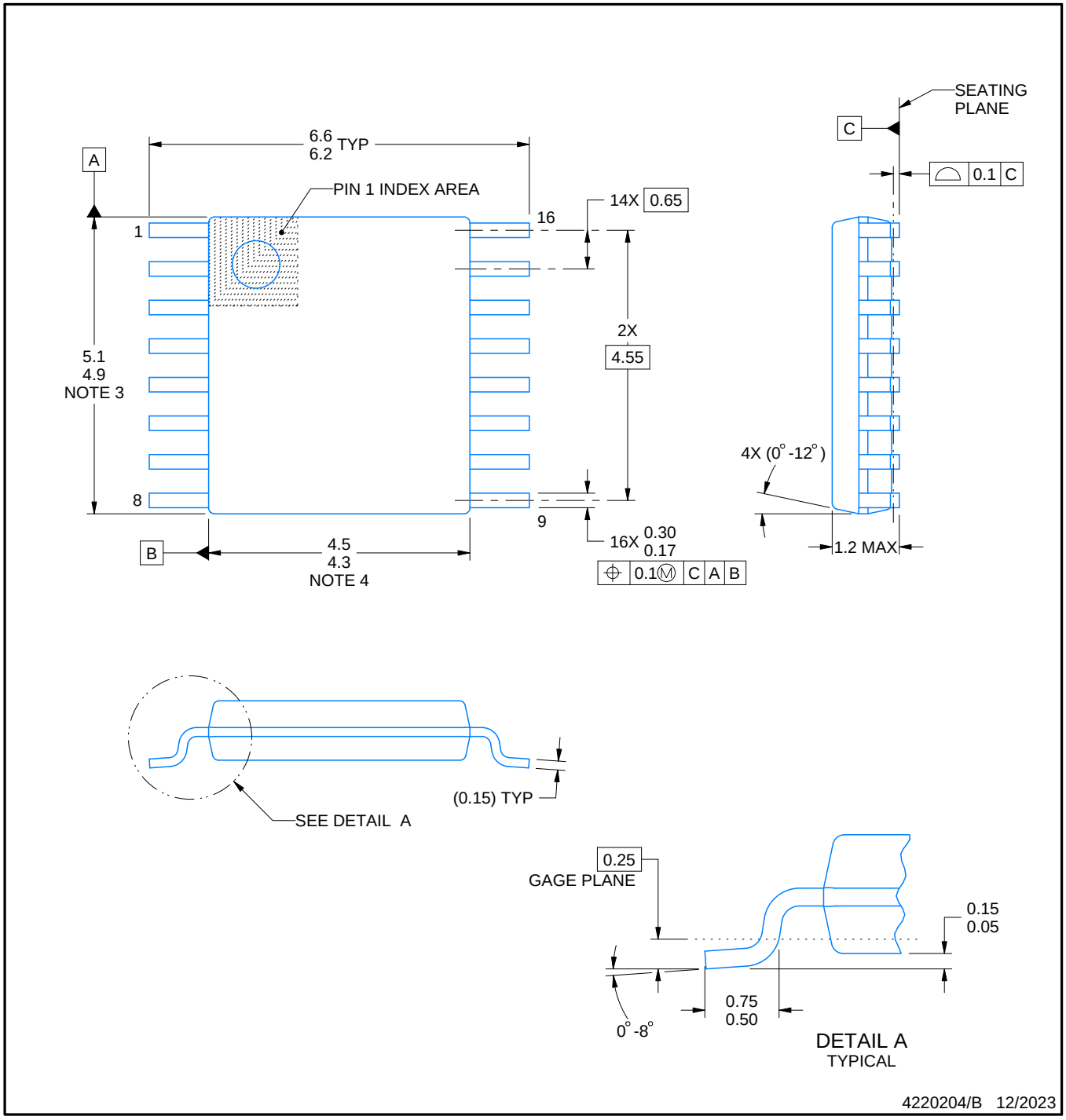
24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

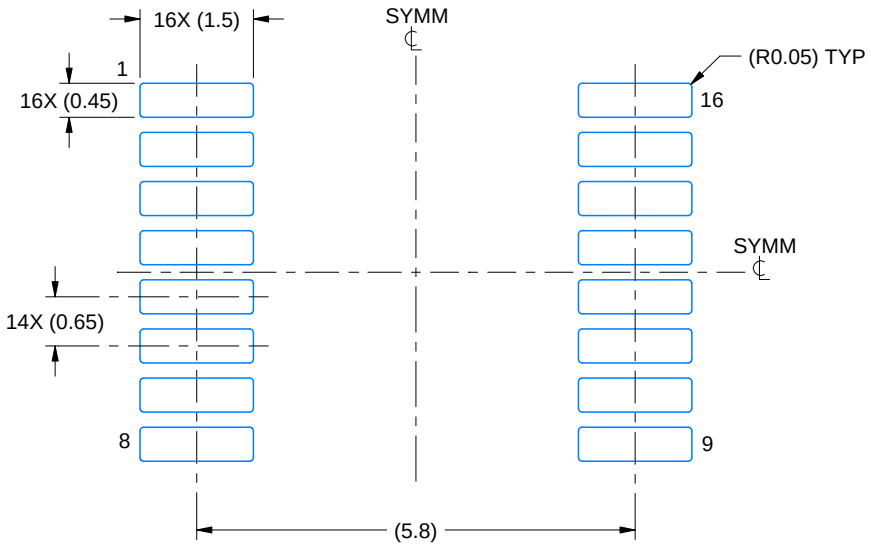
4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

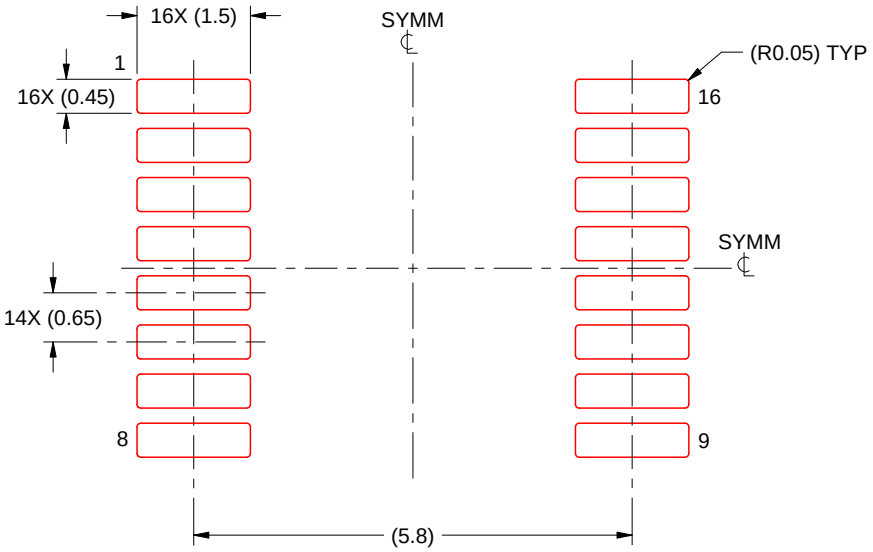
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

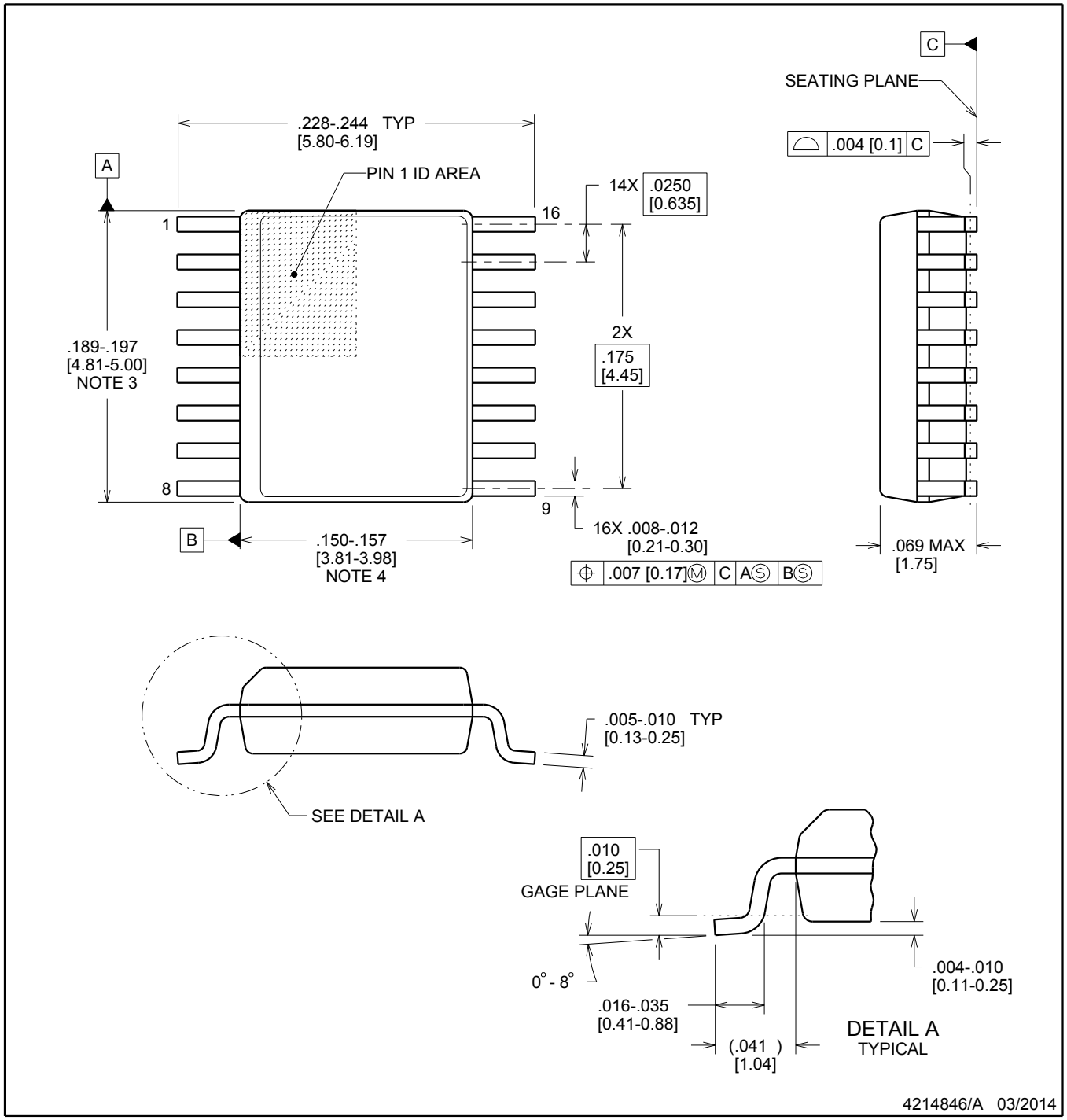


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

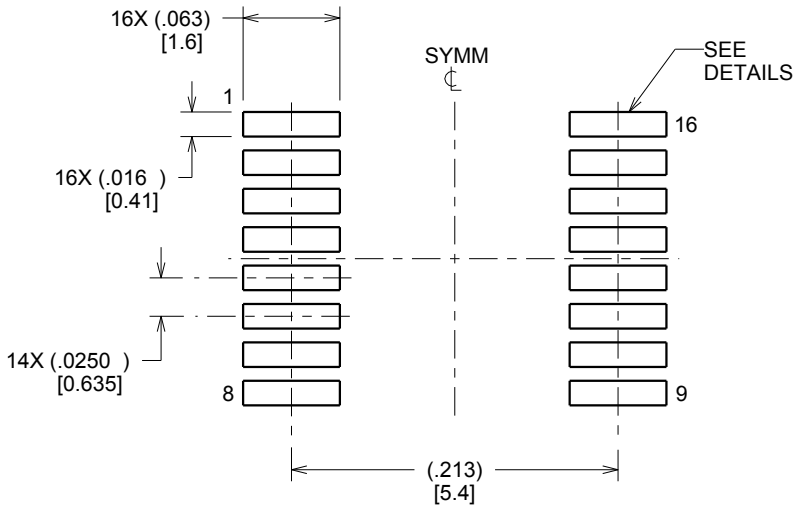
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

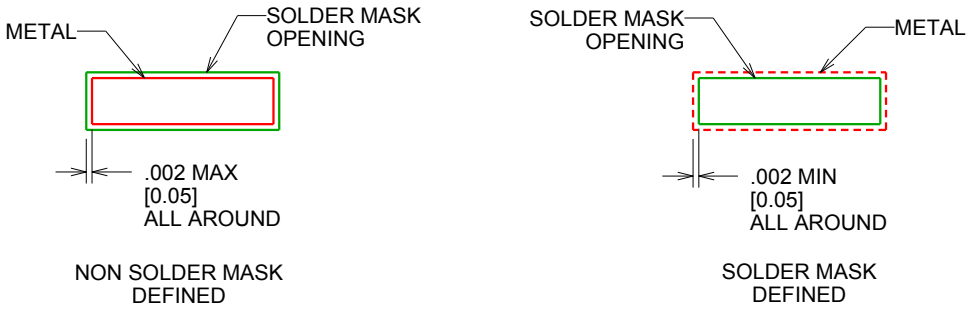


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

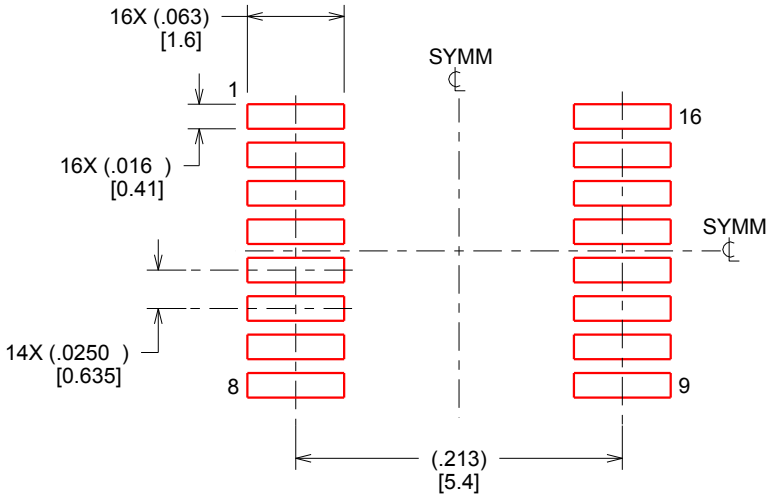


SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



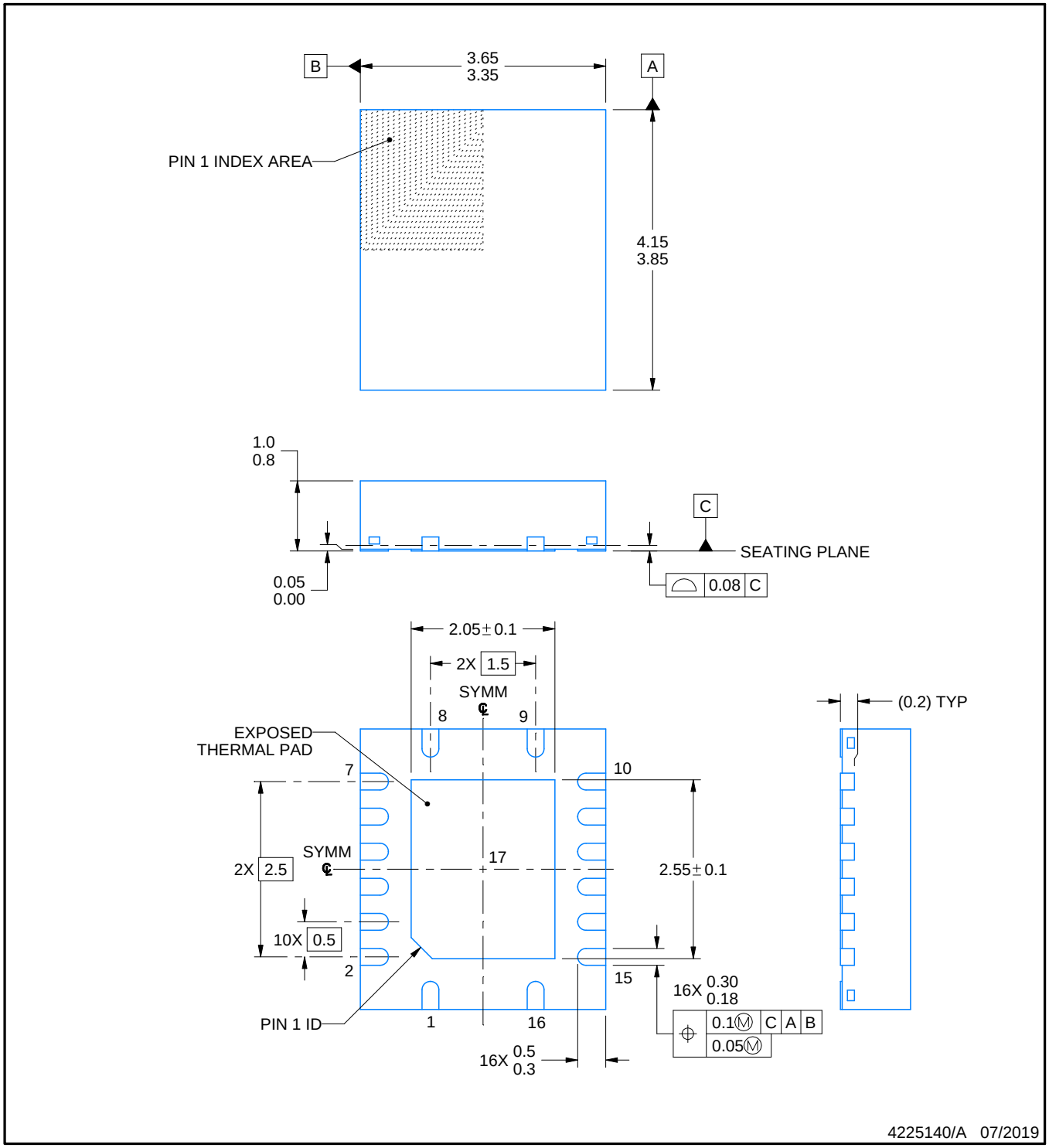
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

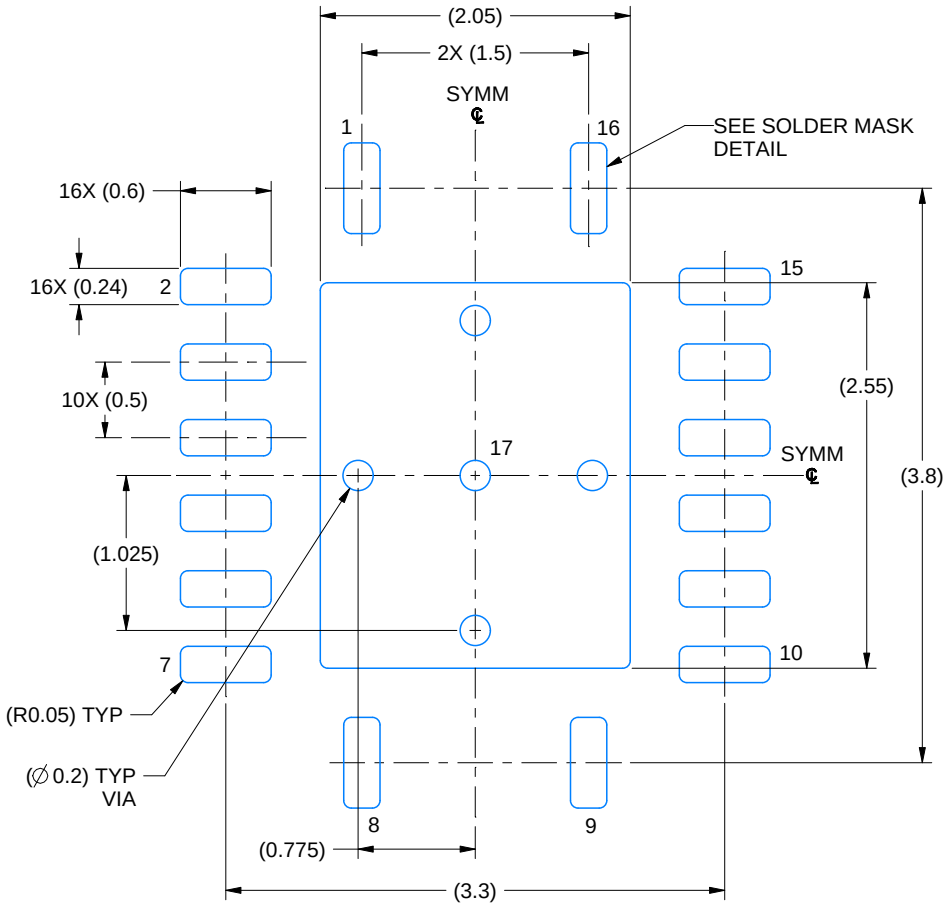
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PLASTIC QUAD FLATPACK - NO LEAD

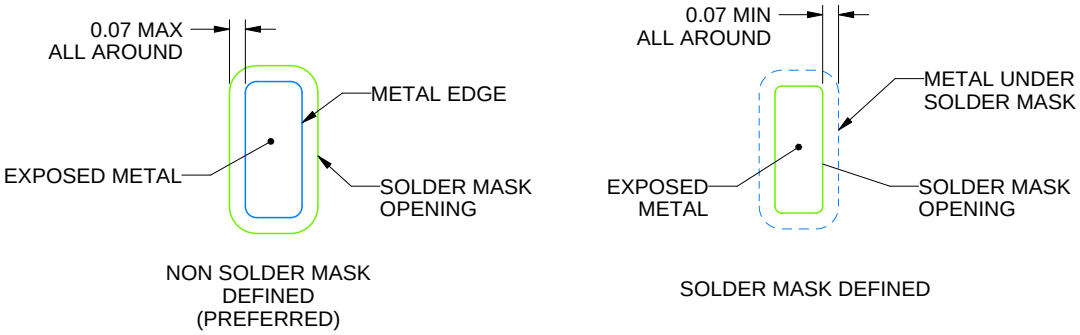


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

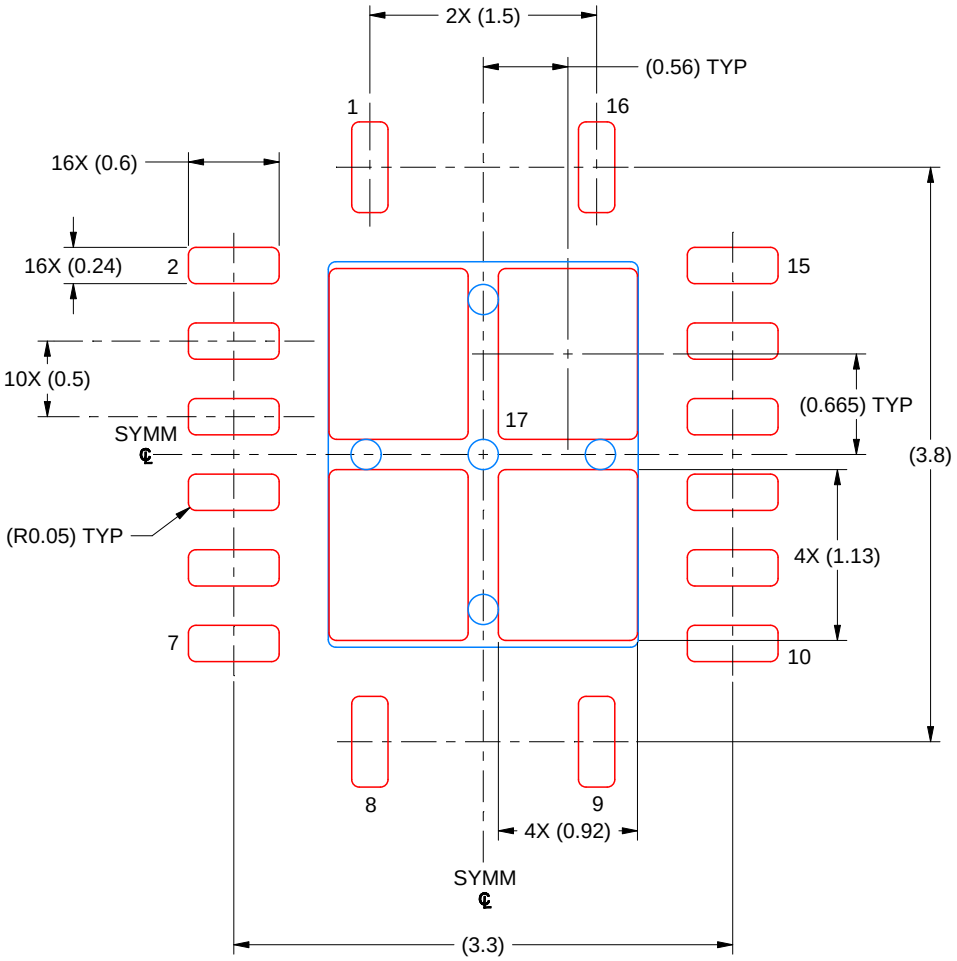


SOLDER MASK DETAILS

4225140/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 17
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225140/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月