SN74CBTLV3126-Q1 低电压四通道 FET 总线开关

1 特性

- 标准 126 型引脚
- 两个端口之间具有 5Ω 开关连接
- 支持在数据 I/O 端口进行轨到轨开关
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求

2 应用

- 模拟和数字多路复用和多路信号分离
- 诊断和监控
- 区域架构
- 车身控制模块
- 电池管理系统 (BMS)
- HVAC 控制模块
- ADAS
- 车载充电器 (OBC) 和无线充电
- 汽车音响主机
- 远程信息处理

3 说明

SN74CBTLV3126-Q1 四通道 FET 总线开关具有独立的线路开关。当每个开关的相关输出使能 (OE) 输入为低电平，开关被禁用。

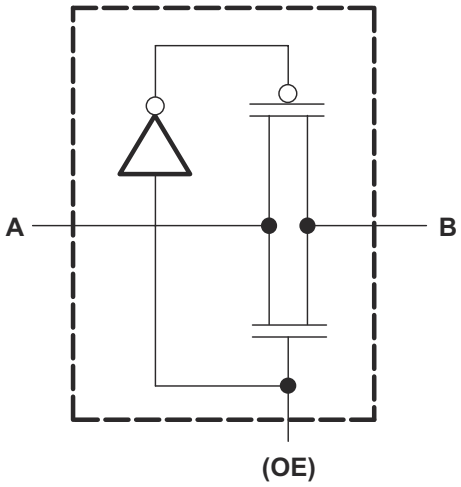
该器件专用于使用 I_{off} 的局部断电应用。I_{off} 特性确保在关断时防止损坏电流通过器件回流。SN74CBTLV3126-Q1 器件可在断电时提供隔离。

为确保在上电或断电期间均处于高阻态，应将 OE 通过下拉电阻连接至 GND；该电阻的最小值取决于驱动器的灌电流能力。

封装信息

器件型号	封装(1)	封装尺寸(2)
SN74CBTLV3126-Q1	SOT（DYY、14）	4.20mm × 2.00mm
	TSSOP（PW，14）	5.00mm × 4.40mm
	WQFN（BQA、14）	3.00mm × 2.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



每个 FET 开关的简化版原理图

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....6
5.6 开关特性.....6
5.7 典型特性.....7
6 参数测量信息.....8
7 详细说明.....9
7.1 概述.....9
7.2 功能方框图.....9
7.3 特性说明.....9
7.4 器件功能模式.....9
8 应用和实施.....11
8.1 应用信息.....11
8.2 典型应用.....11
8.3 电源相关建议.....12
8.4 布局.....12
9 器件和文档支持.....14
9.1 接收文档更新通知.....14
9.2 支持资源.....14
9.3 商标.....14
9.4 静电放电警告.....14
9.5 术语表.....14
10 修订历史记录.....14
11 机械、封装和可订购信息.....14
11.1 机械数据.....15

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

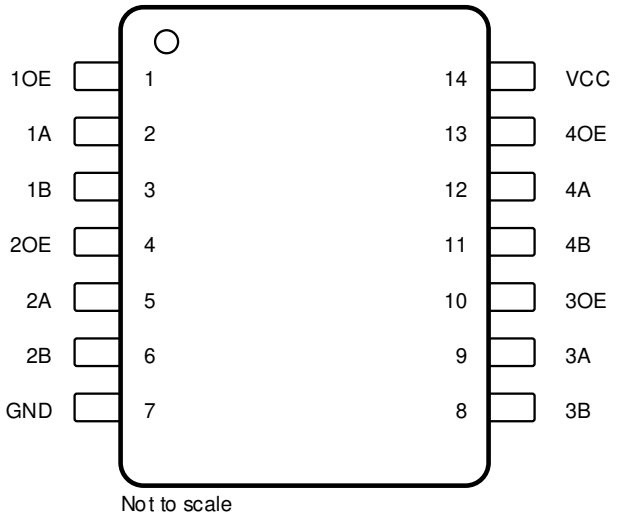


图 4-1. PW 和 DYY 封装，14 引脚 TSSOP 和 SOT（顶视图）

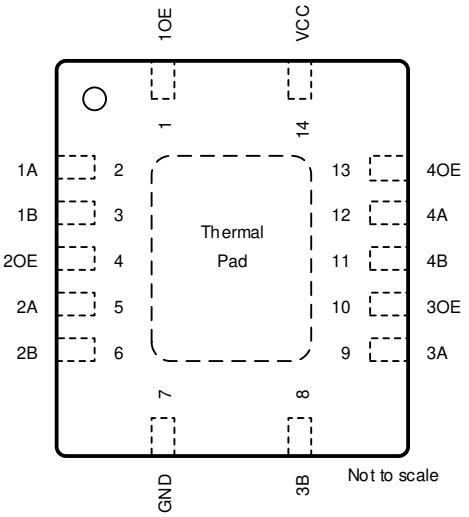


图 4-2. BQA 封装，14 引脚 WQFN（顶视图）

表 4-1. 引脚功能，DYY，PW，BQA

引脚		类型(1)	说明
名称	编号		
1A	2	I/O	通道 1 输入或输出
1B	3	I/O	通道 1 输入或输出
1OE	1	I	输出使能，高电平有效
2A	5	I/O	通道 2 输入或输出
2B	6	I/O	通道 2 输入或输出
2OE	4	I	输出使能，高电平有效
3A	9	I/O	通道 3 输入或输出
3B	8	I/O	通道 3 输入或输出
3OE	10	I	输出使能，高电平有效
4A	12	I/O	通道 4 输入或输出
4B	11	I/O	通道 4 输入或输出
4OE	13	I	输出使能，高电平有效
GND	7	—	接地
V_{CC}	14	P	电源
散热焊盘		—	外露散热焊盘无需焊接此焊盘，如果已连接，则应将焊盘保持悬空或连接到 GND。

(1) I = 输入，O = 输出，I/O = 输入和输出，P = 电源

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	4.6	V
V_I	输入电压范围(2)		-0.5	4.6	V
$I_{I/O}$	连续通道电流			128	mA
I_{IK}	输入钳位电流	$V_{I/O}$ < 0		-50	mA
T_{stg}	贮存温度范围		-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在*绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 如果遵守输入和输出钳位电流额定值，则可能会超过输入和输出负电压额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±250	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

(1)

			最小值	最大值	单位
V_{CC}	电源电压		2.3	3.6	V
V_{IH}	高电平控制输入电压	V_{CC} = 2.3V 至 2.7V	1.7	V_{CC}	V
		V_{CC} = 2.7V 至 3.6V	2	V_{CC}	
V_{IL}	低电平控制输入电压	V_{CC} = 2.3V 至 2.7V		0.7	V
		V_{CC} = 2.7V 至 3.6V		0.8	
T_A	自然通风条件下的工作温度		-40	125	°C

(1) 器件所有的未使用控制输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告*慢速或浮点 CMOS 输入的影响*，文献编号 SCBA004。

Copyright © 2026 Texas Instruments Incorporated

5.4 热性能信息

热指标(1)		SN74CBTLV3126-Q1			单位
		PW (TSSOP)	BQA (WQFN)	DYY (SOT)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	129.1	122.4	129.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.0	87.5	78.4	°C/W
$R_{\theta JB}$	结至电路板热阻	87.1	32.6	73.3	°C/W
Ψ_{JT}	结至顶部特征参数	14.5	87.5	17.2	°C/W
Ψ_{JB}	结至电路板特征参数	86.3	110.9	72.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	54.3	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		测试条件			最小值	典型值(1)	最大值	单位
V_{IK}		V_{CC} = 3V，	I_I = -18mA				-1.2	V
I_I		V_{CC} = 3.6V，	V_I = V_{CC} 或 GND				±1	μA
I_{off}		V_{CC} = 0，	V_I 或 V_O = 0V 至 3.6V				10	μA
I_{CC}		V_{CC} = 3.6V，	I_O = 0，	V_I = V_{CC} 或 GND			10	μA
ΔI_{CC} (2)	控制输入	V_{CC} = 3.6V，	一个输入为 3V，	其他输入电压为 V_{CC} 或 GND			300	μA
C_i	控制输入	V_I = 3V 或 0V				2.5		pF
$C_{io(OFF)}$		V_O = 3V 或 0V，	OE = GND			7		pF
r_{on} (3)		V_{CC} = 2.3V，V_{CC} = 2.5V 时的典型值	V_I = 0	I_I = 64mA		5	8	Ω
				I_I = 24mA		5	8	
			V_I = 1.7V，	I_I = 15mA		27	40	
		V_{CC} = 3V	V_I = 0	I_I = 64mA		5	7	
				I_I = 24mA		5	7	
			V_I = 2.4V，	I_I = 15mA		10	15	

(1) 所有典型值均在 V_{CC} = 3.3V（除非另外注明）、T_A = 25°C 时测得。
(2) 这是每个输入在指定电压电平（而不是 V_{CC} 或 GND 下）的电源电流增加情况。
(3) 在通过开关的指示电流下，由 A 和 B 端子之间的压降测量。导通状态电阻由两个（A 或 B）端子的较低电压决定。

5.6 开关特性

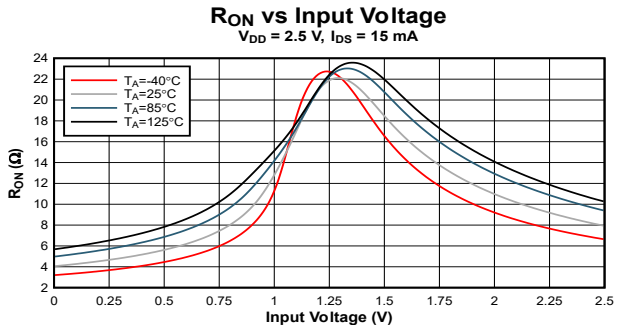
在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅 图 6-1）

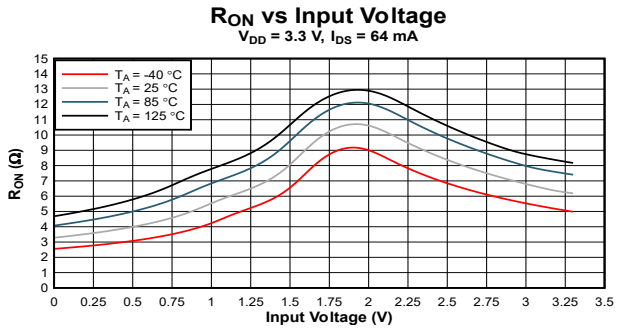
参数	从（输入）	至（输出）	V_{CC} = 2.5V ± 0.2V		V_{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	
t_{pd} (1)	A 或 B	B 或 A		0.15		0.25	ns
t_{en}	OE	A 或 B	1.6	4.5	1.9	4.2	ns
t_{dis}	OE	A 或 B	1.3	4.7	1	4.8	ns

(1) 当由一个理想电压源（零输出阻抗）驱动时，传播延迟是使用此开关通态电阻典型值和额定负载电容计算得出的 RC 时间常数。

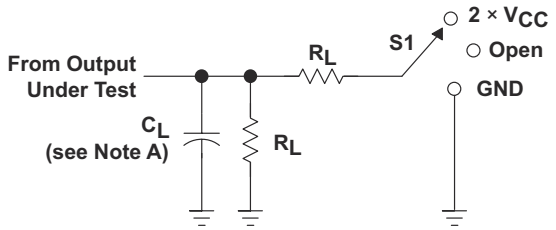
Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性


RON vs Input Voltage
VDD = 2.5 V, IDS = 15 mA
TA=-40°C
TA=25°C
TA=85°C
TA=125°C
RON (Ω)
Input Voltage (V)


RON vs Input Voltage
VDD = 3.3 V, IDS = 64 mA
TA = -40 °C
TA = 25 °C
TA = 85 °C
TA = 125 °C
RON (Ω)
Input Voltage (V)

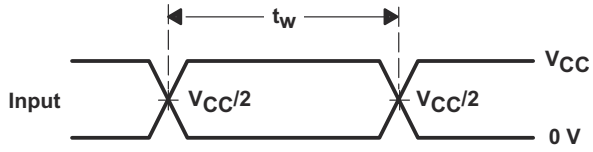
6 参数测量信息



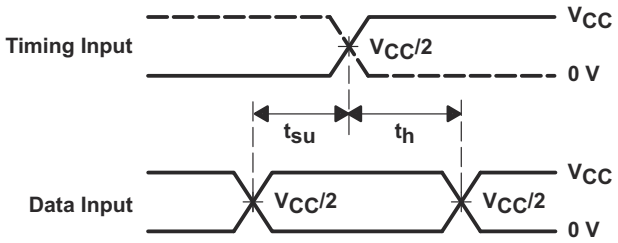
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open 2 × V_{CC} GND

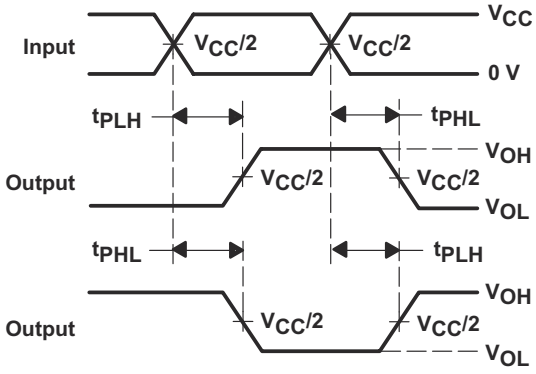
V_{CC}	C_L	R_L	V_Δ
2.5 V ±0.2 V	30 pF	500 Ω	0.15 V
3.3 V ±0.3 V	50 pF	500 Ω	0.3 V



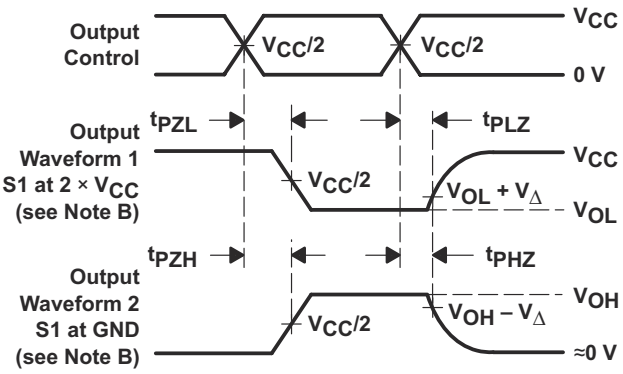
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

A. C_L 包括探头和夹具电容。
B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
C. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 10MHz，Z_O = 50 Ω，t_r ≤ 2 ns，t_f ≤ 2 ns。
D. 每次测量这些输出中的一个，每次测量转换一次。
E. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
F. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
G. t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。
H. 并非所有参数和波形都适用于所有器件。

图 6-1. 负载电路和电压波形

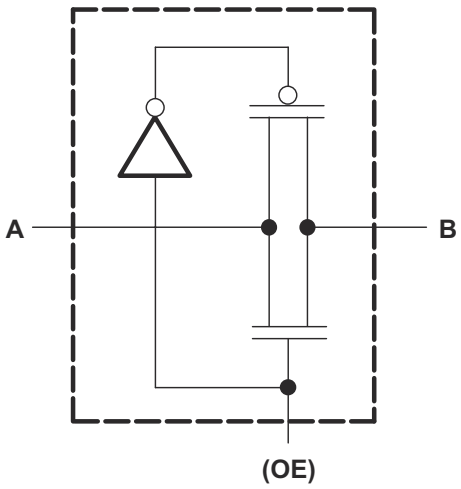
Copyright © 2026 Texas Instruments Incorporated

7 详细说明

7.1 概述

SN74CBTLV3126-Q1 四通道 FET 总线开关具有独立的线路开关。当每个开关的相关输出使能 (OE) 输入为低电平，开关被禁用。该器件专用于使用 Ioff 的局部断电应用。Ioff 特性确保在断电时防止损坏电流通过器件回流。SN74CBTLV3126-Q1 器件可在断电时提供隔离。为确保在上电或断电期间均处于高阻态，应将 OE 通过下拉电阻连接至 GND；该电阻的最小值取决于驱动器的灌电流能力。

7.2 功能方框图



7.3 特性说明

SN74CBTLV3126-Q1 在端口之间采用 5Ω 开关连接，可降低开关信号损耗。借助数据 I/O 的轨到轨开关功能可实现全电压摆幅输出。I_{off} 支持局部断电模式运行，在芯片未上电时保护其免受输出端口电压的影响。闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求。

7.4 器件功能模式

7.4.1 功能表（每个总线开关）

表 7-1 提供了 SN74CBTLV3126-Q1 的真值表。

表 7-1. 真值表

输入 OE	功能
L	断开
H	端口 A = 端口 B

Copyright © 2026 Texas Instruments Incorporated

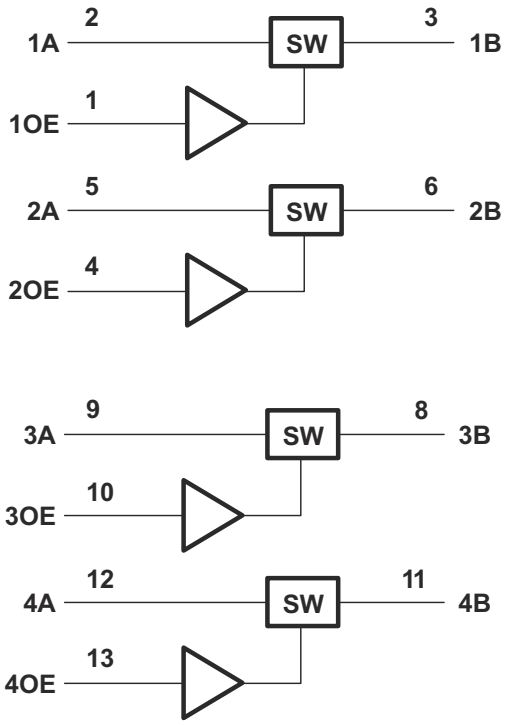


图 7-1. 逻辑图（正逻辑）

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

利用 SN74CBTLV3126-Q1 特性的一个实用应用是隔离来自处理器或 MCU 的各种协议，例如 JTAG、SPI 或标准 GPIO 信号。该器件在通电后可提供出色的隔离性能。断电保护的一项额外好处是，通过消除热插拔和带电插入应用中的电源排序需求，系统可以更大限度降低复杂性。

8.2 典型应用

8.2.1 协议和信号隔离

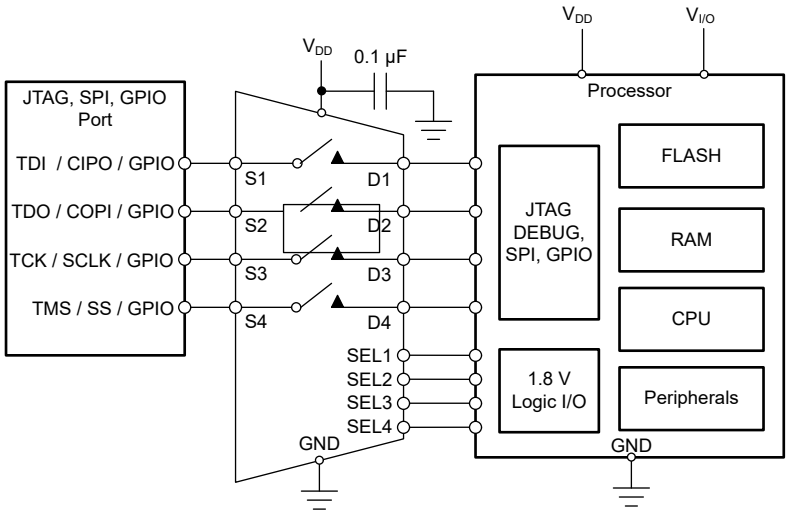


图 8-1. 典型应用

8.2.1.1 设计要求

对于该设计示例，请使用表 8-1 中列出的参数。

表 8-1. 设计参数

参数	值
电源 (V_{DD})	3.3V
输入或输出信号范围	0V 至 3.3V
控制逻辑阈值	1.8V 兼容

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2 详细设计过程

SN74CBTLV3126-Q1 无需任何外部元件（电源去耦电容器除外）即可运行。TI 建议将数字控制引脚 (OE) 上拉至 V_{CC} 或下拉至 GND，以避免引脚悬空可能导致的非预期开关状态。所有通过开关的输入信号都必须处于 SN74CBTLV3126-Q1 的*建议运行条件*范围内，包括信号范围和持续电流。对于本设计示例，电源电压为 3.3V，器件通电后，信号范围为 0V 至 3.3V。该示例也可以利用断电保护功能，当 V_{DD} = 0V 时，输入范围可以为 0V 至 3.3V。

8.3 电源相关建议

电源可以是*建议运行条件*表中所列最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 μF 旁路电容器。如果多个引脚被标记为 V_{CC}，鉴于 V_{CC} 引脚在电路内部彼此相连，建议为每个 V_{CC} 引脚配备一个 0.01 μF 或 0.022 μF 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 0.1μF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。0.1 μF 和 1 μF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此，某些布线必须拐角。图 8-2 展示了渐入佳境的圆角技术。只有最后一个示例（理想）保持恒定的布线宽度并能够更大限度地减少反射。

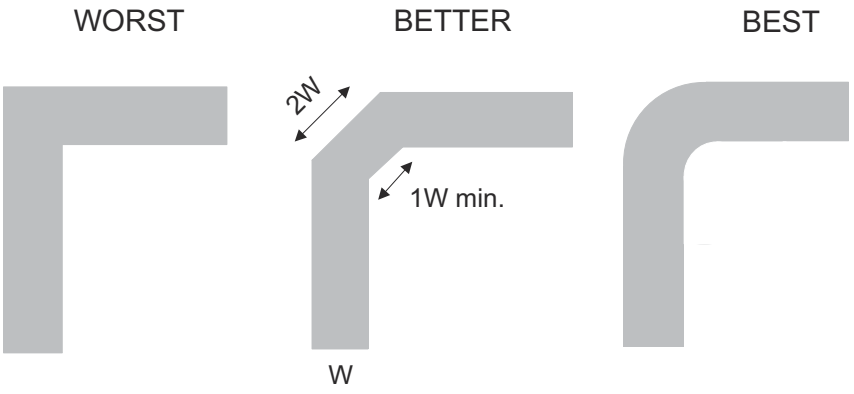


图 8-2. 布线示例

使用较少的过孔和拐角路由高速信号可减少信号反射和阻抗变化。当必须使用过孔时，增加其周边的间隙尺寸以降低其电容。每一过孔均为信号传输线引入了非连续性，并增加了电路板其他层的干扰几率。设计测试点时要小心，不建议在高频下使用穿孔引脚。

请勿在晶体、振荡器、时钟信号发生器、开关稳压器、安装孔、磁性器件或使用/复制时钟信号的 IC 下方或附近布置高速信号布线。

- 避免因高速信号引线上的残桩而引起信号的反射。
- 通过连续 GND 平面实现无断高速信号引线。
- 避免层分割中常见的交叉分隔覆铜问题。
- 当使用高频率时，因此所推荐的印刷电路板至少为 4 层；两个信号层划分为接地层及电源层，如 图 8-3 所示。

Copyright © 2026 Texas Instruments Incorporated

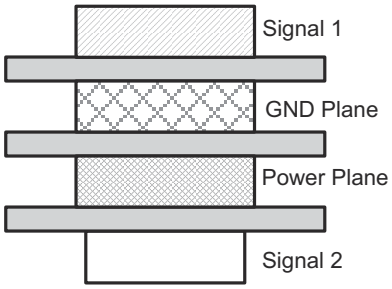


图 8-3. 示例布局

大多数信号引线必须在单层上进行布设，最好是信号 1 上。与该层直接相邻的必须是 GND 平面，该平面层应是完整无切口的。避免在接地或电源平面的开口处布置信号引线。当不可避免地要跨越分割平面时，必须进行充分的去耦合处理。尽量减少信号过孔的数量，通过降低高频下的电感来减少 EMI。

图 8-4 展示了 SN74CBTLV3126-Q1 的 PCB 布局示例。一些重要注意事项有：

使用一个 0.1µF 电容器对 V_{DD} 引脚进行去耦，该电容器尽可能靠近引脚放置。确保电容器额定电压足以满足 V_{DD} 电源的要求。

高速开关需要采用恰当的布局和设计流程，以实现最佳性能。

尽可能缩短输入线路。

使用实心接地平面有助于降低电磁干扰 (EMI) 噪声拾取。

敏感的模拟布线不能与数字布线平行。尽可能避免数字引线与模拟引线交叉，仅在必要时以垂直交叉方式布线。

8.4.2 布局示例

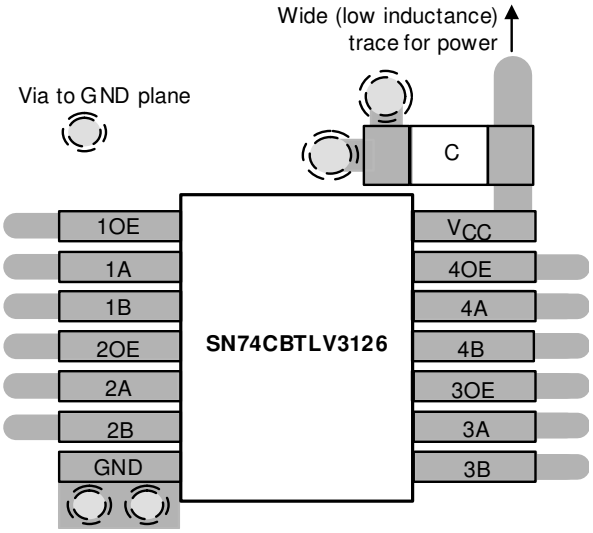


图 8-4. 示例布局

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

11.1 机械数据

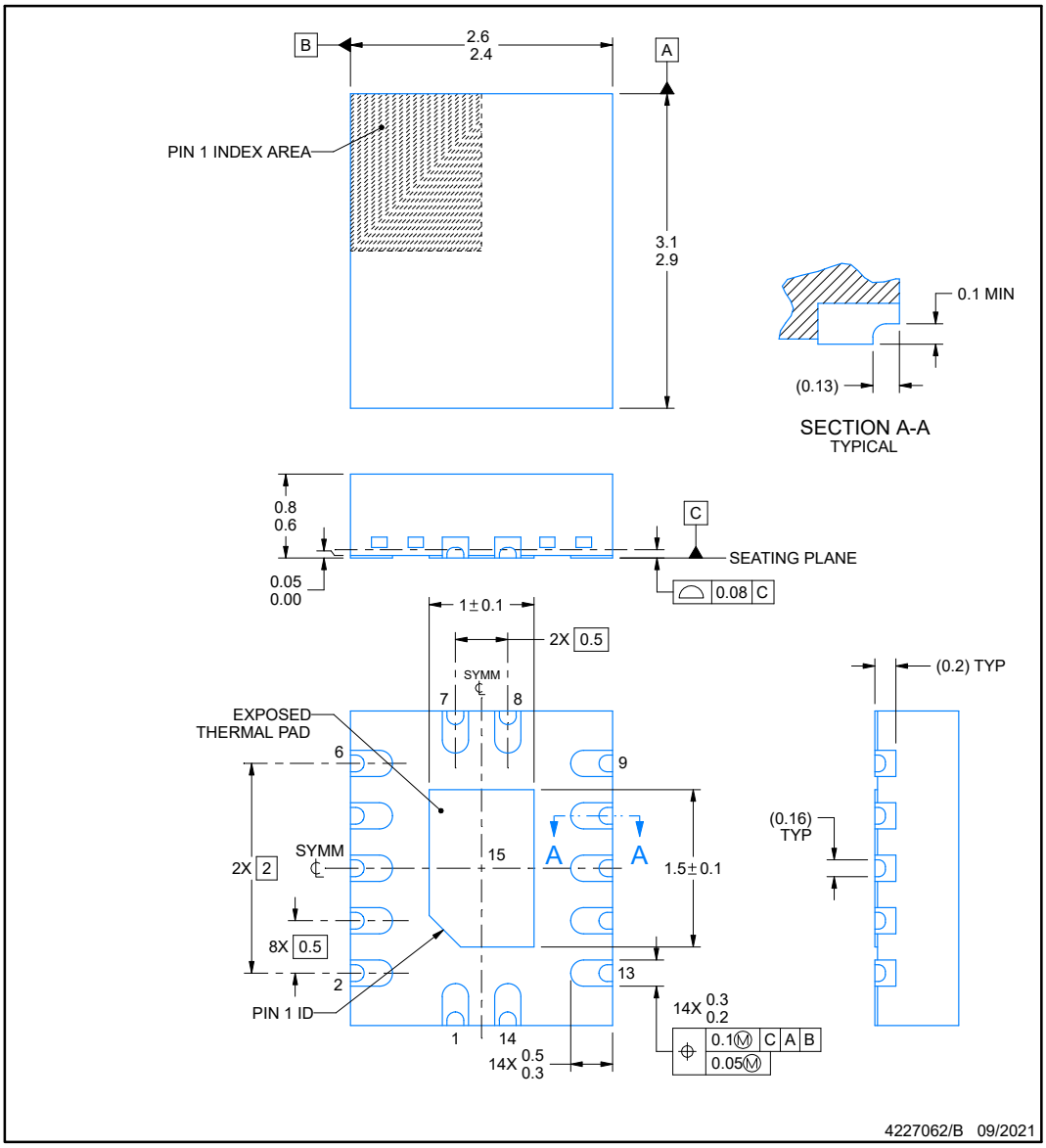
BQA0014B



PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

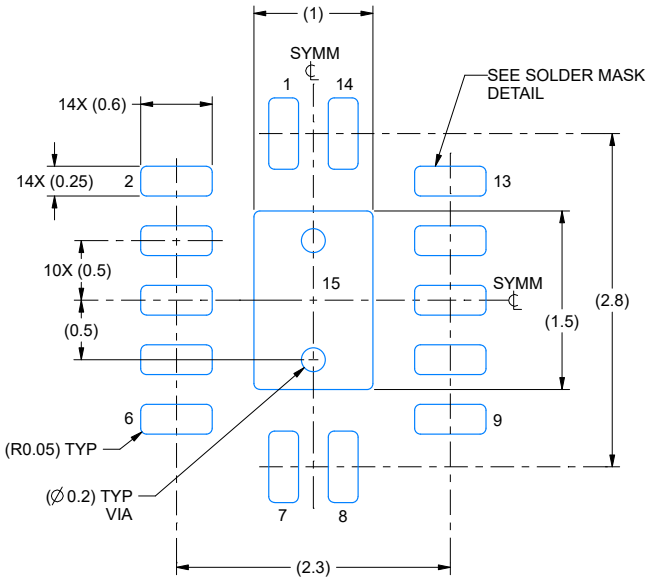
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

Copyright © 2026 Texas Instruments Incorporated

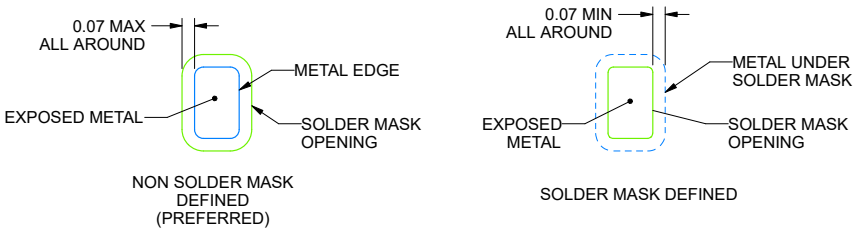
EXAMPLE BOARD LAYOUT

BQA0014B — **WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

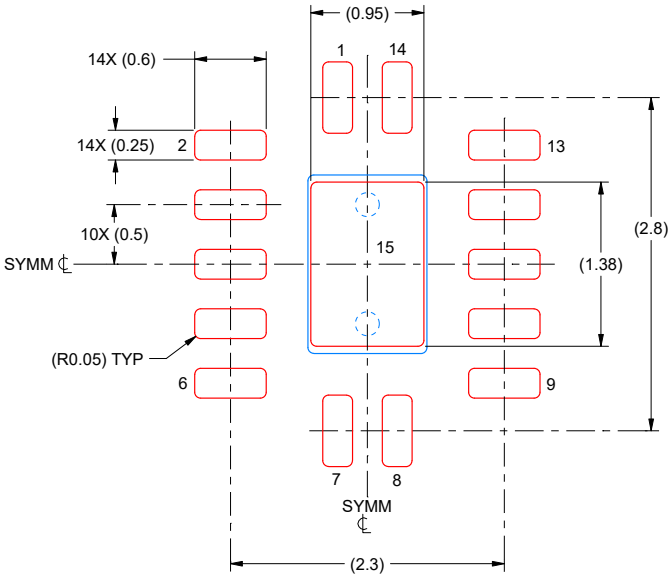
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

BQA0014B — **WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74CBTLV3126BQARQ1	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CL126Q
74CBTLV3126DYYRQ1	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	CL126Q
74CBTLV3126PWRQ1	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	CL126Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74CBTLV3126-Q1 :

- Catalog : SN74CBTLV3126

NOTE: Qualified Version Definitions:

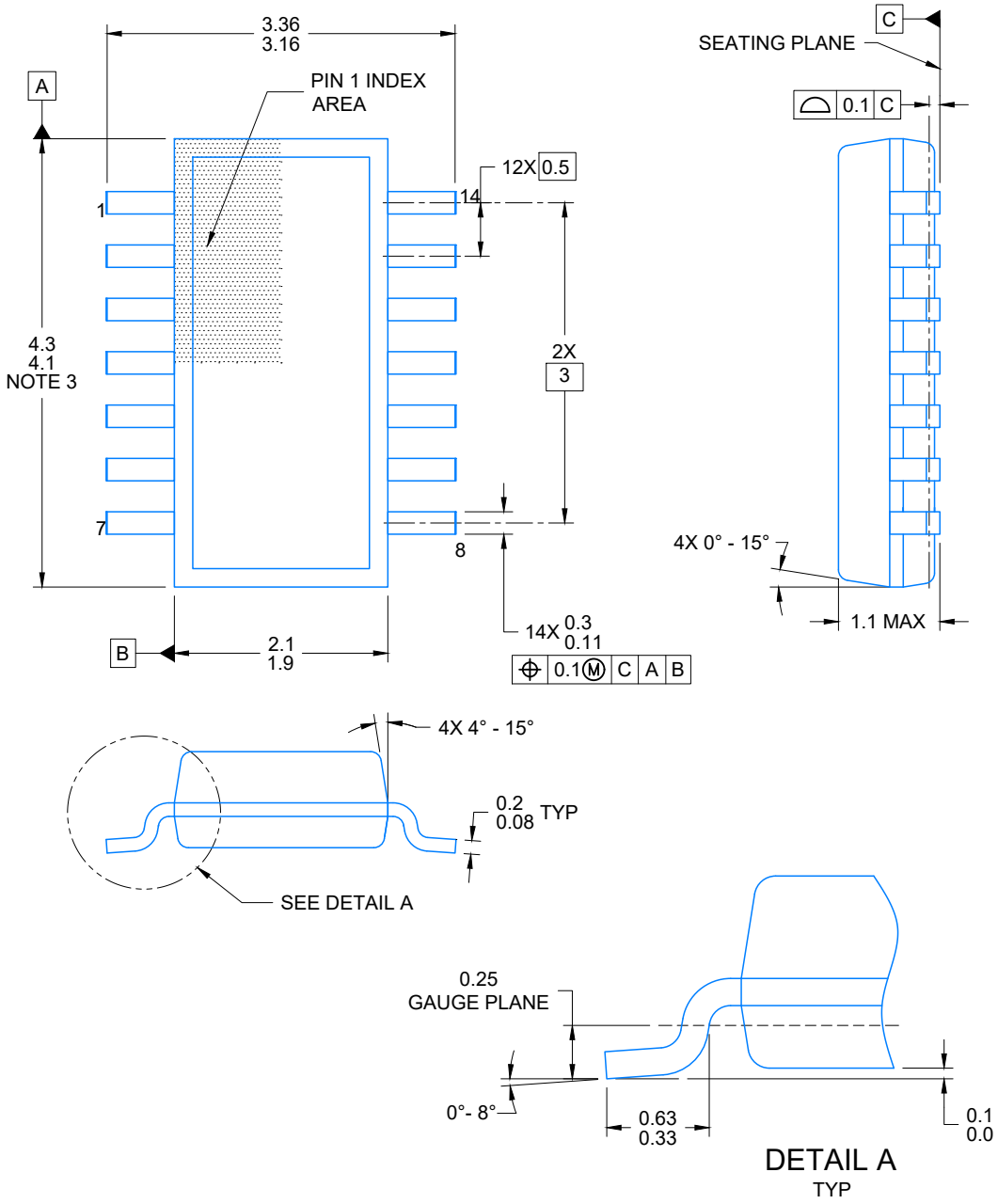
- Catalog - TI's standard catalog product

PACKAGE OUTLINE

DYY0014A

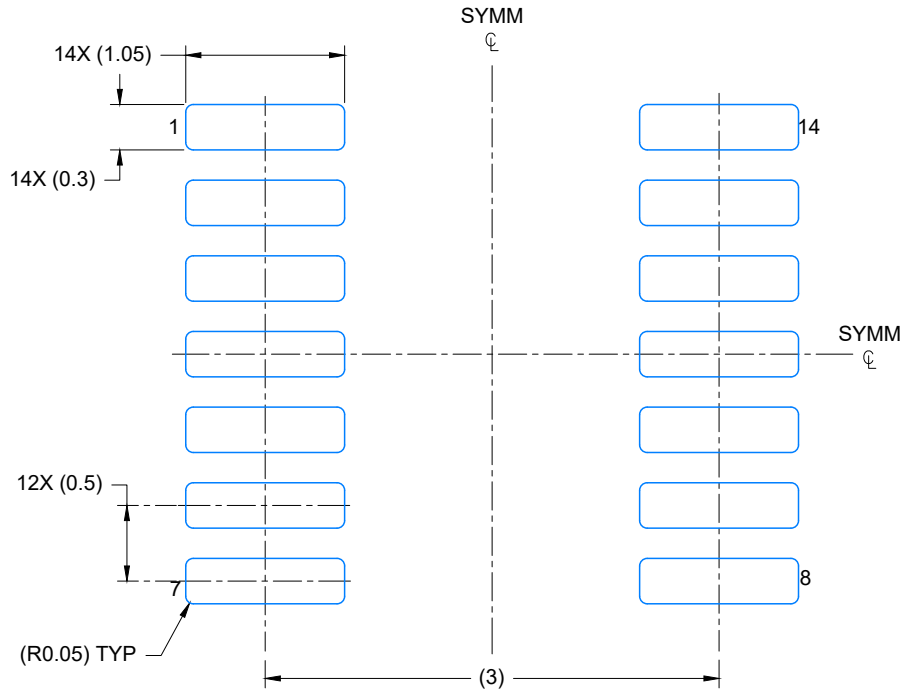
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

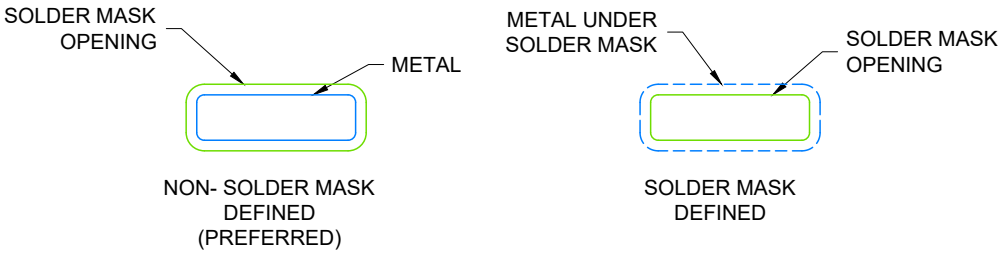


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

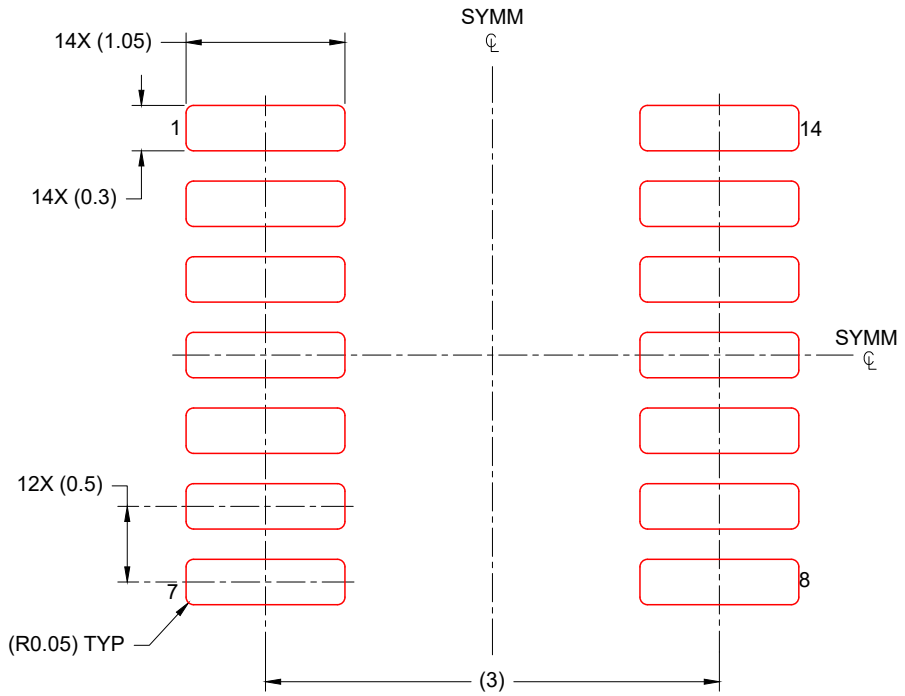


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

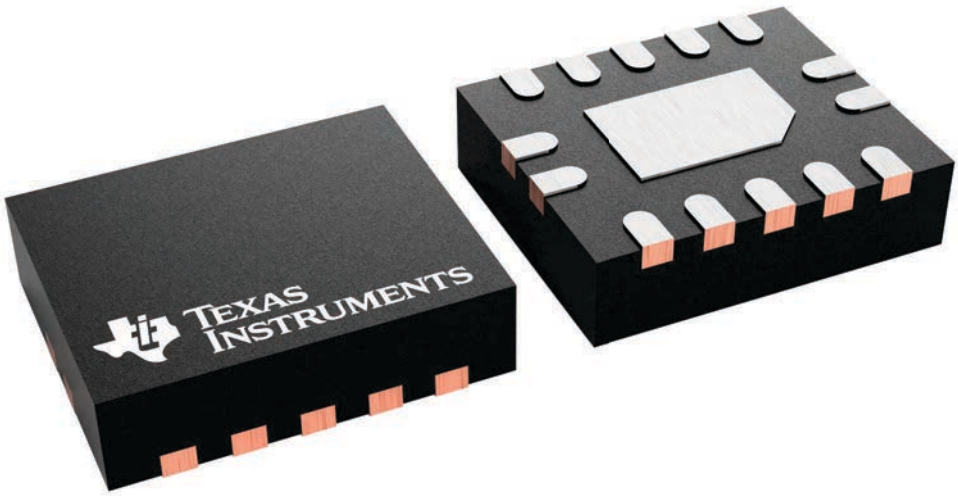
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

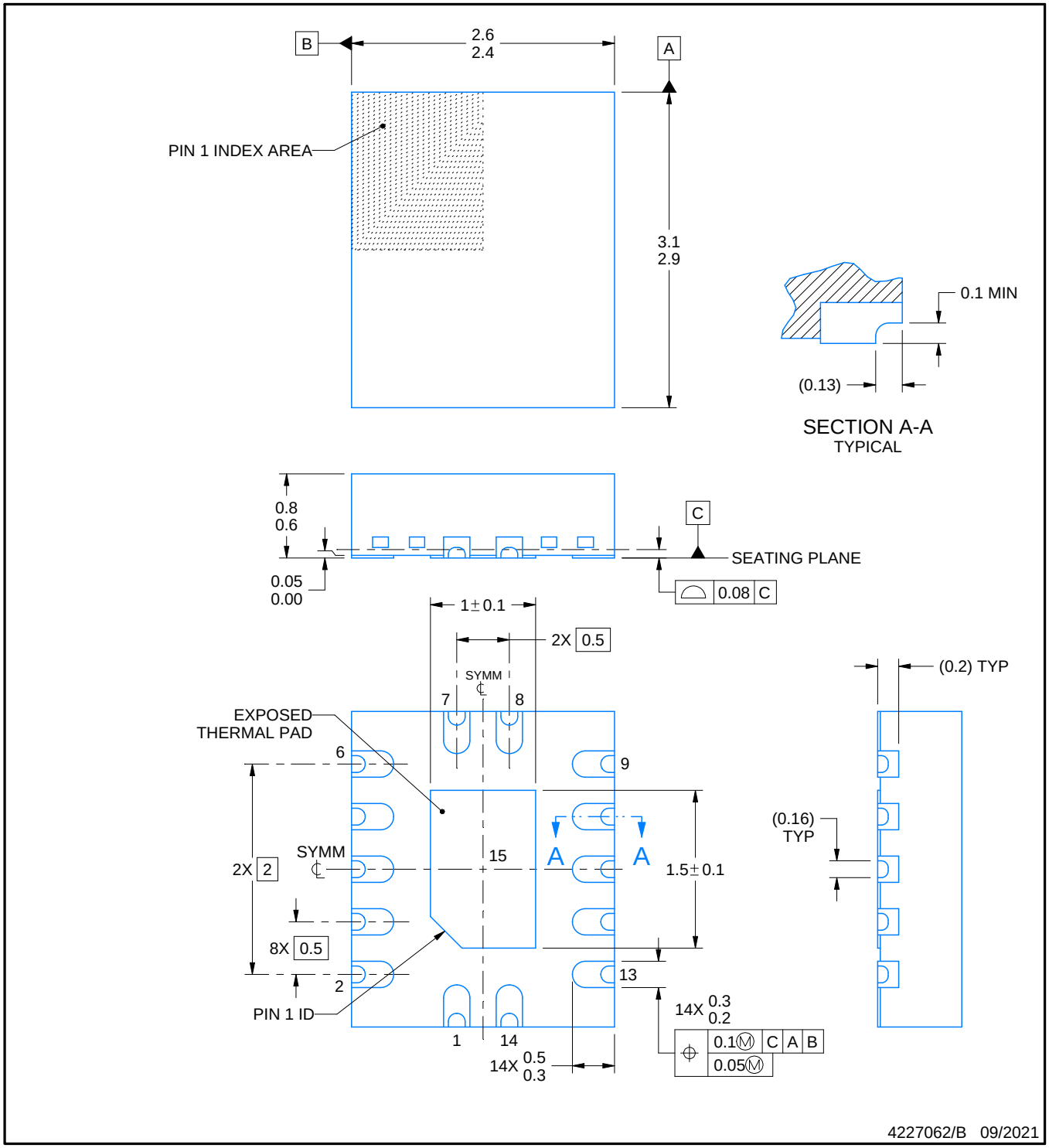


BQA0014B

PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

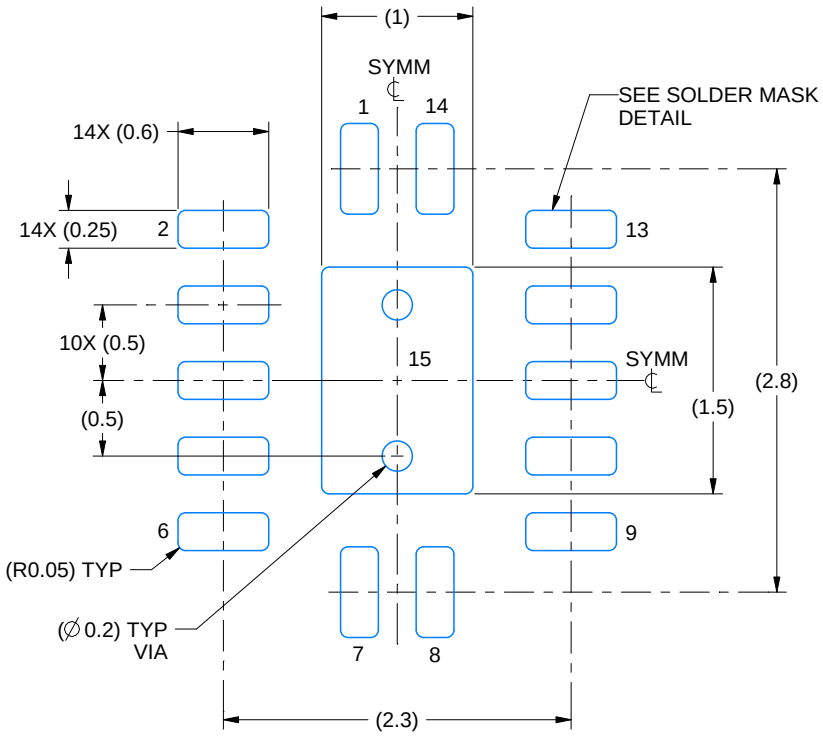
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

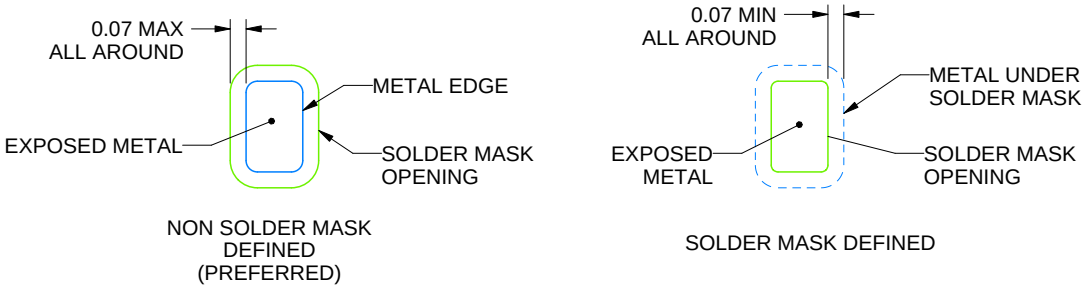
BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

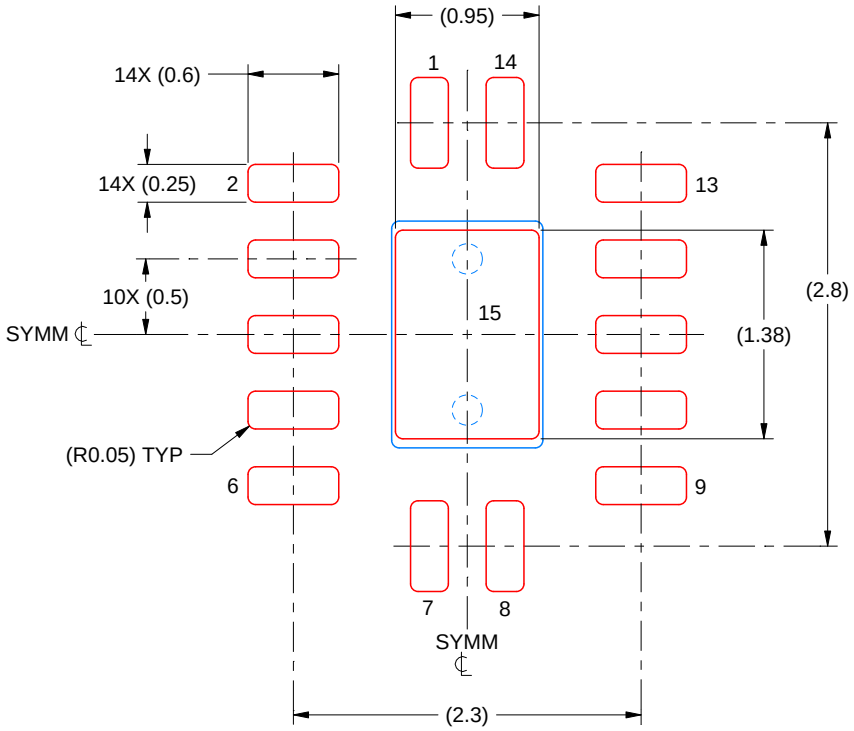


SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

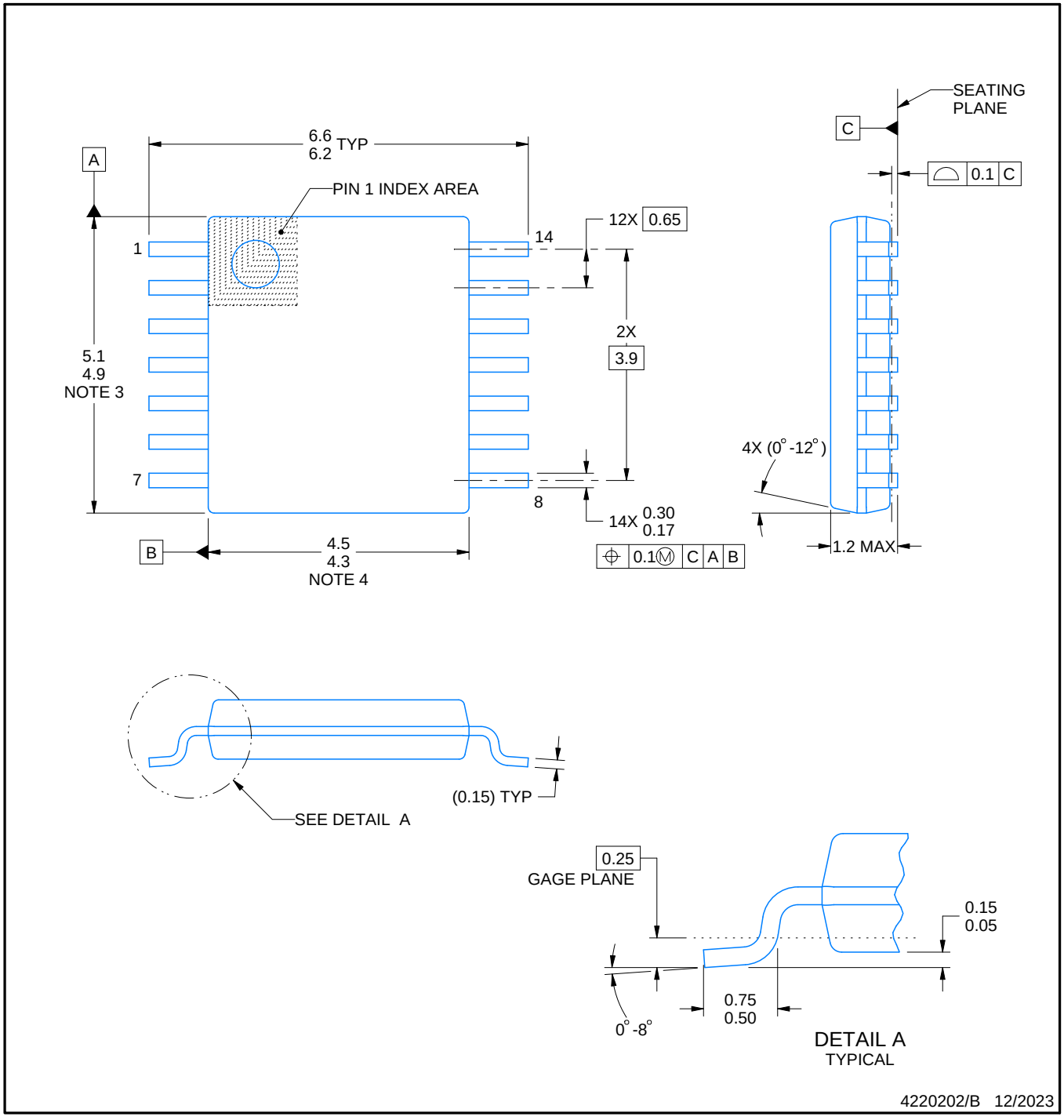
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

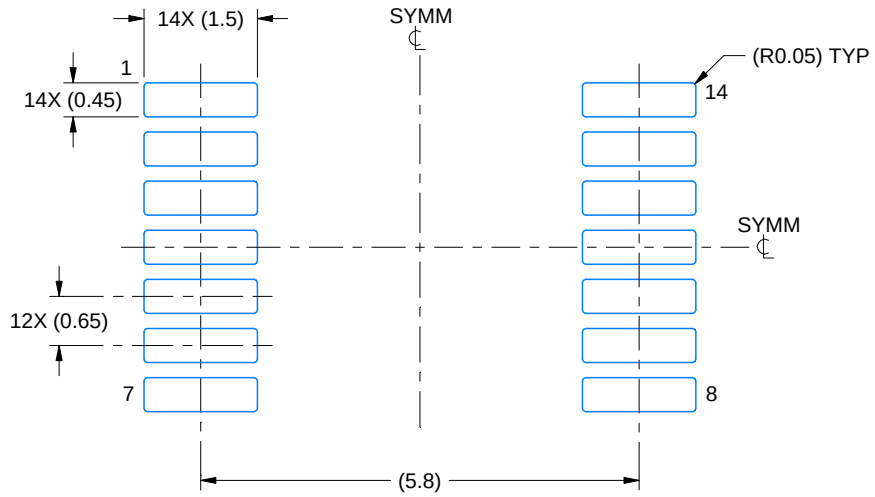
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

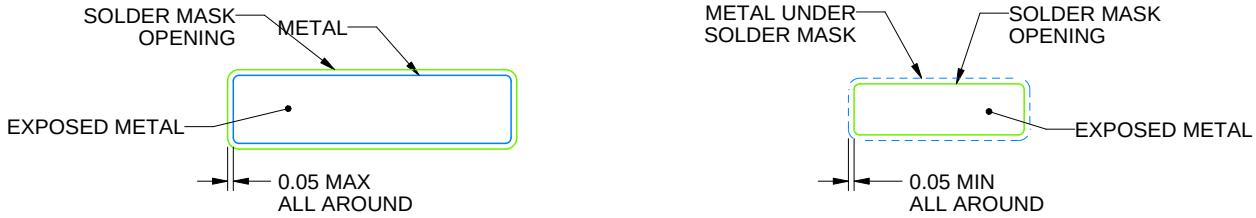


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

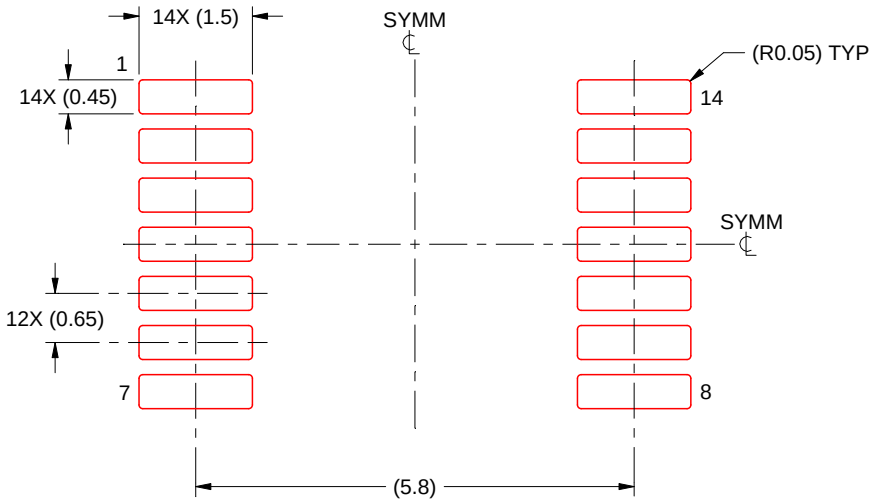


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月