# SN74AHCT164-Q1 汽车级 8 位并行输出串行移位寄存器

## 1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 器件温度等级 1：-40°C 至 +125°C
  - 器件 HBM ESD 分类等级 2
  - 器件 CDM ESD 分类等级 C4B
- 采用具有可湿性侧面的 QFN 封装
- 工作范围为 4.5V 至 5.5V $V_{CC}$
- TTL 兼容输入
- 低延迟，14ns max ($V_{CC}$ = 5V, $C_L$ = 50pF)
- 闩锁性能超过 250mA，符合 JESD 17 规范

## 2 应用

- 增加微控制器上的输出数
- 临时存储多达 8 位数据

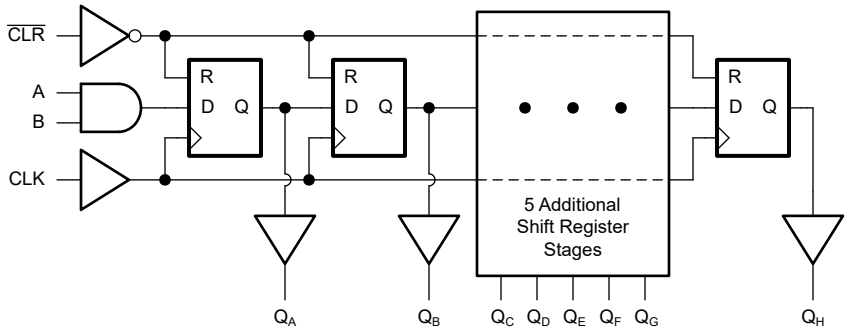
## 3 说明

SN74AHCT164-Q1 是一款 8 位移位寄存器，具有与门门控串行输入以及一个异步清零 ($\overline{CLR}$) 输入。输出直接连接到内部移位寄存器，从而随着值移入寄存器，输出会立即发生变化。门控串行（A 和 B）输入允许完全控制输入数据；任一输入端的低电平抑制输入新数据，并在下一个时钟 (CLK) 脉冲将第一个触发器复位为低电平。高电平输入启用另一个输入，然后确定第一个触发器的状态。如果满足最短设置时间要求，则可以在 CLK 为高电平或低电平时更改串行输入上的数据。在 CLK 由低电平到高电平转换时会进行计时。

**封装信息**

| 器件型号 | 封装(1) | 封装尺寸(2) | 本体尺寸（标称值）(3) |
|---|---|---|---|
| SN74AHCT164-Q1 | BQA（WQFN，14） | 3mm x 2.5mm | 3mm x 2.5mm |
| | PW（TSSOP，14） | 5mm x 6.4mm | 5mm x 4.4mm |

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。




逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

# 内容

**1 特性**.....1
**2 应用**.....1
**3 说明**.....1
**4 引脚配置和功能**.....3
**5 规格**.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 时序特性.....5
5.7 开关特性.....5
5.8 噪声特性.....6
5.9 典型特性.....6
**6 参数测量信息**.....7
**7 详细说明**.....8
7.1 概述.....8
7.2 功能方框图.....8
7.3 特性说明.....8
7.4 器件功能模式.....10
**8 应用和实施**.....11
8.1 应用信息.....11
8.2 典型应用.....11
8.3 设计要求.....11
8.4 详细设计过程.....12
8.5 应用曲线.....13
8.6 电源相关建议.....13
8.7 布局.....14
**9 器件和文档支持**.....15
9.1 文档支持.....15
9.2 接收文档更新通知.....15
9.3 支持资源.....15
9.4 商标.....15
9.5 静电放电警告.....15
9.6 术语表.....15
**10 修订历史记录**.....15
**11 机械、封装和可订购信息**.....15


Copyright © 2024 Texas Instruments Incorporated

# 4 引脚配置和功能

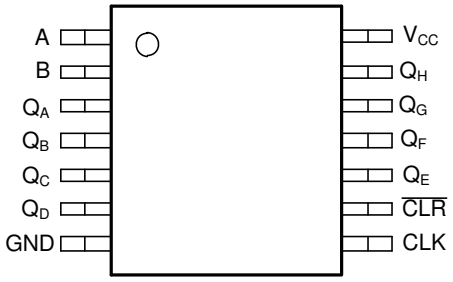



**图 4-1. PW 封装，**
**14 引脚 TSSOP**
**（顶视图）**

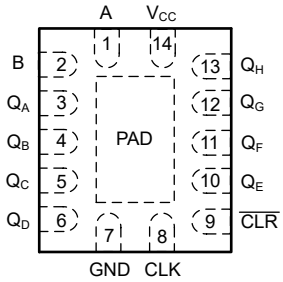



**图 4-2. BQA 封装**
**14 引脚 WQFN**
**（顶视图）**

**表 5-1. 引脚功能**

| 引脚 | | 类型[1] | 说明 |
|---|---|---|---|
| 名称 | 编号 | | |
| A | 1 | I | 门控串行输入 A |
| B | 2 | I | 门控串行输入 B |
| $Q_A$ | 3 | O | 并行输出 A |
| $Q_B$ | 4 | O | 并行输出 B |
| $Q_C$ | 5 | O | 并行输出 C |
| $Q_D$ | 6 | O | 并行输出 D |
| GND | 7 | G | 接地 |
| CLK | 8 | I | 时钟输入，上升沿触发 |
| $\overline{CLR}$ | 9 | I | 异步寄存器清零输入，低电平有效 |
| $Q_E$ | 10 | O | 并行输出 E |
| $Q_F$ | 11 | O | 并行输出 F |
| $Q_G$ | 12 | O | 并行输出 G |
| $Q_H$ | 13 | O | 并行输出 H |
| $V_{CC}$ | 14 | P | 正电源 |
| 散热焊盘[2] | | — | 散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。 |

(1) 信号类型：I = 输入，O = 输出，P = 电源，G = 地。
(2) 仅限 BQA 封装。

Copyright © 2024 Texas Instruments Incorporated

# 5 规格

## 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

| | | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{CC}$ | 电源电压范围 | | -0.5 | 7 | V |
| $V_I$ | 输入电压范围(2) | | -0.5 | 7 | V |
| $V_O$ | 在高阻抗或断电状态对任一输出施加的电压范围(2) | | -0.5 | 7 | V |
| $V_O$ | 输出电压范围(2) | | -0.5 | $V_{CC}$+0.5 | V |
| $I_{IK}$ | 输入钳位电流 | $V_I$ < -0.5V | | -20 | mA |
| $I_{OK}$ | 输出钳位电流 | $V_O$ < -0.5V 或 $V_O$ > $V_{CC}$ + 0.5V | | ±20 | mA |
| $I_O$ | 持续输出电流 | $V_O$ = 0 至 $V_{CC}$ | | ±25 | mA |
| | 通过 $V_{CC}$ 或 GND 的持续输出电流 | | | ±75 | mA |
| $T_J$ | 结温 | | | 150 | °C |
| $T_{stg}$ | 贮存温度 | | -65 | 150 | °C |

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

## 5.2 ESD 等级

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2(1) | ±2000 | V |
| | | 充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B | ±1000 | |

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

## 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 规格 | 说明 | 条件 | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{CC}$ | 电源电压 | | 4.5 | 5.5 | V |
| $V_{IH}$ | 高电平输入电压 | $V_{CC}$ = 5V | 2 | | V |
| $V_{IL}$ | 低电平输入电压 | $V_{CC}$ = 5V | | 0.8 | V |
| $V_I$ | 输入电压 | | 0 | 5.5 | V |
| $V_O$ | 输出电压 | | 0 | $V_{CC}$ | V |
| $I_{OH}$ | 高电平输出电流 | $V_{CC}$ = 5V ± 0.5V | | -8 | mA |
| $I_{OL}$ | 低电平输出电流 | $V_{CC}$ = 5V ± 0.5V | | 8 | mA |
| Δt/Δv | 输入转换上升或下降速率 | $V_{CC}$ = 5V ± 0.5V | | 20 | ns/V |
| $T_A$ | 自然通风条件下的工作温度范围 | | -40 | 125 | °C |

## 5.4 热性能信息

| 热性能指标(1) | | WBQA (WQFN) | PW (TSSOP) | 单位 |
|---|---|---|---|---|
| | | 14 引脚 | 14 引脚 | |
| $R_{\theta JA}$ | 结至环境热阻 | 93.4 | 138.6 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 96.4 | 67.8 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 62.8 | 94.8 | °C/W |


Copyright © 2024 Texas Instruments Incorporated

## 5.4 热性能信息（续）

| 热性能指标(1) | | WBQA (WQFN) | PW (TSSOP) | 单位 |
|---|---|---|---|---|
| | | 14 引脚 | 14 引脚 | |
| $\Psi_{JT}$ | 结至顶部特征参数 | 12.5 | 10.6 | °C/W |
| $\Psi_{JB}$ | 结至电路板特征参数 | 62.5 | 93.5 | °C/W |
| $R_{\theta JC(bot)}$ | 结至外壳（底部）热阻 | 39.7 | 不适用 | °C/W |

(1) 有关新旧热性能指标的更多信息，请参阅半导体和 IC 封装热性能指标应用报告。

## 5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

| 参数 | 测试条件 | $V_{CC}$ | $T_A$ = 25°C | | | -40°C 至 125°C | | | 单位 |
|---|---|---|---|---|---|---|---|---|---|
| | | | 最小值 | 典型值 | 最大值 | 最小值 | 典型值 | 最大值 | |
| $V_{OH}$ | $I_{OH}$ = – 50 μA | 4.5V | 4.4 | 4.5 | | 4.4 | | | V |
| | $I_{OH}$ = -8mA | 4.5V | 3.94 | | | 3.8 | | | |
| $V_{OL}$ | $I_{OL}$ = 50 μA | 4.5V | | | 0.1 | | | 0.1 | V |
| | $I_{OL}$ = 8mA | 4.5V | | | 0.36 | | | 0.44 | |
| $I_I$ | $V_I$ = 5.5V 或 GND 并且 $V_{CC}$ = 0V 至 5.5V | 0V 至 5.5V | | | ±0.1 | | | ±1 | μA |
| $I_{CC}$ | $V_I$ = $V_{CC}$ 或 GND，$I_O$ = 0，$V_{CC}$ = 5.5V | 5.5V | | | 4 | | | 40 | μA |
| $\Delta I_{CC}$ | 一个输入电压为 3.4V，其他输入电压为 $V_{CC}$ 或 GND | 5V | | | 1.35 | | | 1.5 | mA |
| $C_I$ | $V_I$=$V_{CC}$ 或 GND | 5V | | 4 | 10 | | | 10 | pF |
| $C_O$ | $V_O$ = $V_{CC}$ 或 GND | 5V | | 5 | | | | | pF |
| $C_{PD}$ | 空载，F = 1MHz | 5V | | 106 | | | | | pF |

## 5.6 时序特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

| 参数 | 说明 | 条件 | $V_{CC}$ | $T_A$ = 25°C | | -40°C 至 125°C | | 单位 |
|---|---|---|---|---|---|---|---|---|
| | | | | 最小值 | 最大值 | 最小值 | 最大值 | |
| $t_H$ | 保持时间 | CLK ↑ 之后的数据 | 5V ± 0.5V | 0 | | 0 | | ns |
| $t_{SU}$ | 设置时间 | CLR 处于无效状态 | 5V ± 0.5V | 2.5 | | 2.5 | | ns |
| $t_{SU}$ | 设置时间 | CLK ↑ 之前的数据 | 5V ± 0.5V | 4.5 | | 4.5 | | ns |
| $t_W$ | 脉冲持续时间 | CLK 高电平或低电平 | 5V ± 0.5V | 5 | | 5 | | ns |
| $t_W$ | 脉冲持续时间 | CLR 低电平 | 5V ± 0.5V | 5 | | 5 | | ns |

## 5.7 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。请参阅*参数测量信息*

| 参数 | 从（输入） | 到（输出） | 负载电容 | $V_{CC}$ | $T_A$ = 25°C | | | -40°C 至 125°C | | | 单位 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | 最小值 | 典型值 | 最大值 | 最小值 | 典型值 | 最大值 | |
| $F_{MAX}$ | - | - | $C_L$ = 15pF | 5V ± 0.5V | 135 | 175 | | 115 | | | MHz |
| $t_{PLH}$ | CLK | Q | $C_L$ = 15pF | 5V ± 0.5V | | 3.4 | 9 | 1 | | 11.5 | ns |
| $t_{PHL}$ | CLK | Q | $C_L$ = 15pF | 5V ± 0.5V | | 3.4 | 9 | 1 | | 11.5 | ns |
| $t_{PHL}$ | $\overline{CLR}$ | Q | $C_L$ = 15pF | 5V ± 0.5V | | 3.5 | 8.6 | 1 | | 11 | ns |

Copyright © 2024 Texas Instruments Incorporated

## 5.7 开关特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）。请参阅*参数测量信息*

| 参数 | 从（输入） | 到（输出） | 负载电容 | $V_{CC}$ | $T_A$ = 25°C | | | -40°C 至 125°C | | | 单位 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| | | | | | 最小值 | 典型值 | 最大值 | 最小值 | 典型值 | 最大值 | |
| $F_{MAX}$ | - | - | $C_L$ = 50pF | 5V ± 0.5V | 120 | 140 | | 95 | | | MHz |
| $t_{PLH}$ | CLK | Q | $C_L$ = 50pF | 5V ± 0.5V | | 4.9 | 11 | 1 | | 14 | ns |
| $t_{PHL}$ | CLK | Q | $C_L$ = 50pF | 5V ± 0.5V | | 4.9 | 11 | 1 | | 14 | ns |
| $t_{PHL}$ | $\overline{CLR}$ | Q | $C_L$ = 50pF | 5V ± 0.5V | | 5 | 10.6 | 1 | | 13.5 | ns |

## 5.8 噪声特性

$V_{CC}$ = 5V，$C_L$ = 50pF，$T_A$ = 25°C

| 参数 | 说明 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{OL(P)}$ | 安静输出，最大动态 $V_{OL}$ | | 0.2 | 0.8 | V |
| $V_{OL(V)}$ | 安静输出，最小动态 $V_{OL}$ | -0.9 | -0.2 | | V |
| $V_{OH(V)}$ | 安静输出，最小动态 $V_{OH}$ | 4.4 | 4.7 | | V |
| $V_{IH(D)}$ | 高电平动态输入电压 | 2 | | | V |
| $V_{IL(D)}$ | 低电平动态输入电压 | | | 0.8 | V |

## 5.9 典型特性

$T_A$ = 25°C（除非另外注明）

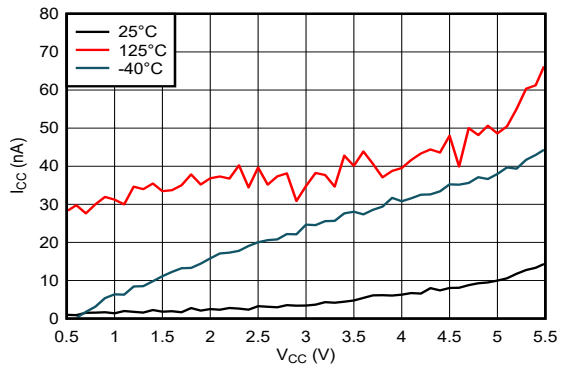



图 5-1. 电源电压两端的电源电流

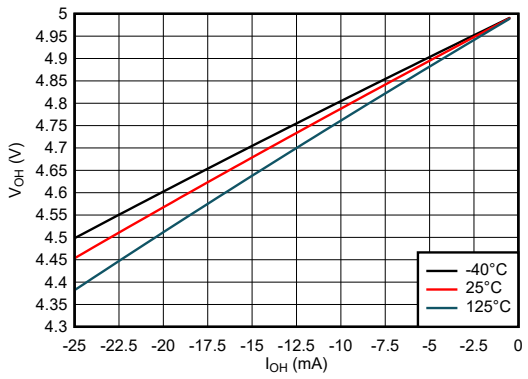



图 5-2. 高电平状态下输出电压与电流间的关系（5V 电源）

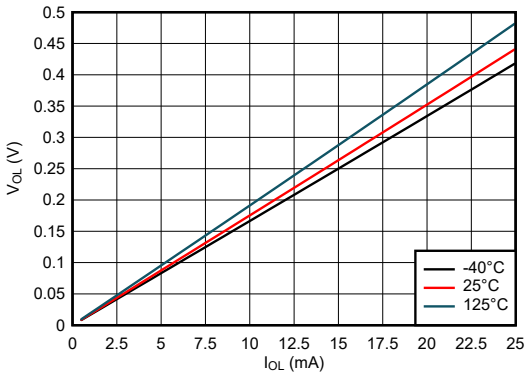


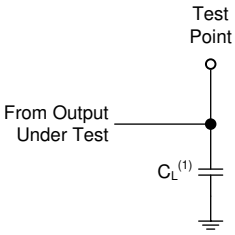

图 5-3. 低电平状态下输出电压与电流间的关系（5V 电源）


Copyright © 2024 Texas Instruments Incorporated

# 6 参数测量信息

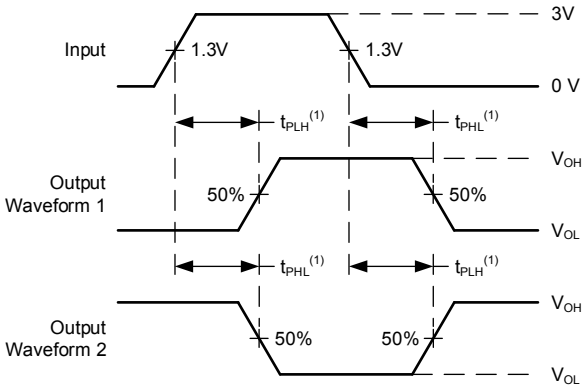
对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，$Z_O$ = 50Ω，$t_t$ < 2.5 ns。

输出单独测量，每次测量一个输入转换。



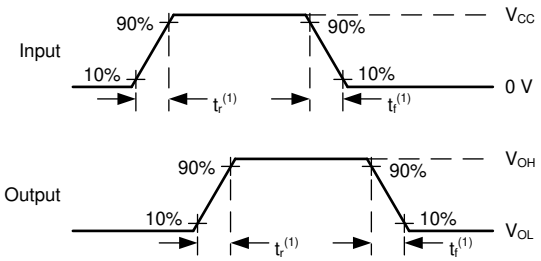

(1) $C_L$ 包括探头和测试夹具电容。

**图 6-1. 推挽输出的负载电路**




(1) $t_{PLH}$ 和 $t_{PHL}$ 之间的较大者与 $t_{pd}$ 相同。

**图 6-2. 电压波形传播延迟**




(1) $t_r$ 和 $t_f$ 之间的较大值与 $t_t$ 相同。

**图 6-3. 电压波形，输入和输出转换时间**

Copyright © 2024 Texas Instruments Incorporated

# 7 详细说明

## 7.1 概述

SN74AHCT164-Q1 是一款 8 位移位寄存器，具有 2 个通过与门连接的串行输入（A 和 B）以及一个异步清零 ($\overline{CLR}$) 输入。该器件需要 A 和 B 上的高电平信号来将输入数据线路设置为高电平；任一输入上的低电平信号都会将输入数据线路设置为低电平。如果满足最短设置时间要求，则可以在 CLK 为高电平或低电平时更改 A 和 B 上的数据。

SN74AHCT164-Q1 的 CLK 引脚为上升沿触发，在从低电平到高电平转换时激活。在上升沿触发时，器件会将 (A ● B) 输入数据线的结果存储在第一个寄存器中，并将每个寄存器的数据传播到下一个寄存器。最后一个寄存器 $Q_H$ 的数据将在每个时钟触发时丢弃。对 $\overline{CLR}$ 引脚施加低电平信号后，SN74AHCT164-Q1 会立即将所有寄存器设置为逻辑低电平值。

## 7.2 功能方框图

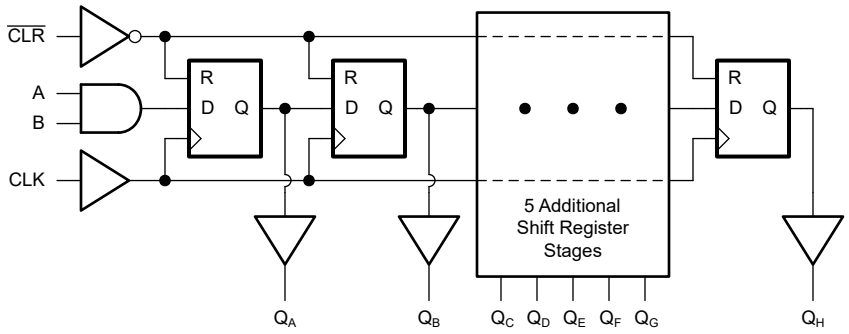



**图 7-1. SN74AHCT164-Q1 的逻辑图（正逻辑）**

## 7.3 特性说明

### 7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出应保持断开状态。

### 7.3.2 锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。

当器件上电时，每个锁存器的状态是未知的。每个锁存器在启动时都没有默认状态。

只要在*建议运行条件*表中规定的电源电压范围内为器件供电，每个锁存逻辑电路的输出状态就会保持稳定。

### 7.3.3 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。


Copyright © 2024 Texas Instruments Incorporated

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢变化或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 $V_{CC}$ 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

### 7.3.4 可润湿侧翼

该器件采用至少一种具有可润湿侧翼的封装。请参阅数据表首页上的*特性* 部分，了解哪些封装包含此特性。

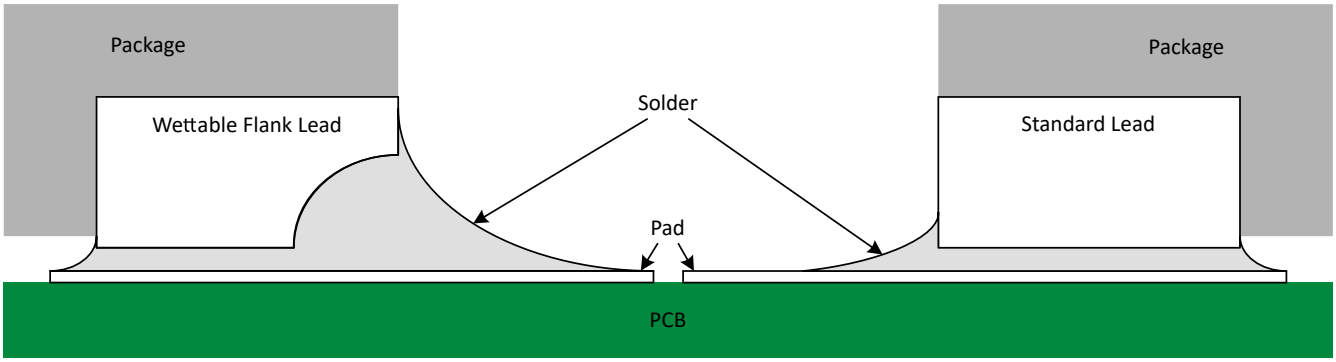



**图 7-2. 焊接后具有可润湿侧翼的 QFN 封装和标准 QFN 封装的简化剖面图**

可润湿侧翼有助于改善焊接后的侧翼润湿性，从而使 QFN 封装可通过自动光学检测 (AOI) 轻松检测。如图 7-2 所示，可润湿侧翼可做出凹陷或进行阶梯切割，为焊接粘附提供额外的表面积，有助于可靠创建侧面填角。有关其他详细信息，请参阅机械图。

### 7.3.5 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 7-3 所示。

**小心**

电压超出*绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

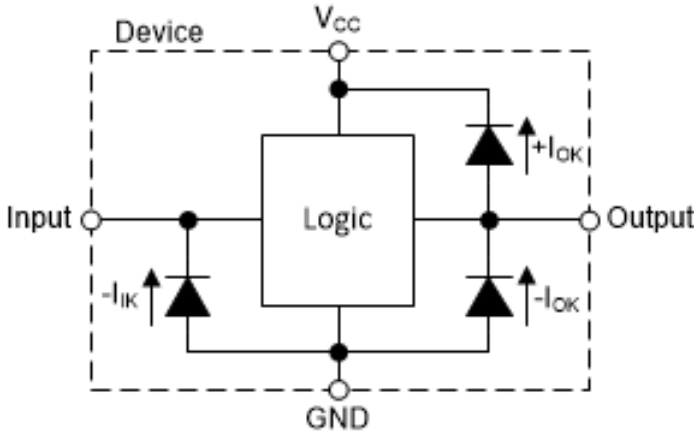



**图 7-3. 每个输入和输出的钳位二极管的电气布置**

## 7.4 器件功能模式

表 7-1 列出了 SN74AHCT164-Q1 的功能模式。

**表 7-1. 功能表**

| 输入(1) | | | | 功能 |
|---|---|---|---|---|
| A | B | $\overline{CLR}$ | CLK | |
| X | X | L | X | 移位寄存器清零。 |
| L | X | H | ↑ | 移位寄存器的第一级变为低电平。<br>其他级分别存储前一级的数据。 |
| X | L | H | ↑ | 移位寄存器的第一级变为低电平。<br>其他级分别存储前一级的数据。 |
| H | H | H | ↑ | 移位寄存器的第一级变为高电平。<br>其他级分别存储前一级的数据。 |

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑


Copyright © 2024 Texas Instruments Incorporated

# 8 应用和实施

**备注**

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

## 8.1 应用信息

在此应用中，SN74AHCT164-Q1 用于控制七段显示器。与其他 I/O 扩展器不同，SN74AHCT164-Q1 不需要使用通信接口来进行控制。它可以通过简单的 GPIO 引脚轻松操作。此外，还通过馈入与门的两个串行输入提供额外控制。

上电时，移位寄存器的初始状态是未知的。要提供一个定义的状态，需要同时将两个移位寄存器清零。RC 可以连接到 $\overline{CLR}$ 引脚（如图 8-1 所示），将移位寄存器初始化为全零。

## 8.2 典型应用

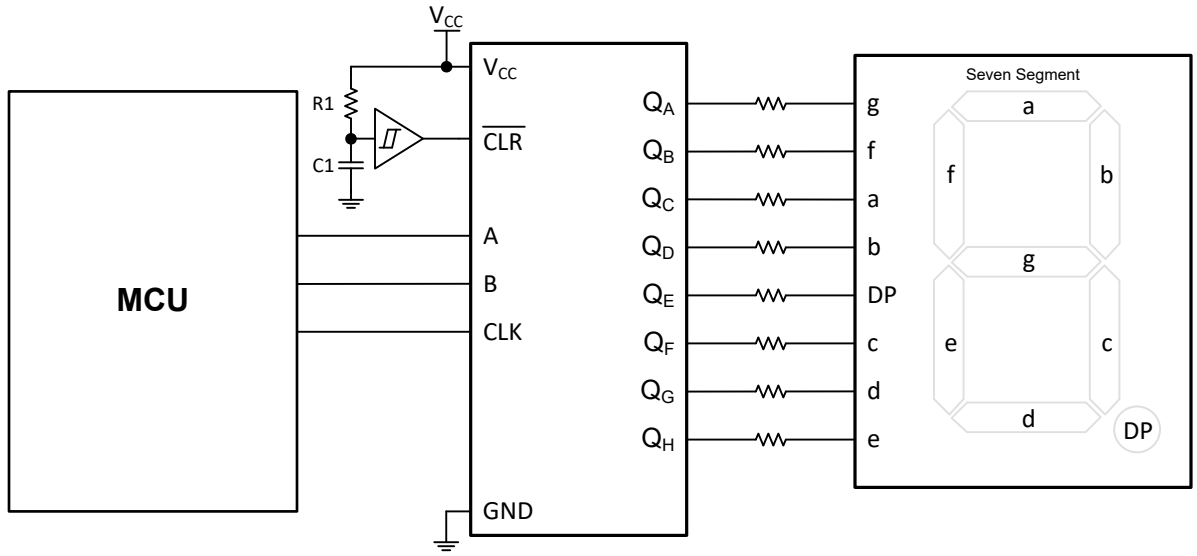



**图 8-1. 典型应用框图**

## 8.3 设计要求

### 8.3.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74AHCT164-Q1 所有输出端拉出的总电流加上最大静态电源电流 $I_{CC}$（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 $V_{CC}$ 的最大总电流。

地必须能够灌入的电流等于 SN74AHCT164-Q1 所有输出端灌入的总电流加上最大电源电流 $I_{CC}$（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74AHCT164-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74AHCT164-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 $V_{OH}$ 和 $V_{OL}$ 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 $V_{CC}$ 引脚处的电源电压之间的差值。

Copyright © 2024 Texas Instruments Incorporated

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性* 中提供的信息计算热增量。

**小心**

*绝对最大额定值* 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

### 8.3.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 $V_{CC}$ 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74AHCT164-Q1 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 10kΩ 的电阻值。

SN74AHCT164-Q1 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

### 8.3.3 输出注意事项

正电源电压用于产生输出高电平电压。根据*电气特性* 中 $V_{OH}$ 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据*电气特性* 中 $V_{OL}$ 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 $V_{CC}$ 或地。

有关此器件的输出的附加信息，请参阅*特性描述* 部分。

## 8.4 详细设计过程

1. 在 $V_{CC}$ 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 $V_{CC}$ 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74AHCT164-Q1 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$Ω。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。


Copyright © 2024 Texas Instruments Incorporated

## 8.5 应用曲线

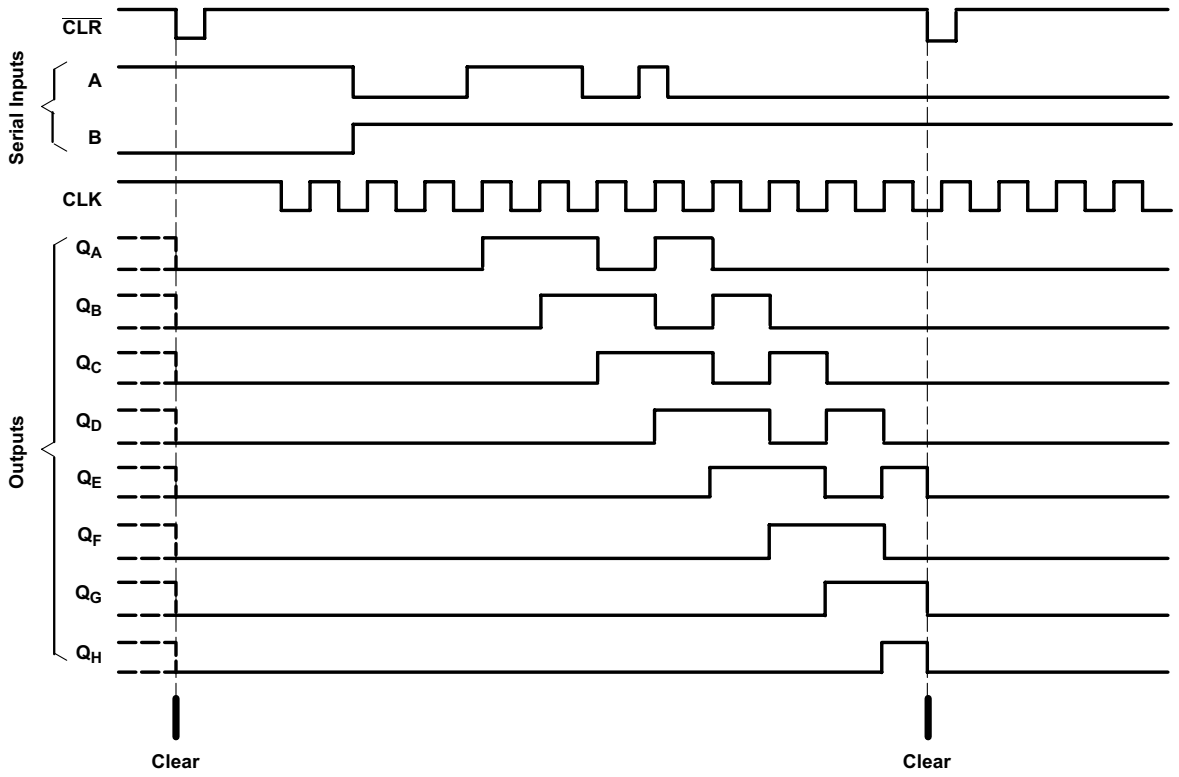



图 8-2. 应用时序图

## 8.6 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 $V_{CC}$ 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

Copyright © 2024 Texas Instruments Incorporated

## 8.7 布局

### 8.7.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 $V_{CC}$，以对逻辑功能更有意义或更方便者为准。

### 8.7.2 布局示例

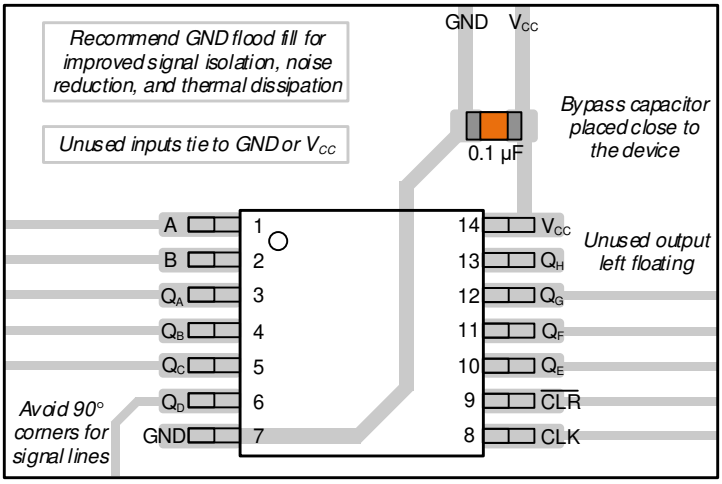



**图 8-3. SN74AHCT164-Q1 的示例布局**


Copyright © 2024 Texas Instruments Incorporated

# 9 器件和文档支持

## 9.1 文档支持

### 9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 Cpd 计算*
- 德州仪器 (TI)，*CMOS 输入缓慢变化或悬空的影响*
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性*
- 德州仪器 (TI)，*了解施密特触发*

## 9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

# 10 修订历史记录

| 日期 | 修订版本 | 说明 |
|---|---|---|
| 2024 年 3 月 | * | 初始发行版 |

# 11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| CAHCT164QWBQARQ1 | Active | Production | WQFN (BQA) \| 14 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | AT164Q |
| CAHCT164QWBQARQ1.A | Active | Production | WQFN (BQA) \| 14 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | AT164Q |
| SN74AHCT164QPWRQ1 | Active | Production | TSSOP (PW) \| 14 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | AHT164Q |
| SN74AHCT164QPWRQ1.A | Active | Production | TSSOP (PW) \| 14 | 3000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | AHT164Q |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF SN74AHCT164-Q1 :**

- Catalog : SN74AHCT164

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

# GENERIC PACKAGE VIEW

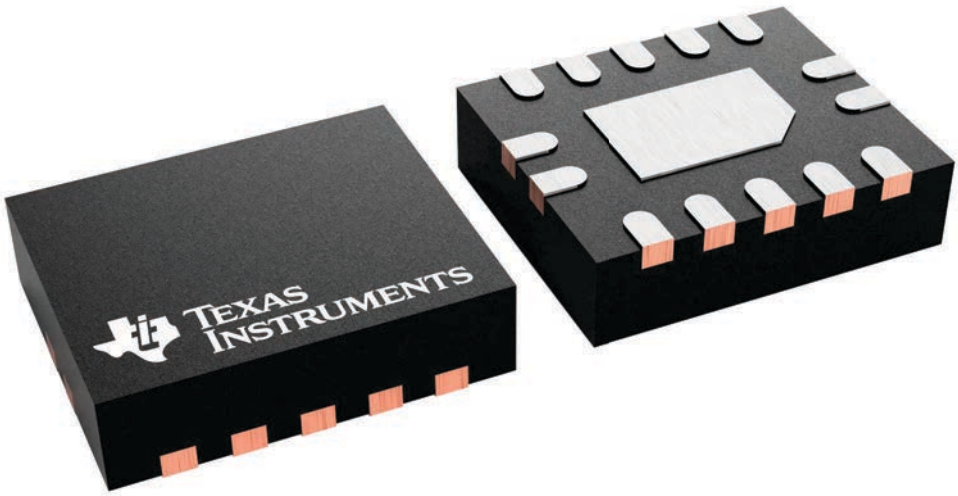
## BQA 14

## WQFN - 0.8 mm max height

**2.5 x 3, 0.5 mm pitch**

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

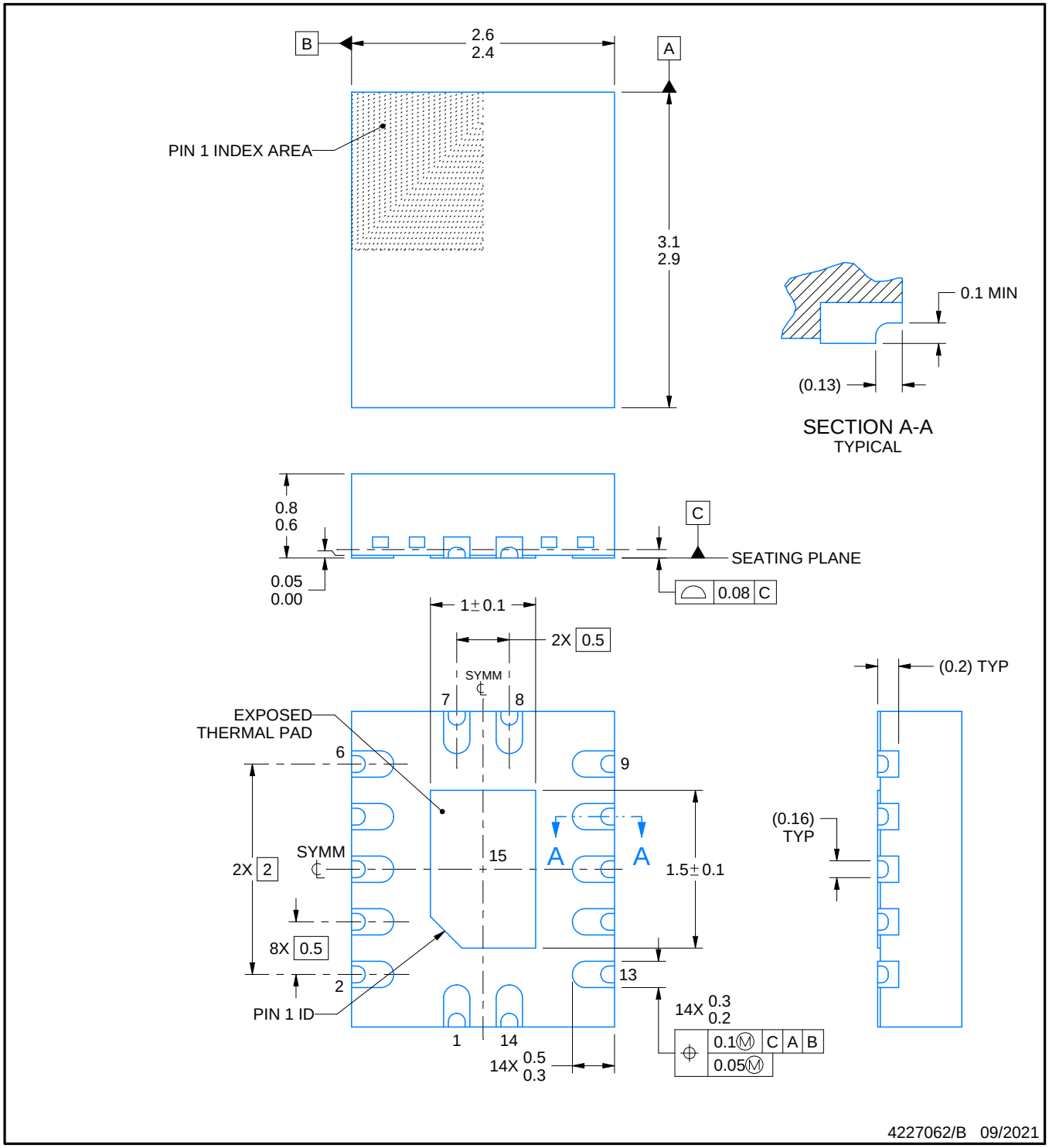


# BQA0014B

# PACKAGE OUTLINE

## WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD




NOTES:

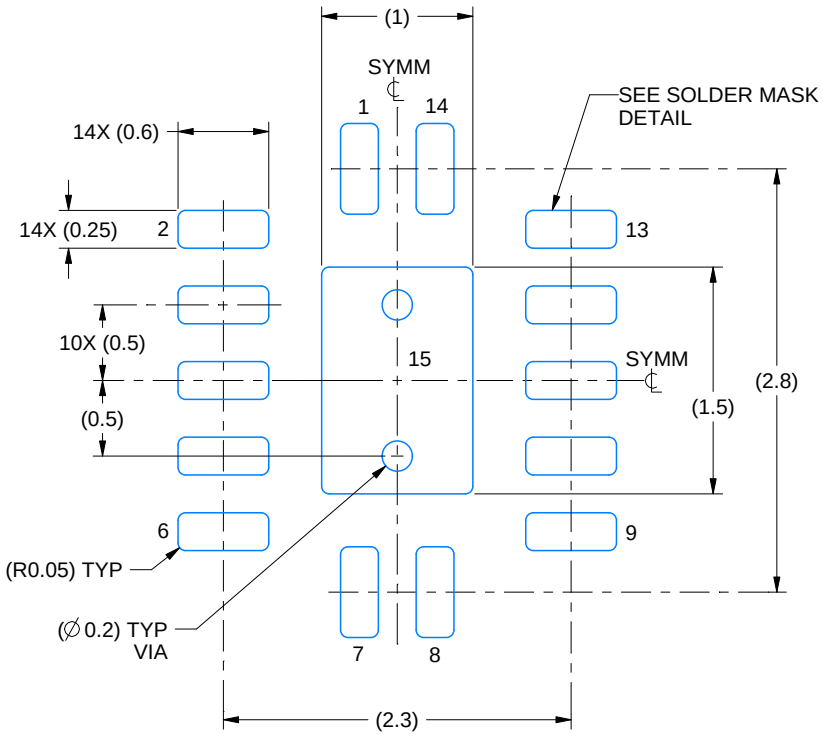
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

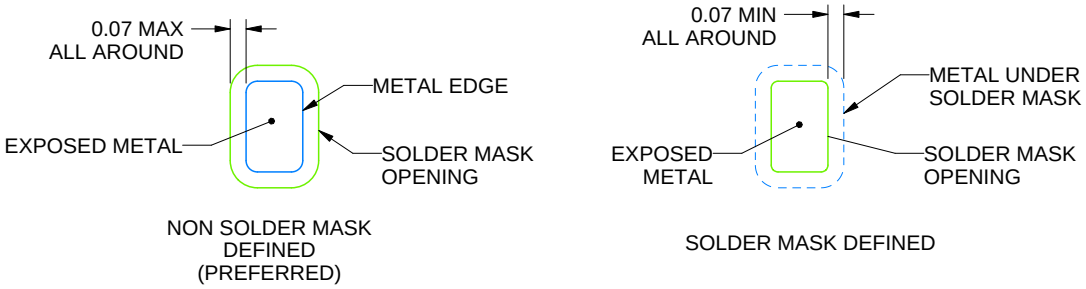
## BQA0014B

## WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

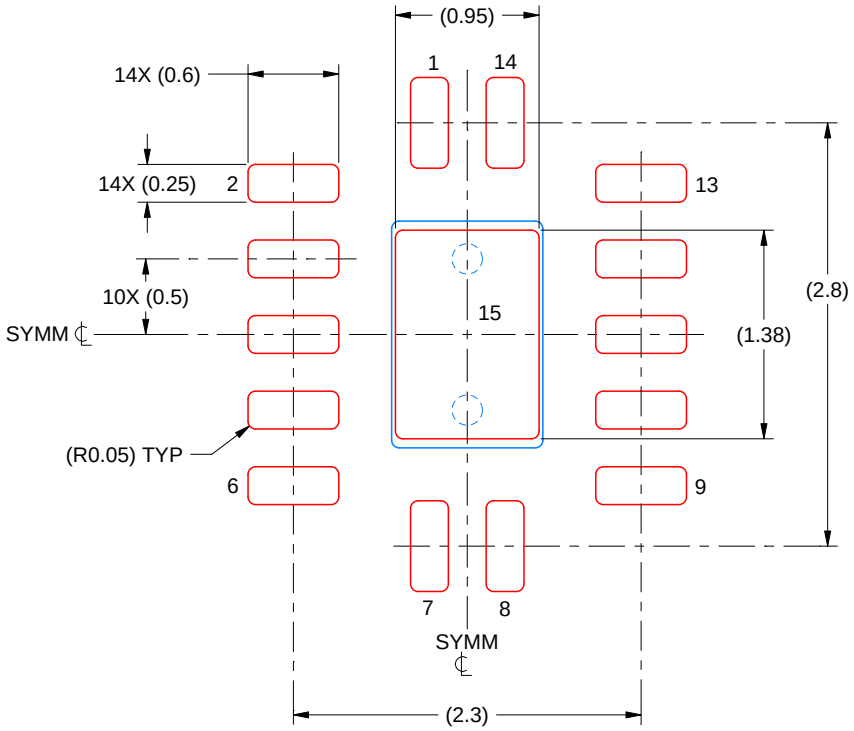



SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.




SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

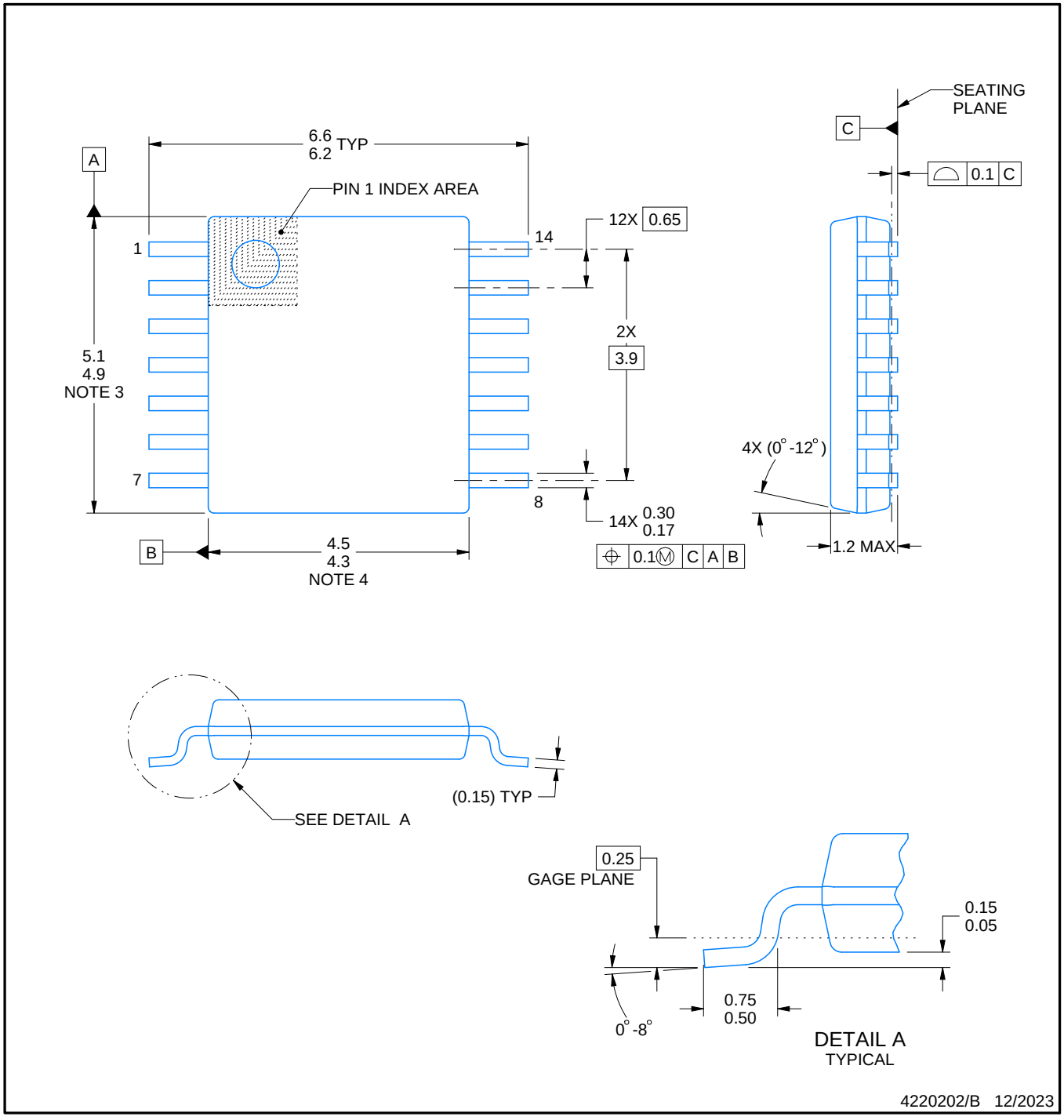
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# PACKAGE OUTLINE

## PW0014A

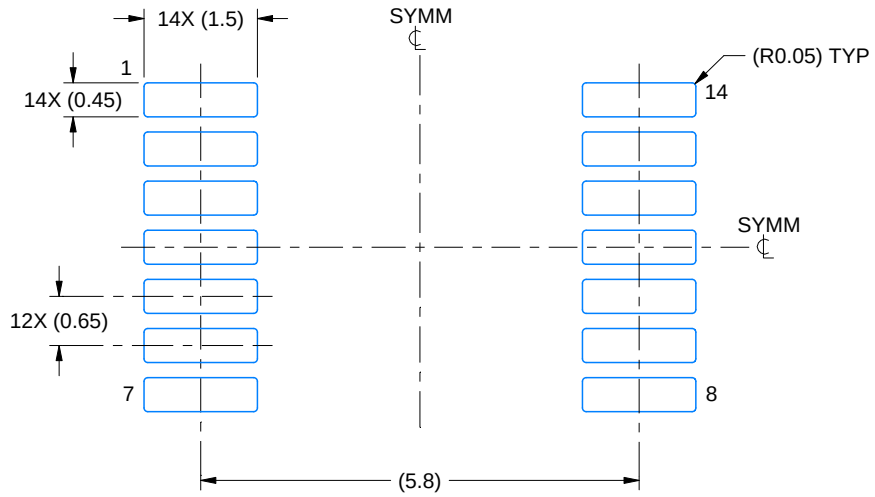
## TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

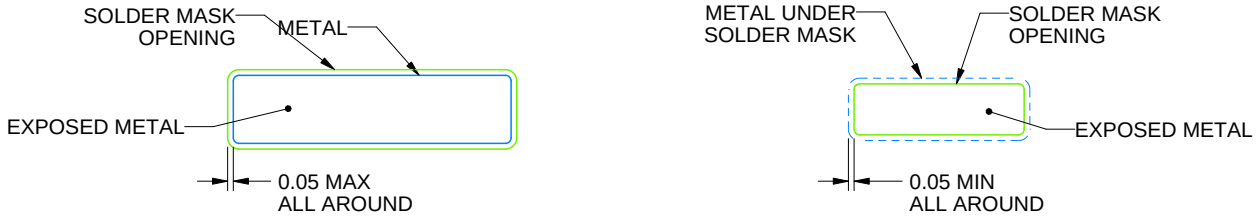



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

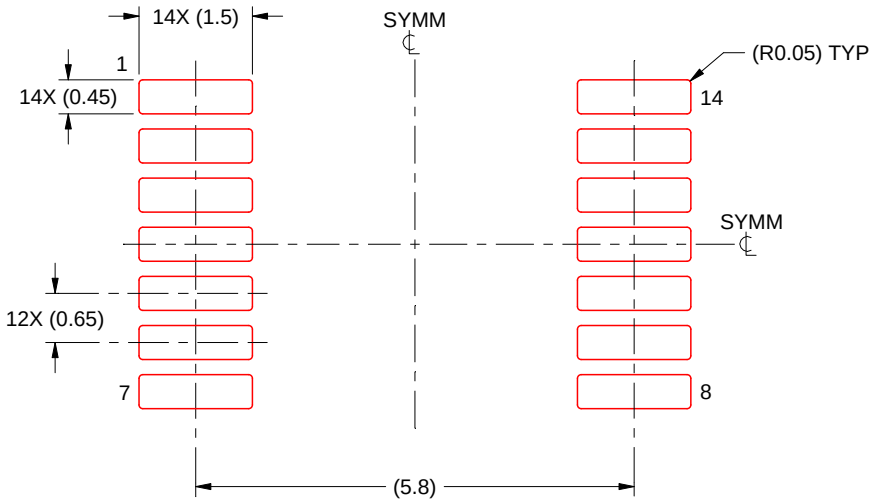



SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月