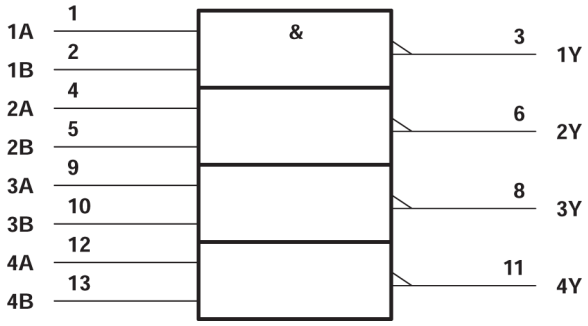
SN74AHCT00Q-Q1 汽车类四路双输入正与非门

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 器件温度等级 1：-40°C 至 +125°C
  - 器件 HBM ESD 分类等级 2
  - 器件 CDM ESD 分类等级 C4B
- 采用具有可湿性侧面的 QFN (WBQA) 封装
- 工作电压范围为 4.5V 至 5.5V
- 低功耗，I_{CC} 最大值为 10μA
- 5V 时，输出驱动为 ±8mA
- 输入兼容 TTL 电压
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 启用或禁用数字信号
- 控制指示灯 LED
- 通信模块和系统控制器之间的转换



逻辑符号†

3 说明

SN74AHCT00Q-Q1 以正逻辑执行布尔函数 $Y = \overline{A \cdot B}$ 或 $Y = \overline{A} + \overline{B}$。

封装信息

器件型号	封装(1)	封装尺寸(2)	封装尺寸(3)
SN74AHCT00Q-Q1	D（SOIC，14）	8.65mm x 6mm	8.65mm x 3.90mm
	PW（TSSOP，14）	5.00mm × 6.4mm	5.00mm × 4.40mm
	BQA（WQFN，14）	3.00mm × 2.50mm	3.00mm × 2.50mm

(1) 更多相关信息，请参阅第 11 节。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

† 此符号符合 ANSI/IEEE 标准 91-1984 和 IEC 出版物 617-12。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 建议运行条件 4
5.3 热性能信息 4
5.4 电气特性 5
5.5 开关特性 5
5.6 噪声特性 5
5.7 工作特性 5
6 参数测量信息 6
7 详细说明 7
7.1 概述 7
7.2 功能方框图 7
7.3 特性说明 7
8 应用和实施 10
8.1 应用信息 10
8.2 典型应用 10
8.3 电源相关建议 12
8.4 布局 12
9 器件和文档支持 13
9.1 文档支持 13
9.2 接收文档更新通知 13
9.3 支持资源 13
9.4 商标 13
9.5 静电放电警告 13
9.6 术语表 13
10 修订历史记录 13
11 机械、封装和可订购信息 14

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

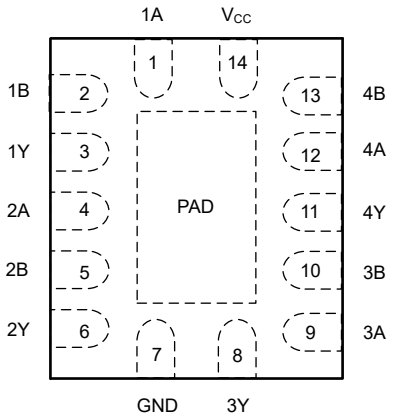


图 4-1. BQA 封装，14 引脚 WQFN（俯视图）

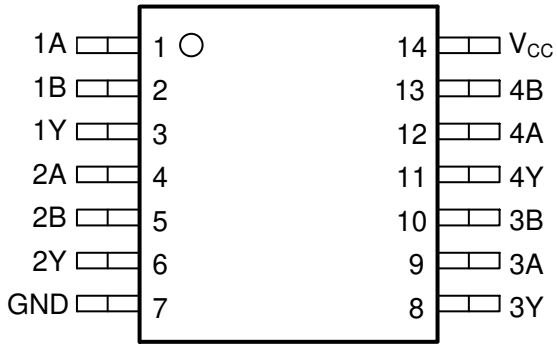


图 4-2. D 或 PW 封装，14 引脚 SOIC 或 TSSOP（顶视图）

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
1A	1	I	通道 1，输入 A
1B	2	I	通道 1，输入 B
1Y	3	O	通道 1，输出 Y
2A	4	I	通道 2，输入 A
2B	5	I	通道 2，输入 B
2Y	6	O	通道 2，输出 Y
GND	7	—	接地
3Y	8	O	通道 3，输出 Y
3A	9	I	通道 3，输入 A
3B	10	I	通道 3，输入 B
4Y	11	O	通道 4，输出 Y
4A	12	I	通道 4，输入 A
4B	13	I	通道 4，输入 B
V_{CC}	14	—	正电源
散热焊盘[2]		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。
(2) 仅限 BQA 封装

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	值
V_{CC}	电源电压范围	-0.5	7	V
V_I	输入电压范围(2)	-0.5	7	V
V_O	输出电压范围(2)	-0.5	V_{CC}+0.5	V
I_{IK} (V_I < 0)	输入钳位电流		-20	mA
I_{OK}（V_O < 0 或 V_O > V_{CC}）	输出钳位电流		±20	mA
I_O（V_O = 0 至 V_{CC}）	持续输出电流		±25	mA
	通过 V_{CC} 或 GND 的持续电流		±50	mA
T_{stg}	贮存温度范围	-65	150	°C

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{CC}	电源电压	4.5	5.5	V
V_{IH}	高电平输入电压	2		V
V_{IL}	低电平输入电压		0.8	V
V_I	输入电压	0	5.5	V
V_O	输出电压	0	V_{CC}	V
I_{OH}	高电平输出电流		-8	mA
I_{OL}	低电平输出电流		8	mA
$\Delta t/\Delta v$	输入转换上升或下降速率		20	ns/V
T_A	自然通风条件下的工作温度范围	-40	125	°C

(1) 器件所有的未使用输入必须被保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告，*CMOS 输入缓慢变化或悬空的影响*。

5.3 热性能信息

热指标(1)		SN74AHCT00Q-Q1			单位
		D (SOIC)	PW (TSSOP)	BQA (WQFN)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	124.6	113	88.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2024 Texas Instruments Incorporated

5.4 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			最小值	最大值	单位
			最小值	典型值	最大值			
V_{OH}	I_{OH} = -50mA	4.5V	4.4	4.5		4.4		V
	I_{OH} = -8mA		3.94			3.8		
V_{OL}	I_{OL} = 50mA	4.5V			0.1		0.1	V
	I_{OL} = 8mA				0.36		0.44	
I_I	V_I=5.5V 或 GND	0V 至 5.5V			±0.1		±1	μA
I_{CC}	V_I = V_{CC} 或 GND， I_O = 0	5.5V			2		20	μA
ΔI_{CC} (1)	一个输入电压为 3.4V，其他输入电压为 V_{CC} 或 GND	5.5V			1.35		1.5	mA
C_i	V_I = V_{CC} 或 GND	5V	2		10			pF

(1) 这是每个输入在指定 TTL 电压电平之一而不是 0V 或 V_{CC} 时电源电流的增加情况。

5.5 开关特性

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅节 6）

参数	从（输入）	到（输出）	负载电容	T_A = 25°C			最小值	最大值	单位
				最小值	典型值	最大值			
t_{PLH}	A 或 B	Y	C_L = 15pF		5	6.9	1	8	ns
t_{PHL}					5	6.9	1	8	
t_{PLH}	A 或 B	Y	C_L = 50pF		5.5	7.9	1	9	ns
t_{PHL}					5.5	7.9	1	9	

5.6 噪声特性

V_{CC} = 5V，C_L = 50pF，T_A = 25°C (1)

参数		最小值	典型值	最大值	单位
$V_{OL(P)}$	安静输出，最大动态 V_{OL}		0.4	0.8	V
$V_{OL(V)}$	安静输出，最小动态 V_{OL}		-0.4	-0.8	V
$V_{OH(V)}$	安静输出，最小动态 V_{OH}		4.5		V
$V_{IH(D)}$	高电平动态输入电压	2			V
$V_{IL(D)}$	低电平动态输入电压			0.8	V

(1) 特性仅适用于表面贴装封装。

5.7 工作特性

V_{CC} = 5V，T_A = 25°C

参数		测试条件		典型值	单位
C_{pd}	功率耗散电容(1) (2)	无负载，	f = 1MHz	10.5	pF

(1) C_{PD} 用于确定每通道的动态功耗。
(2) P_D= V_{CC}^2 × F_I × (C_{PD}+ C_L)，其中 F_I = 输入频率，C_L = 输出负载电容，V_{CC} = 电源电压。

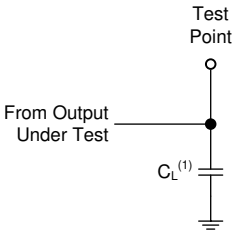
Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω。

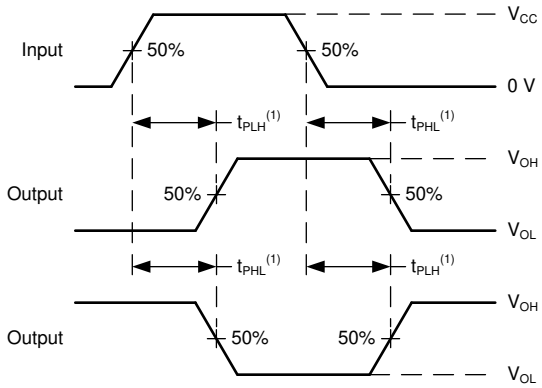
对于时钟输入，f_{max} 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



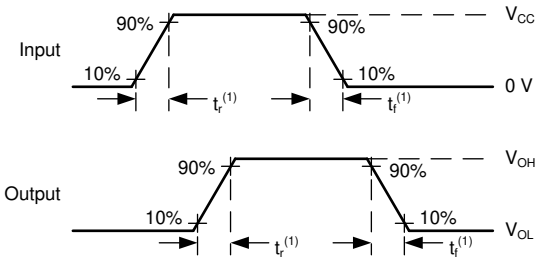
(1) C_L 包括探头和测试夹具电容。

图 6-1. 推挽输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-2. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-3. 电压波形，输入和输出转换时间

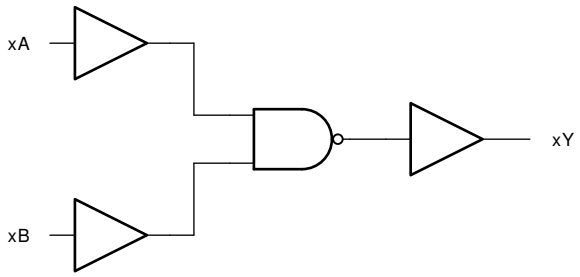
Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

此器件包含四个独立双输入或非门。每个门以正逻辑执行 $Y = \overline{A \bullet B}$。

7.2 功能方框图



7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出应保持断开状态。

7.3.2 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议的工作条件*表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢变化或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

7.3.3 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 7-1 所示。

小心

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

Copyright © 2024 Texas Instruments Incorporated

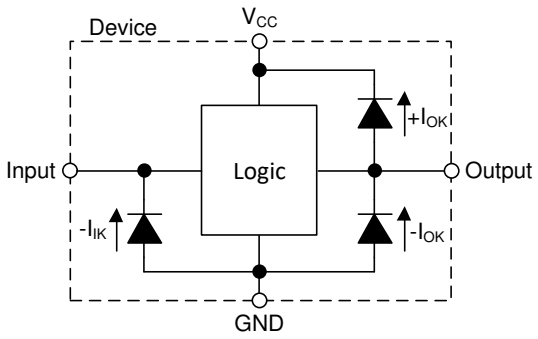


图 7-1. 每个输入和输出的钳位二极管的电气布置

Copyright © 2024 Texas Instruments Incorporated

7.3.4 可润湿侧翼

该器件采用至少一种具有可润湿侧翼的封装。请参阅数据表首页上的*特性* 部分，了解哪些封装包含此特性。

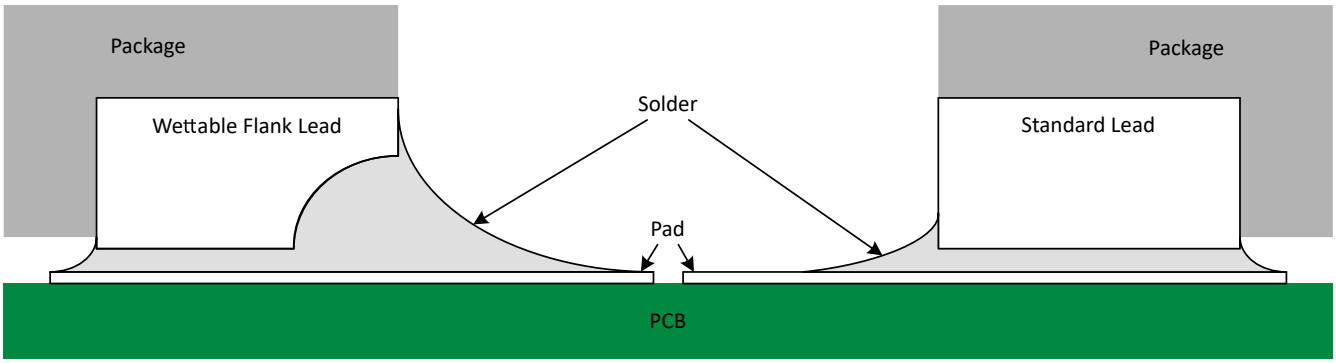


图 7-2. 焊接后具有可润湿侧翼的 QFN 封装和标准 QFN 封装的简化剖面图

可润湿侧翼有助于改善焊接后的侧翼润湿性，从而使 QFN 封装可通过自动光学检测 (AOI) 轻松检测。如图 7-2 所示，可润湿侧翼可做出凹陷或进行阶梯切割，为焊接粘附提供额外的表面积，有助于可靠创建侧面填角。有关更多详细信息，请参阅机械制图。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

在该应用中，使用两个双输入与非门来创建低电平有效的 SR 锁存器，如图 8-1 所示。可以对第二个 SR 锁存器使用两个额外的逻辑门，或者可将输入接地且两个通道均未使用。

SN74AHCT00Q-Q1 用于驱动篡改指示灯 LED 并为系统控制器提供一位数据。当防拆开关输出低电平时，输出 Q 变为高电平。此输出保持高电平，直到系统控制器处理该事件并向 $\overline{R}$ 输入发送低电平信号，使 Q 输出恢复至低电平。

该低电平有效 SR 锁存器的输入通常由开漏输出驱动，当它们从低电平转换为高阻态时，产生的输入转换速率较低。这使得 SN74AHCT00Q-Q1 成为该应用的理想选择，因为它具有没有输入转换速率要求的施密特触发输入。

8.2 典型应用

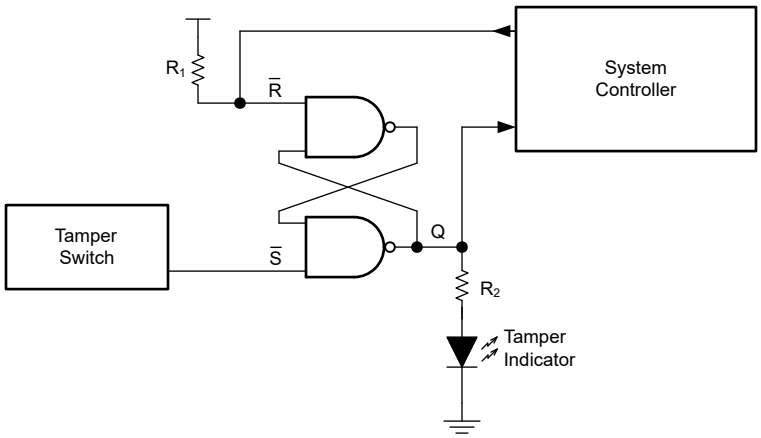


图 8-1. 典型应用框图

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74AHCT00Q-Q1 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74AHCT00Q-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74AHCT00Q-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74AHCT00Q-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

Copyright © 2024 Texas Instruments Incorporated

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74AHCT00Q-Q1 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 10kΩ 的电阻值。

SN74AHCT00Q-Q1 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅*特性描述* 部分。

8.2.1.3 输出注意事项

正电源电压用于产生输出高电平电压。根据*电气特性* 中 V_{OH} 规范的规定，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据*电气特性* 中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅*特性描述* 部分。

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74AHCT00Q-Q1 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$ Ω。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

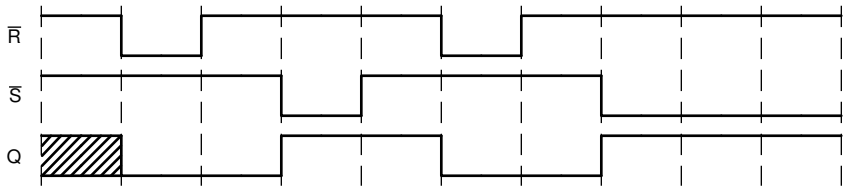


图 8-2. 应用时序图

8.3 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。旁路电容器应安装在尽可能靠近电源端子的位置，以获得更佳效果，如*布局示例* 所示。

8.4 布局

8.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

8.4.2 布局示例

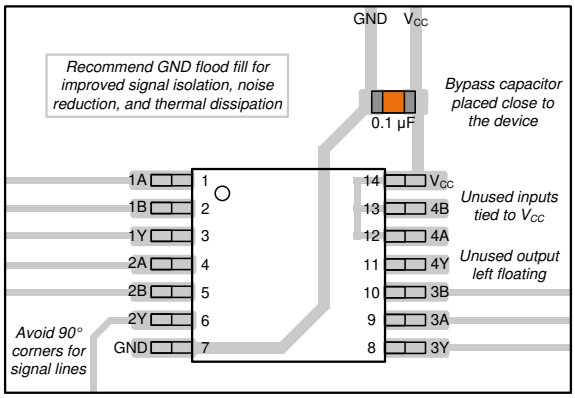


图 8-3. SN74AHCT00Q-Q1 的示例布局

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 Cpd 计算* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (May 2023) to Revision D (February 2024)	Page
• 更新了 $R_{\theta JA}$ 值：D = 86 至 124.6，所有值均以 °C/W 为单位	4

Changes from Revision B (May 1998) to Revision C (May 2023)	Page
• 更新了*特性* 部分	1
• 添加了*应用* 部分	1
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 通篇添加了 *BQA* 封装信息	1
• 添加了*引脚配置和功能* 部分	3
• 更新了*参数测量信息* 一节	6
• 添加了*详细说明* 部分	7

Copyright © 2024 Texas Instruments Incorporated

- 添加了*应用和实施*部分 10

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHCT00QDRG4Q1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT00Q
SN74AHCT00QDRG4Q1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT00Q
SN74AHCT00QDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT00Q
SN74AHCT00QDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT00Q
SN74AHCT00QPWRG4Q1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB00Q
SN74AHCT00QPWRG4Q1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB00Q
SN74AHCT00QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB00Q
SN74AHCT00QPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB00Q
SN74AHCT00QWBQARQ1	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT00Q
SN74AHCT00QWBQARQ1.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT00Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

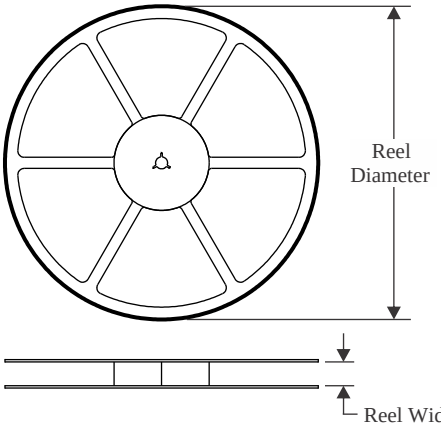
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

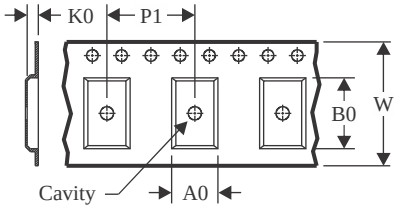
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

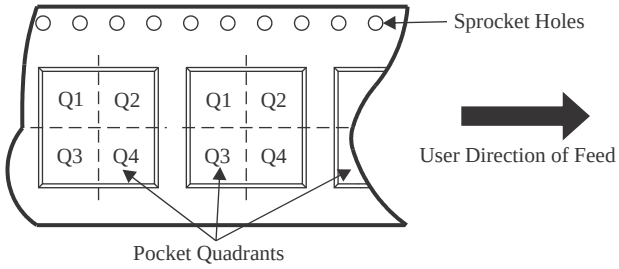


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

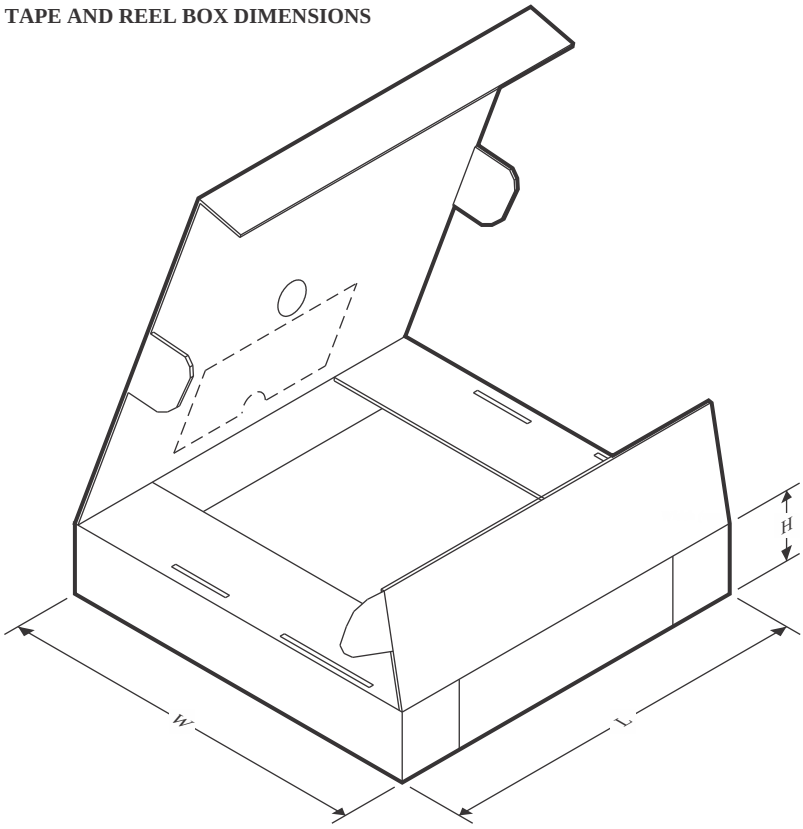
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

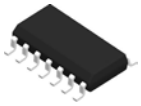
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT00QDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AHCT00QPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT00QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT00QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT00QWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT00QDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
SN74AHCT00QPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT00QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT00QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AHCT00QWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0

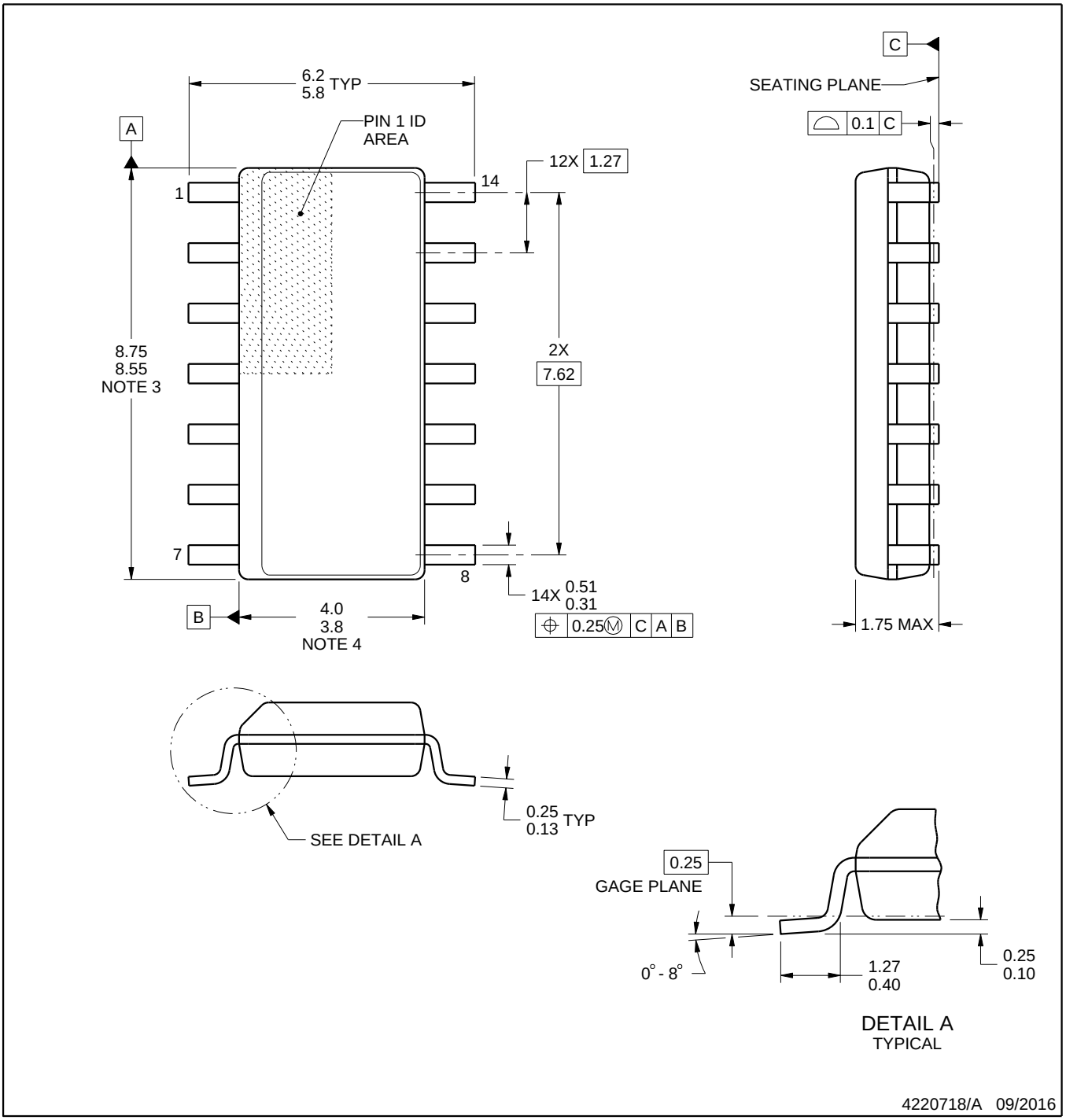


PACKAGE OUTLINE

D0014A

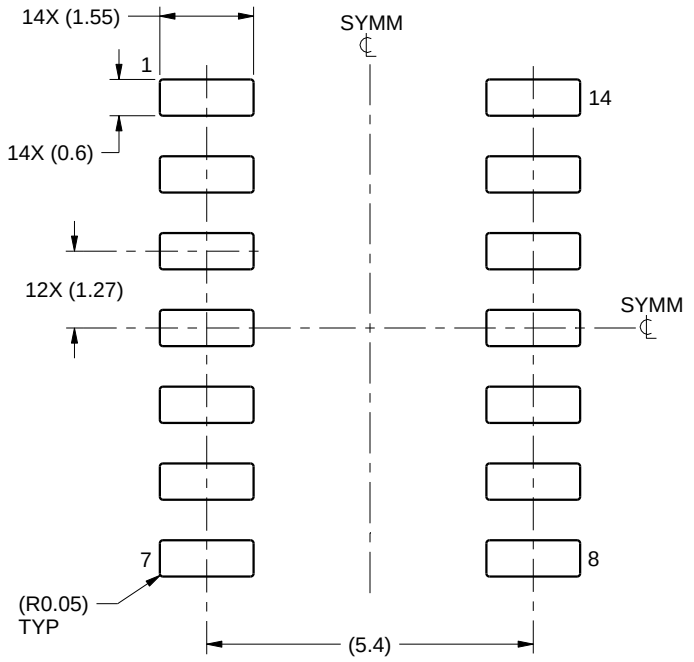
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

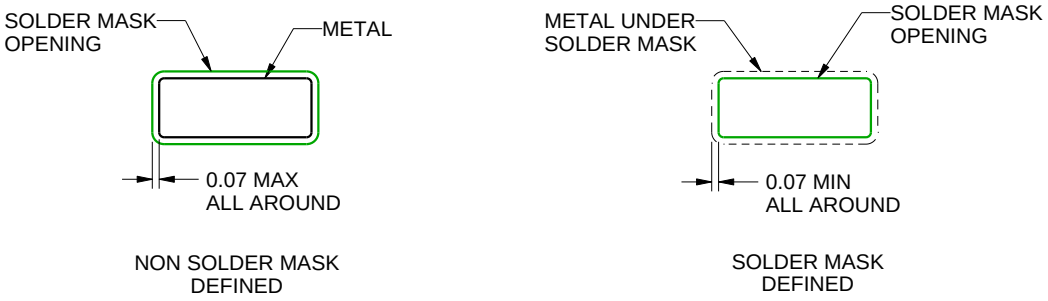


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

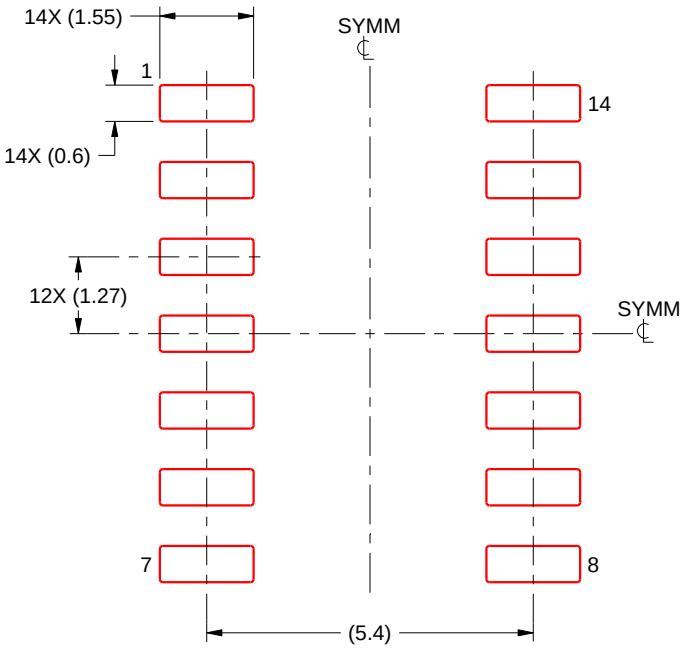
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

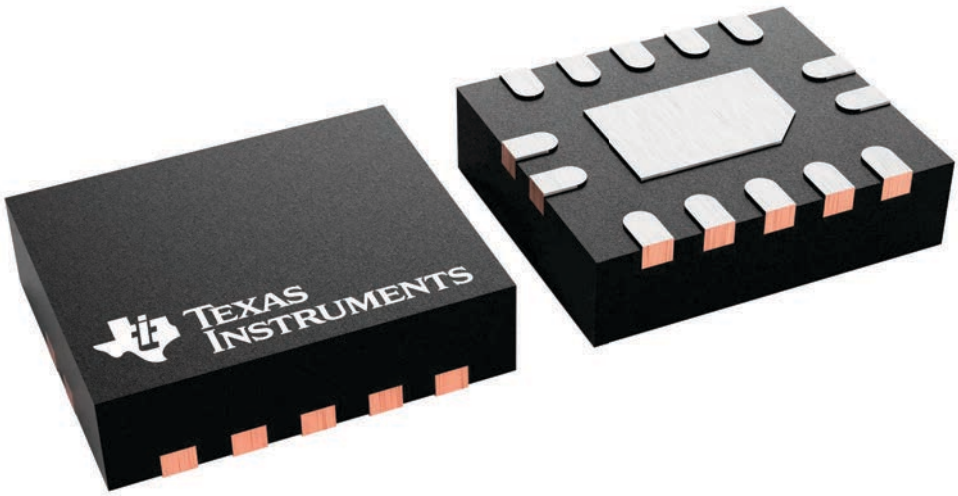
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

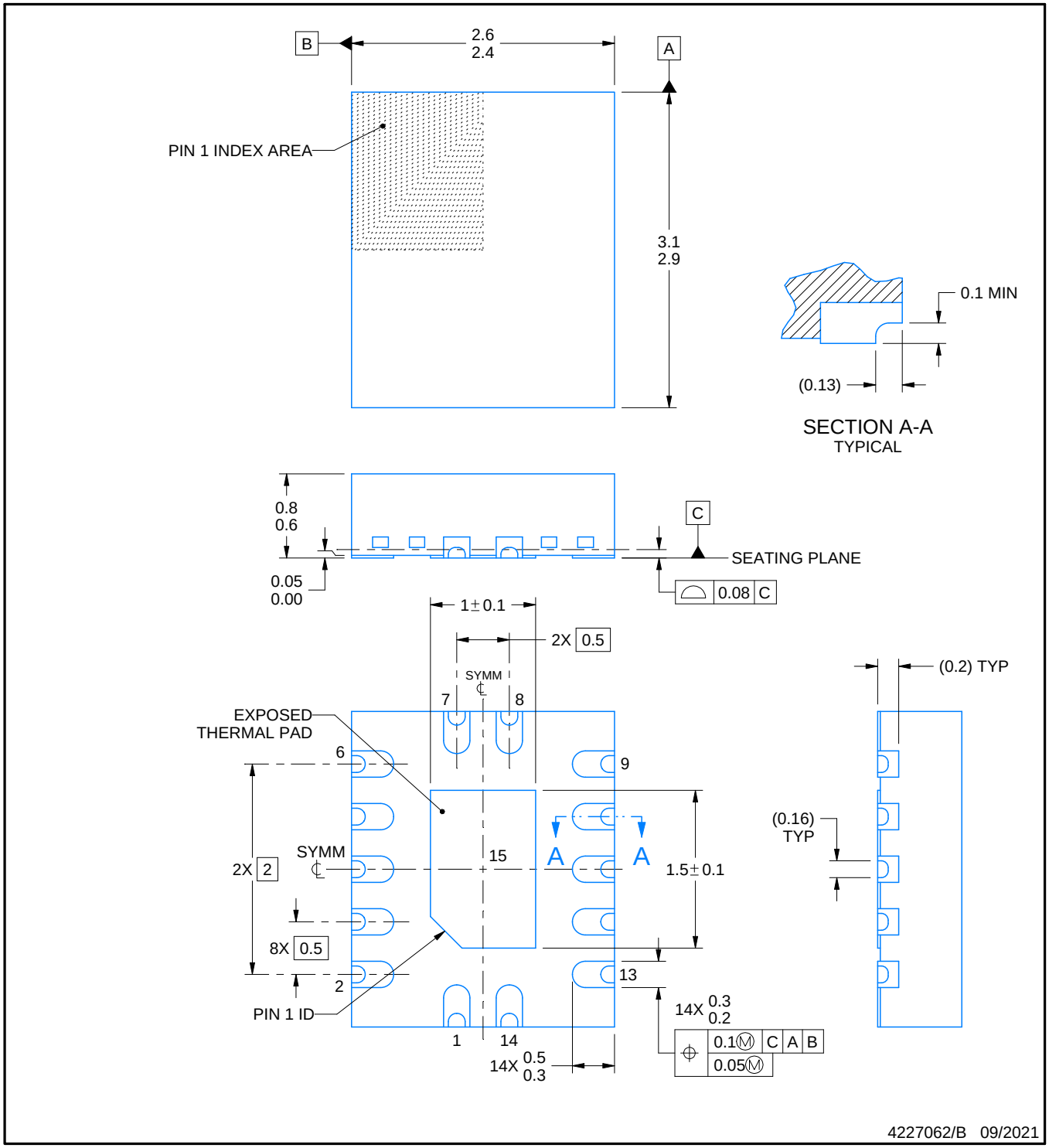


BQA0014B

PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

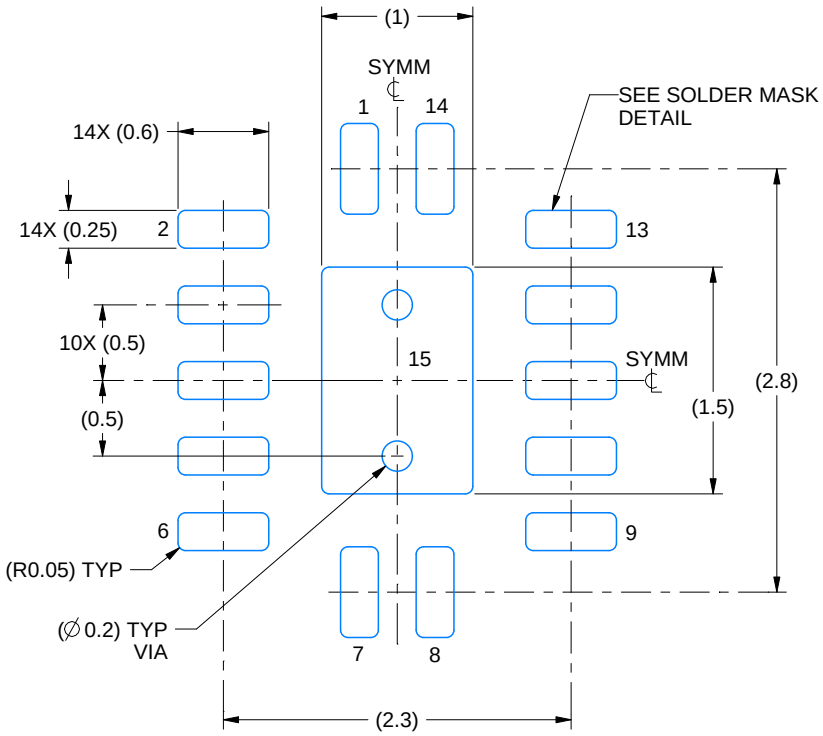
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

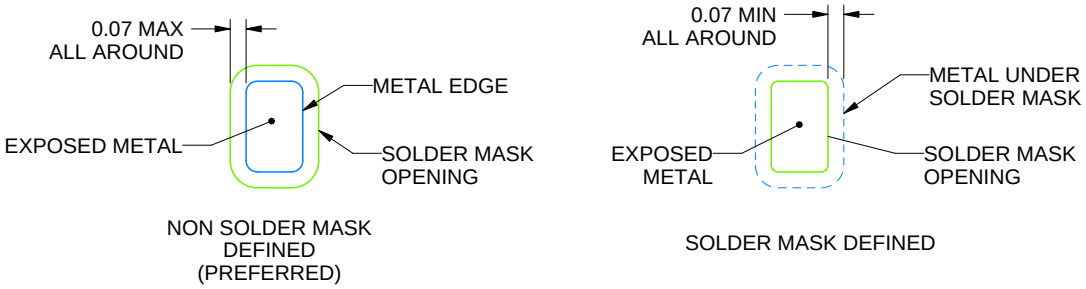
BQA0014B

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

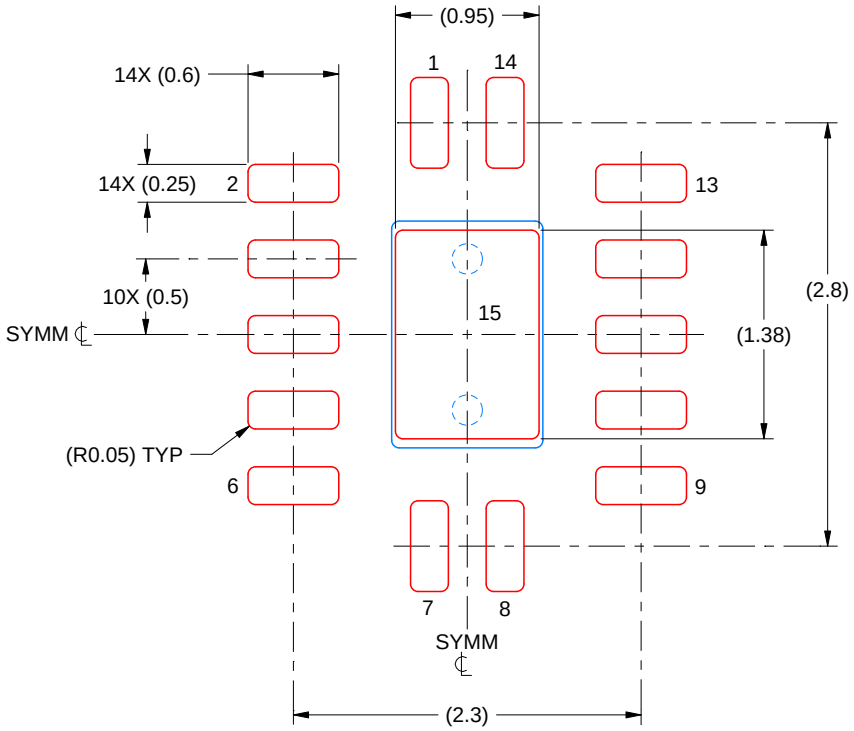


SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

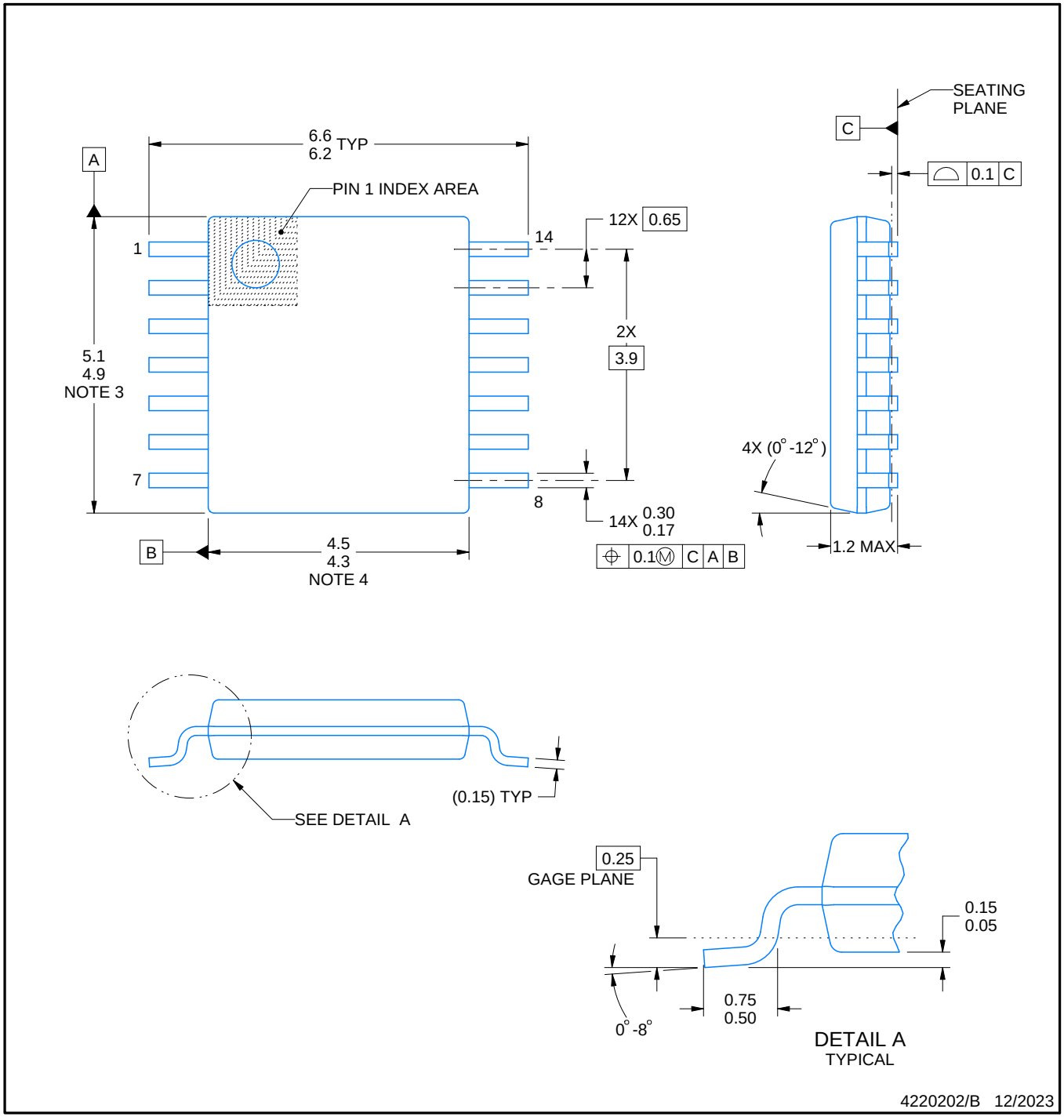
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

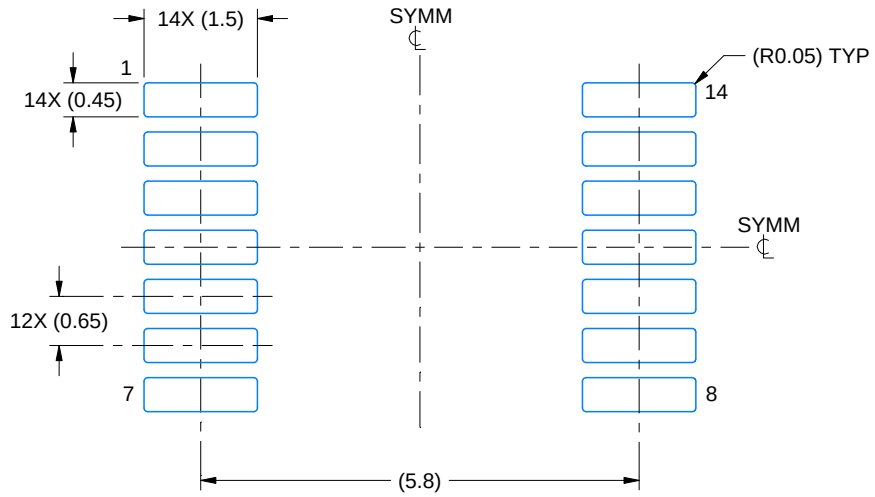
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

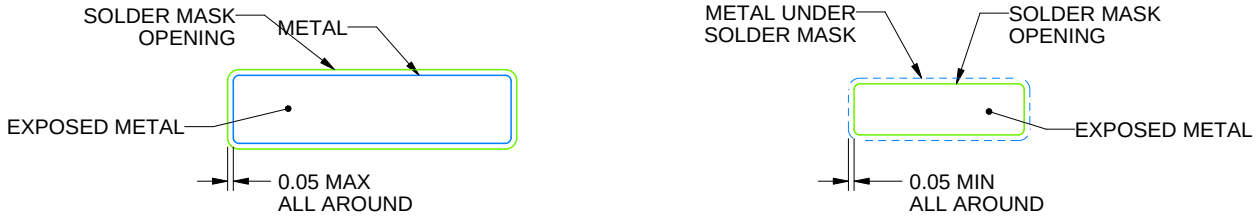


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

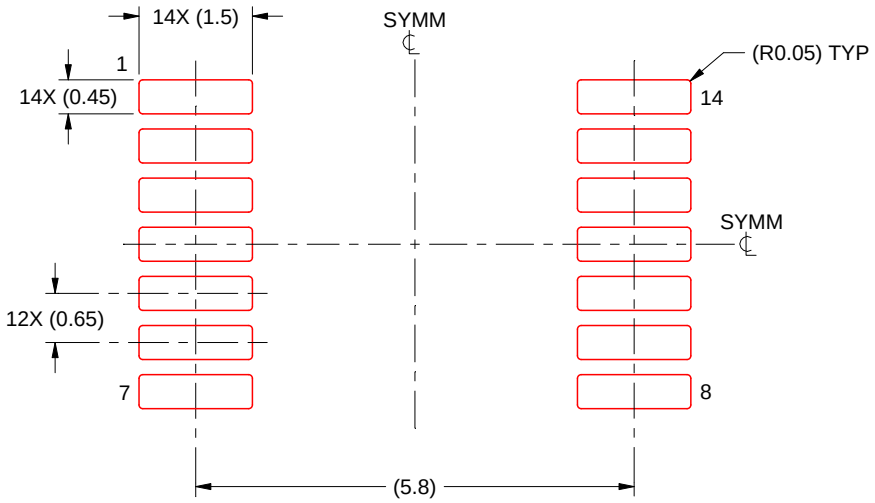


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月