SN74AHC139 双通道 2 位至 4 位解码器/多路信号分离器

1 特性

- 工作电压范围为 2V 至 5.5V
- 专门为高速存储器解码器和数据传输系统设计
- 包含两个使能输入以简化级联或数据接收
- 闩锁性能超过 250mA，符合 JESD 17 规范
- ESD 保护性能超过 JESD 22 规范要求：
  - 2000V 人体放电模型 (A114-A)
  - 1000V 充电器件模型 (C101)

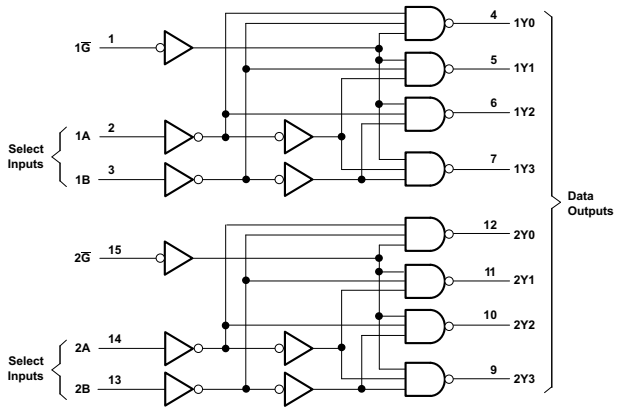
2 说明

SN74AHC139 是旨在于 2V 至 5.5V V_{CC} 下运行的双通道 2 线至 4 线解码器/多路信号分离器。这些器件设计用于需要极短传播延迟时间的高性能存储器解码或数据路由应用。在高性能存储器系统中，可使用此类解码器来尽可能地减小系统解码的影响。与使用高速使能电路的高速存储器一同使用时，这些解码器的延迟时间和存储器的使能时间通常小于存储器的典型存取时间。这意味着解码器引起的有效系统延迟可以忽略不计。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74AHC139	D（SOIC，16）	9.90mm × 6mm	9.90mm × 3.90mm
	DB（SSOP，16）	6.20mm × 7.8mm	6.20mm × 5.30mm
	N（PDIP，16）	19.31mm × 9.4mm	19.31mm × 6.35mm
	NS（SOP，16）	5mm × 6.4mm	5mm × 4.4mm
	PW（TSSOP，16）	5.00mm × 6.4mm	5.00mm × 4.40mm
	DGV（TVSOP，16）	3.6mm × 6.4mm	3.6mm × 4.4mm
	RGY（VQFN，16）	4mm × 3.5mm	4mm × 3.5mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



所示引脚编号用于 D、DB、DGV、J、N、NS、PW、RGY 和 W 封装。

逻辑图，每个逻辑门（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 ESD 等级.....4
4.3 建议运行条件.....4
4.4 热性能信息.....5
4.5 电气特性.....5
4.6 开关特性，V_{CC} = 3.3V ± 0.3V.....5
4.7 开关特性，V_{CC} = 5V ± 0.5V.....6
4.8 工作特性.....6
5 参数测量信息.....7
6 详细说明.....8
6.1 概述.....8
6.2 功能方框图.....8
6.3 特性说明.....8
6.4 器件功能模式.....10
7 应用和实施.....11
7.1 应用信息.....11
7.2 典型应用.....11
7.3 电源相关建议.....14
7.4 布局.....14
8 器件和文档支持.....16
8.1 文档支持.....16
8.2 接收文档更新通知.....16
8.3 支持资源.....16
8.4 商标.....16
8.5 静电放电警告.....16
8.6 术语表.....16
9 修订历史记录.....16
10 机械、封装和可订购信息.....17

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能

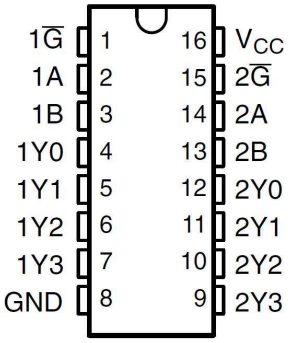


图 3-1. SN74AHC139 D、DB、DGV、N、NS 或 PW 封装（顶视图）

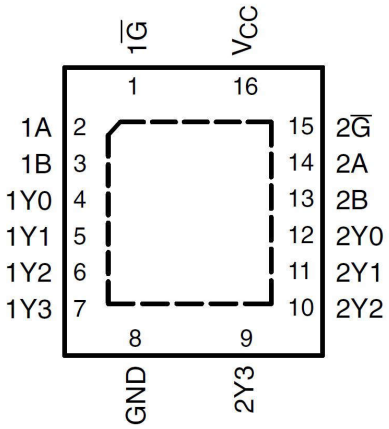


图 3-2. SN74AHC139 RGY 封装（顶视图）

表 3-1. 引脚功能

引脚		I/O	说明
编号	名称		
1	$\overline{1G}$	I	通道 1，输出使能，低电平有效
2	$1A_0$	I	通道 1，地址选择 0
3	$1A_1$	I	通道 1，地址选择 1
4	$1Y_0$	O	通道 1，输出 0
5	$1Y_1$	O	通道 1，输出 1
6	$1Y_2$	O	通道 1，输出 2
7	$1Y_3$	O	通道 1，输出 3
8	GND	—	接地
9	$2Y_3$	O	通道 2，输出 3
10	$2Y_2$	O	通道 2，输出 2
11	$2Y_1$	O	通道 2，输出 1
12	$2Y_0$	O	通道 2，输出 0
13	$2A_1$	I	通道 2，地址选择 1
14	$2A_0$	I	通道 2，地址选择 0
15	$\overline{2G}_0$	I	通道 2，输出使能，低电平有效
16	V_{CC}	—	正电源

Copyright © 2025 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	7	V
V_I (2)	输入电压		-0.5	7	V
V_O (2)	输出电压		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	(V_I < 0)		-20	mA
I_{OK}	输出钳位电流	(V_O < 0 或 V_O > V_{CC})		±20	mA
I_O	持续输出电流	(V_O = 0 至 V_{CC})		±25	mA
	通过 V_{CC} 或 GND 的持续电流			±75	mA
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101	±1000	

4.3 建议运行条件

			SN54AHC139		SN74AHC139		单位
			最小值	最大值	最小值	最大值	
V_{CC}	电源电压		2	5.5	2	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 2V	1.5		1.5		V
		V_{CC} = 3V	2.1		2.1		
		V_{CC} = 5.5V	3.85		3.85		
V_{IL}	低电平输入电压	V_{CC} = 2V		0.5		0.5	V
		V_{CC} = 3V		0.9		0.9	
		V_{CC} = 5.5V		1.65		1.65	
V_I	输入电压		0	5.5	0	5.5	V
V_O	输出电压		0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 2V		-50		-50	mA
		V_{CC} = 3.3V ± 0.3V		-4		-4	
		V_{CC} = 5V ± 0.5V		-8		-8	
I_{OL}	低电平输出电流	V_{CC} = 2V		50		50	mA
		V_{CC} = 3.3V ± 0.3V		4		4	
		V_{CC} = 5V ± 0.5V		8		8	
$\Delta t/\Delta v$	输入转换上升或下降速率	V_{CC} = 3.3V ± 0.3V		100		100	ns/V
		V_{CC} = 5V ± 0.5V		20		20	
T_A	自然通风条件下的工作温度范围		-55	125	-40	125	°C

Copyright © 2025 Texas Instruments Incorporated

4.4 热性能信息

热指标(1)		SN74AHC139							单位
		D (SOIC)	DB (SSOP)	DGV (TVSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	RGY (VQFN)	
		16							
$R_{\theta JA}$	结至环境热阻	73	82	120	67	64	135.9	52.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

4.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	T_A = 25°C			T_A = -40°C 至 85°C		T_A = -40°C 至 125°C		单位
						SN74AHC139		推荐		
								SN74AHC139		
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	I_{OH} = -50 µA	2 V	1.9	2		1.9		1.9		V
		3 V	2.9	3		2.9		2.9		
		4.5 V	4.4	4.5		4.4		4.4		
	I_{OH} = -4 mA	3 V	2.58			2.48		2.48		
	I_{OH} = -8 mA	4.5 V	3.94			3.8		3.8		
V_{OL}	I_{OL} = 50 µA	2 V			0.1		0.1		0.1	V
		3 V			0.1		0.1		0.1	
		4.5 V			0.1		0.1		0.1	
	I_{OH} = 4 mA	3 V			0.36		0.44		0.5	
	I_{OH} = 8 mA	4.5 V			0.36		0.44		0.5	
I_I	V_I = 5.5 V 或 GND	0 V 至 5.5 V			±0.1		±1		±1	µA
I_{CC}	V_I = V_{CC} 或 GND， I_O = 0	5.5 V			4		40		40	µA
C_i	V_I = V_{CC} 或 GND	5 V		2	10		10			pF

4.6 开关特性，V_{CC} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 3.3V ± 0.3V（除非另有说明）（请参阅图 5-1）

参数	从（输入）	至（输出）	负载电容	T_A = 25°C		T_A = -40°C 至 85°C		T_A = -40°C 至 125°C		单位
						SN74AHC139		推荐		
								SN74AHC139		
				典型值	最大值	最小值	最大值	最小值	最大值	
t_{PLH}	A 或 B	Y	C_L = 15pF	7.2(1)	11(1)	1	13	1	13	ns
t_{PHL}				7.2(1)	11(1)	1	13	1	13	
t_{PLH}	$\overline{G}$	Y	C_L = 15pF	6.4(1)	9.2(1)	1	11	1	11	ns
t_{PHL}				6.4(1)	9.2(1)	1	11	1	11	
t_{PLH}	A 或 B	Y	C_L = 50pF	9.7	14.5	1	16.5	1	16.5	ns
t_{PHL}				9.7	14.5	1	16.5	1	16.5	
t_{PLH}	$\overline{G}$	Y	C_L = 50pF	8.9	12.7	1	14.5	1	14.5	ns
t_{PHL}				8.9	12.7	1	14.5	1	14.5	

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试。

Copyright © 2025 Texas Instruments Incorporated

4.7 开关特性，V_{CC} = 5V ± 0.5V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅图 5-1）

参数	从（输入）	至（输出）	负载电容	T_A = 25°C		T_A = -40°C 至 85°C		T_A = -40°C 至 125°C 推荐		单位
						SN74AHC139		SN74AHC139		
				典型值	最大值	最小值	最大值	最小值	最大值	
t_{PLH}	A 或 B	Y	C_L = 15pF	5(1)	7.2(1)	1	8.5	1	8.5	ns
t_{PHL}				5(1)	7.2(1)	1	8.5	1	8.5	
t_{PLH}	$\overline{G}$	Y	C_L = 15pF	4.4(1)	6.3(1)	1	7.5	1	7.5	ns
t_{PHL}				4.4(1)	6.3(1)	1	7.5	1	7.5	
t_{PLH}	A 或 B	Y	C_L = 50pF	6.5	9.5	1	10.5	1	10.5	ns
t_{PHL}				6.5	9.5	1	10.5	1	10.5	
t_{PLH}	$\overline{G}$	Y	C_L = 50pF	5.9	8.3	1	9.5	1	9.5	ns
t_{PHL}				5.9	8.3	1	9.5	1	9.5	

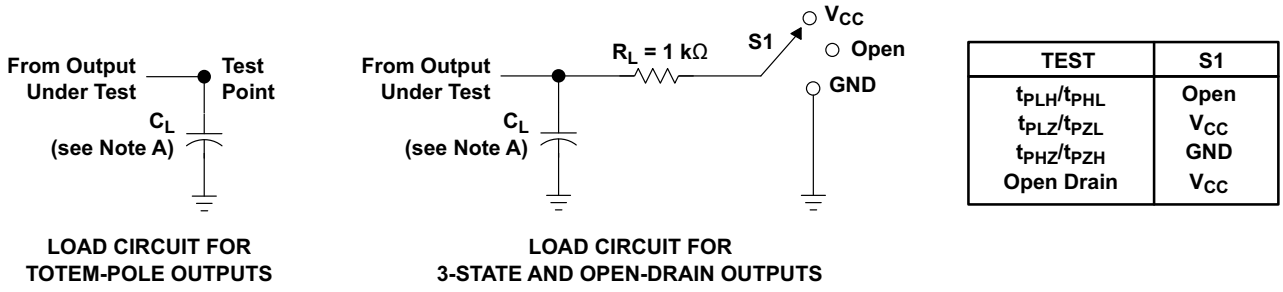
4.8 工作特性

V_{CC} = 5V，T_A = 25°C

参数		测试条件		典型值	单位
C_{pd}	功率耗散电容	无负载，	f = 1 MHz	13	pF

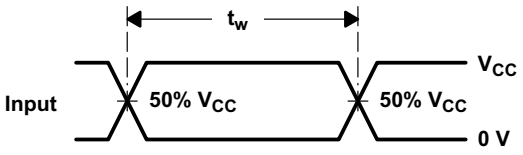
Copyright © 2025 Texas Instruments Incorporated

5 参数测量信息

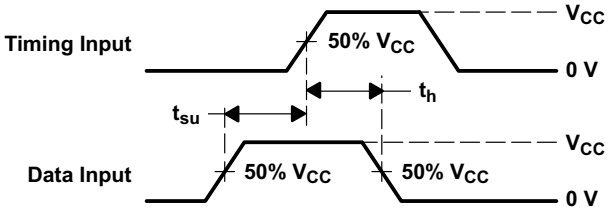


LOAD CIRCUIT FOR TOTEM-POLE OUTPUTS

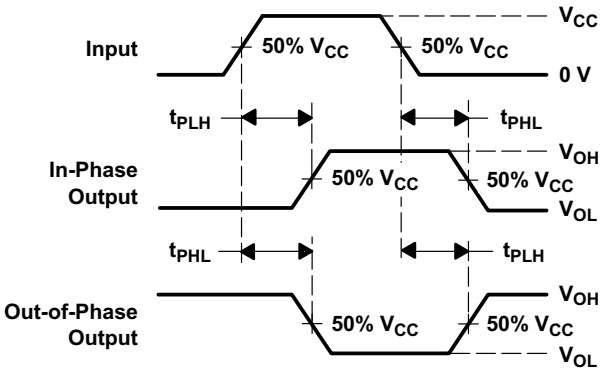
LOAD CIRCUIT FOR 3-STATE AND OPEN-DRAIN OUTPUTS



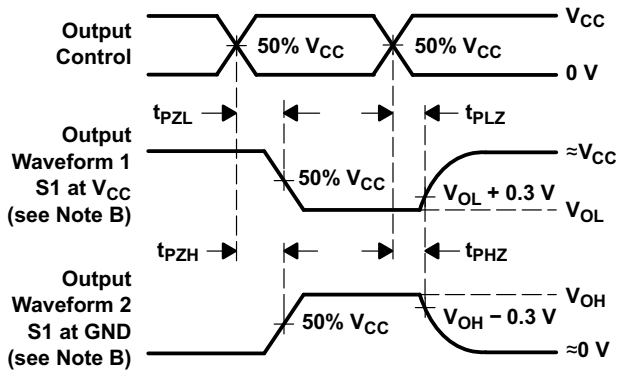
VOLTAGE WAVEFORMS PULSE DURATION



VOLTAGE WAVEFORMS SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS PROPAGATION DELAY TIMES INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS ENABLE AND DISABLE TIMES LOW- AND HIGH-LEVEL ENABLING

A. C_L 包括探针和夹具电容。

B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。
波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。

C. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r ≤ 3 ns，t_f ≤ 3 ns。

D. 一次测量一个输出，每次测量一个输入转换。

E. 并非所有参数和波形都适用于所有器件。

图 5-1. 负载电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

SN74AHC139 是一款高速硅栅 CMOS 解码器，非常适合内存地址解码或数据路由应用。它包含两个 2 线至 4 线解码器。

SN74AHC139 的每个通道都有两个地址选择输入（A1 和 A0）。该电路用作普通的四选一解码器。

每个通道都具有一个选通输入 ($\overline{G}$)，可简化级联并方便多路信号分离。当通道的输入选通有效时，该通道的输出强制进入高电平状态。

多路信号分离功能的实现方法是：首先使用选择输入来选择所需的输出，然后使用选通输入作为数据输入。

SN74AHC139 的输出通常为高电平，被选择后为低电平。

6.2 功能方框图

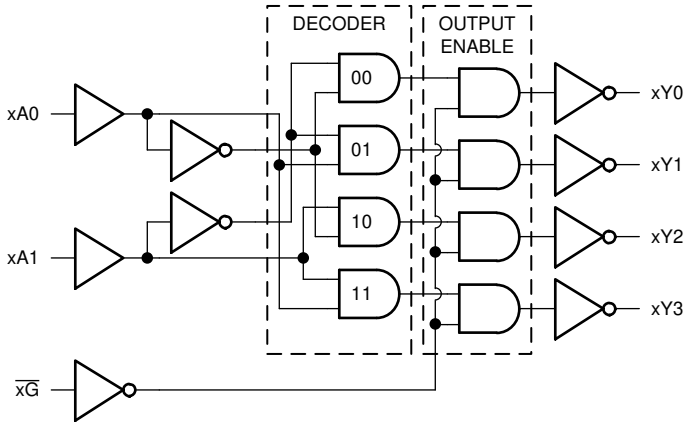


图 6-1. 逻辑图，每个逻辑门（正逻辑）

6.3 特性说明

6.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但*电气特性*表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10kΩ 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

6.3.2 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件*表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

Copyright © 2025 Texas Instruments Incorporated

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

功能表（每个通道）

输入 1			输出 2			
$\overline{G}$	选择		Y0	Y1	Y2	Y3
	A1	A0				
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

1. L = 低电平；H = 高电平；X = 不用考虑
2. L = 驱动为低电平；H = 驱动为高电平

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

SN74AHC139 器件用于控制使用共享数据总线的多个器件。解码器支持一个二进制编码输入仅激活器件的其中一个输出。因此，该器件非常适合固态存储器应用，在这些应用中，须在系统控制器上使用有限数量的 GPIO 引脚来读取或写入多个器件。解码器用于激活到所选存储器件的片选 (CS) 输入，然后，控制器即可在该器件使用共享总线时单独对其进行读取或写入。

7.2 典型应用

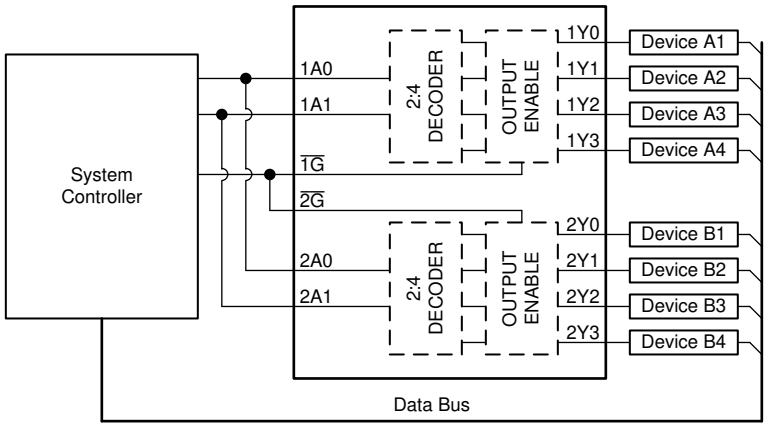


图 7-1. 典型应用框图

Copyright © 2025 Texas Instruments Incorporated

7.2.1 设计要求

7.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74AHC139 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74AHC139 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74AHC139 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74AHC139 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74AHC139 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SN74AHC139 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

7.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74AHC139 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

7.2.3 应用曲线

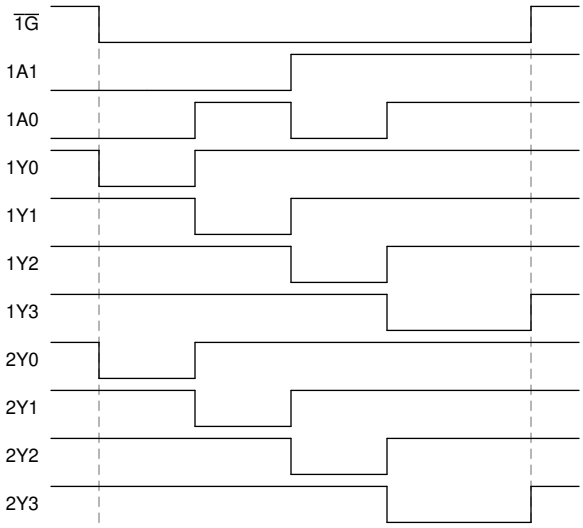


图 7-2. 应用时序图

7.3 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.4 布局

7.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

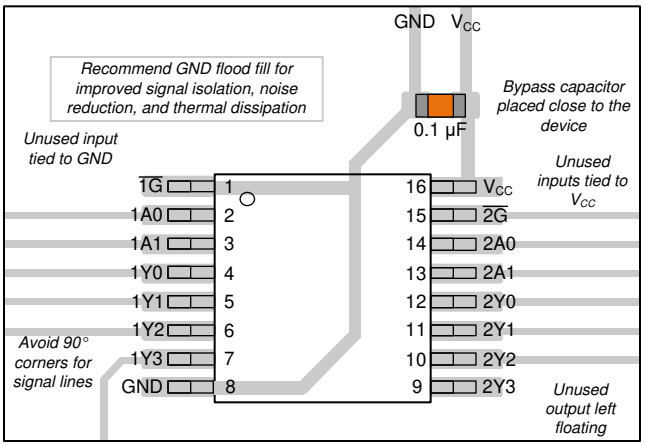


图 7-3. SN74AHC139 的示例布局

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*了解施密特触发*
- 德州仪器 (TI)，*慢速或浮点 CMOS 输入的影响*
- 德州仪器 (TI)，*CMOS 功耗与 Cpd 计算*
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性*

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision M (July 2024) to Revision N (January 2025)	Page
• 更新了 *引脚功能* 表中的描述	3

Changes from Revision L (June 2013) to Revision M (July 2024)	Page
• 删除了 *特性* 部分中的机器放电模型	1
• 添加了 *封装信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*器件功能模式*、“应用和实施”部分、*器件和文档支持* 部分以及 *机械、封装和可订购信息* 部分	1
• 更新了热性能指标 $R_{\theta JA}$ 的值：PW = 108 至 135.9，RGY = 39 至 52.9，所有值均以 °C/W 为单位	5

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC139D	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 125	AHC139
SN74AHC139DBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DGVR.A	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139DR	NRND	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139DR.A	NRND	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139N	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC139N
SN74AHC139N.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHC139N
SN74AHC139NSR	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139NSR.A	NRND	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC139
SN74AHC139PW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	-40 to 125	HA139
SN74AHC139PWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139PWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139RGYR	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139
SN74AHC139RGYR.A	Active	Production	VQFN (RGY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA139

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHC139 :

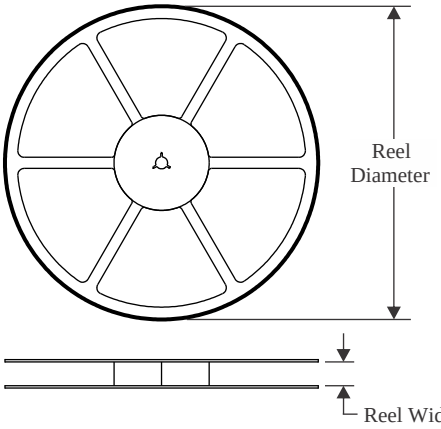
- Automotive : SN74AHC139-Q1

NOTE: Qualified Version Definitions:

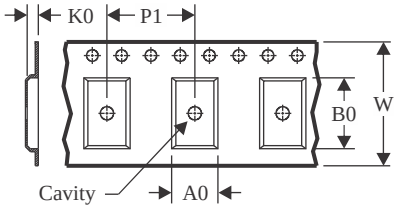
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

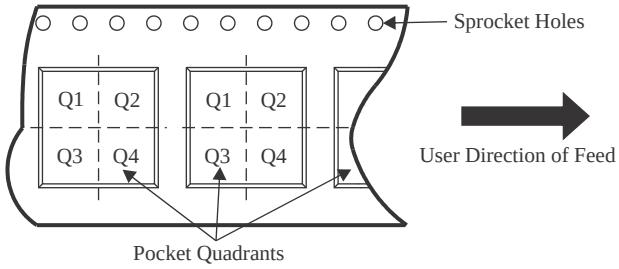


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

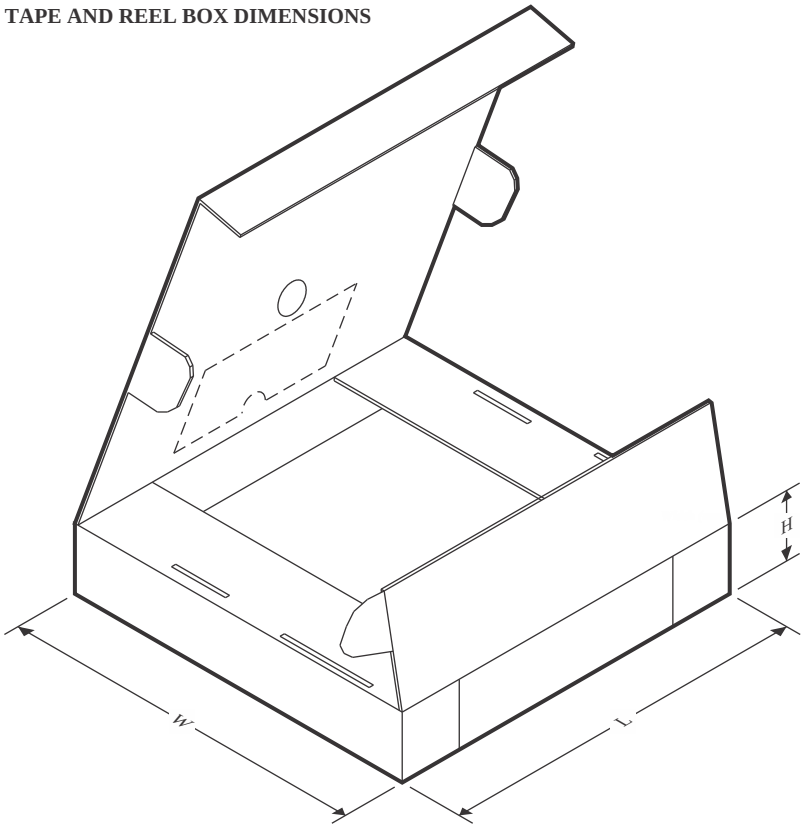
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC139DBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHC139DGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHC139DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74AHC139NSR	SOP	NS	16	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AHC139PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHC139RGYR	VQFN	RGY	16	3000	330.0	12.4	3.8	4.3	1.5	8.0	12.0	Q1

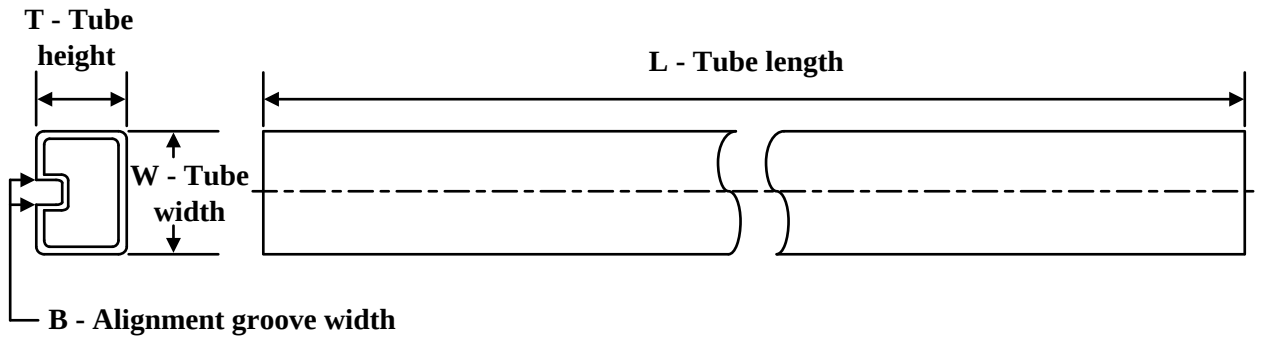
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC139DBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74AHC139DGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74AHC139DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74AHC139NSR	SOP	NS	16	2000	353.0	353.0	32.0
SN74AHC139PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74AHC139RGYR	VQFN	RGY	16	3000	360.0	360.0	36.0

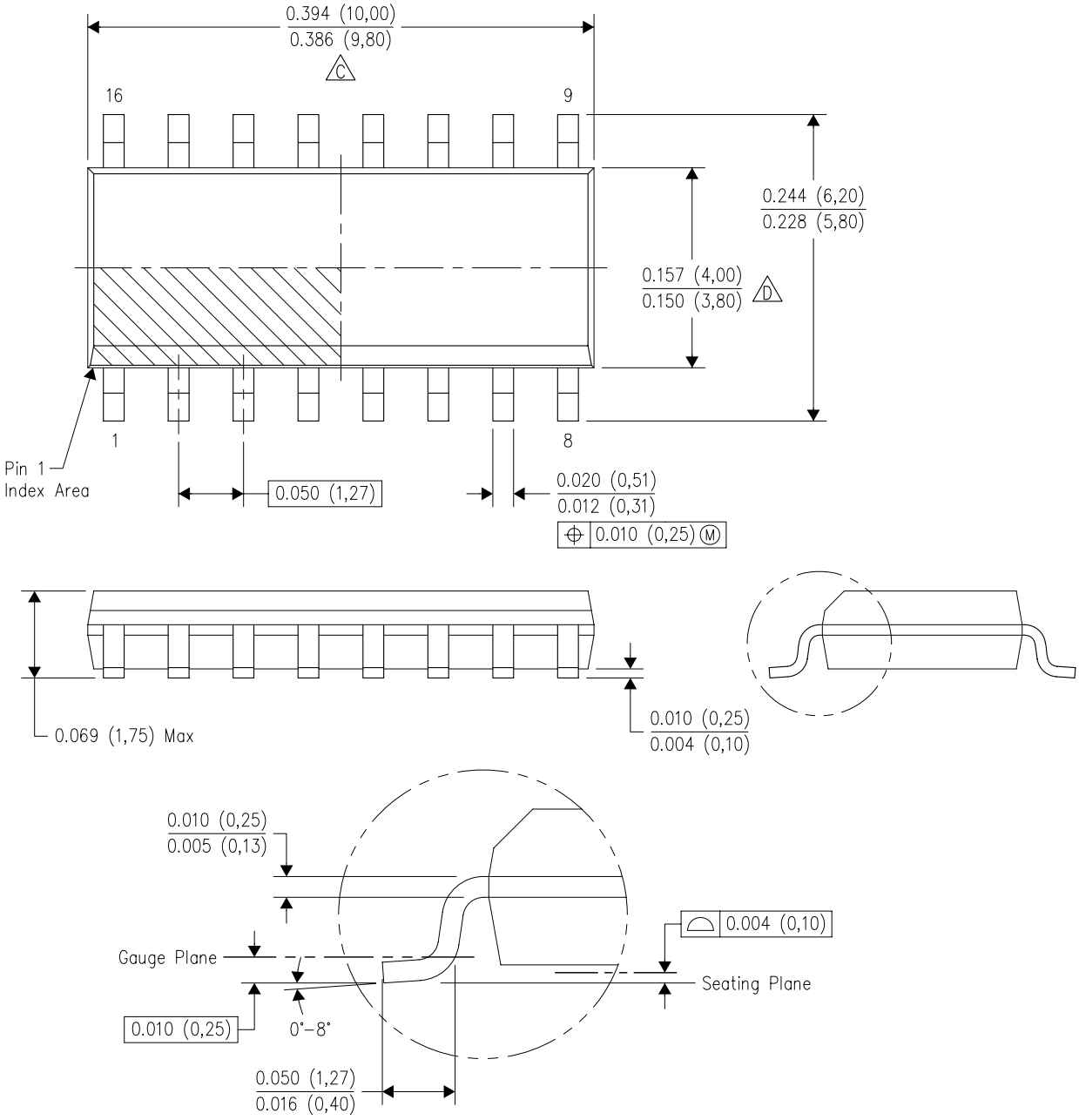
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
SN74AHC139N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHC139N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHC139N.A	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHC139N.A	N	PDIP	16	25	506	13.97	11230	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



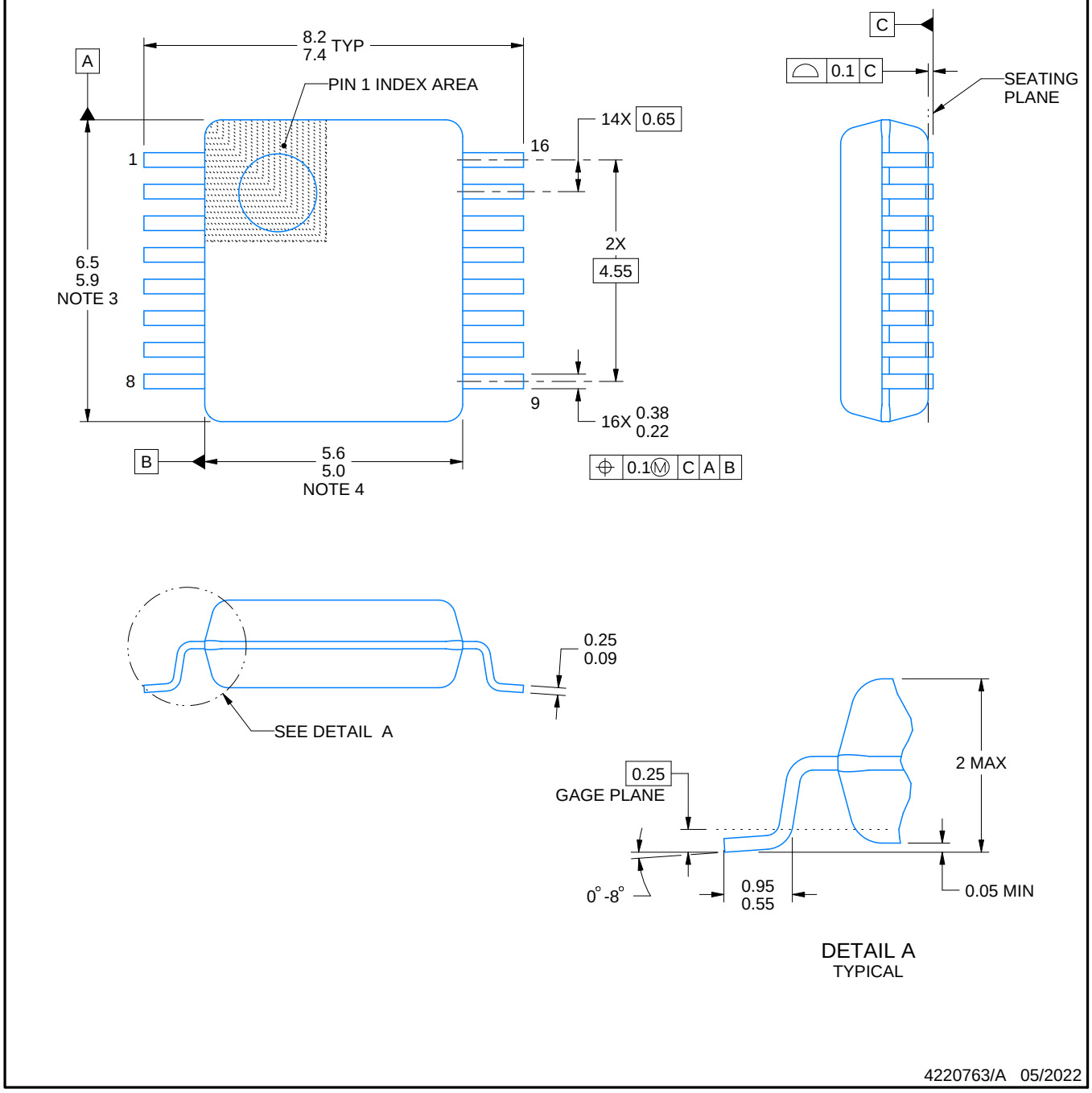
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

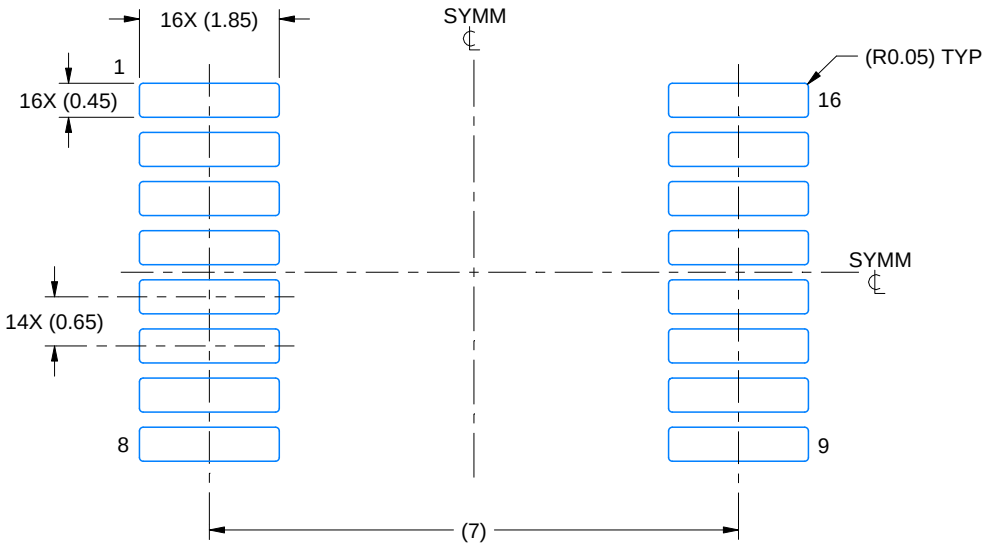
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

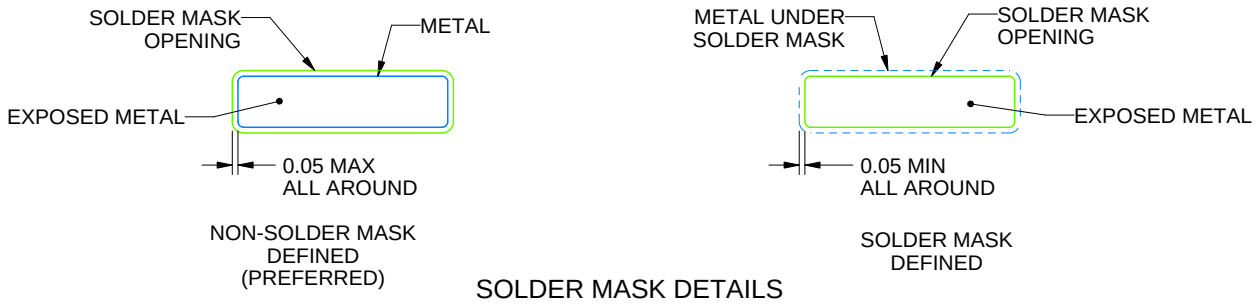


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

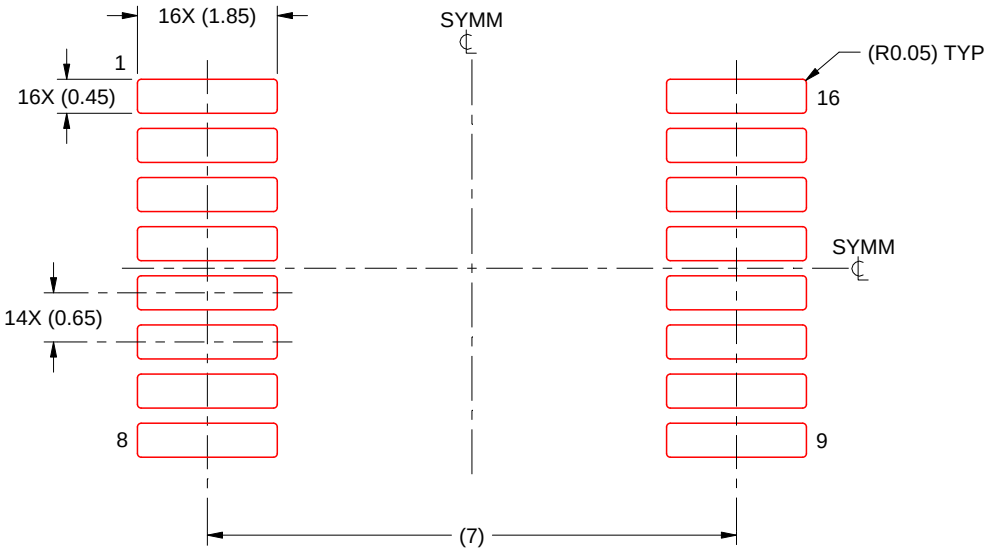


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

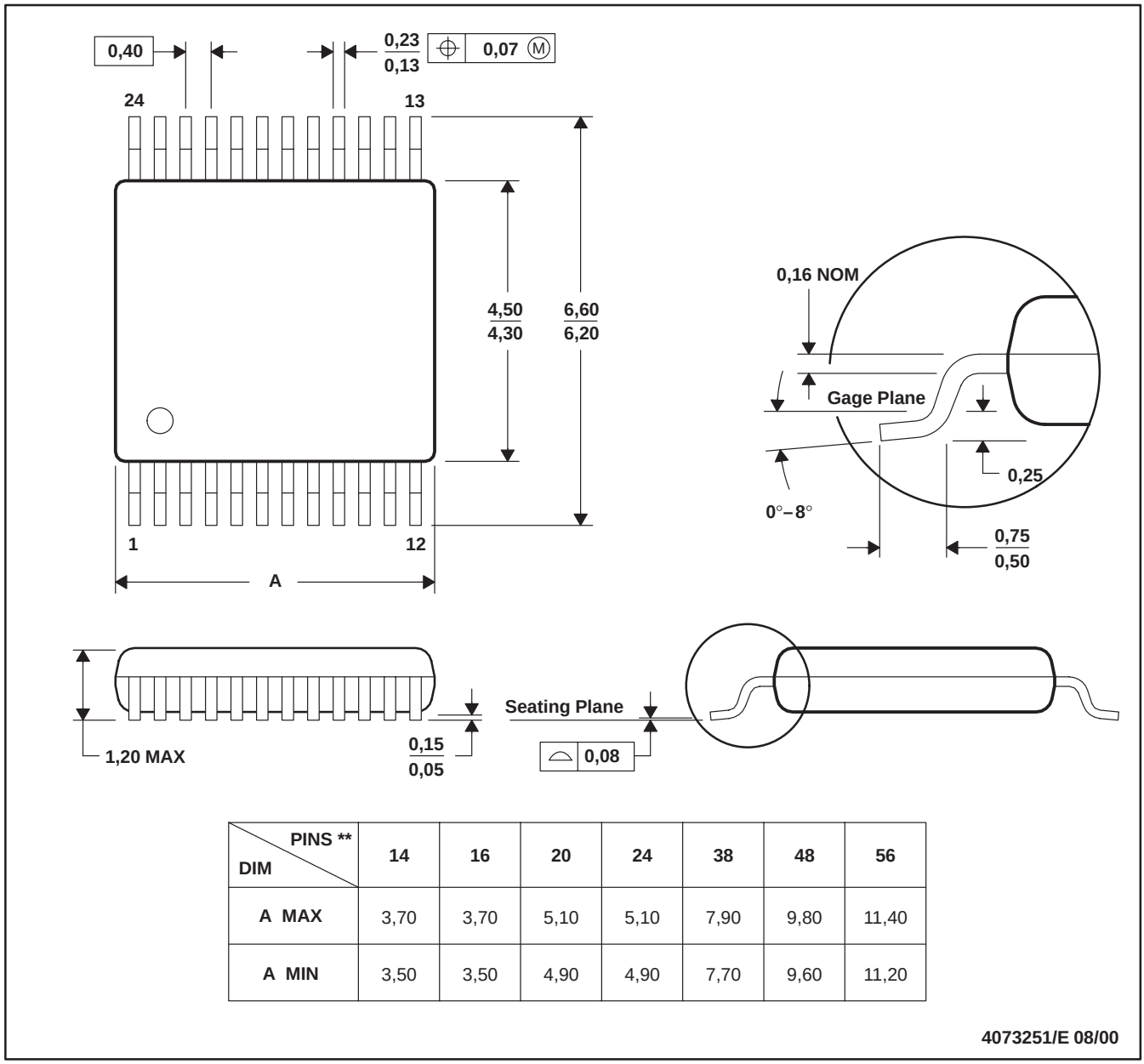
4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN



DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

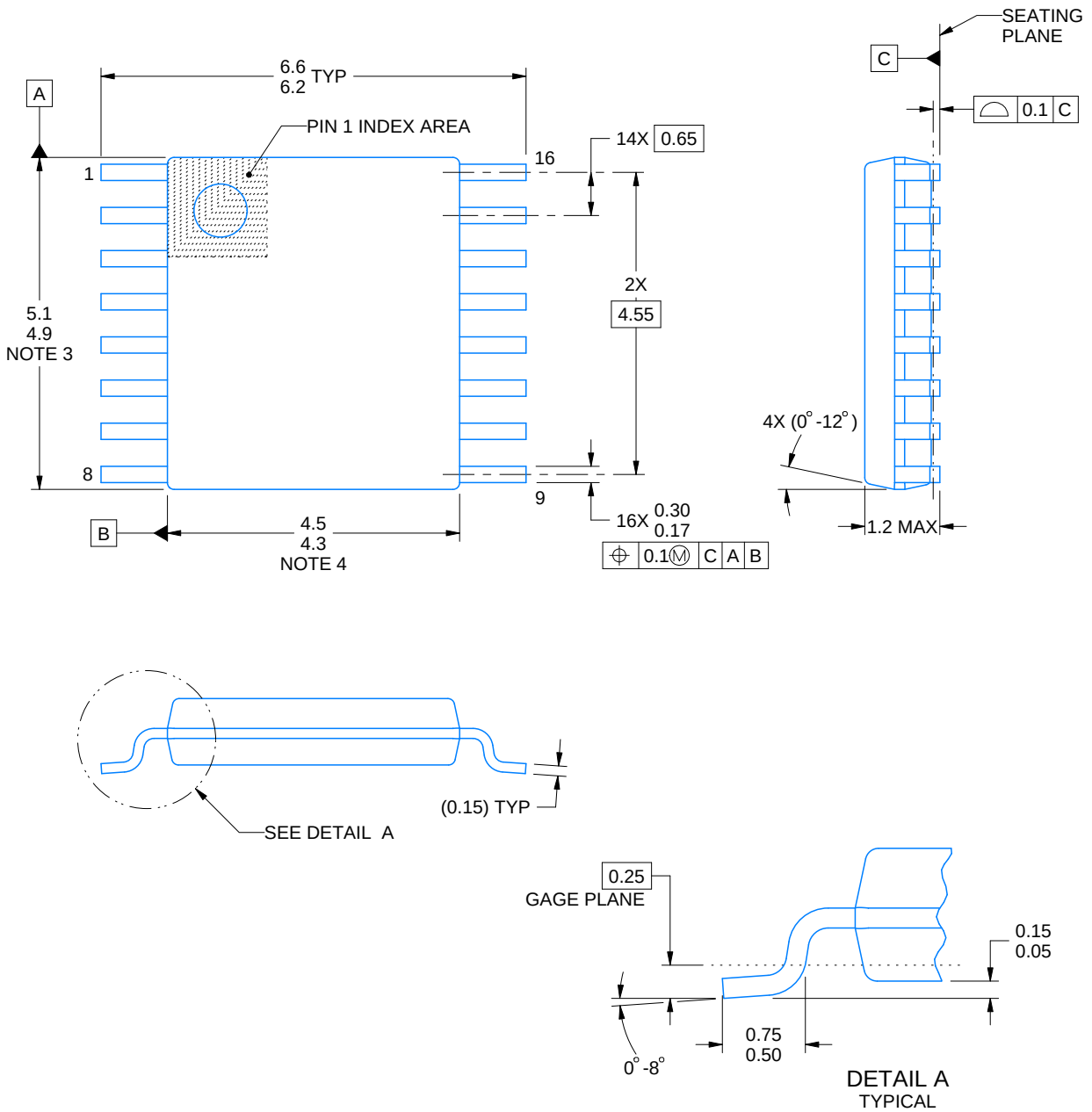
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

PACKAGE OUTLINE

PW0016A

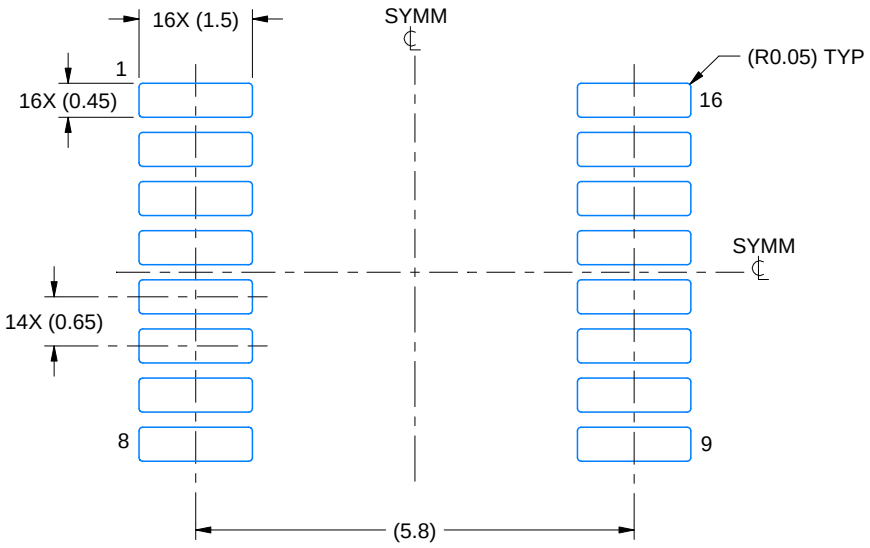
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

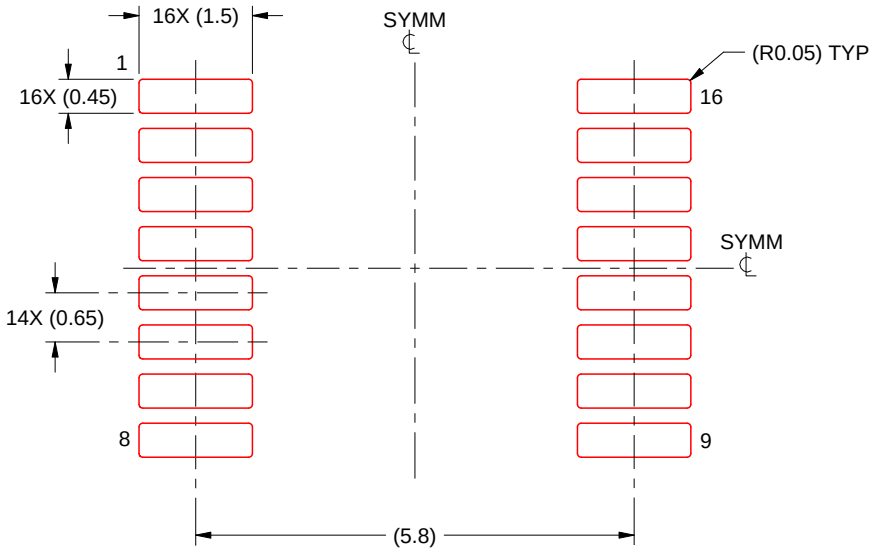


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

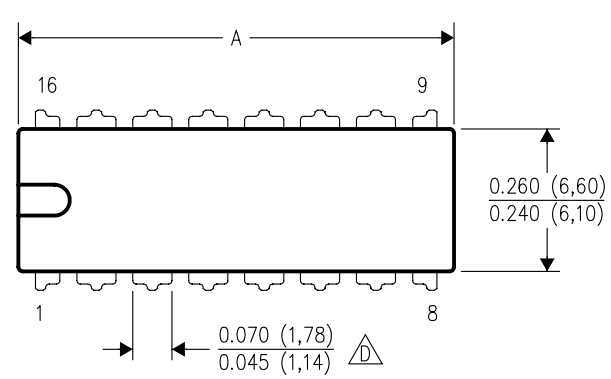
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

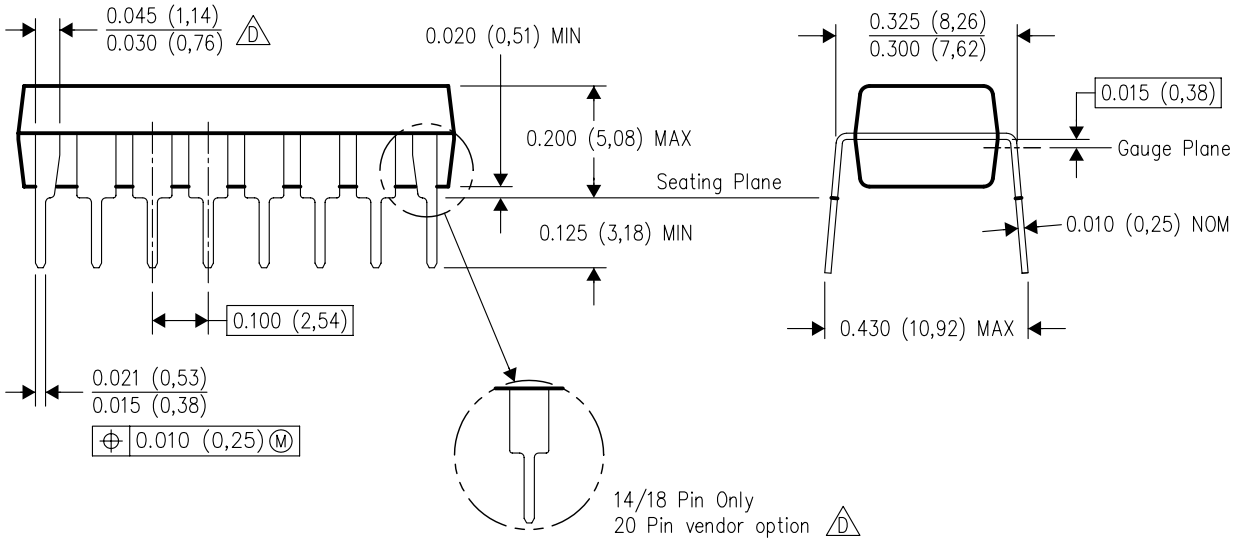
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

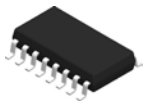


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

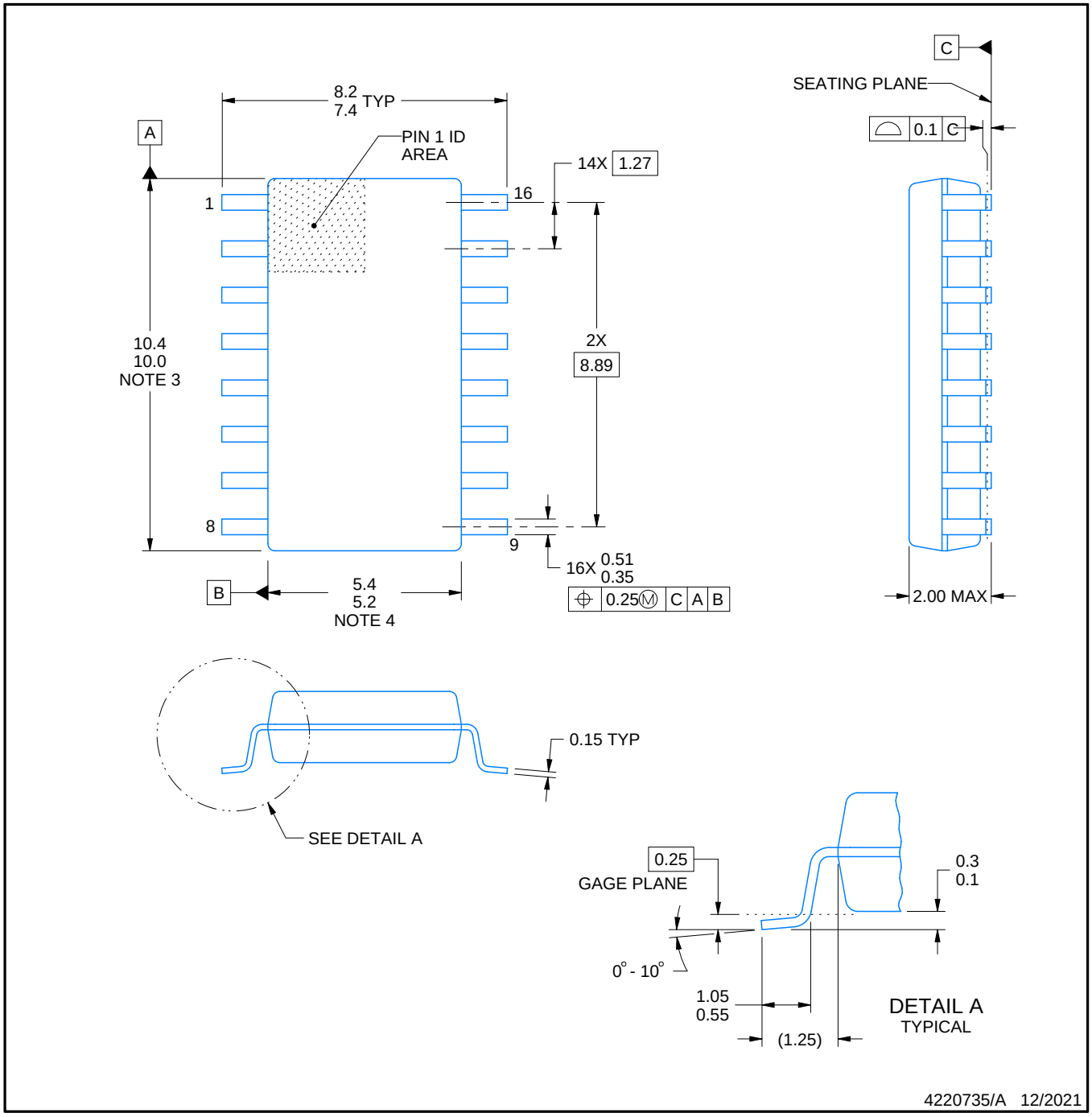


PACKAGE OUTLINE

NS0016A

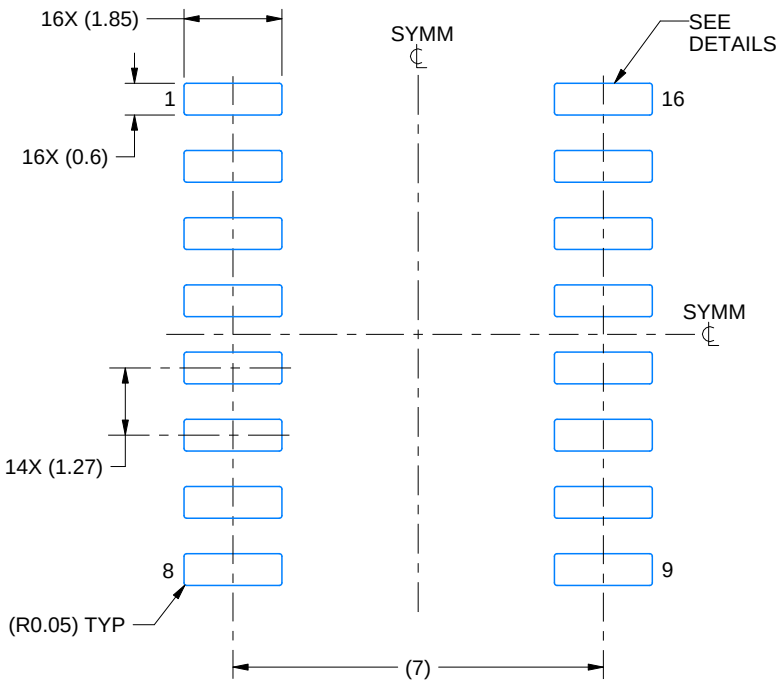
SOP - 2.00 mm max height

SOP

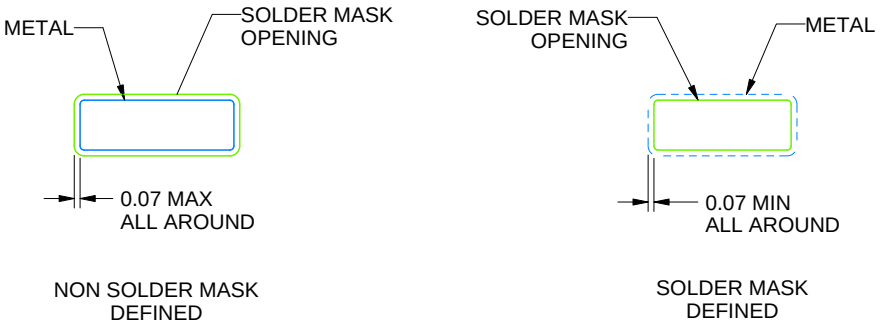


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK
DEFINED

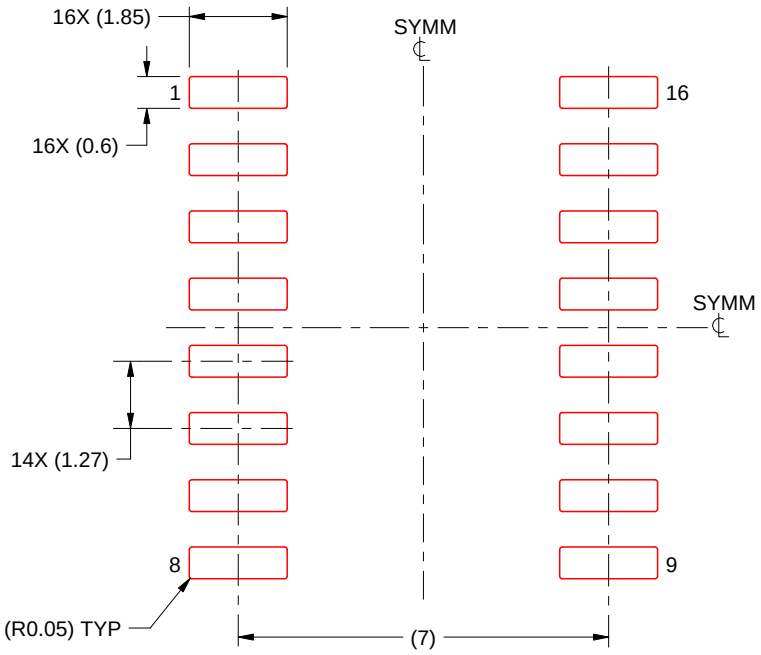
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

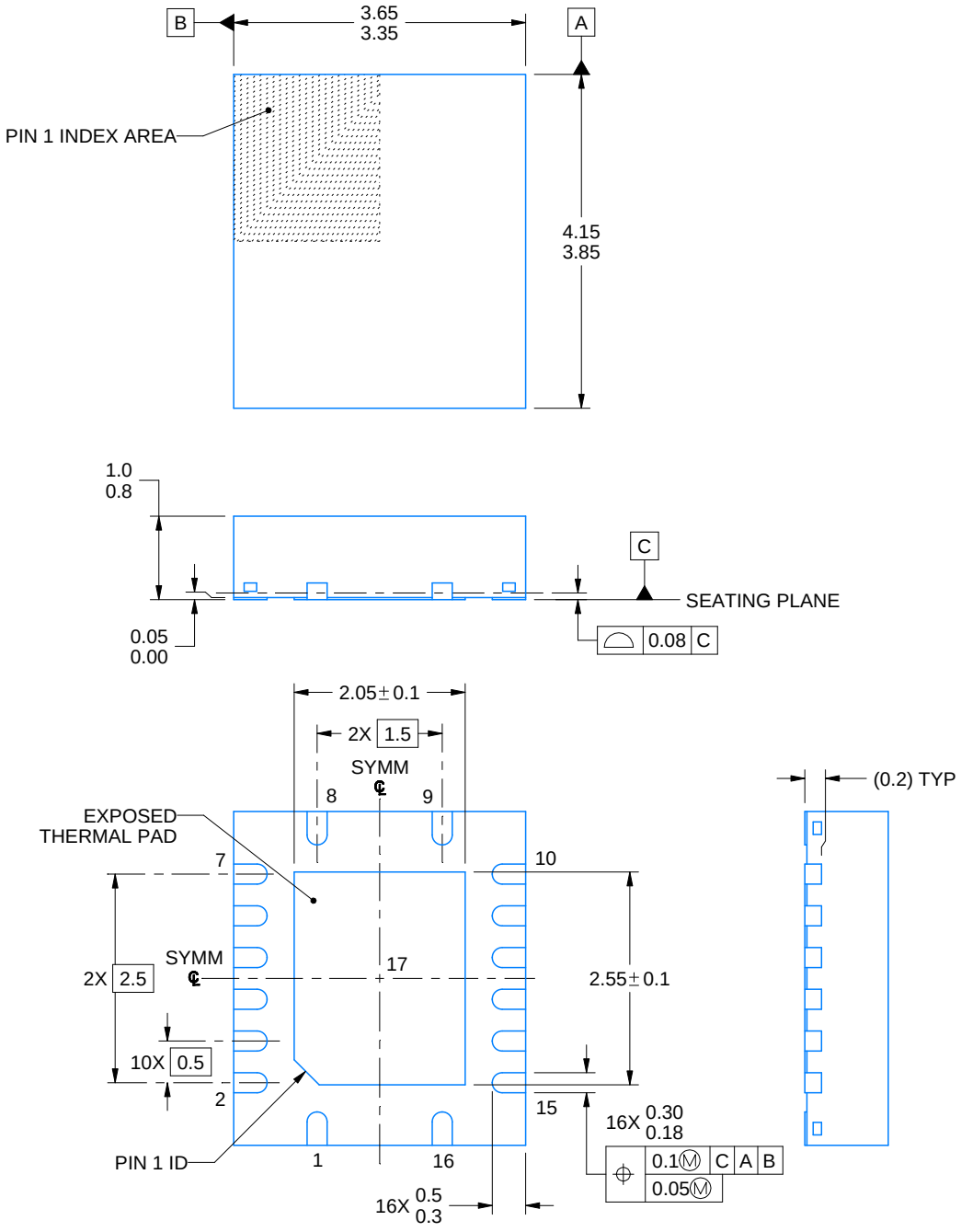
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

RGY0016A

PACKAGE OUTLINE

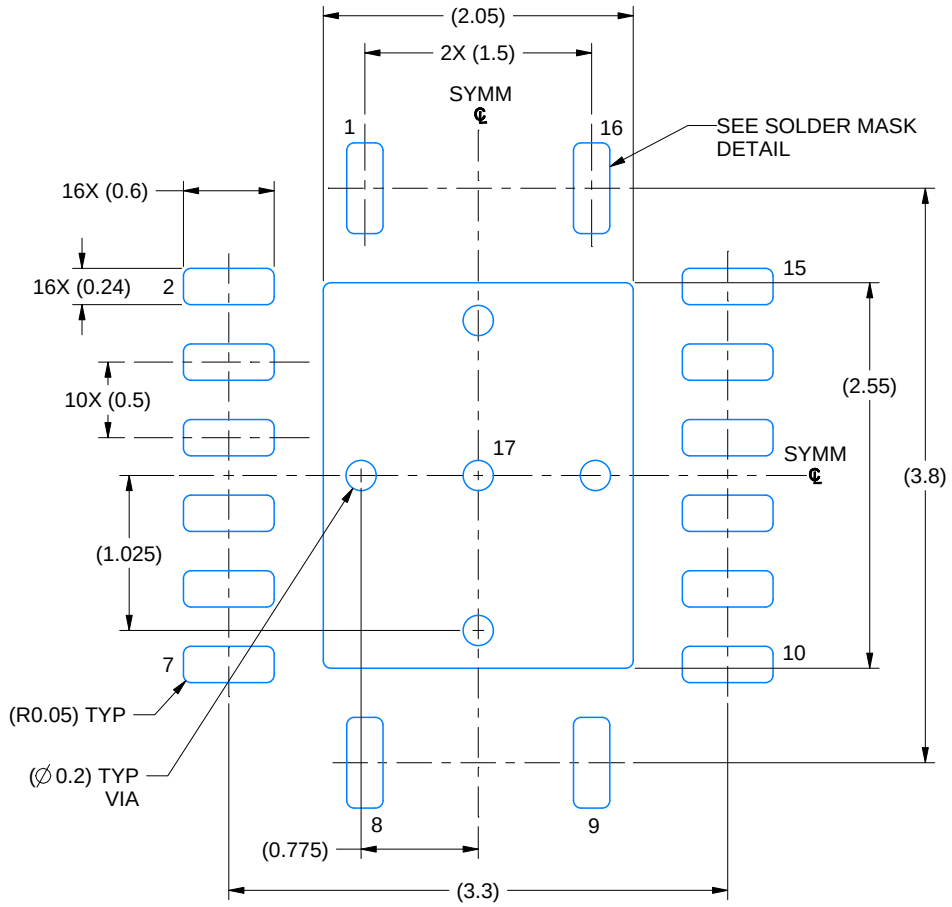
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

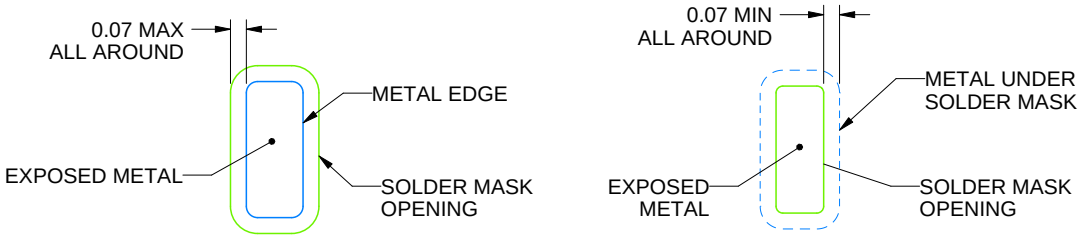


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

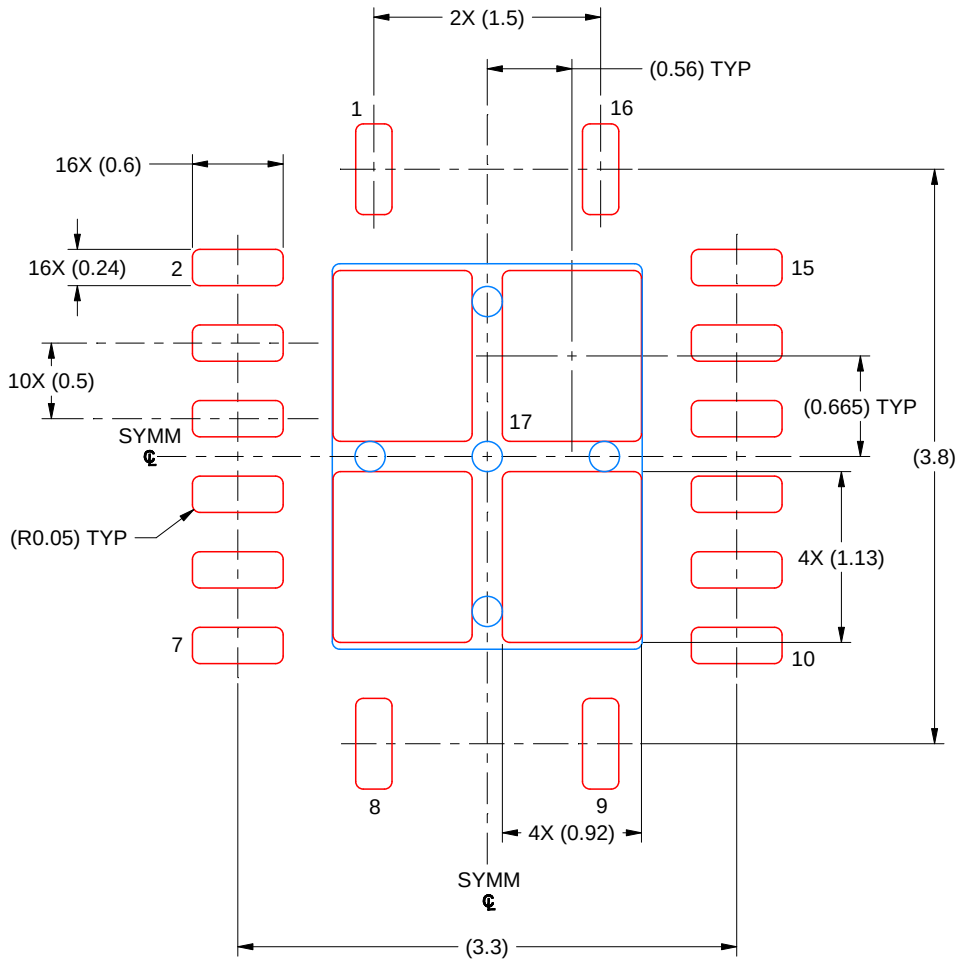


SOLDER MASK DETAILS

4225140/A 07/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 17
80% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4225140/A 07/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月