SN74ACT573-Q1 具有三态输出的汽车级八路 D 型透明锁存器

1 特性

- 工作电压范围为 4.5V 至 5.5V V_{CC}
- 输入电压高达 5.5V
- 5V 时的 t_{pd} 最大值为 9.5ns
- 输入兼容 TTL 电压

2 应用

- 并行数据存储
- 数字总线缓冲器

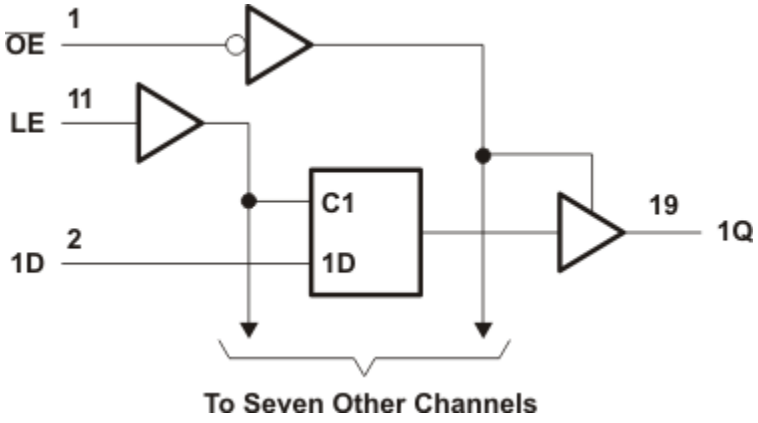
3 说明

这些 8 位锁存器具有专门设计用于驱动高电容或相对低阻抗负载的三态输出。这些器件特别适用于实现缓冲寄存器、I/O 端口、总线驱动器和工作寄存器。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74ACT573-Q1	DGS（VSSOP，20）	5.1mm x 4.9mm	5.1mm x 3mm
	PW（TSSOP，20）	6.5mm × 6.4mm	6.50mm x 4.40mm
	RKS（WQFN，20）	4.5mm × 2.5mm	4.5mm × 2.5mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 ESD 等级 4
5.3 建议运行条件 4
5.4 热性能信息 4
5.5 电气特性 5
5.6 时序特性 5
5.7 开关特性 5
5.8 典型特性 6
6 参数测量信息 7
7 详细说明 8
7.1 概述 8
7.2 功能方框图 8
7.3 器件功能模式 8
8 应用和实施 9
8.1 应用信息 9
8.2 典型应用 9
8.3 设计要求 10
8.4 详细设计过程 12
8.5 应用曲线 12
8.6 电源相关建议 12
8.7 布局 12
9 器件和文档支持 14
9.1 接收文档更新通知 14
9.2 支持资源 14
9.3 商标 14
9.4 静电放电警告 14
9.5 术语表 14
10 修订历史记录 14
11 机械、封装和可订购信息 14

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

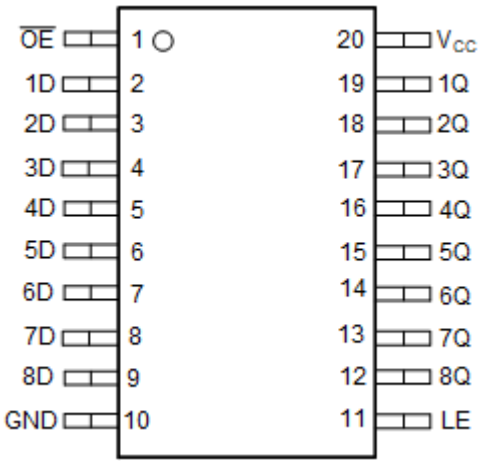


图 4-1. SN74ACT573-Q1 DGS 或 PW 封装，20 引脚 VSSOP 或 TSSOP（顶视图）

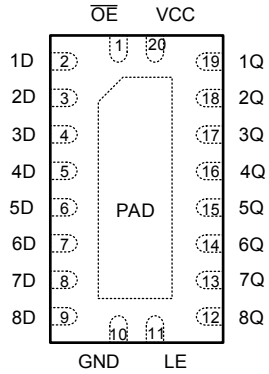


图 4-2. SN74ACT573-Q1 RKS 封装，20 引脚 VQFN（顶视图）

表 4-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
$\overline{OE}$	1	I	输出使能，低电平有效
1D	2	I	1D 输入
2D	3	I	2D 输入
3D	4	I	3D 输入
4D	5	I	4D 输入
5D	6	I	5D 输入
6D	7	I	6D 输入
7D	8	I	7D 输入
8D	9	I	8D 输入
GND	10	G	接地
LE	11	I	锁存使能输入
8Q	12	O	8Q 输出
7Q	13	O	7Q 输出
6Q	14	O	6Q 输出
5Q	15	O	5Q 输出
4Q	16	O	4Q 输出
3Q	17	O	3Q 输出
2Q	18	O	2Q 输出
1Q	19	O	1Q 输出
V_{CC}	20	P	正电源
散热焊盘[2]		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。
(2) 仅限 RKS 封装。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围(2)		-0.5	V_{CC} + 0.5V	V
V_O	输出电压范围(2)		-0.5	V_{CC} + 0.5V	V
I_{IK}	输入钳位电流	V_I < -0.5V 或 V_I > V_{CC} + 0.5V		±20	mA
I_{OK}	输出钳位电流	V_O < -0.5V 或 V_O > V_{CC} + 0.5V		±50	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}		±50	mA
	通过 V_{CC} 或 GND 的持续输出电流			±200	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。

(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002 HBM ESD 分类等级 2(1)	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 CDM ESD 分类等级 C4B	±1000	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V_{CC}	电源电压		4.5	5.5	V
V_{IH}	高电平输入电压		2		V
V_{IL}	低电平输入电压			0.8	V
V_I	输入电压		0	V_{CC}	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流			-24	mA
I_{OL}	低电平输出电流			24	mA
$\Delta t/\Delta v$	输入转换上升或下降速率			20	ns/V
T_A	自然通风条件下的工作温度范围		-40	125	°C

5.4 热性能信息

热指标(1)		DGS (VSSOP)	PW (TSSOP)	RKS (VQFN)	单位
		20 引脚	20 引脚	20 引脚	
$R_{\theta JA}$	结至环境热阻	123.6	126.2	67.7	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	62.2	68.7	72.4	°C/W
$R_{\theta JB}$	结至电路板热阻	78.7	77.3	40.4	°C/W
Ψ_{JT}	结至顶部特征参数	7.8	22.3	10.3	°C/W

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息（续）

热指标(1)		DGS (VSSOP)	PW (TSSOP)	RKS (VQFN)	单位
		20 引脚	20 引脚	20 引脚	
Ψ_{JB}	结至电路板特征参数	78.0	76.9	40.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	24.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内（除非另有说明）；T_A = 25℃ 时测得的典型值

参数	测试条件	V_{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.49		V
		5.5V	5.4	5.49		
	I_{OH} = -24mA	4.5V	3.9	4.2		
	I_{OH} = -24mA	5.5V	5	5.2		
	I_{OH} = -50mA	5.5V	4.5	4.9		
	I_{OH} = -75mA	5.5V	4	4.6		
V_{OL}	I_{OH} = 50μA	4.5V		0.01	0.1	V
		5.5V		0.01	0.1	
	I_{OH} = 24mA	4.5V		0.2	0.4	
	I_{OH} = 24mA	5.5V		0.2	0.3	
	I_{OH} = 50mA	5.5V		0.3	0.6	
	I_{OH} = 75mA	5.5V		0.5	0.9	
I_I	V_I=5.5V 或 GND	0V 至 5.5V			±1	μA
I_{OZ}	V_O = V_{CC} 或 GND	5.5V			±5	μA
I_{CC}	V_I = V_{CC} 或 GND，I_O = 0	5.5V			80	μA
ΔI_{CC}	VI = VCC – 2.1V；任意输入	4.5V 至 5.5V		0.6	1.5	mA
C_I	V_I=V_{CC} 或 GND	5V		8		pF
C_O	V_O = V_{CC} 或 GND	5V		14		pF
C_{PD}	F = 1MHz	5V		59		pF

5.6 时序特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	说明	条件	V_{CC}	T_A = 25°C		-40°C 至 125°C		单位
				最小值	最大值	最小值	最大值	
t_W	脉冲持续时间	LE 高电平	5V	3.5		4		ns
t_{SU}	设置时间	LE ↓ 之前的数据	5V	3		3.5		ns
t_H	保持时间	LE ↓ 之后的数据	5V	0		0		ns

5.7 开关特性

C_L = 50pF；在自然通风条件下的工作温度范围内；T_A = 25°C 时测得的典型值（除非另有说明）。请参阅*参数测量信息*

参数	从（输入）	到（输出）	负载电容	V_{CC}	-40°C 至 125°C			单位
					最小值	典型值	最大值	
t_{PLH}	D	Q	C_L = 50pF	5V		5.2	9.4	ns
t_{PHL}	D	Q	C_L = 50pF	5V		6.2	10.6	ns

Copyright © 2025 Texas Instruments Incorporated

C_L = 50pF；在自然通风条件下的工作温度范围内；T_A = 25°C 时测得的典型值（除非另有说明）。请参阅*参数测量信息*

参数	从（输入）	到（输出）	负载电容	V_{CC}	-40°C 至 125°C			单位
					最小值	典型值	最大值	
t_{PLH}	LE	Q	C_L = 50pF	5V		6.2	9.8	ns
t_{PHL}	LE	Q	C_L = 50pF	5V		6.3	9.9	ns
t_{PZH}	$\overline{OE}$	Q	C_L = 50pF	5V		6.1	9.5	ns
t_{PZL}	$\overline{OE}$	Q	C_L = 50pF	5V		6.3	10	ns
t_{PHZ}	$\overline{OE}$	Q	C_L = 50pF	5V		5.5	8.2	ns
t_{PLZ}	$\overline{OE}$	Q	C_L = 50pF	5V		4	6.1	ns

5.8 典型特性

T_A = 25°C（除非另有说明）

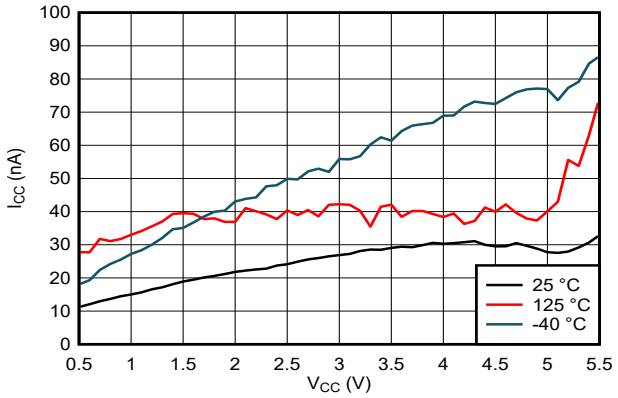


图 5-1. 电源电压两端的电源电流

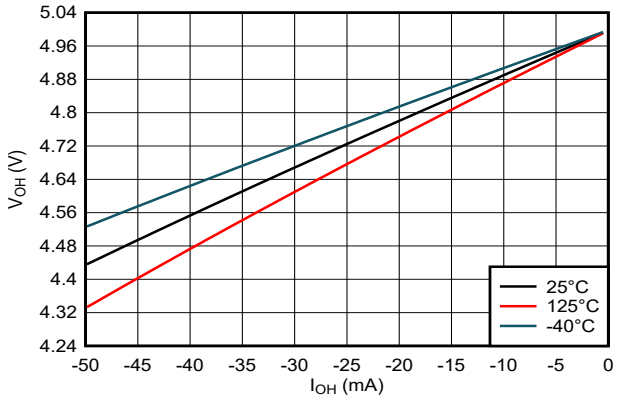


图 5-2. 高电平状态下输出电压与电流间的关系（5V 电源）

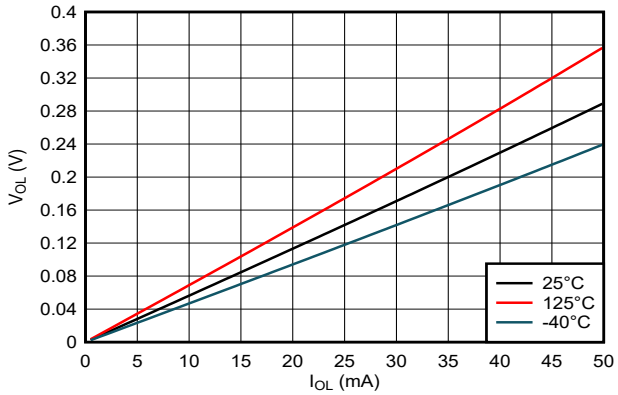
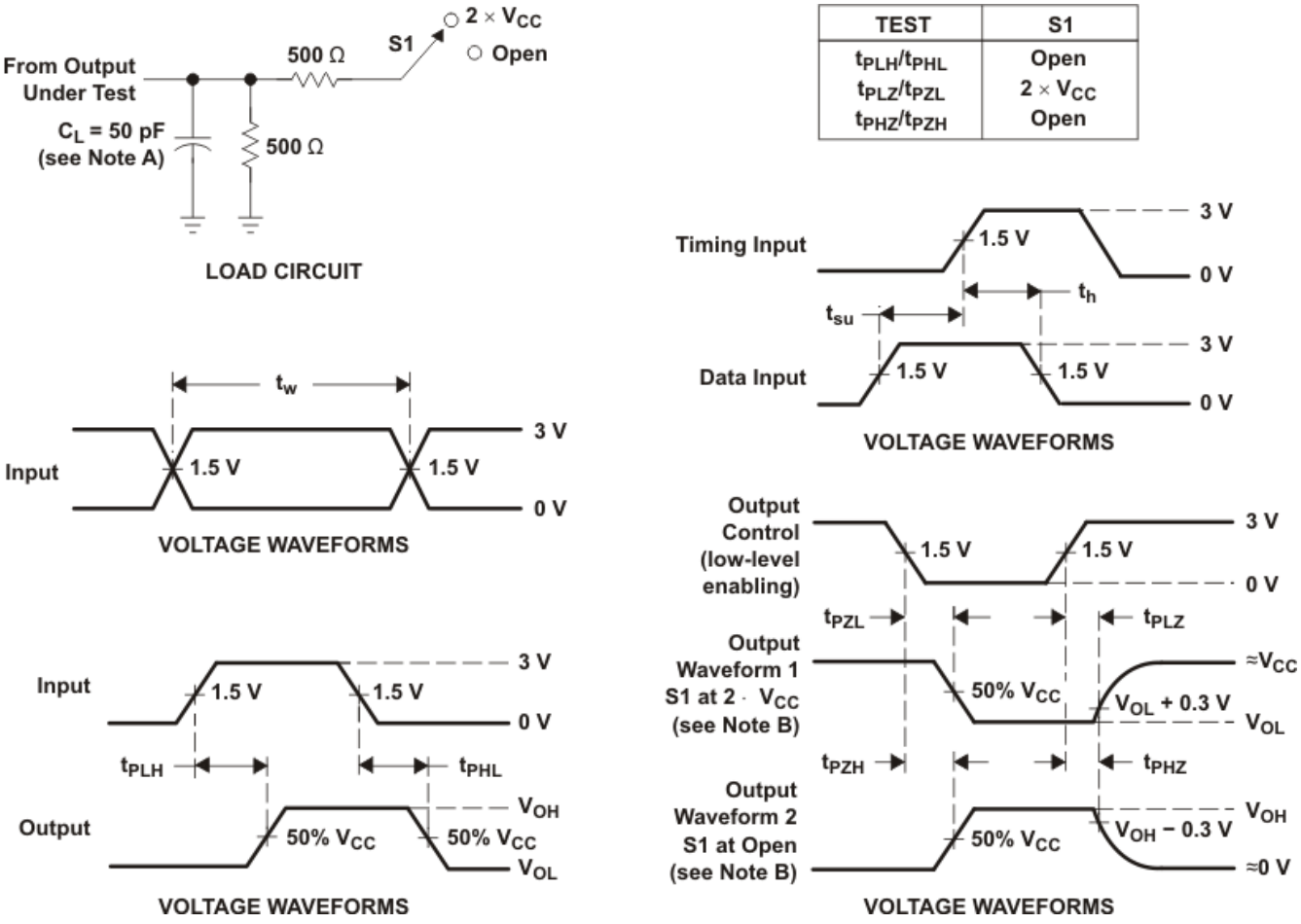


图 5-3. 低电平状态下输出电压与电流间的关系（5V 电源）

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息



A. C_L 包括探头和夹具电容。

B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。

C. 所有输入脉冲由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r ≤ 2.5ns，t_f ≤ 2.5ns。

D. 一次测量一个输出，每次测量一个输入转换。

图 6-1. 负载电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

这 8 个锁存器均是 D 型透明锁存器。在锁存器使能 (LE) 输入为高电平时，Q 输出将跟随数据 (D) 输入。当 LE 为低电平时，Q 输出锁存在 D 输入端设置的逻辑电平。

缓冲输出使能 ($\overline{OE}$) 输入可用于将八个输出置于正常逻辑状态（高或低逻辑电平）或高阻抗状态。在高阻抗状态下，输出既不对总线施加大量负载，也不显著驱动总线。高阻抗状态和增加的驱动在无需接口或上拉元件的情况下提供了驱动总线组织式系统中总线的能力。

$\overline{OE}$ 不影响锁存器的内部运行。当输出处于高阻抗状态时，可以保留旧数据或输入新数据。

要在上电或断电期间将器件置于高阻抗状态，应通过一个上拉电阻器将 $\overline{OE}$ 连接至 V_{CC}；该电阻器的最小值由驱动器的电流灌入能力决定。

7.2 功能方框图

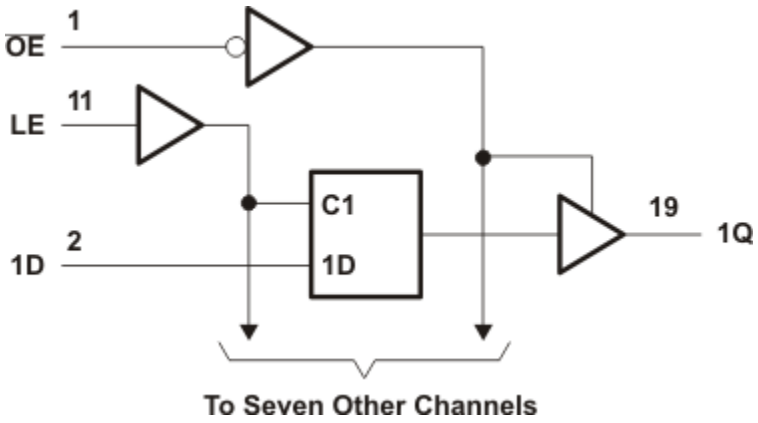


图 7-1. 逻辑图（正逻辑）

7.3 器件功能模式

功能表
（每个锁存器）

输入			输出
$\overline{OE}$	LE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

SN74ACT573-Q1 可用于在较长布线或传输线中驱动信号。可以使用与发送器输出串联的串联阻尼电阻器来减少由于驱动器、传输线和接收器之间阻抗不匹配引起的振铃。*应用曲线* 部分的图展示了使用三种不同电阻值接收到的信号。在这种类型的应用中，只需少量电阻就会对信号完整性产生显著影响。

8.2 典型应用

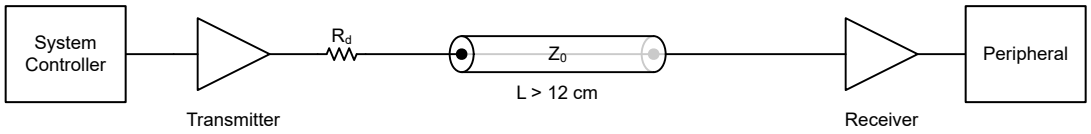


图 8-1. 典型应用框图

Copyright © 2025 Texas Instruments Incorporated

8.3 设计要求

8.3.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74ACT573-Q1 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74ACT573-Q1 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74ACT573-Q1 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74ACT573-Q1 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2025 Texas Instruments Incorporated

8.3.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74ACT573-Q1 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SN74ACT573-Q1 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

8.3.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

Copyright © 2025 Texas Instruments Incorporated

8.4 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74ACT573-Q1 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

8.5 应用曲线

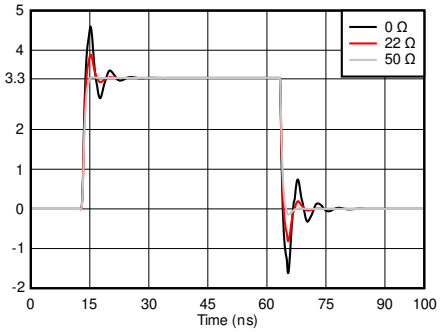


图 8-2. 使用不同阻尼电阻器 (R_d) 值的接收器模拟信号完整性

8.6 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.7 布局

8.7.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能；例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

Copyright © 2025 Texas Instruments Incorporated

8.7.2 布局示例

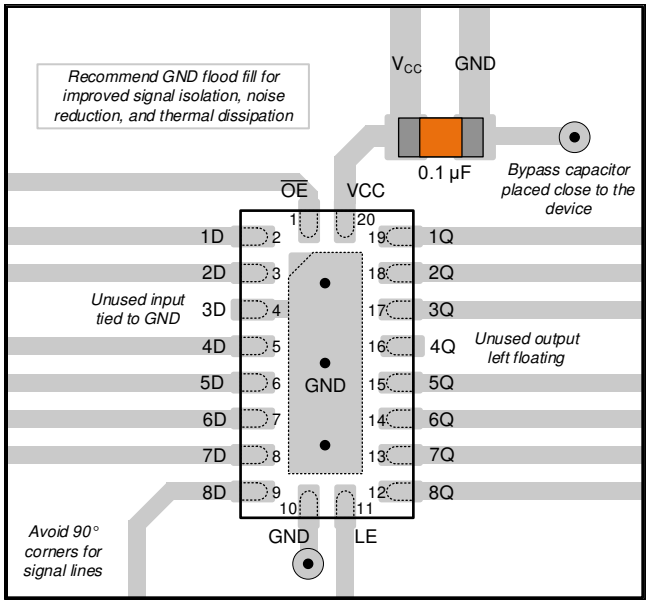


图 8-3. 采用 RKS 封装的 SN74ACT573-Q1 的示例布局

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from Revision A (March 2024) to Revision B (December 2024)	Page
• 向*封装信息* 表、*引脚配置和功能* 部分和*热性能信息* 表中添加了 DGS 封装	1

Changes from Revision * (November 2023) to Revision A (March 2024)	Page
• 向*封装信息* 表、*引脚配置和功能* 部分和*热性能信息* 表中添加了 PW 封装	1

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74ACT573QDGSRQ1	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1M573Q
SN74ACT573QDGSRQ1.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1M573Q
SN74ACT573QPWRQ1	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ACT573Q
SN74ACT573QPWRQ1.A	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ACT573Q
SN74ACT573QWRKSRQ1	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ACT573Q
SN74ACT573QWRKSRQ1.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	ACT573Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74ACT573-Q1 :

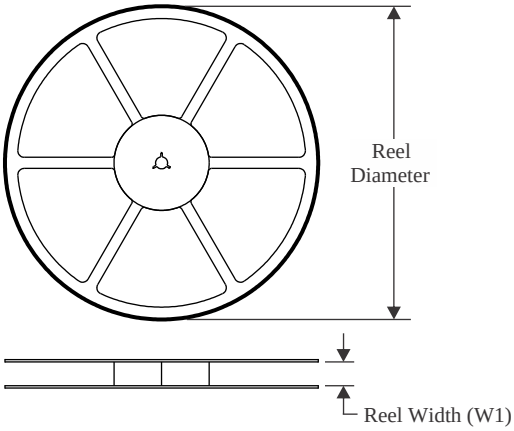
- Catalog : SN74ACT573
- Military : SN54ACT573

NOTE: Qualified Version Definitions:

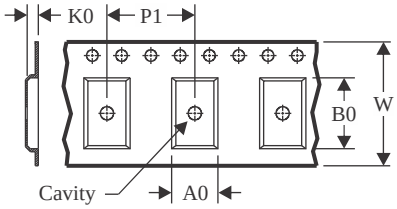
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

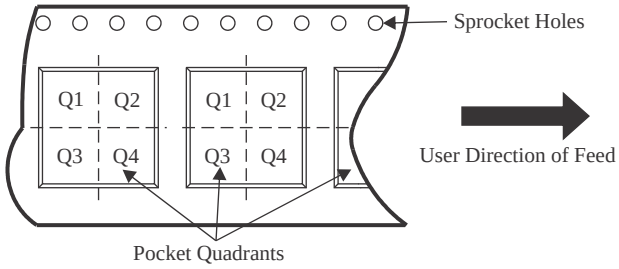


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

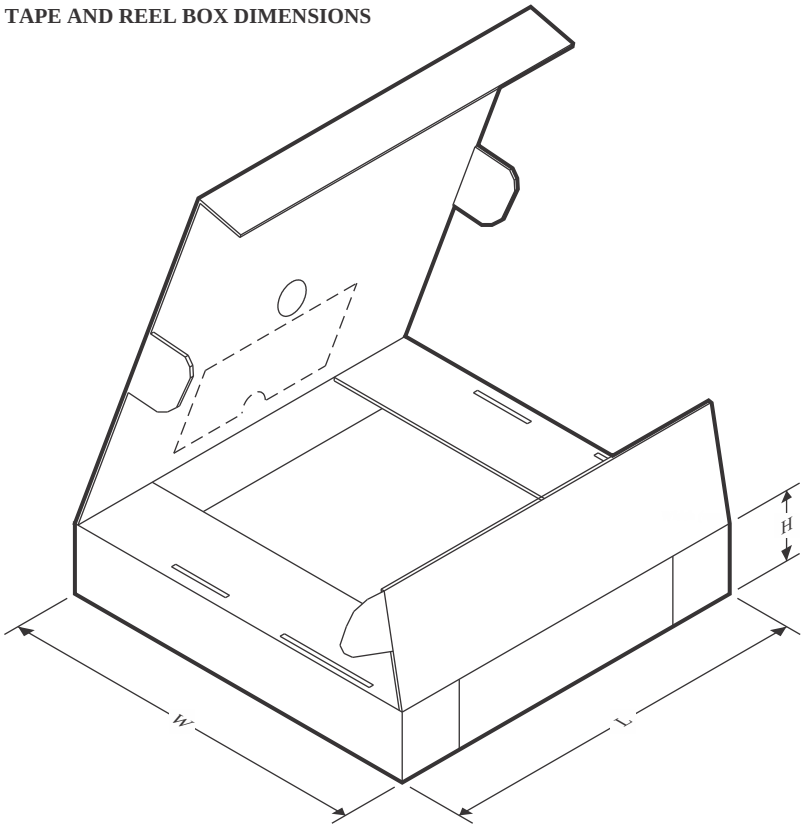
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74ACT573QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74ACT573QPWRQ1	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74ACT573QWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

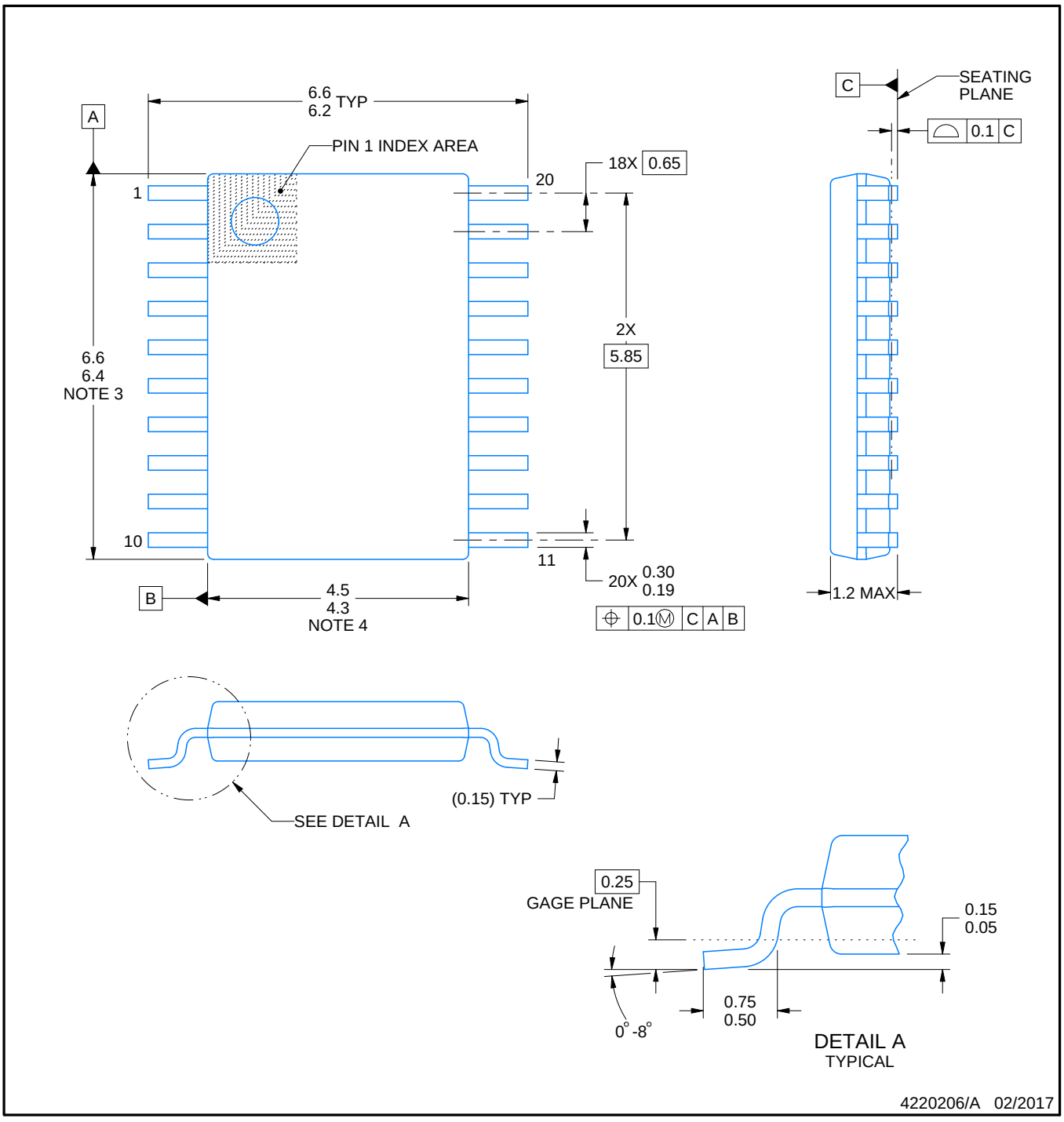
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74ACT573QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74ACT573QPWRQ1	TSSOP	PW	20	3000	353.0	353.0	32.0
SN74ACT573QWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0

PACKAGE OUTLINE

PW0020A

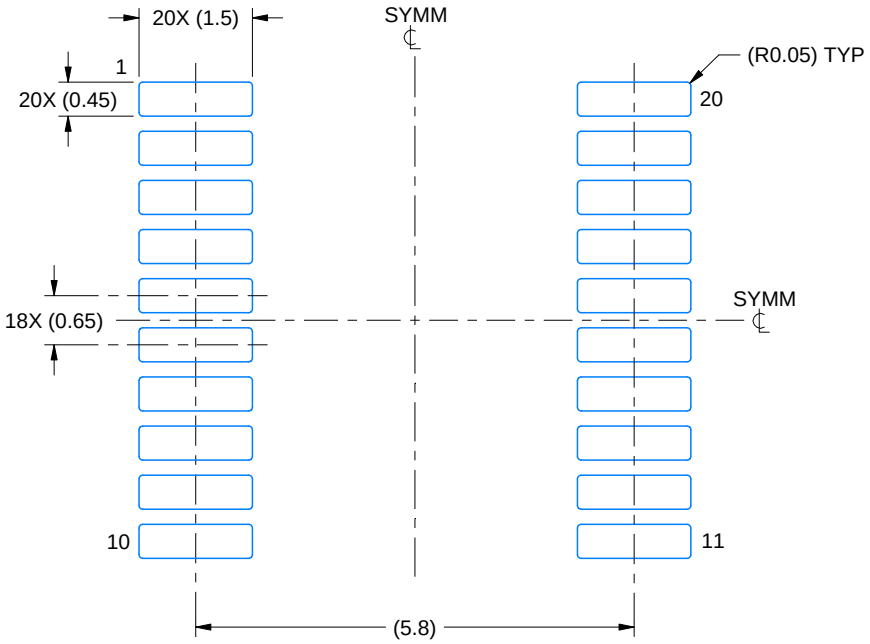
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

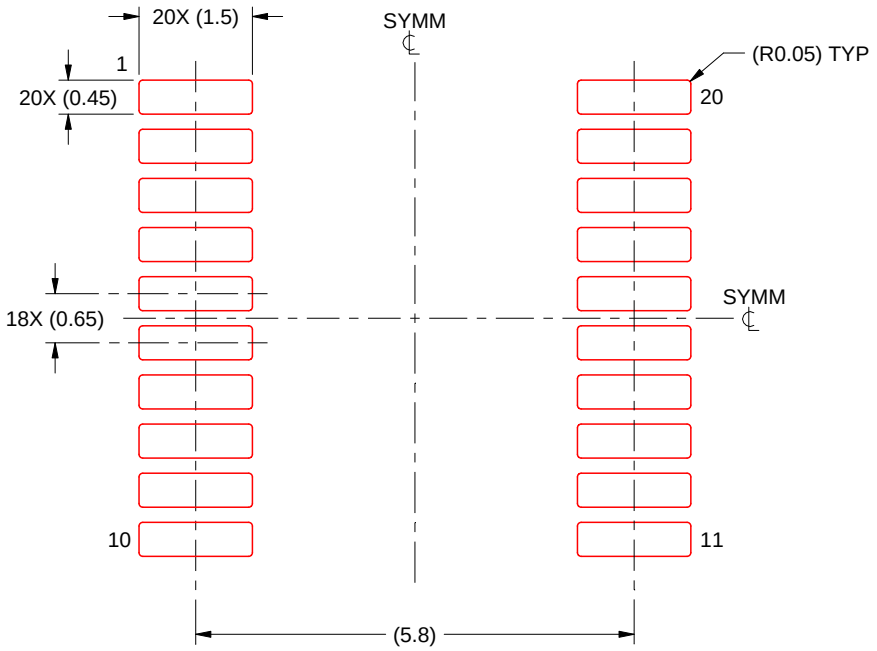
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

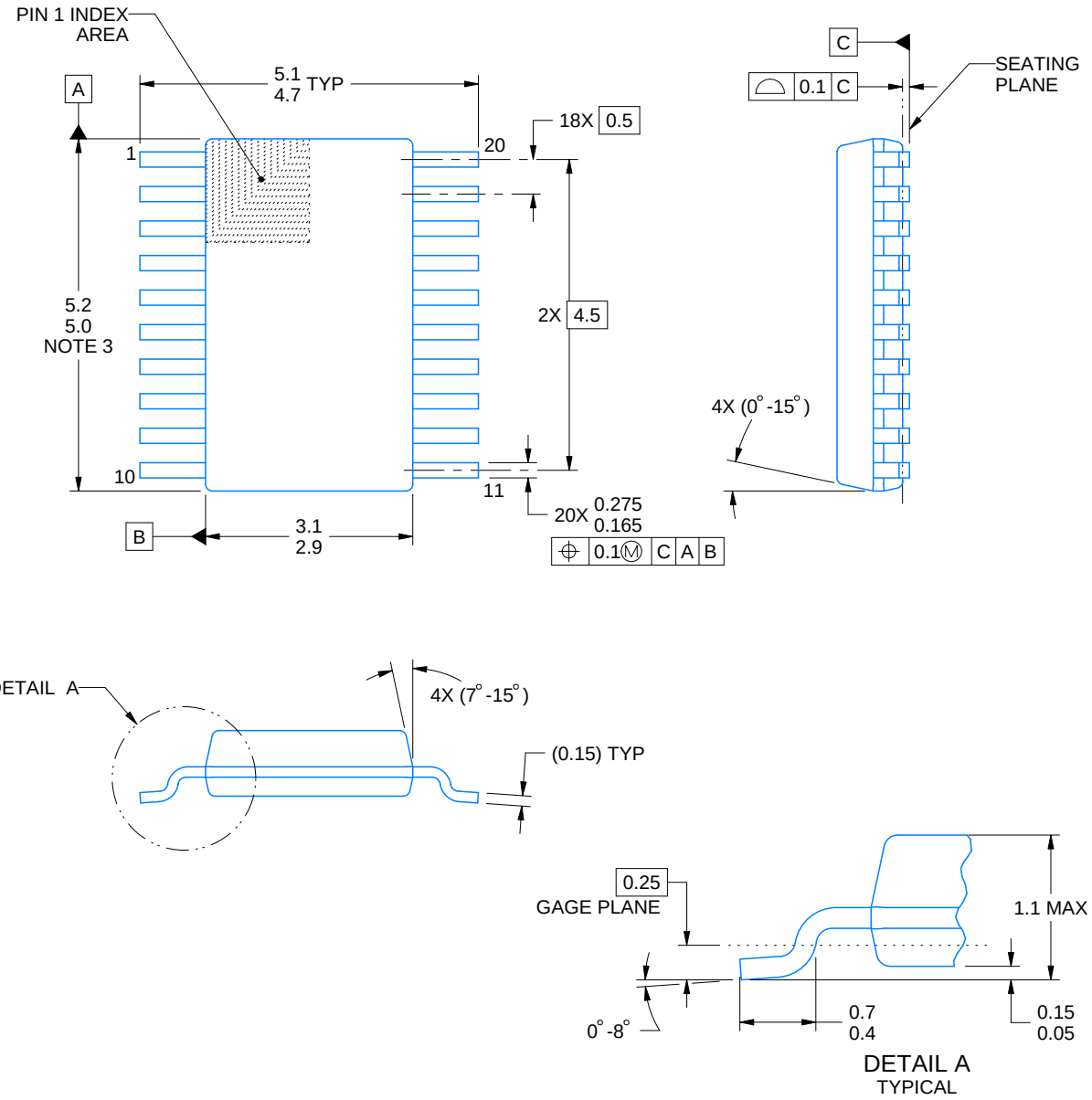
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

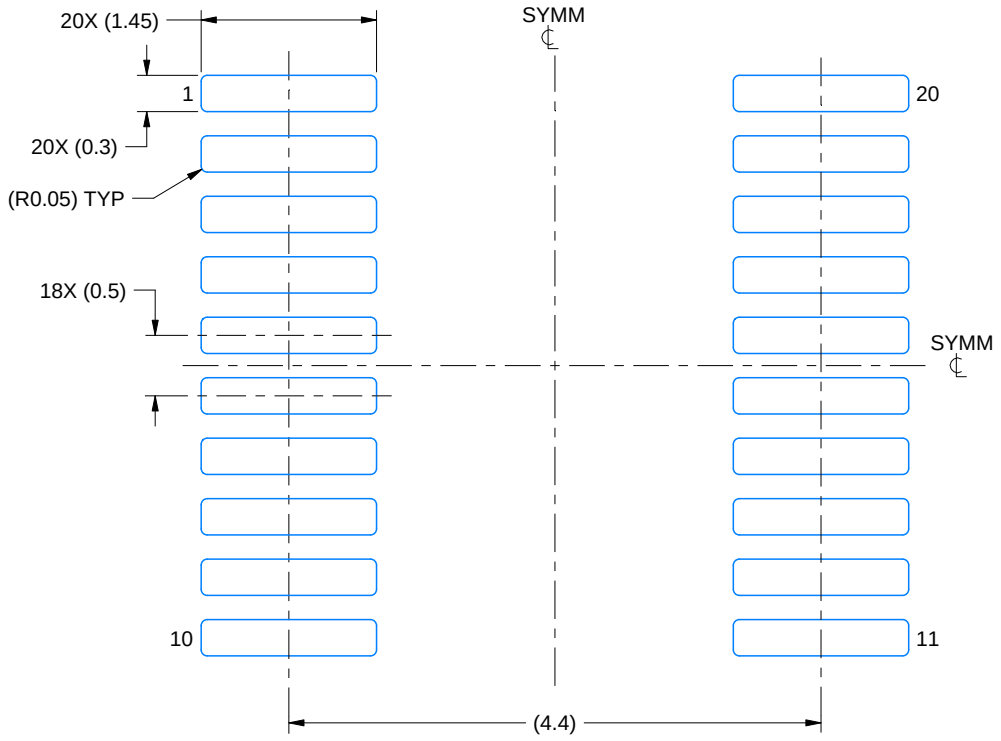
SMALL OUTLINE PACKAGE



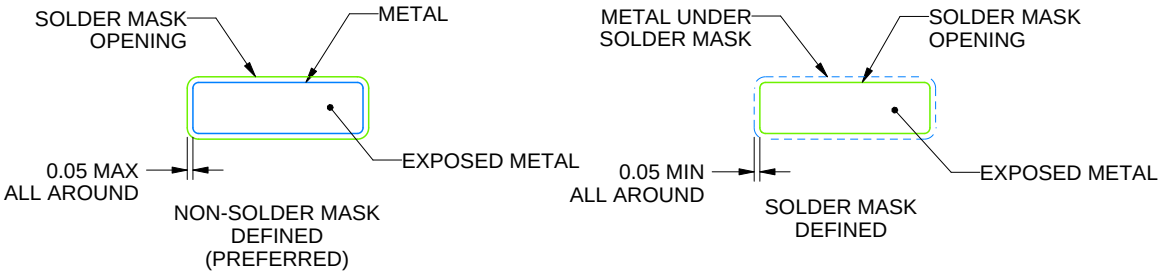
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

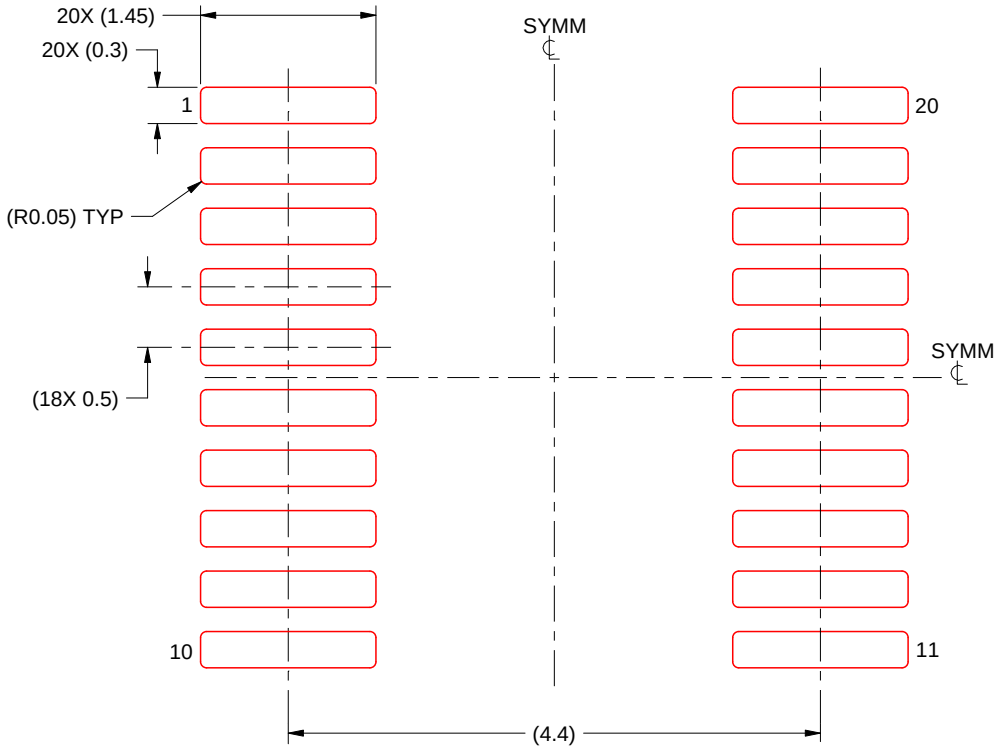


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

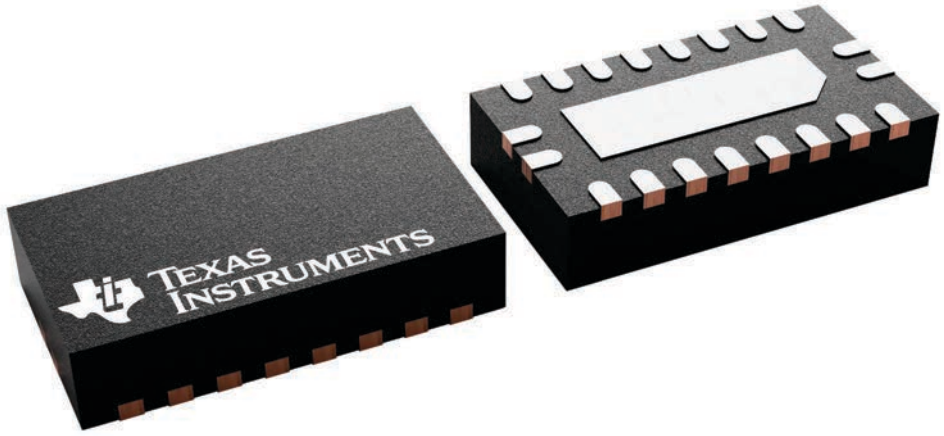
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226872/A

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月