SN74ACT3G99 具有三态输出和 TTL 兼容型施密特触发输入的三路超级可配置多功能门

1 特性

- 4.5V 至 5.5V 的工作电压范围
- TTL 兼容型施密特触发输入支持慢速和高噪声输入信号
- 电压为 5V 时，为 ±24mA 的连续输出驱动
- 电压为 5V 时，支持高达 ±75mA 的输出驱动（短时突发）
- 驱动 50Ω 传输线
- 快速运行，延迟为 12ns（最大值）

2 应用

- 将电源正常信号相结合
- 将使能信号相结合
- 消除缓慢或嘈杂输入信号
- 同步反相时钟输入
- 对开关进行去抖
- 使用更少的输入来监测错误信号
- 数据选择
- 多路复用

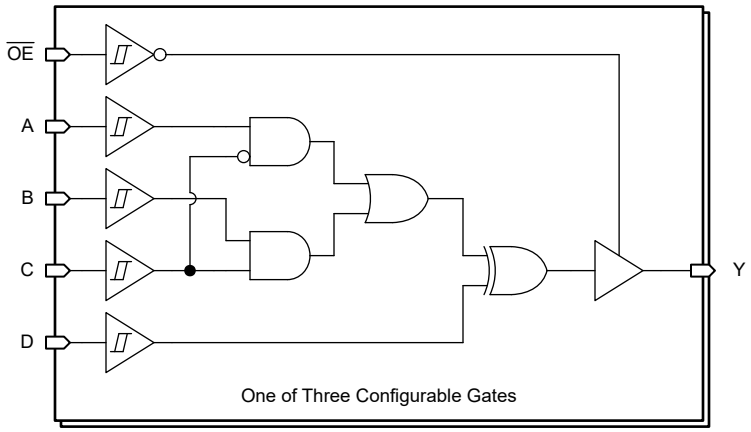
3 说明

SN74ACT3G99 器件包含三个具有三态输出的独立可配置逻辑门。每个门有四个输入并执行布尔函数 $Y = (A \bullet \overline{C} + B \bullet C) \oplus D$。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN74ACT3G99	DGS（VSSOP，20）	7.2mm × 7.8mm	7.2mm × 5.3mm
	PW（TSSOP，20）	6.5mm × 6.4mm	6.5mm × 4.4mm
	RKS（VQFN，20）	4.5mm × 2.5mm	4.5mm × 2.5mm

(1) 有关更多信息，请参阅节 11。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



功能图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 开关特性.....5
5.7 典型特性.....6
6 参数测量信息.....7
7 详细说明.....8
7.1 概述.....8
7.2 功能方框图.....8
7.3 组合逻辑配置.....8
7.4 特性说明.....10
7.5 器件功能模式.....11
8 应用和实施.....12
8.1 应用信息.....12
8.2 典型应用.....12
8.3 电源相关建议.....15
8.4 布局.....15
9 器件和文档支持.....17
9.1 文档支持.....17
9.2 接收文档更新通知.....17
9.3 支持资源.....17
9.4 商标.....17
9.5 静电放电警告.....17
9.6 术语表.....17
10 修订历史记录.....17
11 机械、封装和可订购信息.....17

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

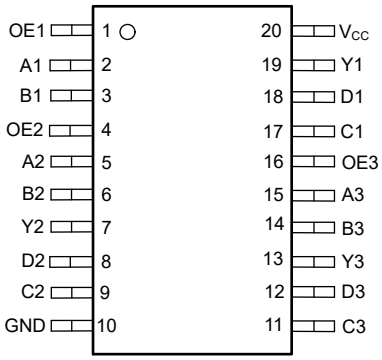


图 4-1. PW 或 DGS 封装，20 引脚 TSSOP 或 VSSOP（顶视图）

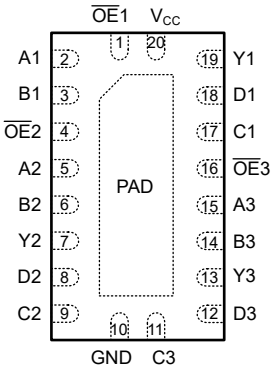


图 4-2. RKS 封装，20 引脚 VQFN（透明顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
$\overline{OE}$1	1	I	通道 1 的输出使能输入，低电平有效
A1	2	I	通道 1，输入 A
B1	3	I	通道 1，输入 B
$\overline{OE}$2	4	I	通道 2 的输出使能输入，低电平有效
A2	5	I	通道 2，输入 A
B2	6	I	通道 2，输入 B
Y2	7	O	通道 2，输出 Y
D2	8	I	通道 2，输入 D
C2	9	I	通道 2，输入 C
GND	10	G	接地
C3	11	I	通道 3，输入 C
D3	12	I	通道 3，输入 D
Y3	13	O	通道 3，输出 Y
B3	14	I	通道 3，输入 B
A3	15	I	通道 3，输入 A
$\overline{OE}$3	16	I	通道 3 的输出使能输入，低电平有效
C1	17	I	通道 1，输入 C
D1	18	I	通道 1，输入 D
Y1	19	O	通道 1，输出 Y
V_{CC}	20	P	正电源
散热焊盘(2)		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源
(2) 仅限 RKS 封装。

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围(2)		-0.5	V_{CC} + 0.5V	V
V_O	输出电压范围(2)		-0.5	V_{CC} + 0.5V	V
I_{IK}	输入钳位电流	V_I < -0.5V 或 V_I > V_{CC} + 0.5V		±20	mA
I_{OK}	输出钳位电流	V_O < -0.5V 或 V_O > V_{CC} + 0.5V		±50	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}		±50	mA
	通过 V_{CC} 或 GND 的持续输出电流			±200	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CC}	电源电压		4.5	5.5	V
V_I	输入电压		0	V_{CC}	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流			-24	mA
I_{OL}	低电平输出电流			24	mA
T_A	自然通风条件下的工作温度范围		-40	125	°C

5.4 热性能信息

封装	引脚	热指标(1)						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	20	109.6	51.8	71.4	8.9	70.7	-	°C/W
RKS (VQFN)	20	74.1	78.6	47.3	14.6	47.3	30.4	°C/W
DGS (VSSOP)	20	124.5	62.9	79.2	7.8	78.7	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2024 Texas Instruments Incorporated

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	-40°C 至 125°C			单位
			最小值	典型值	最大值	
V_{T+}	正向输入阈值电压	4.5V	1.28	1.58	1.83	V
		5V	1.37	1.67	1.93	
		5.5V	1.46	1.76	2.02	
V_{T-}	负向输入阈值电压	4.5V	0.65	0.93	1.2	V
		5V	0.68	0.98	1.25	
		5.5V	0.71	1.01	1.29	
ΔV_T	迟滞 ($V_{T+} - V_{T-}$)	4.5V	0.51	0.64	0.75	V
		5V	0.55	0.69	0.81	
		5.5V	0.59	0.74	0.88	
V_{OH}	I_{OH} = -50μA	4.5V	4.4	4.499		V
		5.5V	5.4	5.499		
	I_{OH} = -24mA	4.5V	3.7			
	I_{OH} = -24mA	5.5V	4.7			
	I_{OH} = -75mA(3)	5.5V	3.85			
V_{OL}	I_{OL} = 50μA	4.5V		0.001	0.1	V
		5.5V		0.001	0.1	
	I_{OL} = 24mA	4.5V			0.5	
	I_{OL} = 24mA	5.5V			0.5	
	I_{OL} = 75mA(3)	5.5V			1.65	
I_I	V_I = 5.5V 或 GND	0V 至 5.5V			±1	μA
I_{OZ}	$V_O = V_{CC}$ 或 GND	5.5V			±1	μA
I_{CC}	$V_I = V_{CC}$ 或 GND，I_O = 0	5.5V			2	μA
ΔI_{CC}	$V_I = V_{CC}$ – 2.1V；任意输入	4.5V 至 5.5V			200	μA
C_I	$V_I = V_{CC}$ 或 GND	5V		2		pF
C_O	$V_O = V_{CC}$ 或 GND	5V		4		pF
C_{PD} (1) (2)	C_L = 50pF，F = 1MHz	5V		57		pF

(1) C_{PD} 用于确定每通道的动态功耗
(2) $P_D = V_{CC}{}^2 x F_I x (C_{PD} + C_L)$，其中 F_I= 输入频率，C_L= 输出负载电容，V_{CC}= 电源电压
(3) 一次不应测试超过一个输出，且测试持续时间不应超过 2ms。

5.6 开关特性

C_L = 50pF；在自然通风条件下的工作温度范围内；T_A = 25°C 时测得的典型值（除非另有说明）

参数	从（输入）	至（输出）	V_{CC}	-40°C 至 125°C			单位
				最小值	典型值	最大值	
t_{plh}	A、B、C	Y	5V		7.6	12	ns
t_{phl}	A、B、C	Y	5V		7.6	11.8	ns
t_{plh}	D	Y	5V		7.3	11.5	ns
t_{phl}	D	Y	5V		7.4	11.5	ns
t_{pzl}	$\overline{OE}$	Y	5V		8.3	11.8	ns
t_{pzh}	$\overline{OE}$	Y	5V		8.3	11.9	ns
t_{plz}	$\overline{OE}$	Y	5V		3.4	4.8	ns

Copyright © 2024 Texas Instruments Incorporated

C_L = 50pF；在自然通风条件下的工作温度范围内；T_A = 25°C 时测得的典型值（除非另有说明）

参数	从（输入）	至（输出）	V_{CC}	-40°C 至 125°C			单位
				最小值	典型值	最大值	
t_{phz}	$\overline{OE}$	Y	5V		4.4	6.3	ns

5.7 典型特性

T_A = 25°C（除非另有说明）

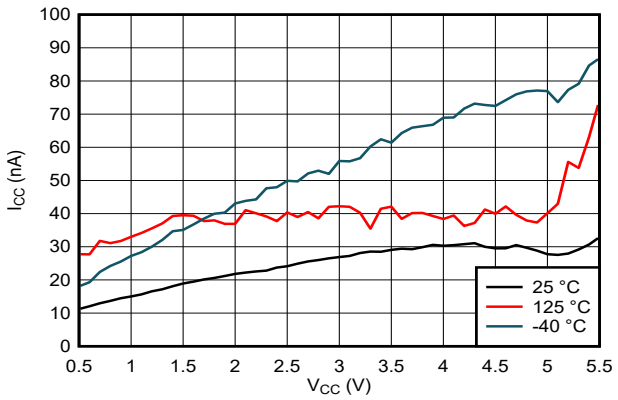


图 5-1. 电源电压两端的电源电流

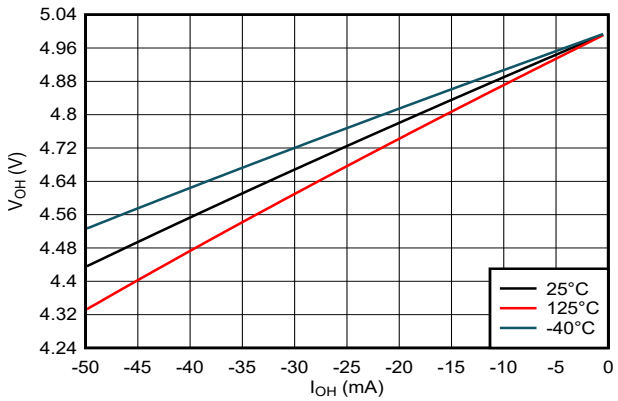


图 5-2. 高电平状态下输出电压与电流间的关系（5V 电源）

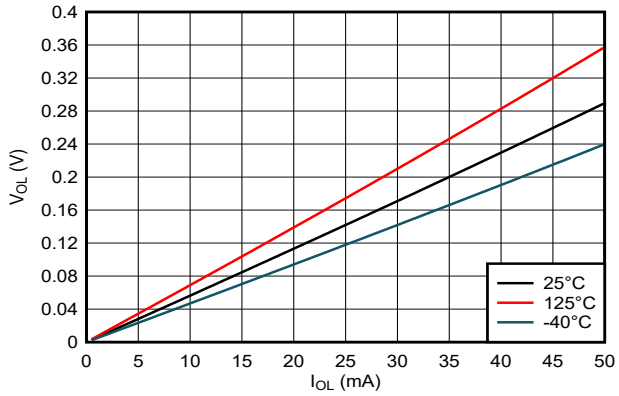


图 5-3. 低电平状态下输出电压与电流间的关系（5V 电源）

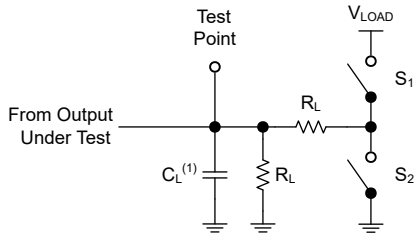
Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t < 2.5ns，V_t = 1.5V。

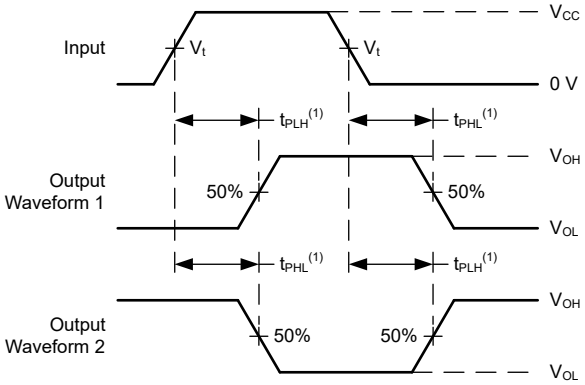
输出单独测量，每次测量一个输入转换。

测试	S1	S2	R_L	C_L	Δ V	V_{LOAD}
t_{PLH}、t_{PHL}	断开	断开	500 Ω	50pF	—	—
t_{PLZ}、t_{PZL}	闭合	断开	500 Ω	50pF	0.3V	2×V_{CC}
t_{PHZ}，t_{PZH}	断开	闭合	500 Ω	50pF	0.3V	—



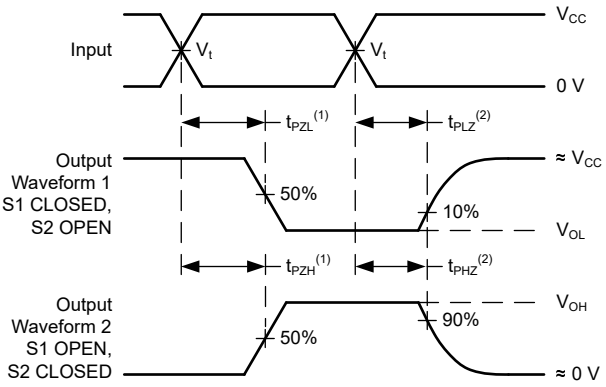
(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

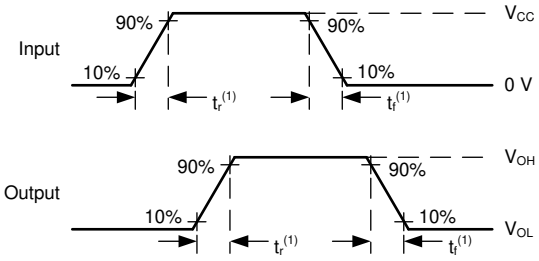
图 6-2. 电压波形传播延迟



(1) t_{PZL} 和 t_{PZH} 之间的较大者与 t_{en} 相同。

(2) t_{PLZ} 和 t_{PHZ} 之间的较大者与 t_{dis} 相同。

图 6-3. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

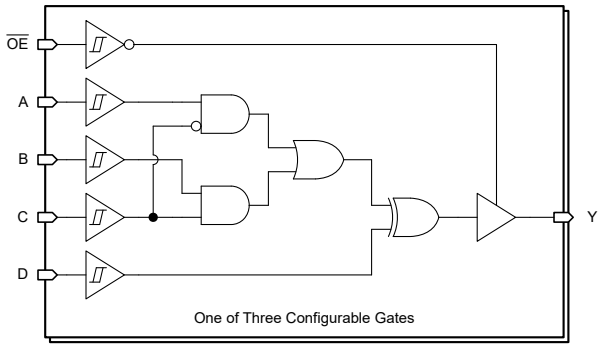
图 6-4. 电压波形，输入和输出转换时间

7 详细说明

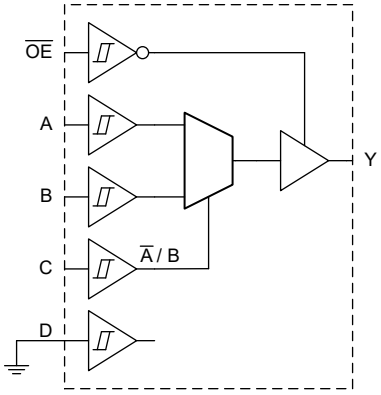
7.1 概述

SN74ACT3G99 器件包含三个具有三态输出的独立超级可配置门。每个门都有一个独立的低电平有效输出使能($\overline{OE}$)。器件的每个通道都执行布尔函数 Y = (A•$\overline{C}$+B•C)⊕D。用户可以通过适当地连接输入 A、B、C 和 D 来选择逻辑功能、例如 MUX、AND、OR、NAND、NOR、XOR、XNOR、反相器和缓冲器。

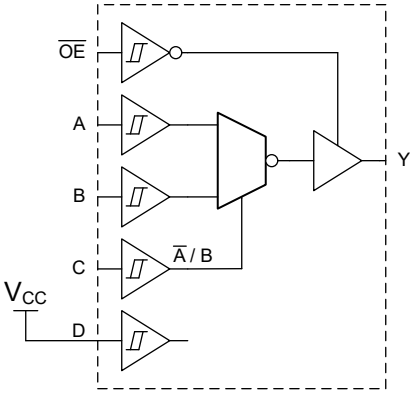
7.2 功能方框图



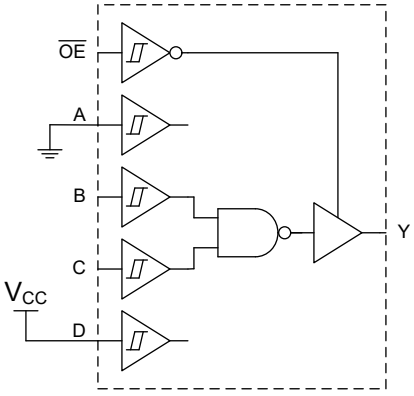
7.3 组合逻辑配置



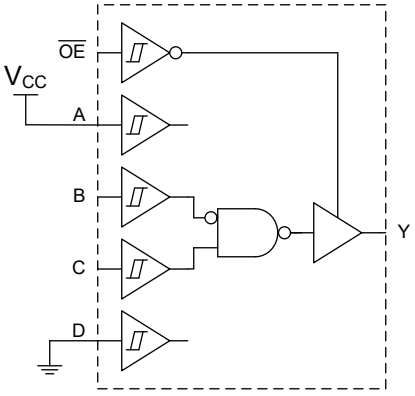
2 线至 1 线数据选择器



具有反相输出的 2:1 数据选择器

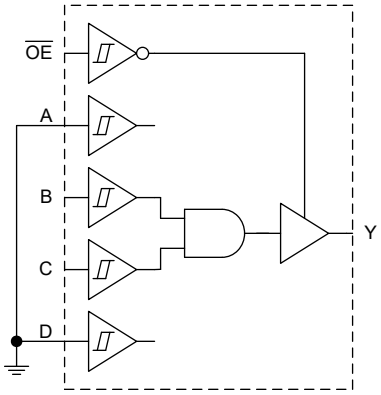


双输入与非门

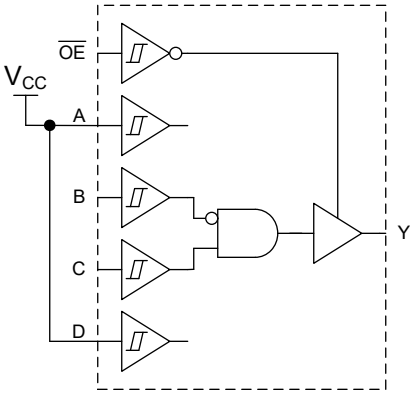


具有 1 个反相输入的双输入与非门

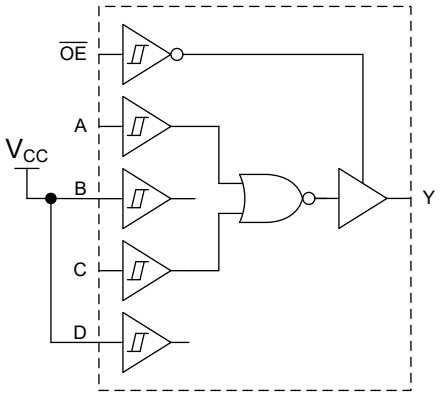
Copyright © 2024 Texas Instruments Incorporated



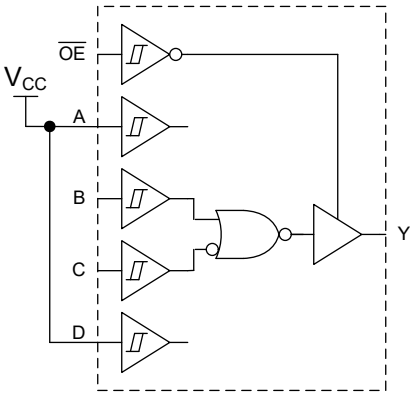
双输入与门



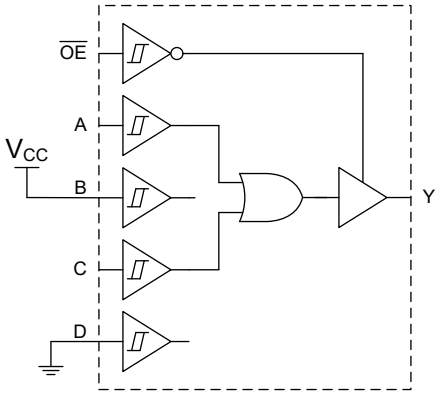
具有 1 个反相输入的双输入与门



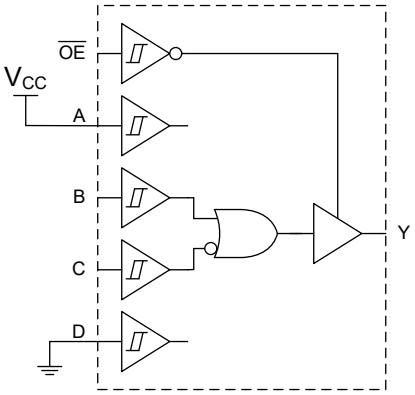
双输入或非门



具有 1 个反相输入的双输入或非门

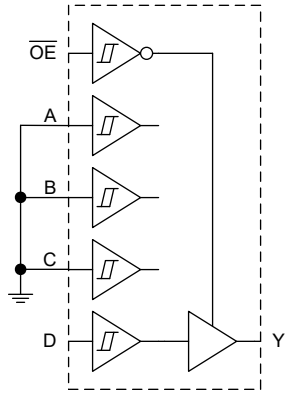


双输入或门

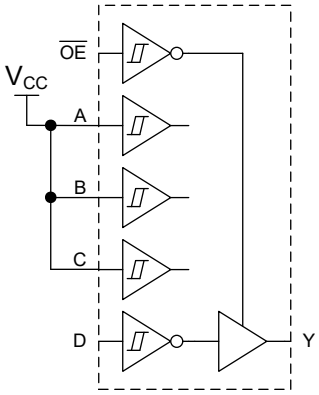


具有 1 个反相输入的双输入或门

Copyright © 2024 Texas Instruments Incorporated



施密特触发缓冲器



施密特触发反相器

图 7-1. 逻辑配置

7.4 特性说明

7.4.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但*电气特性*表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10kΩ 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

7.4.2 TTL 兼容型施密特触发 CMOS 输入

该器件包含采用施密特触发架构的 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型施密特触发 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是使用*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，根据欧姆定律 (R = V ÷ I) 计算得出的。

施密特触发输入架构可提供由*电气特性*表中的 ΔV_T 定义的迟滞，因而此器件能够很好地耐受慢速或高噪声输入。虽然输入的驱动速度可能比标准 CMOS 输入慢得多，但仍建议正确端接未使用的输入。使用缓慢的转换信号驱动输入会增加器件的动态电流消耗。有关施密特触发输入的其他信息，请参阅了解施密特触发。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

7.4.3 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 7-2 所示。

Copyright © 2024 Texas Instruments Incorporated

小心

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

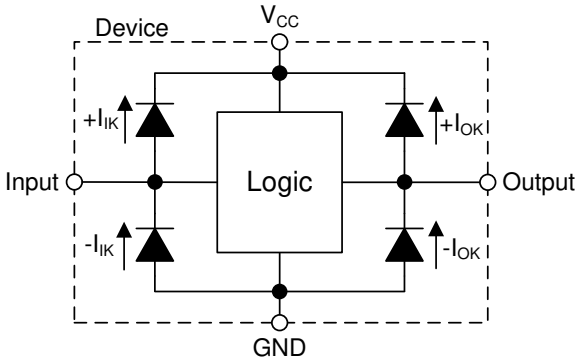


图 7-2. 每个输入和输出的钳位二极管的电气布置

7.5 器件功能模式

表 7-1 列出了 SN74ACT3G99 的功能模式。

表 7-1. 功能表

输入(1)					输出(2)
$\overline{OE}$	D	C	B	A	Y
L	L	L	L	L	L
L	L	L	L	H	H
L	L	L	H	L	L
L	L	L	H	H	H
L	L	H	L	L	L
L	L	H	L	H	L
L	L	H	H	L	H
L	L	H	H	H	H
L	H	L	L	L	H
L	H	L	L	H	L
L	H	L	H	L	H
L	H	L	H	H	L
L	H	H	L	L	H
L	H	H	L	H	H
L	H	H	H	L	L
L	H	H	H	H	L
H	X	X	X	X	Z

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑
(2) H = 驱动为高电平，L = 驱动为低电平，Z = 高阻抗状态

Copyright © 2024 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74ACT3G99 器件为许多设计应用提供灵活的配置。本示例介绍了使用与门配置的基本器件控制。SN74ACT3G99 用于根据 V_{CC} 电压的状态来选择来自 MCU 的信号。

8.2 典型应用

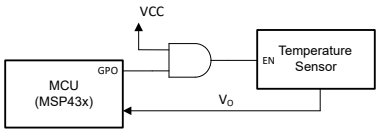


图 8-1. 典型应用原理图

Copyright © 2024 Texas Instruments Incorporated

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74ACT3G99 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SN74ACT3G99 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74ACT3G99 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74ACT3G99 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2 输入注意事项

输入信号必须超过 才能被视为逻辑低电平，超过 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74ACT3G99 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

Copyright © 2024 Texas Instruments Incorporated

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74ACT3G99 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

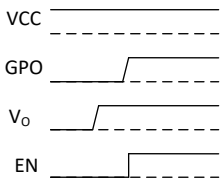


图 8-2. 典型应用时序图

8.3 电源相关建议

电源可以是*建议运行条件* 中所列最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于 SN74ACT3G99，建议使用 0.1 µF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 0.1 µF 和 1 µF 的电容器通常并联使用。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的信号进行缓冲

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

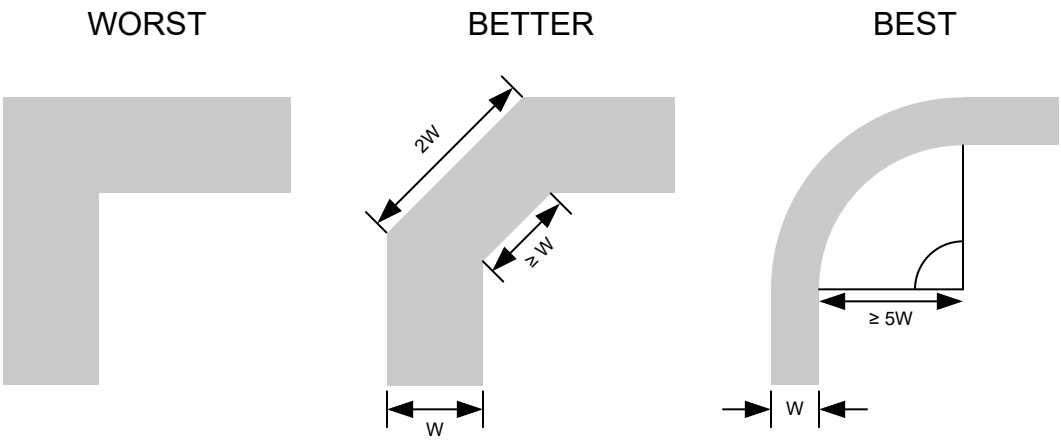


图 8-3. 可改善信号完整性的布线转角示例

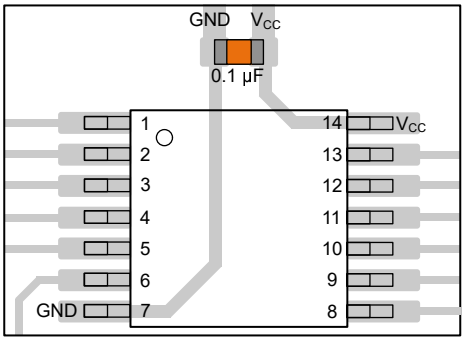


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

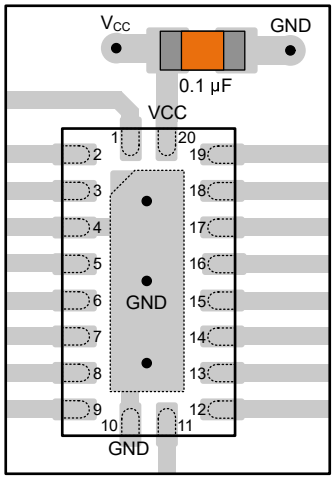


图 8-5. WQFN 和类似封装的旁路电容器放置示例

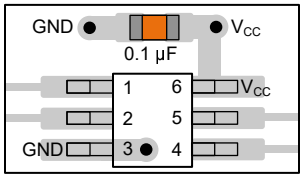


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

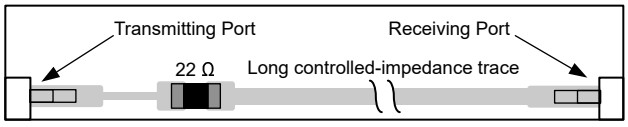


图 8-7. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2024 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
2024 年 11 月	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74ACT3G99DGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD99
SN74ACT3G99DGSR.A	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD99
SN74ACT3G99PWR	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD3G99
SN74ACT3G99PWR.A	Active	Production	TSSOP (PW) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AD3G99
SN74ACT3G99RKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AD3G99
SN74ACT3G99RKSR.A	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AD3G99

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74ACT3G99 :

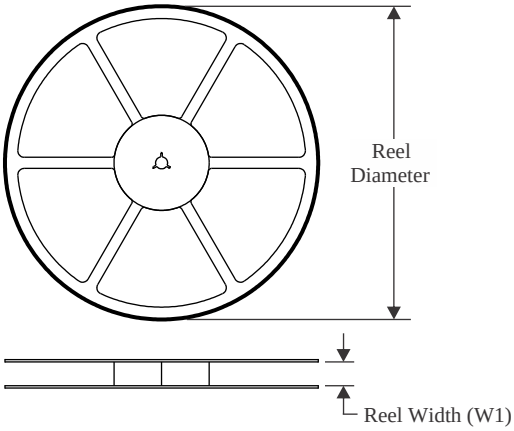
- Automotive : SN74ACT3G99-Q1

NOTE: Qualified Version Definitions:

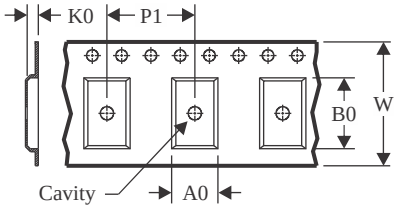
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

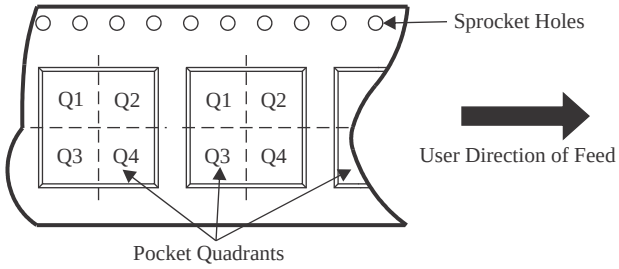


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

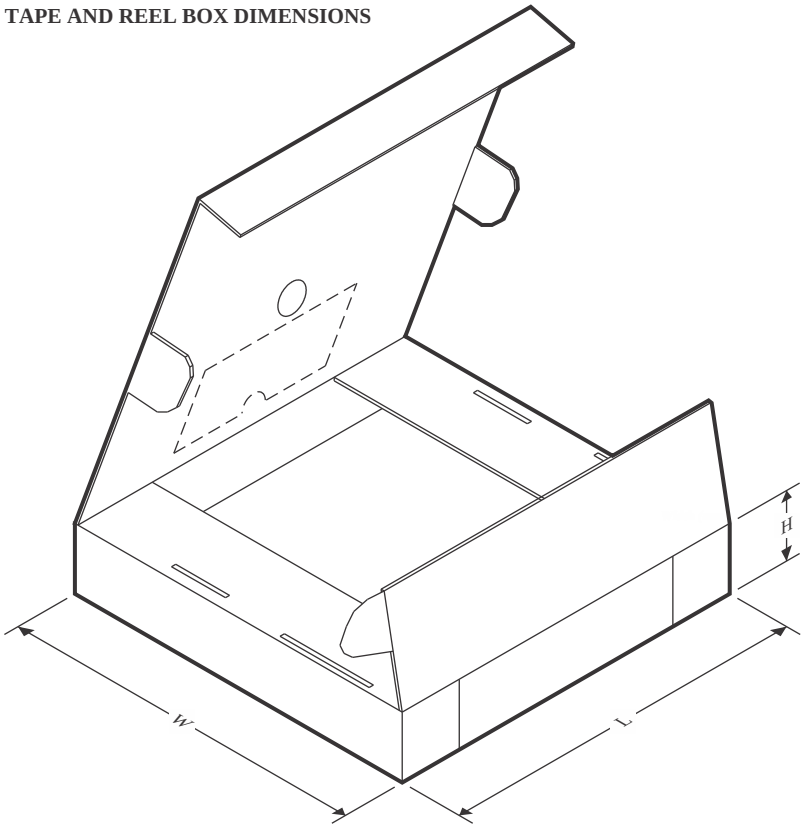
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74ACT3G99DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74ACT3G99PWR	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74ACT3G99RKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74ACT3G99DGSR	VSSOP	DGS	20	5000	356.0	356.0	35.0
SN74ACT3G99PWR	TSSOP	PW	20	3000	353.0	353.0	32.0
SN74ACT3G99RKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

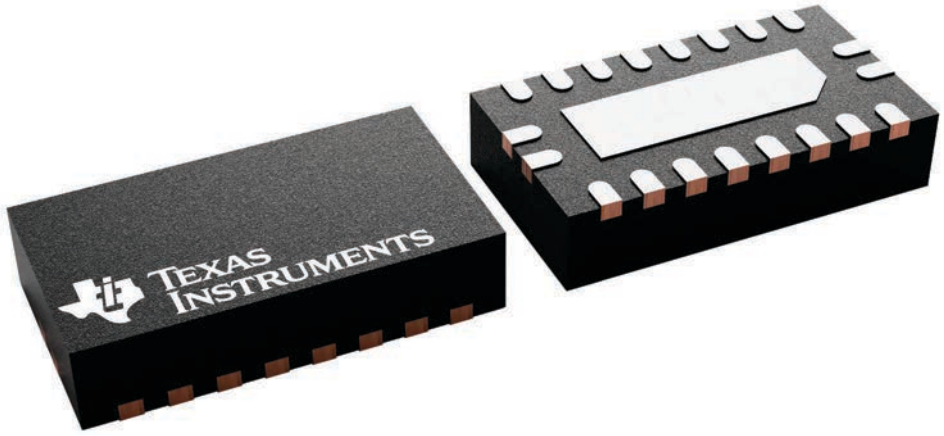
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

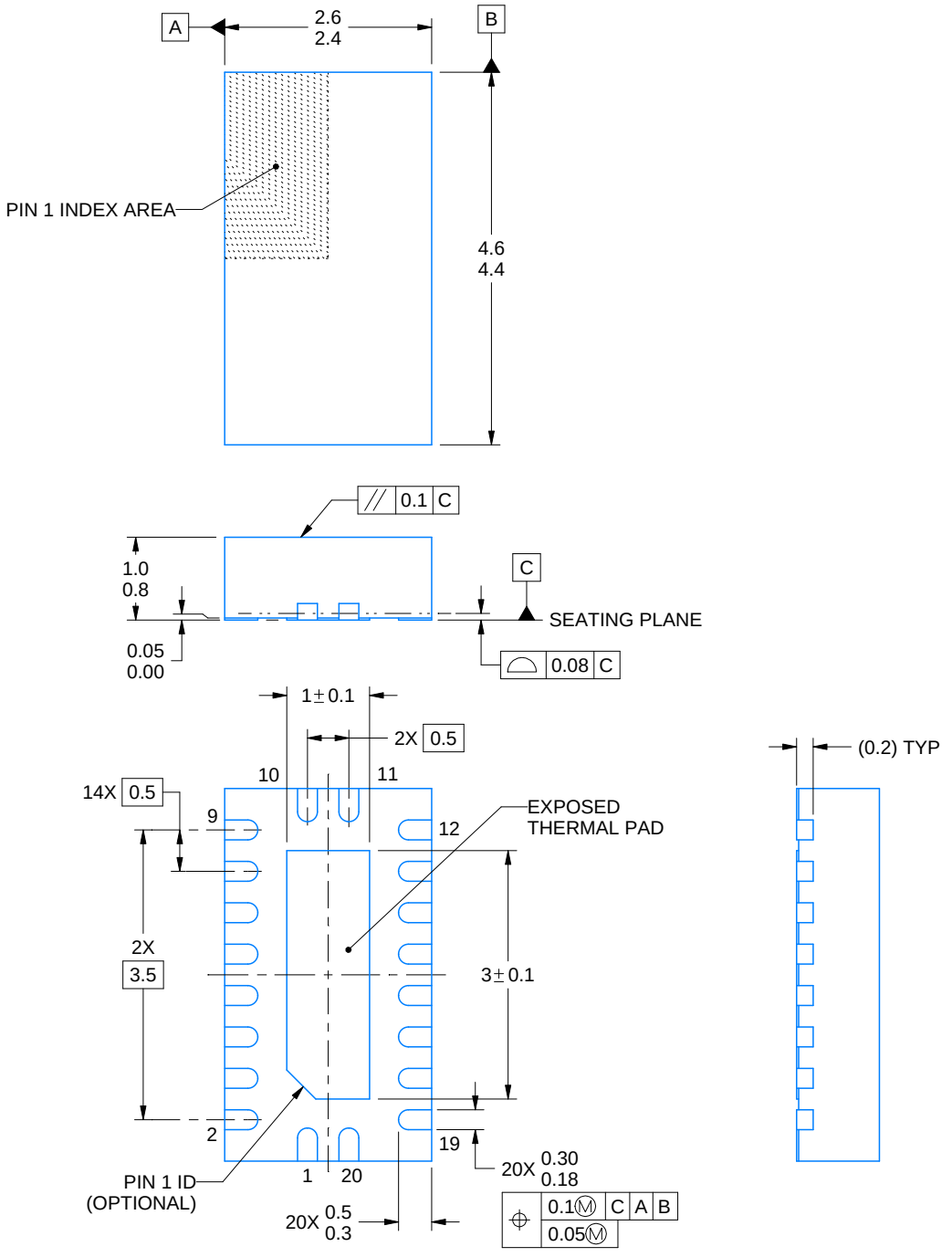


PACKAGE OUTLINE

RKS0020A

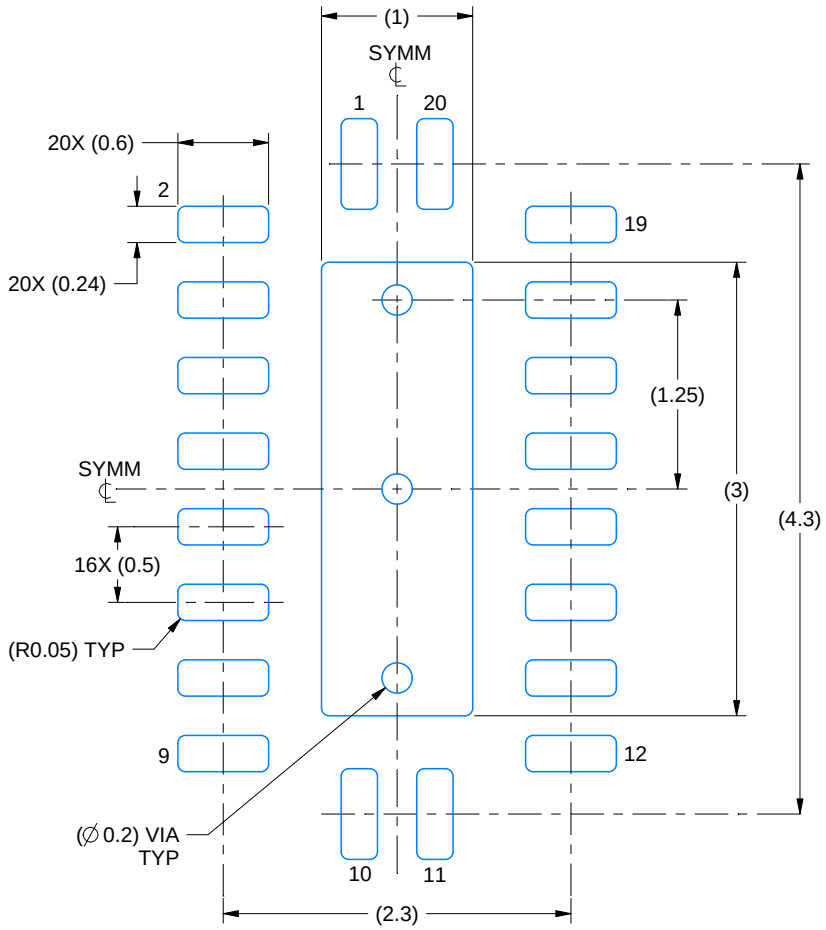
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

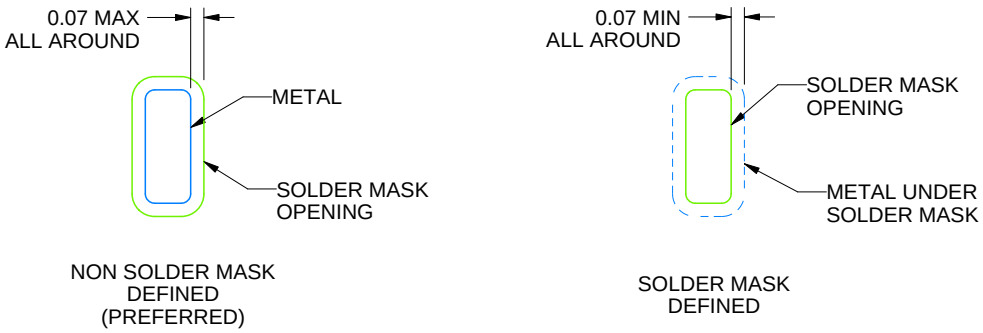


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

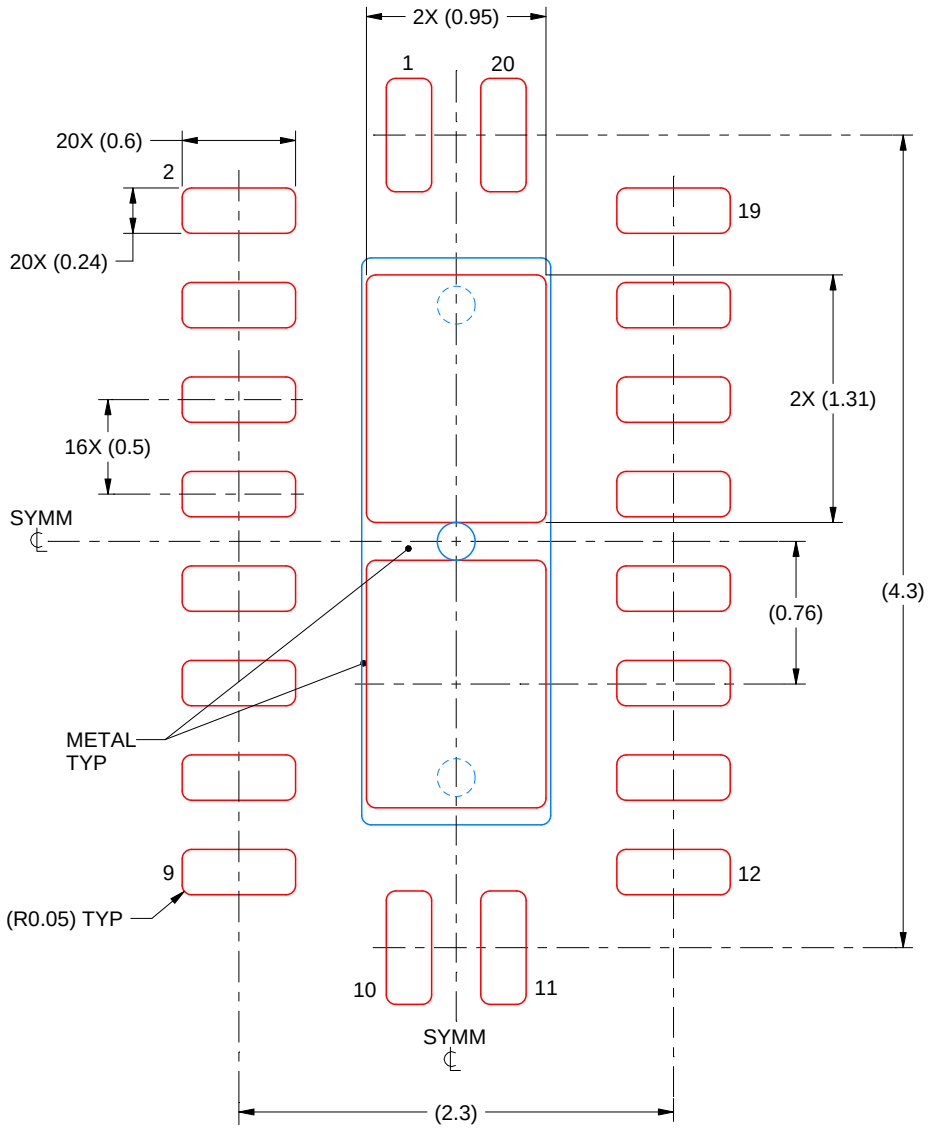


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

NOTES: (continued)

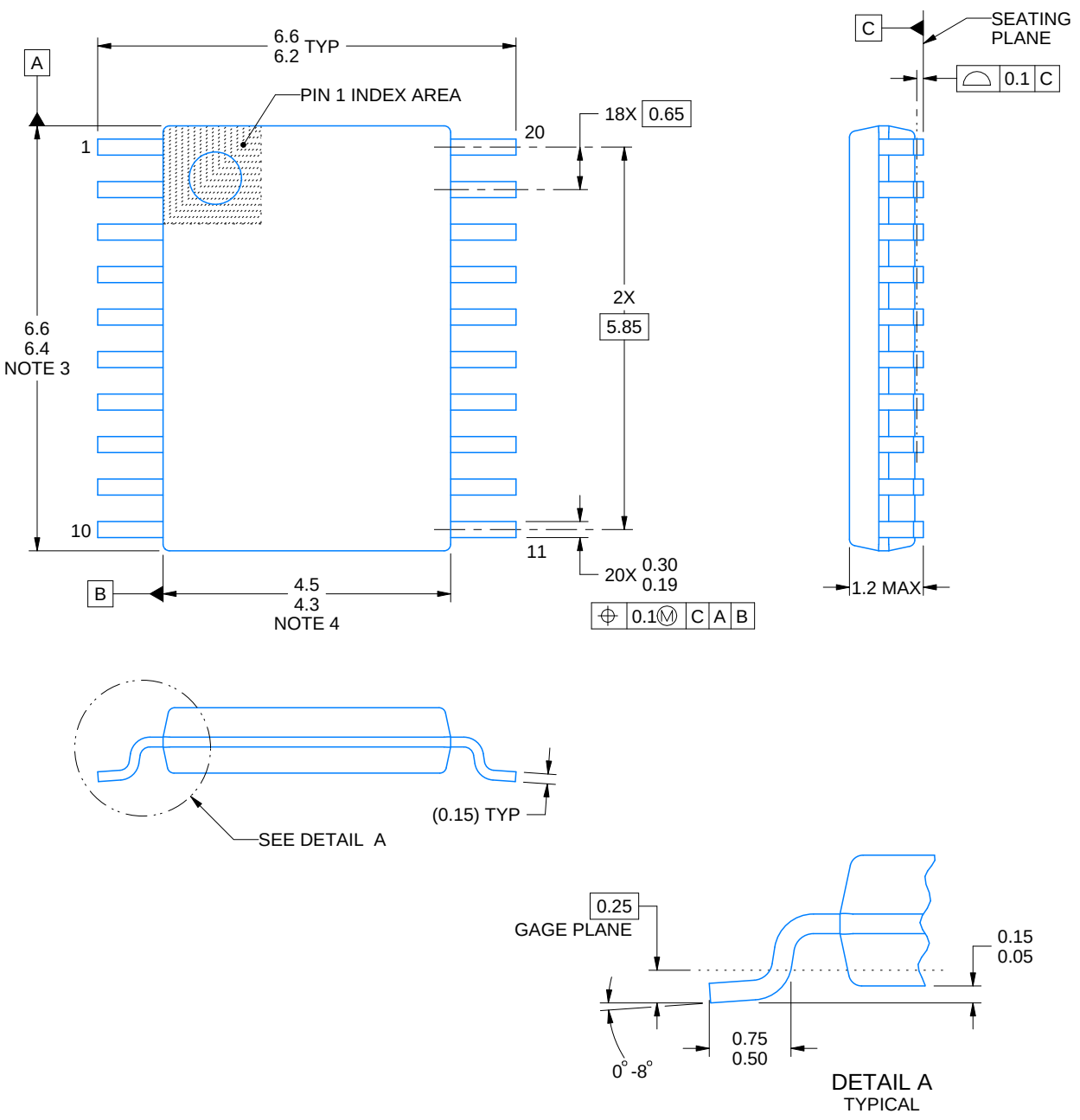
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0020A

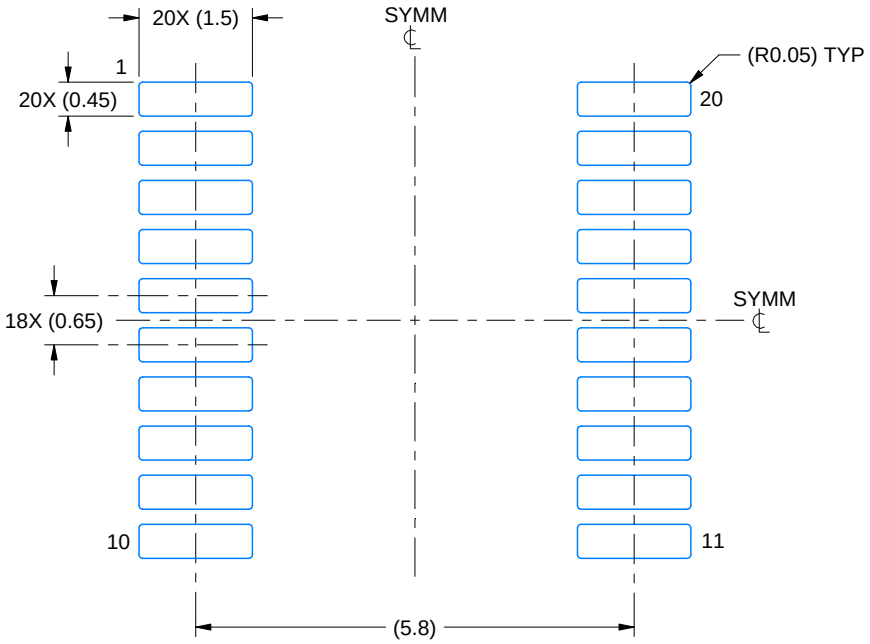
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

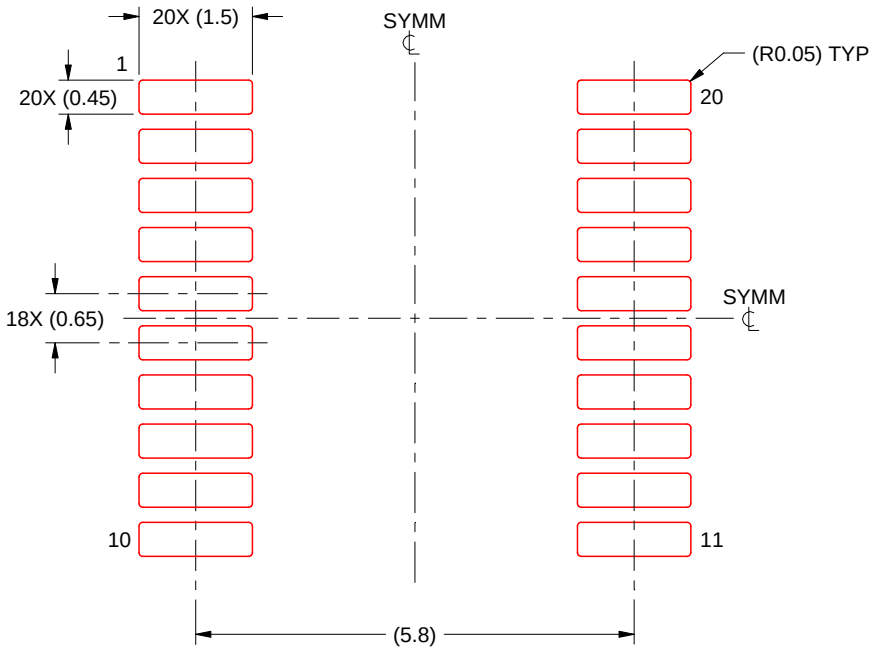


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

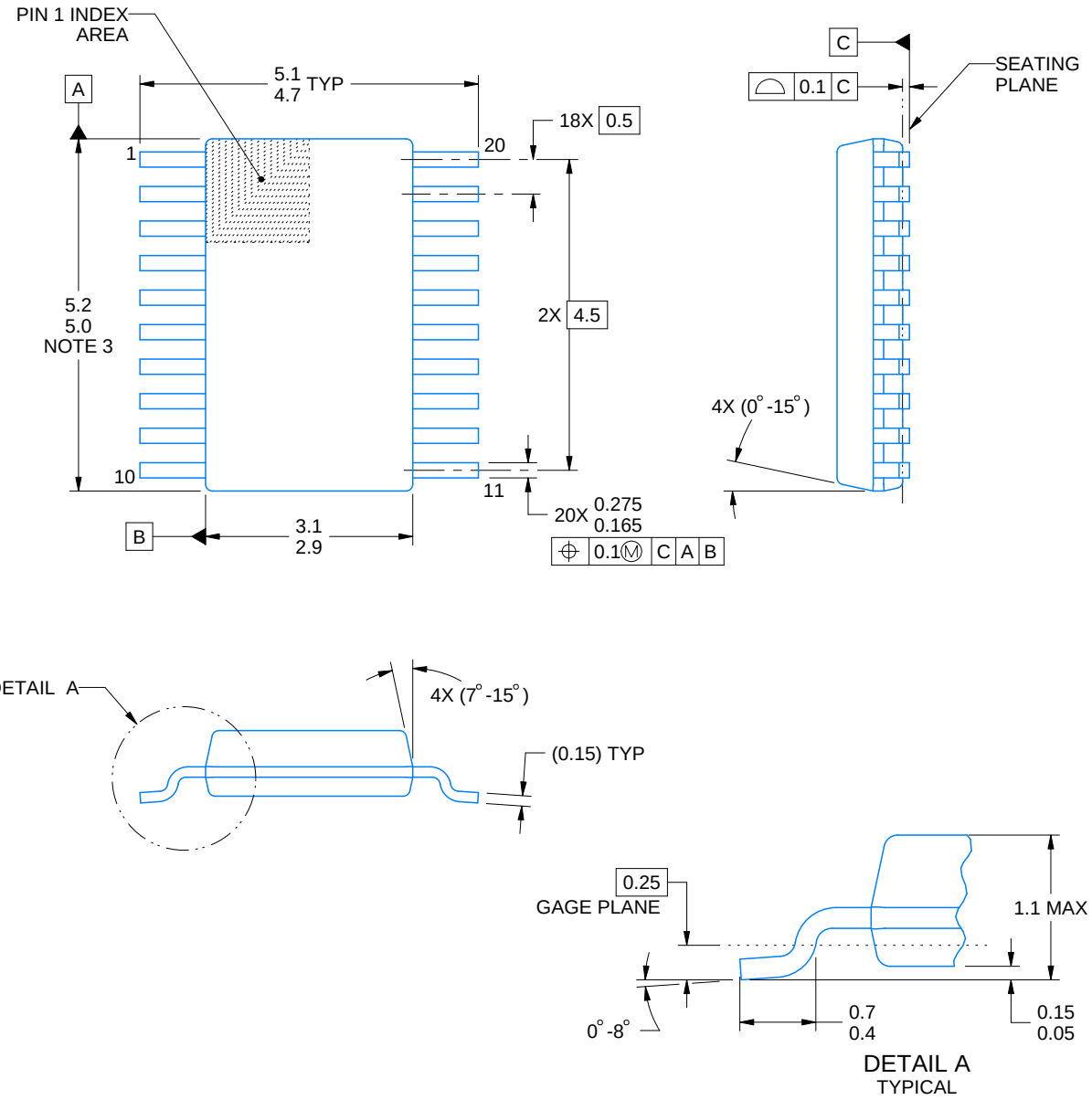
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGS0020A

VSSOP - 1.1 mm max height

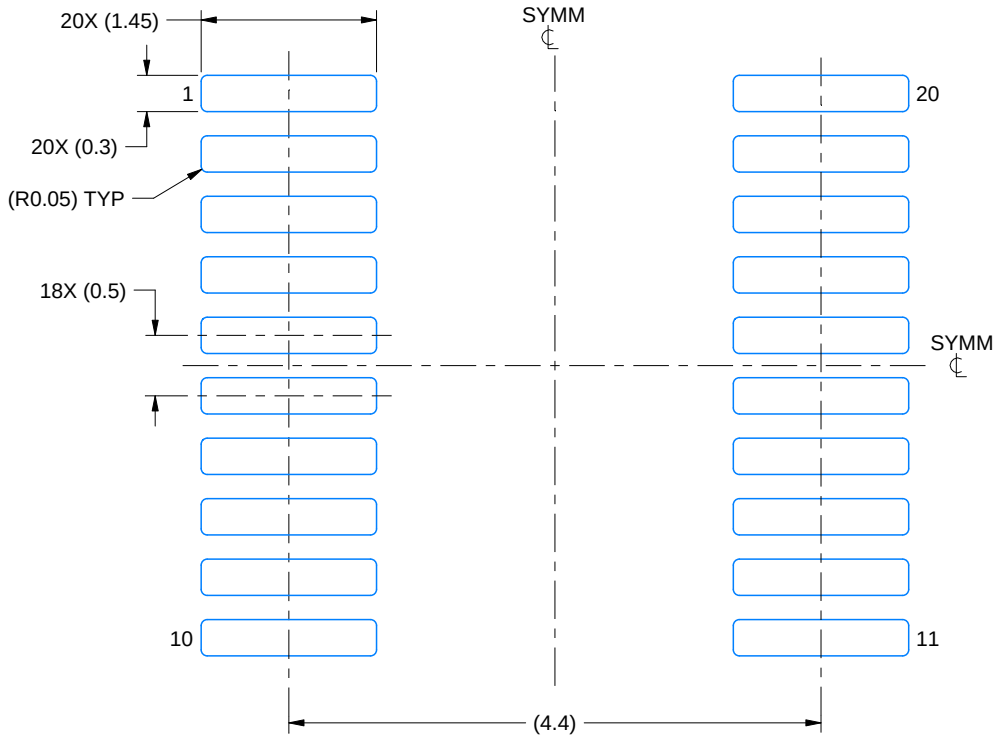
SMALL OUTLINE PACKAGE



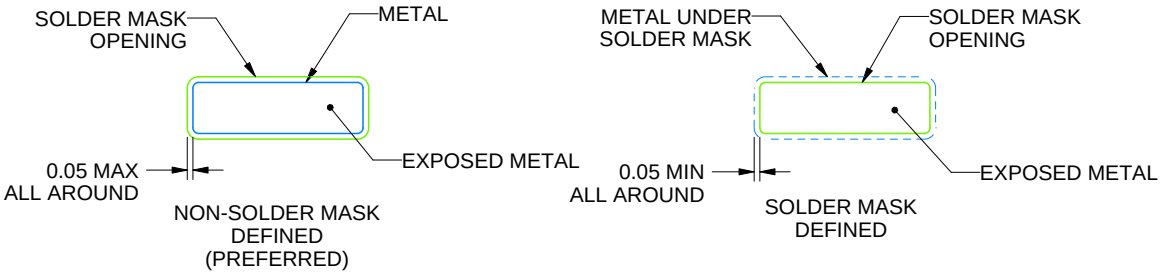
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

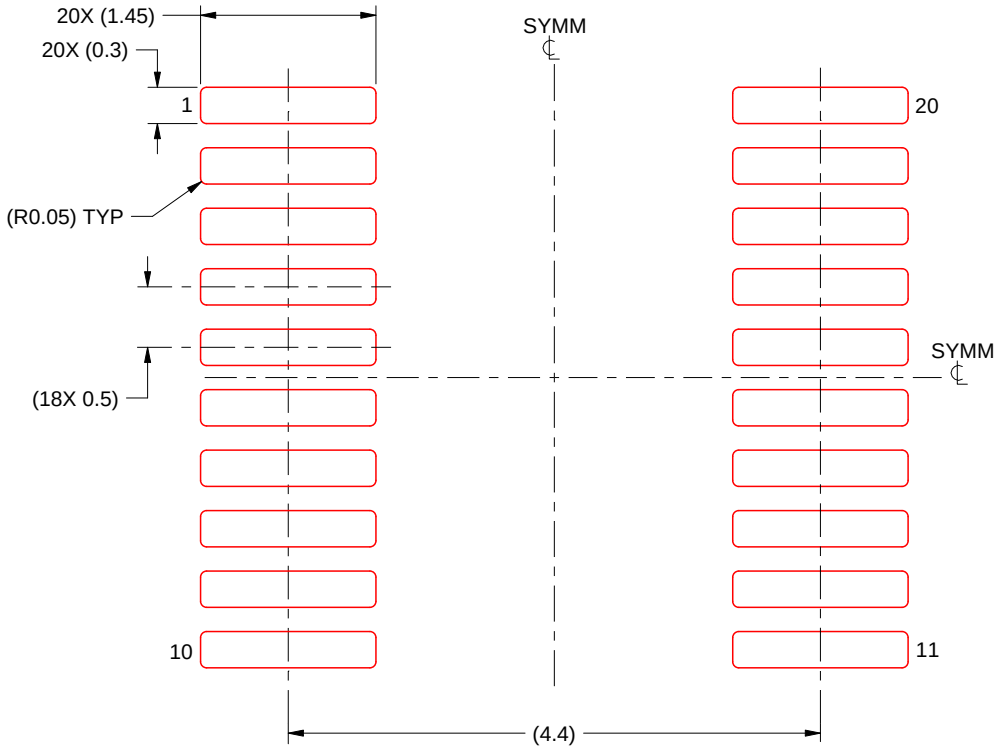


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月