SNx4AC74 具有清零和预设功能的双通道正边沿触发式 D 型触发器

1 特性

- 2V 至 6V V_{CC} 运行
- 输入电压高达 6V
- 5V 时，t_{pd} 最大值为 10ns

2 应用

- 将瞬时开关转换为拨动开关
- 二等分或四等分时钟信号

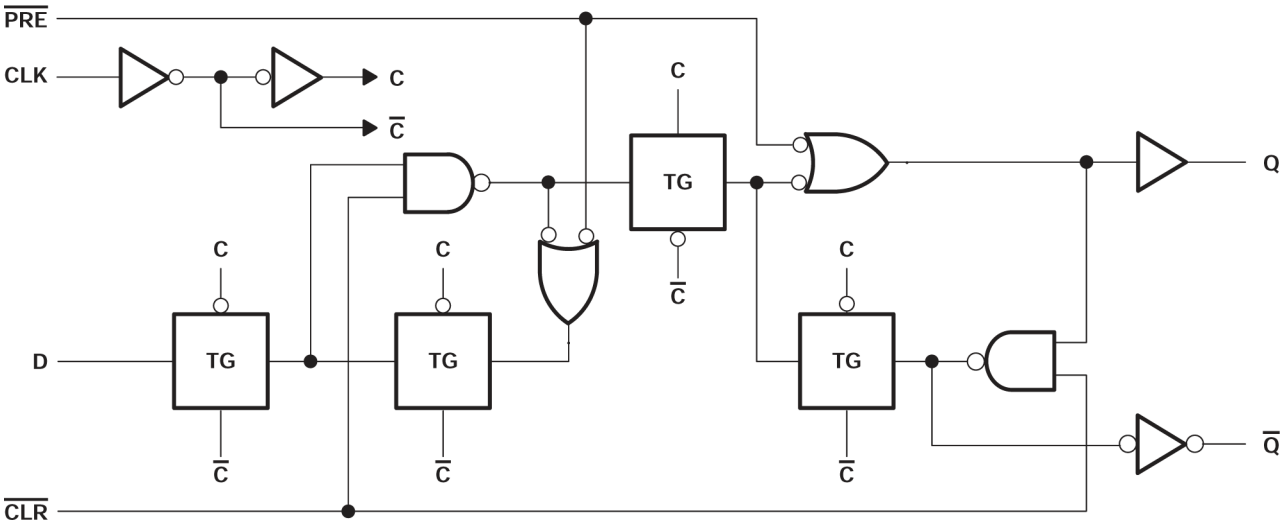
3 说明

’AC74 是双路正边沿触发 D 型触发器。

器件信息

器件型号	封装(1)	封装尺寸 (2)	本体尺寸(3)
SNx4AC74	PW（TSSOP，14）	5mm × 6.4mm	5mm × 4.40mm
	D（SOIC，14）	8.65mm × 6mm	8.65mm × 3.9mm
	DB（SSOP，14）	6.2mm × 7.8mm	6.2mm × 5.3mm
	N（PDIP，14）	19.3mm × 9.4mm	19.3mm × 6.35mm
	NS（SOP，14）	10.2mm × 7.8mm	10.3mm × 5.3mm
	BQA（WQFN，14）	3mm × 2.5mm	3mm × 2.5mm

(1) 更多相关信息，请参阅第 10 节。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



展示各触发器的逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 4
5.1 绝对最大额定值 4
5.2 建议运行条件 4
5.3 热性能信息 5
5.4 电气特性 5
5.5 时序要求，V_{CC} = 3.3V ± 0.3V 5
5.6 时序要求，V_{CC} = 5V ± 0.5V 6
5.7 开关特性，V_{CC} = 3.3V ± 0.3V 6
5.8 开关特性，V_{CC} = 5V ± 0.5V 6
5.9 工作特性 6
6 参数测量信息 7
7 详细说明 8
7.1 概述 8
7.2 功能方框图 8
7.3 特性说明 9
7.4 器件功能模式 10
8 应用和实施 11
8.1 应用信息 11
8.2 典型应用 11
8.3 电源相关建议 15
8.4 布局 15
9 器件和文档支持 17
9.1 文档支持 17
9.2 接收文档更新通知 17
9.3 支持资源 17
9.4 商标 17
9.5 静电放电警告 17
9.6 术语表 17
10 修订历史记录 17
11 机械、封装和可订购信息 18

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

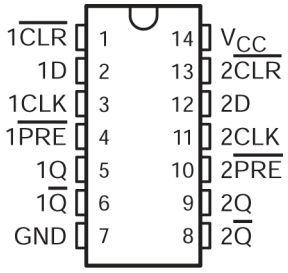
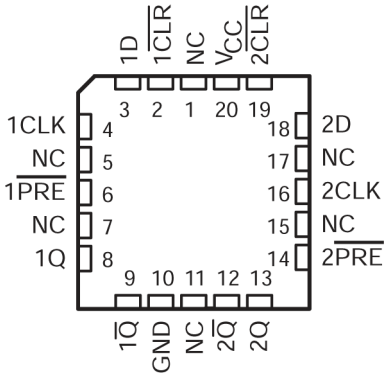


图 4-1. SN54AC74 J 或 W 封装；SN74AC74 D、DB、N、NS 或 PW 封装（顶视图）



NC – No internal connection

图 4-2. SN54AC74 FK 封装（顶视图）

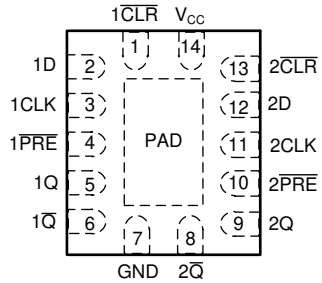


图 4-3. BQA 封装， 14 引脚 WQFN（带外露散热焊盘）（顶视图）

引脚		类型(1)	说明
名称	编号		
1 $\overline{CLR}$	1	I	通道 1，清零输入，低电平有效
1D	2	I	通道 1，数据输入
1CLK	3	I	通道 1，正边沿触发时钟输入
1 $\overline{PRE}$	4	I	通道 1，预设输入，低电平有效
1Q	5	O	通道 1，输出
1 $\overline{Q}$	6	O	通道 1，反相输出
GND	7	G	接地
2 $\overline{Q}$	8	O	通道 2，反相输出
2Q	9	O	通道 2，输出
2 $\overline{PRE}$	10	I	通道 2，预设输入，低电平有效
2CLK	11	I	通道 2，正边沿触发时钟输入
2D	12	I	通道 2，数据输入
2 $\overline{CLR}$	13	I	通道 2，清零输入，低电平有效
V_{CC}	14	P	正电源
散热焊盘(2)		—	散热焊盘

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源
(2) 仅限 BQA 封装

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I (2)	输入电压范围		-0.5	V_{CC} + 0.5	V
V_O (2)	输出电压范围		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	(V_I < 0 或 V_I > V_{CC})		±20	mA
I_{OK}	输出钳位电流	(V_O < 0 或 V_O > V_{CC})		±20	mA
I_O	持续输出电流	(V_O = 0 至 V_{CC})		±50	mA
	通过 V_{CC} 或 GND 的持续电流			±200	mA
T_{stg}	贮存温度范围		-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

			SN54AC74		SN74AC74		单位
			最小值	最大值	最小值	最大值	
V_{CC}	电源电压		2	6	2	6	V
V_{IH}	高电平输入电压	V_{CC} = 3V	2.1		2.1		V
		V_{CC} = 4.5V	3.15		3.15		
		V_{CC} = 5.5V	3.85		3.85		
V_{IL}	低电平输入电压	V_{CC} = 3V		0.9		0.9	V
		V_{CC} = 4.5V		1.35		1.35	
		V_{CC} = 5.5V		1.65		1.65	
V_I	输入电压		0	V_{CC}	0	V_{CC}	V
V_O	输出电压		0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 3V		-12		-12	mA
		V_{CC} = 4.5V		-24		-24	
		V_{CC} = 5.5V		-24		-24	
I_{OL}	低电平输出电流	VCC = 3V		12		12	mA
		V_{CC} = 4.5V		24		24	
		V_{CC} = 5.5V		24		24	
Δt/Δv	输入转换上升或下降速率			8		8	ns/V
T_A	自然通风条件下的工作温度范围		-55	125	-40	85	°C

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*，文献编号 SCBA004。

Copyright © 2025 Texas Instruments Incorporated

5.3 热性能信息

热指标(1)	SNx4AC74						单位
	D (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	BQA (WQFN)	
	14 引脚	14 引脚	14 引脚	14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$ 结至环境热阻	119.9	96	80	76	145.7	91.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.4 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		测试条件		V_{CC}	T_A = 25°C			SN54AC74		SN74AC74		单位
					最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}		I_{OH} = -50μA		3V	2.9	4.49		2.9		2.9		V
				4.5V	4.4	5.49		4.4		4.4		
				5.5V	5.4	5.49		5.4		5.4		
		I_{OH} = -12mA		3V	2.56			2.4		2.46		
		I_{OH} = -24mA		4.5V	3.86			3.7		3.76		
				5.5V	4.86			4.7		4.76		
		I_{OH} = -50mA(1)		5.5V				3.85				
		I_{OH} = -75mA(1)		5.5V						3.85		
V_{OL}		I_{OL} = 50μA		3V		0.002	0.1		0.1		0.1	V
				4.5V		0.001	0.1		0.1		0.1	
				5.5V		0.001	0.1		0.1		0.1	
		I_{OL} = 12mA		3V			0.36		0.5		0.44	
		I_{OL} = 24mA		4.5V			0.36		0.5		0.44	
				5.5V			0.36		0.5		0.44	
		I_{OL} = 50mA(1)		5.5V					1.65			
		I_{OL} = 75mA(1)		5.5V							1.65	
I_I	数据引脚	V_I = V_{CC} 或 GND		5.5V			±0.1		±1		±1	μA
	控制引脚						±0.1		±1		±1	
I_{CC}		V_I = V_{CC} 或 GND，	I_O = 0	5.5V			2		40		20	μA
C_i		V_I = V_{CC} 或 GND		5V		3						pF

(1) 一次不应测试超过一个输出，且测试持续时间不应超过 2ms。

5.5 时序要求，V_{CC} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 3.3V ± 0.3V（除非另有说明）（请参阅负载电路和电压波形）

			T_A = 25°C		SN54AC74		SN74AC74		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f_{clock}	时钟频率			100		70		95	MHz
t_w	脉冲持续时间	$\overline{PRE}$ 或 $\overline{CLR}$ 为低电平	5.5		8		7		ns
		CLK	5.5		8		7		

Copyright © 2025 Texas Instruments Incorporated

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 3.3V ± 0.3V（除非另有说明）（请参阅负载电路和电压波形）

			T_A = 25°C		SN54AC74		SN74AC74		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
t_{su}	建立时间，CLK↑ 前的数据	数据	4		5		4.5		ns
		$\overline{PRE}$ 或 $\overline{CLR}$ 处于非活动状态	0		0.5		0		
t_h	保持时间，CLK↑ 后的数据		0.5		0.5		0.5		ns

5.6 时序要求，V_{CC} = 5V ± 0.5V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅负载电路和电压波形）

			T_A = 25°C		SN54AC74		SN74AC74		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f_{clock}	时钟频率			140		95		125	MHz
t_w	脉冲持续时间	$\overline{PRE}$ 或 $\overline{CLR}$ 为低电平	4.5		5.5		5		ns
		CLK	4.5		5.5		5		
t_{su}	建立时间，CLK↑ 前的数据	数据	3		4		3		ns
		$\overline{PRE}$ 或 $\overline{CLR}$ 处于非活动状态	0		0.5		0		
t_h	保持时间，CLK↑ 后的数据		0.5		0.5		0.5		ns

5.7 开关特性，V_{CC} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 3.3V ± 0.3V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	T_A = 25°C			SN54AC74		SN74AC74		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f_{max}			100	125		70		95		MHz
t_{PLH}	$\overline{PRE}$ 或 $\overline{CLR}$	Q 或 $\overline{Q}$	3.5	8	12	1	13	2.5	13	ns
t_{PHL}			4	10.5	12	1	14	3.5	13.5	
t_{PLH}	CLK	Q 或 $\overline{Q}$	4.5	8	13.5	1	17.5	4	16	ns
t_{PHL}			3.5	8	14	1	13.5	3.5	14.5	

5.8 开关特性，V_{CC} = 5V ± 0.5V

在推荐的自然通风条件下的工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	T_A = 25°C			SN54AC74		SN74AC74		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f_{max}			140	160		95		125		MHz
t_{PLH}	$\overline{PRE}$ 或 $\overline{CLR}$	Q 或 $\overline{Q}$	2.5	6	9	1	9.5	2	10	ns
t_{PHL}			3	8	9.5	1	10.5	2.5	10.5	
t_{PLH}	CLK	Q 或 $\overline{Q}$	3.5	6	10	1	12	3	10.5	ns
t_{PHL}			2.5	6	10	1	10	2.5	10.5	

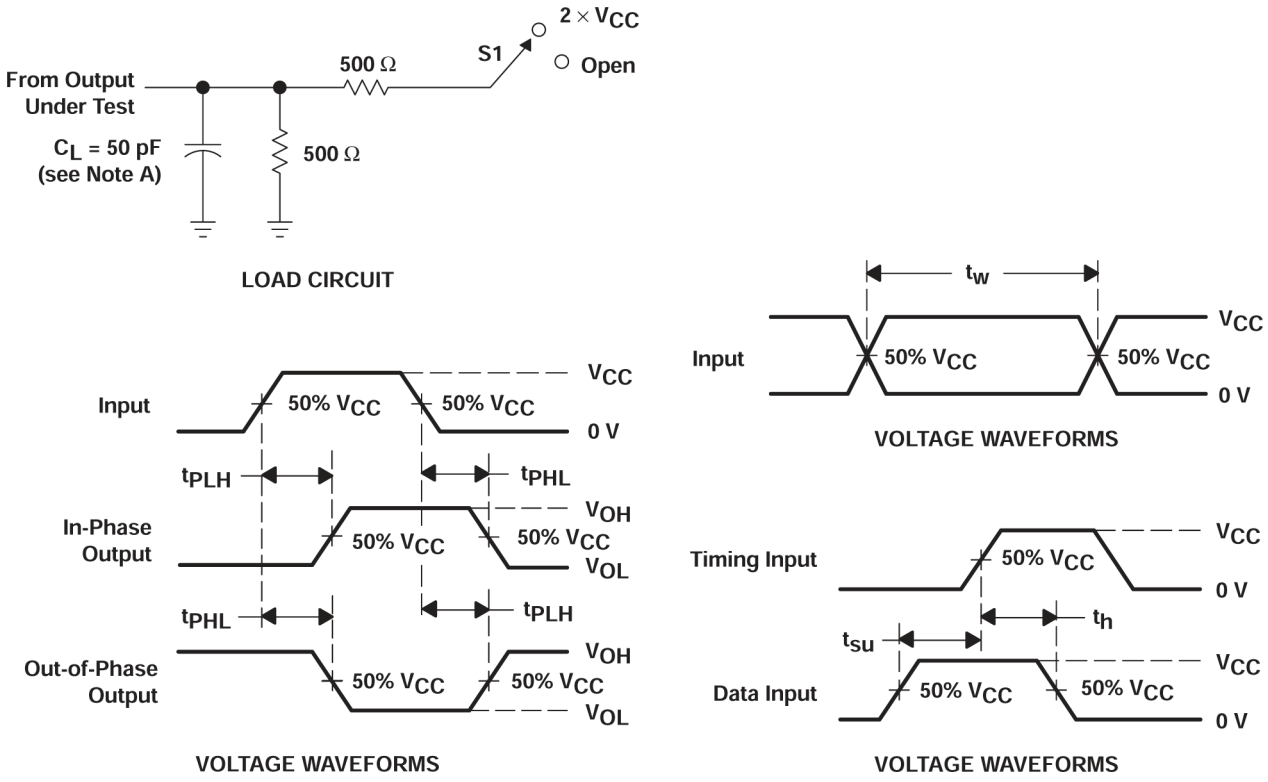
5.9 工作特性

V_{CC} = 3.3V，T_A = 25°C

参数		测试条件		典型值	单位
C_{pd}	功率耗散电容	C_L = 50pF，	f = 1MHz	45	pF

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息



A. C_L 包括探头和夹具电容。

B. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r v 2.5ns，t_f v 2.5ns。

C. 一次测量一个输出，每次测量一个输入转换。

图 6-1. 负载电路和电压波形

测试	S1
t_{PLH}/t_{PHL}	开路

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

SNx4AC74 包含两个独立的 D 型触发器。每个通道具有独立的异步预设 ($\overline{PRE}$) 和清零 ($\overline{CLR}$) 输入。每个通道具有反相 ($\overline{Q}$) 和非反相 (Q) 输出。

7.2 功能方框图

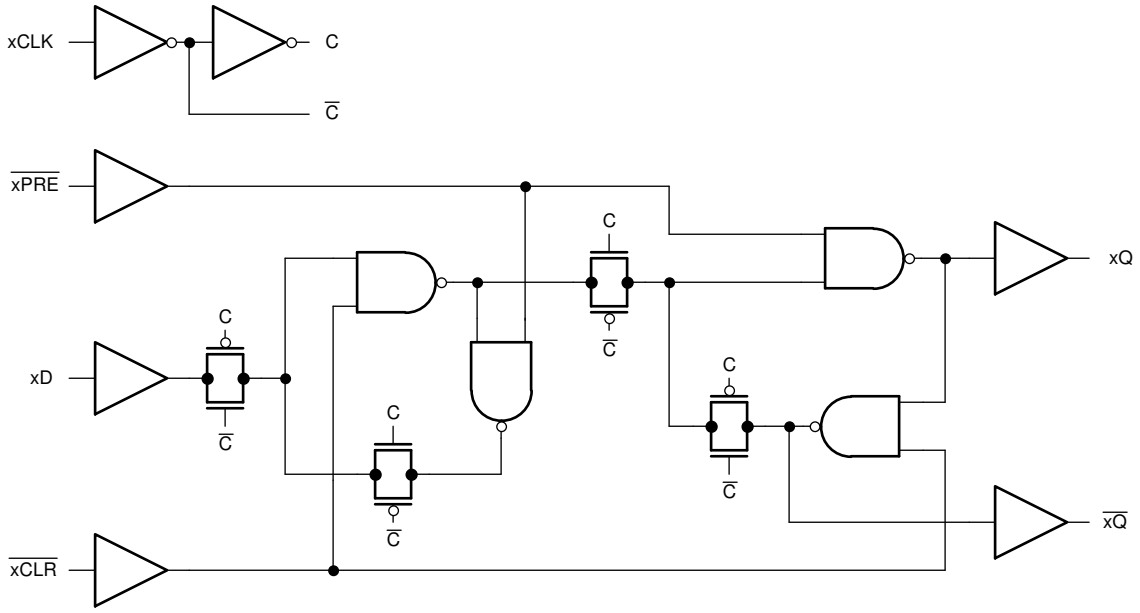


图 7-1. SNx4AC74 的一个通道的逻辑图（正逻辑）

Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 平衡 CMOS 推挽式输出

该器件包括平衡 CMOS 推挽输出。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边沿，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受的电流更大，而不会损坏器件。务必限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

未使用的推挽 CMOS 输出必须保持断开状态。

7.3.2 锁存逻辑

该器件包含锁存逻辑电路。锁存电路通常包括 D 型锁存器和 D 型触发器，但包括所有用作易失性存储器的逻辑电路。

当器件上电时，每个锁存器的状态是未知的。每个锁存器在启动时都没有默认状态。

只要在*建议运行条件*表中规定的电源电压范围内为器件供电，每个锁存逻辑电路的输出状态就会保持稳定。

7.3.3 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件*表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

7.3.4 钳位二极管结构

该器件的输入和输出同时具有正和负钳位二极管，如图 7-2 所示。

小心

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

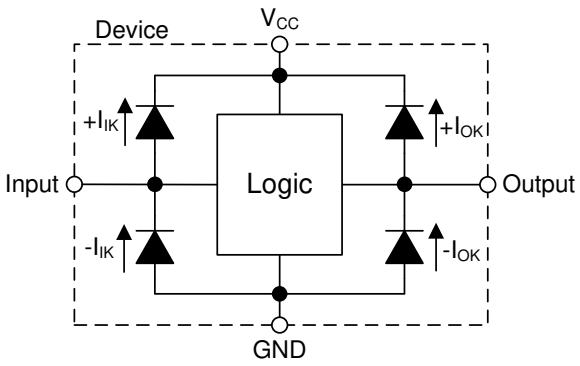


图 7-2. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入(1)				输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H(2)	H(2)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑
(2) 该配置不稳定；当 $\overline{PRE}$ 或 $\overline{CLR}$ 恢复到其非活动（高）电平时，该配置不会持续存在。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

拨动开关通常尺寸较大、机械结构复杂且成本相对昂贵。最好改用瞬时开关，因为此类开关具有尺寸较小、机械结构简单且成本较低的优点。某些系统需要拨动开关的功能，但空间或成本受限，因此必须改用瞬时开关。

如果 D 型触发器的数据输入 (D) 连接到反相输出 ($\overline{Q}$)，则每个时钟脉冲将使输出 (Q) 的值发生切换。瞬时开关可以去除抖动，并通过施密特触发缓冲器连接到时钟输入 (CLK) 以切换输出。

此应用还使用上电复位电路，这样在通电时输出一直在低电平状态下启动。

8.2 典型应用

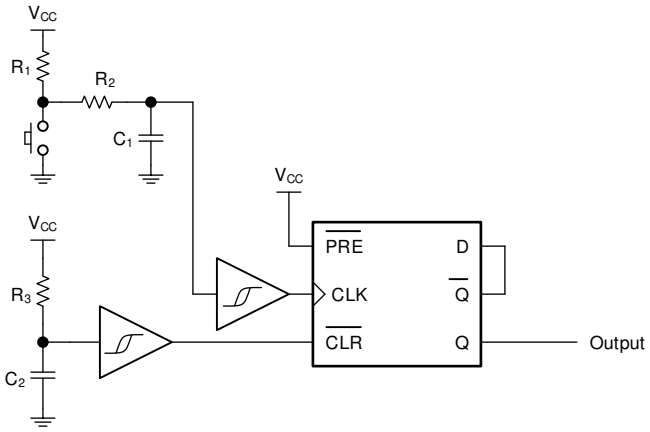


图 8-1. 典型应用原理图

Copyright © 2025 Texas Instruments Incorporated

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SNx4AC74 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SNx4AC74 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SNx4AC74 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SNx4AC74 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SNx4AC74 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SNx4AC74 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SNx4AC74 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})\Omega$。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

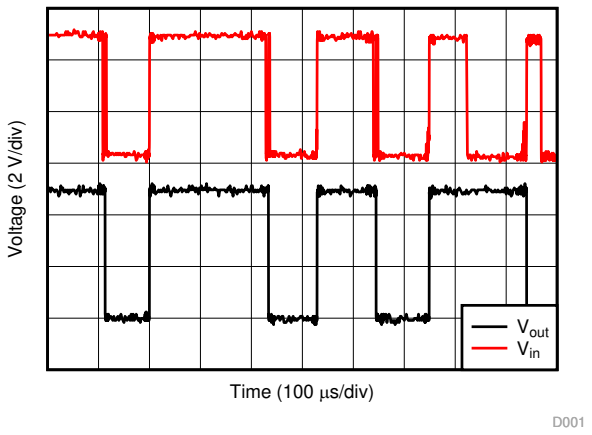


图 8-2. 非去抖开关的波形

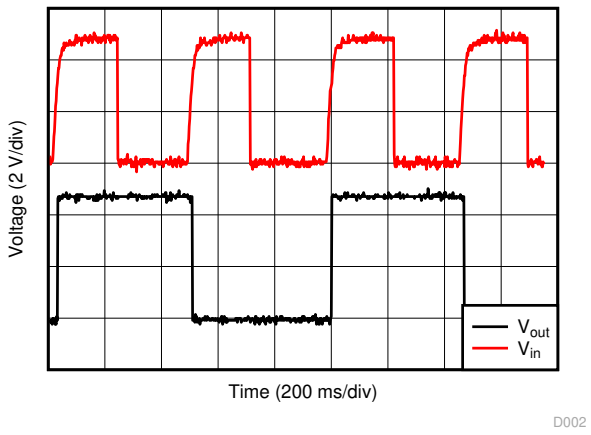


图 8-3. 去抖开关的波形

Copyright © 2025 Texas Instruments Incorporated

8.3 电源相关建议

电源可以是*建议运行条件*中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

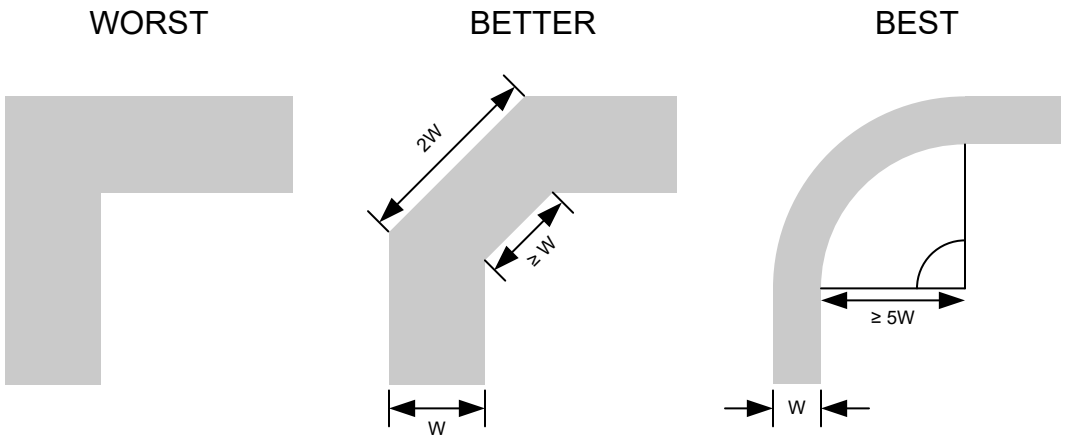


图 8-4. 可改善信号完整性的布线转角示例

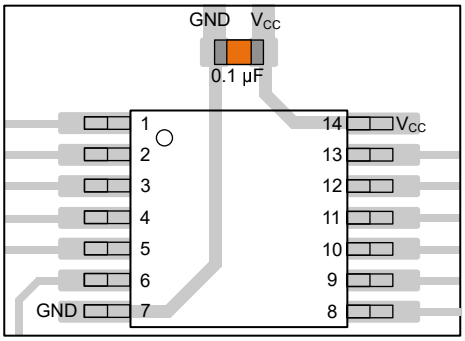


图 8-5. TSSOP 和类似封装的旁路电容器放置示例

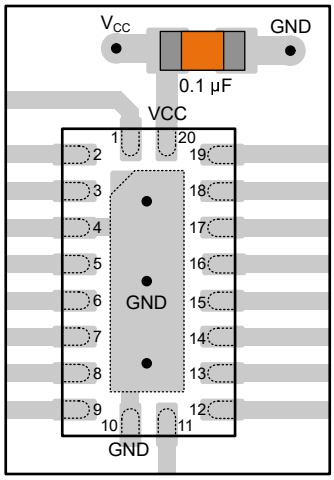


图 8-6. WQFN 和类似封装的旁路电容器放置示例

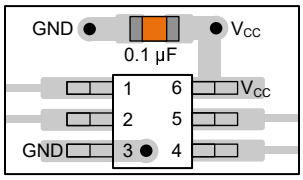


图 8-7. SOT、SC70 和类似封装的旁路电容器放置示例

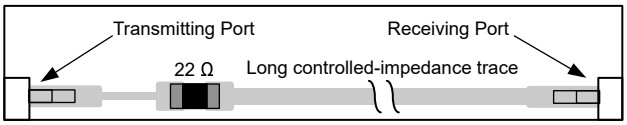


图 8-8. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (July 2024) to Revision H (June 2025)	Page
• 向*器件信息*添加了 BQA 封装	1
• 向*引脚配置和功能*添加了 BQA 封装	3
• 向*热性能信息*添加了 BQA 封装	5

Changes from Revision F (October 2003) to Revision G (July 2024)	Page
• 添加了*器件信息* 表、*引脚功能* 表、*热性能信息* 表、*器件功能模式*、*应用和实施* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 更新了 $R_{\theta JA}$ 值：D = 86 至 119.9，PW = 113 至 145.7，所有值均以 °C/W 为单位	5

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-88520012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-88520012A SNJ54AC 74FK
5962-8852001CA	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001CA SNJ54AC74J
5962-8852001DA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001DA SNJ54AC74W
5962-8852001VDA	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001VDA SNV54AC74W
5962-8852001VDA.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001VDA SNV54AC74W
SN74AC74BQAR	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74D	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	AC74
SN74AC74DBR	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74DBR.A	Active	Production	SSOP (DB) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74DR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74DR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74N	NRND	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AC74N
SN74AC74N.A	NRND	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AC74N
SN74AC74NE4	NRND	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AC74N
SN74AC74NSR	Last Time Buy	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74NSR.A	Last Time Buy	Production	SOP (NS) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74PW	Obsolete	Production	TSSOP (PW) | 14	-	-	Call TI	Call TI	-40 to 85	AC74
SN74AC74PWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74PWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74PWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74
SN74AC74PWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AC74

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AC74FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-88520012A SNJ54AC 74FK
SNJ54AC74FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-88520012A SNJ54AC 74FK
SNJ54AC74J	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001CA SNJ54AC74J
SNJ54AC74J.A	Active	Production	CDIP (J) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001CA SNJ54AC74J
SNJ54AC74W	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001DA SNJ54AC74W
SNJ54AC74W.A	Active	Production	CFP (W) | 14	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8852001DA SNJ54AC74W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AC74, SN54AC74-SP, SN74AC74 :

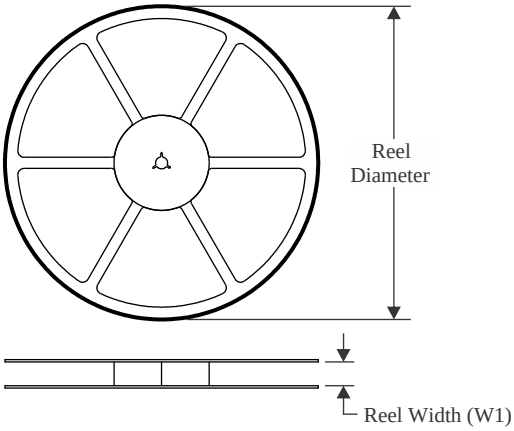
- Catalog : SN74AC74, SN54AC74
- Automotive : SN74AC74-Q1, SN74AC74-Q1
- Enhanced Product : SN74AC74-EP, SN74AC74-EP
- Military : SN54AC74
- Space : SN54AC74-SP

NOTE: Qualified Version Definitions:

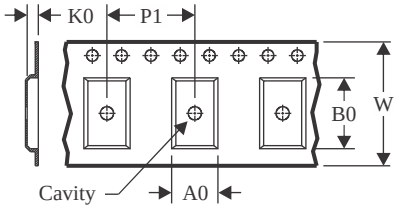
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

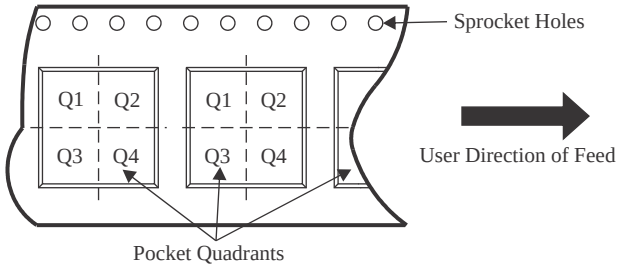


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

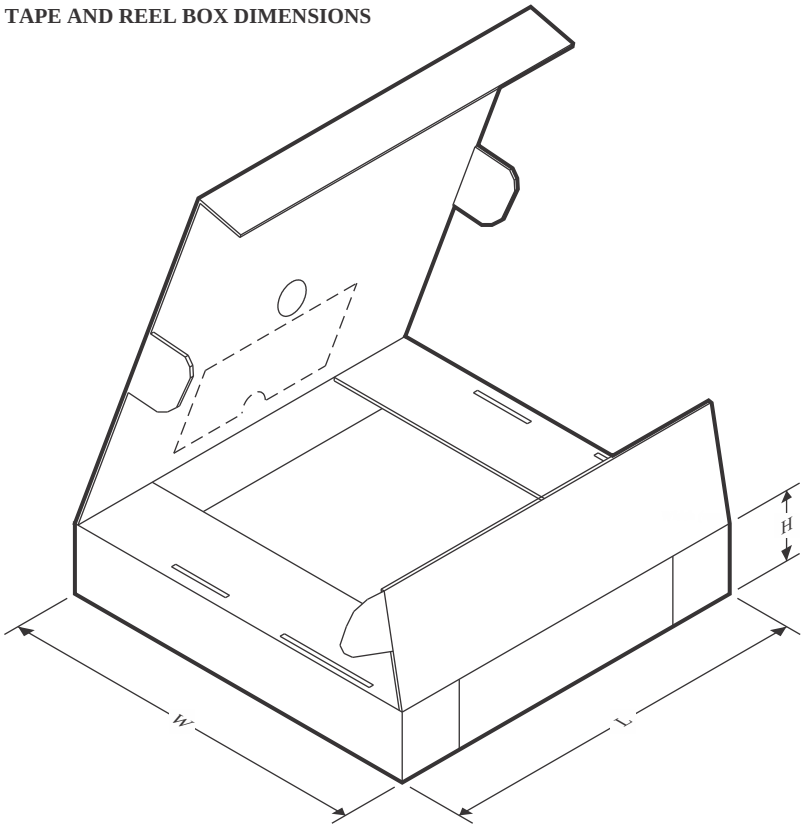
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AC74BQAR	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1
SN74AC74DBR	SSOP	DB	14	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AC74DR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN74AC74NSR	SOP	NS	14	2000	330.0	16.4	8.1	10.4	2.5	12.0	16.0	Q1
SN74AC74PWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AC74PWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

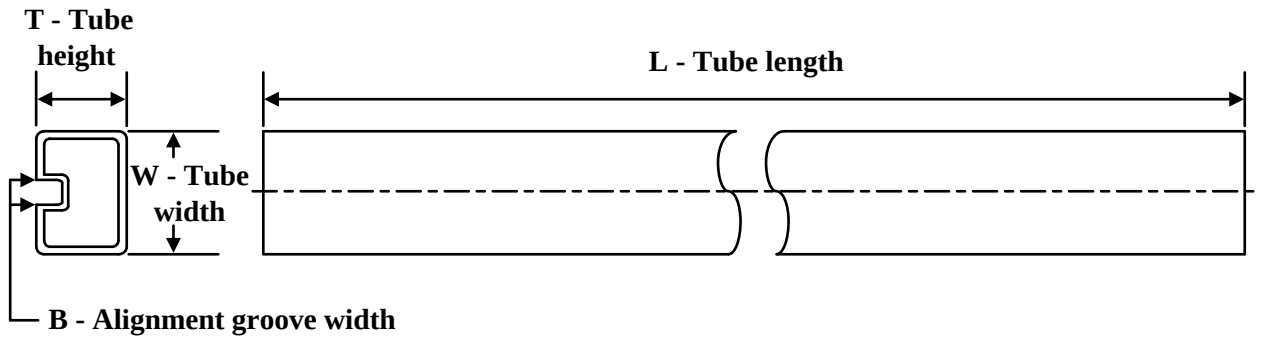
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

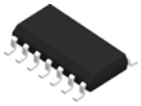
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AC74BQAR	WQFN	BQA	14	3000	210.0	185.0	35.0
SN74AC74DBR	SSOP	DB	14	2000	353.0	353.0	32.0
SN74AC74DR	SOIC	D	14	2500	353.0	353.0	32.0
SN74AC74NSR	SOP	NS	14	2000	353.0	353.0	32.0
SN74AC74PWR	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74AC74PWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-88520012A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-8852001DA	W	CFP	14	25	506.98	26.16	6220	NA
5962-8852001VDA	W	CFP	14	25	506.98	26.16	6220	NA
5962-8852001VDA.A	W	CFP	14	25	506.98	26.16	6220	NA
SN74AC74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC74N	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC74N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC74N.A	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC74NE4	N	PDIP	14	25	506	13.97	11230	4.32
SN74AC74NE4	N	PDIP	14	25	506	13.97	11230	4.32
SNJ54AC74FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AC74FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AC74W	W	CFP	14	25	506.98	26.16	6220	NA
SNJ54AC74W.A	W	CFP	14	25	506.98	26.16	6220	NA

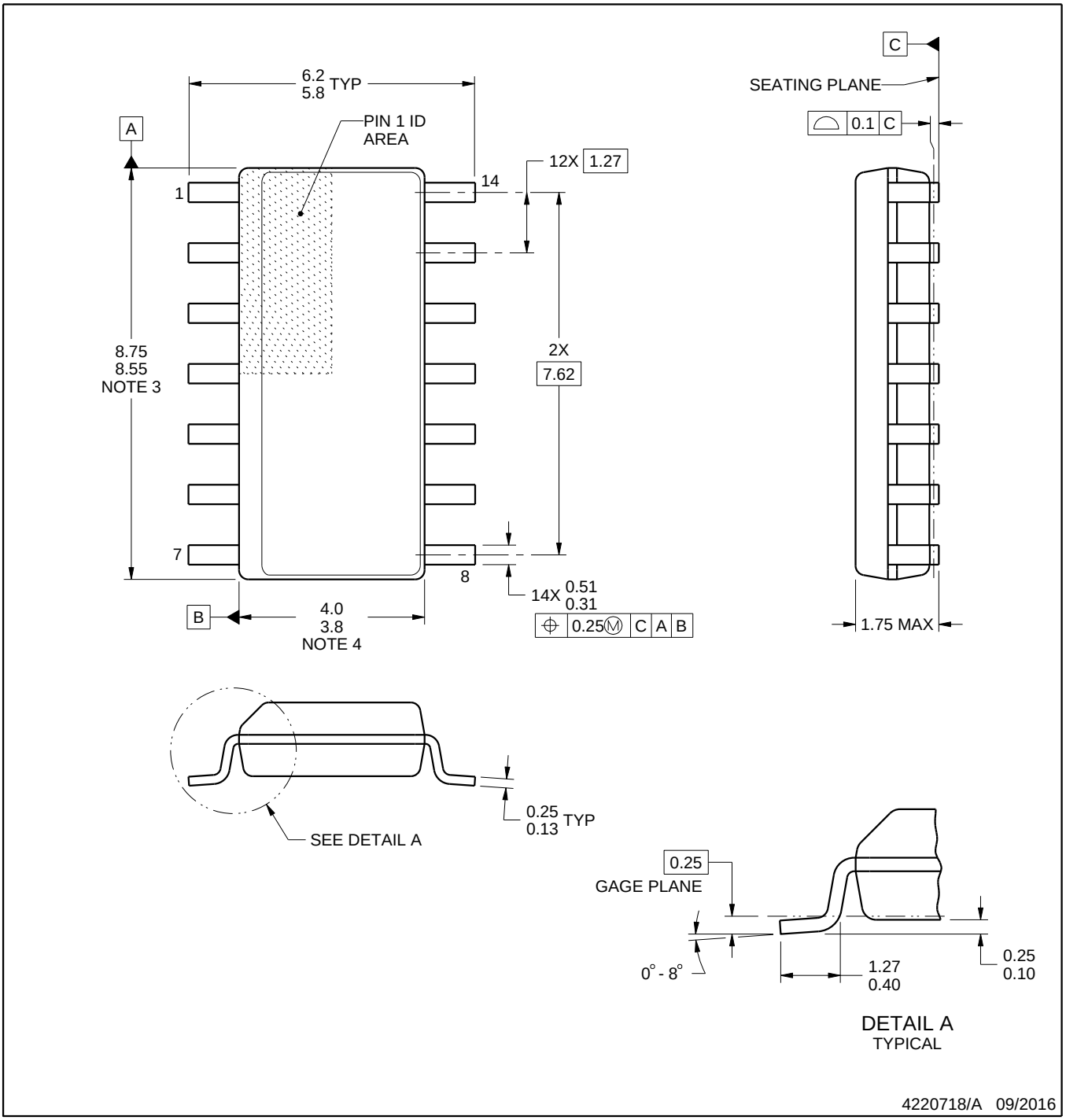


PACKAGE OUTLINE

D0014A

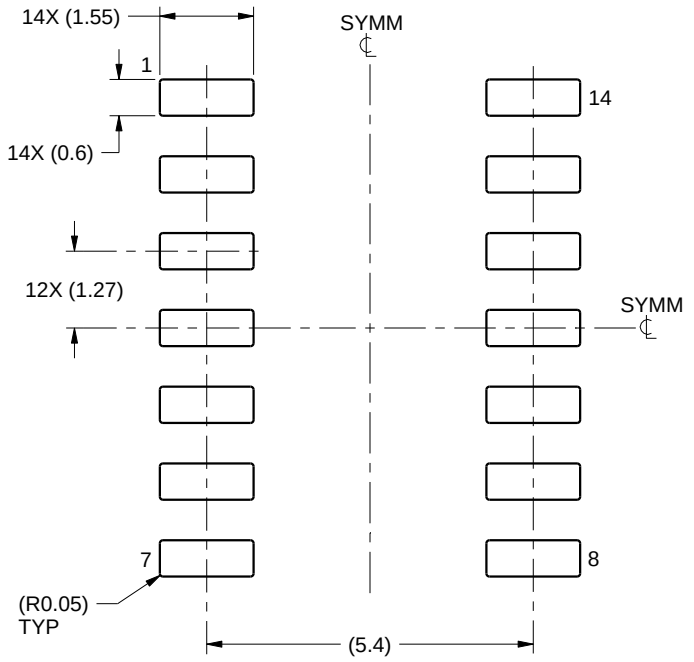
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

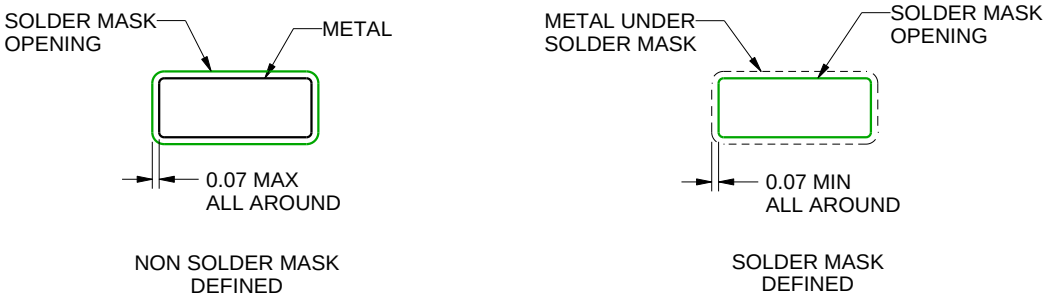


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

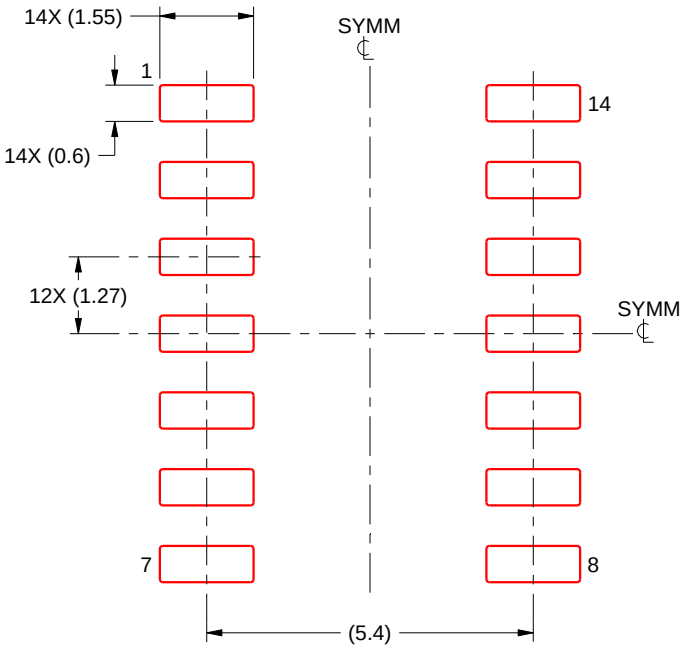
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

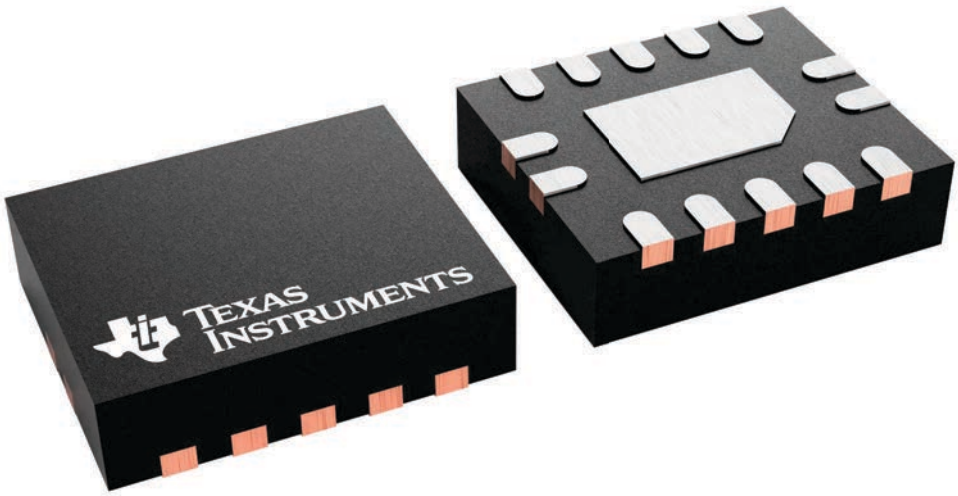
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

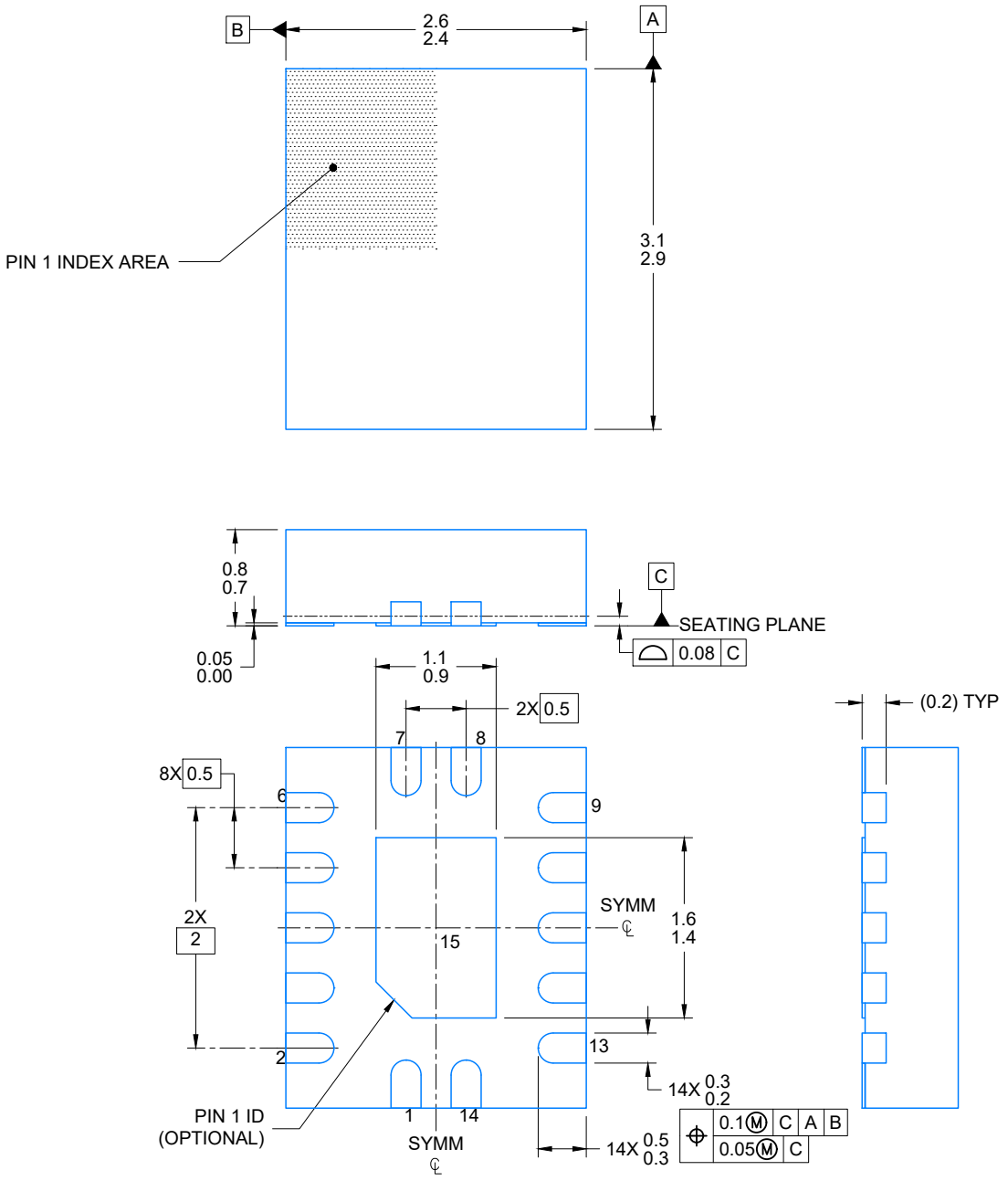


PACKAGE OUTLINE

BQA0014A

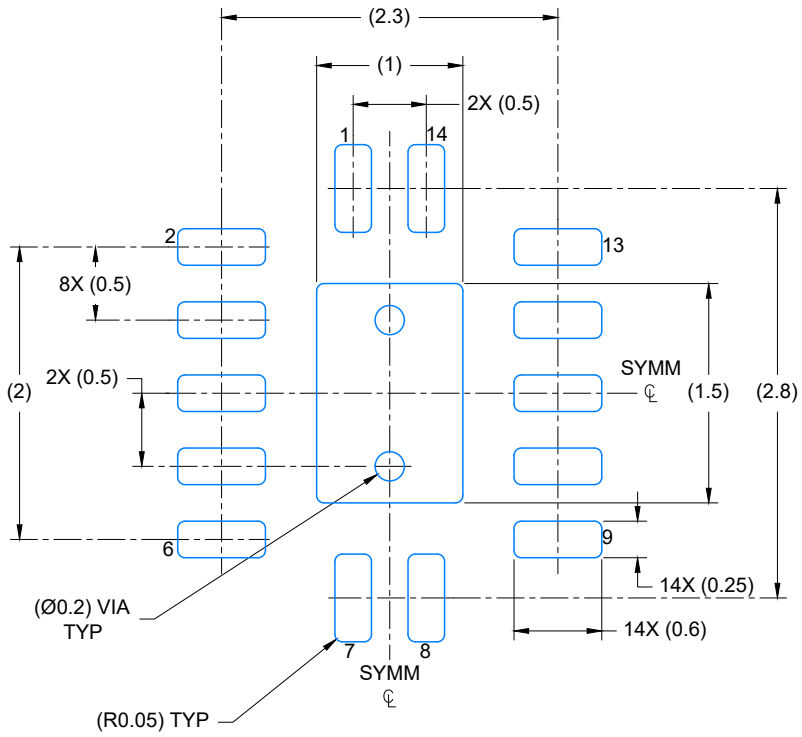
WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD

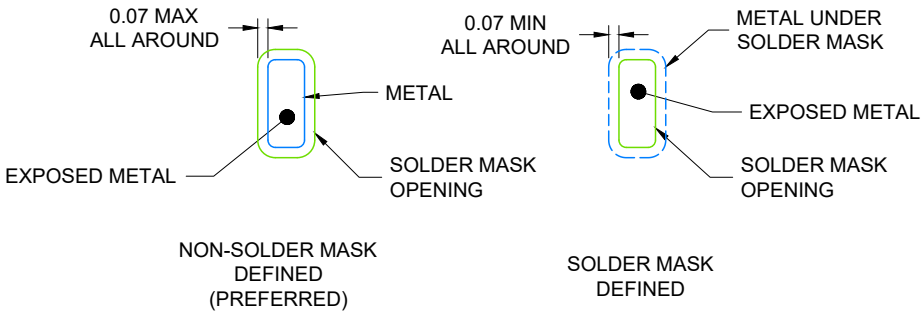


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



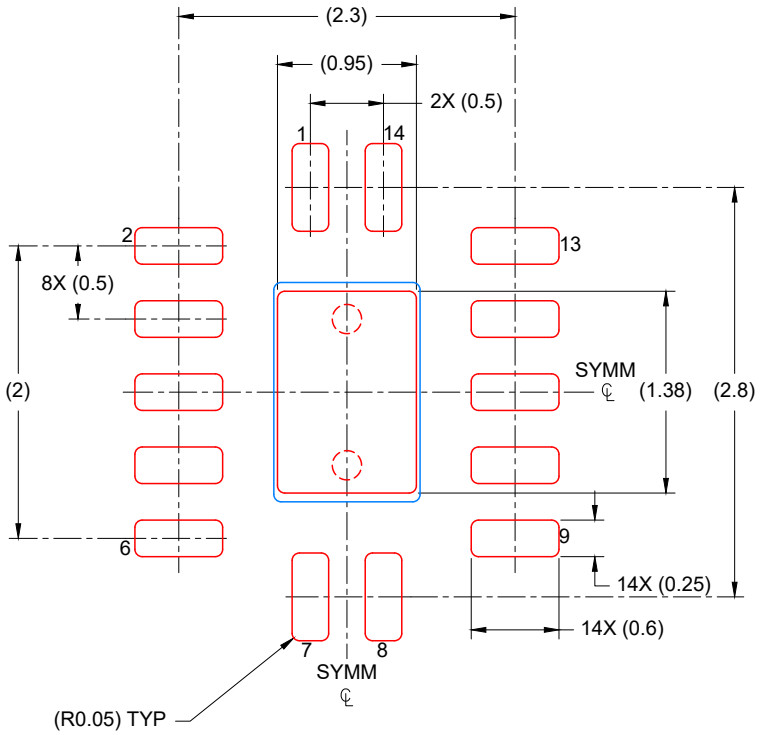
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224636/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
88% PRINTED COVERAGE BY AREA
SCALE: 20X

4224636/A 11/2018

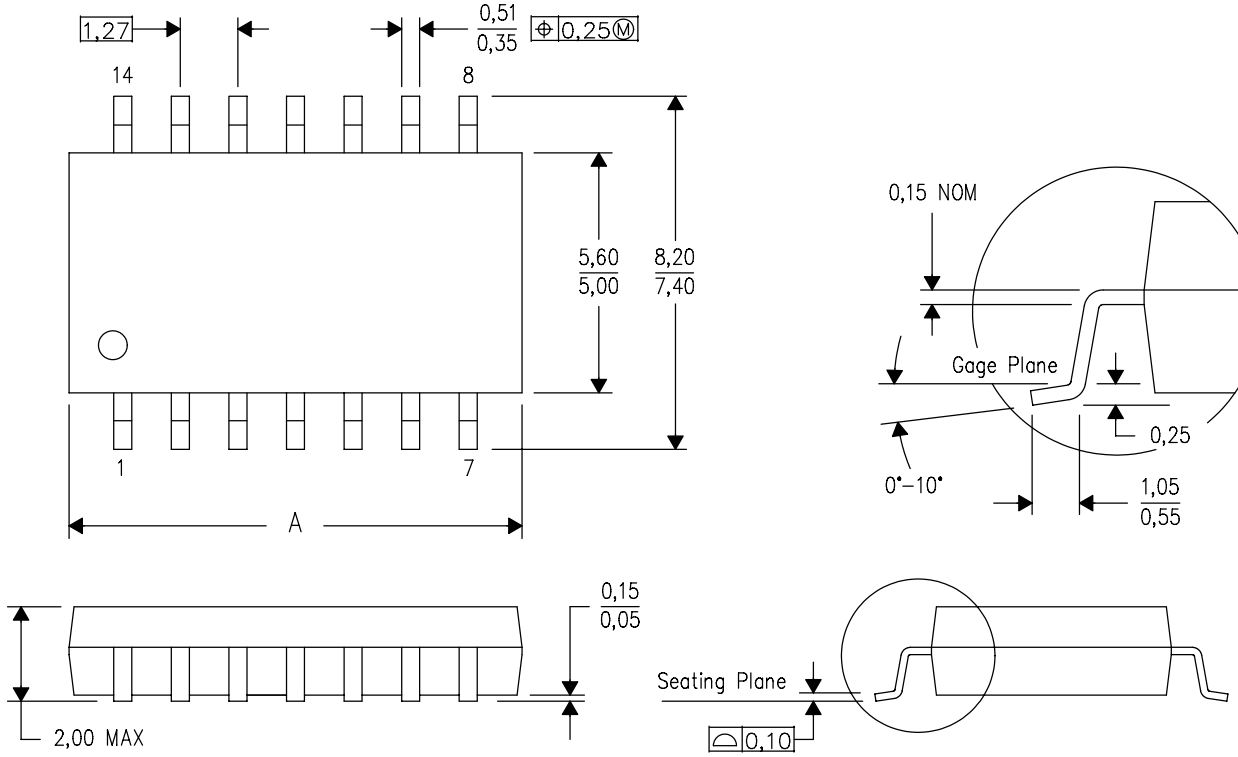
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW

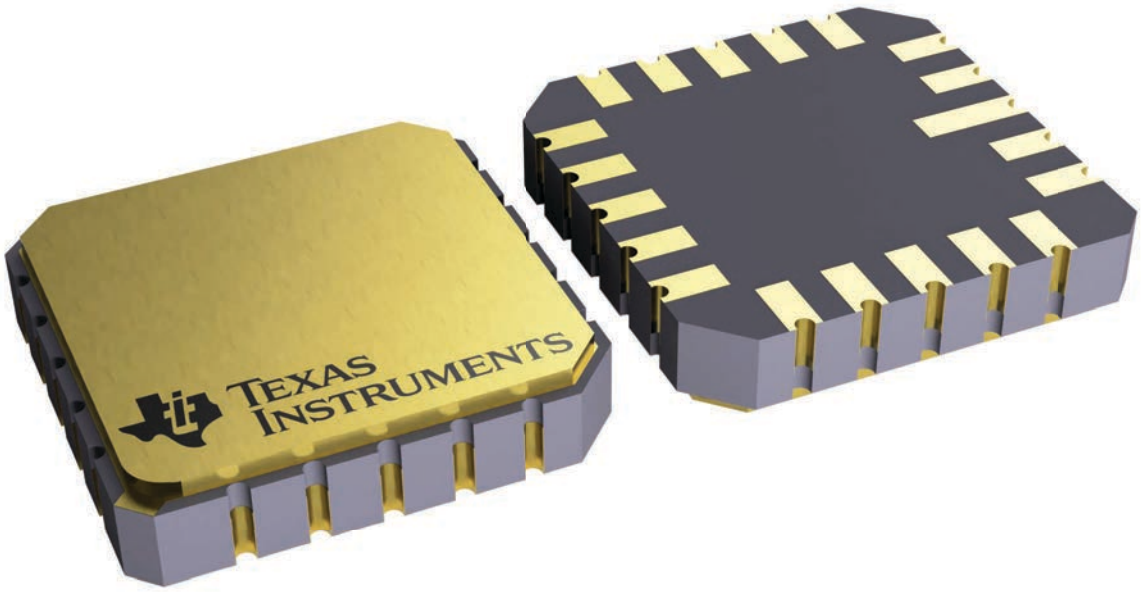
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

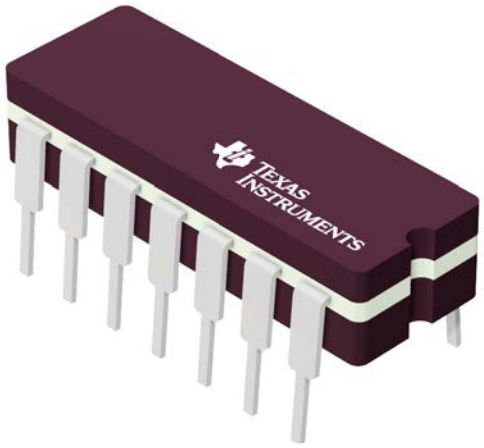


4229370VA\

GENERIC PACKAGE VIEW

J 14 CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

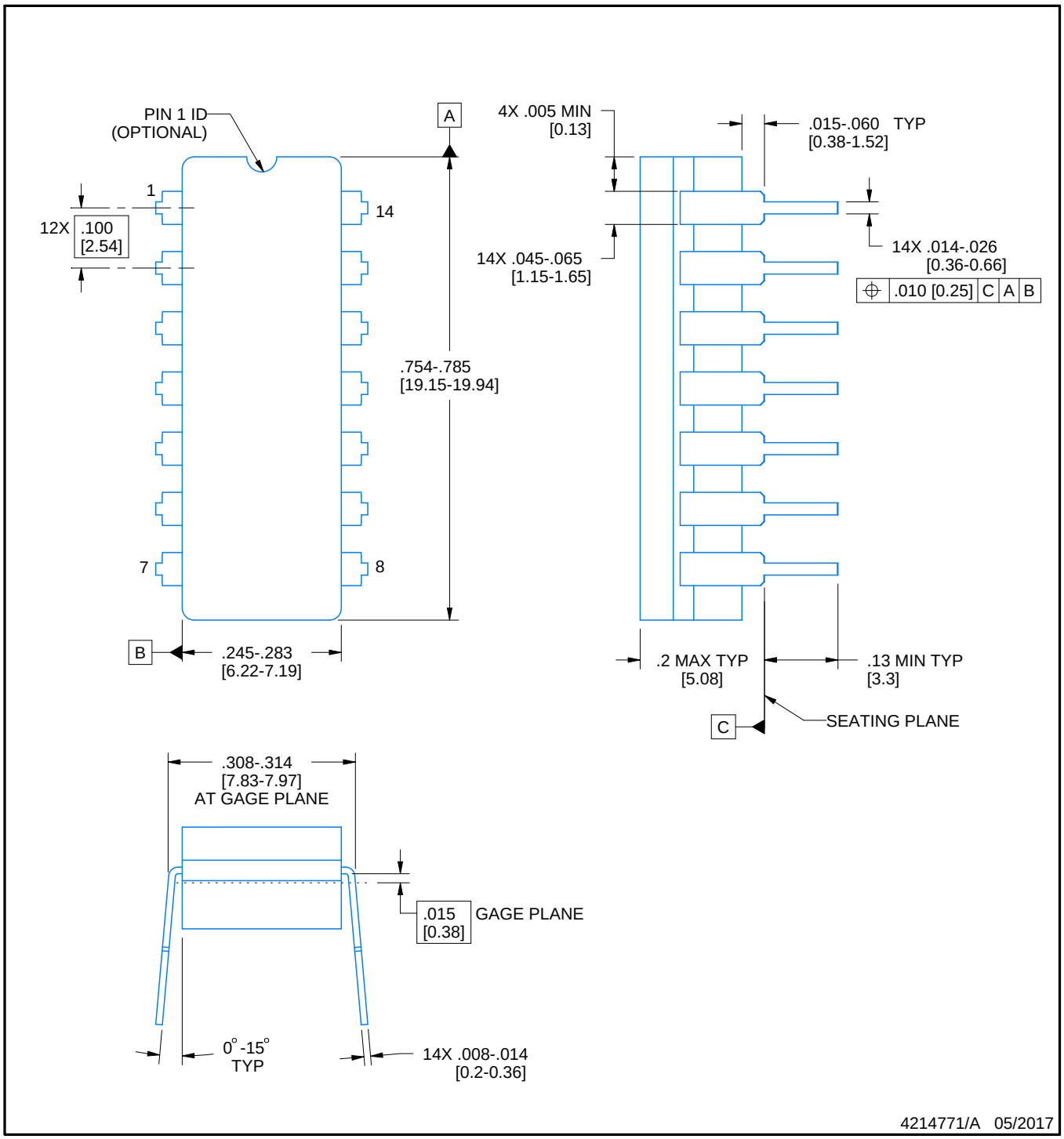


PACKAGE OUTLINE

J0014A

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

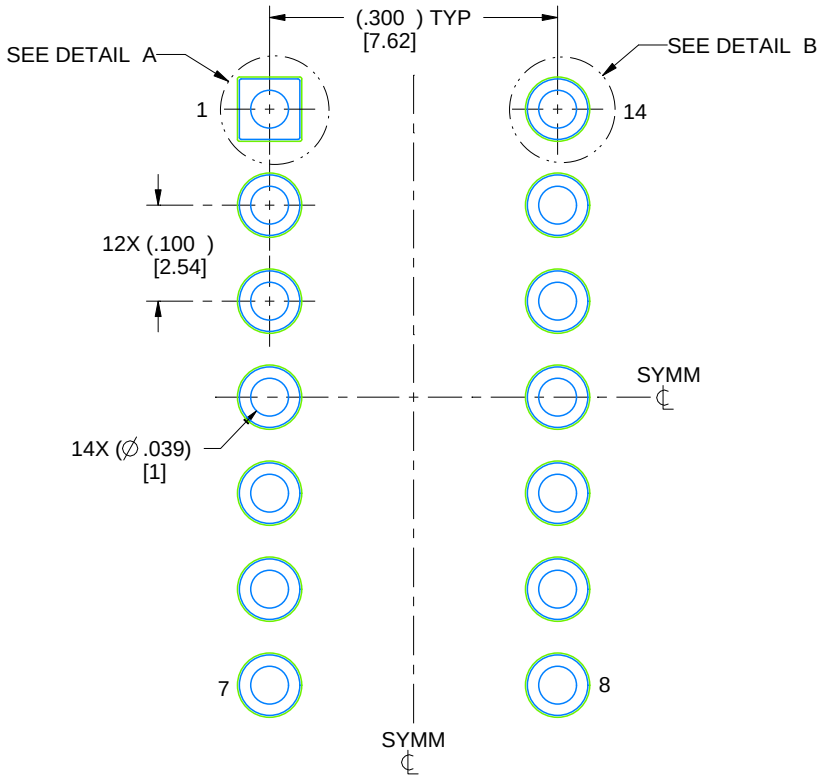
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermitically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

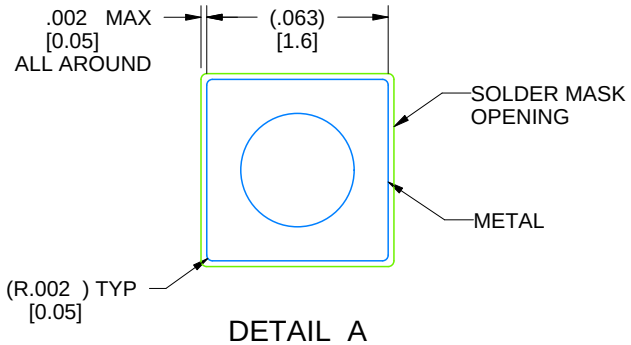
J0014A

CDIP - 5.08 mm max height

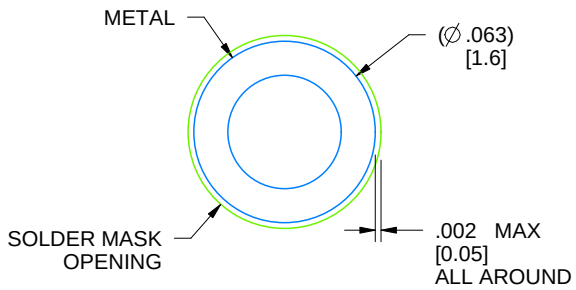
CERAMIC DUAL IN LINE PACKAGE



LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE: 5X



DETAIL A
SCALE: 15X



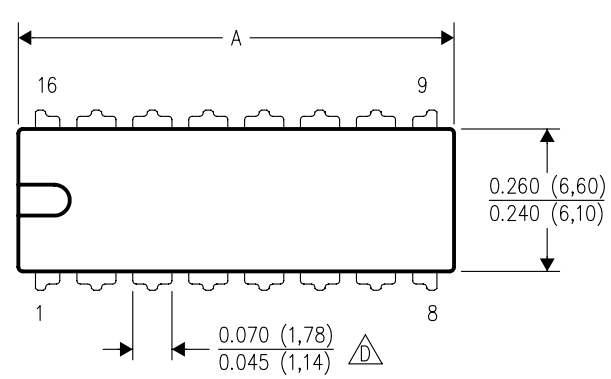
DETAIL B
13X, SCALE: 15X

4214771/A 05/2017

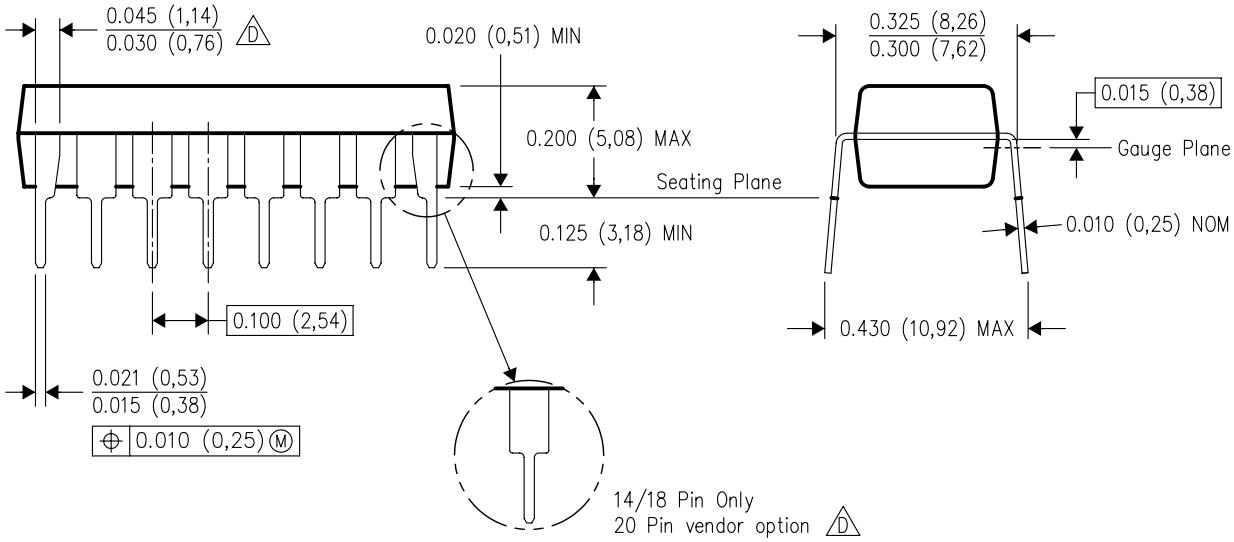
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

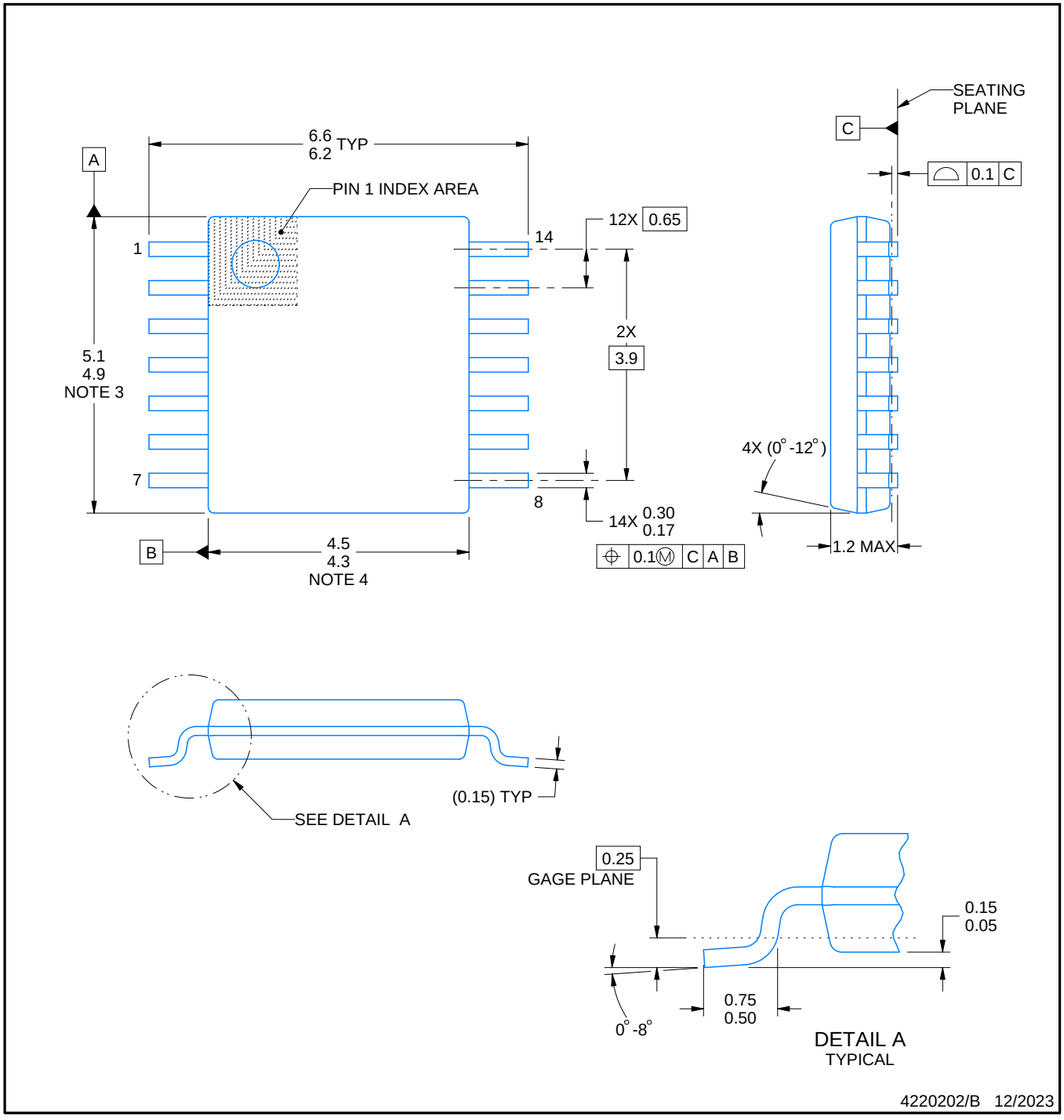
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

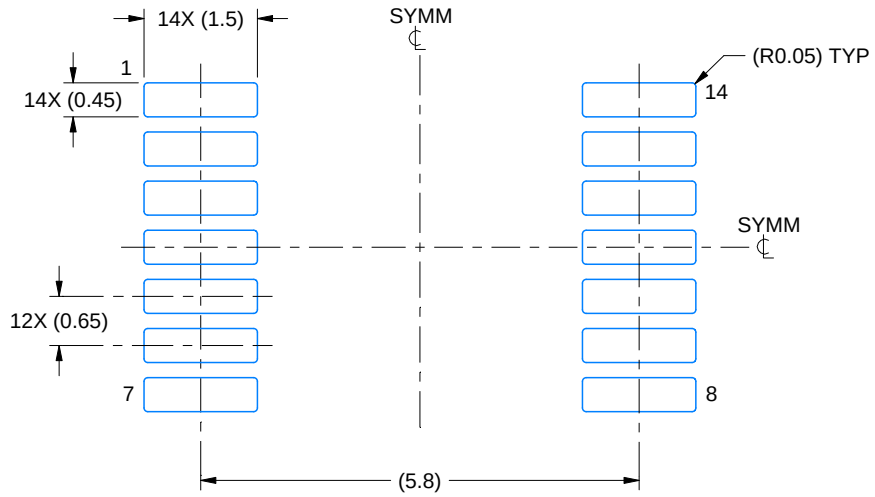
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

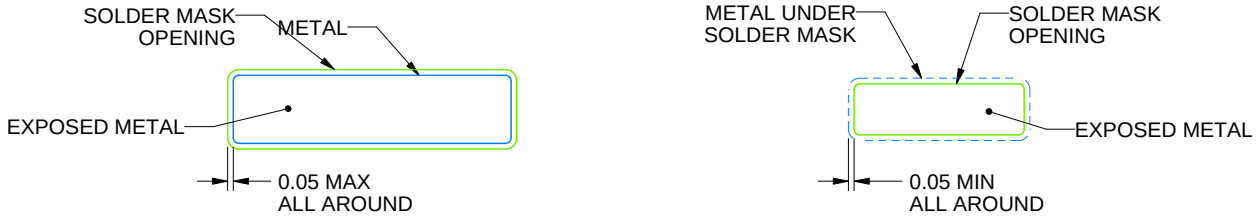


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

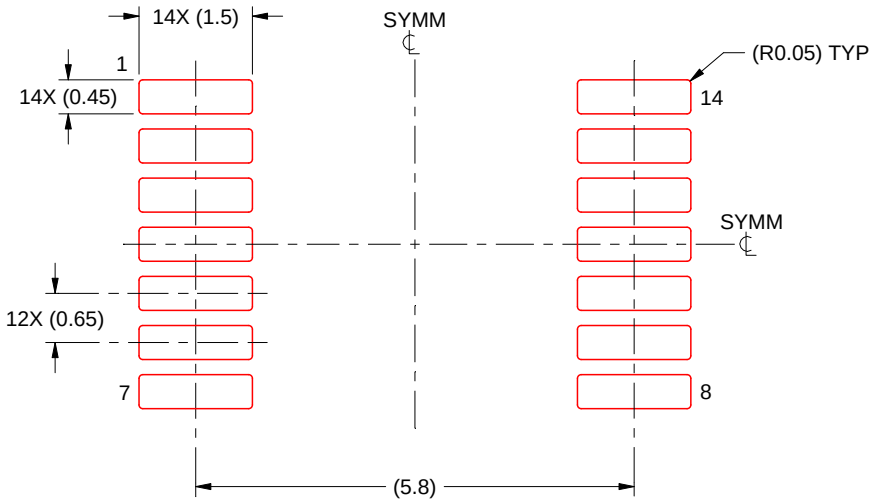


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



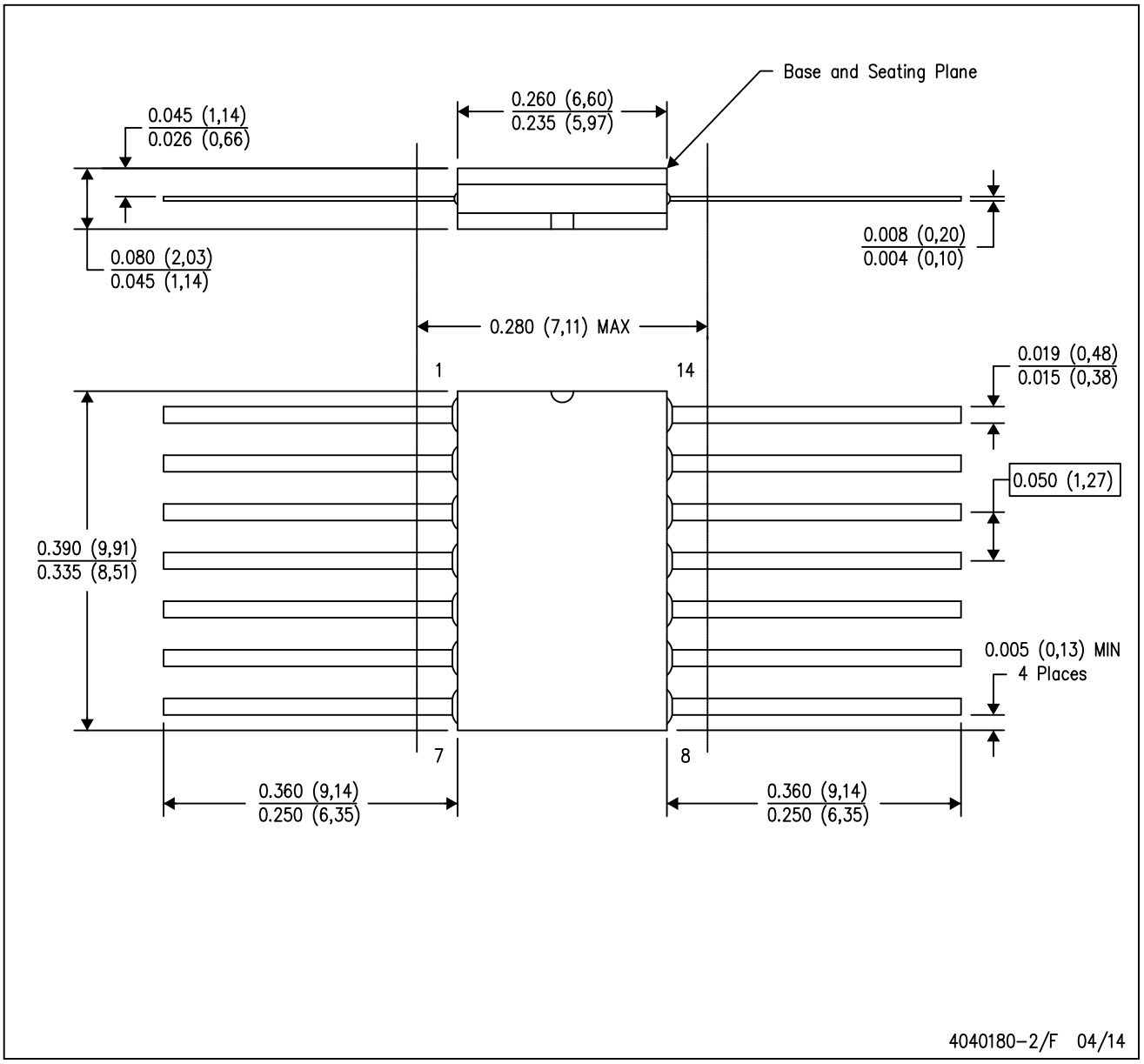
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F14) CERAMIC DUAL FLATPACK



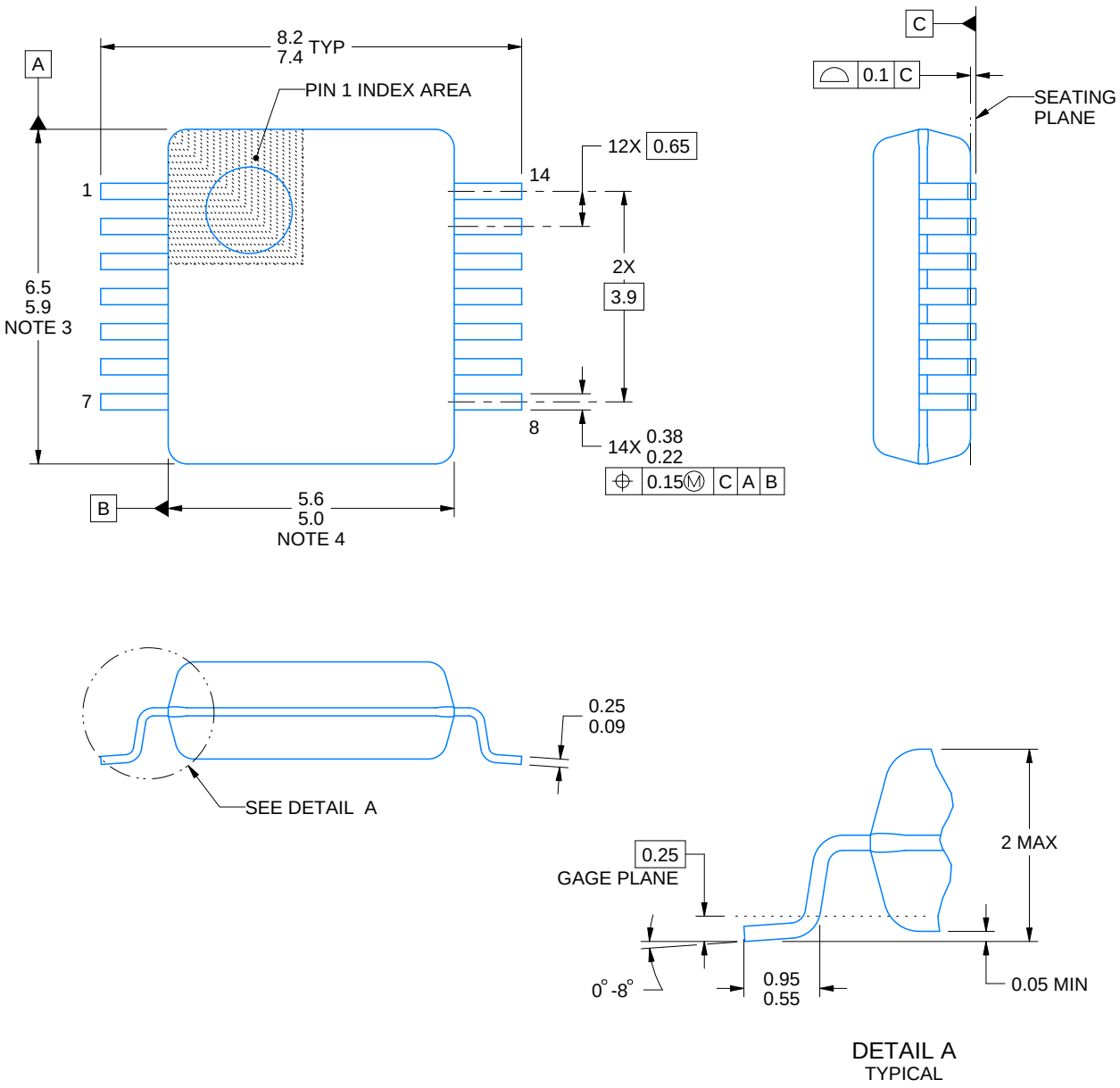
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP1–F14

PACKAGE OUTLINE

DB0014A

SSOP - 2 mm max height

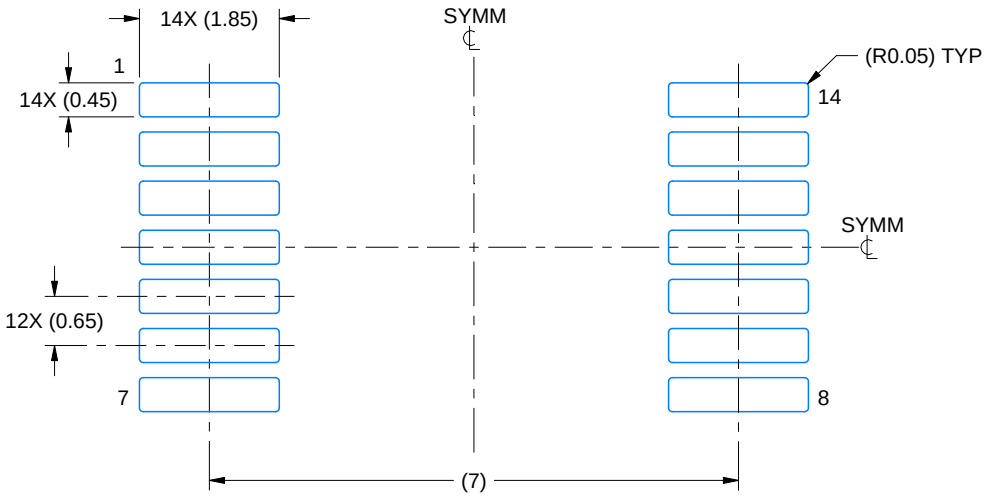
SMALL OUTLINE PACKAGE



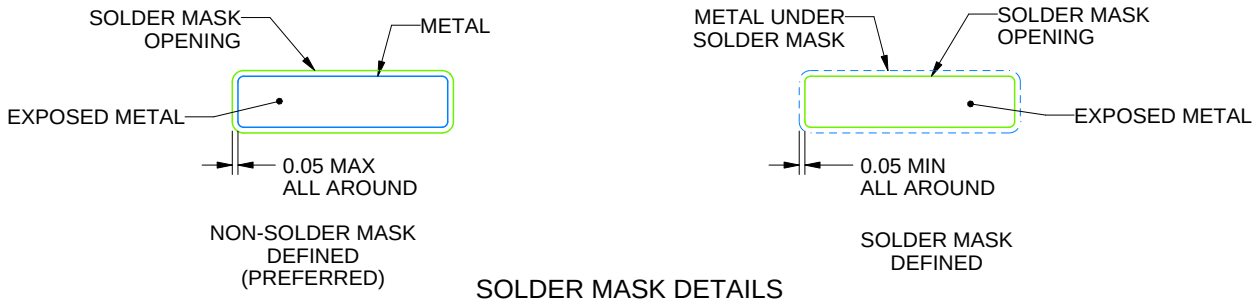
4220762/A 05/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

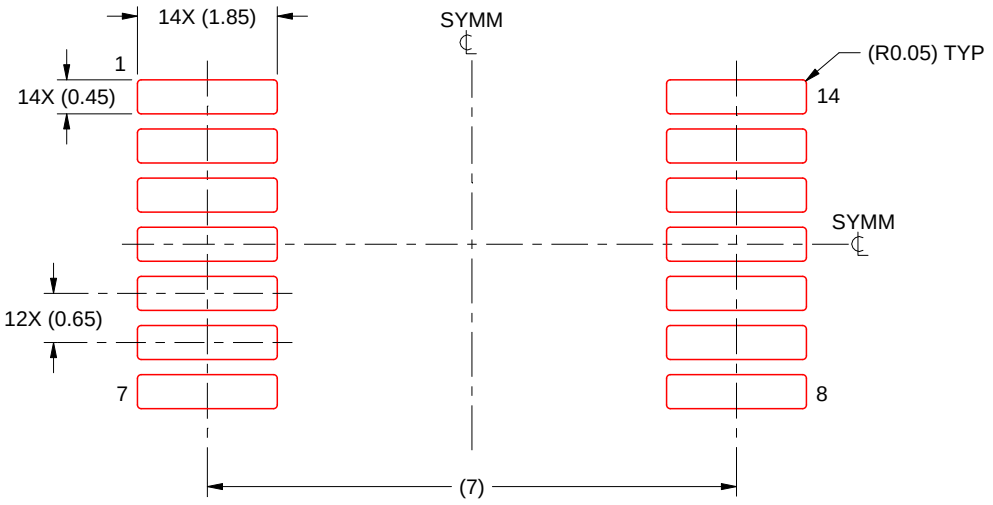


SOLDER MASK DETAILS

4220762/A 05/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220762/A 05/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月