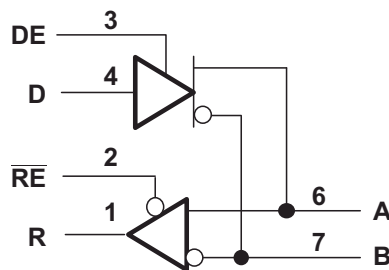


SN65MLVD20xx 多点 LVDS 线路驱动器和接收器

1 特性

- 低电压差分 30Ω 至 55Ω 线路驱动器和接收器，信号传输速率¹ 最高 100Mbps，时钟频率高达 50MHz
- 1 类接收器具有 25mV 迟滞 (SN65MLVD200A、SN65MLVD202A)
- 2 类接收器可提供一个偏移 (100mV) 阈值来检测开路 and 空闲总线条件 (SN65MLVD204A、SN65MLVD205A)
- 符合或超出 M-LVDS 标准 TIA/EIA-899，适用于多点数据交换
- 可控的驱动器输出电压转换时间可改进信号质量
- - 1V 至 3.4V 共模电压范围允许在 2V 接地噪声下传输数据
- 总线引脚在禁用或 $V_{CC} \leq 1.5V$ 时具有高阻抗
- 提供 200Mbps 器件 (SN65MLVD201、SN65MLVD203、SN65MLVD206、SN65MLVD207)
- 总线引脚静电放电 (ESD) 保护超过 8kV
- 可用封装：
 - 8 引脚 SOIC
SN65MLVD200A、SN65MLVD204A
 - 14 引脚 SOIC
SN65MLVD202A、SN65MLVD205A
- 是 SN65MLVD200、SN65MLVD202A、SN65MLVD204A 和 SN65MLVD205A 器件的改进备选器件

SN65MLVD200A, SN65MLVD204A



逻辑图 (正逻辑)

2 应用

- TIA/EIA-485 的低功耗高速短行程替代方案
- 背板或电缆连接的多点数据和时钟传输
- 蜂窝基站
- 局端交换机
- 网络交换机和路由器

3 说明

SN65MLVD20xx 器件为多点低压差分 (M-LVDS) 线路驱动器和接收器，它们均经过优化，支持的信号传输速率可高达 100Mbps。所有器件均符合多点低电压差分信号 (M-LVDS) 标准 TIA/EIA-899。

SN65MLVD20xx 器件较前代产品具有更多增强特性。改进的特性包括驱动器输出端可控的压摆率，有助于尽量减少无端桩线的反射，从而提高信号完整性。此外，在总线引脚上提供 8kV ESD 保护，以提高稳健性。沿用了相同尺寸，可轻松替换，有助于提升系统性能。

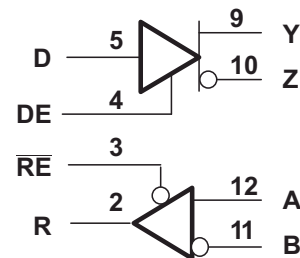
这些器件的额定工作温度范围为 -40°C 至 85°C。

器件信息

器件型号	封装 ⁽¹⁾	本体尺寸 (标称值)
SN65MLVD200A SN65MLVD204A	SOIC (8)	4.90mm × 3.91mm
SN65MLVD202A SN65MLVD205A	SOIC (14)	8.65mm × 3.91mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

SN65MLVD202A, SN65MLVD205A



¹ 线路的信号传输速率是每秒进行电压转换的次数，以单位 bps (每秒位数) 来表示



内容

1 特性	1	8.2 功能方框图	17
2 应用	1	8.3 特性说明	17
3 说明	1	8.4 器件功能模式	18
4 器件比较表	3	9 应用和实施	20
5 引脚配置和功能	3	9.1 应用信息.....	20
6 规格	4	9.2 典型应用.....	20
6.1 绝对最大额定值.....	4	10 电源相关建议	24
6.2 ESD 等级.....	4	11 布局	24
6.3 建议运行条件.....	4	11.1 布局指南.....	24
6.4 热性能信息.....	5	11.2 布局示例.....	28
6.5 电气特性.....	5	12 器件和文档支持	29
6.6 电气特性 - 驱动器.....	5	12.1 文档支持.....	29
6.7 电气特性 - 接收器.....	6	12.2 接收文档更新通知.....	29
6.8 电气特性 - 总线输入和输出.....	6	12.3 支持资源.....	29
6.9 开关特性 - 驱动器.....	7	12.4 商标.....	29
6.10 开关特性 - 接收器.....	8	12.5 静电放电警告.....	29
6.11 典型特性.....	9	12.6 术语表.....	29
7 参数测量信息	11	13 修订历史记录	29
8 详细说明	17	14 机械、封装和可订购信息	30
8.1 概述.....	17		

4 器件比较表

器件型号	封装	接收器类型
SN65MLVD200AD	SN75176	1 类
SM65MLVD202AD	SN75ALS180	1 类
SN65MLVD204AD	SN75176	2 类
SM65MLVD205AD	SN75ALS180	2 类

5 引脚配置和功能

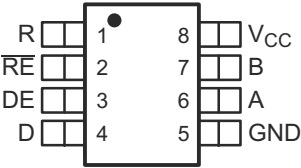


图 5-1. D 封装 8 引脚 SOIC 顶视图

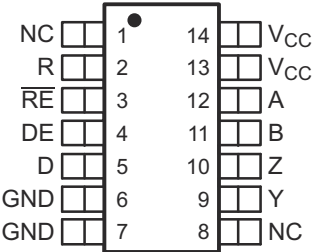


图 5-2. D 封装 14 引脚 SOIC 顶视图

表 5-1. 引脚功能

引脚			类型	说明
名称	SOIC-8	SOIC-14		
A	6	12	I/O	差分 I/O
B	7	11	I/O	差分 I/O
D	4	5	I	驱动器输入
DE	3	4	I	驱动器使能引脚：高电平 = 启用，低电平 = 禁用
GND	5	6、7	电源	电源接地
NC	—	1、8	NC	无内部连接
R	1	2	O	接收器输出
RE	2	3	I	接收器使能引脚：高电平 = 禁用，低电平 = 启用
V _{CC}	8	13、14	电源	电源，3.3V
Y	—	9	I/O	差分 I/O
Z	—	10	I/O	差分 I/O

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压 ⁽²⁾ , V_{CC}		-0.5	4	V
输入电压	D、DE、 $\overline{RE}$	-0.5	4	V
	A、B (SN65MLVD200A 和 SN65MLVD204A)	-1.8	4	V
	A、B (SN65MLVD202A、SN65MLVD205A)	-4	6	V
输出电压范围	R	-0.3	4	V
	Y、Z、A 或 B	-1.8	4	V
连续功耗		请参阅 节 6.4		
贮存温度, T_{stg}		-65	150	°C

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除差分 I/O 总线电压外的所有电压值都是相对于网络接地引脚的值。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	除 A、B、Y 和 Z 外的所有引脚	±4000	V
		A、B、Y 和 Z	±8000	
	充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	所有引脚	±1500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	标称值	最大值	单位
V_{CC}	电源电压	3	3.3	3.6	V
V_{IH}	高电平输入电压	2		V_{CC}	V
V_{IL}	低电平输入电压	GND		0.8	V
	任何总线端子 V_A V_B V_Y 或 V_Z 上的电压	-1.4		3.8	V
$ V_{ID} $	差分输入电压幅度			V_{CC}	V
R_L	差分负载电阻	30	50		Ω
$1/t_{UI}$	信令速率			100	Mbps
T_A	自然通风条件下的工作温度范围	-40		85	°C

6.4 热性能信息

热性能指标 ⁽¹⁾		SN65MLVD200A、 SN65MLVD204A	SN65MLVD202A、 SN65MLVD205A	单位
		D (SOIC)	D (SOIC)	
		8 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	103.9	78.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	50.6	39	°C/W
$R_{\theta JB}$	结至电路板热阻	44.5	33.3	°C/W
ψ_{JT}	结至顶部特征参数	8.1	7.2	°C/W
ψ_{JB}	结至电路板特征参数	43.9	33	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅 [半导体和 IC 封装热性能指标应用报告 \(SPRA953\)](#)。

6.5 电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
I_{CC} 电源电流	仅驱动器	$\overline{RE}$ 和 DE (V_{CC} 时), $R_L = 50\Omega$, 所有其他均为开路		13	22	mA
	两者都禁用	$\overline{RE}$ (V_{CC} 时), DE (0V 时), $R_L =$ 空载, 所有其他均为开路		1	4	
	两者都启用	$\overline{RE}$ (0V 时), DE (V_{CC} 时), $R_L = 50\Omega$, 所有其他均为开路		16	24	
	仅接收器	$\overline{RE}$ (0V 时), DE (0V 时), 所有其他均为开路		4	13	
P_D	器件功率耗散	$R_L = 50\Omega$, D 的输入为 50MHz 50% 占空比方波, DE = 高电平, $\overline{RE}$ = 低电平, $T_A = 85^\circ C$			94	mW

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

6.6 电气特性 - 驱动器

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值 ⁽¹⁾	典型值 ⁽²⁾	最大值	单位
$ V_{AB} $ 或 $ V_{YZ} $ 差分输出电压幅度	请参阅图 7-2	480		650	mV
$\Delta V_{AB} $ 或 $\Delta V_{YZ} $ 逻辑状态之间的差分输出电压幅度变化		-50		50	mV
$V_{OS(SS)}$ 稳定状态共模输出电压	请参阅图 7-3	0.8		1.2	V
$\Delta V_{OS(SS)}$ 逻辑状态之间的稳态共模输出电压变化		-50		50	mV
$V_{OS(PP)}$ 峰峰值共模输出电压				150	mV
$V_{Y(OC)}$ 或 $V_{A(OC)}$ 最大稳态开路输出电压	请参阅图 7-7	0		2.4	V
$V_{Z(OC)}$ 或 $V_{B(OC)}$ 最大稳态开路输出电压		0		2.4	V
$V_{P(H)}$ 电压过冲, 低电平至高电平输出	请参阅图 7-5			1.2 V_{SS}	V
$V_{P(L)}$ 电压过冲, 高电平至低电平输出		-0.2 V_{SS}			V
I_{IH} 高电平输入电流 (D、DE)	$V_{IH} = 2V$ 至 V_{CC}	0		10	μA
I_{IL} 低电平输入电流 (D、DE)	$V_{IL} = GND$ 至 0.8V	0		10	μA
$ I_{OS} $ 差分短路输出电流幅度	请参阅图 6-4			24	mA

6.6 电气特性 - 驱动器 (续)

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值 ⁽¹⁾	典型值 ⁽²⁾	最大值	单位
I_{OZ} 高阻抗状态输出电流 (仅驱动器)	$-1.4V \leq (V_Y \text{ 或 } V_Z) \leq 3.8V$, 其他输出 = 1.2V	-15		10	μA
$I_{O(OFF)}$ 断电输出电流	$-1.4V \leq (V_Y \text{ 或 } V_Z) \leq 3.8V$, 其他输出 = 1.2V, $0V \leq V_{CC} \leq 1.5V$	-10		10	μA
C_Y 或 C_Z 输出电容	$V_I = 0.4 \sin(30E6 \pi t) + 0.5V$, ⁽³⁾ 其他输入为 1.2V, 禁用驱动器		3		pF
C_{YZ} 差分输出电容	$V_{AB} = 0.4 \sin(30E6 \pi t)V$, ⁽³⁾ 禁用驱动器			2.5	pF
$C_{Y/Z}$ 输出电容平衡, (C_Y/C_Z)		0.99		1.01	

(1) 本数据表采用将最小正值 (最大负值) 指定为最小值的代数约定。

(2) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(3) HP4194A 阻抗分析仪 (或等效产品)

6.7 电气特性 - 接收器

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
V_{IT+} 正向差分输入电压阈值	1 类			50	mV
	2 类			150	
V_{IT-} 负向差分输入电压阈值	1 类	-50			mV
	2 类	50			
V_{HYS} 差分输入电压迟滞, ($V_{IT+} - V_{IT-}$)	1 类		25		mV
	2 类		0		
V_{OH} 高电平输出电压 (R)	$I_{OH} = -8mA$	2.4			V
V_{OL} 低电平输出电压 (R)	$I_{OL} = 8mA$			0.4	V
I_{IH} 高电平输入电流 ($\overline{RE}$)	$V_{IH} = 2V$ 至 V_{CC}	-10		0	μA
I_{IL} 低电平输入电流 ($\overline{RE}$)	$V_{IL} = GND$ 至 0.8V	-10		0	μA
I_{OZ} 高阻抗输出电流 (R)	$V_O = 0V$ 或 3.6V	-10		15	μA
C_A 或 C_B 输入电容	$V_I = 0.4 \sin(30E6 \pi t) + 0.5V$ ⁽²⁾ , 其他输入为 1.2V		3		pF
C_{AB} 差分输入电容	$V_{AB} = 0.4 \sin(30E6 \pi t)V$ ⁽²⁾			2.5	pF
$C_{A/B}$ 输入电容平衡, (C_A/C_B)		0.99		1.01	

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(2) HP4194A 阻抗分析仪 (或等效产品)

6.8 电气特性 - 总线输入和输出

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
I_A 接收器或禁用了驱动器的收发器的输入电流	$V_A = 3.8V$ $V_B = 1.2V$	0		32	μA
	$V_A = 0V$ 或 2.4V $V_B = 1.2V$	-20		20	
	$V_A = -1.4V$ $V_B = 1.2V$	-32		0	

6.8 电气特性 - 总线输入和输出 (续)

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值 (1)	最大值	单位
I_B 接收器或禁用了驱动器的收发器的输入电流	$V_B = 3.8V$ $V_A = 1.2V$	0		32	μA
	$V_B = 0V$ 或 $2.4V$ $V_A = 1.2V$	-20		20	
	$V_B = -1.4V$ $V_A = 1.2V$	-32		0	
I_{AB} 接收器或禁用了驱动器的收发器的差分输入电流 ($I_A - I_B$)	$V_A = V_B$ $1.4V \leq V_A \leq 3.8V$	-4		4	μA
$I_{A(OFF)}$ 接收器或收发器断电输入电流	$V_A = 3.8V$ $V_B = 1.2V$ $0V \leq V_{CC} \leq 1.5V$	0		32	μA
	$V_A = 0V$ 或 $2.4V$ $V_B = 1.2V$ $0V \leq V_{CC} \leq 1.5V$	-20		20	
	$V_A = -1.4V$ $V_B = 1.2V$ $0V \leq V_{CC} \leq 1.5V$	-32		0	
$I_{B(OFF)}$ 接收器或收发器断电输入电流	$V_B = 3.8V$ $V_A = 1.2V$ $0V \leq V_{CC} \leq 1.5V$	0		32	μA
	$V_B = 0V$ 或 $2.4V$ $V_A = 1.2V$ $0V \leq V_{CC} \leq 1.5V$	-20		20	
	$V_B = -1.4V$ $V_A = 1.2V$ $0V \leq V_{CC} \leq 1.5V$	-32		0	
$I_{AB(OFF)}$ 接收器输入或收发器断电差分输入电流 ($I_A - I_B$)	$V_A = V_B$, $0V \leq V_{CC} \leq 1.5V$, $-1.4V \leq V_A \leq 3.8V$	-4		4	μA
C_A 禁用了驱动器的收发器的输入电容	$V_A = 0.4 \sin(30E6 \pi t) + 0.5V^{(2)}$, $V_B = 1.2V$		5		pF
C_B 禁用了驱动器的收发器的输入电容	$V_B = 0.4 \sin(30E6 \pi t) + 0.5V^{(2)}$, $V_A = 1.2V$		5		pF
C_{AB} 禁用了驱动器的收发器的差分输入电容	$V_{AB} = 0.4 \sin(30E6 \pi t)V^{(2)}$		3		pF
$C_{A/B}$ 禁用了驱动器的收发器的输入电容平衡, (C_A/C_B)		0.99		1.01	

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(2) HP4194A 阻抗分析仪 (或等效产品)

6.9 开关特性 - 驱动器

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值 (1)	最大值	单位
t_{PLH} 传播延时, 低至高电平输出	请参阅图 7-5	2	2.5	3.5	ns
t_{PHL} 传播延时, 高至低电平输出		2	2.5	3.5	ns
t_r 差分输出信号上升时间		2	2.6	3.2	ns
t_f 差分输出信号下降时间		2	2.6	3.2	ns
$t_{sk(p)}$ 脉冲偏斜 ($ t_{pHL} - t_{pLH} $)			30	150	ps
$t_{sk(pp)}$ 器件间偏移 ⁽²⁾				0.9	ns
$t_{jit(per)}$ 周期抖动, rms (1 个标准差) ⁽³⁾	50MHz 时钟输入 ⁽⁴⁾		2	3	ps
$t_{jit(pp)}$ 峰峰值抖动 ^{(3) (6)}	100Mbps 2 ¹⁵ - 1 PRBS 输入 ⁽⁵⁾		55	150	ps
t_{PHZ} 禁用时间, 高电平至高阻抗输出	请参阅图 7-6		4	7	ns
t_{PLZ} 禁用时间, 低电平至高阻抗输出			4	7	ns
t_{PZH} 启用时间, 高阻抗至高电平输出			4	7	ns
t_{PZL} 启用时间, 高阻抗至低电平输出			4	7	ns

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(2) 器件间偏斜定义为在相同 V/T 条件下运行的两个器件之间的传播延迟差异。

(3) 抖动由设计和特性来确保。已从数字中减去激励抖动。

(4) $t_r = t_f = 0.5ns$ (10% 至 90%), 对 30K 个样本测得。

(5) $t_r = t_f = 0.5ns$ (10% 至 90%), 对 100K 个样本测得。

(6) 峰峰值抖动包括脉冲偏斜 ($t_{sk(p)}$) 引起的抖动。

6.10 开关特性 - 接收器

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值 (1)	最大值	单位
t_{PLH}	传播延时, 低至高电平输出	$C_L = 15\text{pF}$, 请参阅图 7-10	2	3.6	6	ns
t_{PHL}	传播延时, 高至低电平输出		2	3.6	6	ns
t_r	输出信号上升时间		1		2.3	ns
t_f	输出信号下降时间		1		2.3	ns
$t_{sk(p)}$	脉冲偏斜 ($ t_{pHL} - t_{pLH} $)			100	300	ps
	1 类					
	2 类			300	500	ps
$t_{sk(pp)}$	器件间偏移(2)				1	ns
$t_{jit(per)}$	周期抖动, rms (1 个标准差) (3)	50MHz 时钟输入(4)		4	7	ps
$t_{jit(pp)}$	峰峰值抖动(3) (6)	100Mbps 2 ¹⁵ - 1 PRBS 输入(5)	1 类	200	700	ps
	2 类			225	800	ps
t_{PHZ}	禁用时间, 高电平至高阻抗输出	请参阅图 7-11		6	10	ns
t_{PLZ}	禁用时间, 低电平至高阻抗输出			6	10	ns
t_{PZH}	启用时间, 高阻抗至高电平输出			10	15	ns
t_{PZL}	启用时间, 高阻抗至低电平输出			10	15	ns

- (1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。
- (2) 器件间偏斜定义为在相同 V/T 条件下运行的两个器件之间的传播延迟差异。
- (3) 抖动由设计和特性来确保。已从数字中减去激励抖动。
- (4) $V_{ID} = 200\text{mV}_{pp}$ (MLVD200A, 202A), $V_{ID} = 400\text{mV}_{pp}$ (MLVD204A, 205A), $V_{cm} = 1\text{V}$, $t_r = t_f = 0.5\text{ns}$ (10% 至 90%), 对 30K 个样本测得。
- (5) $V_{ID} = 200\text{mV}_{pp}$ (MLVD200A, 202A), $V_{ID} = 400\text{mV}_{pp}$ (MLVD204A, 205A), $V_{cm} = 1\text{V}$, $t_r = t_f = 0.5\text{ns}$ (10% 至 90%), 对 100K 个样本测得。
- (6) 峰峰值抖动包括脉冲偏斜 ($t_{sk(p)}$) 引起的抖动

6.11 典型特性

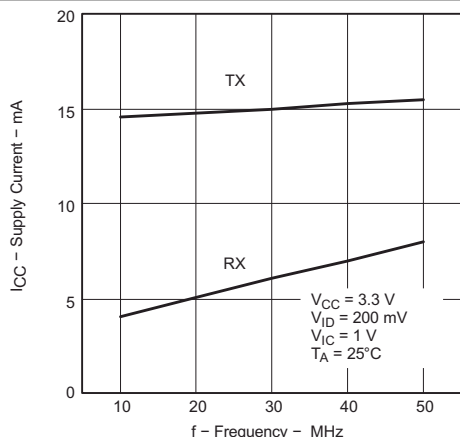


图 6-1. 电源电流与频率间的关系

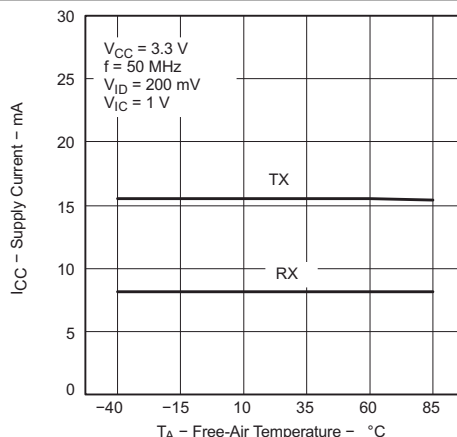


图 6-2. 电源电流与自然通风温度间的关系

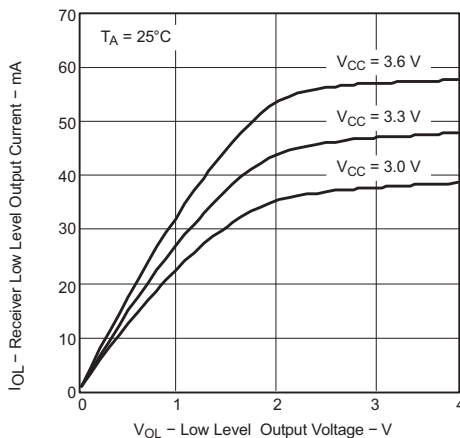


图 6-3. 接收器低电平输出电流与低电平输出电压间的关系

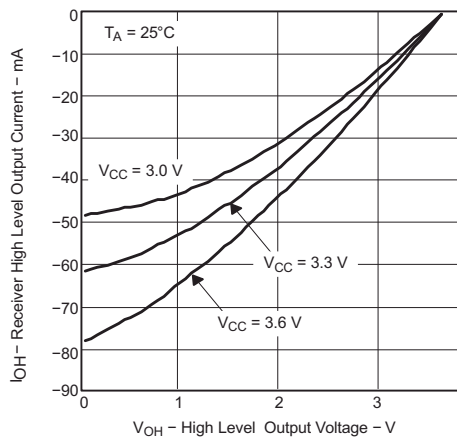


图 6-4. 接收器高电平输出电流与高电平输出电压间的关系

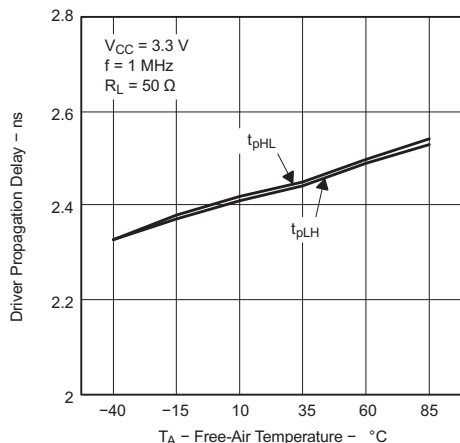


图 6-5. 驱动器传播延迟与自然通风温度间的关系

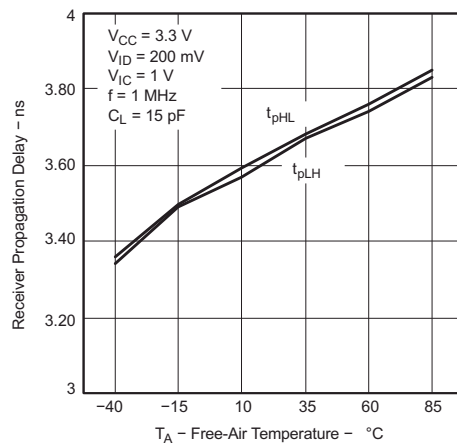


图 6-6. 接收器传播延迟与自然通风温度间的关系

6.11 典型特性 (续)

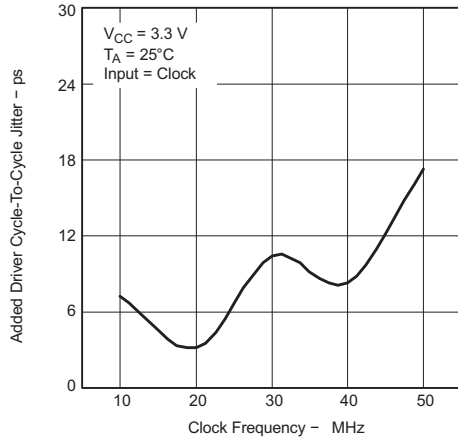


图 6-7. 添加了驱动器周期抖动与时钟频率间的关系

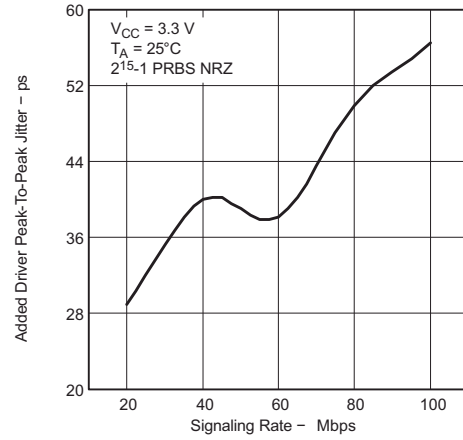


图 6-8. 添加了驱动器峰峰值抖动与信号传输速率间的关系

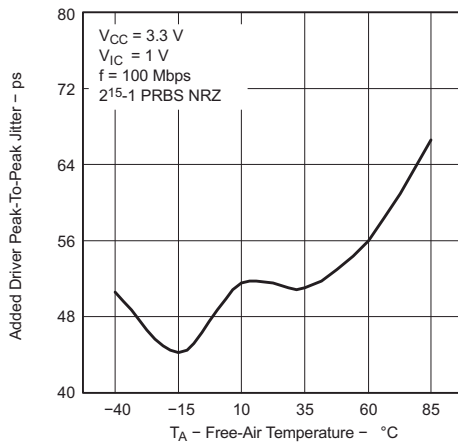


图 6-9. 添加了驱动器峰峰值抖动与自然通风温度间的关系

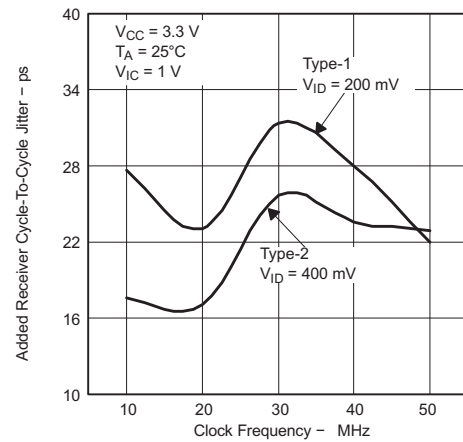


图 6-10. 添加了接收器逐周期抖动与时钟频率间的关系

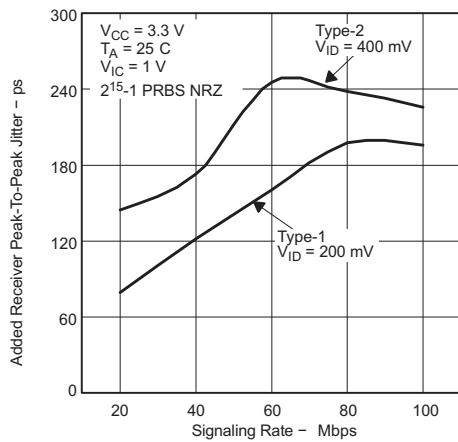


图 6-11. 添加了接收器峰峰值抖动与信号传输速率间的关系

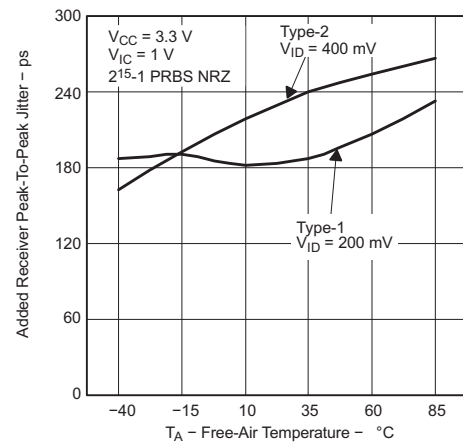


图 6-12. 添加了接收器峰峰值抖动与自然通风温度间的关系

7 参数测量信息

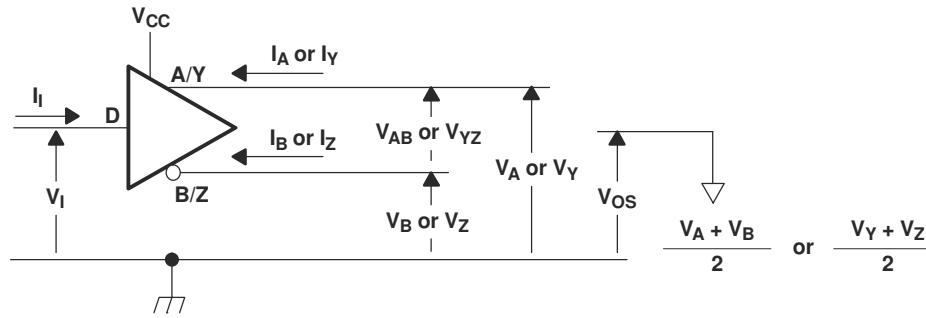
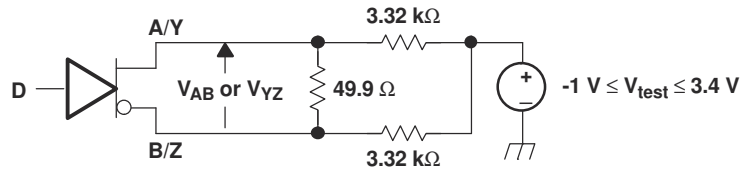
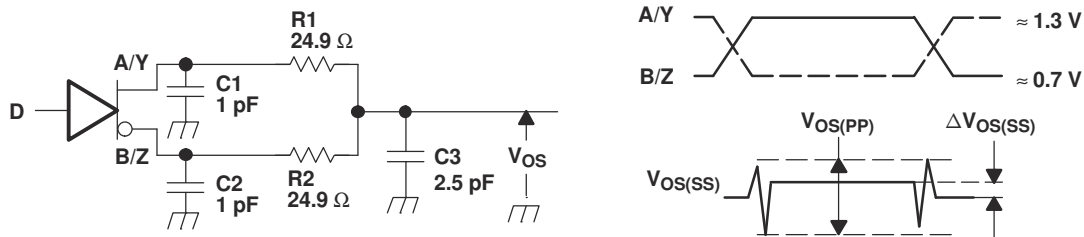


图 7-1. 驱动器电压和电流定义



A. 所有电阻器的容差均为 1%。

图 7-2. 差分输出电压测试电路



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ ，脉冲频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- B. C1、C2 和 C3 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。
- C. R1 和 R2 是金属膜，表面贴装，容差为 $\pm 1\%$ ，位于距离 D.U.T. 的 2cm 范围内。
- D. $V_{OS(PP)}$ 测量是在测试设备上使用 -3dB 带宽以至少 1GHz 的频率执行的。

图 7-3. 驱动器共模输出电压的测试电路和定义

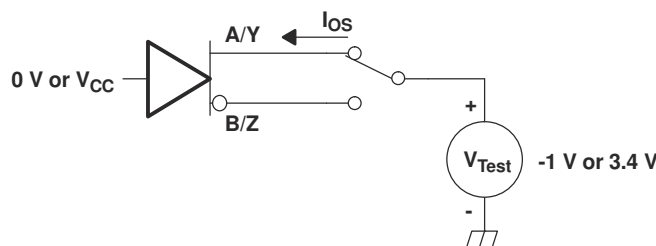
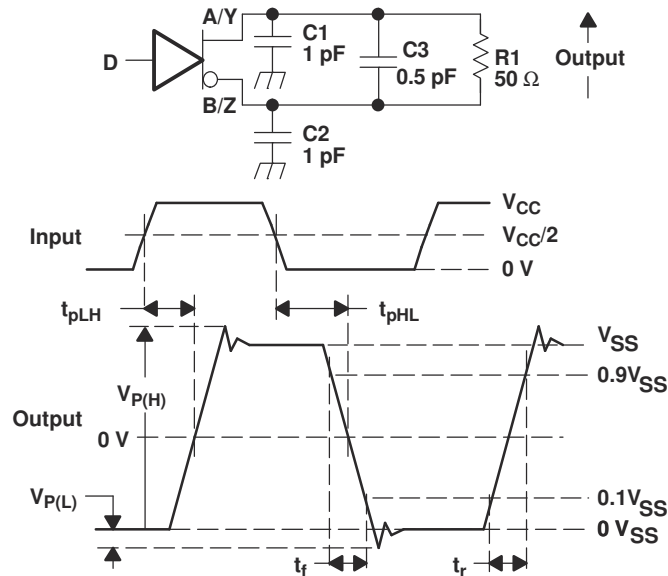
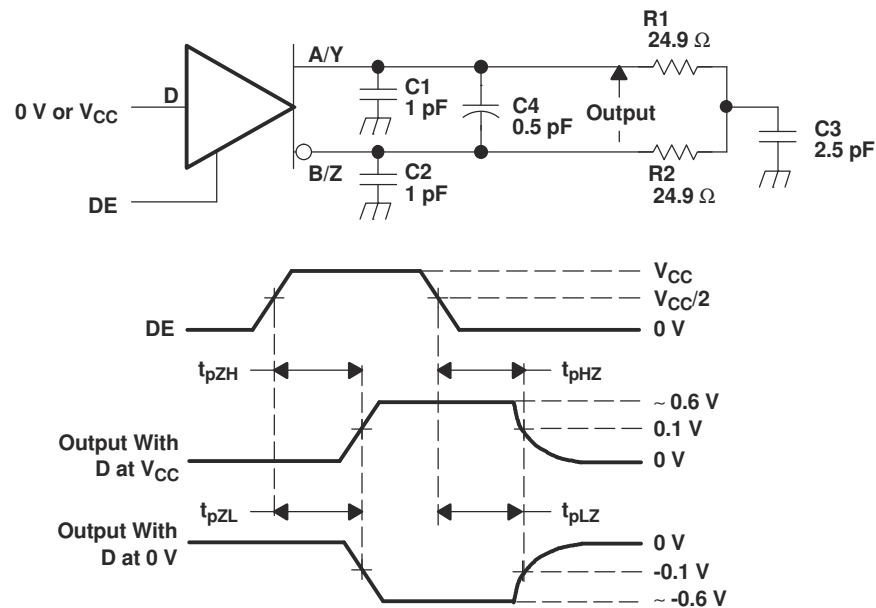


图 7-4. 驱动器短路测试电路



- 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ ns}$ ，频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- C1、C2 和 C3 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。
- R1 是金属膜，表面贴装，容差为 $\pm 1\%$ ，位于距离 D.U.T. 的 2cm 范围内。
- 测量是在测试设备上使用 -3dB 带宽以至少 1GHz 的频率执行的。

图 7-5. 差分输出信号的驱动器测试电路、时序和电压定义



- 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ ns}$ ，频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- C1、C2、C3 和 C4 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。
- R1 和 R2 是金属膜，表面贴装，容差为 $\pm 1\%$ ，位于距离 D.U.T. 的 2cm 范围内。
- 测量是在测试设备上使用 -3dB 带宽以至少 1GHz 的频率执行的。

图 7-6. 驱动器启用和禁用时间电路和定义

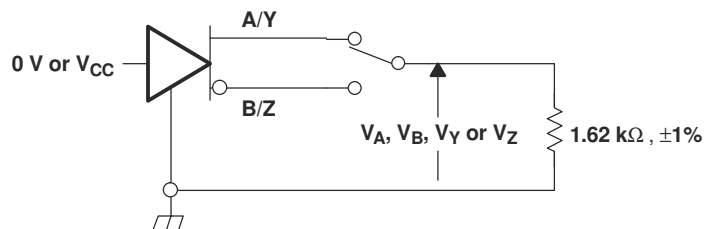
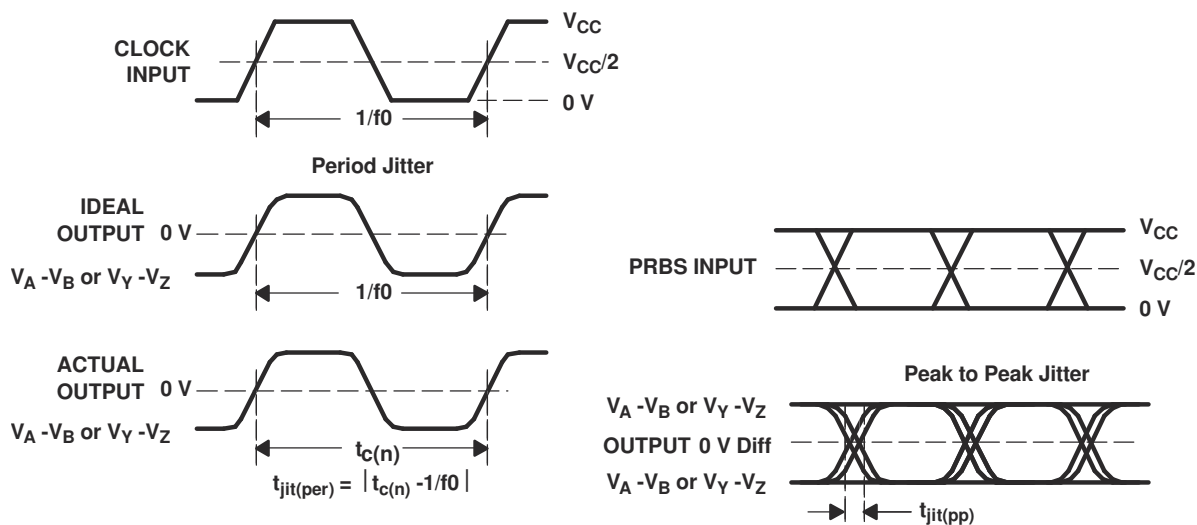


图 7-7. 最大稳态输出电压



- 所有输入脉冲均由 Agilent 81250 激励系统提供。
- 测量在运行 TDSJIT3 应用软件的 TEK TDS6604 上执行
- 使用 50MHz 50 ±1% 占空比时钟输入测量周期抖动。
- 峰峰值抖动使用 100Mbps 2¹⁵ - 1 PRBS 输入进行测量。

图 7-8. 驱动器抖动测量波形

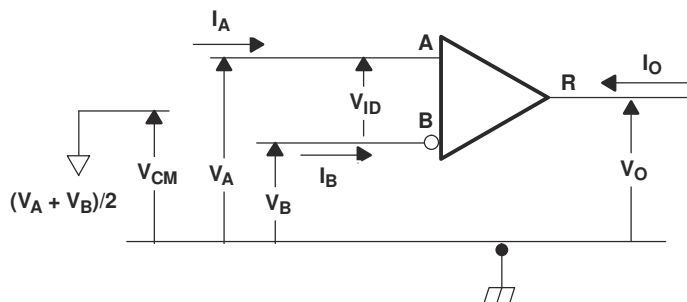


图 7-9. 接收器电压和电流定义

表 7-1. 1 类接收器输入阈值测试电压

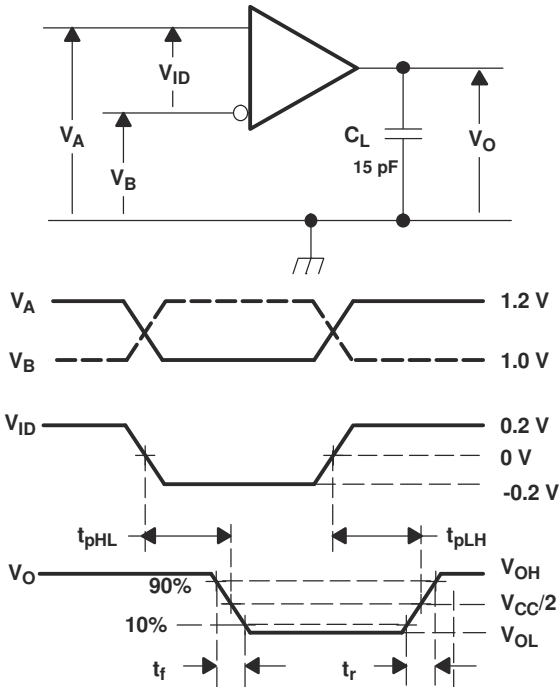
施加的电压		产生的差分 输入电压	产生的共模 输入电压	接收器 (1) 输出
V_{IA}	V_{IB}	V_{ID}	V_{IC}	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L
3.425	3.335	0.050	3.4	H
3.375	3.425	-0.050	3.4	L
-0.975	-1.025	0.050	-1	H
-1.025	-0.975	-0.050	-1	L

(1) H = 高电平, L = 低电平, 输出状态假设接收器已启用 ($\overline{RE} = L$)

表 7-2. 2 类接收器输入阈值测试电压

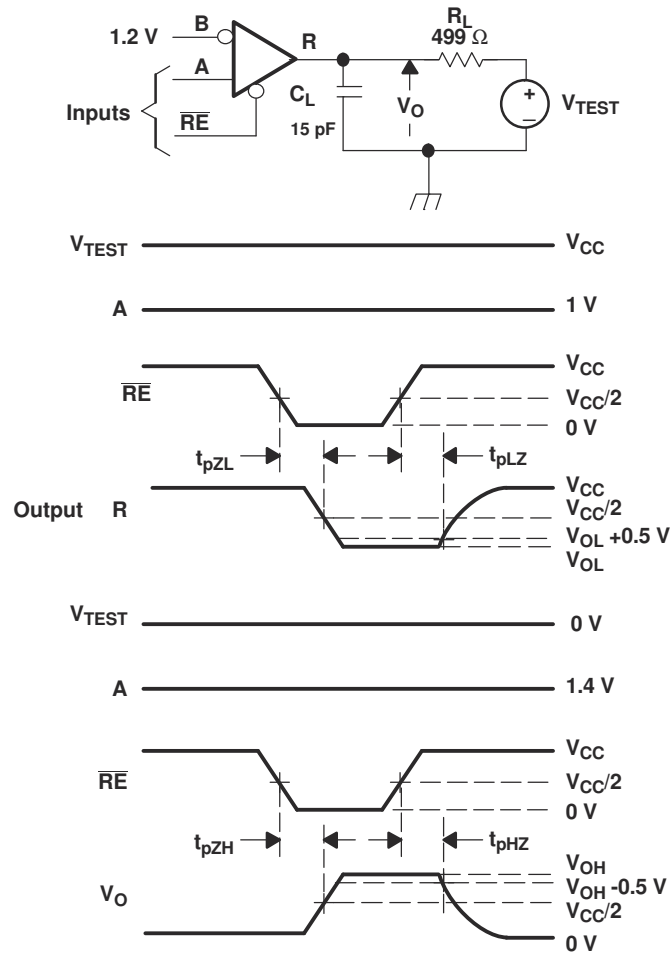
施加的电压		产生的差分 输入电压	产生的共模 输入电压	接收器 (1) 输出
V_{IA}	V_{IB}	V_{ID}	V_{IC}	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L
3.475	3.325	0.150	3.4	H
3.425	3.375	0.050	3.4	L
-0.925	-1.075	0.150	-1	H
-0.975	-1.025	0.050	-1	L

(1) H = 高电平, L = 低电平, 输出状态假设接收器已启用 ($\overline{RE} = L$)



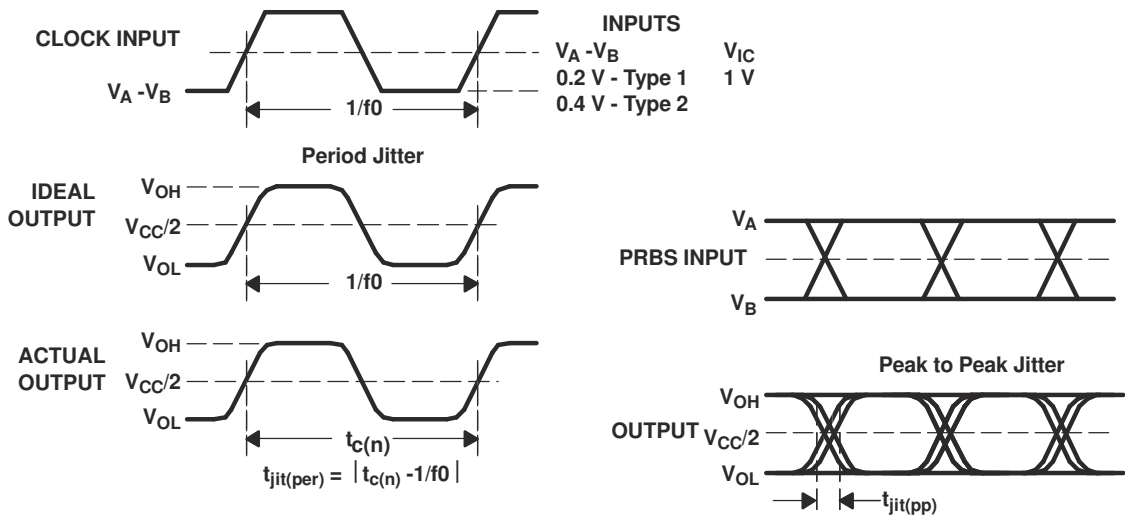
- A. 所有输入脉冲均由具有以下特性的发生器提供: t_r 或 $t_f \leq 1\text{ns}$, 频率 = 1MHz, 占空比 = $50 \pm 5\%$ 。 C_L 是容差为 20% 的低损耗陶瓷表面贴装电容器和 D.U.T. 2cm 范围内设备电容的组合。
- B. 测量是在测试设备上使用 - 3dB 带宽以至少 1GHz 的频率执行的。

图 7-10. 接收器时序测试电路和波形



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ ，频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- B. R_L 容差为 1%，金属膜，表面贴装，位于距离 D.U.T. 的 2cm 范围内。
- C. C_L 是距离 DUT 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。

图 7-11. 接收器启用和禁用时间测试电路和波形



- A. 所有输入脉冲均由 Agilent 8304A 激励系统提供。
B. 测量在运行 TDSJIT3 应用程序的 TEK TDS6604 上执行
C. 使用 50MHz 50 ±1% 占空比时钟输入测量周期抖动。
D. 峰峰值抖动使用 100Mbps $2^{15} - 1$ PRBS 输入进行测量。

图 7-12. 接收器抖动测量波形

8 详细说明

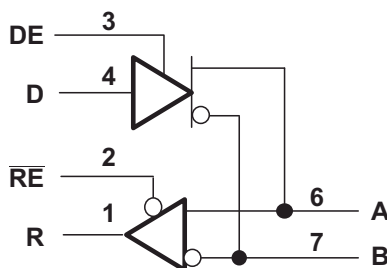
8.1 概述

SN65MLVD20xA 系列器件为多点低压差分 (M-LVDS) 线路驱动器和接收器，它们均经过优化，支持的信号传输速率可高达 100Mbps。所有器件均符合多点低电压差分信号 (M-LVDS) 标准 TIA/EIA-899。这些电路类似于其符合 TIA/EIA-644 标准的 LVDS 对应电路，增加了功能以满足多点应用的要求。驱动器输出可支持具有低至 30Ω 负载的多点总线，并包含受控转换时间，从而允许背板传输线路的残桩。

这些器件具有 1 类和 2 类接收器，可在 $-1V$ 至 $3.4V$ 的共模电压范围内以低至 $50mV$ (对于 1 类) 或 $150mV$ (对于 2 类) 的差分输入电压检测总线状态。1 类接收器具有 $25mV$ 的差分输入电压迟滞，以防止随着信号缓慢变化而产生输出振荡或输入丢失。2 类接收器包括一个偏移阈值，可在开路 and 总线空闲故障条件下提供已知输出状态。

8.2 功能方框图

SN65MLVD200A, SN65MLVD204A



SN65MLVD202A, SN65MLVD205A

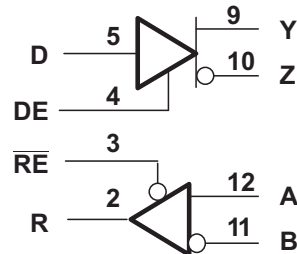


图 8-1. 逻辑图 (正逻辑)

8.3 特性说明

8.3.1 上电复位

该系列器件可在 $3V$ 至 $3.6V$ 的电源电压范围内运行并满足所有额定性能要求。当电源电压降至 $1.5V$ 以下 (或正在导通但尚未达到 $1.5V$) 时，上电复位电路将驱动器输出设置为高阻抗状态。

8.3.2 ESD 保护

SN65MLVD20xA 器件的总线端子具有片上 ESD 保护，可耐受 $\pm 8kV$ 人体放电模型 (HBM) 和 $\pm 8kV$ 。

8.4 器件功能模式

8.4.1 器件功能表

表 8-1. 1 类接收器 (SN65MLVD200A)⁽¹⁾

输入		输出
$V_{ID} = V_A - V_B$	RE	R
$V_{ID} \geq 50\text{mV}$	L	H
$-50\text{mV} < V_{ID} < 50\text{mV}$	L	?
$V_{ID} \leq -50\text{mV}$	L	L
X	H	Z
X	开路	Z

(1) H = 高电平, L = 低电平, Z = 高阻抗, X = 不用考虑, ? = 不确定

表 8-2. 2 类接收器 (SN65MLVD204A)⁽¹⁾

输入		输出
$V_{ID} = V_A - V_B$	RE	R
$V_{ID} \geq 150\text{mV}$	L	H
$50\text{mV} < V_{ID} < 150\text{mV}$	L	?
$V_{ID} \leq 50\text{mV}$	L	L
X	H	Z
X	开路	Z

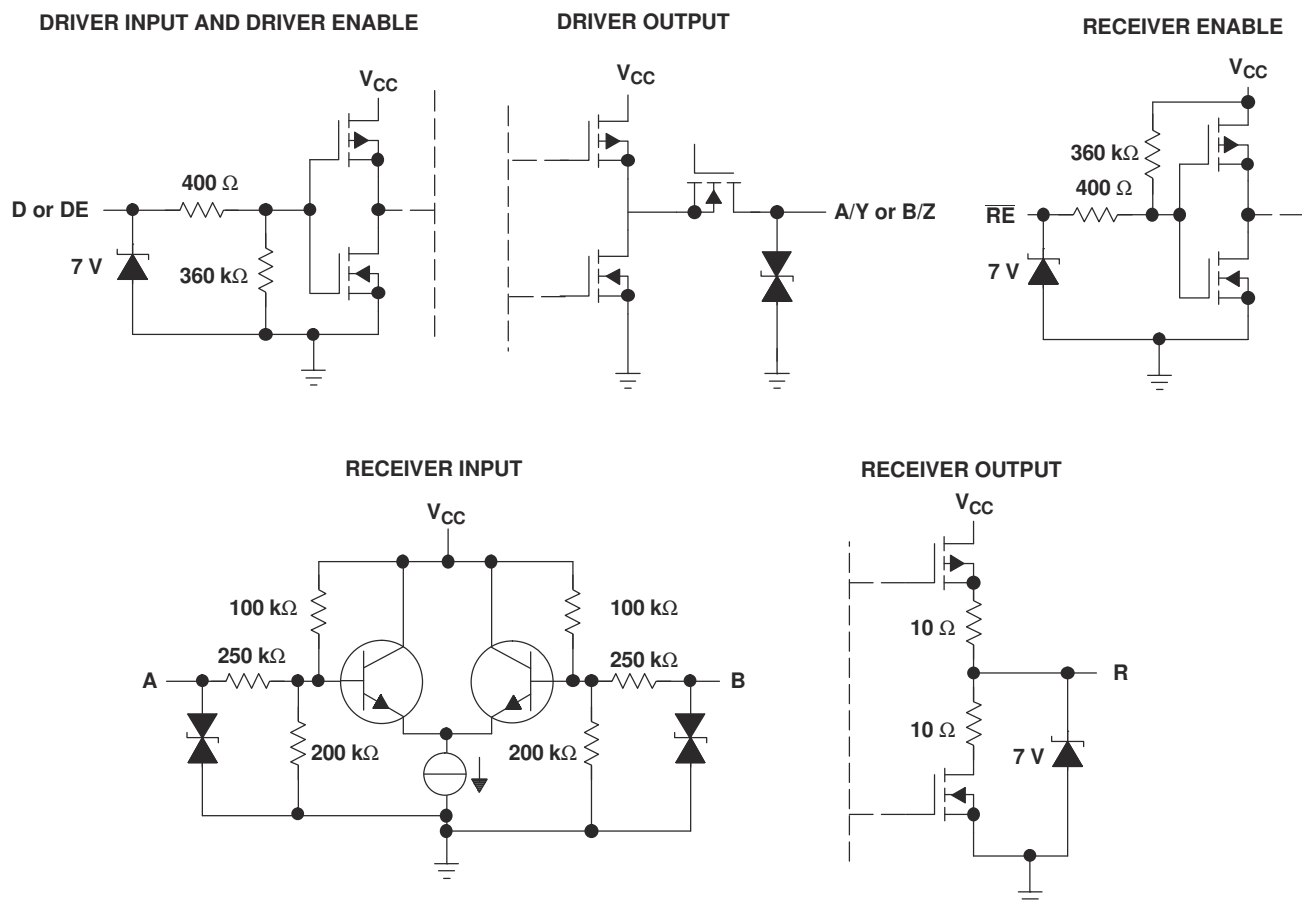
(1) H = 高电平, L = 低电平, Z = 高阻抗, X = 不用考虑, ? = 不确定

表 8-3. 驱动器⁽¹⁾

输入	使能	输出	
D	DE	A	B
L	H	L	H
H	H	H	L
开路	H	L	H
X	开路	Z	Z
X	L	Z	Z

(1) H = 高电平, L = 低电平, Z = 高阻抗, X = 不用考虑, ? = 不确定

8.4.2 等效输入和输出原理图



9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

SN65MLVD20xA 系列器件是多点线路驱动器和接收器。这些器件的功能虽然简单但极其灵活，因此可用于从无线基站到台式机的各种设计中。

9.2 典型应用

图 9-1 展示了一种多点配置。在多点配置中，许多发送器和许多接收器可以在一条传输线路上互连。与多点相比，主要区别在于存在两个或更多个驱动器。这种情况会产生争用问题，点对点或多点系统无法解决这些问题。多点运行允许通过一个平衡介质对进行双向半双工通信。为了在整个传输线路上支持各种驱动器的位置，现在需要传输线路的双端接。

系统设计人员面临的主要挑战是，器件负载和器件连接（残桩）在公共总线上引入的阻抗不连续性。匹配负载总线的阻抗并使用具有受控信号边沿的信号驱动器，是在多点拓扑中实现无差错信号传输的关键。

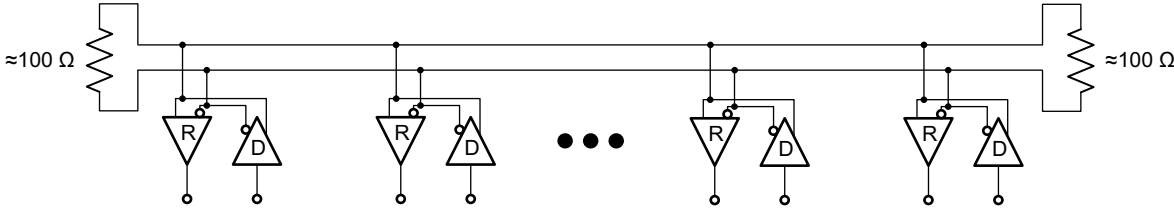


图 9-1. 多点配置

9.2.1 设计要求

对于这个设计示例，请使用表 9-1 中列出的参数。

表 9-1. 设计参数

参数	值
驱动器电源电压	3V 至 3.6V
驱动器输入电压	0.8V 至 3.3V
驱动器信号传输速率	直流到 100Mbps
互连特征阻抗（差分）	100 Ω
端接电阻	100 Ω
接收器节点数	2 至 32
接收器电源电压	3V 至 3.6V
接收器输入电压	0V 至 ($V_{CC} - 0.8$)V
接收器信号传输速率	直流到 100Mbps
驱动器和接收器之间的接地漂移	± 1 V

9.2.2 详细设计过程

9.2.2.1 电源电压

SN65MLVD20xA 器件由一个电源供电。SN65MLVD20xA 器件可支持由低至 3V 和高达 3.6V 的电源供电运行。

9.2.2.2 电源旁路电容

旁路电容器在配电路中发挥着关键作用。在低频情况下，电源在其端子之间提供阻抗非常低的路径。但是，当更高频率的电流通过电源布线传播时，源极通常无法保持低阻抗的接地路径。旁路电容器用于克服这一缺点。通常，板级大旁路电容器（ $10\ \mu\text{F}$ 至 $1000\ \mu\text{F}$ ）可以很好地达到 kHz 范围。由于大电容器的引线大小和长度，它们在开关频率下往往具有较大的电感值。要解决这个问题，必须将较小的电容器（nF 至 μF 范围内）安装在本地集成电路旁边。

多层陶瓷芯片或表面贴装电容器（尺寸 0603 或 0805）可更大限度减少高速环境中旁路电容器的引线电感，因为它们的引线电感约为 1nH。为便于比较，带引线的典型电容器的引线电感约为 5nH。

根据 Howard Johnson 和 Martin Graham (1993) 所著的 *High Speed Digital Design - A Handbook of Black Magic*，在本地与 M-LVDS 芯片搭配使用的旁路电容值可由 [方程式 1](#) 和 [方程式 2](#) 确定。4ns 的保守上升时间和 100mA 在最坏情况下的电源电流变化涵盖了德州仪器 (TI) 提供的 M-LVDS 器件的整个范围。在此示例中，可容忍的最大电源噪声为 100mV；但是，该数字因设计中可用的噪声预算而异。

$$C_{\text{chip}} = \left(\frac{\Delta I_{\text{Maximum Step Change Supply Current}}}{\Delta V_{\text{Maximum Power Supply Noise}}} \right) \times T_{\text{Rise Time}} \quad (1)$$

$$C_{\text{MLVDS}} = \left(\frac{100\ \text{mA}}{100\ \text{mV}} \right) \times 4\ \text{ns} = 0.004\ \mu\text{F} \quad (2)$$

[图 9-2](#) 展示了一种可降低引线电感并涵盖板级电容器 ($> 10\ \mu\text{F}$) 与上述电容值 ($0.004\ \mu\text{F}$) 之间的中间频率的配置。将最小电容值放置在尽可能靠近芯片的位置。



图 9-2. 建议的 M-LVDS 旁路电容器布局

9.2.2.3 驱动器输入电压

输入级接受 LVTTTL 信号。驱动器将在大约 1.4V 的决策阈值下运行。

9.2.2.4 驱动器输出电压

在标称条件下，该驱动器输出 1V 的稳态共模电压和 540V 的差分信号。

9.2.2.5 端接电阻器

M-LVDS 通信通道采用电流源驱动与两个电阻负载端接的传输线。这些负载用于将传输的电流转换为接收器输入端的电压。为确保良好的信号完整性，端接电阻器必须与传输线的特性阻抗匹配。设计人员必须确保端接电阻处于标称介质特性阻抗的 10% 范围内。如果传输线路以 $100\ \Omega$ 阻抗为目标，则端接电阻器必须位于 $90\ \Omega$ 和 $110\ \Omega$ 之间。线路端接电阻器通常放置在传输线的末端。

9.2.2.6 接收器输入信号

此处的 M-LVDS 接收器符合 M-LVDS 标准并正确确定总线状态。这些器件具有 1 类和 2 类接收器，可在 -1V 至 3.4V 的共模范围内以低至 50mV 的差分电压检测总线状态。

9.2.2.7 接收器输入阈值（失效防护）

M-LVDS 标准定义了 1 类和 2 类接收器。1 类接收器具有接近零电压的差分输入电压阈值。2 类接收器具有相对于 0V 的差分输入电压阈值偏移，以检测是否存在电压差。在表 9-2 和图 9-3 中可以看到偏移输入对接收器输出的影响。

表 9-2. 接收器输入电压阈值要求

接收器类型	输出低电平	输出高电平
1 类	$-2.4\text{V} \leq V_{\text{ID}} \leq -0.05\text{V}$	$0.05\text{V} \leq V_{\text{ID}} \leq 2.4\text{V}$
2 类	$-2.4\text{V} \leq V_{\text{ID}} \leq 0.05\text{V}$	$0.15\text{V} \leq V_{\text{ID}} \leq 2.4\text{V}$

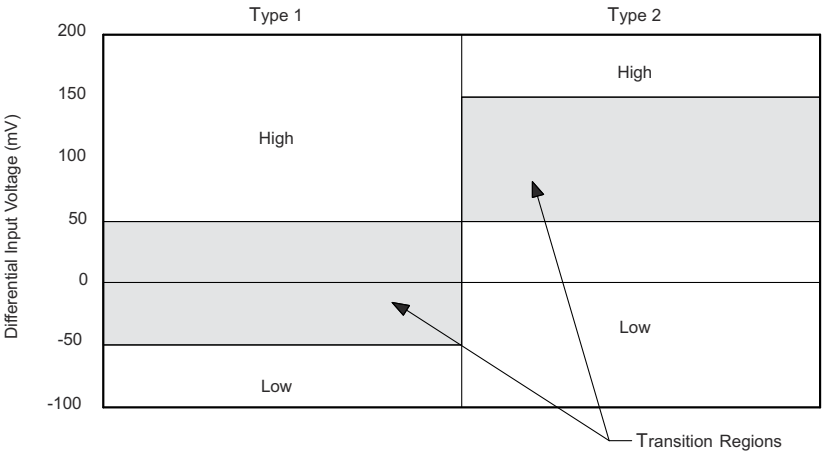


图 9-3. 展示转换区域的接收器差分输入电压的扩展曲线图

9.2.2.8 接收器输出信号

当电源电压在 3V 至 3.6V 范围内时，接收器输出符合 LVTTTL 输出电压标准。

9.2.2.9 介质互连

驱动器和接收器之间的物理通信通道可以是满足 M-LVDS 标准要求的所有平衡、配对金属导体，关键点包括在以下内容中。互连介质可以是双绞线、双轴、扁平带状电缆或 PCB 布线。

互连的标称特性阻抗必须介于 $100\ \Omega$ 和 $120\ \Omega$ 之间，变化不超过 10% ($90\ \Omega$ 至 $132\ \Omega$)。

9.2.2.10 PCB 传输线路

LVDS 用户手册设计指南，第 4 版 (SNLA187)，图 9-4 描述了印刷电路板 (PCB) 中常用的几种传输线路结构。每个结构由一条信号线和一个返回路径组成，沿长度方向具有均匀的横截面。微带是顶层（或底层）的信号布线，通过电介质层与其接地平面或电源平面中的返回路径隔开。带状线是指信号布线的内层，信号布线上方和下方的接地平面间有一个电介质层。结构的尺寸和介电材料的特性决定了传输线路的特性阻抗，也称为受控阻抗传输线路。

当两条信号线路紧靠在一起时，它们就会形成一对耦合传输线路。图 9-4 展示了边沿耦合微带和边沿耦合或宽侧耦合带状线的示例。当由差分信号激励时，耦合的传输线路被称为差分对。每条线路的特征阻抗称为奇数模式阻抗。每条线的奇数模式阻抗之和等于差分对的差分阻抗。除了布线尺寸和介电材料属性之外，两条布线之间的间距还决定了互耦合并影响差分阻抗。当两条线紧邻（例如，如果 S 小于 $2 \times W$ ）时，差分对称为紧密耦合差分对。若要在整个长度范围内保持恒定的差分阻抗，务必要使布线宽度和沿长度方向的间距保持一致，并在两条线之间保持良好的对称性。

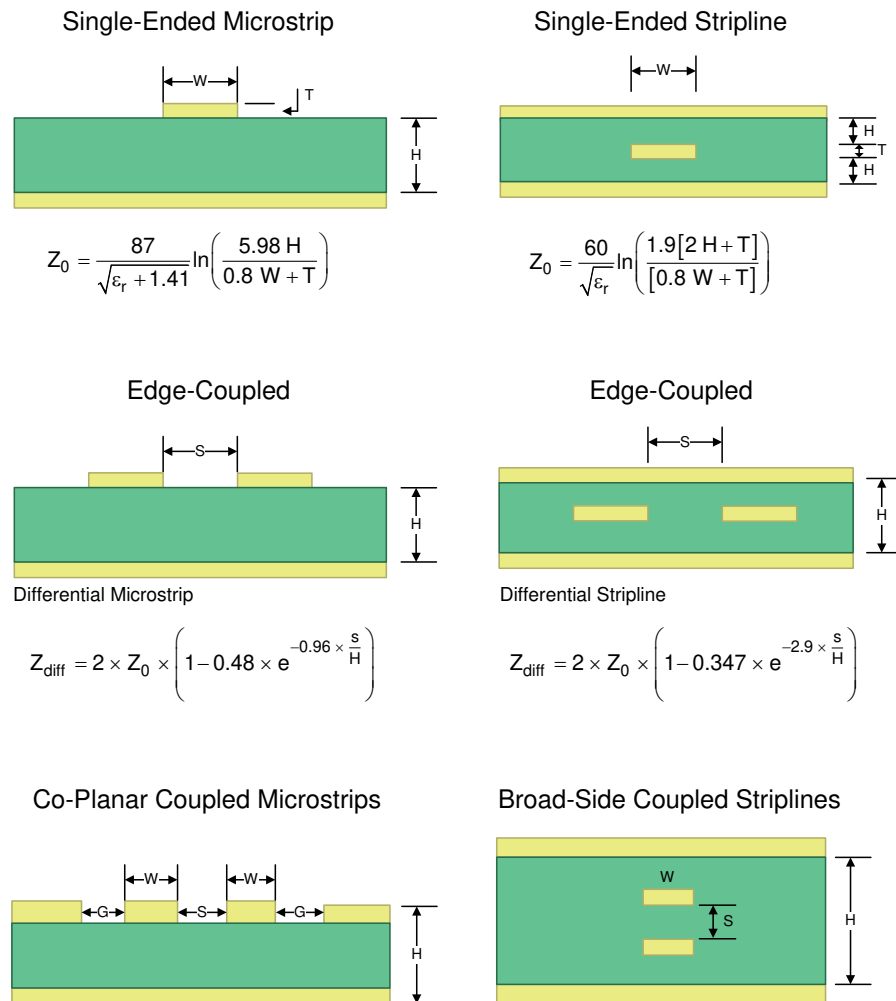
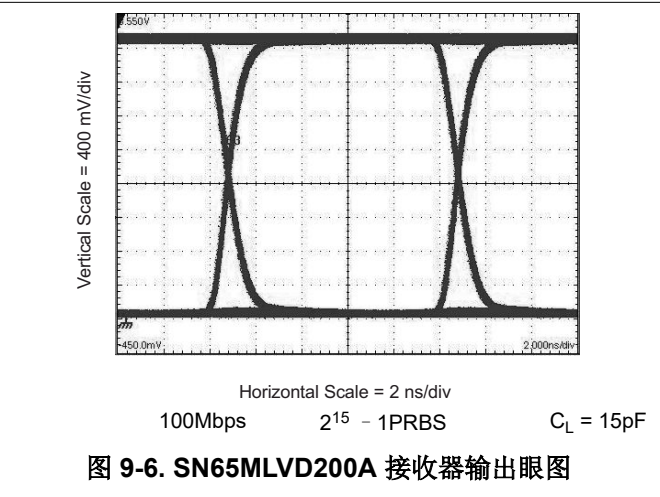
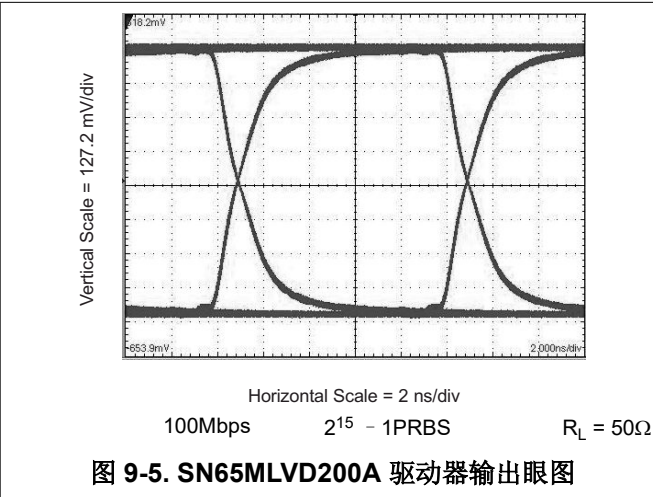


图 9-4. 受控阻抗传输线路

9.2.3 应用曲线



10 电源相关建议

本数据表中的 M-LVDS 驱动器和接收器设计为采用一个电源供电运行。驱动器和接收器均可在 3V 至 3.6V 的电源电压范围内工作。在典型应用中，驱动器和接收器可能位于单独的电路板上，甚至是单独的设备上。在这些情况下，每个位置都必须使用单独的电源。驱动器电源和接收器电源之间的预期接地电位差将小于 ±1V。必须使用板级和本地器件级旁路电容，并且它们是覆盖的电源旁路电容。

11 布局

11.1 布局指南

11.1.1 微带与带状线拓扑

根据 *LVDS 应用和数据手册 (SLLD009)*，印刷电路板通常为设计人员提供两种传输线路选项：微带和带状线。微带是印刷电路板外层的布线，如图 11-1 所示。

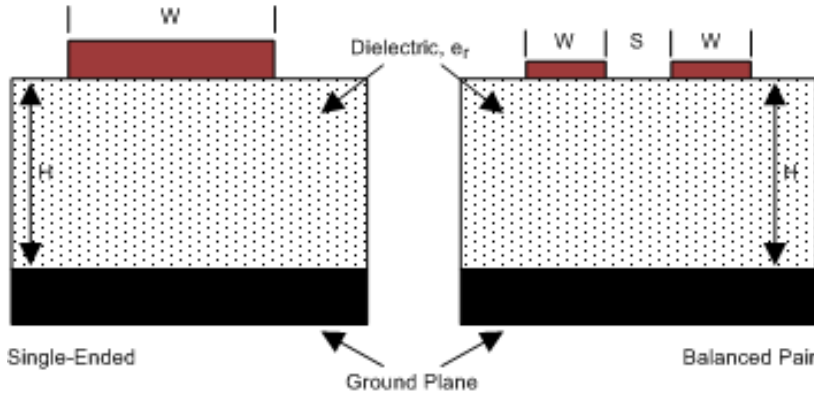


图 11-1. 微带拓扑

带状线是两个接地平面之间的布线（请参阅图 11-2）。带状线不易产生辐射和易感性问题，因为基准平面有效地屏蔽了嵌入的布线。但是，从高速传输的角度来看，将两个平面并置会产生额外的电容。TI 建议尽可能在微带传输线路上路由 M-LVDS 信号。利用 PCB 布线，设计人员可以根据整体噪声预算和反射容差指定 Z_0 的必要容差。脚注 1²、2³ 和 3⁴ 提供了差分 and 单端布线的 Z_0 和 t_{PD} 公式的文档。^{2 3 4}

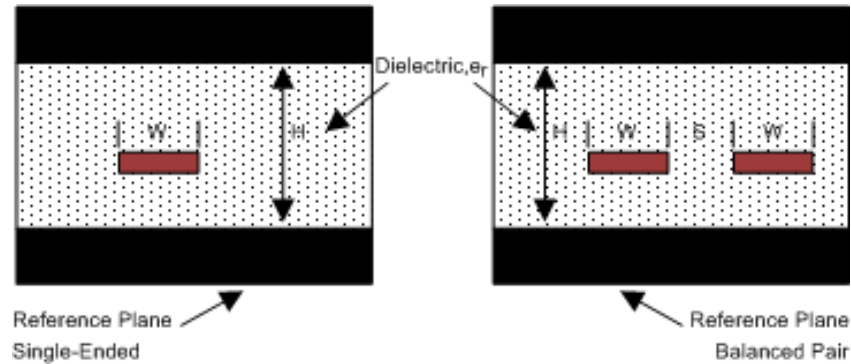


图 11-2. 带状线拓扑

11.1.2 电介质类型和电路板结构

信号在电路板上传输的速度决定了电介质的选择。FR-4 或等效器件通常可为 M-LVDS 信号提供足够的性能。如果 TTL/CMOS 信号的上升或下降时间小于 500ps，经验结果表明，介电常数接近 3.4 的材料（例如 Rogers™ 4350 或 Nelco N4000-13）更适合。设计人员选择电介质时，电路板结构有多个相关参数会影响性能。通过几种涉及 M-LVDS 器件的设计在实验中开发了以下几组准则：

- 覆铜重量：初始 15g 或 ½ 盎司，电镀达 30g 或 1 盎司
- 所有外露电路都必须经过电镀 (60/40) 至 7.62 μm 或 0.0003 英寸（最小值）
- 在镀穿孔中，镀铜必须为 25.4 μm 或 0.001 英寸（最小值）
- 在裸铜上使用阻焊层，并进行热气焊接矫正

11.1.3 建议的堆叠布局

选择电介质和设计规格后，设计人员必须确定要在栈中使用的级别数量。为了减少 TTL/CMOS 到 M-LVDS 串扰，最好至少有两个独立的信号平面，如图 11-3 中所示。

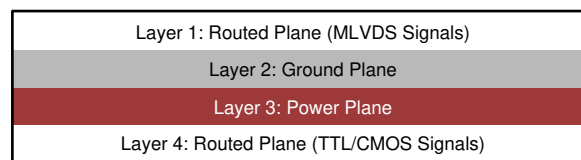


图 11-3. 四层 PCB 板

备注

第 2 层和第 3 层之间的间隔必须为 127 μm (0.005 英寸)。通过使电源平面和接地平面保持紧密耦合，增加的电容可用作瞬态的旁路。

常见的堆叠配置之一是六层板，如图 11-4 所示。

² Howard Johnson 和 Martin Graham. 1993 年。《High Speed Digital Design - A Handbook of Black Magic》. Prentice Hall PRT. ISBN number 013395724.

³ Mark I. Montrose. 1996. 《Printed Circuit Board Design Techniques for EMC Compliance》. IEEE Press. ISBN number 0780311310.

⁴ Clyde F. Coombs. 1995. 《Printed Circuits Handbook》. McGraw Hill. ISBN number 0070127549.

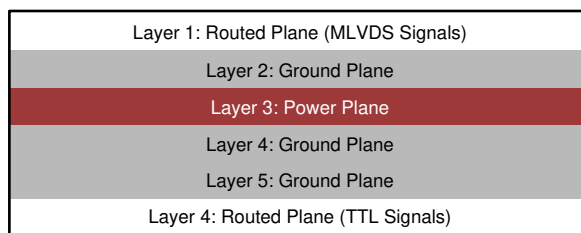


图 11-4. 六层 PCB 板

在这种特定配置中，可以通过至少一个接地平面将每个信号层与电源平面隔离。这样可以提高信号完整性，但是制造成本更高。最好使用 6 层电路板，因为除了确保信号层 1 和 6 基准接地平面之外，它还为布局设计人员提供了更大的灵活性来改变信号层和基准平面之间的距离。

11.1.4 引线间距

引线间距取决于多个因素；然而，可承受的耦合量通常决定了实际的间距。低噪声耦合需要 M-LVDS 链路的差分对之间的紧密耦合，以从电磁场消除中受益。布线必须以更符合此要求的方式进行 100 Ω 差分耦合。此外，差分对必须具有相同的电气长度，以确保它们是平衡的，从而更大程度地减少了偏差和信号反射的问题。

如果两条单端布线相邻，必须使用 3W 规则。该规则规定，两条布线之间的距离必须大于一条布线宽度的两倍，或者从布线中心到布线中心测量的宽度的三倍。这种增加的间距可以有效地降低串扰的可能性。无论是边沿耦合还是宽侧耦合，相邻 M-LVDS 差分对之间的间隔都必须采用相同的规则。

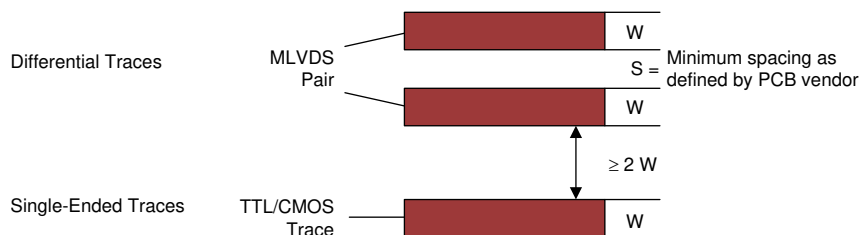


图 11-5. 单端和差分布线的 3W 规则 (顶视图)

使用自动路由器时请小心谨慎，因为它们并不总是考虑影响串扰和信号反射的所有因素。例如，最好避免 90° 转弯，以避免信号路径中的不连续性。使用连续 45° 转弯可尽量减少反射。

11.1.5 尽可能减少串扰和接地抖动

为减少串扰，务必提供一条尽可能靠近其源布线的高频电流返回路径。接地平面通常可以实现这一点。返回电流始终选择电感较低的路径，因此它们很可能直接返回到原始布线下方，从而更大限度地减少串扰。减小电流环路的面积可以降低串扰的可能性。布线应尽可能短，如果其下方有不间断的接地平面，则会更大限度地降低电磁场强度。接地平面中的不连续性会增加返回路径电感，因此必须避免这种情况。

11.1.6 去耦合

高速器件的每个电源或接地引线都必须通过低电感路径连接到 PCB。为了获得更好的结果，使用一个或多个过孔将电源或接地引脚连接到附近的平面。理想情况下，过孔放置在与引脚紧邻的位置，以避免增加布线电感。电源平面放置在更靠近电路板顶部的位置可减少有效过孔长度及其相关电感。

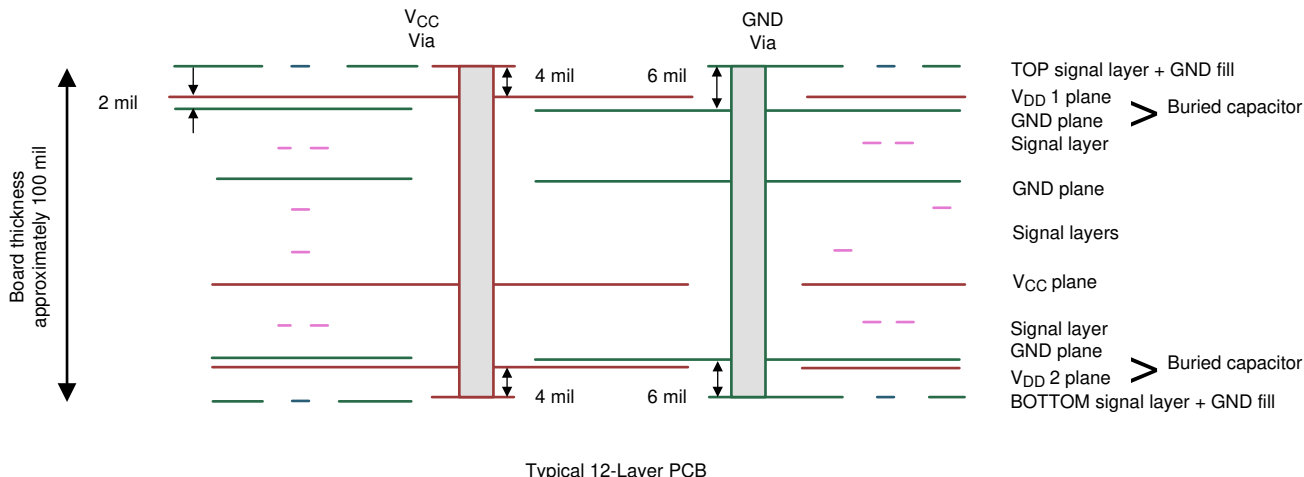


图 11-6. 低电感、高电容电源连接

旁路电容器必须靠近 V_{DD} 引脚放置，并可方便地放置在角落附近或封装下方，从而更大限度地减小环路面积。这扩展了添加的电容的有用频率范围。必须使用小尺寸电容器（例如 0402、0201 或 X7R 表面贴装电容器）来尽可能减小电容器的封装电感。每个旁路电容器通过与电容器焊盘相切的过孔连接到电源平面和接地平面，如图 11-7(a) 所示。

尺寸为 0402 的 X7R 表面贴装电容器具有大约 0.5nH 的体电感。在高于 30MHz 左右的频率下，X7R 电容器充当低阻抗电感器。为了将工作频率范围扩展到几百 MHz，通常并联使用一系列不同的电容器值，例如 100pF、1nF、0.03μF 和 0.1μF。最有效的旁路电容器可使用夹在电源和接地之间的 2mil 至 3mil 隔层来构建。使用 2mil FR4 电介质时，PCB 的每平方英寸约为 500pF。

许多高速器件在封装的背面提供低电感 GND 连接。此中心焊盘必须通过一组通孔连接到接地平面。过孔阵列可降低接地的有效电感，并提高小表面贴装技术 (SMT) 封装的热性能。在焊盘连接的外围布置过孔，可确保适当散热和尽可能低的芯片温度。使用两个 GND 平面（如图 9-4 所示）将高性能器件放置在 PCB 的对侧，可以创建多条热传递路径。

热 PCB 问题通常是一个器件向另一个器件增加热量导致的，从而导致非常高的局部温度。多条热传递路径可更大限度地降低这种可能性。在许多情况下，由于焊盘与焊盘之间的间距不足，对散热如此重要的 GND 焊盘无法实现最佳去耦布局，如图 11-8(b) 所示。发生这种情况时，将去耦电容器放置在电路板的背面可将额外的电感保持在较低水平。

务必将 V_{DD} 过孔尽可能靠近器件引脚放置，同时仍能提供足够的阻焊层覆盖区域。如果过孔保持打开，焊料可能从焊盘流入过孔套管，这会导致焊接连接不佳

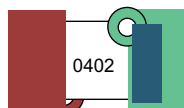


图 11-7. 典型去耦电容器布局 (a)

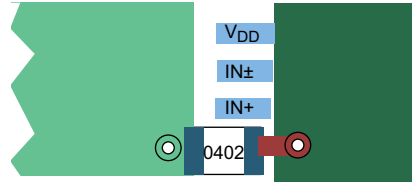


图 11-8. 典型去耦电容器布局 (b)

11.2 布局示例

必须用至少单个布线宽度的两倍或三倍分隔单端布线和差分对，以更大程度地降低串扰可能性。平行布置的单端布线的串扰小于上升或下降时间的波长，通常可以忽略不计。针对长距离平行布线，增加信号路径之间的间距以减少串扰。空间有限的电路板可从交错布线布局中受益，如图 11-9 所示。

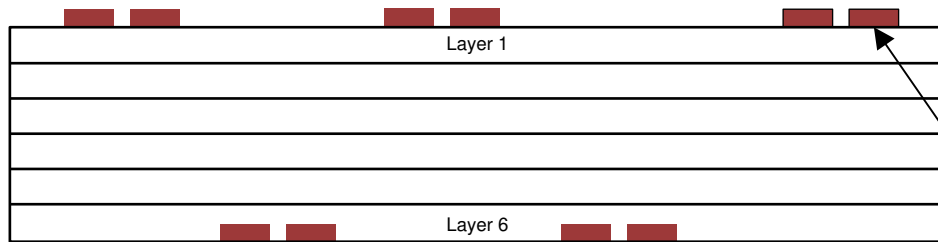


图 11-9. 交错布线布局

这种配置在不同的层上布置交替信号布线；因此，布线之间的水平间距可能小于单个布线宽度的 2 或 3 倍。为确保接地信号路径的连续性，TI 建议为每个信号过孔设置一个相邻的接地过孔，如图 11-10 所示。

备注

过孔会产生额外的电容。例如，典型过孔在 FR4 中具有 $\frac{1}{2}$ pF 至 1pF 的集总电容效应。

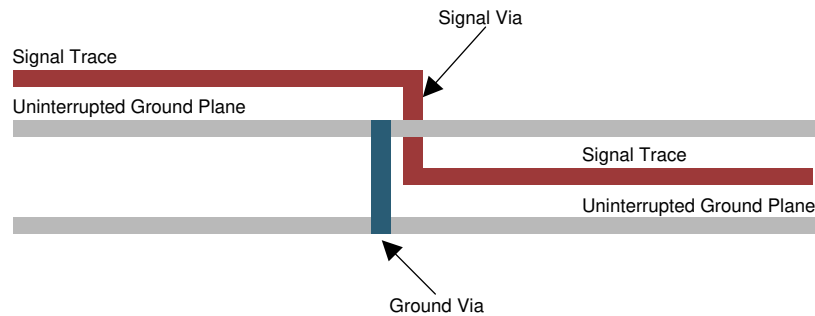


图 11-10. 接地过孔位置 (侧视图)

器件接地引脚与 PCB 接地平面之间的短距离低阻抗连接可减少接地反弹。接地平面中的孔和切口如果产生不连续性，增加返回电流环路面积，则会对电流返回路径产生不利影响。

为更大限度地减少 EMI 问题，TI 建议避免布线下方的不连续性（例如孔、缝隙等），并尽可能缩短布线。通过将类似的功能放置在同一个区域，而不是将它们混合在一起，来明智地对电路板进行分区，有助于减少易感性问题。

12 器件和文档支持

12.1 文档支持

12.1.1 相关文档

请参阅以下相关文档：

- *M-LVDS (TIA/EIA-899) 简介* (SLLA108)
- *LVDS 应用和数据手册* (SLLD009)
- *LVDS 用户手册设计指南 (第 4 版)* (SNLA187)
- *半导体和 IC 封装热指标* (SPRA953)
- Howard Johnson 和 Martin Graham. 1993 年. *High Speed Digital Design – A Handbook of Black Magic*. Prentice Hall PRT. ISBN number 013395724.
- Mark I. Montrose. 1996. *Printed Circuit Board Design Techniques for EMC Compliance*. IEEE Press. ISBN number 0780311310.
- Clyde F. Coombs. 1995. *Printed Circuits Handbook*. McGraw Hill. ISBN number 0070127549.

12.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

12.4 商标

Rogers™ is a trademark of Rogers Corporation.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

12.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

13 修订历史记录

Changes from Revision D (December 2015) to Revision E (March 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

Changes from Revision C (September 2015) to Revision D (December 2015)	Page
• 删除了“特性”列表项“符合 ±8kV IEC 61000-4-2 接触放电标准”	1

Changes from Revision B (June 2015) to Revision C (August 2015)	Page
• 从表 8-1 和表 8-2 中删除了“开路”行，将其视为冗余.....	18
• 将表 8-2 中的“ $V_{ID} \geq 50\text{mV}$ ”更改为“ $V_{ID} \geq 150\text{mV}$ ”	18
• 将表 8-2 中的“ $-50\text{mV} < V_{ID} < 150\text{mV}$ ”更改为“ $50\text{mV} < V_{ID} < 150\text{mV}$ ”	18

Changes from Revision A (December 2003) to Revision B (June 2015)	Page
• 引脚配置和功能 部分、ESD 等级表、特性说明 部分、器件功能模式、应用和实现 部分、电源相关建议 部分、布局 部分、器件和文档支持 部分以及机械、封装和可订购信息 部分.....	1
• 删除了数据表中的 SN65MLVD204B.....	1
• 将 订购信息 更改为 器件比较表	3
• 删除了 建议运行条件 中的 $ V_{ID} $ 最小值.....	4
• 更改了 多点配置 图像.....	20

Changes from Revision * (December 2003) to Revision A (December 2003)	Page
• 删除了图 7-11 中重复的注释.....	11

14 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65MLVD200AD	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF200A
SN65MLVD200AD.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF200A
SN65MLVD200ADG4	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF200A
SN65MLVD200ADR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF200A
SN65MLVD200ADR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF200A
SN65MLVD200ADRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF200A
SN65MLVD202AD	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD202A
SN65MLVD202AD.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD202A
SN65MLVD202ADG4	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD202A
SN65MLVD202ADG4.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD202A
SN65MLVD202ADR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD202A
SN65MLVD202ADR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD202A
SN65MLVD204AD	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204A
SN65MLVD204AD.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204A
SN65MLVD204ADG4	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204A
SN65MLVD204ADR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204A
SN65MLVD204ADR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204A
SN65MLVD204ADR1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204A
SN65MLVD204ADR1G4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MF204A
SN65MLVD205AD	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD205A
SN65MLVD205AD.B	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD205A
SN65MLVD205ADG4	Active	Production	SOIC (D) 14	50 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD205A
SN65MLVD205ADR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD205A
SN65MLVD205ADR.B	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MLVD205A

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65MLVD200ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65MLVD202ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
SN65MLVD204ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65MLVD204ADR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
SN65MLVD205ADR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

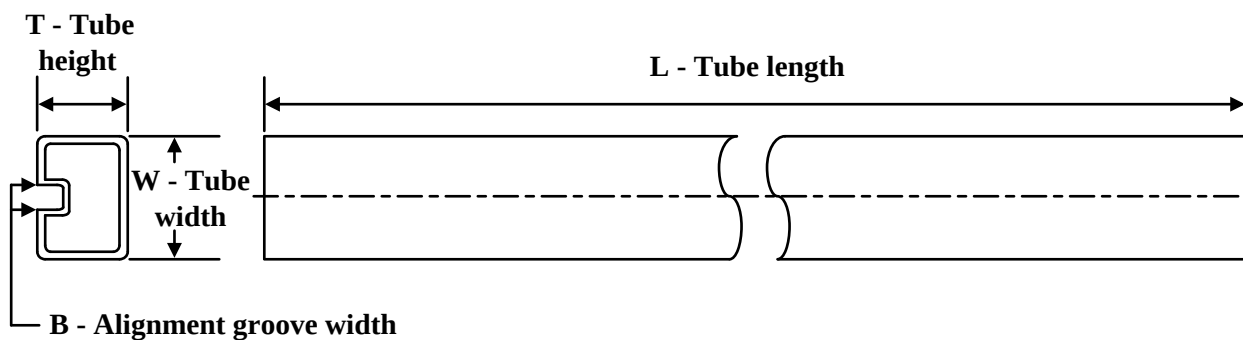
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

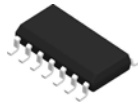
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65MLVD200ADR	SOIC	D	8	2500	353.0	353.0	32.0
SN65MLVD202ADR	SOIC	D	14	2500	353.0	353.0	32.0
SN65MLVD204ADR	SOIC	D	8	2500	353.0	353.0	32.0
SN65MLVD204ADR1G4	SOIC	D	8	2500	353.0	353.0	32.0
SN65MLVD205ADR	SOIC	D	14	2500	353.0	353.0	32.0

TUBE

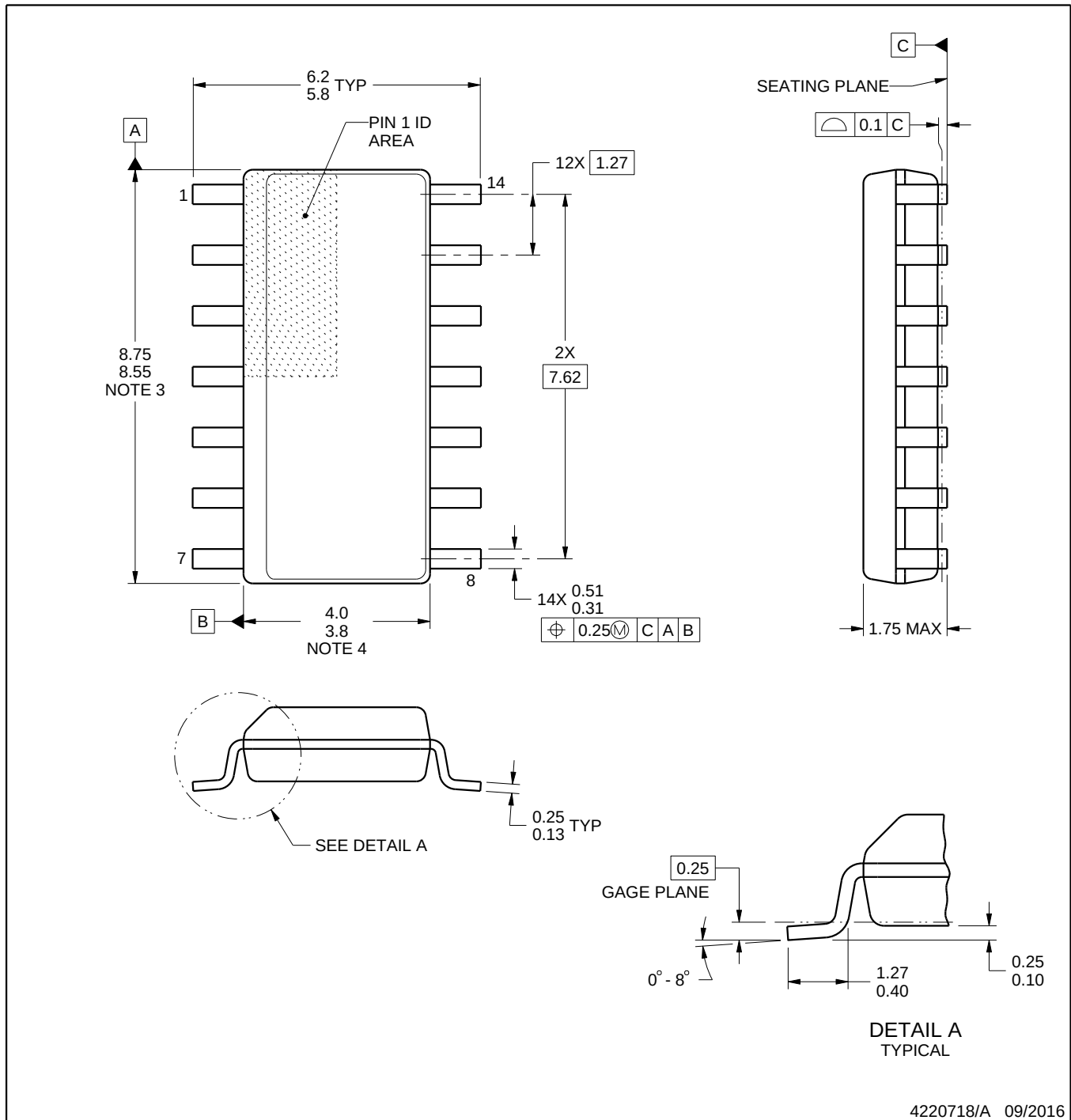


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN65MLVD200AD	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD200AD.B	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD200ADG4	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD202AD	D	SOIC	14	50	507	8	3940	4.32
SN65MLVD202AD.B	D	SOIC	14	50	507	8	3940	4.32
SN65MLVD202ADG4	D	SOIC	14	50	507	8	3940	4.32
SN65MLVD202ADG4.B	D	SOIC	14	50	507	8	3940	4.32
SN65MLVD204AD	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD204AD.B	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD204ADG4	D	SOIC	8	75	507	8	3940	4.32
SN65MLVD205AD	D	SOIC	14	50	507	8	3940	4.32
SN65MLVD205AD.B	D	SOIC	14	50	507	8	3940	4.32
SN65MLVD205ADG4	D	SOIC	14	50	507	8	3940	4.32

D0014A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT

**NOTES:**

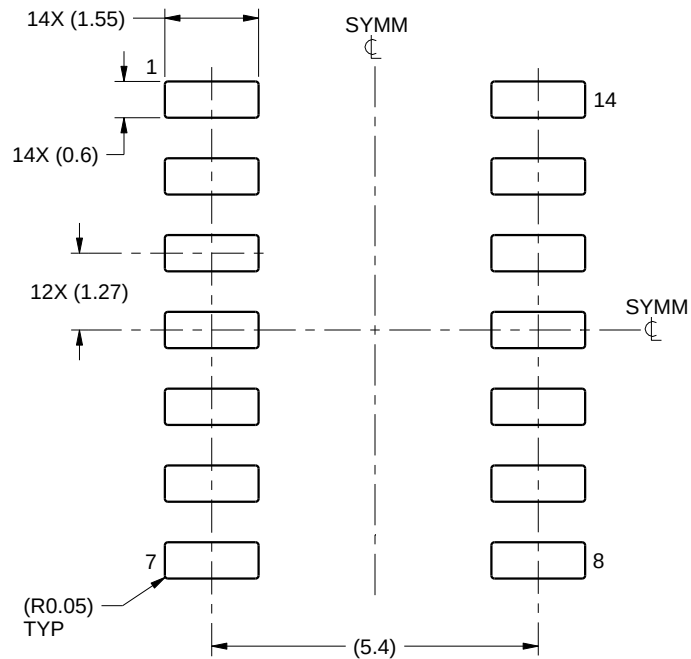
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

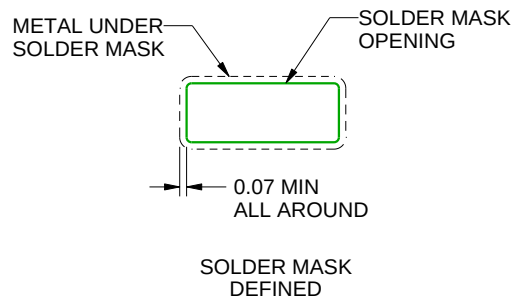
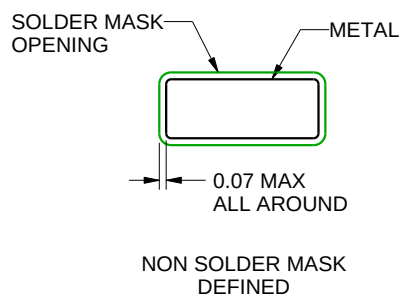
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

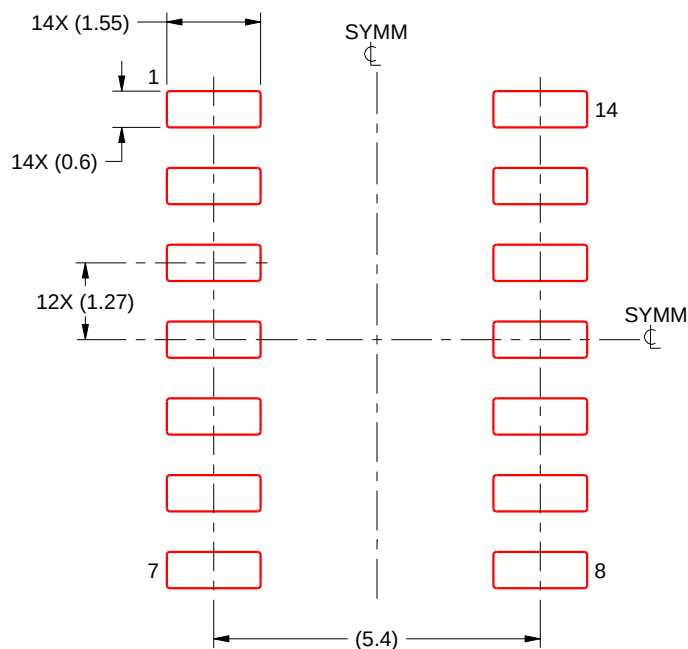
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

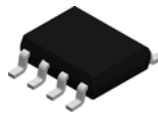


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

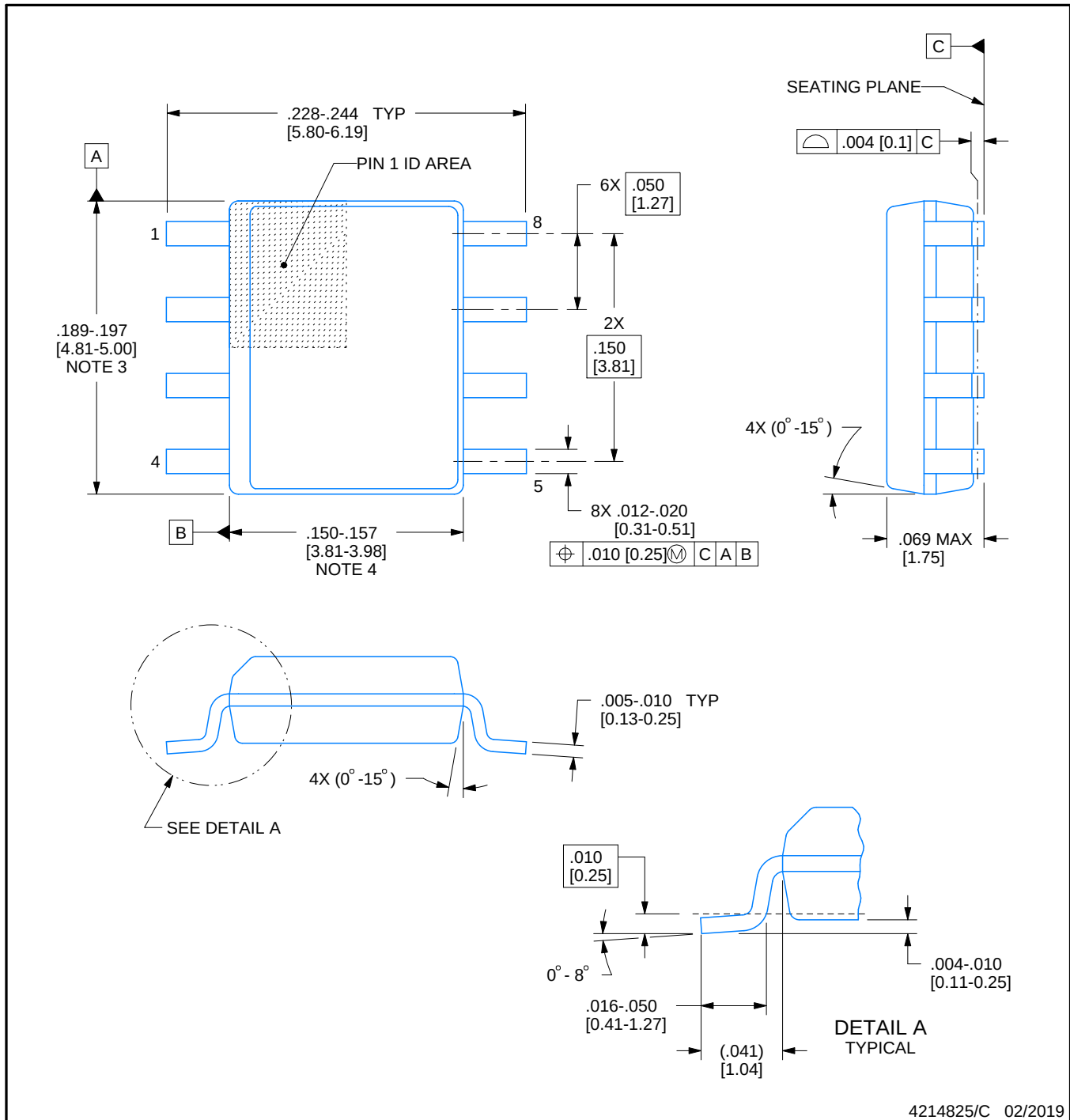


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

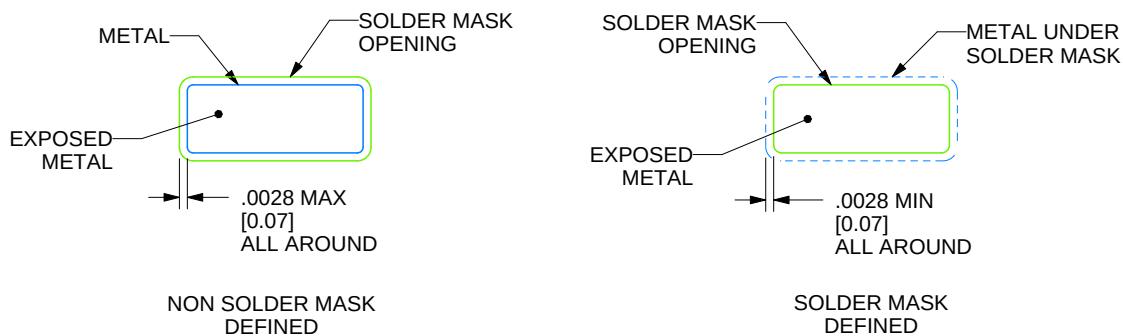
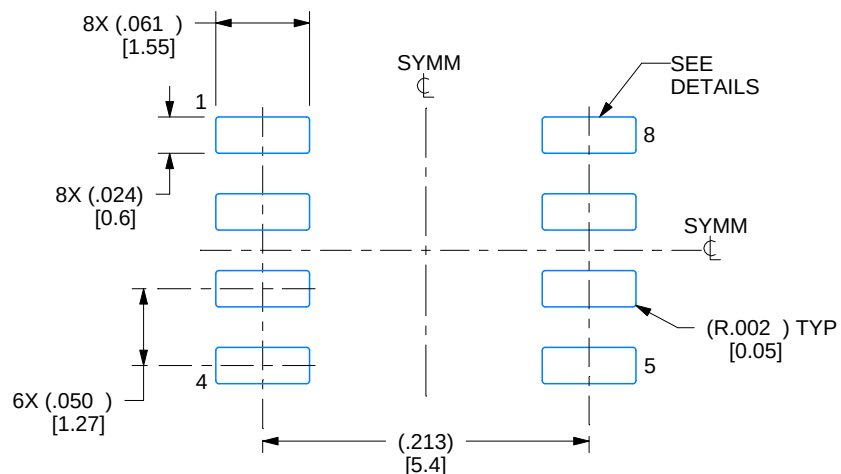
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

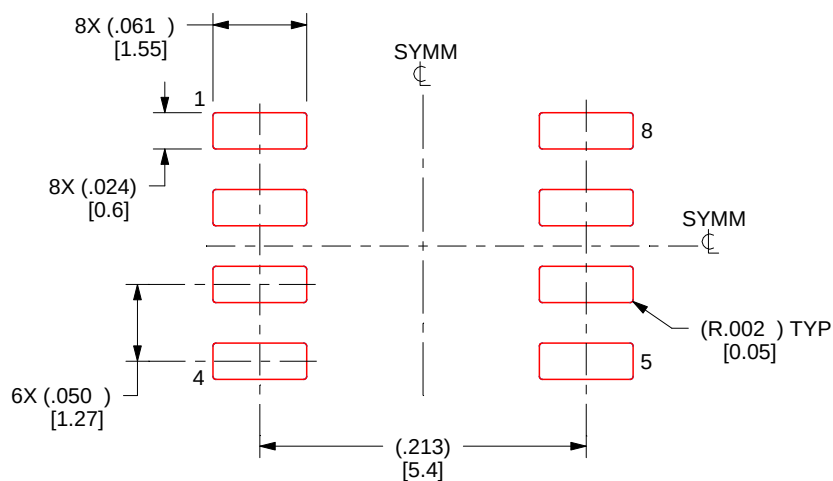
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月