SN55LVRA4-SEP 耐辐射四通道高速差分驱动器

1 特性

- VID V62/25606-01XE
- 电离辐射总剂量额定值为 30krad (Si)
  - 每个晶圆批次的辐射批次验收测试电离辐射总剂量 (TID RLAT) 额定值高达 30krad (Si)
- 单粒子效应 (SEE) 特性：
  - 单粒子锁定 (SEL) 对于线性能量传递 (LET) 的抗扰度 = 50MeV-cm2/mg
  - 可提供单粒子瞬态 (SET) 表征报告
- 400Mbps 信号传输速率
- 由 3.3V 单电源供电
- –4V 至 5V 的扩展共模输入电压范围
- 在整个共模输入电压范围内，差分输入阈值 <±50mV，迟滞为 50mV
- 符合 TIA/EIA-644 (LVDS) 标准
- 有源失效防护功能确保了无输入时的高电平输出，且输入在断电时仍保持高阻抗
- 总线引脚 ESD 保护超过 15 kV HBM
- TTL 控制输入为 5V 耐压
- 增强型航天塑料 (SEP)
  - 受控基线
  - 金线，NiPdAu 铅涂层
  - 一个封测厂，一个制造厂
  - 延长了产品生命周期
  - 军用级（-55°C 到 125°C）温度范围
  - 产品可追溯性
  - 符合 NASA ASTM E595 释气规格要求

2 应用

- 近地轨道 (LEO) 卫星系统
- 命令和数据处理 (C&DH)
- 通信有效载荷
- 光学成像有效载荷
- 雷达成像有效载荷

3 说明

SN55LVRA4-SEP 提供业界最宽的共模输入电压范围。这些接收器的输入电压范围技术规范与 5V PECL 信号兼容，总体接地噪声耐受性增强。

SN55LVRA4-SEP 包括一个失效防护电路，此电路可在输入信号丢失后的 60ns 内提供一个高电平输出。信号丢失的最常见原因是电缆断开连接、线路短路或发送器断电。失效防护电路可防止在这些故障条件下将噪声当作有效数据接收。

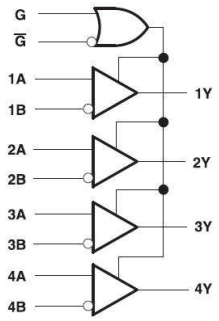
这些器件的预期应用和信号传输技术是通过大约 100Ω 的受控阻抗介质进行点对点基带数据传输。此传输介质可以是印刷电路板走线、底板、或者电缆。最终数据传输速率和距离取决于介质衰减特性和环境噪声耦合。

SN55LVRA4-SEP 的工作温度范围是 -55°C 至 125°C。

封装信息

器件型号	封装 (1)	封装尺寸 (2)
SN55LVRA4-SEP	D（SOIC，16）	9.9mm × 6mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 4
5.1 绝对最大额定值.... 4
5.2 ESD 等级.... 4
5.3 建议运行条件.... 4
5.4 热性能信息.... 5
5.5 电气特性.... 6
5.6 开关特性.... 7
5.7 典型特性.... 8
6 参数测量信息.... 9
7 详细说明.... 13
7.1 概述.... 13
7.2 功能方框图.... 14
7.3 特性说明.... 14
7.4 等效输入和输出原理图.... 15
7.5 器件功能模式.... 15
8 应用和实施.... 16
8.1 应用信息.... 16
8.2 典型应用.... 16
8.3 主动失效防护功能.... 18
8.4 使用 TI LVDS 接收器进行的 ECL/PECL 至 LVTTL 转换.... 19
8.5 测试条件.... 20
8.6 设备.... 20
9 电源相关建议.... 21
9.1 电源旁路电容.... 21
10 布局.... 22
10.1 布局指南.... 22
10.2 布局示例.... 24
11 器件和文档支持.... 25
11.1 文档支持.... 25
11.2 接收文档更新通知.... 25
11.3 支持资源.... 25
11.4 商标.... 25
11.5 静电放电警告.... 25
11.6 术语表.... 25
12 修订历史记录.... 26
13 机械、封装和可订购信息.... 26

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

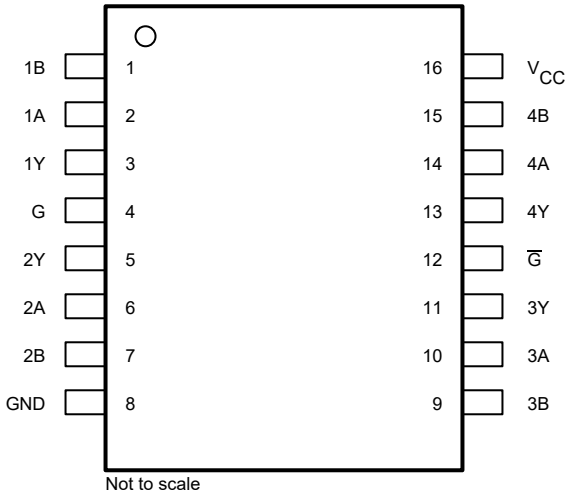


图 4-1. D 封装，16 引脚，SOIC（顶视图）

表 4-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
V_{CC}	16	P	电源电压
GND	8	G	接地
1A	2	I	差分 (LVDS) 同相输入
1B	1	I	差分 (LVDS) 反相输入
1Y	3	O	LVTTL 输出信号
2A	6	I	差分 (LVDS) 同相输入
2B	7	I	差分 (LVDS) 反相输入
2Y	5	O	LVTTL 输出信号
3A	10	I	差分 (LVDS) 同相输入
3B	9	I	差分 (LVDS) 反相输入
3Y	11	O	LVTTL 输出信号
4A	14	I	差分 (LVDS) 同相输入
4B	15	I	差分 (LVDS) 反相输入
4Y	13	O	LVTTL 输出信号
G	4	I	启用（HI =启用）
$\overline{G}$	12	I	启用（LO =启用）

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出，P = 电源，G = 接地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电源电压 (V_{CC})		-0.5	4	V
输入电压（A 或 B）		-5	6	V
输入电压（G、$\overline{G}$）		-0.5	VCC + 0.4	V
LVDS 的差分电压 |A - B|		0	3	V
输出电压 (R_{OUT})		-0.5	4	V
焊接时的引线温度范围	（4 秒）		260	°C
结温		-55	140	°C
贮存温度，T_{stg}		-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议*运行条件以外的任何其他条件下能够正常运行。如果使用条件超出建议运行条件但在绝对最大额定值范围内，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(BUS_ESD)}$	静电放电	总线引脚；A & B；人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001[(1)]	±15000	V
$V_{(HBM_ESD)}$	静电放电	其他所有引脚：人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±4000	V
$V_{(CDM_ESD)}$	静电放电	充电器件模型 (CDM)，符合 JEDEC 规范 JS-002[(2)]	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。.
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{CC}	电源电压（3.3V 模式）	3.0	3.3	3.6	V
V_{IH}	高电平输入电压（G、$\overline{G}$）	2		V_{CC}	V
V_{IL}	低电平输入电压（G、$\overline{G}$）	0		0.8	V
$\|V_{ID}\|$	接收器输入电压幅度 (LVDS)	0.1		3.0	V
V_I 或 V_{CM}	任何 LVDS 端子上的电压（独立或共模）	-4		+5	V
T_A	自然通风条件下的工作温度	-55		125	°C
T_{PCB}	PCB 温度（标准）	-55		128	°C
T_J	结温（标准）	-55		135	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息

热指标[1]		D (SOIC) 16 引脚	单位
$R_{\theta JA}$	结至环境热阻	84.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	46.0	°C/W
$R_{\theta JB}$	结至电路板热阻	41.8	°C/W
ψ_{JT}	结至顶部特征参数	11.1	°C/W
ψ_{JB}	结至电路板特征参数	41.5	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 电气特性

在建议的运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IT1}	正向差分输入电压阈值	V_{IB} = -4V 或 5V，V_{CC} = 3.0V 或 3.6V，请参阅 图 6-2			90	mV
V_{IT2}	负向差分输入电压阈值		-90			
V_{IT3}	差分输入失效防护电压阈值	V_{CC} = 3.0V 至 3.6V，请参阅 图 6-2 和 图 6-5	-32		-100	mV
$V_{ID(HYS)}$	差分输入电压迟滞，V_{IT1} – V_{IT2}	V_{CC} = 3.0V 至 3.6V		50		mV
V_{CM_RANGE}	输入共模电压范围	VCC = 3.0V 至 3.6V	-4	1.2	5	V
V_{OH}	高电平输出电压	I_{OH} = –4mA，V_{CC} = 3.0V 至 3.6V	2.4			V
V_{OL}	低电平输出电压	I_{OL} = 4mA，V_{CC} = 3.0V 至 3.6V			0.4	V
I_{CC}	电源电流	G（V_{CC} 条件下），空载，稳态 VID=200mV/-200mV，V_{CC} = 3.0V 至 3.6V	2	16	25	mA
		禁用并处于深度睡眠状态（>100us 时禁用），G 接地，V_{CC} = 3.0V 至 3.6V		1.1	6	
I_I	输入电流（A 或 B 输入）	V_I = 0V，其他输入开路	-25		25	μA
I_I	输入电流（A 或 B 输入）	V_I = 2.4V，其他输入开路	-25		25	μA
I_I	输入电流（A 或 B 输入）	V_I = -4V，其他输入开路	-80		80	μA
I_I	输入电流（A 或 B 输入）	V_I = 5V，其他输入开路	-45		45	μA
I_{ID}	差分输入漏电流 (I_{IA} – I_{IB})	V_{ID} = 100mV，V_{IC} = –4V 或 5V	-5		5	μA
$I_{I(OFF)}$	断电输入电流（A 或 B 输入）	V_A 或 V_B = -4V 或 5V，V_{CC} = 0V	-70		70	μA
$I_{I(OFF)}$	断电输入电流（A 或 B 输入）	V_A 或 V_B = 0V 或 2.4V，V_{CC} = 0V	-25		25	μA
V_{IH}	高电平输入电压（启用）	V_{CC} = 3.0V 至 3.6V			2	V
I_{IH}	高电平输入电流（启用）	V_{IH} = 2V，V_{CC} 3.0V 至 3.6V			15	μA
V_{IL}	低电平输入电压（启用）	V_{CC} = 3.0V 至 3.6V	0.8			V
I_{IL}	低电平输入电流（启用）	V_{IL} = 0.8V，V_{CC} 3.0V 至 3.6V			15	μA
I_{OZ}	高阻抗输出电流		-12		12	μA

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性

在电源电压和工作温度范围内测得，除非另外说明。(1) (2) (3)

符号	参数	条件	最小值	典型值	最大值	单位
t_{PHL}	从高电平到低电平的差分传播延迟	-55℃ ≤ T_A ≤ 125℃，V_{ID} = 400mV，C_L = 10pF，trf≤1ns，VCC=3.3V +/-10%。请参阅 图 6-3	1.8	3.6	8.5	ns
t_{PLH}	差分传播延迟低电平到高电平	-55℃ ≤ T_A ≤ 125℃，V_{ID} = 400mV，C_L = 10pF，trf≤1ns，VCC=3.3V +/-10%。请参阅 图 6-3	1.3	3	7.5	ns
t_{d1}	延迟时间、失效防护停用时间	V_{ID} = 400mV，C_L = 10pF，trf≤1ns，VCC=3.3V +/-10%.请参阅 图 6-3 和 图 6-6			16	ns
t_{d2}	延迟时间、失效防护激活时间				2.5	μs
$tSK_{(p)}$	差分脉冲偏移(t_{PHLD} – t_{PLHD}) (4)	V_{ID} = 400mV，C_L = 10pF，trf≤1ns，VCC=3.3V +/-10%.请参阅 图 6-3		500		ps
$t_{SK(o)}$	差分通道间偏斜相同的器件 (5)			130		ps
$t_{SK(pp)}$	差分器件间延迟 (6)				1.2	ns
t_{TPHZ}	传播延迟时间，高电平至高阻抗输出	V_{ID} = 400mV，C_L = 10pF，trf≤1ns，VCC=3.3V +/-10% 图 6-4		6.5	15	ns
t_{TPLZ}	传播延迟时间，低电平至高阻抗输出			4.4	12	ns
t_{TPZH}	传播延迟时间，高阻抗至高电平输出			3.8	12	ns
t_{TPZL}	传播延迟时间，高阻抗至低电平输出			7	12	ns
t_{TLH}	输出上升时间	V_{ID} = 400mV，C_L = 10pF，trf≤1ns，VCC=3.3V +/-10%.请参阅 图 6-3		800		ps
t_{THL}	输出下降时间			800		ps

(1) 给出了以下各项的所有典型值：V_{CC} = 3.3V 和 T_A = +25°C。
(2) C_L 包括探头和夹具电容。
(3) 除非另有说明，否则所有测试的发生器波形：f = 1MHz，Z_O = 50Ω，对于 R_{IN}，t_r 和 t_f（0% 至 100%）≤ 3ns。
(4) $t_{SK(p)}$ 是同一通道的正向边沿和负向边沿之间差分传播延迟时间的幅度差。
(5) $t_{SK(o)}$ 是同一器件上任何事件的差分通道间延迟。此规格适用于集成电路内具有多个接收器的器件。
(6) $t_{SK(pp)}$，器件间延迟，是器件之间任何事件的差分通道间延迟。此规格适用于具有相同 V_{CC} 且工作温度范围内彼此相差 5°C 以内的器件。

5.7 典型特性

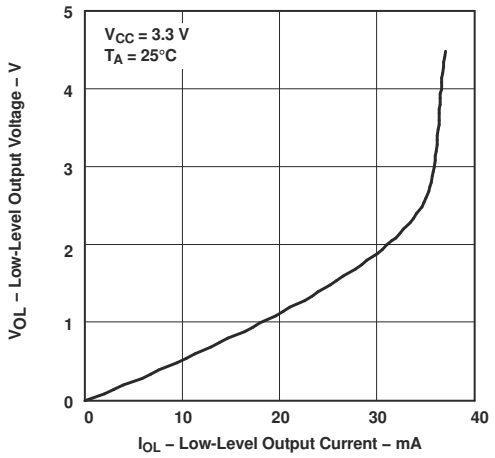


图 5-1. 低电平输出电压与低电平输出电流间的关系

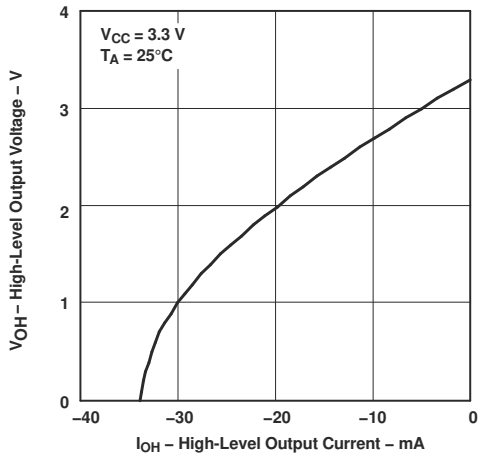


图 5-2. 高电平输出电压与高电平输出电流间的关系

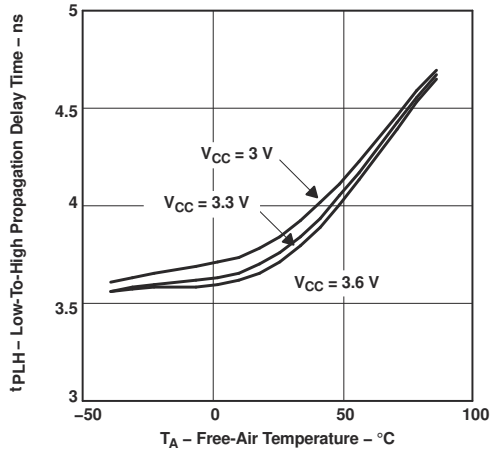


图 5-3. 低电平至高电平传播延迟时间与自然通风温度间的关系

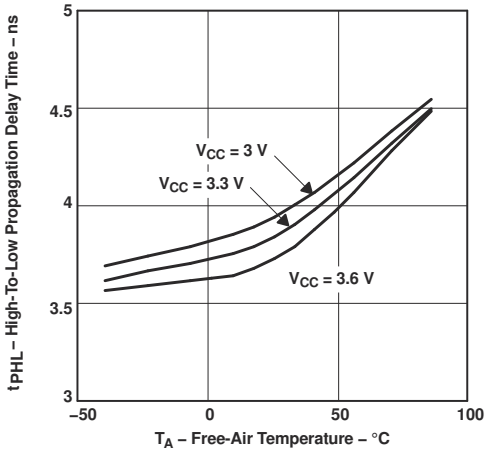


图 5-4. 高电平至低电平传播延迟时间与自然通风温度间的关系

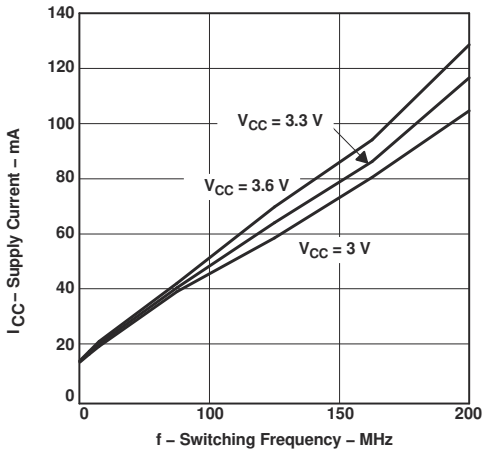


图 5-5. 电源电流与频率间的关系（所有通道均处于活动状态）

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

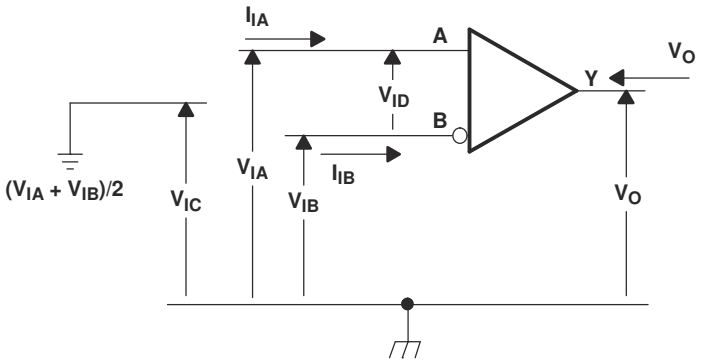
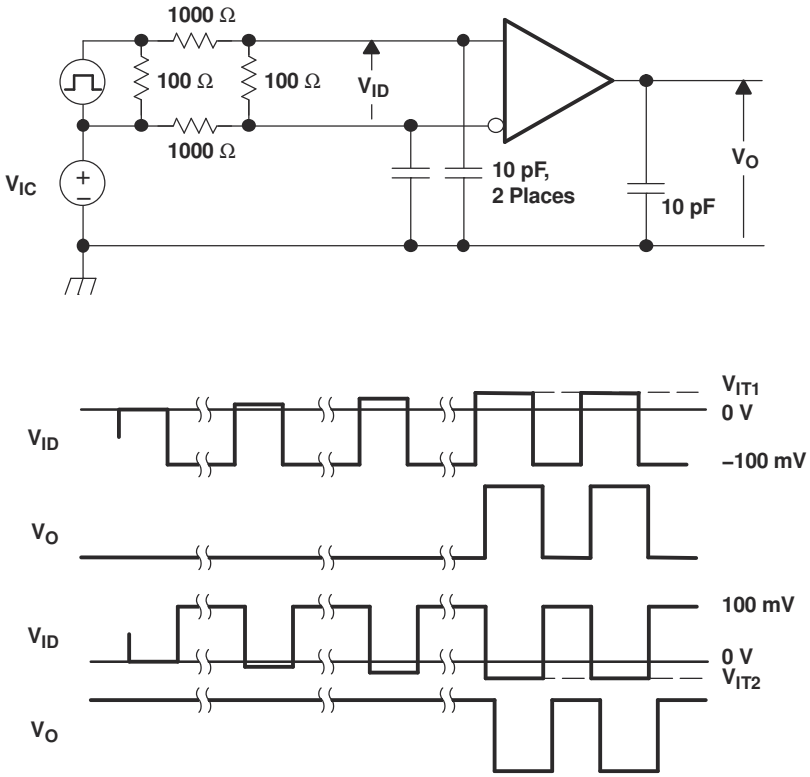
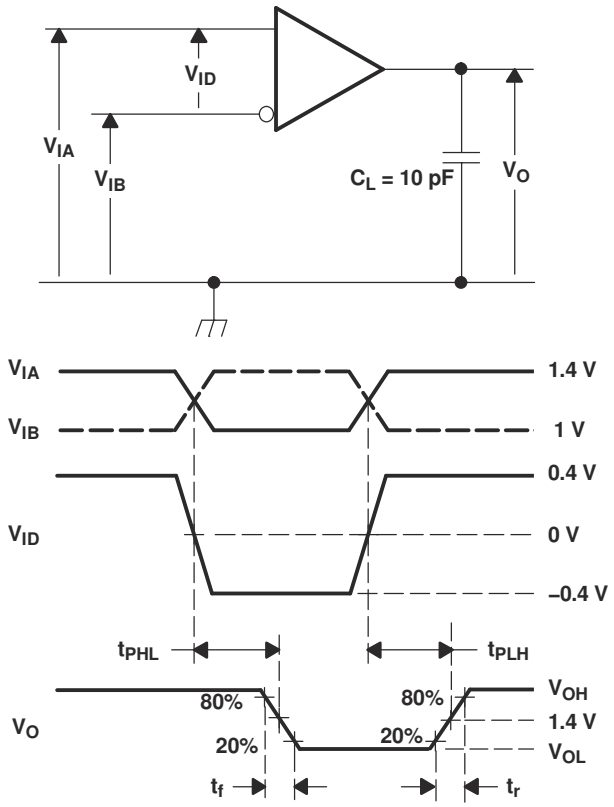


图 6-1. 电压和电流定义



NOTE: Input signal of 3 Mpps, duration of 167 ns, and transition time of <1 ns.

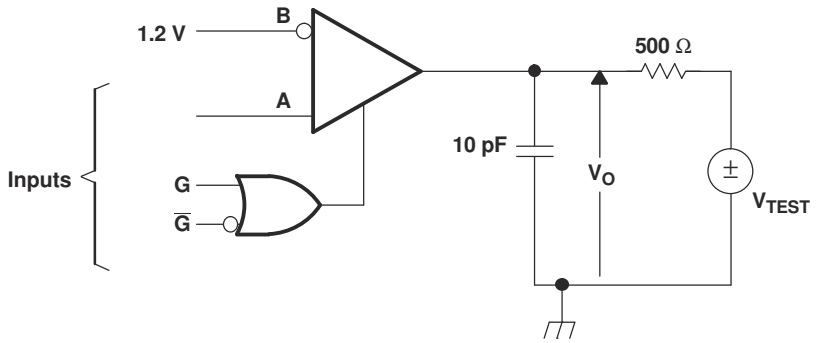
图 6-2. V_{IT1} 和 V_{IT2} 输入电压阈值测试电路和定义



所有输入脉冲均由具有以下特性的发生器提供：t_r 或 t_f ≤ 1ns、脉冲重复率 (PRR) = 50Mpps [pps：每秒脉冲数]，脉冲宽度 = 10 ± 0.2ns。C_L 包括距离受测器件 0.06mm 范围内的仪表和设备电容。

图 6-3. 时序测试电路和波形

Copyright © 2025 Texas Instruments Incorporated



NOTE: All input pulses are supplied by a generator having the following characteristics: t_r or t_f ≤ 1 ns, pulse repetition rate (PRR) = 0.5 Mpps, pulsewidth = 500 ±10 ns . C_L includes instrumentation and fixture capacitance within 0,06 mm of the D.U.T.

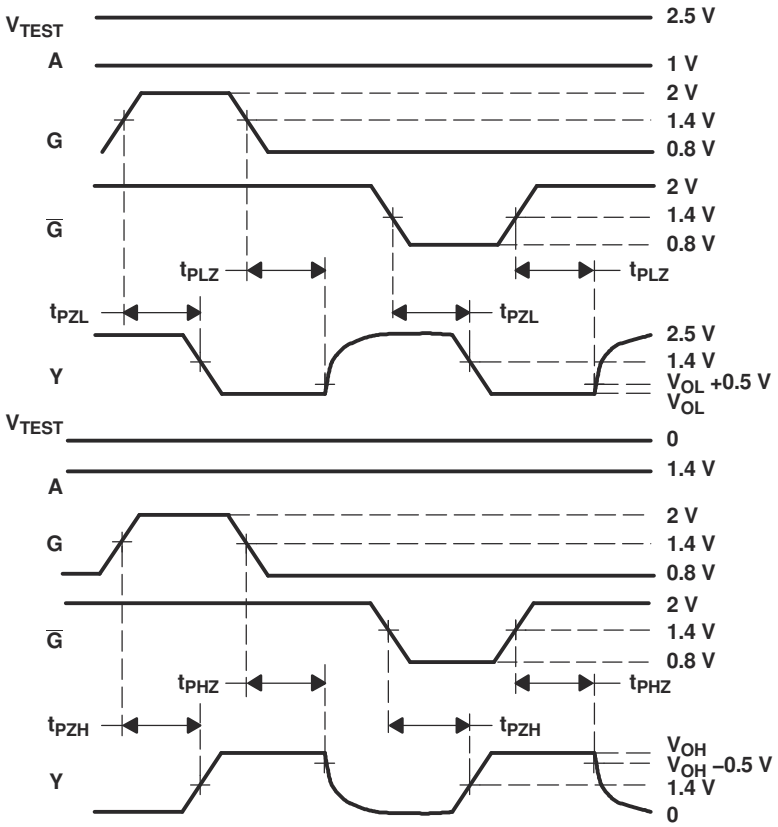


图 **6-4.** 启用/禁用时间测试电路和波形

表 6-1. 接收器最小和最大 V_{IT3} 输入阈值测试电压

施加的电压[(1)]		产生的输入		
V_{IA} (mV)	V_{IB} (mV)	V_{ID} (mV)	V_{IC} (mV)	输出
-4000	-3900	-100	-3950	L
-4000	-3968	-32	-3984	H
4900	5000	-100	4950	L
4968	5000	-32	4984	H

(1) 这些电压的施加时间至少为 1.5μs。

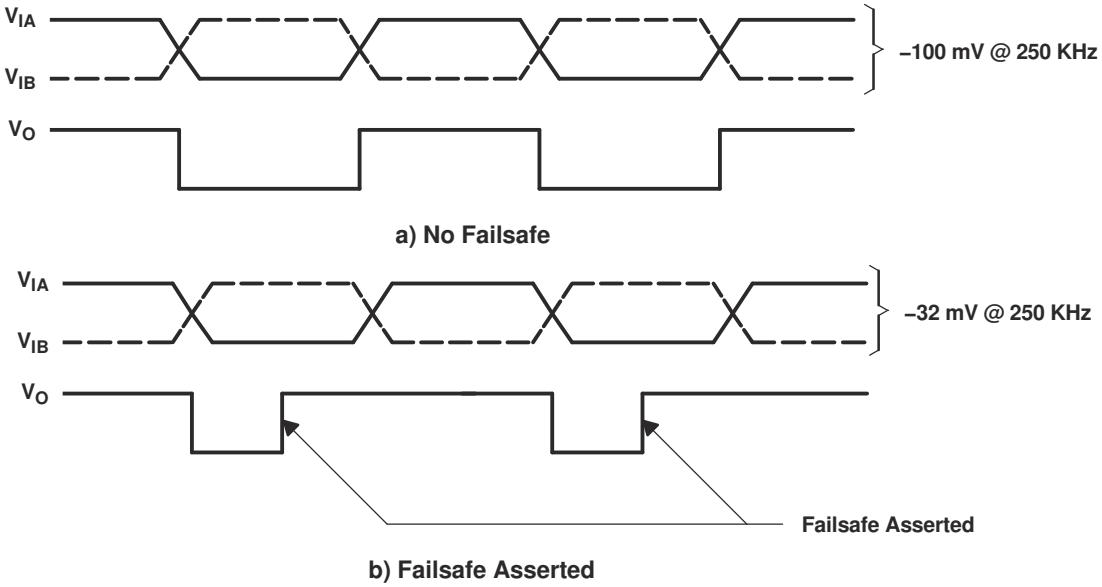


图 6-5. V_{IT3} 失效防护阈值测试

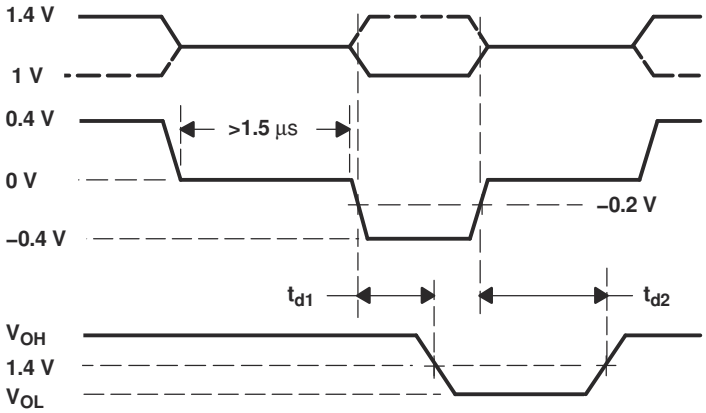


图 6-6. 失效防护激活和停用的波形

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

图 7-1 展示了 LVDS 驱动器和接收器如何主要用于简单的点对点配置。此配置为驱动器的快速边沿速率提供了干净的信号环境。接收器通过阻抗控制的 100Ω 差分 PCB 布线连接到信号源。使用 100Ω 端接电阻器，并将其放置在尽可能靠近接收器输入引脚的位置。终端电阻器将驱动器输出（电流模式）转换为接收器检测到的电压。

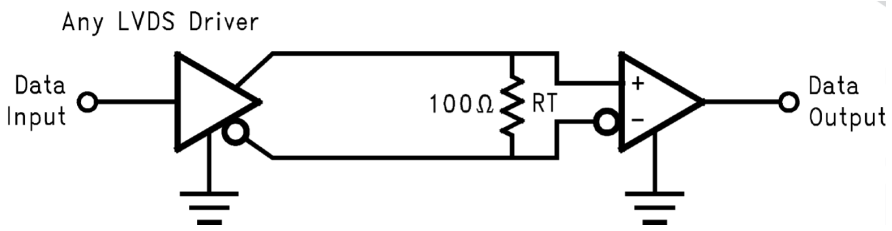
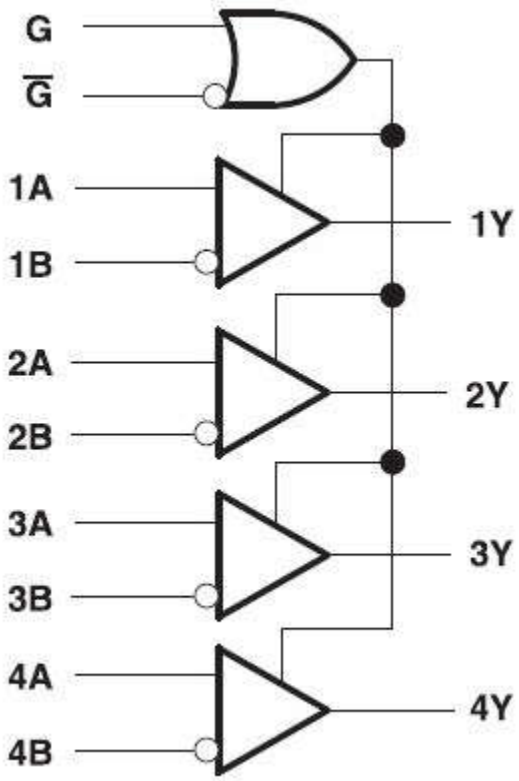


图 7-1. 应用示意图

7.2 功能方框图



7.3 特性说明

7.3.1 接收器输出状态

当接收器差分输入信号大于 100mV 时，接收器输出为高电平；当差分输入电压低于 –100mV 时，接收器输出为低电平。当输入电压介于这些阈值之间（例如，介于 –100mV 和 100mV 之间）时，接收器输出是不确定的。输出状态可以是高电平或低电平。当接收器的输入端为开路时，会出现一种特殊情况，请参考 *节 8.3* 中的介绍。当接收器被禁用时，接收器输出为高阻抗。

7.3.2 通用比较器

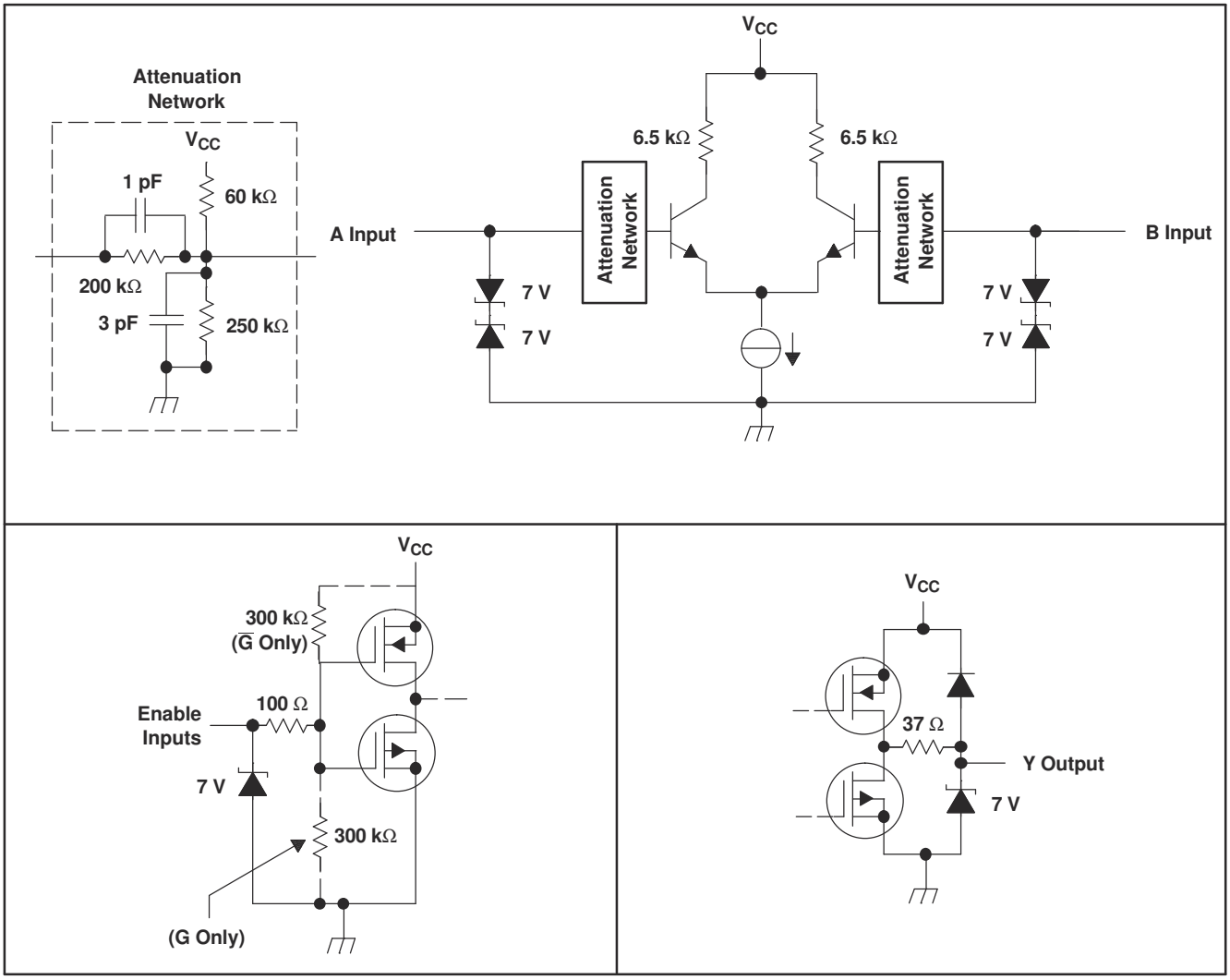
虽然 SN55LVRA4-SEP 接收器是符合 LVDS 标准的接收器，但其用途和应用扩展到了更广泛的信号范围。只要输入信号在上述所需的差分和共模电压范围内，接收器输出就会准确地反映输入信号。

7.3.3 共模范围与电源电压

SN55LVRA4-SEP 接收器在 -4V 至 5V 的输入扩展共模范围内运行，允许发送器和接收器之间存在大量的接地漂移。如果输入共模在此范围内任何位置并且差分幅度大于或等于 100mV，则接收器正确输出 LVDS 总线状态。

Copyright © 2025 Texas Instruments Incorporated

7.4 等效输入和输出原理图



7.5 器件功能模式

表 7-1. 功能表

SN55LVRA4-SEP (1)			
差分输入	使能		输出
$V_{ID} = V_A - V_B$	G	$\overline{G}$	Y
$V_{ID} \geqslant$ -32mV	H	X	H
	X	L	H
– 100 mV < $V_{ID} \leqslant$ – 32mV	H	X	?
	X	L	?
$V_{ID} \leqslant$ -100mV	H	X	L
	X	L	L
X	L	H	Z
开路	H	X	H
	X	L	H

(1) H = 高电平，L = 低电平，X = 不相关，Z = 高阻抗（关断），? = 不确定

8 应用和实施

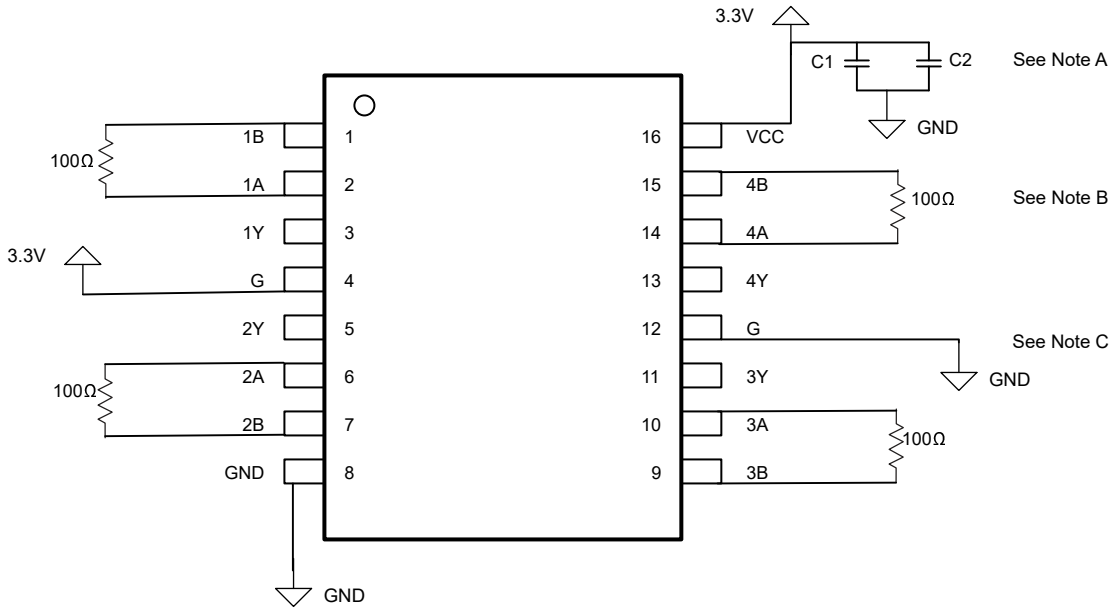
备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

有关 LVDS 驱动器和接收器的一般应用手册和提示，请参阅 *LVDS 应用手册和设计指南*。

8.2 典型应用



A. 电容器的位置应尽可能靠近器件端子。请参阅 电源旁路电容，了解电容器值。
B. 端接电阻值应与传输介质的标称特性阻抗匹配，偏差为 ±10%。
C. 未使用的使能输入应根据需要连接至 V_{CC} 或 GND。

图 8-1. 由 3.3V 电源供电

8.2.1 详细设计过程

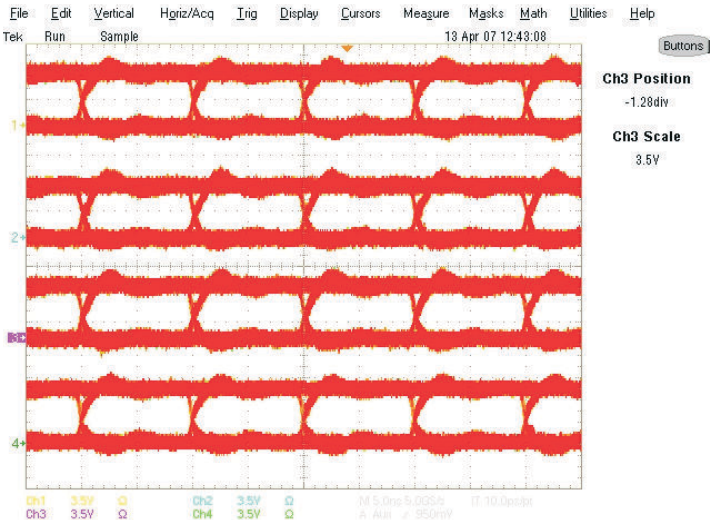
驱动器和接收器之间的物理通信通道可以是满足 LVDS 标准要求的所有平衡、配对金属导体。此介质可以是双绞线、双轴、扁平带状电缆或 PCB 布线。互连的标称特征阻抗应为典型值 100Ω 和不超过 10% 的变化（90Ω 至 110Ω 的范围内）。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 设计要求

设计参数	示例值
驱动器电源电压 (V_{CCD})	3.0V 至 3.6V
驱动器输入电压	0.8V 至 3.3V
驱动器信号传输速率	DC 至 100Mbps
互连特征阻抗	100 Ω
端接电阻	100 Ω
接收器节点数量	1
接收器电源电压 (V_{CCR})	3.0V 至 3.6V
接收器输入电压	0V 至 24V
接收器信号传输速率	DC 至 100Mbps
驱动器和接收器之间的接地漂移	±1V

8.2.3 应用性能曲线图



所有 Rx 均以 100Mbps 的速率运行；通道 1：1Y 通道 2：2Y 通道 3：3Y 通道 4：4Y　　T = 25°C V_{CC} = 3.6V PRBS = 2^{23} – 1

图 8-2. 典型眼图

8.2.4 冷备用

使用冷备份的系统在未供电的情况下以电气方式连接冗余器件。为了支持该配置，备份必须向系统提供高输入阻抗，使其不会消耗可感知的功率。在冷备份中，可以在器件上电之前和期间向 I/O 施加电压。当器件断电时，V_{CC} 必须钳位到地，并且施加的 I/O 电压必须在指定的建议运行条件内。

8.3 主动失效防护功能

差分线路接收器通常具有失效防护电路，可防止输出打开输入噪声。当前的 LVDS 失效防护实现需要外部组件（它们的信号质量随后会降低）或应用受限的集成解决方案。该接收器系列具有新的集成失效防护功能，可以解决当前解决方案中存在的局限性。TI LVDS 接收器中的主动失效防护应用手册中提供了详细的工作原理。

图 8-3 显示了一个具有主动失效防护功能的接收器通道，其中包含一个可以响应高速输入差分信号的主接收器。另外，连接到输入对的是两个失效防护接收器，它们构成一个窗口比较器。窗口比较器的响应比主接收器慢很多，当输入差分电压下降到 80mV 以下时，该比较器会进行检测。600ns 失效防护计时器可过滤窗口比较器输出。失效防护置为有效后，失效防护逻辑会将主接收器输出驱动为逻辑高电平。

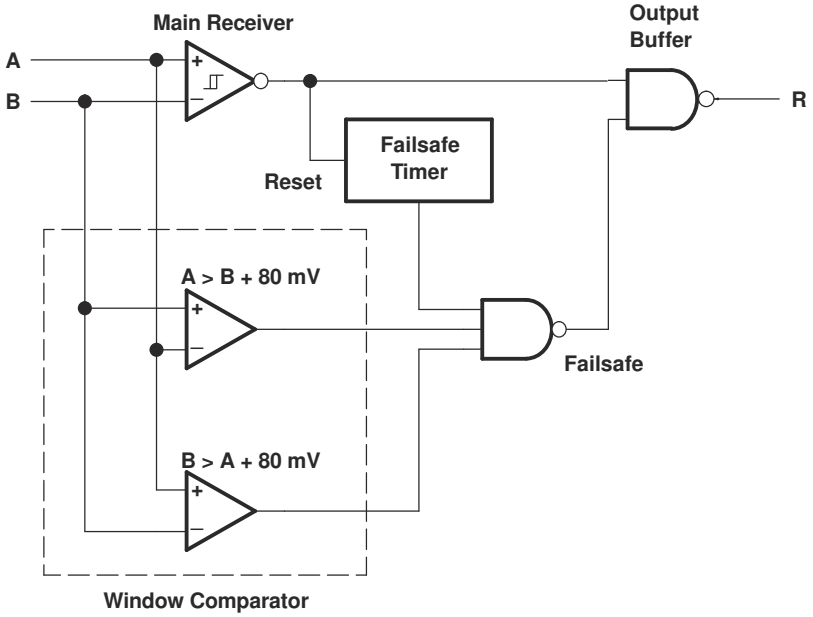


图 8-3. 具有主动失效防护功能的接收器

Copyright © 2025 Texas Instruments Incorporated

8.4 使用 TI LVDS 接收器进行的 ECL/PECL 至 LVTTL 转换

各种版本的发射极耦合逻辑（例如，ECL、PECL 和 LVPECL）通常是系统设计人员首选的物理层。在过去，系统要求通常强制选择 ECL。LVDS 等技术现在可为设计人员提供另一种替代方案。虽然 ECL 与 LVDS 的整体交换不是一种设计选项，但设计人员能够通过在 LVDS 接收器的输入端实施小型电阻分压器网络来利用 LVDS 的优势。德州仪器 (TI) 已经迈出了又一步，推出了宽共模 LVDS 接收器（无需分压器网络），该接收器可直接连接至 ECL 驱动器，且 ECL 终端只需终端偏置电压 (V_{CC} – 2V)。

图 8-4 和 图 8-5 展示了如何使用 LV/PECL 驱动器驱动 5 米的 CAT-5 电缆并由德州仪器 (TI) 的宽共模接收器接收，以及由此产生的眼图。为了给 LV/PECL 驱动器提供接地的电阻器路径，需要 R3 的值。在没有电阻分压器的情况下，R1 只需匹配 50 Ω 的特性负载阻抗。R2 电阻器阻值较小，旨在尽可能减少任何可能的共模电流反射。

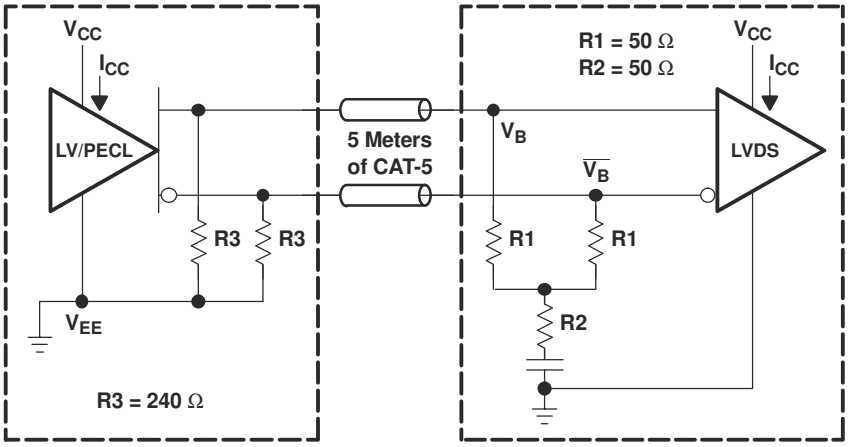


图 8-4. LVPECL 或 PECL 至远程宽共模 LVDS 接收器

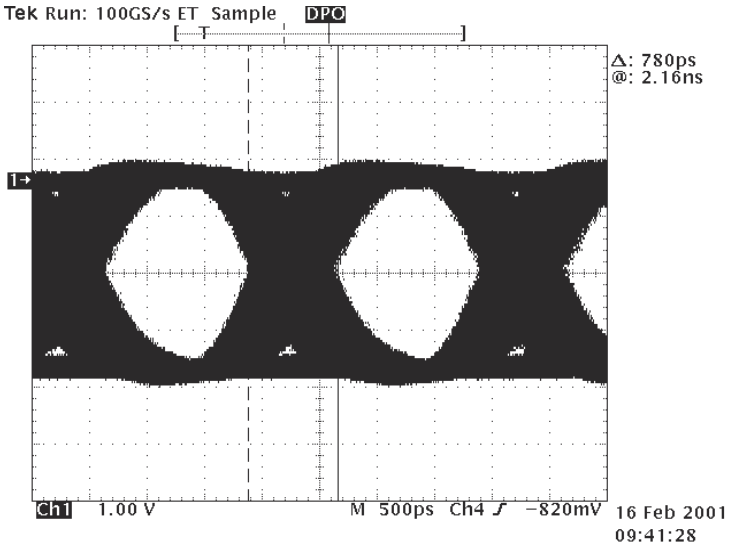


图 8-5. 500Mbps 接收器输出 (CH1) 的 LV/PECL 至远程 SN55LVRA4-SEP

8.5 测试条件

- V_{CC} = 3.3V
- T_A = 25°C（环境温度）
- 所有四个通道都与 NRZ 数据同时切换。示波器与 NRZ 数据同时被脉冲触发。

8.6 设备

- Tektronix PS25216 可编程电源
- Tektronix HFS 9003 激励系统
- Tektronix TDS 784D 4 通道数字荧光示波器 – DPO

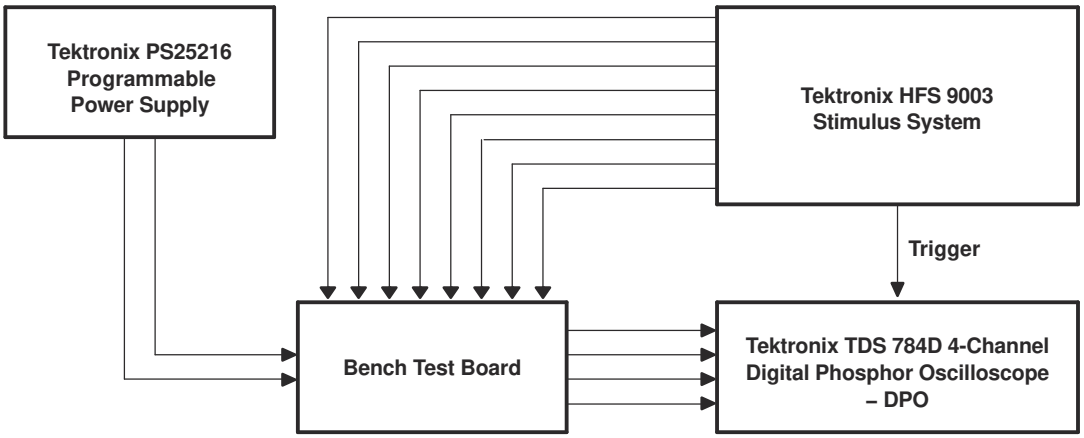


图 8-6. 设备设置

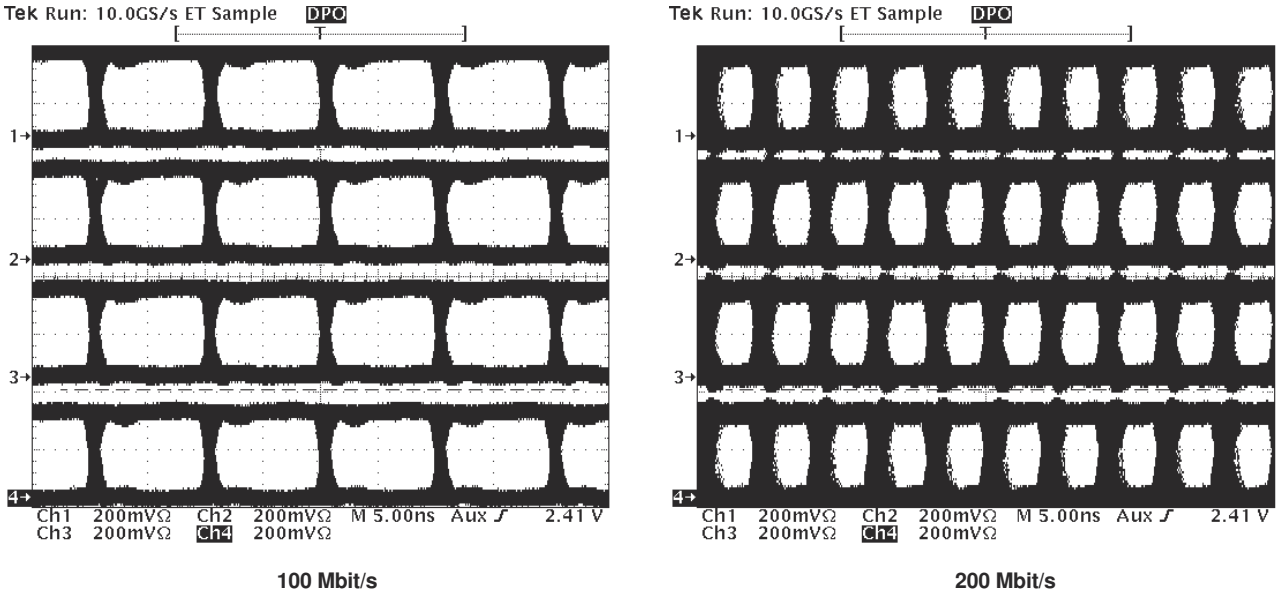


图 8-7. 典型眼图 SN55LVRA4-SEP

Copyright © 2025 Texas Instruments Incorporated

9 电源相关建议

9.1 电源旁路电容

旁路电容器在配电电路中发挥着关键作用。具体来说，旁路电容器会在电源和接地之间以特定的频率（取决于值）建立低阻抗路径。在低频率下，稳压器在端子和接地之间提供低阻抗路径。但是，随着更高频率的电流通过电源布线传输，该电源通常无法保持低阻抗的接地路径。旁路电容器便用于解决这一问题。通常，板级大旁路电容器（10μF 至 1000μF）在 kHz 范围内可以很好地工作。由于引线的尺寸和长度，大电容器往往在现代数字电路的开关频率下具有较大的电感值。要解决这个问题，可以使用较小的电容器（nF 至 μF 范围）并将其安装在集成电路旁边。

多层陶瓷芯片或表面贴装电容器（尺寸 0402 或 0603 或 0805）可以在高速环境中尽可能地减小旁路电容器的引线电感，因为它们的引线电感约为 1nH。此外， PCB 上用于连接 V_{CC} 和电容器的走线上的电感也会影响电容器的谐振和有效性。

图 8-1 展示了靠近电源引脚的 C1 和 C2。

C1 的建议值为 10nF，C2 应基于应用的工作频率和电容器与电源引脚的距离确定。例如，在 100MHz 工作频率下，C1 使用 10nF，C2 使用 1nF，C1 和 C2 都在电源引脚 3mm 范围内。对于 6mm 距离，需要更改建议的电容器值。C1 和 C2 之间不要使用较长的走线，因为这可能会形成谐振电路，从而使电源噪声更糟。在这种情况下，C1 会更好。

如果主工作频率可能会根据系统应用而变化，则可以使用多个 C2 电容器。例如，如果系统可以在 100MHz 或 150MHz 主频率下运行，则可以使用 10nF、1nF 和 0.47nF。

备注

如果电源去耦不是理想状态，则在多个通道同时开关时可能会发生占空比失真。

表 9-1. 建议的电容器值

走线长度（电源电容器到 VCC 引脚）	C2 值	谐振频率
3mm	4.7nF	50MHz
3mm	1nF	100MHz
3mm	0.47nF	150MHz
3mm	0.27nF	200MHz
6mm	2.2nF	50MHz
6mm	0.51nF	100MHz
6mm	0.22nF	150MHz
6mm	0.13nF	200MHz

10 布局

10.1 布局指南

10.1.1 微带与带状线拓扑

根据 LVDS 应用和数据手册，印刷电路板通常为设计人员提供两种传输线路选项：微带和带状线。微带是 PCB 外层的布线，如图 10-1 所示。

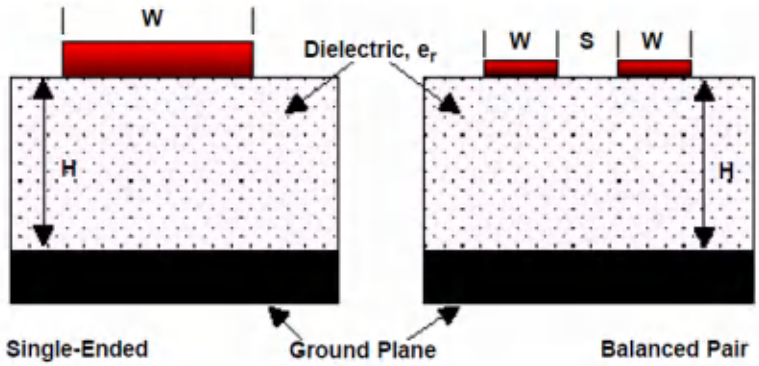


图 10-1. 微带拓扑

此外，带状线是位于两个接地平面之间的布线。带状线不易产生辐射和易感性问题，因为基准平面有效地屏蔽了嵌入的布线。但是，从高速传输的角度来看，将两个平面并置会产生额外的电容。TI 建议尽可能在微带传输线路上路由 LVDS 信号。利用 PCB 布线，设计人员可以根据整体噪声预算和反射容差指定 Z_O 的必要容差。

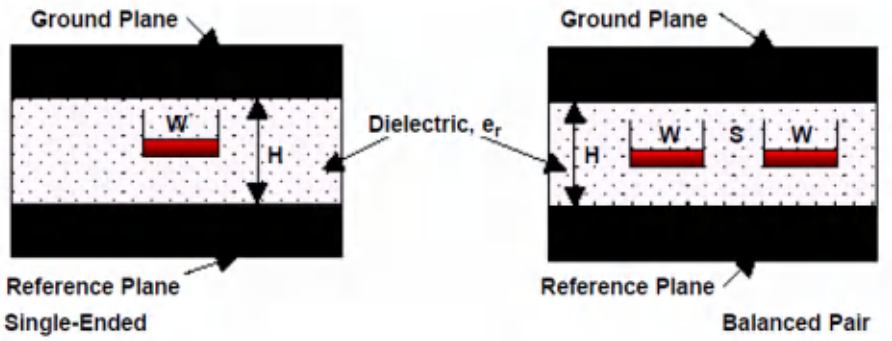


图 10-2. 带状线拓扑

10.1.2 电介质类型和电路板结构

信号在电路板上传输的速度决定了电介质的选择。通常，FR-4 或类似材料能够提供足够的性能来用于传输 LVDS 信号。如果 TTL/CMOS 信号的上升或下降时间小于 500ps，经验结果表明，介电常数接近 3.4 的材料（例如 Rogers™ 4350 或 Nelco N4000-13）更为适合。设计人员选择电介质后，有几个与电路板结构相关的参数可能会影响性能。以下一组准则是通过几个涉及 LVDS 器件的设计经过实验而开发出来的：

- 覆铜重量：起始重量为 15g 或 1/2 盎司，电镀后达到 30g 或 1 盎司
- 所有外露的电路都应进行镀焊 (60/40)，厚度为 7.62 μm 或 0.0003 英寸（最小值）。
- 在电镀通孔中，镀铜厚度应为 25.4 μm 或 0.001 英寸（最小值）。
- 在裸铜上涂覆阻焊层并进行焊料热气平整

Copyright © 2025 Texas Instruments Incorporated

10.1.3 建议的堆叠布局

选择电介质和设计规格后，用户应当确定要在栈中使用的级别数量。为了减少 TTL/CMOS 到 LVDS 的串扰，良好的做法是至少有两个独立的信号平面，如 图 10-3 中所示。

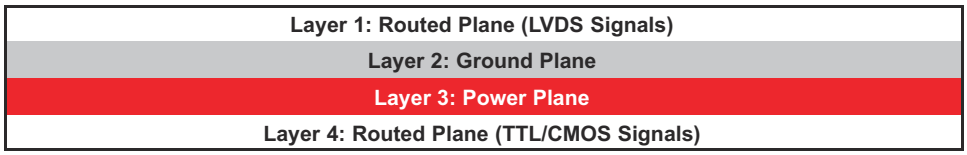


图 10-3. 四层 PCB 板

备注

第 2 层和第 3 层之间的间隔应为 127 μm（0.005 英寸）。通过使电源平面和接地平面保持紧密耦合，增加的电容可用作瞬态的旁路。

最常见的堆叠配置之一是六层板，如图 10-4 所示。

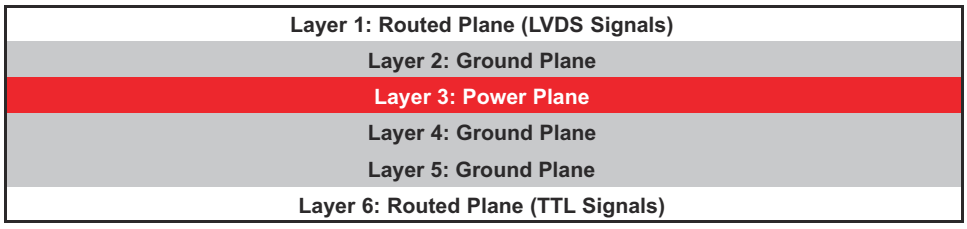


图 10-4. 六层 PCB 板

在这种特定配置中，可以通过至少一个接地平面将每个信号层与电源平面隔离。这样可以提高信号完整性，但是制造成本更高。最好使用 6 层电路板，因为除了确保信号层 1 和 6 基准接地平面之外，它还为布局设计人员提供了更大的灵活性来改变信号层和基准平面之间的距离。

10.1.4 引线间距

引线间距取决于多个因素；然而，可承受的耦合量通常决定了实际的间距。低噪声耦合需要 LVDS 链路的差分对之间紧密耦合，以从电磁场消除中获益。布线应采用 100Ω 差分，并以最符合此要求的方式进行耦合。此外，差分对的电气长度应保持一致，以确保差分对平衡，从而更大程度地减少偏差和信号反射的问题。

如果两条单端布线相邻，应使用 3W 规则。该规则规定，两条布线之间的距离应当大于单条布线宽度的两倍；若从布线中心到中心测量，则应大于单条布线宽度的三倍。这种增加的间距可以有效地降低串扰的可能性。无论是边沿耦合还是宽侧耦合，相邻 LVDS 差分对之间的间隔都应采用相同的规则。

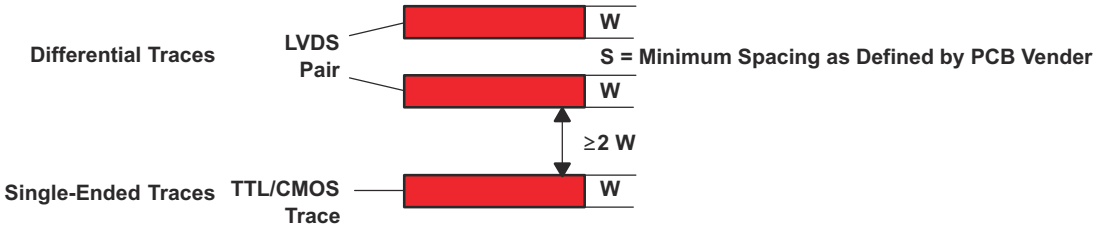


图 10-5. 单端和差分布线的 3W 规则（顶视图）

用户在使用自动布线工具时应格外谨慎，因为该工具并非总能考虑到所有影响串扰和信号反射的因素。例如，最好避免 90° 转弯，以避免信号路径中的不连续性。使用连续 45° 转弯可尽量减少反射。

10.1.5 串扰和接地反弹最小化

为了减少串扰，必须提供一条尽可能靠近其来源布线的高频电流返回路径。通常，接地平面可以实现这一点。返回电流总是选择电感最低的路径，因此它们很可能直接在原始布线下方返回，从而更大限度地减少串扰。减小电流环路的面积可以降低发生串扰的可能性。当布线尽可能短，并且其下方有不间断的接地平面时，可以更大限度地降低电磁场的辐射强度。接地平面中的不连续会增加返回路径的电感，因此应避免这种情况。

10.2 布局示例

为了尽量减少串扰，单端布线和差分对之间的间距至少应为单个布线宽度的两倍或三倍。通常，如果并行的单端布线长度小于上升或下降时间的波长，则串扰可以忽略不计。对于长距离并行运行，增加信号路径之间的间距可以减少串扰。空间有限的电路板可从交错布线布局中受益，如图 10-6 所示。

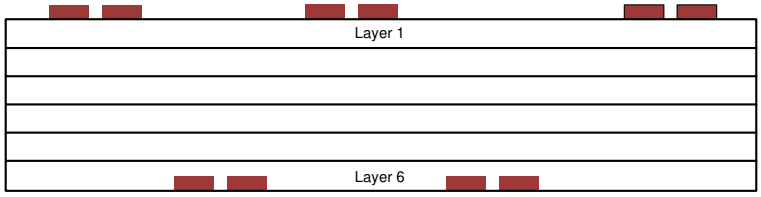


图 10-6. 交错布线布局

这种配置在不同的层上布置交替信号布线；因此，布线之间的水平间距可能小于单个布线宽度的 2 或 3 倍。为确保接地信号路径的连续性，TI 建议为每个信号过孔设置一个相邻的接地过孔，如图 10-7 所示。请注意，过孔会产生额外的电容。例如，典型过孔在 FR4 中具有 1/2pF 至 1pF 的集总电容效应。

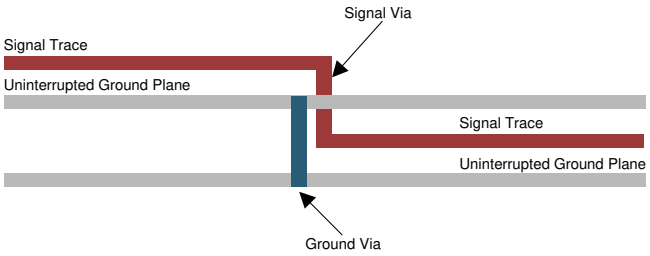


图 10-7. 接地过孔位置（侧视图）

器件接地引脚与 PCB 接地平面之间的短距离低阻抗连接可减少接地反弹。接地平面中的孔和切口如果产生不连续性，从而导致返回电流环路面积增加，则会对电流返回路径产生不利影响。

为更大限度地减少 EMI 问题，TI 建议避免布线下方的不连续性（例如孔、缝隙等），并尽可能缩短布线。通过将所有类似的功能放置在同一个区域，而不是将它们混合在一起，来明智地对电路板进行分区，有助于减少易感性问题。

Copyright © 2025 Texas Instruments Incorporated

11 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

11.1 文档支持

11.1.1 相关文档

IBIS 建模可用于该器件。如需更多信息，请联系当地德州仪器 (TI) 销售办事处或访问德州仪器 (TI) 网站，网址为 www.ti.com。

如需更多应用指南，请参阅以下文档：

- 德州仪器 (TI)，*低电压差分信号设计说明*
- 德州仪器 (TI)，*TIA/EIA-644 (LVDS) 的接口电路*
- 德州仪器(TI)，*利用 LVDS 降低 EMI*
- 德州仪器(TI)，*LVDS 电路的压摆率控制*
- 德州仪器(TI)，*使用具有 RS-422 数据的 LVDS 接收器*

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

11.4 商标

Rogers™ is a trademark of Rogers Corporation.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

11.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

Changes from Revision * (February 2025) to Revision A (December 2025) **Page**

- 在数据表标题中添加了“耐辐射”一词 1
- 添加了 VID 编号 1
- 添加了 SET 表征报告可用性并将 SEL 更新为 50MeV 1
- 将数据表状态从*预告信息* 更改为*量产数据* 1
- 更改了*封装信息*表中的 D (SOIC) 封装尺寸 1
- 添加了总线引脚 ESD 等级 4
- 将 HBM ESD 从 2kV 更改为 4kV 4
- 将 CDM ESD 从 750V 更改为 1000V 4
- 将使能信号对应的 ROC V_{IH} 最大值更改为 V_{CC} 4
- 将 V_{IT1} 和 V_{IT2} 从 50mV 更改为 90mV 6
- 将 TPHL 最大值从 8ns 更改为 8.5ns 7
- 将 TLH 最小值从 1.8ns 更改为 1.3ns，最大值从 8ns 更改为 7.5ns 7
- 将 td1 最大值从 11ns 更改为 16ns 7
- 将 td2 最大值从 2μs 更改为 2.5μs，并删除了最小限值 7
- 将 tSK(p) 典型值从 200ns 更改为 500ns 7
- 将 tsk(o) 典型值从 150ns 更改为 130ns 7
- 将 TPHZ 最大值从 12ns 更改为 15ns 7
- 将应用图更改为 3.3V 电源，并添加了有关 C1 和 C2 去耦电容器的更多详细信息 16
- 添加了指向旁路电容建议部分的链接 16
- 添加了有关去耦电容器的更多信息 21
- 添加了有关对系统性能的影响的注释 21

日期	修订版本	注释
February 2025	*	初始发行版

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN55LVRA4MDTSEP	Active	Production	SOIC (D) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LVRA4SEP
V62/25606-01XE	Active	Production	SOIC (D) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	LVRA4SEP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

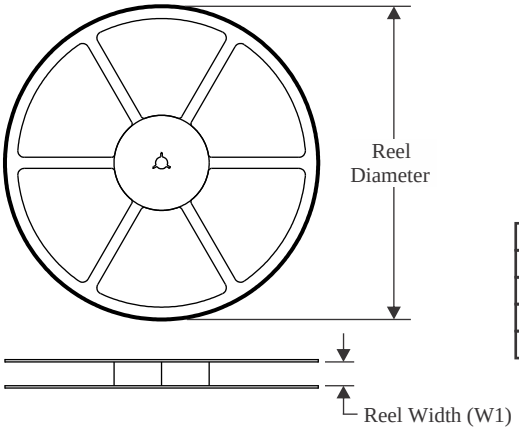
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

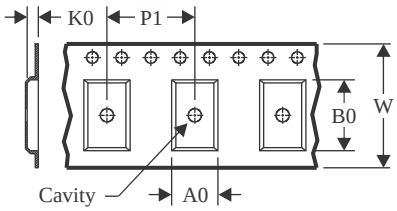
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

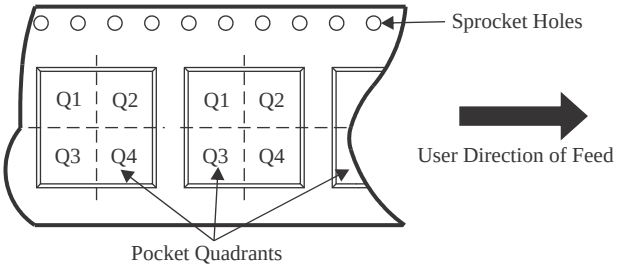


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

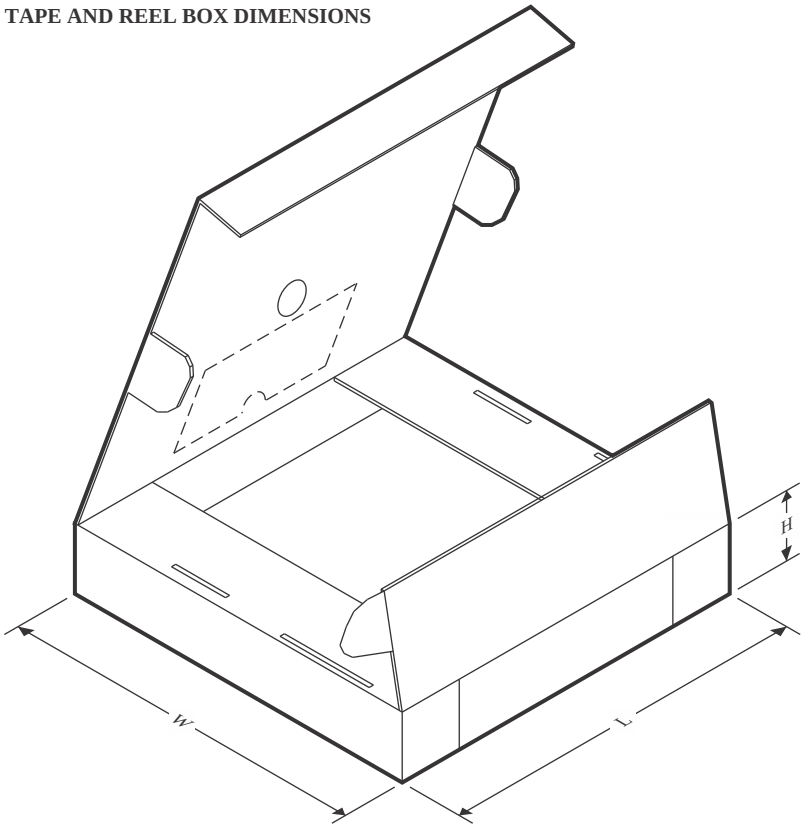
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN55LVRA4MDTSEP	SOIC	D	16	250	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

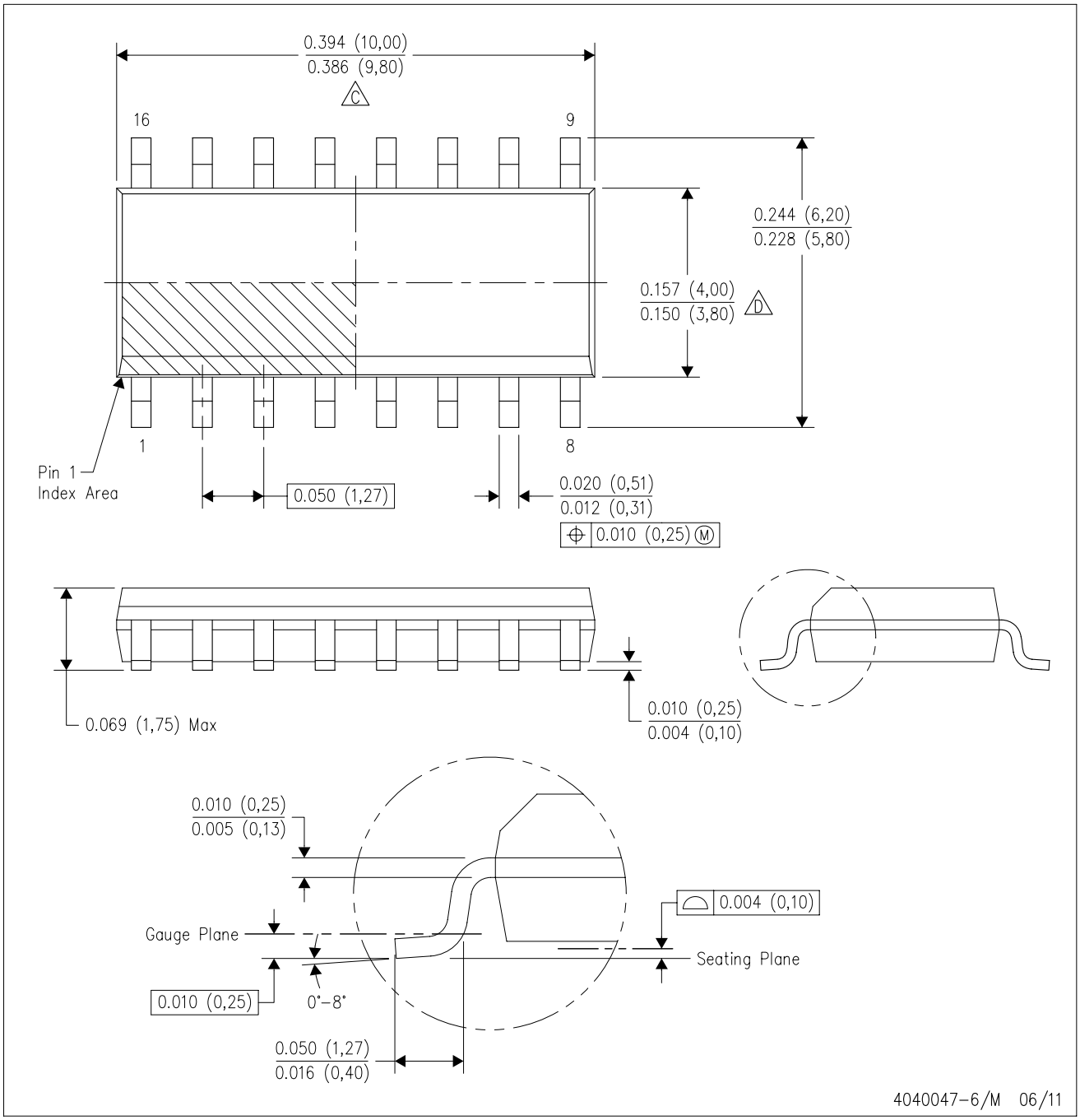
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN55LVRA4MDTSEP	SOIC	D	16	250	353.0	353.0	32.0

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月