SNx4LVC541A 具有三态输出的八路缓冲器/驱动器

1 特性

- 可在 1.65V 至 3.6V 范围内工作
- 输入电压高达 5.5V
- 3.3V 时 t_{pd} 最大值为 5.1ns
- V_{OLP}（输出接地反弹）典型值小于 0.8V（V_{CC} = 3.3V、T_A = 25°C 时）
- V_{OHV}（输出 V_{OH} 下冲）典型值大于 2V（V_{CC} = 3.3V、T_A = 25°C 时）
- 所有端口均支持混合模式信号运行（5V 输入/输出电压，具有 3.3V V_{CC}）
- I_{off} 支持带电插入、局部关断模式和后驱动保护
- 闩锁性能超过 100mA，符合 JESD 78 规范
- 对于符合 MIL-PRF-38535 标准的产品，所有参数均经过测试，除非另有说明。对于所有其他产品，生产流程不一定包含对所有参数进行的测试

2 应用

- 控制指示灯 LED
- 转接驱动数字信号
- 驱动传输线路
- 在控制器复位期间保持信号

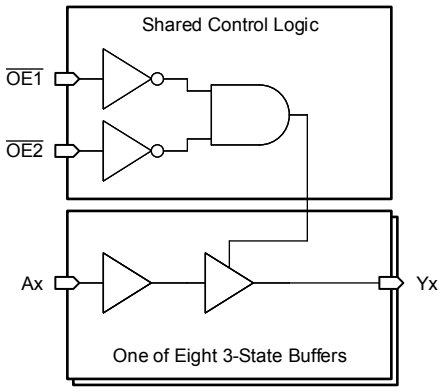
3 说明

SNx4LVC541A 包含具有三态输出的八通道非反相缓冲器。低电平有效输出能够使引脚（$\overline{OE1}$ 和 $\overline{OE2}$）控制所有八个通道，并配置为使输出都必须为低电平才能有效。

封装信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SN54LVC541A	J（CDIP，20）	24.2mm × 7.62mm	24.2mm × 6.92mm
	W（CFP，20）	13.09mm × 8.13mm	13.09mm × 6.92mm
	FK（LCCC，20）	8.89mm × 8.89mm	8.89mm × 8.89mm
SN74LVC541A	PW（TSSOP，20）	6.5mm × 6.4mm	6.5mm × 4.4mm
	DW（SOIC，20）	12.80mm × 10.3mm	12.8mm × 7.5mm
	DB（SSOP，20）	7.2mm × 7.8mm	7.50mm × 5.3mm
	NS（SOP，20）	12.6mm × 7.8mm	12.6mm × 5.3mm
	DGS（VSSOP，20）	5.1mm × 4.9mm	5.1mm × 3.0mm
	RKS（VQFN，20）	4.5mm × 2.5mm	4.5mm × 2.5mm
	DGV（TVSOP，20）	5.0mm × 6.4mm	5.0mm × 4.4mm
	RGY（VQFN，20）	4.5mm × 3.5mm	4.5mm × 3.5mm

(1) 如需了解详情，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 封装尺寸（长 × 宽）为标称值，不包括引脚。



功能方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.... 1
2 应用.... 1
3 说明.... 1
4 引脚配置和功能.... 3
5 规格.... 5
5.1 绝对最大额定值.... 5
5.2 ESD 等级.... 5
5.3 建议运行条件.... 6
5.4 热性能信息.... 6
5.5 电气特性—直流限值变化.... 7
5.6 开关特性 — SN54LVC541A.... 7
5.7 开关特性，SN74LVC541A –40°C 至 85°C.... 8
5.8 开关特性，SN74LVC541A –40°C 至 125°C.... 8
5.9 工作特性.... 8
5.10 典型特性.... 9
6 参数测量信息.... 10
7 详细说明.... 11
7.1 概述.... 11
7.2 功能方框图.... 11
7.3 特性说明.... 11
7.4 器件功能模式.... 12
8 应用和实施.... 13
8.1 应用信息.... 13
8.2 典型应用.... 13
8.3 电源相关建议.... 14
8.4 布局.... 14
9 器件和文档支持.... 17
9.1 文档支持.... 17
9.2 接收文档更新通知.... 17
9.3 支持资源.... 17
9.4 商标.... 17
9.5 静电放电警告.... 17
9.6 术语表.... 17
10 修订历史记录.... 17
11 机械、封装和可订购信息.... 19

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

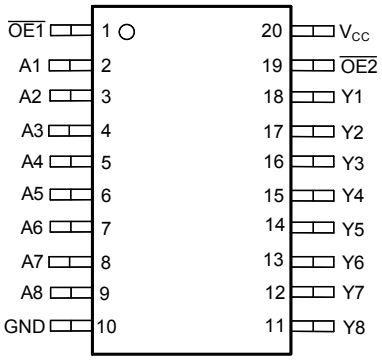


图 4-1. SN54LVC541A J 、W 封装（顶视图）

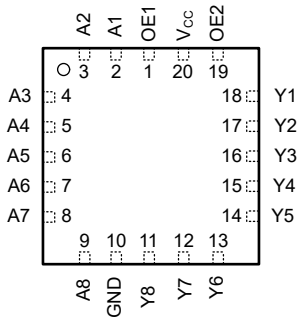


图 4-2. SN54LVC541A FK 封装（顶视图）

引脚功能

引脚		类型[(1)]	说明
名称	编号		
A1	2	I	通道 1 输入
A2	3	I	通道 2 输入
A3	4	I	通道 3 输入
A4	5	I	通道 4 输入
A5	6	I	通道 5 输入
A6	7	I	通道 6 输入
A7	8	I	通道 7 输入
A8	9	I	通道 8 输入
GND	10	G	接地
$\overline{OE1}$	1	I	输出使能 1，低电平有效
$\overline{OE2}$	19	I	输出使能 2，低电平有效
V_{CC}	20	P	正电源
Y1	18	O	通道 1 输出
Y2	17	O	通道 2 输出
Y3	16	O	通道 3 输出
Y4	15	O	通道 4 输出
Y5	14	O	通道 5 输出
Y6	13	O	通道 6 输出
Y7	12	O	通道 7 输出
Y8	11	O	通道 8 输出

(1) 信号类型：I = 输入，O = 输出，G = 地，P = 电源。

Copyright © 2026 Texas Instruments Incorporated

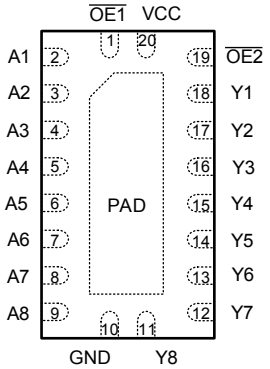


图 4-3. SN74LVC541A RKS 封装（顶视图）

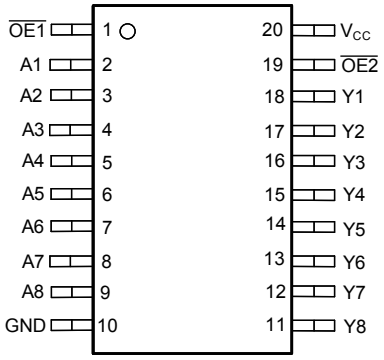


图 4-4. SN74LVC541A PW、DW、NS、DB、DGS、DGV 封装（顶视图）

引脚功能

引脚		类型[(1)]	说明
名称	编号		
A1	2	I	通道 1 输入
A2	3	I	通道 2 输入
A3	4	I	通道 3 输入
A4	5	I	通道 4 输入
A5	6	I	通道 5 输入
A6	7	I	通道 6 输入
A7	8	I	通道 7 输入
A8	9	I	通道 8 输入
GND	10	G	接地
$\overline{OE1}$	1	I	输出使能 1，低电平有效
$\overline{OE2}$	19	I	输出使能 2，低电平有效
散热焊盘[(2)]		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。
V_{CC}	20	P	正电源
Y1	18	O	通道 1 输出
Y2	17	O	通道 2 输出
Y3	16	O	通道 3 输出
Y4	15	O	通道 4 输出
Y5	14	O	通道 5 输出
Y6	13	O	通道 6 输出
Y7	12	O	通道 7 输出
Y8	11	O	通道 8 输出

(1) 信号类型：I = 输入，O = 输出，G = 地，P = 电源。
(2) 仅限 RKS 封装。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	6.5	V
V_I	输入电压范围[(2)]		-0.5	6.5	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围[(2)]		-0.5	6.5	V
V_O	应用到任一处于高电平或低电平状态输出的电压范围[(2) (3)]		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果在*建议运行条件*之外但在*绝对最大额定值*范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 如果遵守输入和输出电流额定值，会超过输入负电压和输出电压额定值。
(3) V_{CC} 的值在*建议运行条件*表中提供。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			SN54LVC541A		SN74LVC541A		单位
			最小值	最大值	最小值	最大值	
V_{CC}	电源电压	工作	2	3.6	1.65	3.6	V
		仅数据保留	1.5		1.5		
V_{IH}	高电平输入电压	V_{CC} = 1.65V 至 1.95V			0.65 × V_{CC}		V
		V_{CC} = 2.3V 至 2.7V			1.7		
		V_{CC} = 2.7V 至 3.6V	2		2		
V_{IL}	低电平输入电压	V_{CC} = 1.65V 至 1.95V				0.35 × V_{CC}	V
		V_{CC} = 2.3V 至 2.7V				0.7	
		V_{CC} = 2.7V 至 3.6V		0.8		0.8	
V_I	输入电压		0	5.5	0	5.5	V
V_O	输出电压	高电平或低电平状态	0	V_{CC}	0	V_{CC}	V
		三态	0	5.5	0	5.5	
I_{OH}	高电平输出电流	V_{CC} = 1.65V				-4	mA
		V_{CC} = 2.3V				-8	
		V_{CC} = 2.7V		-12		-12	
		V_{CC} = 3V		-24		-24	
I_{OL}	低电平输出电流	V_{CC} = 1.65V				4	mA
		V_{CC} = 2.3V				8	
		V_{CC} = 2.7V		12		12	
		V_{CC} = 3V		24		24	
T_A	自然通风条件下的工作温度		-55	125	-40	125	°C

(1) 器件的所有未使用输入必须保持在 V_{CC} 或 GND 以验证器件是否正常运行。请参阅 TI 应用手册 *慢速或浮点 CMOS 输入的影响*。

5.4 热性能信息

封装	引脚	热指标[(1)]						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	20	120.3	62.5	82.4	16.0	81.5	不适用	°C/W
DGS (VSSOP)	20	129.9	72.4	86.1	18.6	85.8	不适用	°C/W
RKS (VQFN)	20	87.2	93.4	59.8	24.9	59.6	44.3	°C/W
DB (SSOP)	20	121.7	86.8	87.8	44.7	87	不适用	°C/W
DW (SOIC)	20	114.8	84.1	88.8	55.8	87.8	不适用	°C/W
NS (SOP)	20	116.3	82.4	86.2	43.9	85.5	不适用	°C/W
DGV (TVSOP)	20	128.7	43.8	70.4	3.2	69.7	不适用	°C/W
RGY (VQFN)	20	82.84	88.73	56.81	32.37	56.62	42.09	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性—直流限值变化

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	-55°C 至 125°C SN54LVC541A 最小值	典型值 (1)	最大值	-40°C 至 85°C SN74LVC541A 最小值	典型值 (1)	最大值	-40°C 至 125°C SN74LVC541A 最小值	典型值 (1)	最大值	单位
V_{OH}	I_{OH} = –100 μA	1.65V 至 3.6V				V_{CC} – 0.2			V_{CC} – 0.3			V
		2.7V 至 3.6V	V_{CC} – 0.2									
	I_{OH} = -4mA	1.65V				1.20			1.20			
	I_{OH} = -8mA	2.3V				1.7			1.7			
	I_{OH} = -12mA	2.7V	2.2			2.2			2.2			
		3V	2.4			2.4			2.4			
	I_{OH} = -24mA	3V	2.2			2.2			2.2			
V_{OL}	I_{OL} = 100 μA	1.65V 至 3.6V						0.2			0.3	V
		2.7V 至 3.6V			0.2							
	I_{OL} = 4mA	1.65V						0.45			0.45	
	I_{OL} = 8mA	2.3V						0.7			0.7	
	I_{OL} = 12mA	2.7V			0.4			0.4			0.4	
	I_{OL} = 24mA	3V			0.55			0.55			0.55	
I_I	V_I = 0 至 5.5V	3.6V			±5			±5			±5	μA
I_{off}	V_I 或 V_O = 5.5V	0						±10			±10	μA
I_{OZ}	V_O = 0 至 5.5V	3.6V			±15			±10			±10	μA
I_{CC}	V_I = V_{CC} 或 GND, I_O = 0	3.6V			10			10			10	μA
	3.6V ≤ V_I ≤ 5.5V (2), I_O = 0				10			10			10	
ΔI_{CC}	一个输入电压为 V_{CC} – 0.6V，其他输入电压为 V_{CC} 或 GND	2.7V 至 3.6V			500			500			500	μA
C_i	V_I = V_{CC} 或 GND	3.3V		4			4			4		pF
C_o	V_O = V_{CC} 或 GND	3.3V		5.5			5.5			5.5		pF

(1) 所有典型值均在 V_{CC} = 3.3V、T_A = 25°C 下测得。
(2) 这仅在禁用状态下适用。

5.6 开关特性 — SN54LVC541A

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅节 6）

参数	从（输入）	至（输出）	SN54LVC541A V_{CC} = 2.7V 最小值	最大值	V_{CC} = 3.3V ± 0.3V 最小值	最大值	单位
t_{pd}	A	Y		5.6	1	5.1	ns
t_{en}	$\overline{OE}$	Y		7.5	1	7	ns
t_{dis}	$\overline{OE}$	Y		7.7	1	7	ns

5.7 开关特性，SN74LVC541A –40°C 至 85°C

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅节 6）

参数	从（输入）	至（输出）	SN74LVC541A -40°C 至 85°C								单位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A	Y	1	15.7	1	7.8	1	5.6	1.5	5.1	ns
t_{en}	$\overline{OE}$	Y	1	17.5	1	10.5	1	7.5	1.5	7	ns
t_{dis}	$\overline{OE}$	Y	1	16.5	1	9	1	7.7	1.5	7	ns
$t_{sk(o)}$										1	ns

5.8 开关特性，SN74LVC541A –40°C 至 125°C

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅节 6）

参数	从（输入）	至（输出）	SN74LVC541A -40°C 至 125°C								单位
			V_{CC} = 1.8V ± 0.15V		V_{CC} = 2.5V ± 0.2V		V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V		
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A	Y	1	16.3	1	8.3	1	6.1	1	5.6	ns
t_{en}	$\overline{OE}$	Y	1	18.5	1	11.1	1	8	1	7.5	ns
t_{dis}	$\overline{OE}$	Y	1	17.3	1	9.7	1	8.2	1	7.5	ns
$t_{sk(o)}$										1.5	ns

5.9 工作特性

T_A = 25°C

参数			测试条件	V_{CC} = 1.8V	V_{CC} = 2.5V	V_{CC} = 3.3V	单位
				典型值	典型值	典型值	
C_{pd}	每个缓冲器/驱动器的功率耗散电容	输出已启用	f = 10MHz	65	58	33	pF
		输出已禁用		2	2	2	

Copyright © 2026 Texas Instruments Incorporated

5.10 典型特性

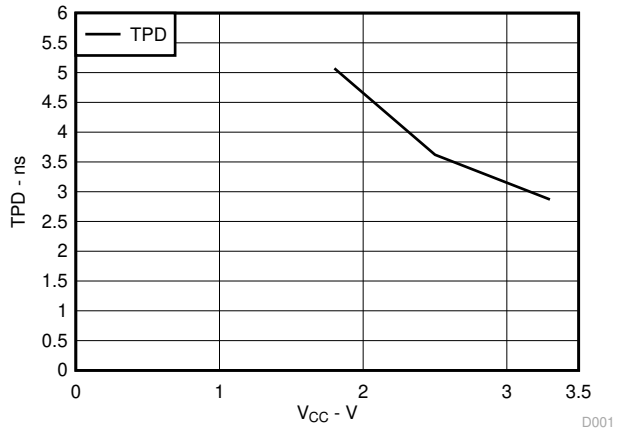


图 5-1. SN74LVC541A 25°C 时 TPD 与 V_{CC} 间的关系

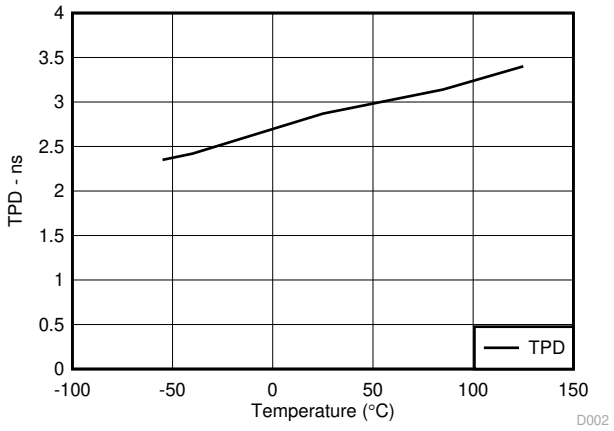
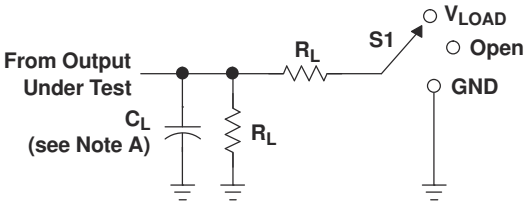


图 5-2. SN74LVC541A 3.3V 下 TPD 随温度的变化

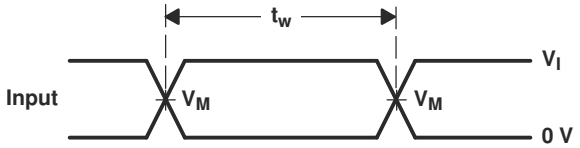
6 参数测量信息



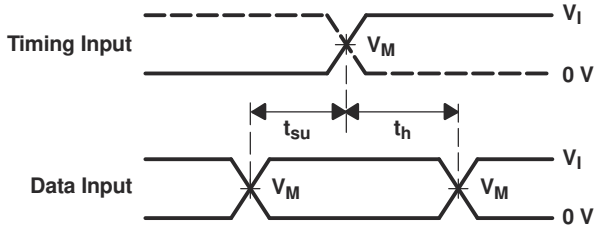
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL} t_{PLZ}/t_{PZL} t_{PHZ}/t_{PZH}	Open V_{LOAD} GND

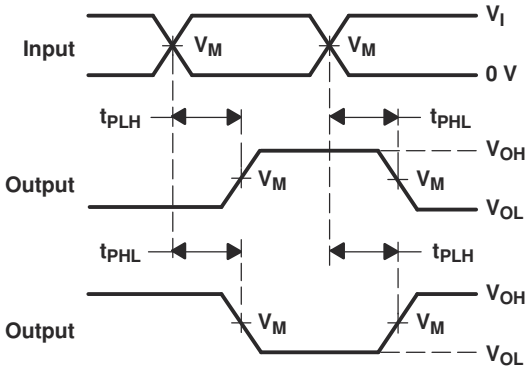
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_Δ
	V_I	t_r/t_f					
1.8 V ± 0.15 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	1 kΩ	0.15 V
2.5 V ± 0.2 V	V_{CC}	≤2 ns	$V_{CC}/2$	2 × V_{CC}	30 pF	500 Ω	0.15 V
2.7 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V
3.3 V ± 0.3 V	2.7 V	≤2.5 ns	1.5 V	6 V	50 pF	500 Ω	0.3 V



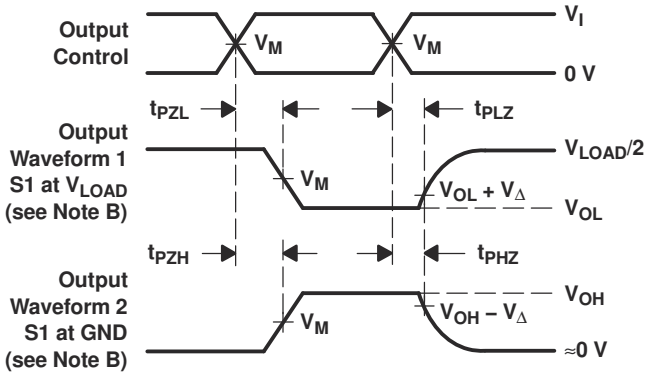
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

NOTES:
A. C_L includes probe and jig capacitance.
B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
C. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω.
D. The outputs are measured one at a time, with one transition per measurement.
E. t_{PLZ} and t_{PHZ} are the same as t_{dis}.
F. t_{PZL} and t_{PZH} are the same as t_{en}.
G. t_{PLH} and t_{PHL} are the same as t_{pd}.
H. All parameters and waveforms are not applicable to all devices.

图 6-1. 负载电路和电压波形

Copyright © 2026 Texas Instruments Incorporated

7 详细说明

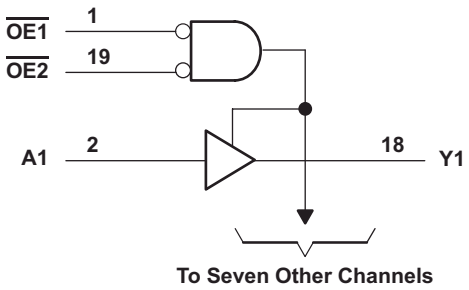
7.1 概述

SNx4LVC541A 包含具有三态输出的八通道缓冲器。低电平有效输出能够使引脚（$\overline{OE1}$ 和 $\overline{OE2}$）控制所有八个通道，并配置为使输出都必须为低电平才能有效。

启用输出后，输出会主动驱动为低电平或高电平。

当输出被禁用时，输出被设置为高阻抗状态。

7.2 功能方框图



Copyright © 2016, Texas Instruments Incorporated

图 7-1. 逻辑图（正逻辑）

7.3 特性说明

7.3.1 平衡 CMOS 三态输出

该器件包括平衡 CMOS 三态输出：驱动高电平、驱动低电平和高阻抗。术语*平衡*表示器件可以灌入和拉出相似的电流。该器件的驱动能力可在轻负载情况下产生快速边沿，因此在布线和负载设计时应注意防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。限制器件的输出功率，以避免因过流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但*电气特性*表中定义的小漏电流除外。在高阻抗状态下，器件不会控制输出电压。输出电流取决于外部因素。悬空节点是未连接其他驱动器且电压未知的节点。上拉或下拉电阻器可以连接到输出端，以便当器件处于高阻抗状态时在输出端提供已知电压。电阻值取决于多种因素，包括寄生电容和功耗限制。通常，10kΩ 电阻即可满足这些要求。

未使用的三态 CMOS 输出应保持断开。

7.3.2 局部断电 (I_{off})

该器件包含当电源引脚保持为 0V 时禁用所有输出的电路。禁用时，无论施加的输入电压是多少，输出都不会拉出或灌入电流。每个输出端的漏电流大小由*电气特性*表中的 I_{off} 规格定义。

7.3.3 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻使用*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入泄漏电流，根据欧姆定律 (R = V ÷ I) 计算得出。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件*表中的输入转换时间或速率所定义。不符合此规范会导致功耗过大并可能导致振荡。更多详细信息请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。在 V_{CC} 或 GND 处端接未使用的输入。如果系统并非一直驱动输入，请考虑添加上拉或下拉电阻器，以提供有效的输入电压。电阻值取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

7.3.4 钳位二极管结构

图 7-2 展示了该器件的输入和输出仅布置负钳位二极管。

> **小心**
> 电压超出*绝对最大额定值* 表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

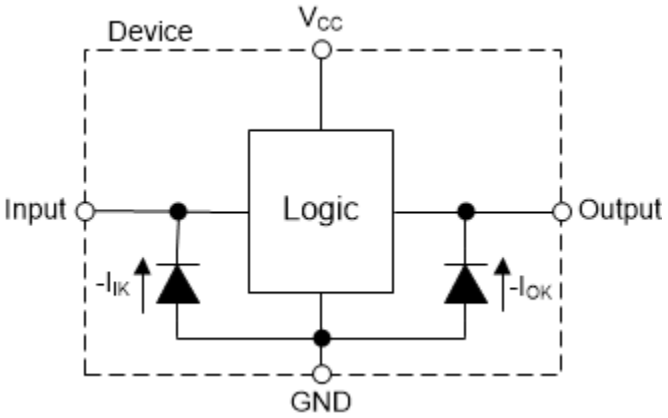


图 7-2. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1. 功能表

输入(1)			输出(2)
$\overline{OE1}$	$\overline{OE2}$	A	Y
L	L	L	L
L	L	H	H
H	X	X	Z
X	H	X	Z

(1) L = 输入低电平，H = 输入高电平，X = 不用考虑
(2) L = 输出低电平，H = 输出高电平，Z = 高阻抗

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SNx4LVC541A 是一款高驱动 CMOS 器件，可用于需要考虑输出驱动或 PCB 布线长度的多种总线接口类型应用。

8.2 典型应用

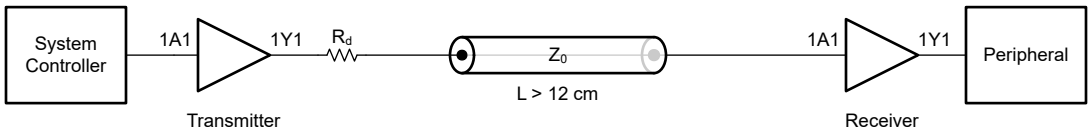


图 8-1. 应用原理图

8.2.1 设计要求

8.2.1.1 电源注意事项

验证所需电源电压在*电气特性*中规定的范围内。电源电压按照*电气特性* 部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SNx4LVC541A 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 SNx4LVC541A 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性* 中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入接地连接可灌入的大小相同的电流。验证不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SNx4LVC541A 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但不要超过 50pF。

SNx4LVC541A 可以驱动由 $R_L \geqslant V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性* 表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*应用手册中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*应用手册中提供的信息计算热增量。

小心

绝对最大额定值 中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值* 中列出的任何值。提供这些限制是为了防止损坏器件。

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入；或者，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SNx4LVC541A 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

SNx4LVC541A 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如电气特性表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅*特性描述*。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流会降低输出电压。接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流会提高输出电压。

可能处于相反状态的推挽输出绝不能直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 验证输出端的容性负载是否 ≤ 50pF。低负载电容可以通过从 SNx4LVC541A 向接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC} / I_{O(max)})$ Ω。切勿超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用 *CMOS 功耗与 Cpd 计算应用手册*中提供的步骤计算功耗和热增量。

8.2.3 应用曲线

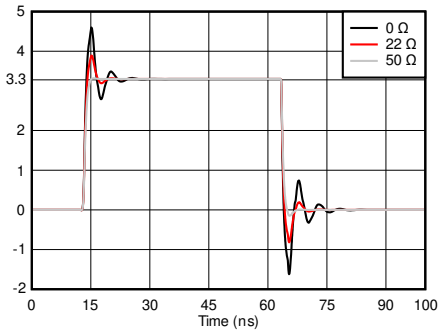


图 8-2. 使用不同阻尼电阻器 (R_d) 值的接收器模拟信号完整性

8.3 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。

建议为该器件使用 0.1 μF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 μF 和 1 μF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径

Copyright © 2026 Texas Instruments Incorporated

  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度
  - 布线长度小于 12cm 可最大限度减轻传输线路影响
  - 避免信号布线出现 90° 角
  - 在信号布线下方使用不间断的接地平面
  - 通过接地对信号布线周围的区域进行泛洪填充
  - 并行布线之间必须至少间隔 3 倍电介质厚度
  - 对于长度超过 12cm 的布线
    - 使用阻抗受控的布线
    - 在输出端附近使用串联阻尼电阻进行源端接
    - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

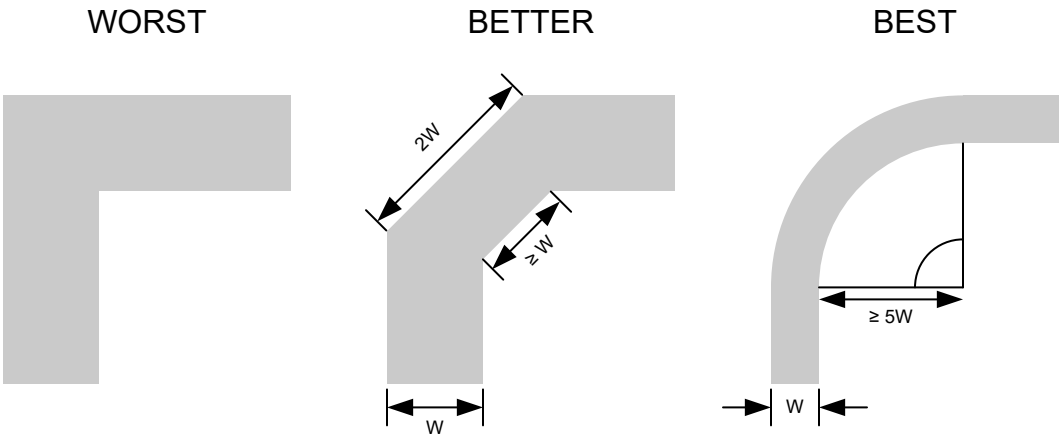


图 8-3. 可改善信号完整性的布线转角示例

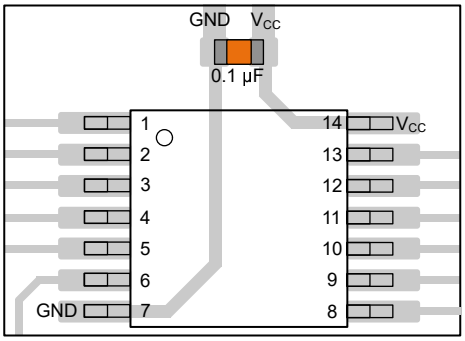


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

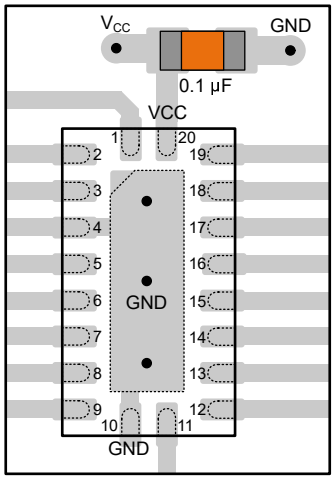


图 8-5. WQFN 和类似封装的旁路电容器放置示例

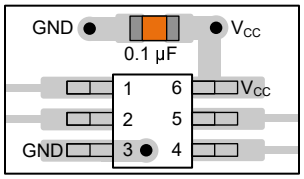


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

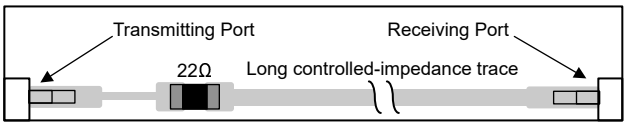


图 8-7. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2026 Texas Instruments Incorporated

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

欲了解相关文件，请参阅以下内容：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用手册
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用手册

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from JUNE 1, 2014 to JUNE 17, 2026 (from Revision N (June 2014) to Revision O (June 2026)) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 将 ESD 等级移至 *ESD 等级* 表 1
- 根据最新标准更新了闩锁等级 1
- 更新了 *器件信息* 格式并包含了封装尺寸 1
- 更新了 *简化原理图* 1
- 更新了 *应用* 1
- 添加了 DGS 和 RKS 封装信息 1
- 将 DB 封装的 Rθ JA 从 112.1°C/W 更改为：121.7°C/W 6
- 将 DB 封装的 Rθ JC(top) 从 73.6°C/W 更改为：86.8°C/W 6
- 将 DB 封装的 ΨJT 从 67.3°C/W 更改为：87.8°C/W 6

- 将 DB 封装的 ΨJB 从 33.3°C/W 更改为：44.7°C/W 6
- 将 DB 封装的 Rθ JC(bot) 从 66.9°C/W 更改为：87°C/W 6
- 将 DW 封装的 Rθ JA 从 99.4°C/W 更改为：114.8°C/W 6
- 将 DW 封装的 Rθ JC(top) 从 66.9°C/W 更改为：84.1°C/W 6
- 将 DW 封装的 ΨJT 从 66.9°C/W 更改为：88.8°C/W 6
- 将 DW 封装的 ΨJB 从 33.8°C/W 更改为：55.8°C/W 6
- 将 DW 封装的 Rθ JC(bot) 从 66.5°C/W 更改为：87.8°C/W 6
- 将 NS 封装的 Rθ JA 从 90.3°C/W 更改为：116.3°C/W 6
- 将 NS 封装的 Rθ JC(top) 从 56.6°C/W 更改为：82.4°C/W 6
- 将 NS 封装的 ΨJT 从 57.8°C/W 更改为：86.2°C/W 6
- 将 NS 封装的 ΨJB 从 28.7°C/W 更改为：43.9°C/W 6
- 将 NS 封装的 Rθ JC(bot) 从 57.4°C/W 更改为：85.5°C/W 6
- 将 PW 封装的 Rθ JA 从 100.8°C/W 更改为：120.3°C/W 6
- 将 PW 封装的 Rθ JC(top) 从 35.2°C/W 更改为：62.5°C/W 6
- 将 PW 封装的 ΨJT 从 51.8°C/W 更改为：82.4°C/W 6
- 将 PW 封装的 ΨJB 从 2.2°C/W 更改为：16°C/W 6
- 将 PW 封装的 Rθ JC(bot) 从 51.2°C/W 更改为：81.5°C/W 6
- 向布局指南添加了并行布线间距建议。将“避免分支；对必须单独分支的信号进行缓冲”的措辞更改为“避免分支；对必须单独分支的每条信号进行缓冲” 14

Changes from Revision M (May 2005) to Revision N (June 2014) **Page**

- 将文档更新为新的 TI 数据表格式 1
- 删除了“订购信息”表 1
- 更新了 I_{off} 特性项目。 1
- 更新了“特性”以包含“军用免责声明”。 1
- 添加了“器件信息”表 1
- 添加了“应用” 1
- 将自然通风条件下 SN74LVC541A 的最高工作温度从 85°C 更改为 125°C。 6
- 更新了“热性能信息”表。 6
- 向“电气特性”表中添加了 SN74LVC541A 的 –40°C 至 125°C 温度范围 7
- 在“开关特性”表中添加了 SN74LVC541A 的 –40°C 至 125°C 温度范围。 8
- 添加了“典型特性”。 9

Copyright © 2026 Texas Instruments Incorporated

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9759501Q2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9759501Q2A SNJ54LVC541AFK
5962-9759501QRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9759501QRA SNJ54LVC541AJ
5962-9759501QSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9759501QSA SNJ54LVC541AW
SN74LVC541ADBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADBR.B	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADBRG4	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADGSR	Active	Production	VSSOP (DGS) | 20	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C541A
SN74LVC541ADGVR	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADGVR.B	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADGVRE4	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADGVRG4	Active	Production	TVSOP (DGV) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ADW	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ADW.B	Active	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ADWG4	Last Time Buy	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ADWG4.B	Last Time Buy	Production	SOIC (DW) | 20	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ADWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ADWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ADWR.B	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ADWRE4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ANS.B	Active	Production	SOP (NS) | 20	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LVC541A
SN74LVC541ANSG4	Active	Production	SOP (NS) | 20	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC541ANSG4.B	Active	Production	SOP (NS) | 20	40 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ANSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ANSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541ANSR.B	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC541A
SN74LVC541APW	Active	Production	TSSOP (PW) | 20	70 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APW.B	Active	Production	TSSOP (PW) | 20	70 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWG4	Active	Production	TSSOP (PW) | 20	70 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWRG4.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWRG4.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWT	Active	Production	TSSOP (PW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541APWT.B	Active	Production	TSSOP (PW) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LC541A
SN74LVC541ARGYR	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	LC541A
SN74LVC541ARGYR.A	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC541A
SN74LVC541ARGYR.B	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC541A
SN74LVC541ARGYRG4	Active	Production	VQFN (RGY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LC541A
SN74LVC541ARKSR	Active	Production	VQFN (RKS) | 20	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LC541A
SNJ54LVC541AFK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9759501Q2A SNJ54LVC 541AFK
SNJ54LVC541AJ	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9759501QR A SNJ54LVC541AJ
SNJ54LVC541AW	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9759501QS A SNJ54LVC541AW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54LVC541A, SN74LVC541A :

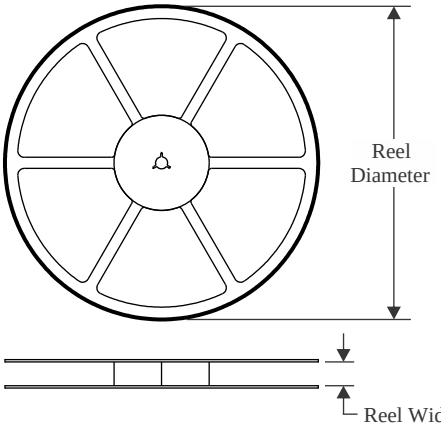
- Catalog : SN74LVC541A
- Automotive : SN74LVC541A-Q1, SN74LVC541A-Q1
- Enhanced Product : SN74LVC541A-EP, SN74LVC541A-EP
- Military : SN54LVC541A

NOTE: Qualified Version Definitions:

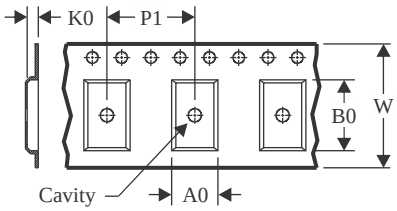
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

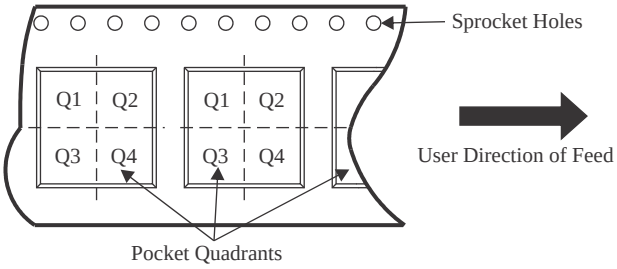


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

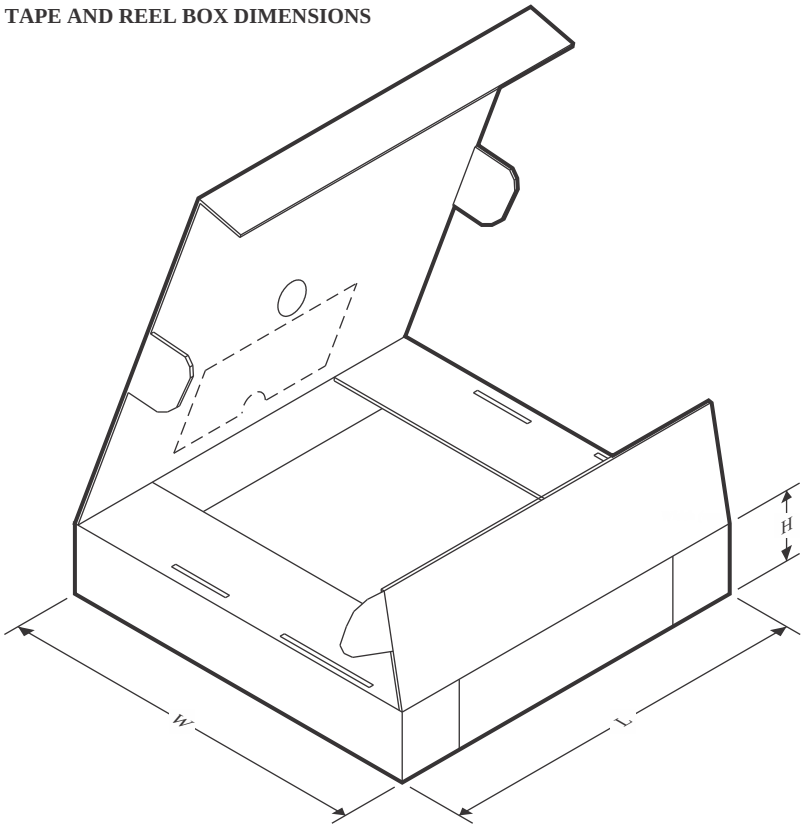
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC541ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LVC541ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LVC541ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC541ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LVC541ANSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LVC541APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74LVC541APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC541APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC541APWT	TSSOP	PW	20	250	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LVC541ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74LVC541ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.71	4.71	1.1	8.0	12.0	Q1
SN74LVC541ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

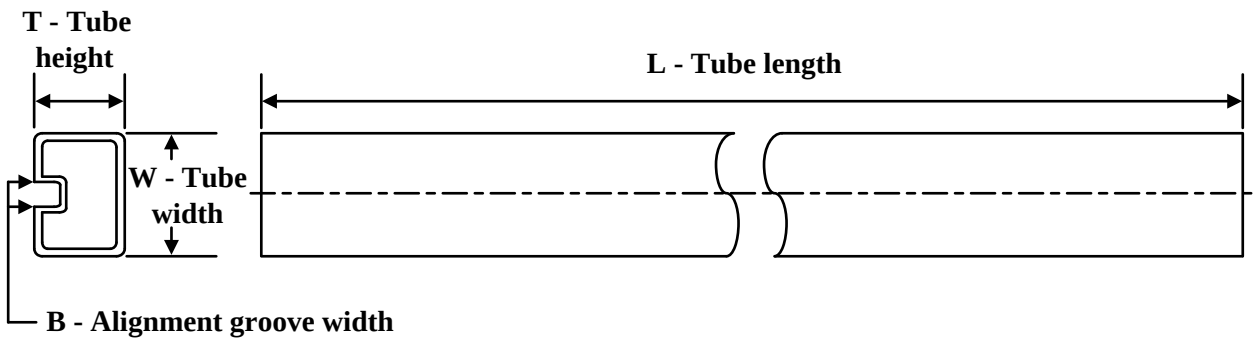
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC541ADBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74LVC541ADGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LVC541ADGVR	TVSOP	DGV	20	2000	353.0	353.0	32.0
SN74LVC541ADWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74LVC541ANSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74LVC541APWR	TSSOP	PW	20	2000	364.0	364.0	27.0
SN74LVC541APWR	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC541APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LVC541APWT	TSSOP	PW	20	250	353.0	353.0	32.0
SN74LVC541ARGYR	VQFN	RGY	20	3000	367.0	367.0	35.0
SN74LVC541ARGYR	VQFN	RGY	20	3000	353.0	353.0	32.0
SN74LVC541ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

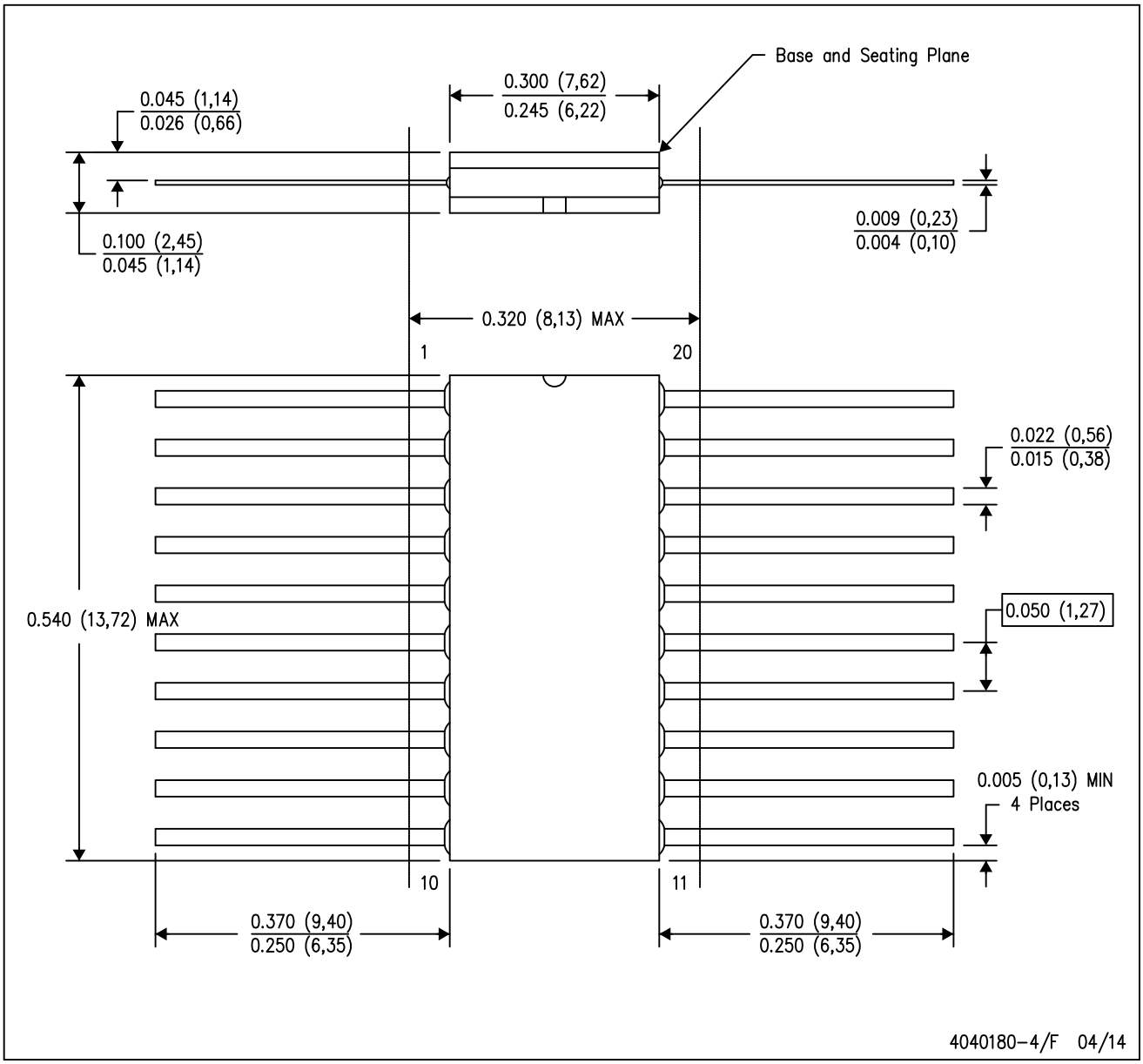
TUBE



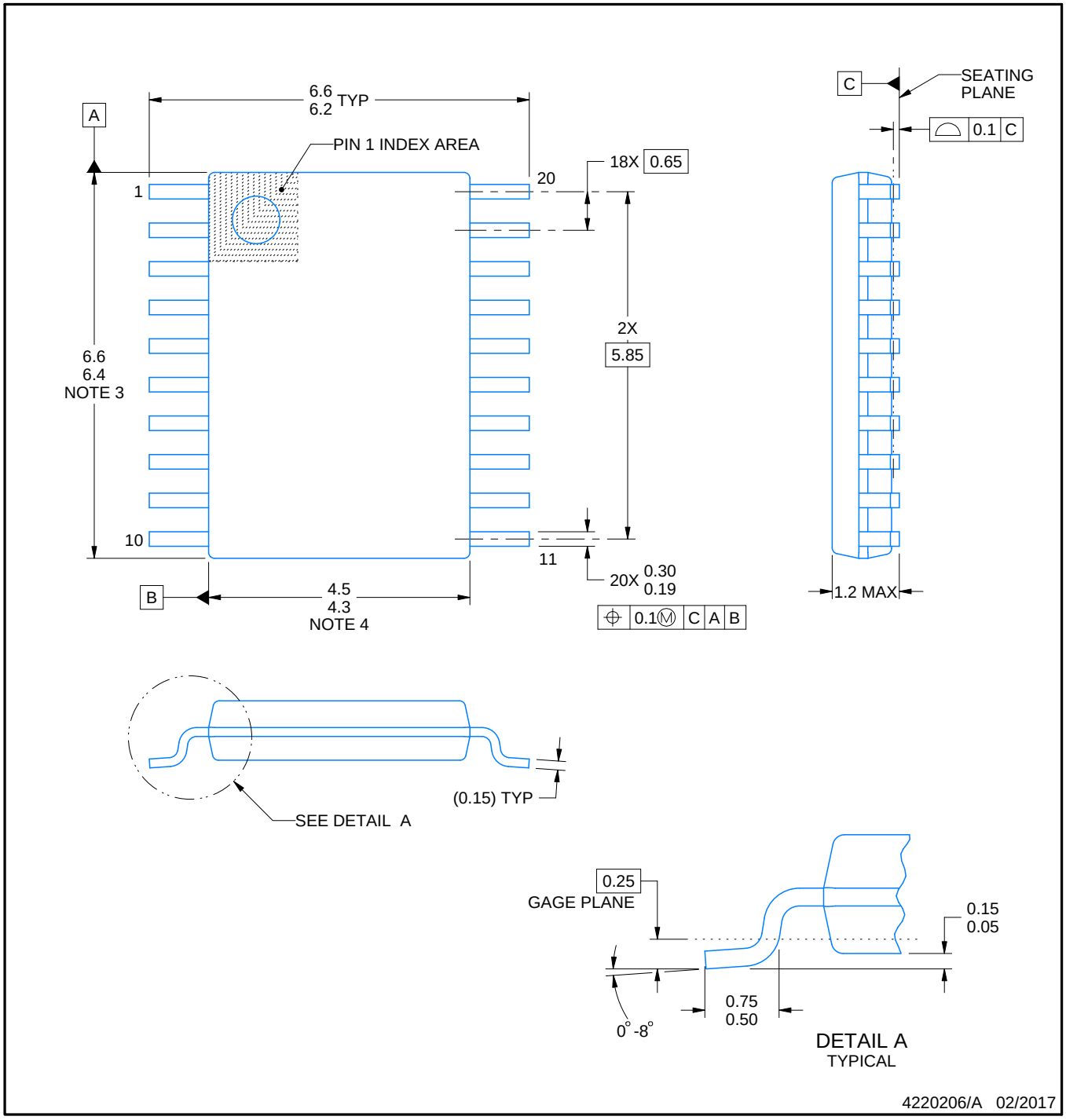
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9759501Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9759501QSA	W	CFP	20	25	506.98	26.16	6220	NA
SN74LVC541ADW	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC541ADW.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC541ADWG4	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC541ADWG4.B	DW	SOIC	20	25	507	12.83	5080	6.6
SN74LVC541ANS.B	NS	SOP	20	40	530	10.5	4000	4.1
SN74LVC541ANSG4	NS	SOP	20	40	530	10.5	4000	4.1
SN74LVC541ANSG4.B	NS	SOP	20	40	530	10.5	4000	4.1
SN74LVC541APW	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC541APW.B	PW	TSSOP	20	70	530	10.2	3600	3.5
SN74LVC541APWG4	PW	TSSOP	20	70	530	10.2	3600	3.5
SNJ54LVC541AFK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54LVC541AW	W	CFP	20	25	506.98	26.16	6220	NA

W (R–GDFP–F20) CERAMIC DUAL FLATPACK

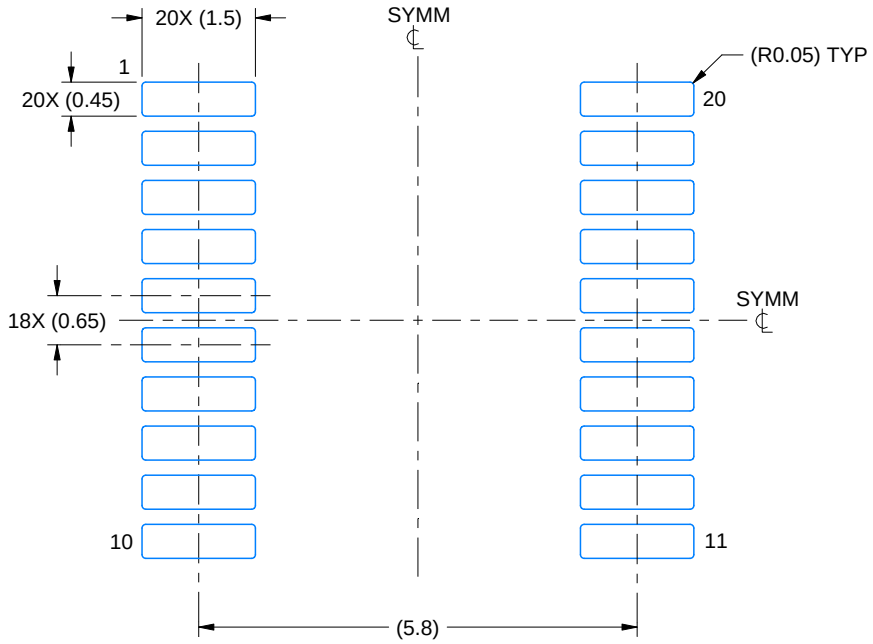


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

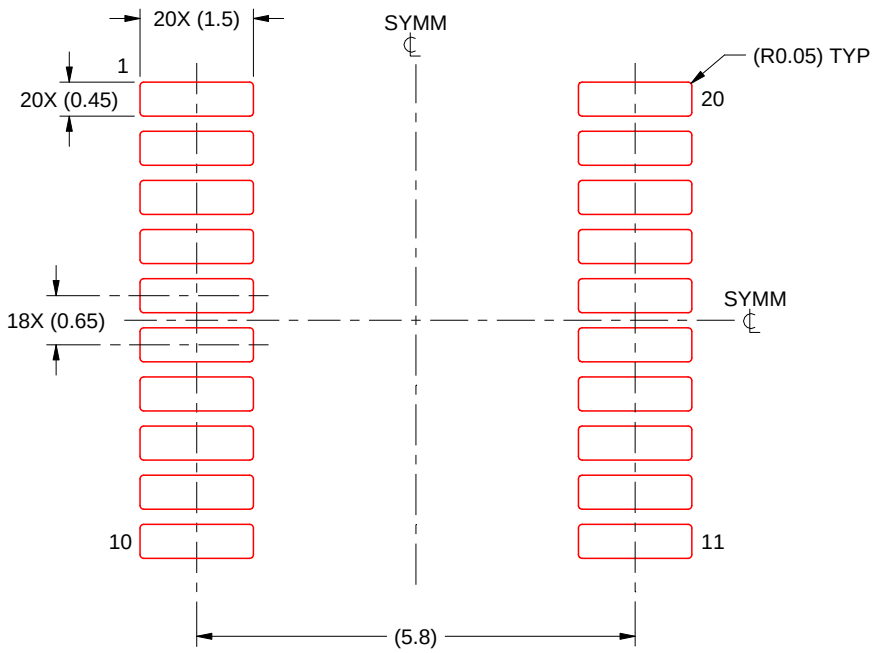
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

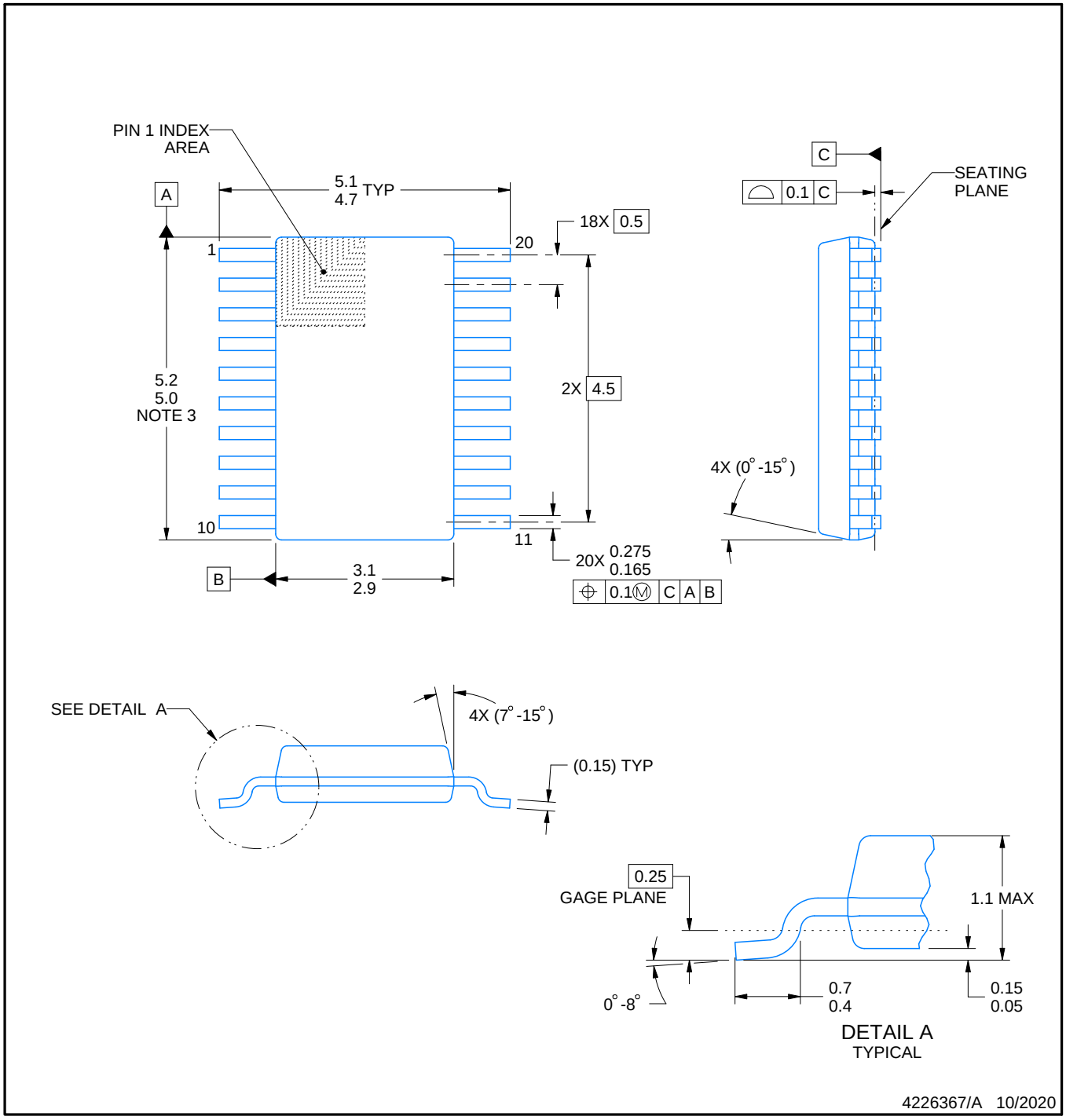


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

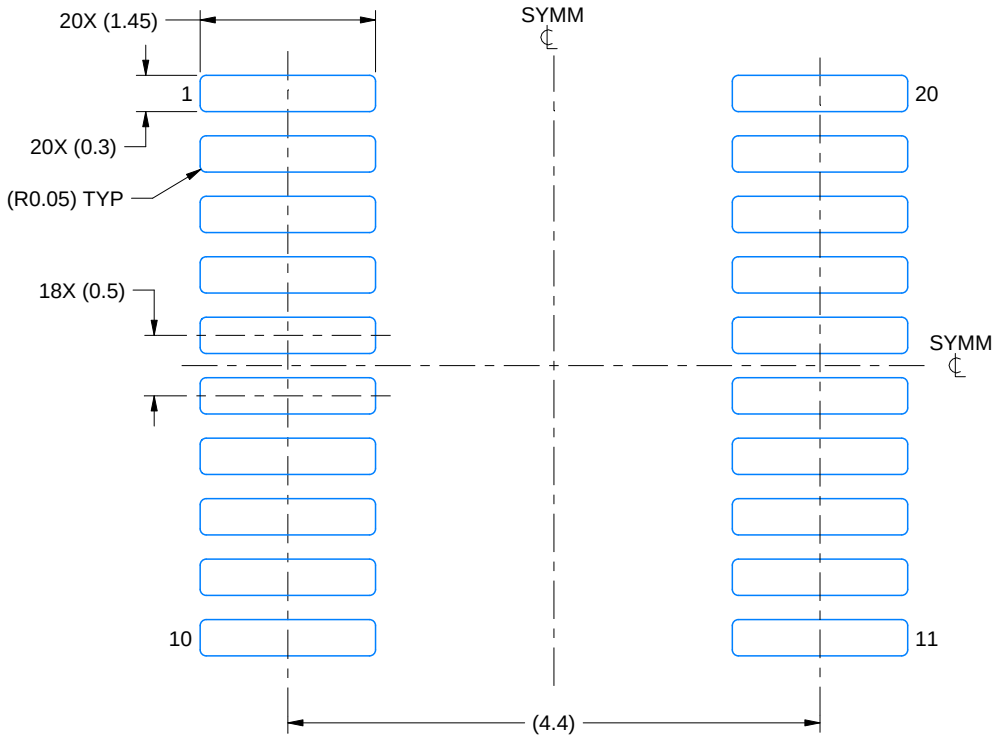
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



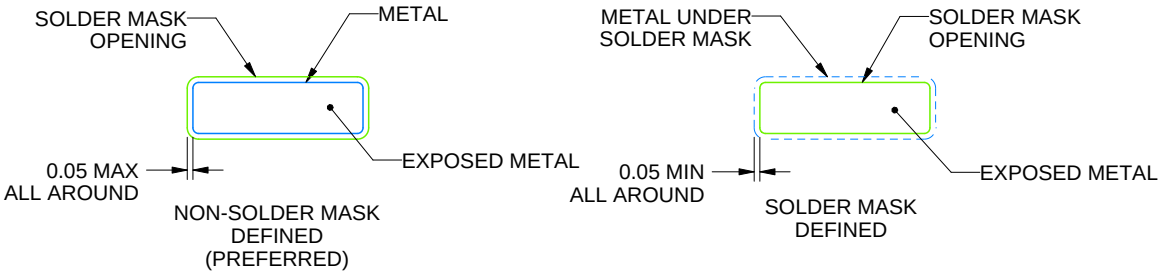
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE: 16X

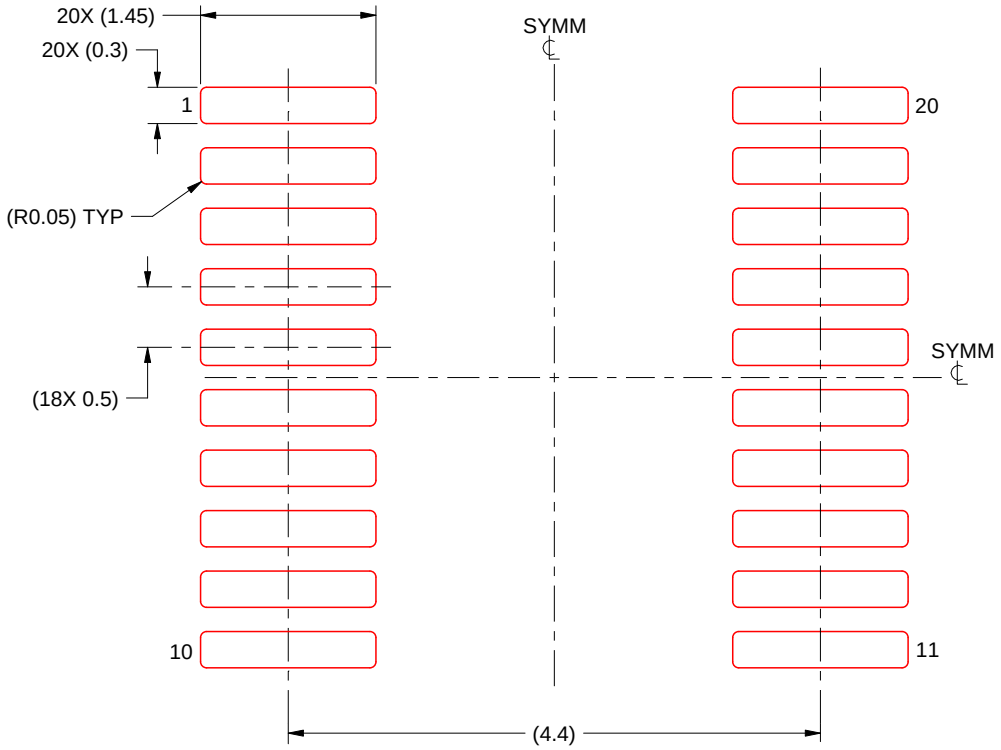


SOLDER MASK DETAILS

4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

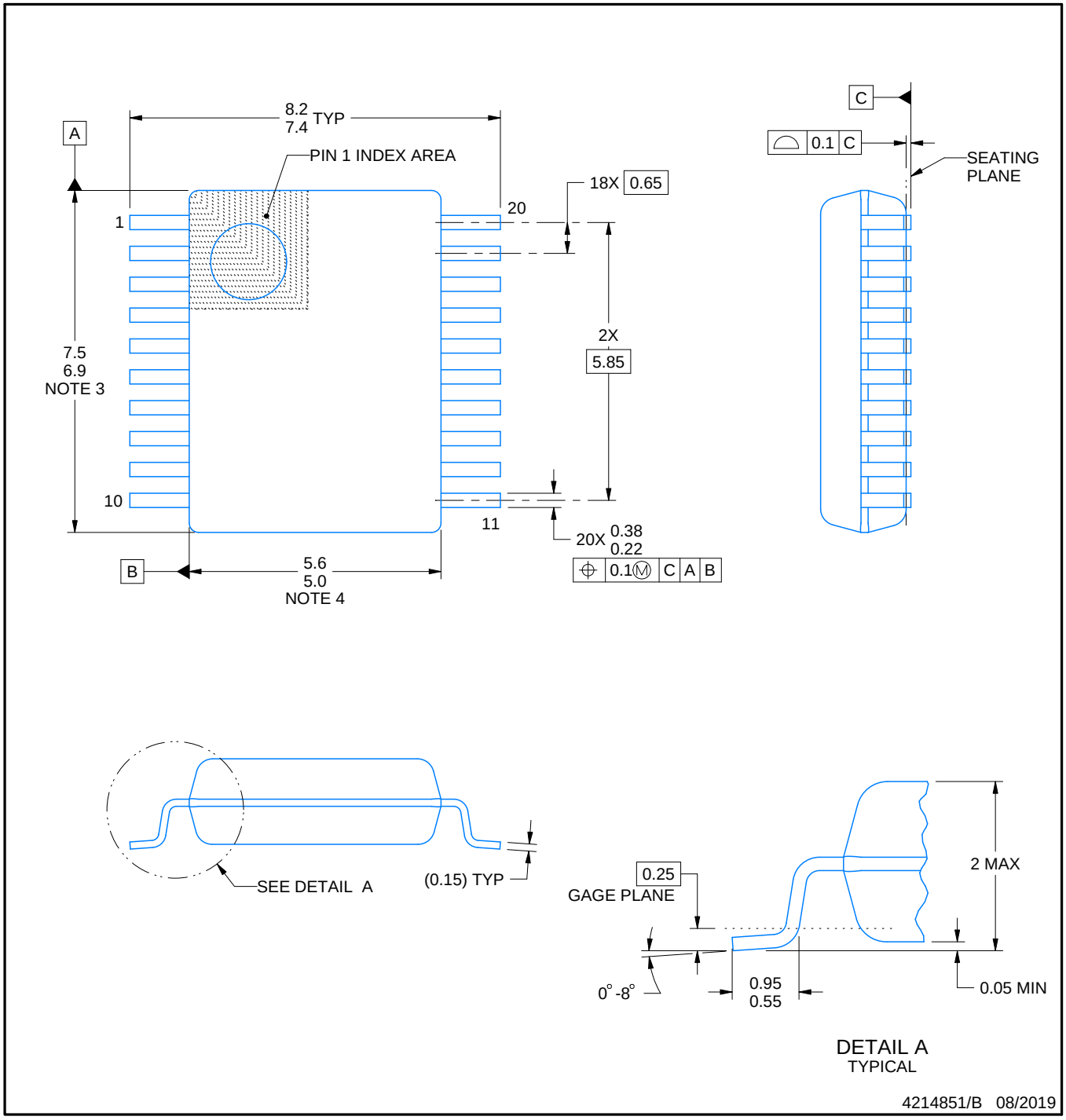


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

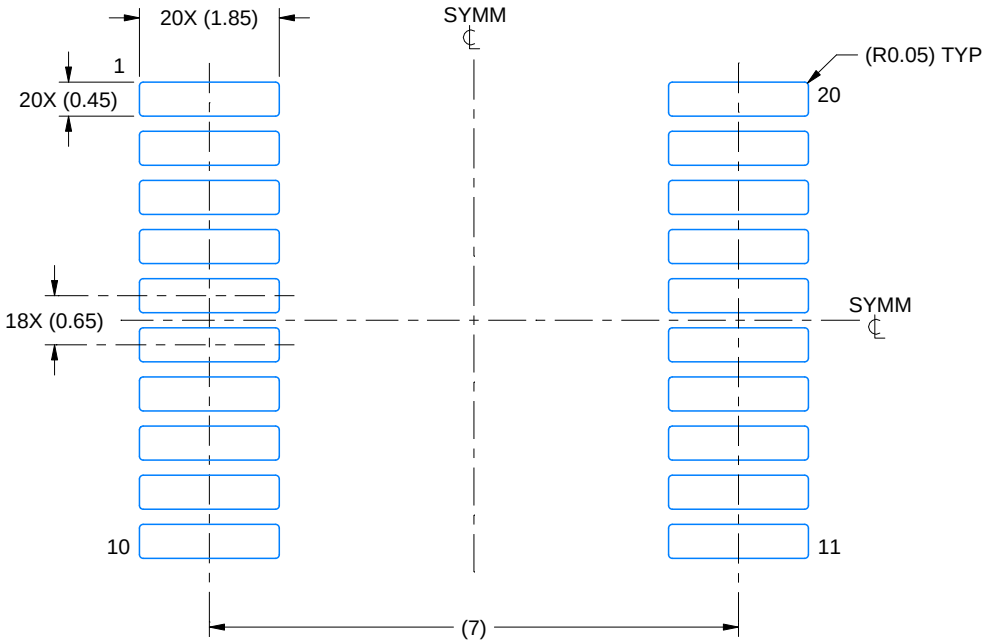
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

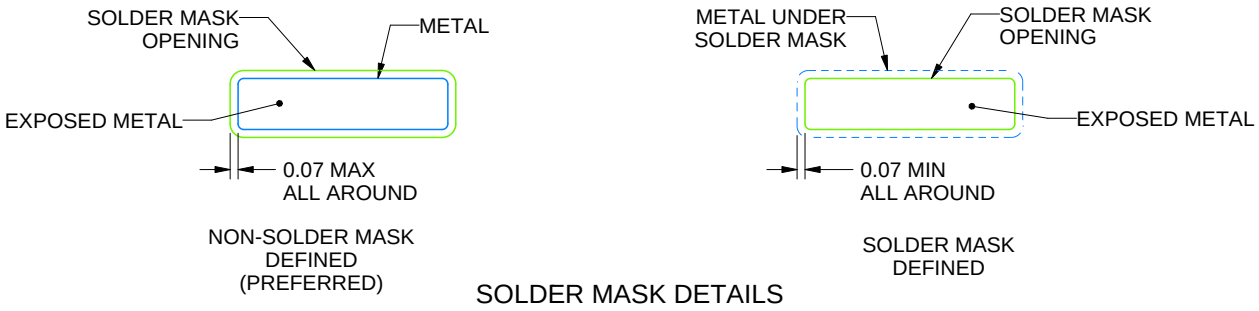


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

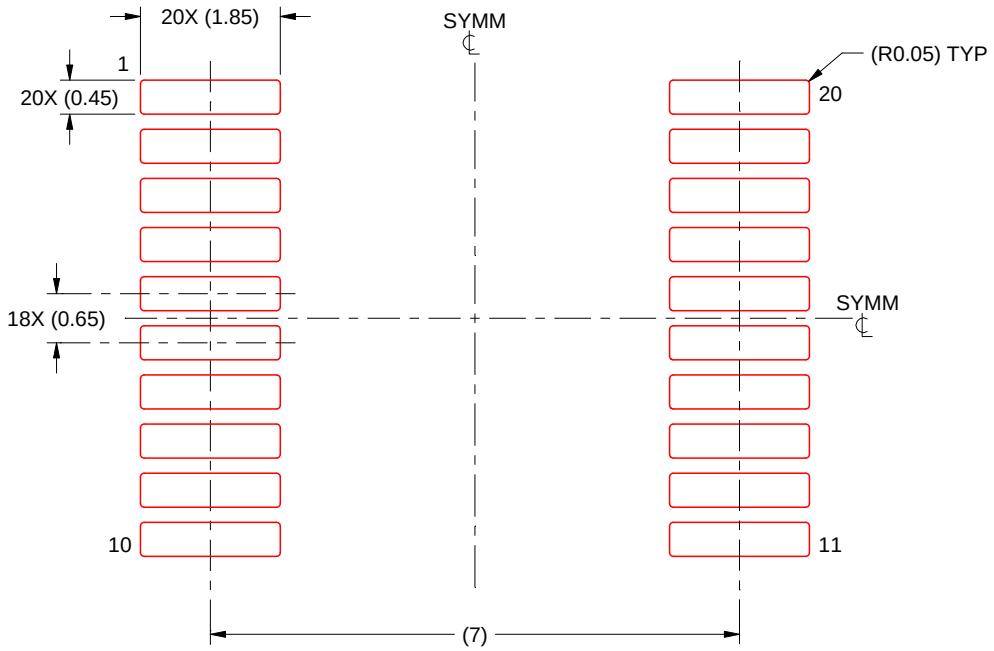


SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

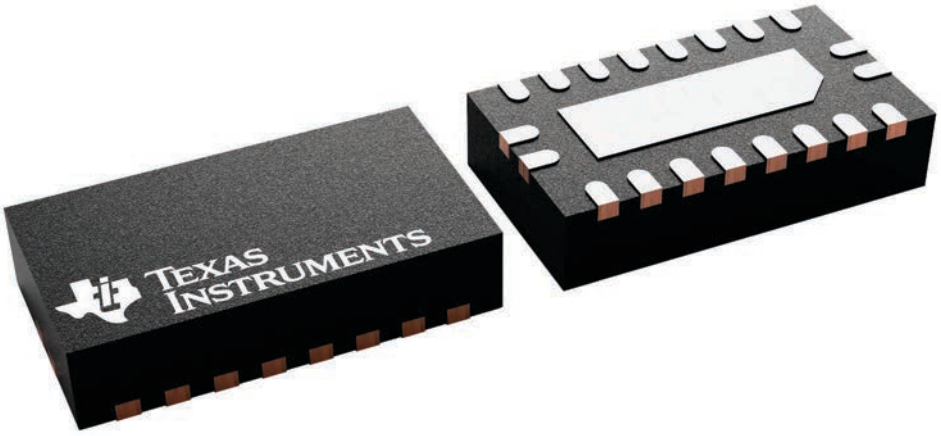
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



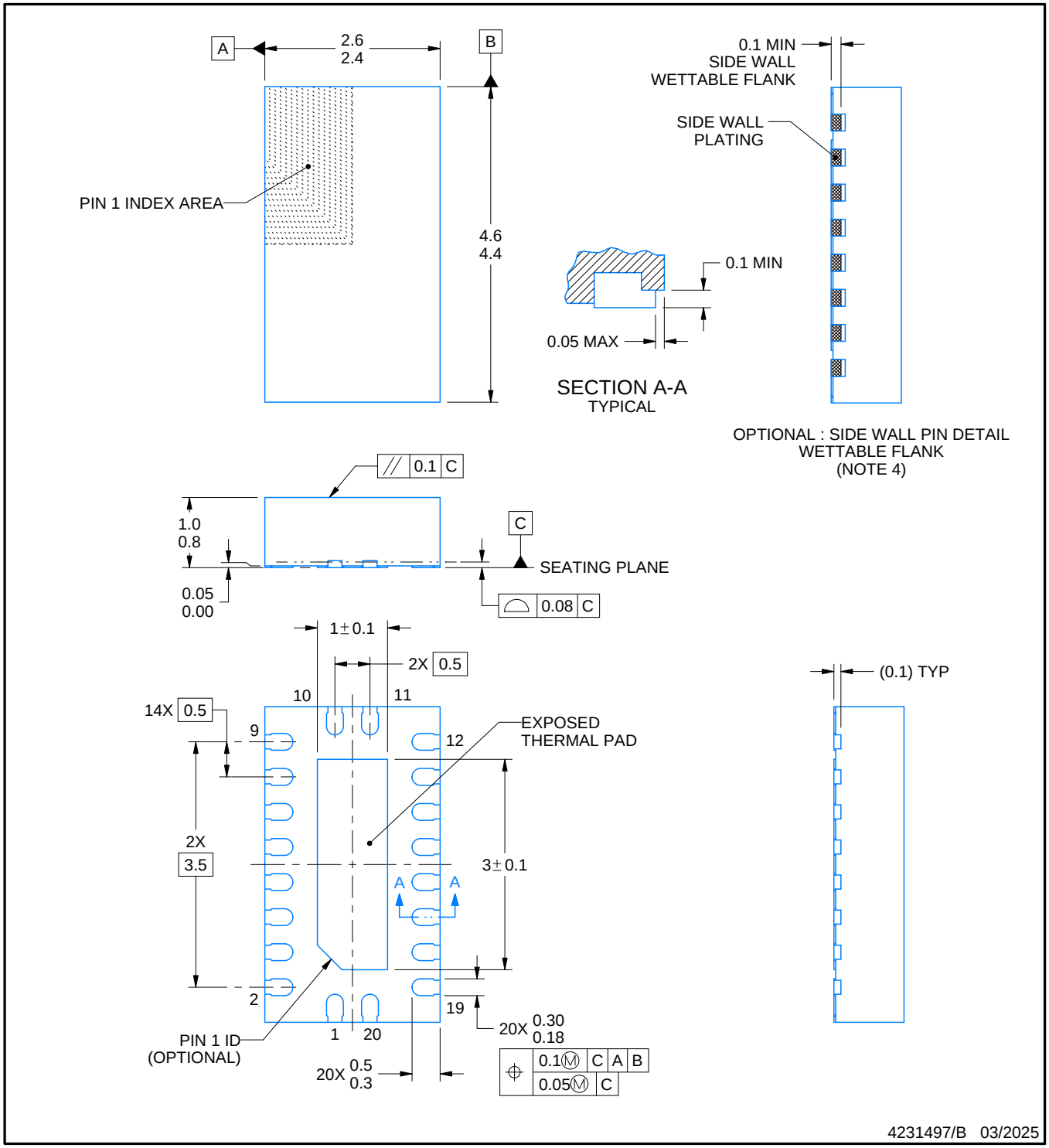
4226872/A

PACKAGE OUTLINE

RKS0020C

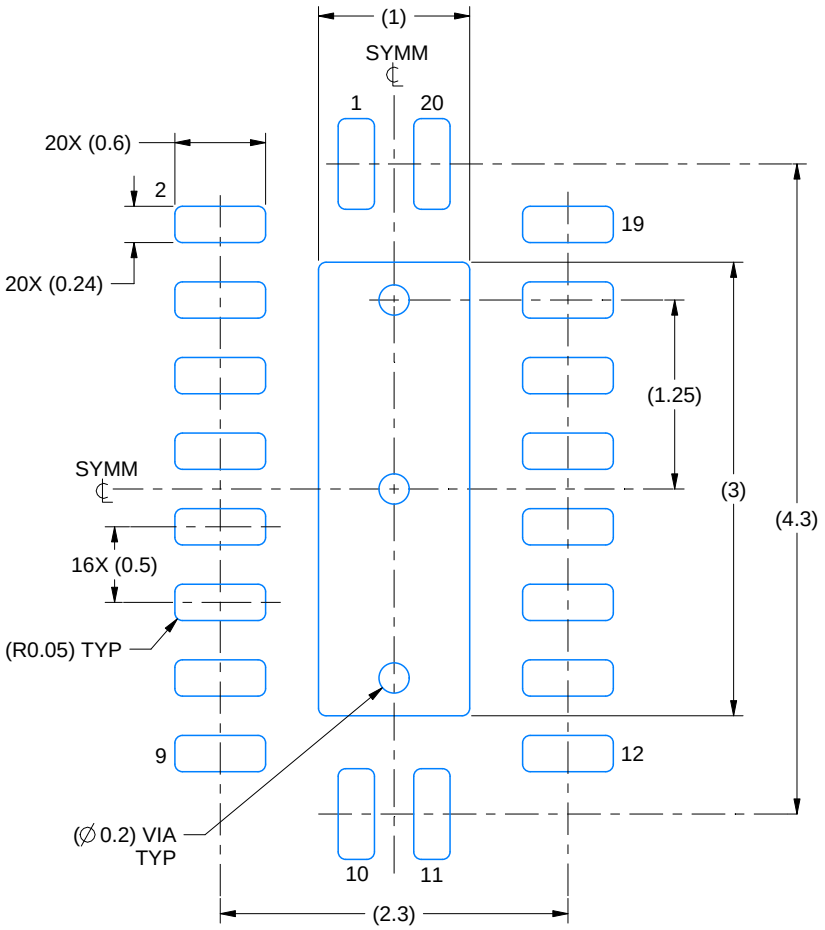
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

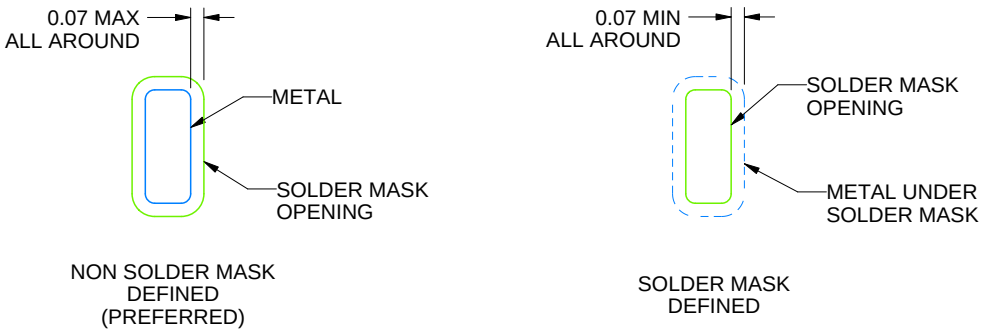


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Minimum 0.1mm solder wetting on pins side wall. Available for wettable flank version only



LAND PATTERN EXAMPLE
SCALE:20X

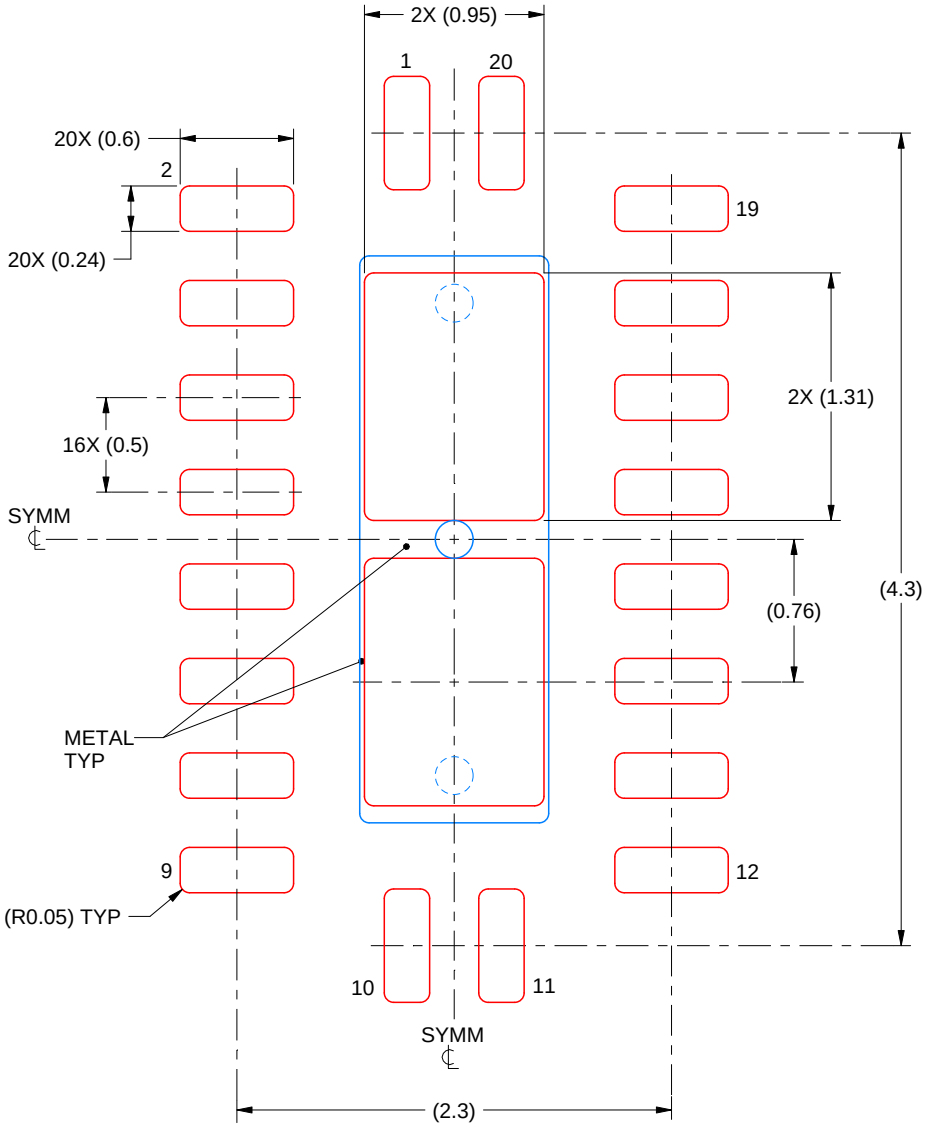


SOLDER MASK DETAILS

4231497/B 03/2025

NOTES: (continued)

5. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
6. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4231497/B 03/2025

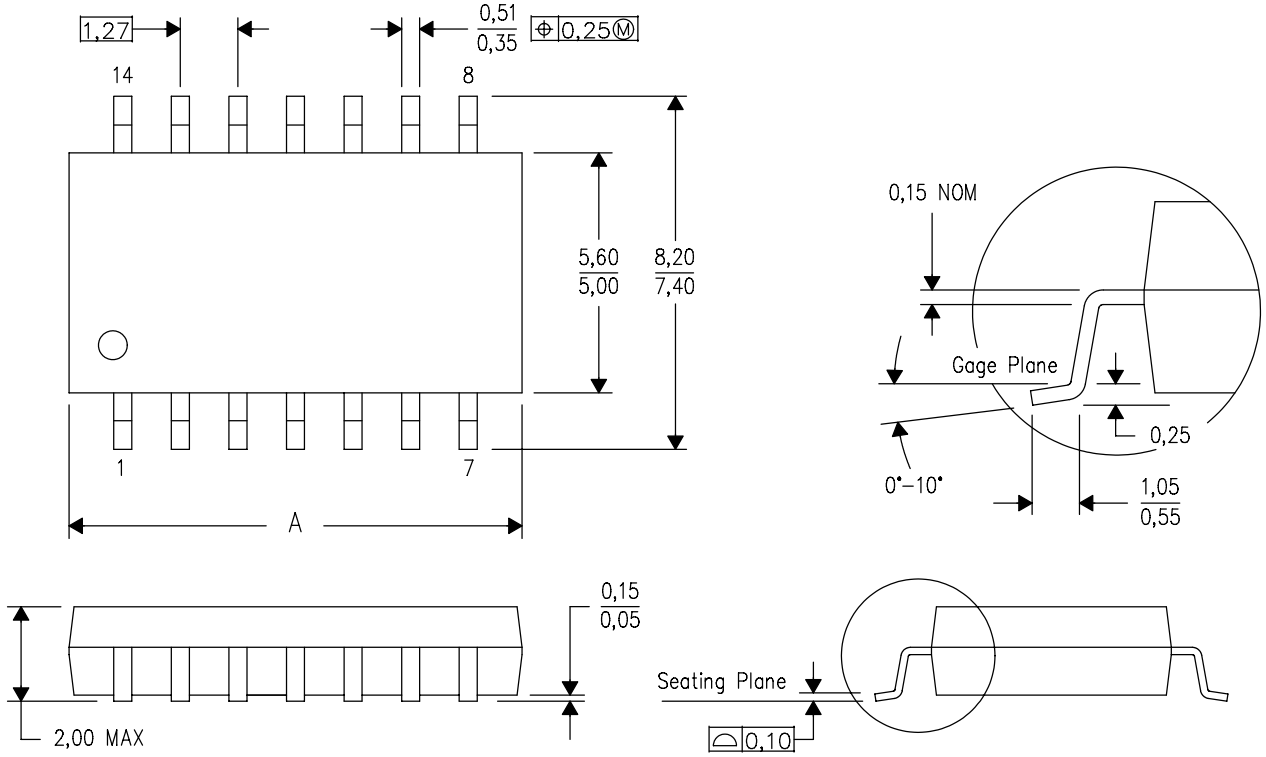
NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



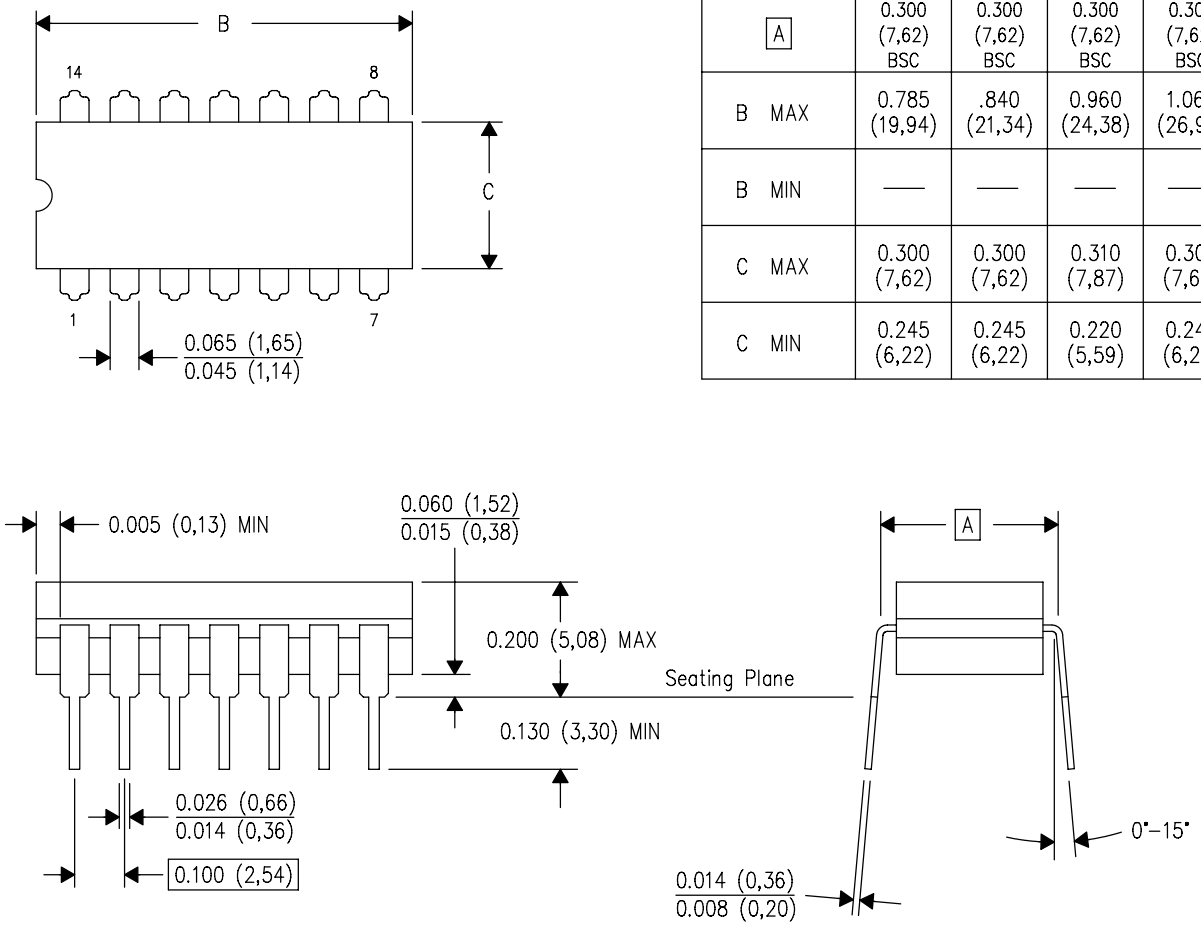
DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

J (R–GDIP–T**) CERAMIC DUAL IN–LINE PACKAGE

14 LEADS SHOWN



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)

4040083/F 03/03

NOTES:
- A. All linear dimensions are in inches (millimeters).
- B. This drawing is subject to change without notice.
- C. This package is hermetically sealed with a ceramic lid using glass frit.
- D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
- E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

GENERIC PACKAGE VIEW

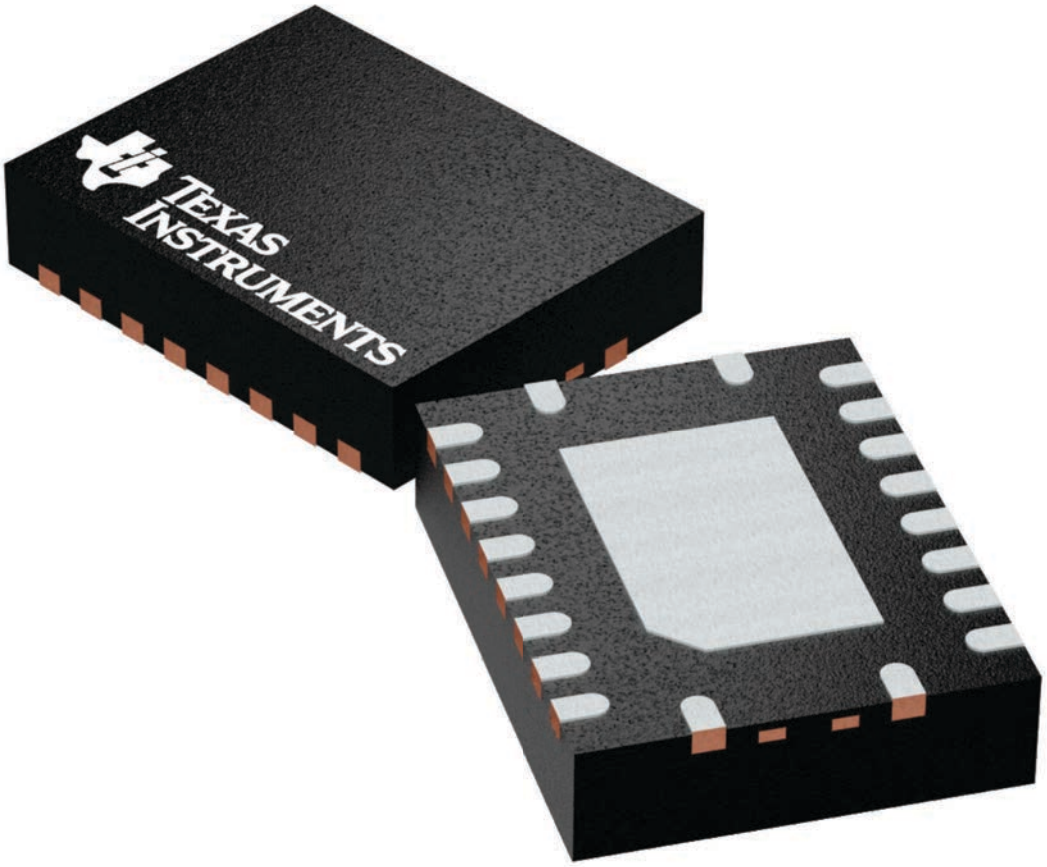
RGY 20

VQFN - 1 mm max height

3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225264/A

GENERIC PACKAGE VIEW

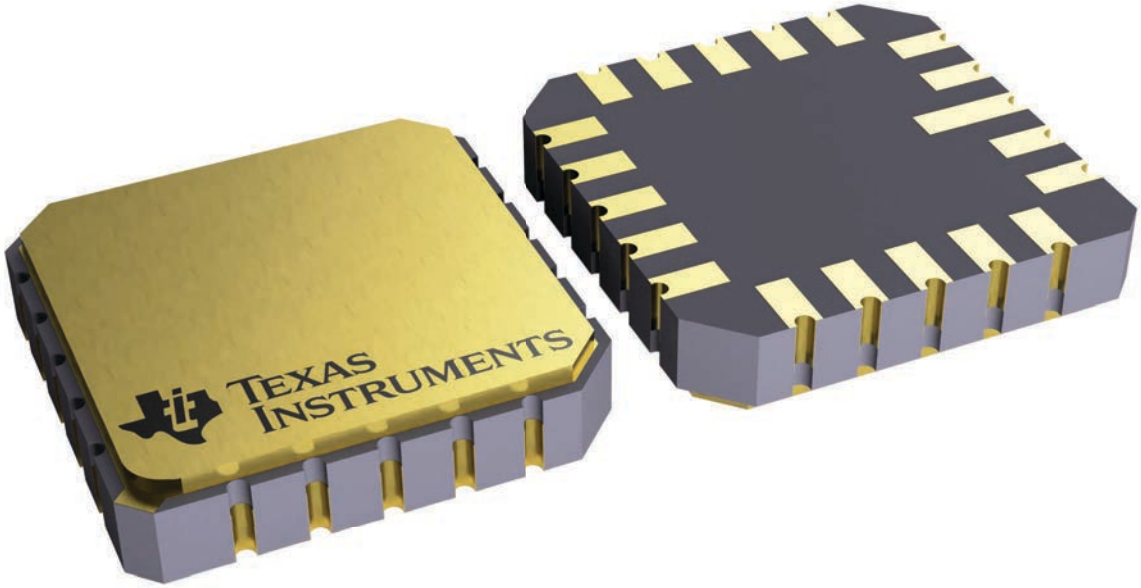
FK 20

LCCC - 2.03 mm max height

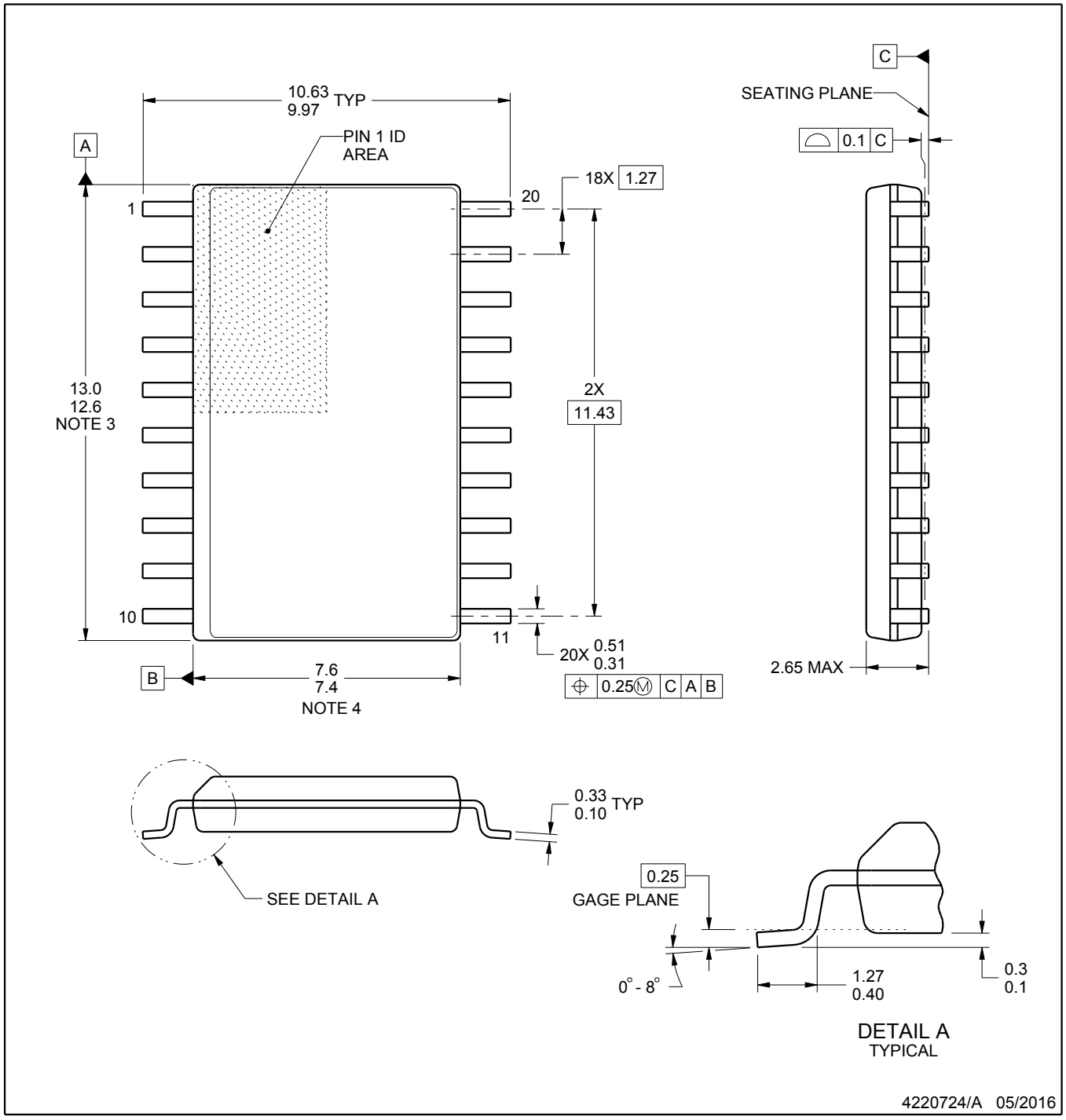
8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

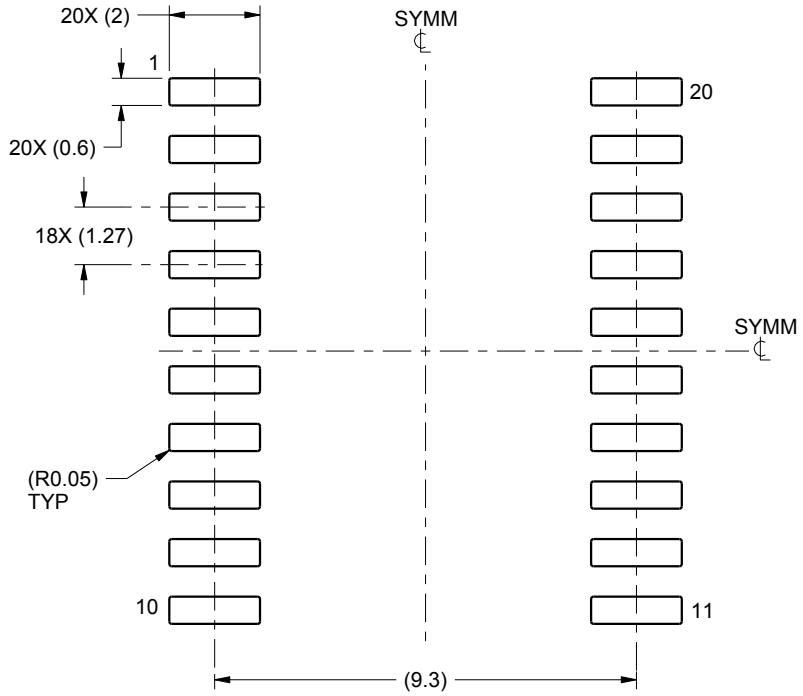


4229370VA\

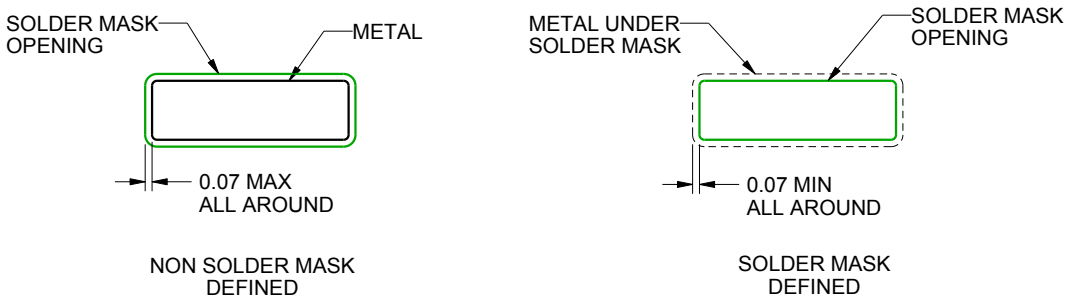


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

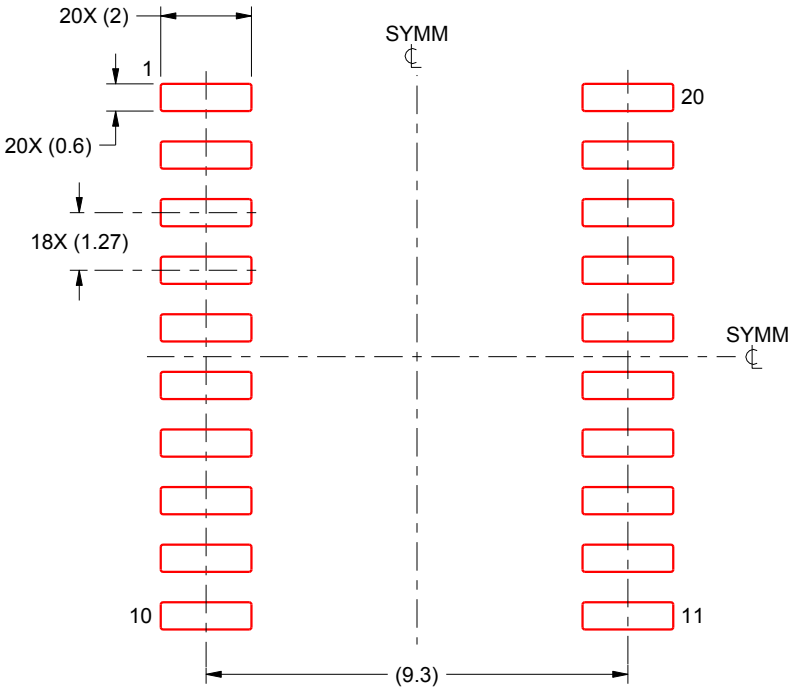


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月