SNx4HC373 具有三态输出的八路透明 D 类锁存器

1 特性

- 2V 至 6V 的宽工作电压范围
- 高电流三态真实输出最多可驱动 15 个 LSTTL 负载
- 低功耗，I_{CC} 最大值为 80 μA
- t_{pd} 典型值 = 13ns
- 5V 时，输出驱动为 ±6mA
- 低输入电流，最大值 1μA
- 单个封装中包含八个高电流锁存器
- 支持全并行加载访问

2 说明

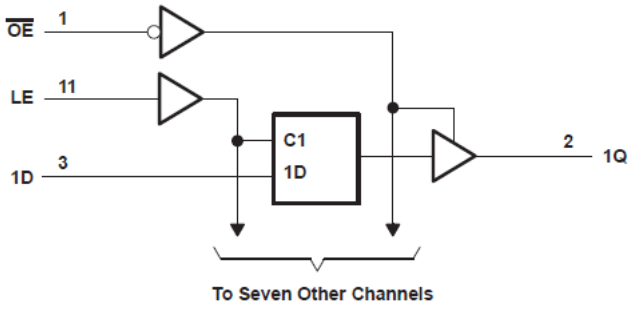
这些 8 位锁存器具有专门设计用于驱动高电容或相对低阻抗负载的三态输出。它们尤其适用于实现缓冲寄存器、I/O 端口、双向总线驱动器和工作寄存器。

’HC373 器件的 8 个锁存器是透明 D 类型锁存器。在锁存器使能 (LE) 输入为高电平时，Q 输出将跟随数据 (D) 输入。当 LE 为低电平时，Q 输出被锁存在 D 输入上设置的电平上。

器件信息

器件型号	封装(1)	本体尺寸(2)
SN74HC373	DW（SOIC，20）	12.80mm × 7.50mm
	DB（SSOP，20）	7.20mm × 5.30mm
	N（PDIP，20）	25.40mm × 6.35mm
	NS（SOP，20）	15.00mm × 5.30mm
	PW（TSSOP，20）	6.50mm × 4.40mm
SN54HC373	J（CDIP，20）	26.92mm × 6.92mm
	FK（LCCC，20）	8.89mm × 8.45mm
	W（CFP，20）	13.72mm × 6.92mm

(1) 更多相关信息，请参阅 第 10 节。
(2) 本体尺寸（长 × 宽）为标称值，不包括引脚。



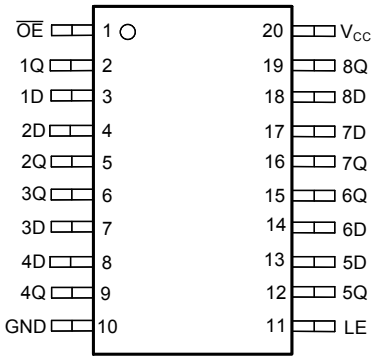
逻辑图（正逻辑）

内容

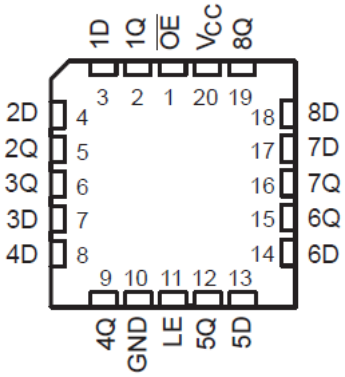
1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 建议的运行条件.....4
4.3 热性能信息.....4
4.4 电气特性.....5
4.5 时序要求.....5
4.6 开关特性.....6
4.7 开关特性.....6
4.8 工作特性.....6
5 参数测量信息.....7
6 详细说明.....8
6.1 概述.....8
6.2 功能方框图.....8
6.3 特性说明.....8
6.4 器件功能模式.....9
7 应用和实施.....10
7.1 应用信息.....10
7.2 典型应用.....10
7.3 电源相关建议.....13
7.4 布局.....13
8 器件和文档支持.....15
8.1 文档支持.....15
8.2 接收文档更新通知.....15
8.3 支持资源.....15
8.4 商标.....15
8.5 静电放电警告.....15
8.6 术语表.....15
9 修订历史记录.....15
10 机械、封装和可订购信息.....16

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能



J、W、FK、DB、DW、N、NS 或 PW 封装
20 引脚 CDIP、CFP、LCCC、SSOP、SOIC、PDIP、SO 或 TSSOP
顶视图



FK 封装
20 引脚 LCCC
顶视图

表 3-1. 引脚功能

引脚		类型 [1]	说明
名称	编号		
$\overline{OE}$	1	输入	输出使能，低电平有效
1Q	2	输出	通道 1 输出
1D	3	输入	通道 1 输入
2D	4	输入	通道 2 输入
2Q	5	输出	通道 2 输出
3Q	6	输出	通道 3 输出
3D	7	输入	通道 3 输入
4D	8	输入	通道 4 输入
4Q	9	输出	通道 4 输出
GND	10	—	接地
LE	11	输入	锁存器使能
5Q	12	输出	通道 5 输出
5D	13	输入	通道 5 输入
6D	14	输入	通道 6 输入
6Q	15	输出	通道 6 输出
7Q	16	输出	通道 7 输出
7D	17	输入	通道 7 输入
8D	18	输入	通道 8 输入
8Q	19	输出	通道 8 输出
V_{CC}	20	—	正电源

1. I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

Copyright © 2025 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
I_{IK}	输入钳位电流(2)	$V_I < 0$ 或 $V_I > V_{CC}$		±20	mA
I_{OK}	输出钳位电流(2)	$V_O < 0$ 或 $V_O > V_{CC}$		±20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		±35	mA
	通过 V_{CC} 或 GND 的持续电流			±70	mA
T_J	结温			150	°C
T_{stg}	贮存温度范围		-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其他超过“节 4.2”所述条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 建议的运行条件

在自然通风条件下的建议运行温度范围内测得（除非另有说明）(1)

			SN54HC373			SN74HC373			单位
			最小值	标称值	最大值	最小值	标称值	最大值	
V_{CC}	电源电压		2	5	6	2	5	6	V
V_{IH}	高电平输入电压	V_{CC} = 2V	1.5			1.5			V
		V_{CC} = 4.5V	3.15			3.15			
		V_{CC} = 6V	4.2			4.2			
V_{IL}	低电平输入电压	V_{CC} = 2V			0.5			0.5	V
		V_{CC} = 4.5V			1.35			1.35	
		V_{CC} = 6V			1.8			1.8	
V_I	输入电压		0		V_{CC}	0		V_{CC}	V
V_O	输出电压		0		V_{CC}	0		V_{CC}	V
$\Delta t/\Delta v$	输入转换上升和下降时间	V_{CC} = 2V			1000			1000	ns
		V_{CC} = 4.5V			500			500	
		V_{CC} = 6V			400			400	
T_A	自然通风条件下的工作温度范围		-55		125	-55		125	°C

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *慢速或浮点 CMOS 输入的影响*，文献编号 SCBA004。

4.3 热性能信息

热指标		SN74HC373					单位
		DW (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	
		20 引脚	20 引脚	20 引脚	20 引脚	20 引脚	
$R_{\theta JA}$	结至环境热阻 (1)	109.1	122.7	84.6	113.4	131.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	76	81.6	72.5	78.6	72.2	°C/W
$R_{\theta JB}$	结至电路板热阻	77.6	77.5	65.3	78.4	82.8	°C/W
Ψ_{JT}	结至顶部特征参数	51.5	46.1	55.3	47.1	21.5	°C/W
Ψ_{JB}	结至电路板特征参数	77.1	77.1	65.2	78.1	82.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告。

Copyright © 2025 Texas Instruments Incorporated

4.4 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V_{CC}	T_A = 25°C			SN54HC373		SN74HC373		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	V_I = V_{IH} 或 V_{IL}	I_{OH} = -20μA	2V	1.9	1.998		1.9		1.9		V
			4.5V	4.4	4.499		4.4		4.4		
			6V	5.9	5.999		5.9		5.9		
		I_{OH} = -6mA	4.5V	3.98	4.3		3.7		3.7		
		I_{OH} = -7.8mA	6V	5.48	5.8		5.2		5.2		
V_{OL}	V_I = V_{IH} 或 V_{IL}	I_{OL} = 20μA	2V		0.002	0.1		0.1		0.1	V
			4.5V		0.001	0.1		0.1		0.1	
			6V		0.001	0.1		0.1		0.1	
		I_{OL} = 6mA	4.5V		0.17	0.26		0.4		0.4	
		I_{OL} = 7.8mA	6V		0.15	0.26		0.4		0.4	
I_I	V_I = V_{CC} 或 0		6V			±0.1		±1000		±1000	nA
I_{OZ}	V_O = V_{CC} 或 0		6V			±0.01		±10		±10	μA
I_{CC}	V_I = V_{CC} 或 0， I_O = 0		6V			8		160		160	μA
C_i			2V 至 6V		3	10		10		10	pF

4.5 时序要求

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

		V_{CC}	T_A = 25°C		SN54HC373		SN74HC373		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
t_w	脉冲持续时间，LE 高电平	2V	80		120		120		ns
		4.5V	16		24		24		
		6V	14		20		20		
t_{su}	设置时间，LE↓ 前的数据	2V	50		75		75		ns
		4.5V	10		15		15		
		6V	9		13		13		
t_h	保持时间，LE↓ 后的数据	2V	20		26		26		ns
		4.5V	10		13		13		
		6V	10		13		13		

Copyright © 2025 Texas Instruments Incorporated

4.6 开关特性

在自然通风条件下的建议工作温度范围内测得，C_L = 50pF（除非另有说明）（请参阅图 5-1）

参数	从（输入）	至（输出）	V_{CC}	T_A = 25°C			SN54HC373		SN74HC373		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	D	Q	2V		58	150		225		225	ns
			4.5V		15	30		45		45	
			6V		13	26		38		38	
	LE	任意 Q	2V		73	175		265		265	
			4.5V		18	35		53		53	
			6V		15	30		45		45	
t_{en}	$\overline{OE}$	任意 Q	2V		65	150		225		225	ns
			4.5V		17	30		45		45	
			6V		14	26		38		38	
t_{dis}	$\overline{OE}$	任意 Q	2V		50	150		225		225	ns
			4.5V		15	30		45		45	
			6V		13	26		38		38	
t_t		任意 Q	2V		28	60		90		90	ns
			4.5V		8	12		18		18	
			6V		6	10		15		15	

4.7 开关特性

在自然通风条件下的建议工作温度范围内测得，C_L = 150pF（除非另有说明）（请参阅图 5-1）

参数	从（输入）	至（输出）	V_{CC}	T_A = 25°C			SN54HC373		SN74HC373		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	D	Q	2V		82	200		300		300	ns
			4.5V		22	40		60		60	
			6V		19	34		51		51	
	LE	任意 Q	2V		100	225		335		335	
			4.5V		24	45		67		67	
			6V		20	38		57		57	
t_{en}	$\overline{OE}$	任意 Q	2V		90	200		300		300	ns
			4.5V		23	40		60		60	
			6V		19	34		51		51	
t_t		任意 Q	2V		45	210		315		315	ns
			4.5V		17	42		63		63	
			6V		13	36		53		53	

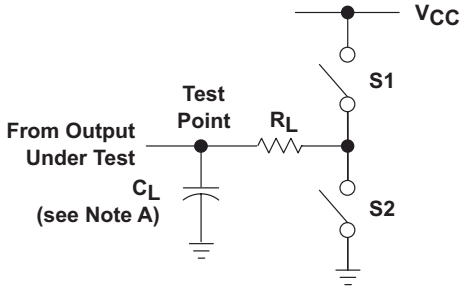
4.8 工作特性

T_A = 25°C

参数		测试条件	典型值	单位
C_{pd}	每个锁存器的功率耗散电容	无负载	100	pF

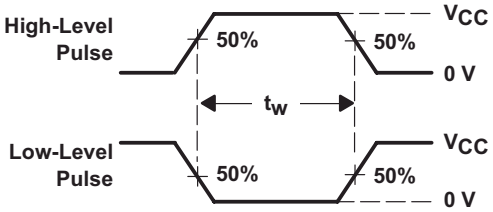
Copyright © 2025 Texas Instruments Incorporated

5 参数测量信息

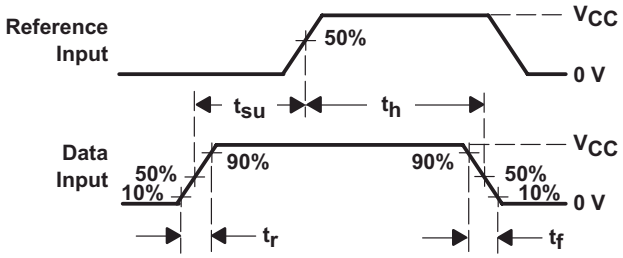


LOAD CIRCUIT

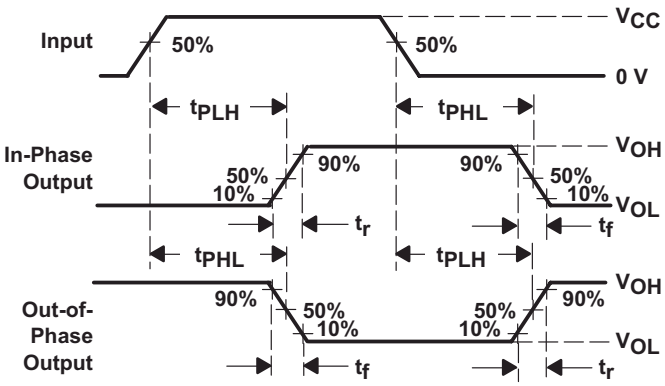
PARAMETER		R_L	C_L	S1	S2
t_{en}	t_{PZH}	1 kΩ	50 pF or 150 pF	Open	Closed
	t_{PZL}			Closed	Open
t_{dis}	t_{PHZ}	1 kΩ	50 pF	Open	Closed
	t_{PLZ}			Closed	Open
t_{pd} or t_t		--	50 pF or 150 pF	Open	Open



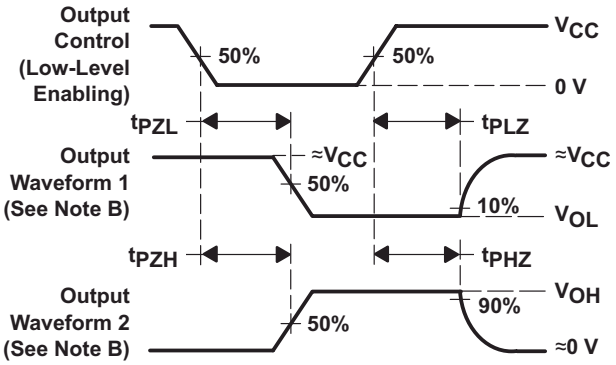
VOLTAGE WAVEFORMS
PULSE DURATIONS



VOLTAGE WAVEFORMS
SETUP AND HOLD AND INPUT RISE AND FALL TIMES



VOLTAGE WAVEFORMS
PROPAGATION DELAY AND OUTPUT TRANSITION TIMES



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES FOR 3-STATE OUTPUTS

A. C_L 包括探头和测试夹具电容。
B. 波形 1 用于加载了内部条件的输出中，使得输出为低电平，除非被输出控制禁用。
波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
C. 任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50 Ω，t_r = 6ns，t_f = 6ns。
D. 一次测量一个输出，每次测量一个输入转换。
E. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
F. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
G. t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。

图 5-1. 负载电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

SNx4HC373 包含八路 D 类锁存器。所有通道共享锁存器使能 (LE) 和输出使能 ($\overline{OE}$) 输入。

启用锁存器（LE 为高电平）后，允许数据从 D 输入传递到 Q 输出。

禁用锁存器（LE 为低电平）后，无论 D 输入如何变化，Q 输出都会保持其最后的状态。

如果在启动期间锁存器使能 (LE) 输入保持低电平，则所有通道的输出状态均未知，直到所有数据 (D) 输入端的有效输入信号将锁存器使能 (LE) 输入驱动为高电平。

启用输出（$\overline{OE}$ 为低电平）后，输出会主动驱动为低电平或高电平。

当输出被禁用（$\overline{OE}$ 为高电平）时，输出被设置为高阻抗状态。

低电平有效输出使能 ($\overline{OE}$) 对锁存器中的存储状态没有任何影响。

6.2 功能方框图

6.3 特性说明

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

表 6-1. 功能表

输入(1)			输出(2)
$\overline{OE}$	LE	D	Q
L	H	L	L
L	H	H	H
L	L	X	Q_0 (3)
H	X	X	Z

(1) L = 输入低电平，H = 输入高电平，↑ = 输入从低电平转换到高电平，↓ = 输入从高电平转换到低电平，X = 不用考虑
(2) L = 输出低电平，H = 输出高电平，Q_0 = 上一状态，Z = 高阻抗
(3) 启动时 Q_0 未知

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

在此应用中，SNx4HC373 用于控制 8 位数据总线。

输出可以保持在高阻抗状态、保持在最后的已知状态或与数据输入一起变化，具体取决于 LE 和 $\overline{OE}$ 上来自总线控制器的控制输入。

7.2 典型应用

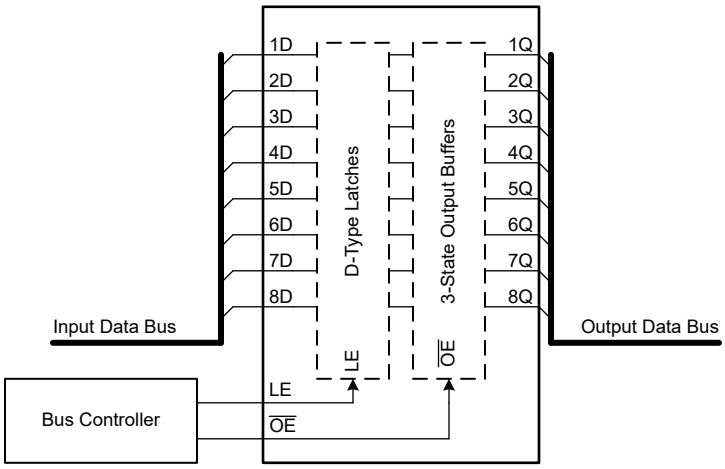


图 7-1. 典型应用框图

Copyright © 2025 Texas Instruments Incorporated

7.2.1 设计要求

7.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。

地必须能够灌入的电流等于 SNx4HC373 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SNx4HC373 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SNx4HC373 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 输入注意事项

输入信号必须超过 才能被视为逻辑低电平，超过 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SNx4HC373 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

7.2.1.3 输出注意事项

接地电压用于产生低电平输出电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

Copyright © 2025 Texas Instruments Incorporated

7.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SNx4HC373 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$Ω。这可防止超出*绝对最大额定值* 中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算* 中提供的步骤计算功耗和热增量。

7.2.3 应用曲线

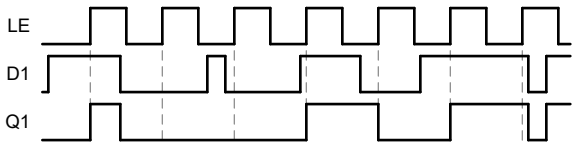


图 7-2. 应用时序图

7.3 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.4 布局

7.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

Copyright © 2025 Texas Instruments Incorporated

7.4.2 布局示例

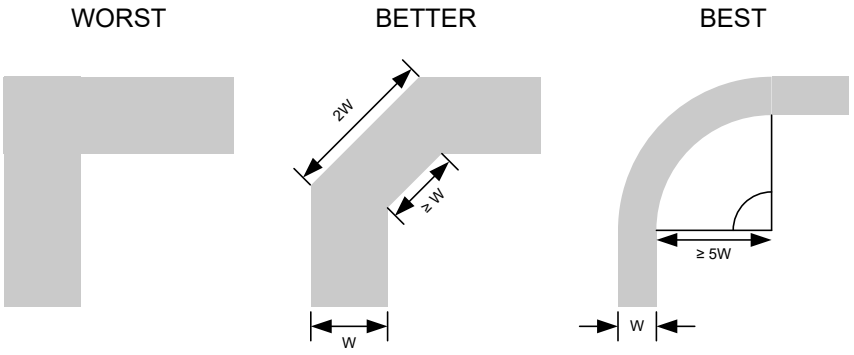


图 7-3. 可改善信号完整性的布线转角示例

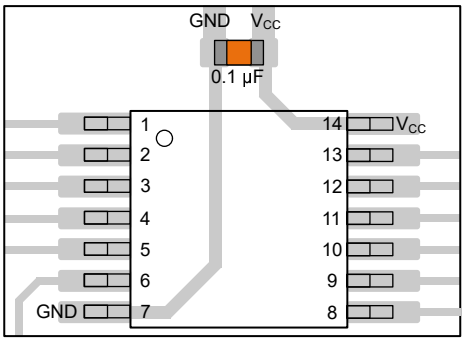


图 7-4. TSSOP 和类似封装的旁路电容器放置示例

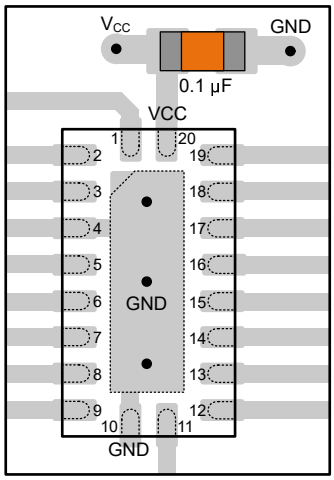


图 7-5. WQFN 和类似封装的旁路电容器放置示例

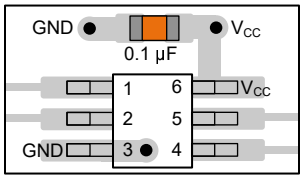


图 7-6. SOT、SC70 和类似封装的旁路电容器放置示例

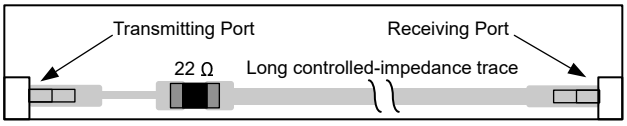


图 7-7. 可改善信号完整性的阻尼电阻放置示例

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision F (April 2022) to Revision G (February 2025)	Page
• 将*电气特性*表、*建议运行条件*表、*时序特性*表和*开关特性*表中的 SN74AC32 工作温度更新为 125°C 和相应值	1
• 添加了*引脚功能* 表	3

Changes from Revision E (January 2022) to Revision F (April 2022)	Page
• 增加了结至环境热阻值。DW 以前是 58，现在是 109.1，DB 以前是 70，现在是 122.7，N 以前是 69，现在是 84.6，NS 以前是 60，现在是 113.4，PW 以前是 83，现在是 131.8	4

Copyright © 2025 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-8407201VRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VRA SNV54HC373J
5962-8407201VRA.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VRA SNV54HC373J
5962-8407201VSA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VSA SNV54HC373W
5962-8407201VSA.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-8407201VSA SNV54HC373W
84072012A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84072012A SNJ54HC 373FK
8407201RA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201RA SNJ54HC373J
8407201SA	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201SA SNJ54HC373W
JM38510/65403B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403B2A
JM38510/65403B2A.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403B2A
JM38510/65403BRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403BRA
JM38510/65403BRA.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403BRA
M38510/65403B2A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403B2A
M38510/65403BRA	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65403BRA
SN54HC373J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC373J
SN54HC373J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC373J
SN74HC373DBR	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HC373DBR.A	Active	Production	SSOP (DB) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373DW	Obsolete	Production	SOIC (DW) | 20	-	-	Call TI	Call TI	-40 to 85	HC373
SN74HC373DWR	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373DWR.A	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373DWRE4	Active	Production	SOIC (DW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373N	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC373N
SN74HC373N.A	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC373N
SN74HC373NE4	Active	Production	PDIP (N) | 20	20 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC373N
SN74HC373NSR	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373NSR.A	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373NSRE4	Active	Production	SOP (NS) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373PW	Obsolete	Production	TSSOP (PW) | 20	-	-	Call TI	Call TI	-40 to 85	HC373
SN74HC373PWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373PWR.A	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SN74HC373PWRE4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC373
SNJ54HC373FK	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84072012A SNJ54HC 373FK
SNJ54HC373FK.A	Active	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84072012A SNJ54HC 373FK
SNJ54HC373J	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201RA SNJ54HC373J
SNJ54HC373J.A	Active	Production	CDIP (J) | 20	20 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201RA SNJ54HC373J
SNJ54HC373W	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201SA SNJ54HC373W
SNJ54HC373W.A	Active	Production	CFP (W) | 20	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8407201SA SNJ54HC373W

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54HC373, SN54HC373-SP, SN74HC373 :

- Catalog : SN74HC373, SN54HC373
- Military : SN54HC373
- Space : SN54HC373-SP

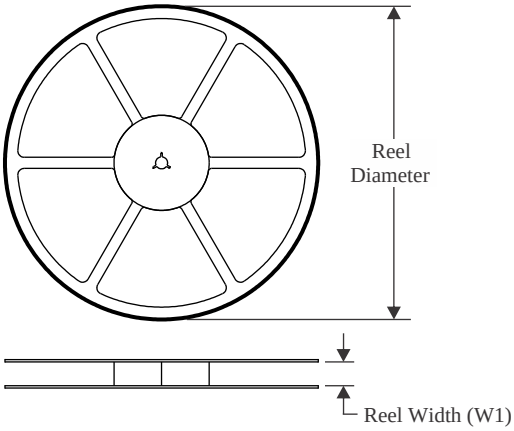
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

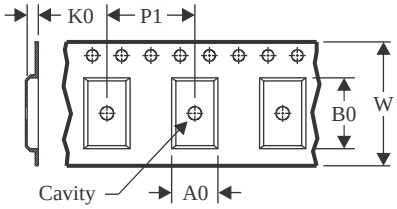
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

REEL DIMENSIONS

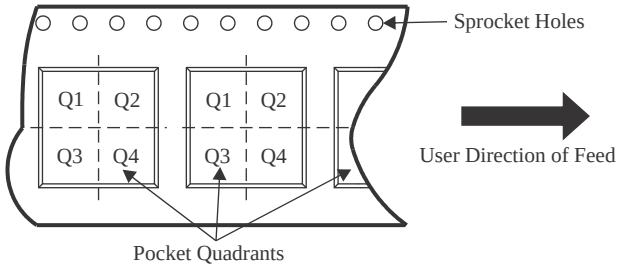


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

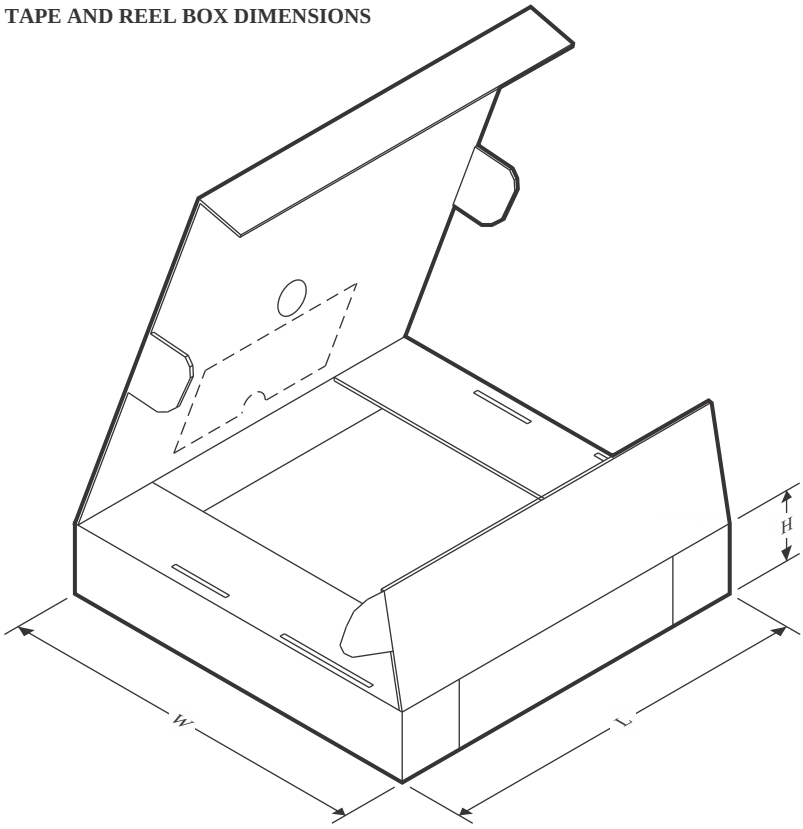
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC373DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74HC373DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HC373NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74HC373PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

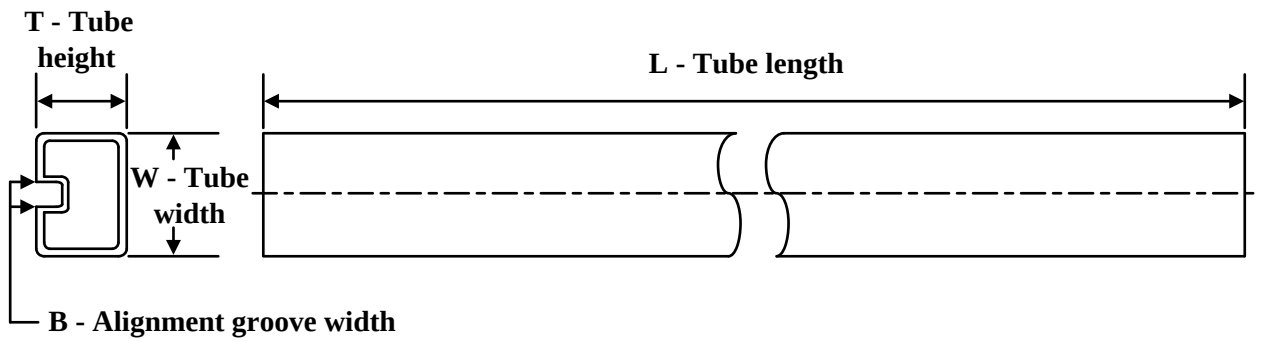
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC373DBR	SSOP	DB	20	2000	353.0	353.0	32.0
SN74HC373DWR	SOIC	DW	20	2000	356.0	356.0	45.0
SN74HC373NSR	SOP	NS	20	2000	356.0	356.0	45.0
SN74HC373PWR	TSSOP	PW	20	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

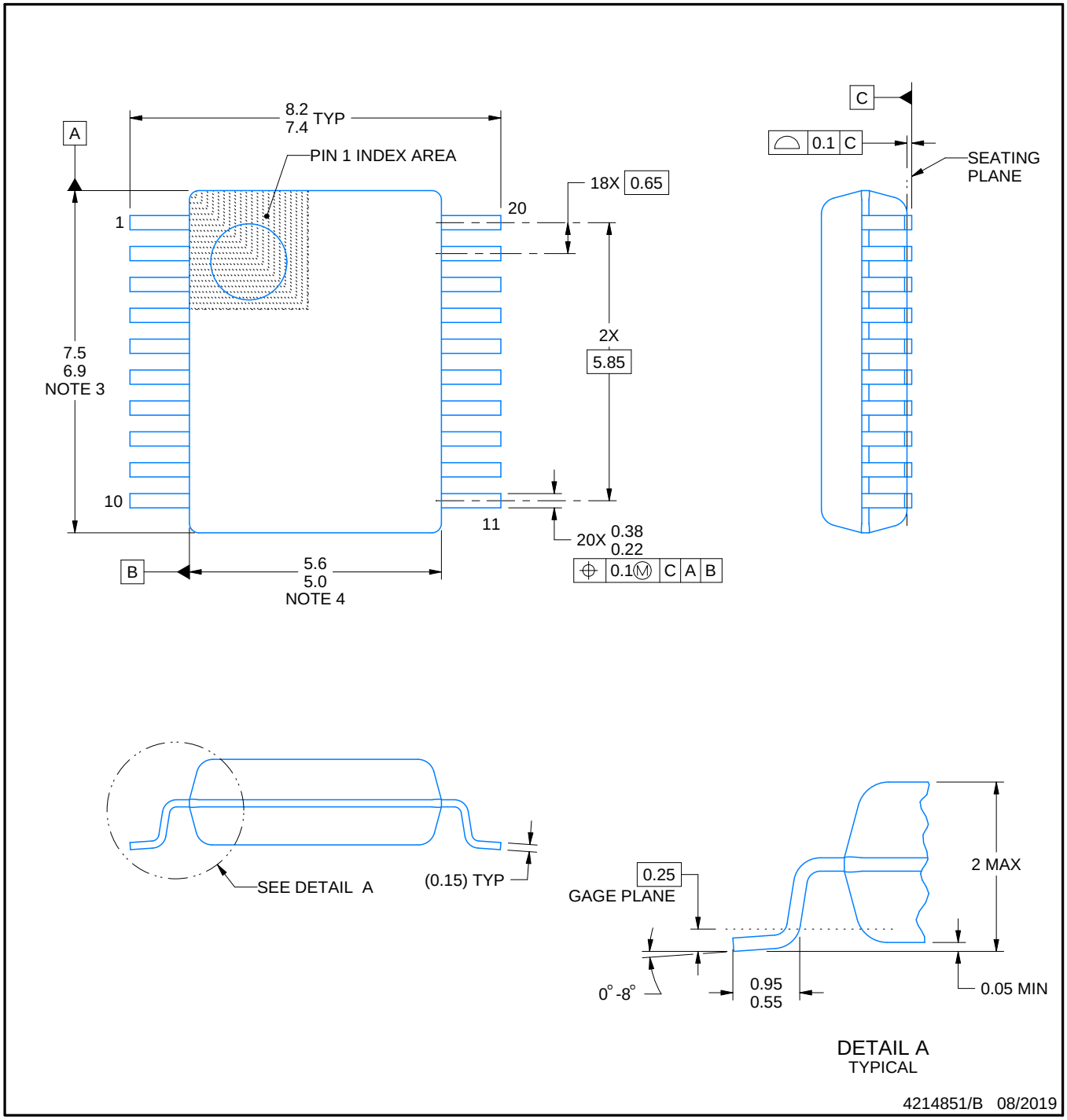
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-8407201VSA	W	CFP	20	25	506.98	26.16	6220	NA
5962-8407201VSA.A	W	CFP	20	25	506.98	26.16	6220	NA
84072012A	FK	LCCC	20	55	506.98	12.06	2030	NA
8407201SA	W	CFP	20	25	506.98	26.16	6220	NA
JM38510/65403B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
JM38510/65403B2A.A	FK	LCCC	20	55	506.98	12.06	2030	NA
M38510/65403B2A	FK	LCCC	20	55	506.98	12.06	2030	NA
SN74HC373N	N	PDIP	20	20	506	13.97	11230	4.32
SN74HC373N.A	N	PDIP	20	20	506	13.97	11230	4.32
SN74HC373NE4	N	PDIP	20	20	506	13.97	11230	4.32
SNJ54HC373FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC373FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC373W	W	CFP	20	25	506.98	26.16	6220	NA
SNJ54HC373W.A	W	CFP	20	25	506.98	26.16	6220	NA

PACKAGE OUTLINE

DB0020A

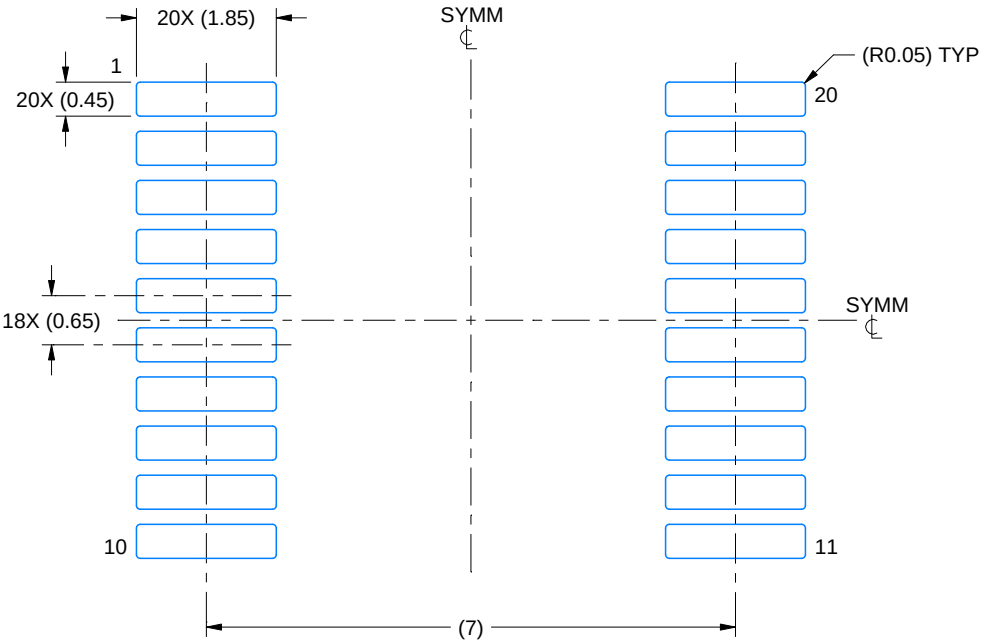
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

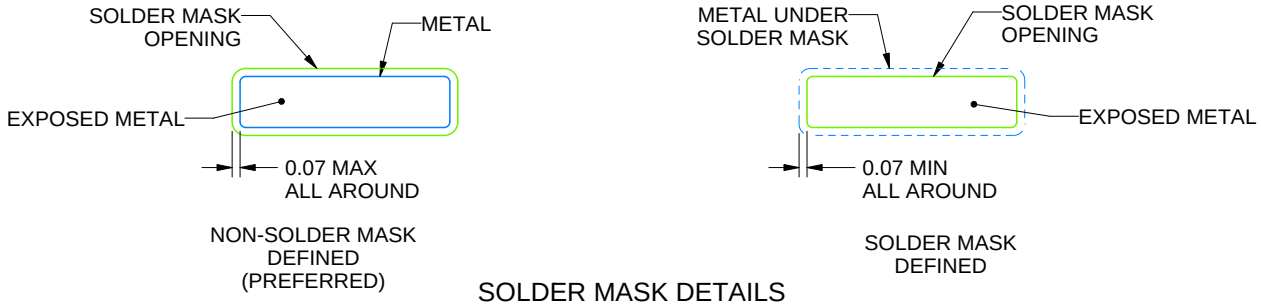


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

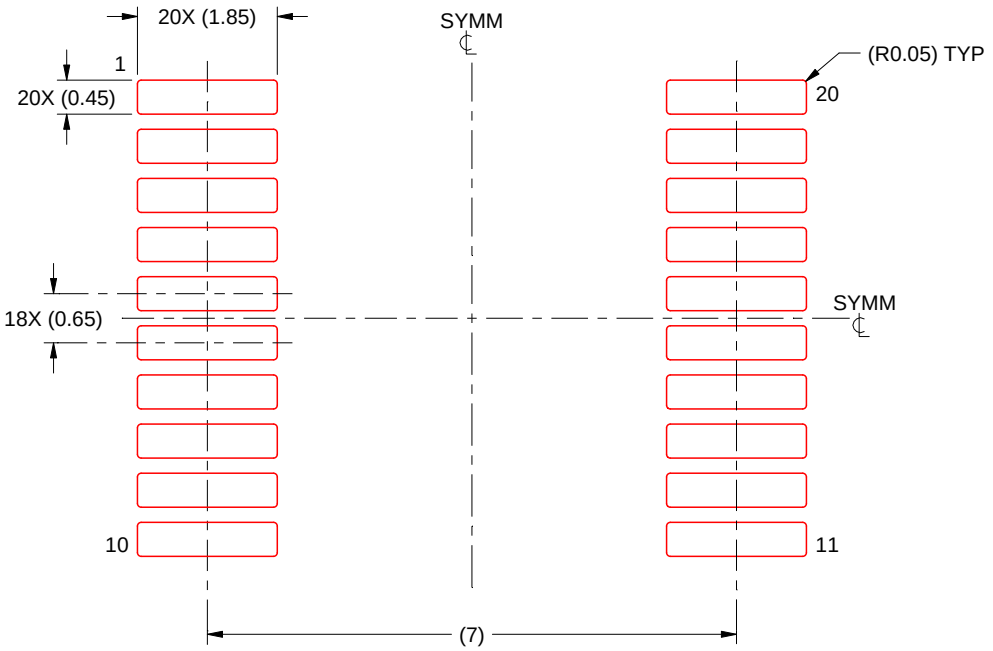
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

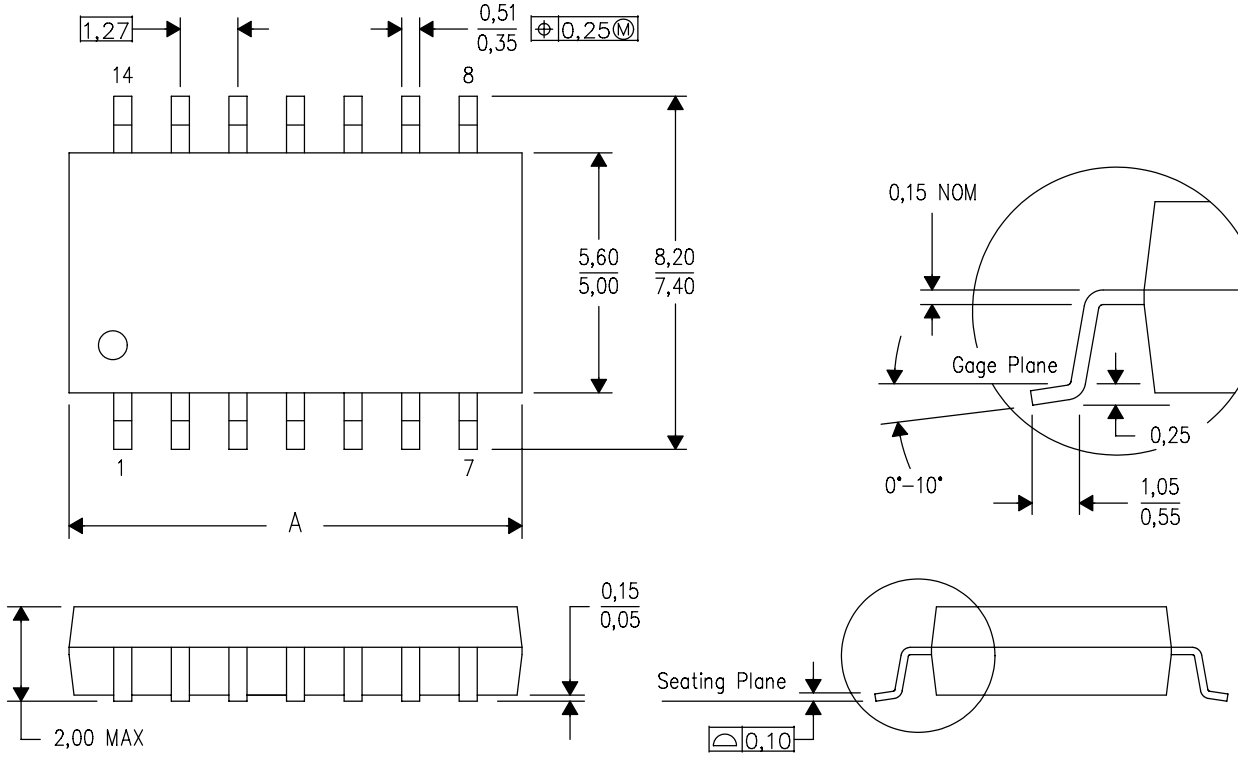
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

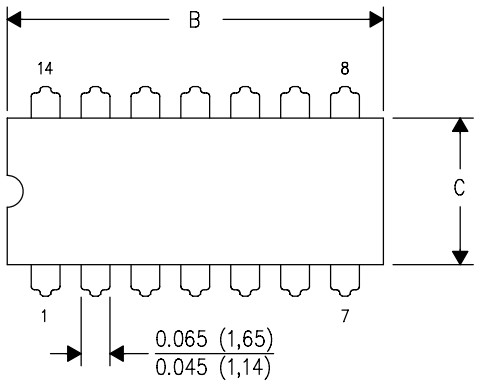
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

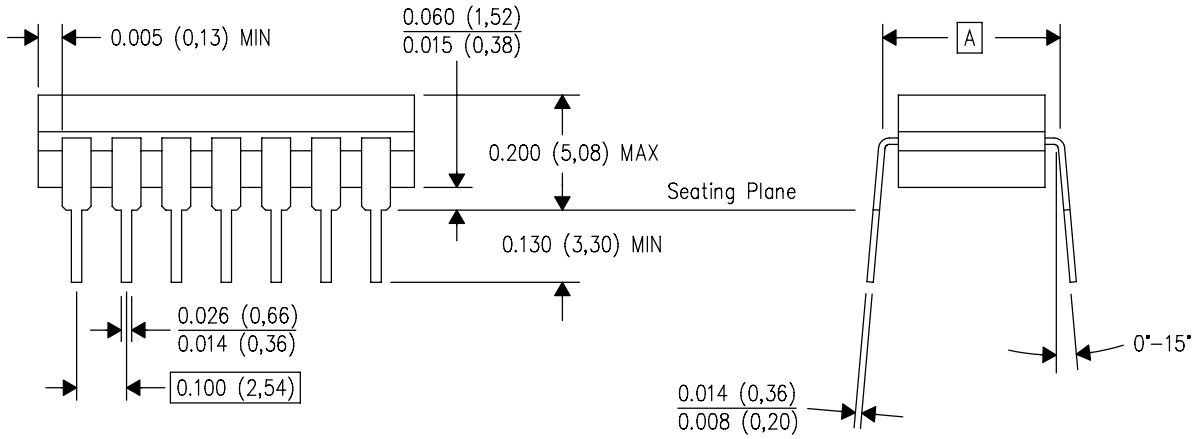
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

GENERIC PACKAGE VIEW

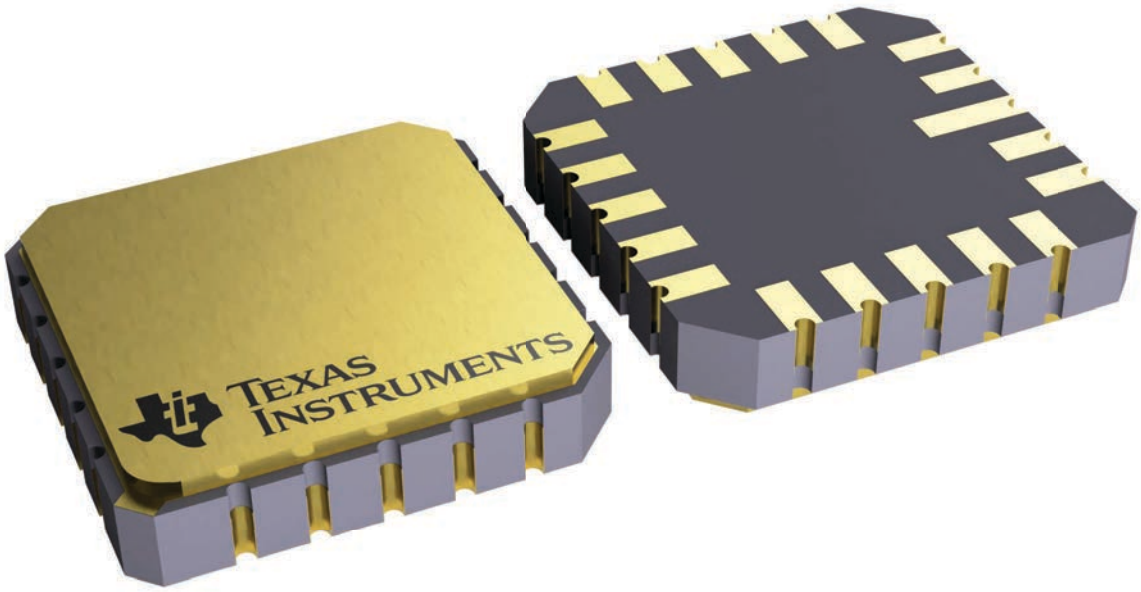
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

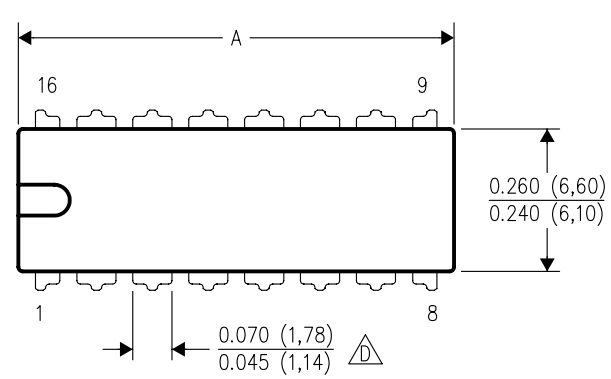


4229370VA\

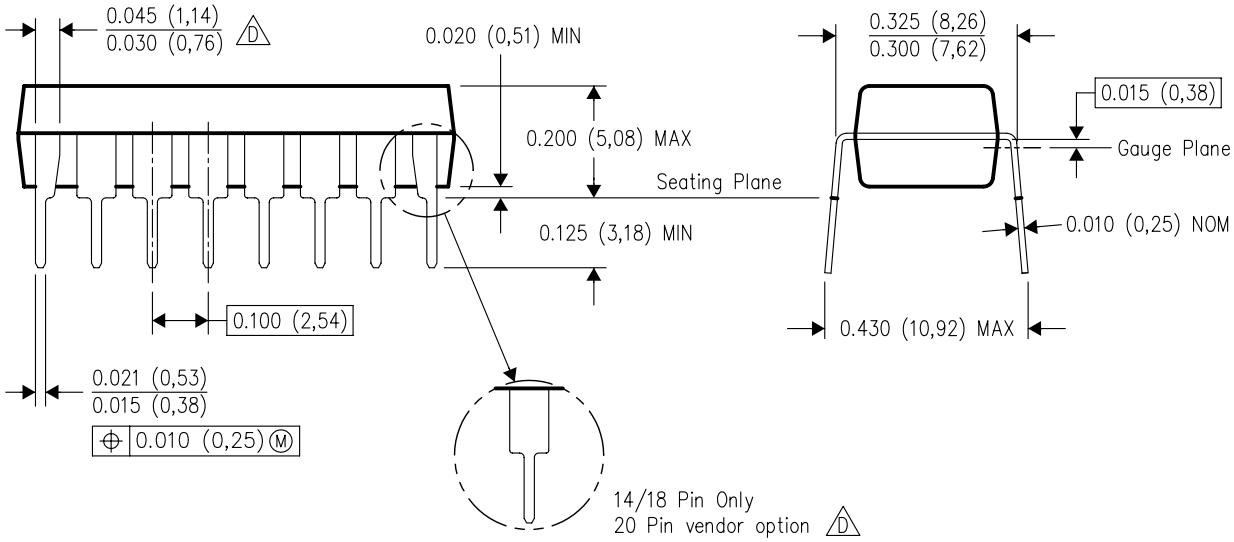
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN

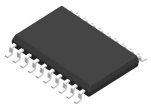


DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

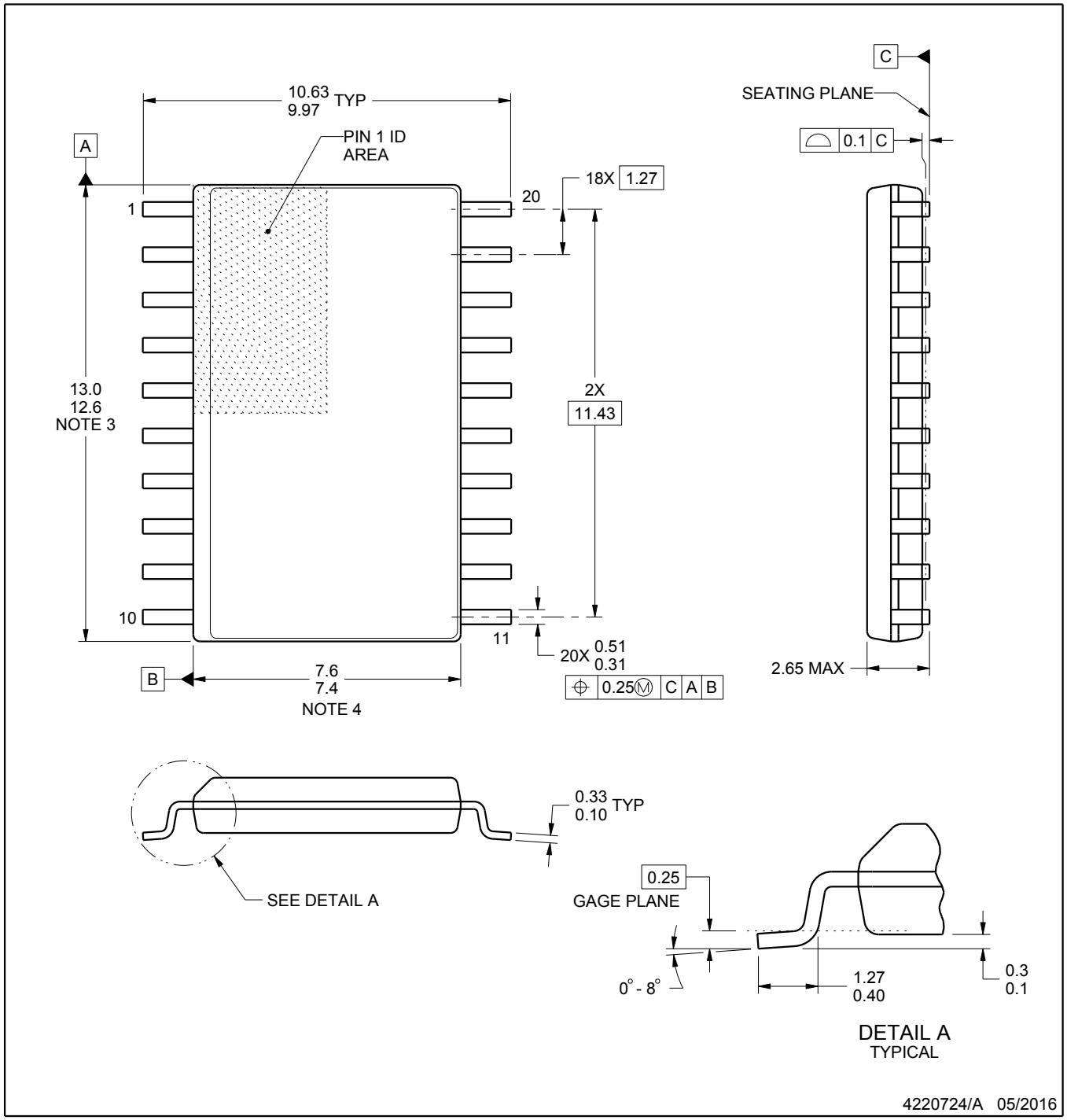


PACKAGE OUTLINE

DW0020A

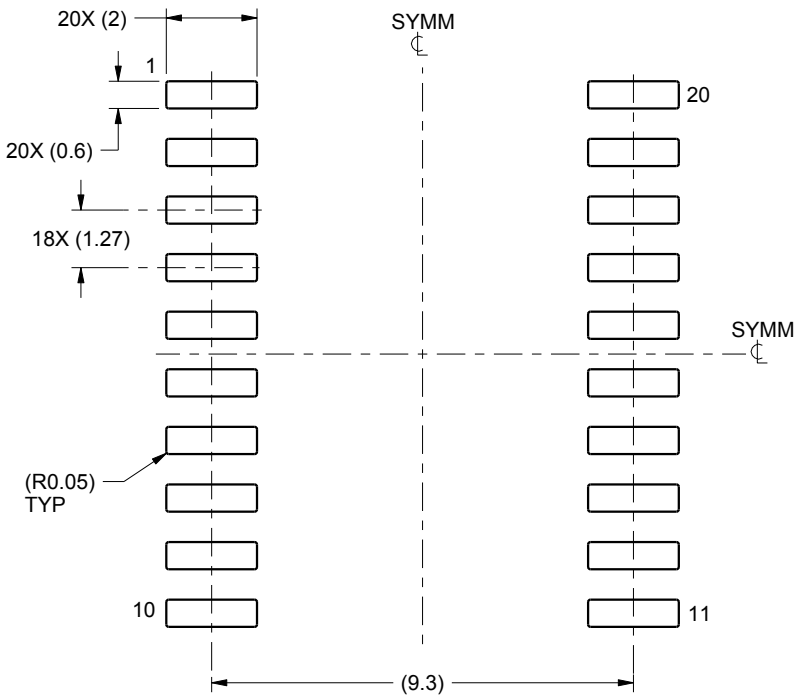
SOIC - 2.65 mm max height

SOIC

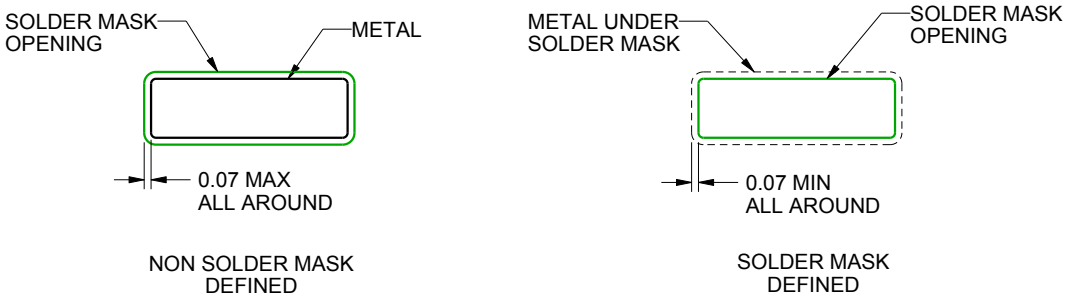


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

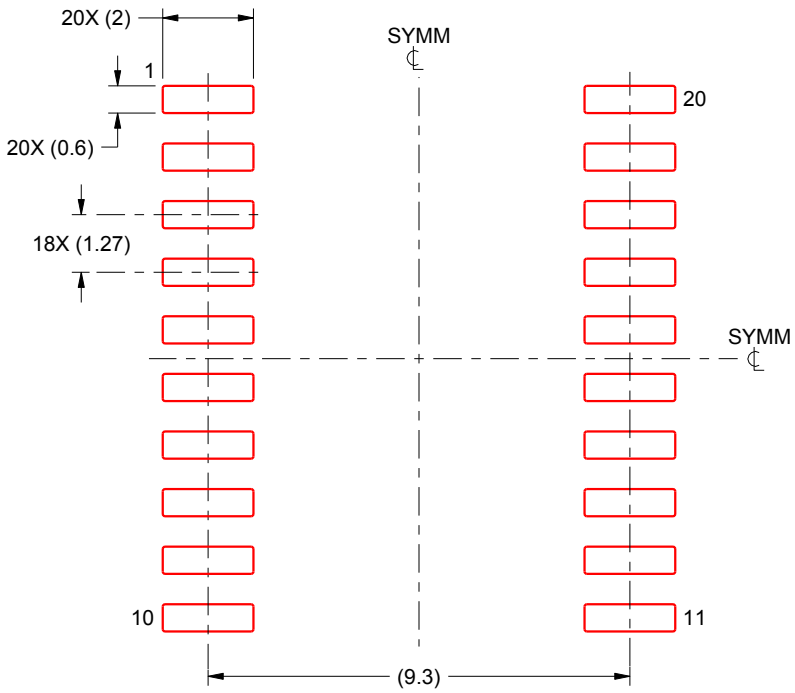


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



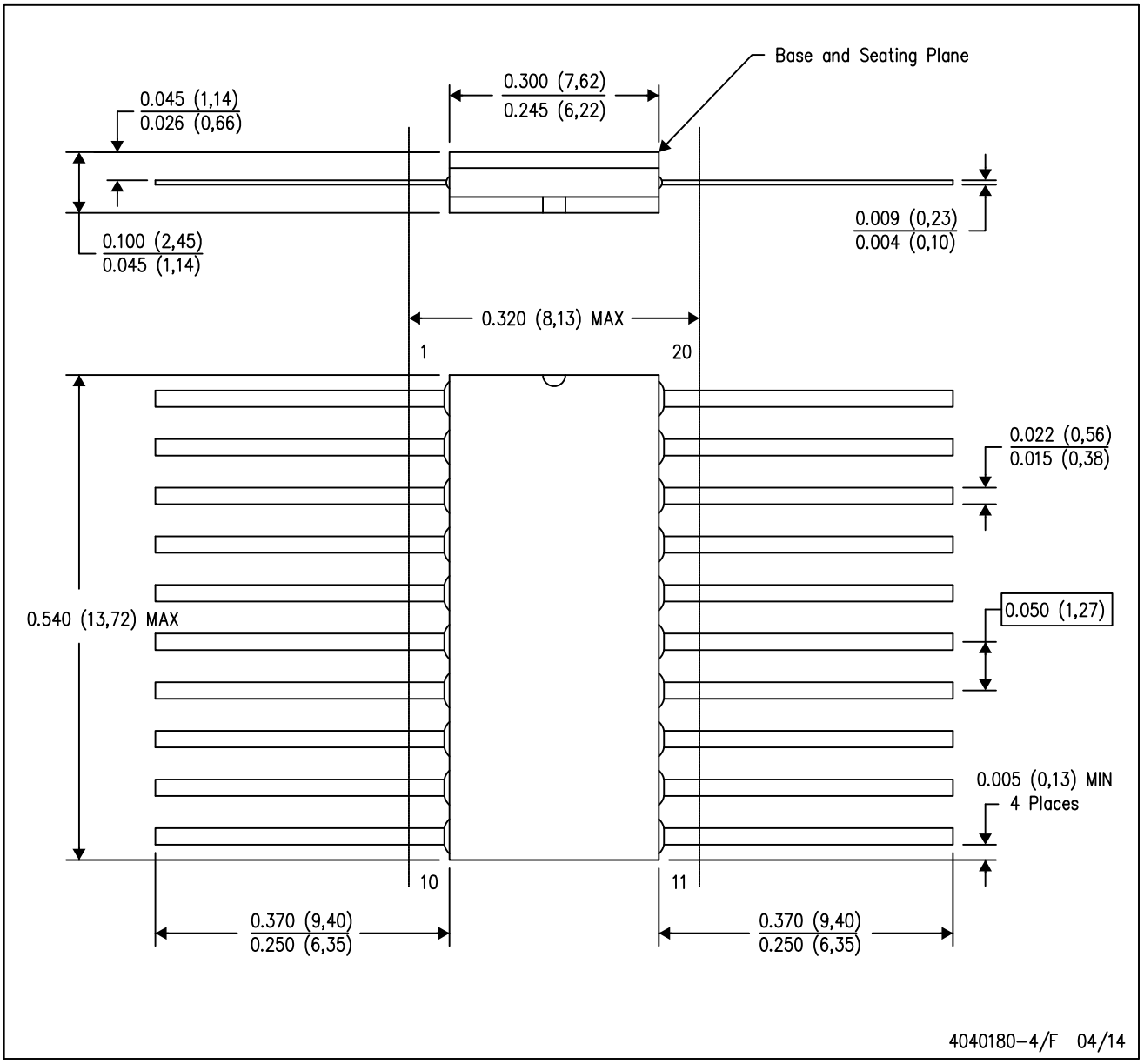
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

W (R–GDFP–F20) CERAMIC DUAL FLATPACK



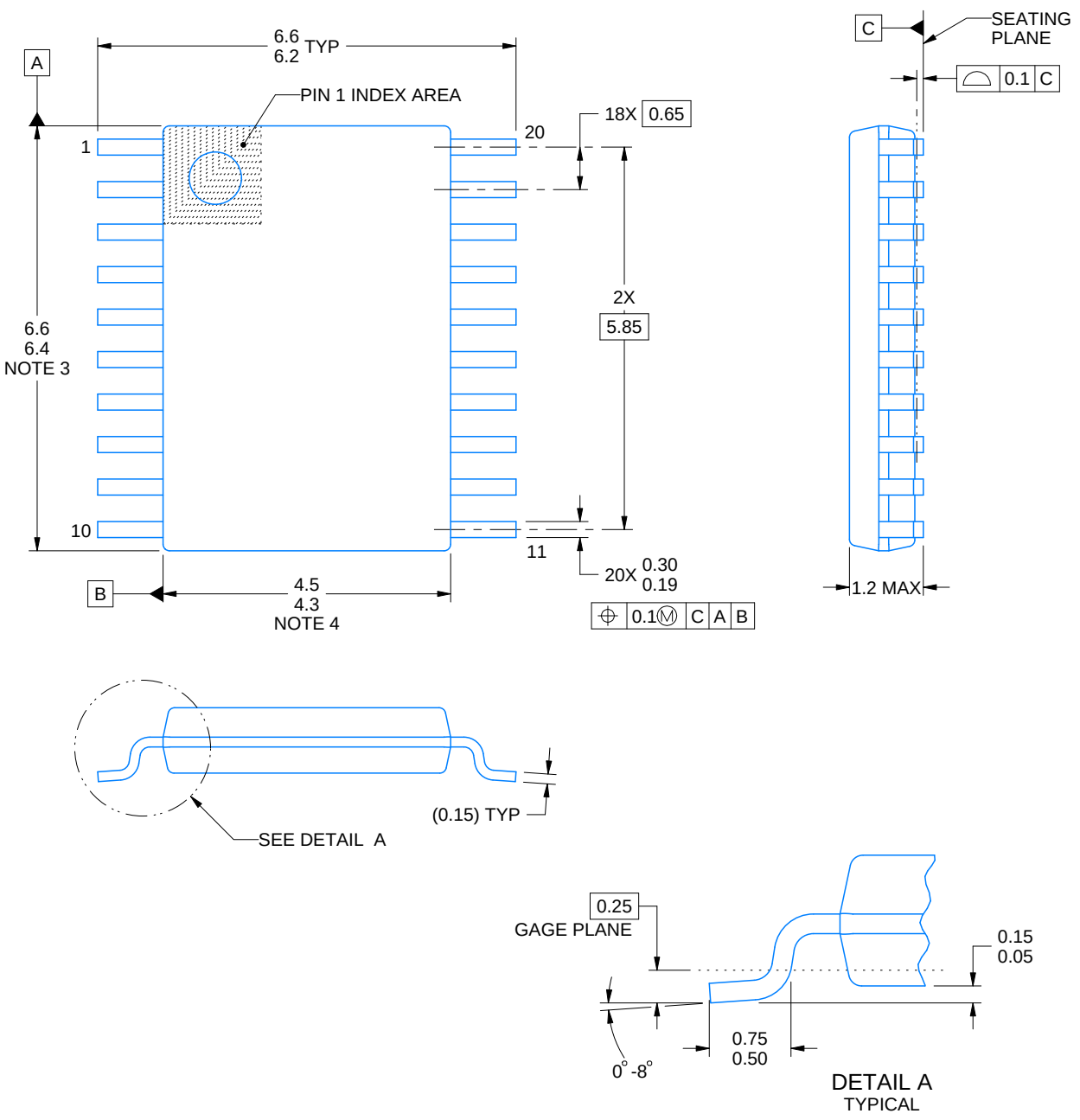
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within Mil–Std 1835 GDFP2–F20

PACKAGE OUTLINE

PW0020A

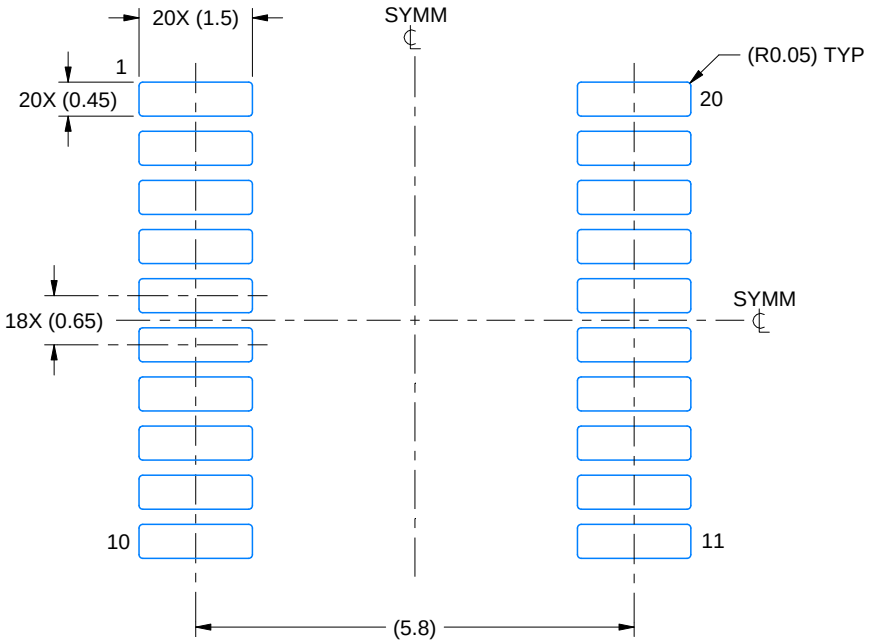
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

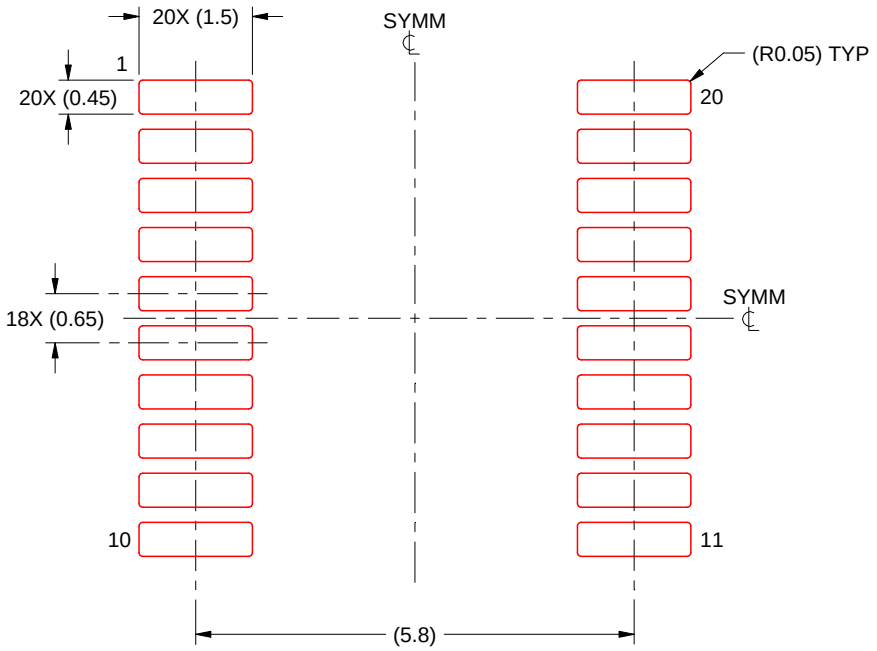


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月