

SNx4HC112 具有清零和预设功能的双路 J-K 负边沿触发式触发器

1 特性

- 2V 至 6V 的宽工作电压范围
- 输出可驱动多达 10 个 LSTTL 负载
- 低功耗， I_{CC} 最大值为 40 μ A
- t_{pd} 典型值 = 13ns
- 5V 时，输出驱动为 ± 4 mA
- 低输入电流，最大值 1 μ A

2 应用

- 服务器
- LED 显示屏
- 网络交换机
- 电信基础设施
- 电机驱动器
- I/O 扩展器

3 说明

SNx4HC112 器件包含两个独立的 J-K 负边沿触发式触发器。预设 ($\overline{PRE}$) 或清零 ($\overline{CLR}$) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 $\overline{PRE}$ 和 $\overline{CLR}$ 处于非有效状态 (高电平) 时，满足设置时间要求的 J 和 K 输入端数据将在时钟 (CLK) 脉冲的负向边沿传输到输出端。时钟触发在一定电压电平下发生，与 CLK 脉冲的下降时间没有直接关系。经过保持时间间隔后，可以更改 J 和 K 输入端的数据而不影响输出端的电平。这些多功能触发器通过将 J 和 K 连接到高电平来作为切换触发器运行。

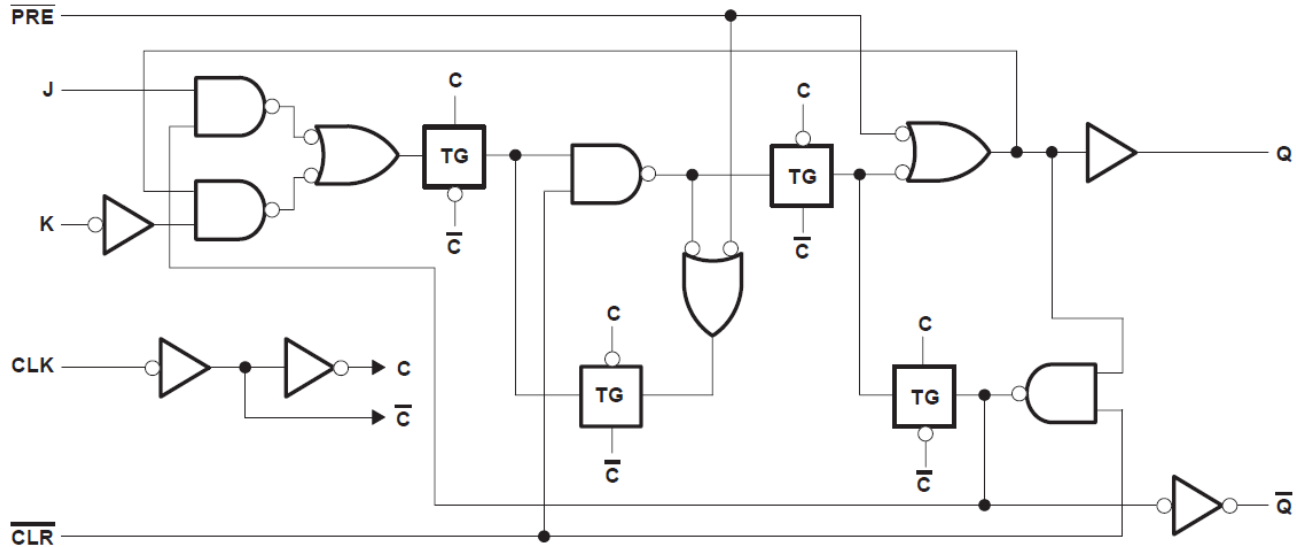
器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 (标称值) ⁽³⁾
SNx4HC112	J (CDIP, 16)	19.56mm × 6.92mm	19.56mm × 6.92mm
	D (SOIC, 16)	9.9mm × 6mm	9.9mm × 3.9mm
	N (PDIP, 16)	19.3mm × 9.4mm	19.3mm × 6.35mm
	FK (LCCC, 20)	8.89mm × 8.89mm	8.89mm × 8.89mm
	W (CFP, 16)	10.3mm × 6.73mm	10.3mm × 6.73mm

(1) 有关更多信息，请参阅节 11

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

(3) 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



功能方框图



内容

1 特性.....	1	7.1 概述.....	7
2 应用.....	1	7.2 功能方框图.....	7
3 说明.....	1	7.3 器件功能模式.....	7
4 引脚配置和功能.....	2	8 应用和实施.....	8
5 规格.....	3	8.1 电源相关建议.....	8
5.1 绝对最大额定值.....	3	8.2 布局.....	8
5.2 建议的工作条件 ⁽²⁾	3	9 器件和文档支持.....	9
5.3 热性能信息.....	4	9.1 接收文档更新通知.....	9
5.4 电气特性.....	4	9.2 支持资源.....	9
5.5 时序要求.....	4	9.3 商标.....	9
5.6 开关特性.....	5	9.4 静电放电警告.....	9
5.7 工作特性.....	5	9.5 术语表.....	9
6 参数测量信息.....	6	10 修订历史记录.....	9
7 详细说明.....	7	11 机械、封装和可订购信息.....	9

4 引脚配置和功能

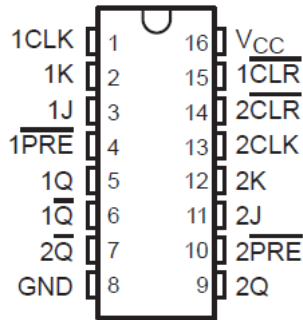
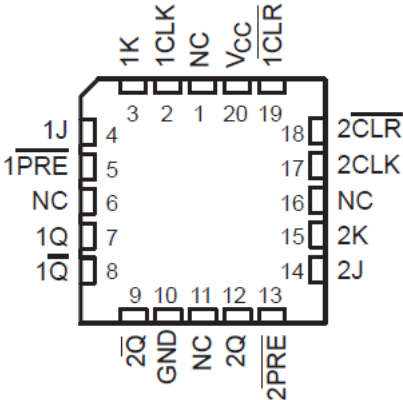


图 4-1. J、D、N、W 封装
16 引脚 CDIP、SOIC、PDIP 和 CFP
俯视图



NC - No internal connection

图 4-2. FK 封装，
20 引脚 LCCC
(顶视图)

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内⁽¹⁾

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
I_{IK}	输入钳位电流 ⁽²⁾	$V_I < 0$ 或 $V_I > V_{CC}$		± 20	mA
I_{OK}	输出钳位电流 ⁽²⁾	$V_O < 0$ 或 $V_O > V_{CC}$		± 20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		± 25	mA
	通过 V_{CC} 或 GND 的持续电流			± 50	mA
T_J	结温			150	°C
T_{stg}	贮存温度范围		-65	150	°C

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些仅为应力等级，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 建议的工作条件⁽²⁾

			SN54HC112			SN74HC112			单位
			最小值	标称值	最大值	最小值	标称值	最大值	
V_{CC}	电源电压		2	5	6	2	5	6	V
V_{IH}	高电平输入电压	$V_{CC} = 2V$	1.5			1.5			V
		$V_{CC} = 4.5V$	3.15			3.15			
		$V_{CC} = 6V$	4.2			4.2			
V_{IL}	低电平输入电压	$V_{CC} = 2V$			0.5			0.5	V
		$V_{CC} = 4.5V$			1.35			1.35	
		$V_{CC} = 6V$			1.8			1.8	
V_I	输入电压		0		V_{CC}	0		V_{CC}	V
V_O	输出电压		0		V_{CC}	0		V_{CC}	V
t_t ⁽¹⁾	输入转换 (上升和下降) 时间	$V_{CC} = 2V$			1000			1000	ns
		$V_{CC} = 4.5V$			500			500	
		$V_{CC} = 6V$			400			400	
T_A	自然通风条件下的工作温度范围		-55		125	-40		85	°C

- (1) 如果此器件用于阈值区域 (从 $V_{ILmax} = 0.5V$ 至 $V_{IHmin} = 1.5V$)，感应接地有可能进入错误状态，导致双时钟。在 $t_t = 1000ns$ 且 $V_{CC} = 2V$ 的输入范围内工作不会损坏器件；但在功能上，在移位、计数或切换操作模式下不能确保 CLK 输入。
- (2) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 **CMOS 输入缓慢或悬空的影响**，文献编号 **SCBA004**。

5.3 热性能信息

热指标		D (SOIC)	N (PDIP)	单位
		16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽¹⁾	117.2	89.1	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	77.2	46.9	°C/W
$R_{\theta JB}$	结至电路板热阻	75.6	47.4	°C/W
ψ_{JT}	结至顶部特征参数	38.1	11.8	°C/W
ψ_{JB}	结至电路板特征参数	75.3	47	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.4 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	测试条件		V_{CC}	$T_A = 25^{\circ}C$			SN54HC112		SN74HC112		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	$V_I = V_{IH}$ 或 V_{IL}	$I_{OH} = -20 \mu A$	2V	1.9	1.998		1.9		1.9		V
			4.5V	4.4	4.499		4.4		4.4		
			6V	5.9	5.999		5.9		5.9		
		$I_{OH} = -4mA$	4.5V	3.98	4.3		3.7		3.84		
			6V	5.48	5.8		5.2		5.34		
V_{OL}	$V_I = V_{IH}$ 或 V_{IL}	$I_{OL} = 20 \mu A$	2V		0.002	0.1	0.1		0.1		V
			4.5V		0.001	0.1	0.1		0.1		
			6V		0.001	0.1	0.1		0.1		
		$I_{OL} = 4mA$	4.5V		0.17	0.26	0.4		0.33		
			6V		0.15	0.26	0.4		0.33		
I_I	$V_I = V_{CC}$ 或 0		6V		± 0.1	± 100	± 1000		± 1000		nA
I_{CC}	$V_I = V_{CC}$ 或 0 ,	$I_O = 0$	6V			4	80		40		μA
C_i			2V 至 6V		3	10	10		10		pF

5.5 时序要求

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

		V_{CC}	$T_A = 25^{\circ}C$		SN54HC112		SN74HC112		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f_{clock}	时钟频率	2V		5		3.4		4	MHz
		4.5V		25		17		20	
		6V		29		20		24	
t_w	脉冲持续时间	$\overline{PRE}$ 或 $\overline{CLR}$ 为低电平	2V	100		150		125	ns
			4.5V	20		30		25	
			6V	17		25		21	
	CLK 高电平或低电平		2V	100		150		125	
			4.5V	20		30		25	
			6V	17		25		21	

5.5 时序要求 (续)

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

			V _{CC}	T _A = 25°C		SN54HC112		SN74HC112		单位
				最小值	最大值	最小值	最大值	最小值	最大值	
t _{su}	CLK ↑ 前的建立时间	数据 (J、K)	2V	100		150		125		ns
			4.5V	20		30		25		
			6V	17		25		21		
		PRE 或 CLR 处于非活动状态	2V	100		150		125		
			4.5V	20		30		25		
			6V	17		25		21		
t _h	保持时间，CLK ↓ 后的数据	2V	0		0		0		ns	
		4.5V	0		0		0			
		6V	0		0		0			

5.6 开关特性

在自然通风条件下的建议工作温度范围内测得, C_L = 50pF (除非另有说明) (请参阅[参数测量信息](#))

参数	从 (输入)	至 (输出)	V _{CC}	T _A = 25°C			SN54HC112		SN74HC112		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f _{max}			2V	5	10		3.4		4		MHz
			4.5V	25	50		17		20		
			6V	29	60		20		24		
t _{pd}	PRE 或 CLR	Q 或 Q̄	2V		54	165		245		205	ns
			4.5V		16	33		49		41	
			6V		13	28		42		35	
	CLK	Q 或 Q̄	2V		56	125		185		155	
			4.5V		16	25		37		31	
			6V		13	21		31		26	
t _t		Q 或 Q̄	2V		29	75		110		95	ns
			4.5V		9	15		22		19	
			6V		8	13		19		16	

5.7 工作特性

T_A = 25°C

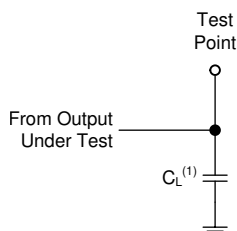
参数		测试条件	典型值	单位
C _{pd}	功率耗散电容	空载	35	pF

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f < 6$ 。

对于时钟输入， $f_{\max}$ 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



(1) C_L 包括探头和测试夹具电容。

图 6-1. 推挽输出的负载电路

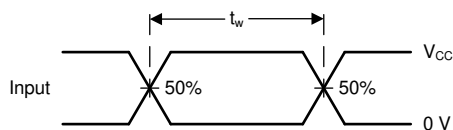


图 6-2. 电压波形，标准 CMOS 输入脉冲持续时间

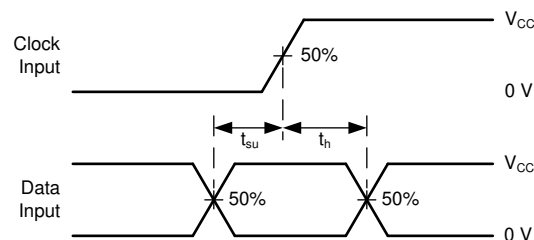
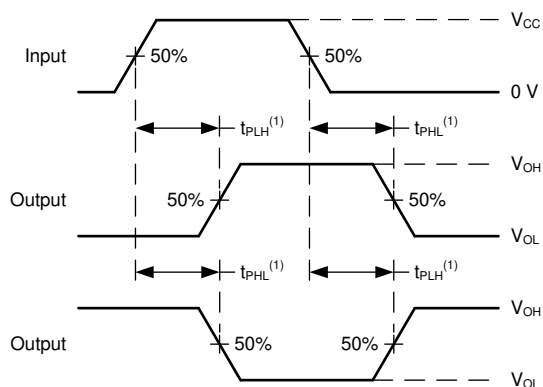
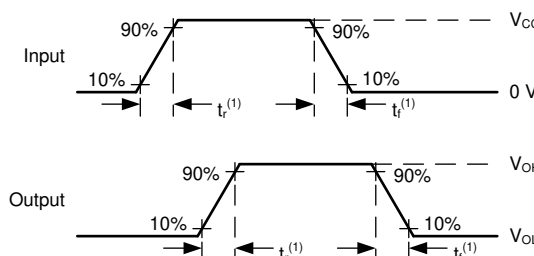


图 6-3. 电压波形，标准 CMOS 输入建立和保持时间



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-4. 电压波形，标准 CMOS 输入的传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

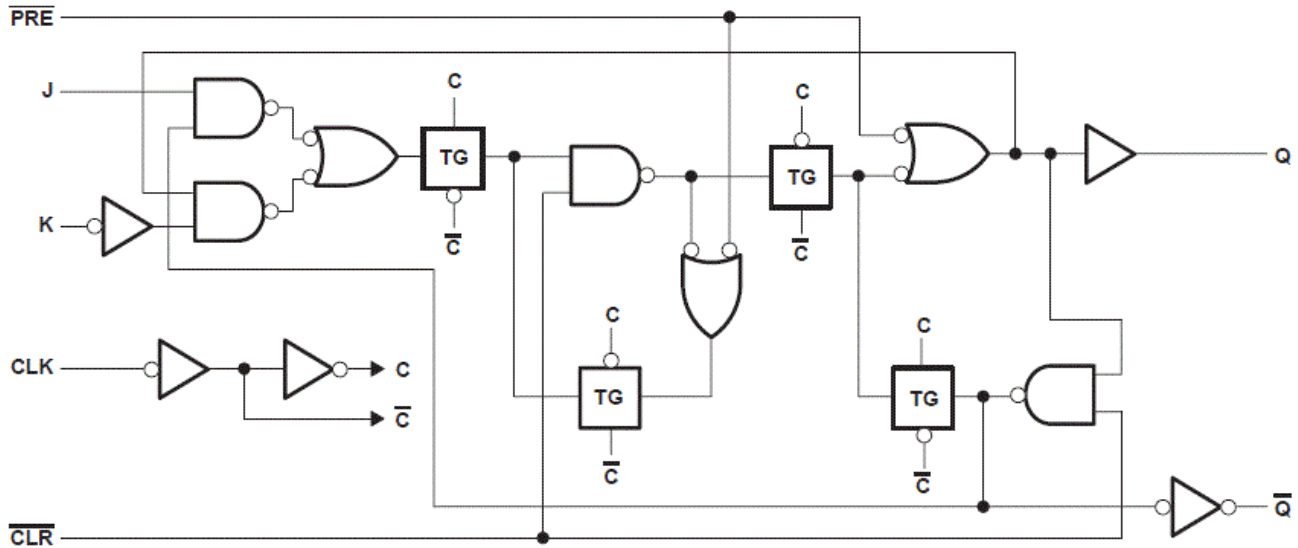
图 6-5. 电压波形，标准 CMOS 输入的输出和输入转换时间

7 详细说明

7.1 概述

SNx4HC112 器件包含两个独立的 J-K 负边沿触发式触发器。预设 ($\overline{\text{PRE}}$) 或清零 ($\overline{\text{CLR}}$) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 $\overline{\text{PRE}}$ 和 $\overline{\text{CLR}}$ 处于非有效状态 (高电平) 时，满足设置时间要求的 J 和 K 输入端数据将在时钟 (CLK) 脉冲的负向边沿传输到输出端。时钟触发在一定电压电平下发生，与 CLK 脉冲的下降时间没有直接关系。经过保持时间间隔后，可以更改 J 和 K 输入端的数据而不影响输出端的电平。这些多功能触发器通过将 J 和 K 连接到高电平来作为切换触发器运行。

7.2 功能方框图



7.3 器件功能模式

表 7-1. 功能表

输入					输出	
PRE	CLR	CLK	J	K	Q	$\overline{\text{Q}}$
L	H	X	X	X	H	H
H	L	X	X	X	L	H
L	L	X	X	X	H ⁽¹⁾	H ⁽¹⁾
H	H	↓	L	L	Q ₀	$\overline{\text{Q}}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	切换	
H	H	H	X	X	Q ₀	$\overline{\text{Q}}_0$

(1) 该配置不稳定；也就是说，当 $\overline{\text{PRE}}$ 或 $\overline{\text{CLR}}$ 恢复到其非活动 (高) 电平时，该配置不会持续存在。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.2 布局

8.2.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能；例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision H (June 2022) to Revision I (September 2024)	Page
• 更新了 器件信息 表以包含封装引线框尺寸和本体尺寸.....	1
• 将 V _{CC} 单位从 mA 更改为 V (绝对最大额定值 部分)	3

Changes from Revision G (February 2022) to Revision H (June 2022)	Page
• 增加了结至环境热阻值。D 原来是 73，现在是 117.2，N 原来是 67，现在是 89.1.....	4

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
84088012A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84088012A SNJ54HC 112FK
8408801EA	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8408801EA SNJ54HC112J
8408801FA	Active	Production	CFP (W) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8408801FA SNJ54HC112W
JM38510/65305BEA	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65305BEA
JM38510/65305BEA.A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65305BEA
M38510/65305BEA	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	JM38510/ 65305BEA
SN54HC112J	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC112J
SN54HC112J.A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	SN54HC112J
SN74HC112D	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 85	HC112
SN74HC112DR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	HC112
SN74HC112DR.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC112
SN74HC112DRG4	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC112
SN74HC112DRG4.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HC112
SN74HC112DT	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 85	HC112
SN74HC112N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC112N
SN74HC112N.A	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HC112N
SNJ54HC112FK	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84088012A SNJ54HC 112FK
SNJ54HC112FK.A	Active	Production	LCCC (FK) 20	55 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	84088012A SNJ54HC 112FK
SNJ54HC112J	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8408801EA SNJ54HC112J

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54HC112J.A	Active	Production	CDIP (J) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8408801EA SNJ54HC112J
SNJ54HC112W	Active	Production	CFP (W) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8408801FA SNJ54HC112W
SNJ54HC112W.A	Active	Production	CFP (W) 16	25 TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	8408801FA SNJ54HC112W

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

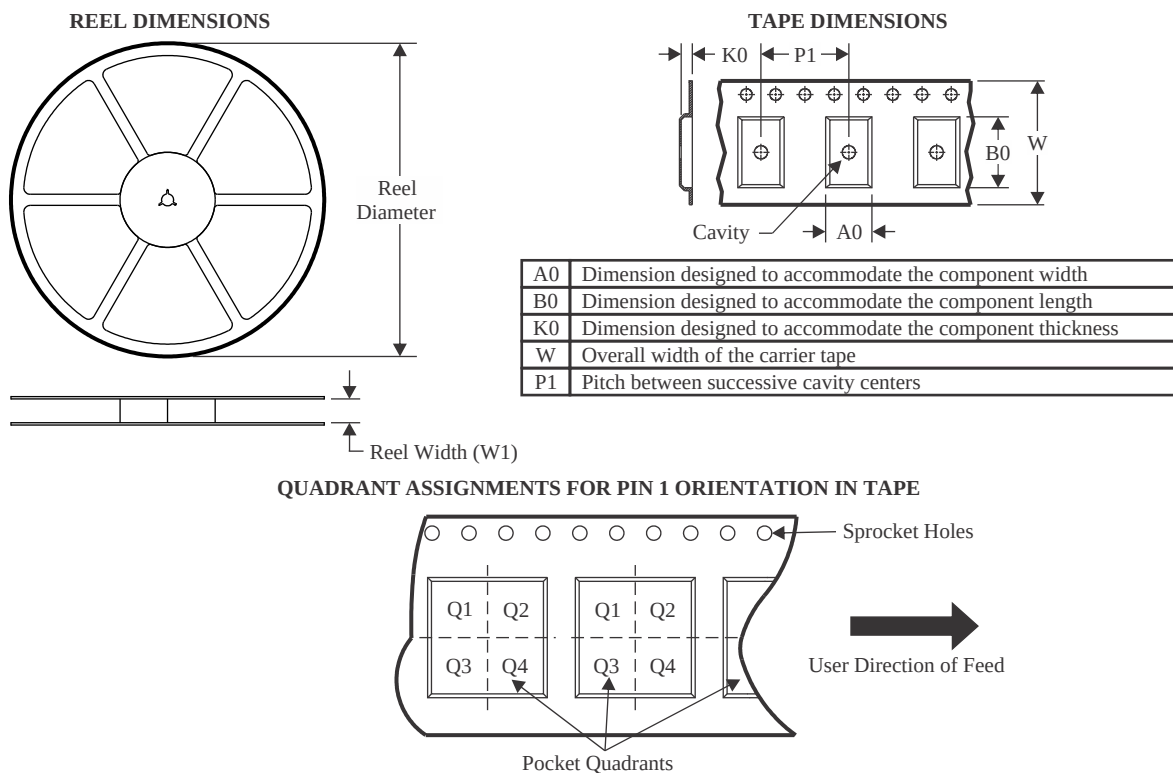
OTHER QUALIFIED VERSIONS OF SN54HC112, SN74HC112 :

- Catalog : [SN74HC112](#)
- Military : [SN54HC112](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

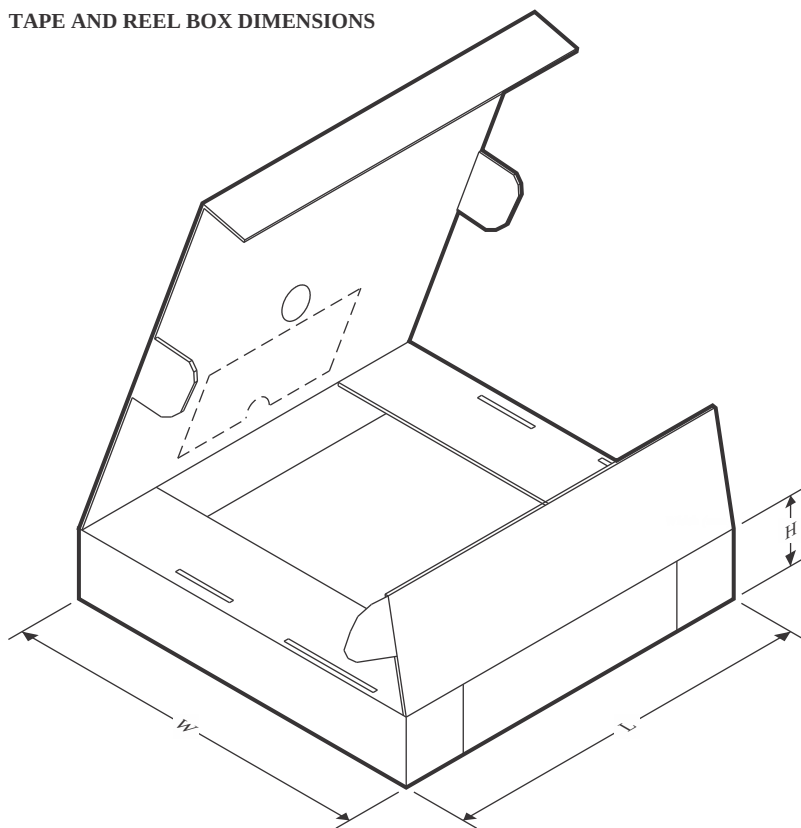
TAPE AND REEL INFORMATION



*All dimensions are nominal

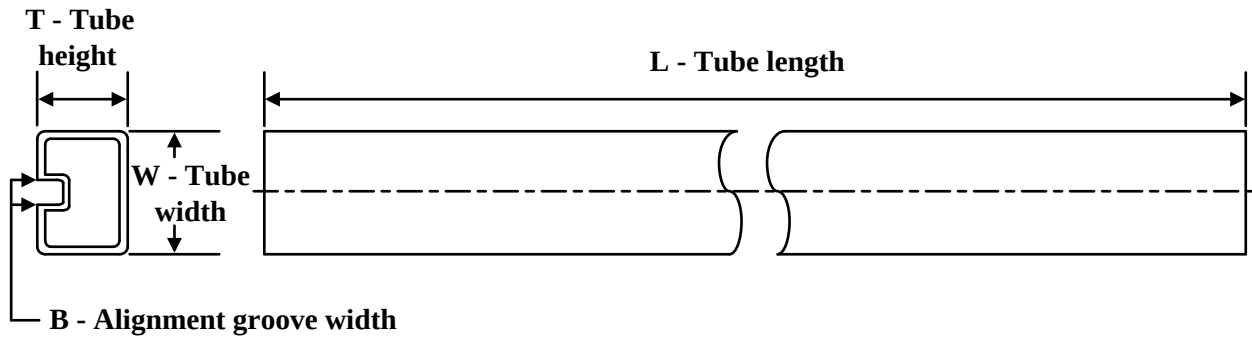
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HC112DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74HC112DRG4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HC112DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74HC112DRG4	SOIC	D	16	2500	353.0	353.0	32.0

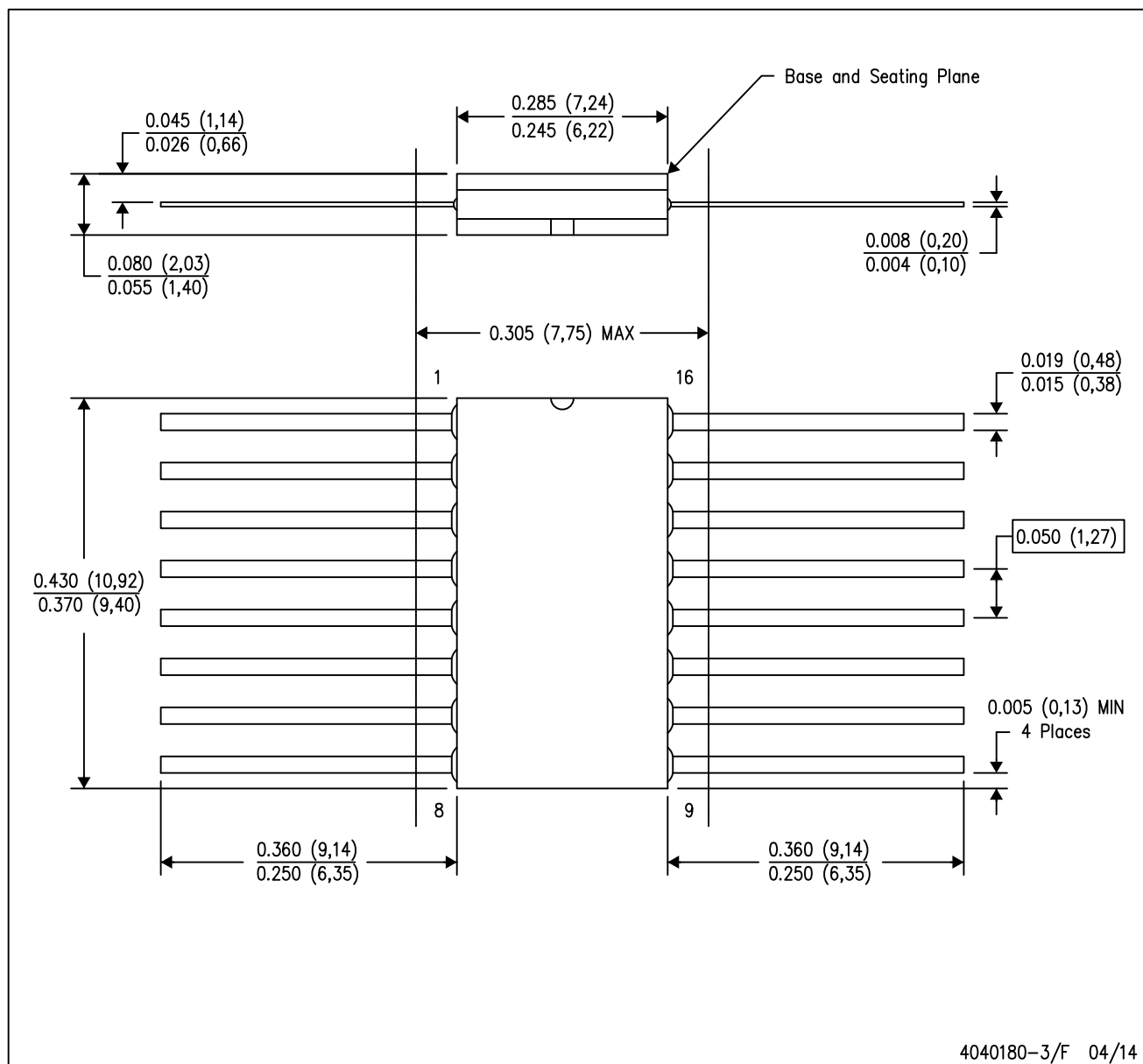
TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
84088012A	FK	LCCC	20	55	506.98	12.06	2030	NA
8408801FA	W	CFP	16	25	506.98	26.16	6220	NA
SN74HC112N	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC112N	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC112N.A	N	PDIP	16	25	506	13.97	11230	4.32
SN74HC112N.A	N	PDIP	16	25	506	13.97	11230	4.32
SNJ54HC112FK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC112FK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54HC112W	W	CFP	16	25	506.98	26.16	6220	NA
SNJ54HC112W.A	W	CFP	16	25	506.98	26.16	6220	NA

W (R-GDFP-F16)

CERAMIC DUAL FLATPACK



- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - This package can be hermetically sealed with a ceramic lid using glass frit.
 - Index point is provided on cap for terminal identification only.
 - Falls within MIL STD 1835 GDFP2-F16

GENERIC PACKAGE VIEW

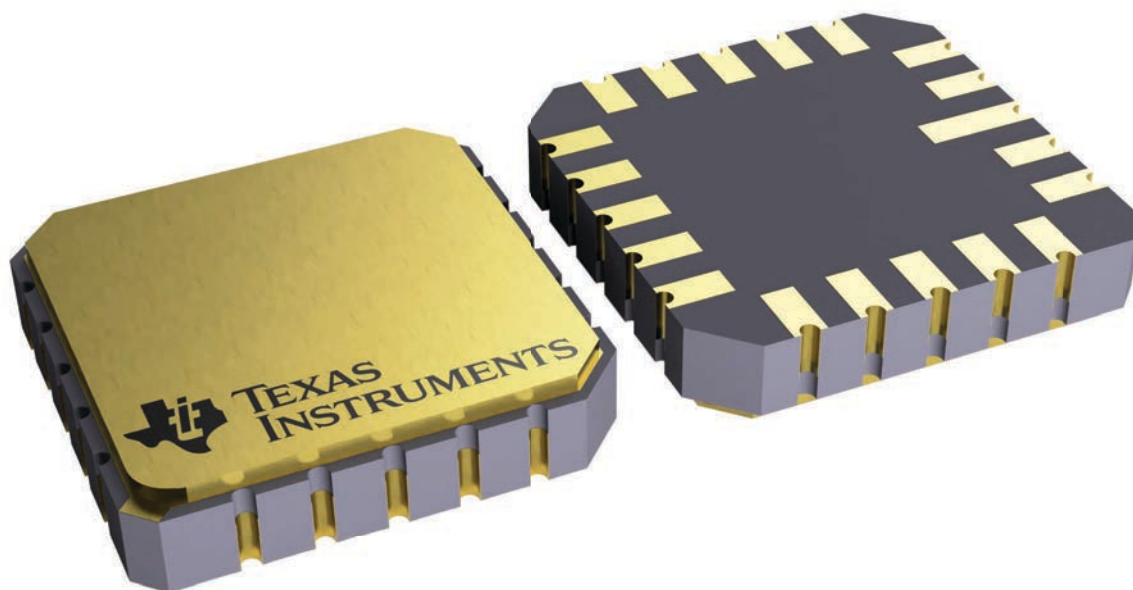
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

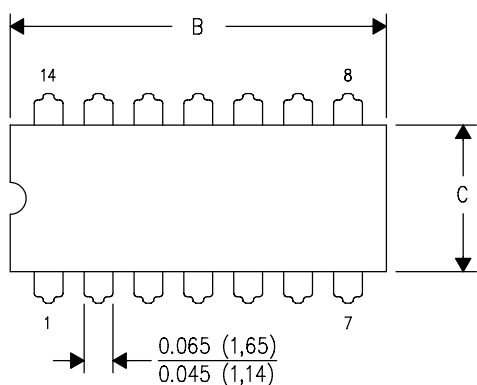


4229370VA\

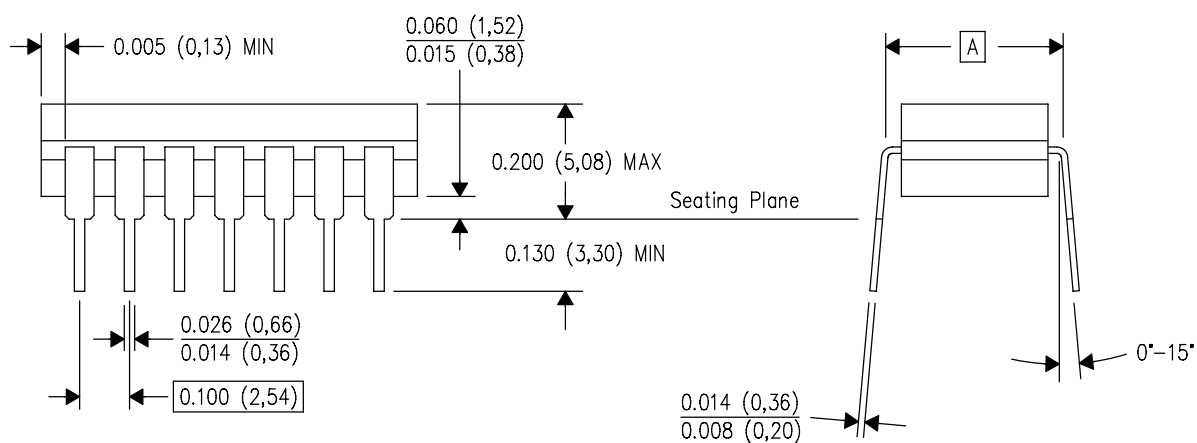
J (R-GDIP-T**)

14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE



PINS ** DIM	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



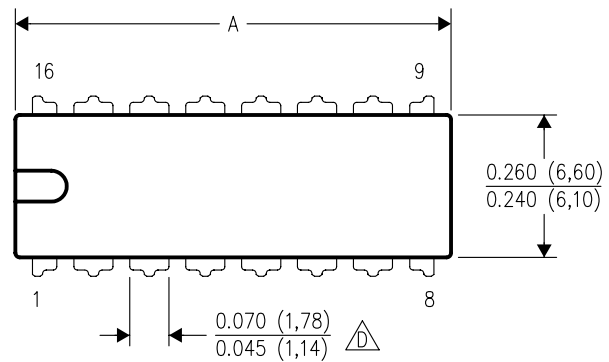
4040083/F 03/03

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

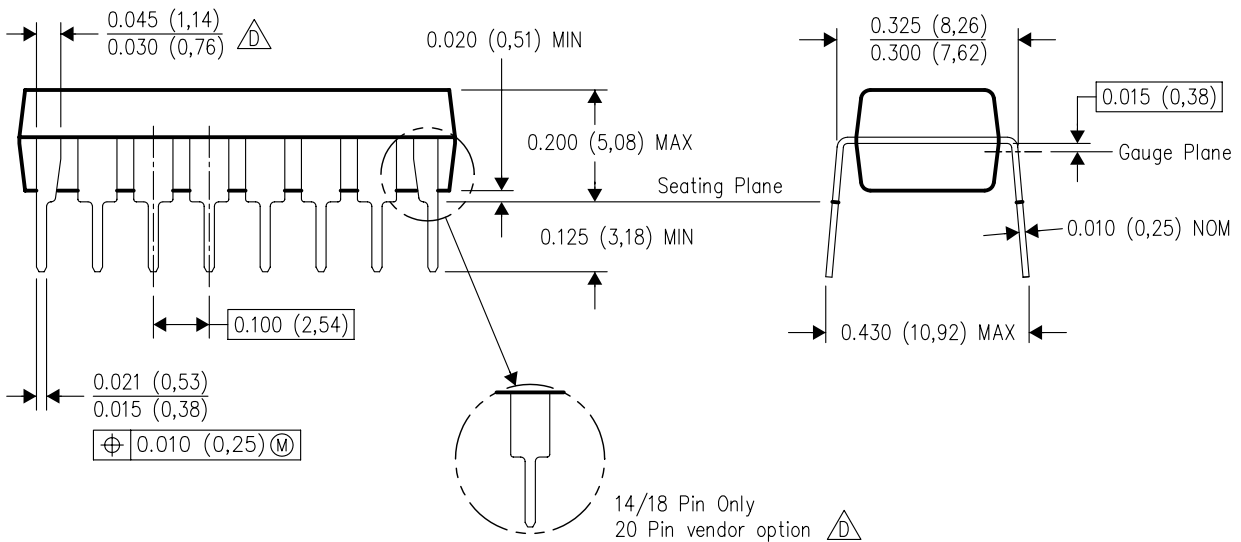
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD

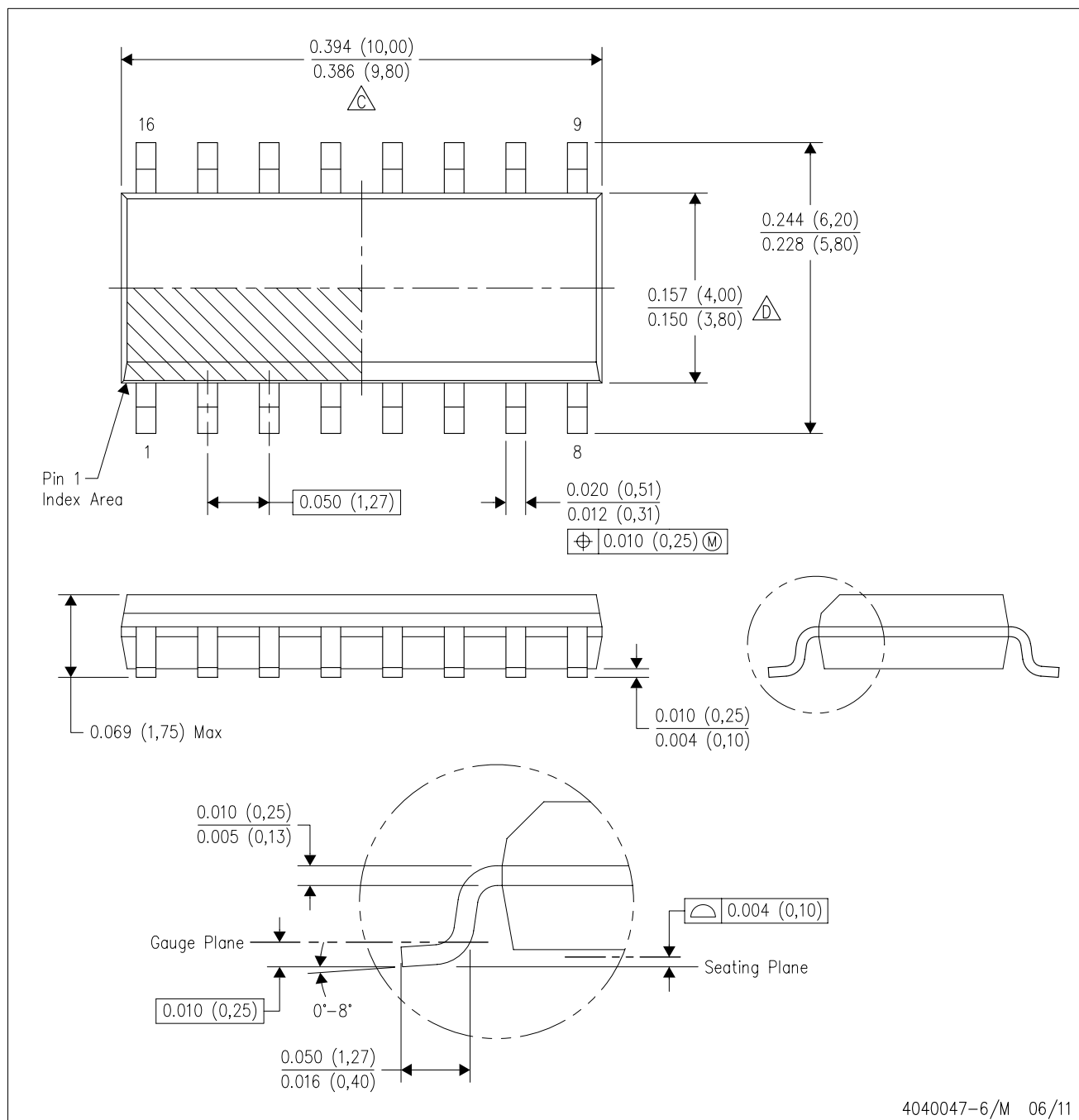


4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



NOTES:

- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS-012 variation AC.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月