SN54AHCT123A, SN74AHCT123A
ZHCSXQ5H – JUNE 1998 – REVISED JANUARY 2025

SNx4AHCT123A 双路可重触发单稳多谐振荡器

1 特性

- 输入兼容 TTL 电压
- $\overline{A}$、B 以及 $\overline{CLR}$ 输入上的施密特触发电路能够实现较低的输入转换速率
- 通过高电平有效或低电平有效的门式逻辑输入进行边缘触发
- 能够重触发，以便获得非常长的输出脉冲
- 能够通过覆盖清零终止输出脉冲
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求

2 说明

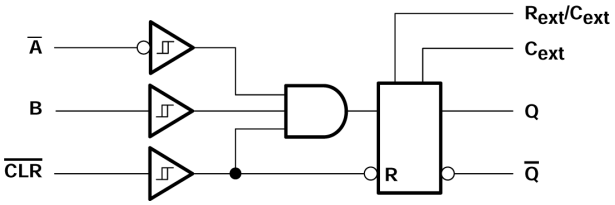
对于该等沿触发式多频振荡器，可通过三种方法控制输出脉冲持续时间。在第一种方法中，$\overline{A}$ 输入为低电平，B 输入为高电平。在第二种方法中，B 输入为高电平，$\overline{A}$ 输入为低电平。第三种方法中，$\overline{A}$ 输入为低电平，B 输入为高电平，清零（$\overline{CLR}$）输入为高电平。

通过选择外部电阻和电容值，可对输出脉冲持续时间进行编程。外部计时电容器必须连接在 C_{ext} 和 R_{ext}/C_{ext}（正极）之间，外部电阻器则必须连接在 R_{ext}/C_{ext} 和 V_{CC} 之间。要实现脉冲持续时间可变，请在 R_{ext}/C_{ext} 和 V_{CC} 之间连接一个可变的外部电阻。此外，还可以通过将 $\overline{CLR}$ 设置为低电平来缩短输出脉冲的持续时间。

器件信息

器件型号	封装(1)	封装尺寸(2)	本体尺寸(3)
SNx4AHCT123A	D（SOIC，16）	9.90mm × 6mm	9.90mm × 3.90mm
	DB（SSOP，16）	6.20mm × 7.8mm	6.20mm × 5.30mm
	DGV（TVSOP，16）	3.6mm × 6.4mm	3.6mm × 4.4mm
	N（PDIP，16）	19.31mm × 9.4mm	19.31mm × 6.35mm
	PW（TSSOP，16）	5.00mm × 6.4mm	5.00mm × 4.40mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 × 宽）为标称值，不包括引脚。



多谐振荡器逻辑图（正逻辑）

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 ESD 等级.....4
4.3 建议运行条件.....4
4.4 热性能信息.....5
4.5 电气特性.....5
4.6 时序要求.....5
4.7 开关特性.....5
4.8 工作特性.....6
4.9 输入/输出时序图.....7
5 参数测量信息.....8
6 详细说明.....9
6.1 概述.....9
6.2 功能方框图.....9
6.3 特性说明.....9
6.4 器件功能模式.....10
7 应用和实施.....11
7.1 应用信息.....11
7.2 电源相关建议.....15
7.3 布局.....15
8 器件和文档支持.....18
8.1 文档支持.....18
8.2 接收文档更新通知.....18
8.3 支持资源.....18
8.4 商标.....18
8.5 静电放电警告.....18
8.6 术语表.....18
9 修订历史记录.....18
10 机械、封装和可订购信息.....18

Copyright © 2025 Texas Instruments Incorporated

3 引脚配置和功能

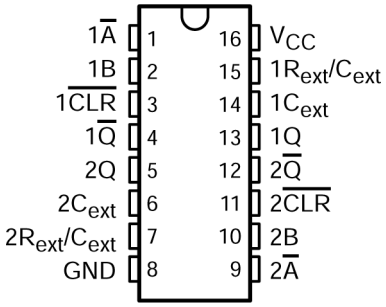
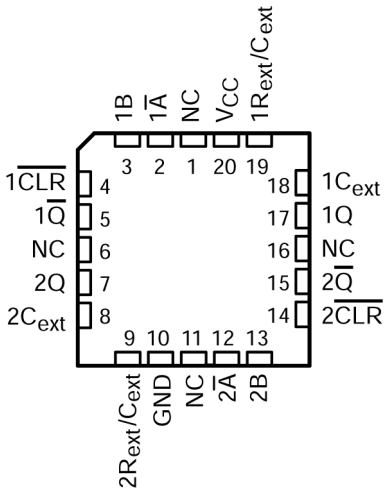


图 3-1. SN54AHCT123A J 或 W 封装；SN74AHCT123A D、DB、DGV、N、NS 或 PW 封装（顶视图）



NC – No internal connection

图 3-2. SN54AHCT123A FK 封装（顶视图）

表 3-1. 引脚功能

引脚		I/O[1]	说明
名称	编号		
1 $\overline{A}$	1	I	当 1B = H 时，通道 1 下降沿触发输入；其他输入方式时，保持低电平
1B	2	I	当 1 $\overline{A}$ = L 时，通道 1 上升沿触发输入；其他输入方式时，保持高电平
1 $\overline{CLR}$	3	I	当 1 $\overline{A}$ = L 并且 1 B = H 时，通道 1 上升沿触发；其他输入方法时，保持高电平；输出期间，可通过驱动低电平的方式，缩短脉冲长度
1 $\overline{Q}$	4	O	通道 1 反相输出
2Q	5	O	通道 2 输出
$2C_{ext}$	6	—	通道 2 外部电容负连接
$2R_{ext}/C_{ext}$	7	—	通道 2 外部电容和电阻器结连接
GND	8	—	接地
2 $\overline{A}$	9	I	当 2B = H 时，通道 2 下降沿触发输入；其他输入方式时，保持低电平
2B	10	I	当 2 $\overline{A}$ = L 时，通道 2 上升沿触发输入；其他输入方式时，保持高电平
2 $\overline{CLR}$	11	I	当 2 $\overline{A}$ = L 并且 2 B = H 时，通道 2 上升沿触发；其他输入方法时，保持高电平；输出期间，可通过驱动低电平的方式，缩短脉冲长度
2 $\overline{Q}$	12	O	通道 2 反相输出
1Q	13	O	通道 1 输出
$1C_{ext}$	14	—	通道 1 外部电容负连接
$1R_{ext}/C_{ext}$	15	—	通道 1 外部电容和电阻器结连接
V_{CC}	16	—	电源

1. I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源

Copyright © 2025 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风温度下测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC} (2)	电源电压范围		-0.5	7	V
V_I (3)	输入电压范围		-0.5	7	V
V_O (2)	输出电压范围		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	(V_I < 0)		-20	mA
I_{OK}	输出钳位电流	(V_O < 0 或 V_O > V_{CC})		±20	mA
I_O	持续输出电流	(V_O = 0 至 V_{CC})		±25	mA
	通过 V_{CC} 或 GND 的持续电流			±50	mA
T_{stg}	贮存温度范围		-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 电压值相对于网络接地端而言。
(3) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风温度下测得（除非另有说明）(1)

		SN54AHCT123A		SN74AHCT123A		单位
		最小值	最大值	最小值	最大值	
V_{CC}	电源电压	4.5	5.5	4.5	5.5	V
V_{IH}	高电平输入电压	2		2		V
V_{IL}	低电平输入电压		0.8		0.8	V
V_I	输入电压	0	5.5	0	5.5	V
V_O	输出电压	0	V_{CC}	0	V_{CC}	V
I_{OH}	高电平输出电流		-8		-8	mA
I_{OL}	低电平输出电流		8		8	mA
R_{ext}	外部时序电阻	1k		1k		Ω
$\Delta t/\Delta V_{CC}$	上电斜率	1		1		ms/V
T_A	自然通风条件下的工作温度范围	-55	125	-40	85	°C

(1) 未使用的 R_{ext}/C_{ext} 端子应保持未连接状态。器件所有未使用的输入端必须保持在 V_{CC} 或 GND 位置，以便确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*，文献编号 SCBA004。

Copyright © 2025 Texas Instruments Incorporated

4.4 热性能信息

热指标(1)		SN74AHCT123A					单位
		D (SOIC)	DB (SSOP)	DGV (TVSOP)	N (PDIP)	PW (TSSOP)	
		16 引脚	16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	73	82	120	67	108	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		测试条件		V_{CC}	T_A = 25°C			SN54AHCT123A		SN74AHCT123A		单位
					最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}		I_{OH} = -50 μA		4.5V	4.4	4.5		4.4		4.4		V
		I_{OH} = -8mA			3.94			3.8		3.8		
V_{OL}		I_{OL} = 50 μA		4.5V			0.1		0.1		0.1	V
		I_{OL} = 8mA					0.36		0.5		0.44	
I_I	R_{ext}/C_{ext} (2)	V_I = V_{CC} 或 GND		5.5V			±0.25		±2.5		±2.5	μA
	$\overline{A}$、B 以及 $\overline{CLR}$	V_I = V_{CC} 或 GND		0V 至 5.5V			±0.1		±1(1)		±1	
I_{CC}	静态	V_I = V_{CC} 或 GND，	I_O = 0	5.5V			4		40		40	μA
I_{CC}	活跃状态（每个电路）	V_I = V_{CC} 或 GND, R_{ext}/C_{ext} = 0.5V_{CC}		5.5V		560	750		975		975	μA
ΔI_{CC} (3)		一个输入电压为 3.4V，其他输入电压为 V_{CC} 或 GND		5.5V			1.35		1.5		1.5	mA
C_i		V_I = V_{CC} 或 GND		5V		1.9	10				10	pF

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试（在 V_{CC} = 0V 时）。
(2) 执行该测试时，端子处于关断状态。
(3) 这是每个输入在一个指定的 TTL 电压电平（而不是 0V 或 VCC）下的电源电流的增加值。

4.6 时序要求

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（参阅负载电路与电压波形）

			测试条件	T_A = 25°C			SN54AHCT123A		SN74AHCT123A		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_w	脉冲持续时间	$\overline{CLR}$		5			5		5		ns
		$\overline{A}$ 或 B 触发		5			5		5		
t_{rr}	脉冲再触发时间		R_{ext} = 1kΩ，C_{ext} = 100pF	(1)	60		(1)		(1)		ns
			R_{ext} = 1kΩ，C_{ext} = 0.01 μF	(1)	1.5		(1)		(1)		μs

(1) 参阅*“应用信息”*部分的重触发数据。

4.7 开关特性

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（参阅负载电路与电压波形）

参数	从（输入）	至（输出）	测试条件	T_A = 25°C			SN54AHCT123A		SN74AHCT123A		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{PLH}	$\overline{A}$ 或 B	Q 或 $\overline{Q}$	C_L = 15pF		5.3(1)	10(1)	1(1)	13(1)	1	11	ns
t_{PHL}					5.3(1)	10(1)	1(1)	13(1)	1	11	

Copyright © 2025 Texas Instruments Incorporated

在自然通风条件下的建议工作温度范围内测得，V_{CC} = 5V ± 0.5V（除非另有说明）（参阅负载电路与电压波形）

参数	从（输入）	至（输出）	测试条件	T_A = 25°C			SN54AHCT123A		SN74AHCT123A		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{PLH}	$\overline{CLR}$	Q 或 $\overline{Q}$	C_L = 15pF		7.7(1)	12(1)	1(1)	15(1)	1	13	ns
t_{PHL}					7.7(1)	12(1)	1(1)	15(1)	1	13	
t_{PLH}	$\overline{CLR}$ 触发	Q 或 $\overline{Q}$	C_L = 15pF		8(1)	13(1)	1(1)	16(1)	1	14	ns
t_{PHL}					8(1)	13(1)	1(1)	16(1)	1	14	
t_{PLH}	$\overline{A}$ 或 B	Q 或 $\overline{Q}$	C_L = 50pF		6.8	11	1	14	1	12	ns
t_{PHL}					6.8	11	1	14	1	12	
t_{PLH}	$\overline{CLR}$	Q 或 $\overline{Q}$	C_L = 50pF		9.2	13	1	16	1	14	ns
t_{PHL}					9.2	13	1	16	1	14	
t_{PLH}	$\overline{CLR}$ 触发	Q 或 $\overline{Q}$	C_L = 50pF		9.5	14	1	17	1	15	ns
t_{PHL}					9.5	14	1	17	1	15	
t_w (2)		Q 或 $\overline{Q}$	C_L = 50pF，C_{ext} = 28pF，R_{ext} = 2kΩ		133	200		240		240	ns
			C_L = 50pF，C_{ext} = 0.01μF，R_{ext} = 10kΩ	90	100	110	90	110	90	110	μs
			C_L = 50pF，C_{ext} = 0.1μF，R_{ext} = 10kΩ	0.9	1	1.1	0.9	1.1	0.9	1.1	ms
Δ_{tw} (3)					±1						%

(1) 对于符合 MIL-PRF-38535 标准的产品，此参数未经量产测试。
(2) t_w = Q 处与 $\overline{Q}$ 输出端的脉冲持续时间
(3) Δ_{tw} = 同一封装内电路之间的输出脉冲持续时间变化（Q 与 $\overline{Q}$）

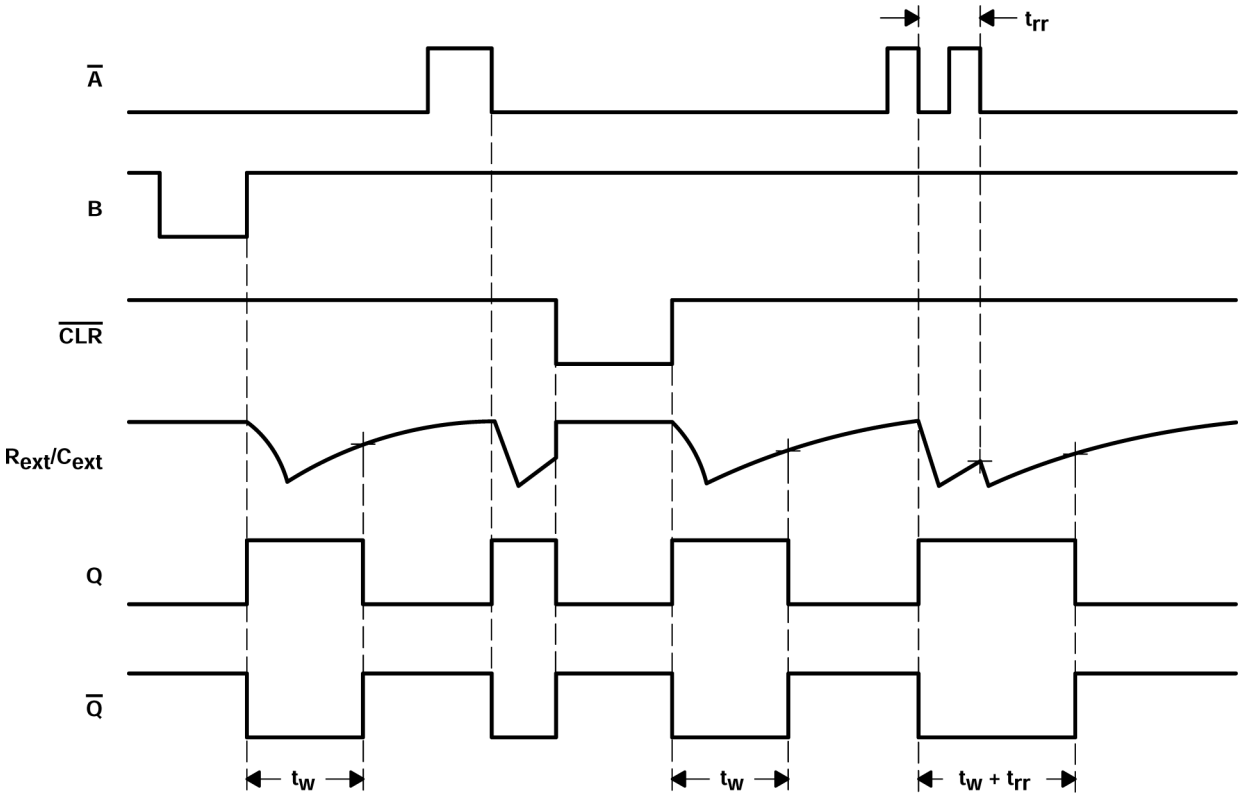
4.8 工作特性

V_{CC} = 5V，T_A = 25°C

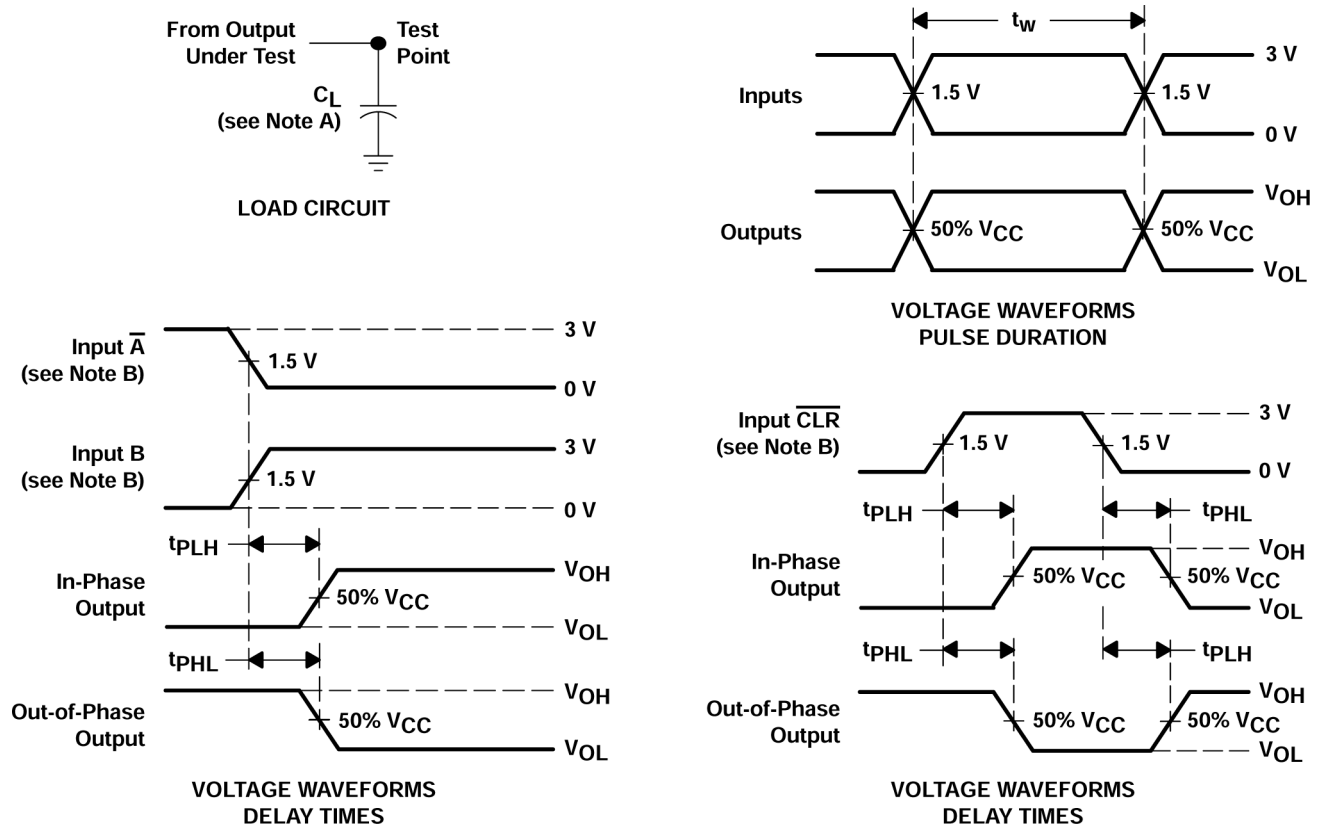
参数		测试条件	典型值	单位
C_{pd}	功率耗散电容	无负载	29	pF

Copyright © 2025 Texas Instruments Incorporated

4.9 输入/输出时序图


t_{rr}
$\overline{A}$
B
$\overline{CLR}$
R_{ext}/C_{ext}
Q
$\overline{Q}$
t_w
t_w
$t_w + t_{rr}$

5 参数测量信息



A. C_L 包括探针和夹具电容。

B. 所有输入脉冲均由具有以下特性的发生器提供：Z_O = 50Ω，t_r 3ns。3ns，t_f

C. 一次测量一个输出，每次测量一个输入转换。

图 5-1. 负载电路和电压波形

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

6.1 概述

脉冲触发在特定的电压电平发生，与输入脉冲的转换时间没有直接关系。输入端 $\overline{A}$、B 以及 $\overline{CLR}$ 上的施密特触发具有充足的迟滞，能够在输出端无抖动触发的情况下处理低输入转换率。

触发后，能够通过重触发门式低电平有效（$\overline{A}$）或高电平有效（B）输入，延长基本脉冲持续时间。将 $\overline{CLR}$ 设置为低电平可缩短脉冲持续时间。$\overline{CLR}$ 输入可用于覆盖输入端 $\overline{A}$ 或 B。输入/输出时序图展示了通过重新触发输入和提前清除操作来控制脉冲的过程。

对于给定的外部定时元件，不同器件的输出脉冲持续时间的差异通常小于 ±0.5%。适用于 AHCT123A 的这一布局示例如 图 7-9 所示。输出脉冲持续时间随电源电压与温度的变化情况如 图 7-5 所示。

上电期间，Q 输出处于低电平状态，但 $\overline{Q}$ 输出处于高电平状态。输出无毛刺脉冲，无需施加复位脉冲。

如需获取有关多谐振荡器的更多应用信息，可参阅应用报告 *《利用 SN74AHC123A 与 SN74AHCT123A 进行设计》*（文献编号：SCLA014）。

6.2 功能方框图

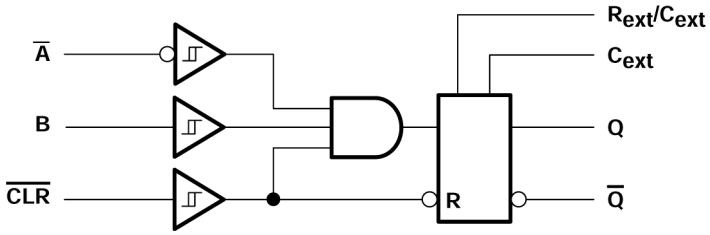


图 6-1. 每个多谐振荡器的逻辑图（正逻辑）

6.3 特性说明

6.3.1 CMOS 施密特触发输入

此器件包括具有施密特触发架构的输入。这些输入为高阻抗，通常建模为从输入到接地的电阻器并与输入电容并联，如 *电气特性* 表中所示。最坏情况下的电阻是根据 *绝对最大额定值* 表中给出的最大输入电压和 *电气特性* 表中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

施密特触发输入架构可提供由 *电气特性* 表中的 ΔV_T 定义的迟滞，因而此器件能够很好地耐受慢速或高噪声输入。虽然输入的驱动速度可能比标准 CMOS 输入慢得多，但仍建议正确端接未使用的输入。用缓慢的转换信号驱动输入会增加器件的动态电流消耗。有关施密特触发输入的更多信息，请参阅 *了解施密特触发*。

6.3.2 TTL 兼容型 CMOS 输入

此器件包括 TTL 兼容型 CMOS 输入。这些输入专门设计为通过降低的输入电压阈值与 TTL 逻辑器件连接。

TTL 兼容型 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

TTL 兼容型 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议的工作条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢变化或悬空的影响* 应用报告。

在运行期间，任何时候都不要让 TTL 兼容型 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

表 6-1. 功能表（每个通道）

输入			输出	
$\overline{CLR}$	$\overline{A}$	B	Q	$\overline{Q}$
L	X	X	L	H
X	H	X	L(1)	H(1)
X	X	L	L(1)	H(1)
H	L	↑	⎍	⎎
H	↓	H	⎍	⎎
↑	L	H	⎍	⎎

(1) 该等输出基于以下假设：输入端 $\overline{A}$ 与输入端 B 指示的稳定状态已持续足够长的时间，以便完成设置前启动的任何脉冲。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

除“建议的运行条件”指明的条件以外，并不表示在该等条件或任何其他条件下，器件能够正常运行。

7.1.1 使用注意事项

为避免噪声导致故障，请在 V_{CC} 与 GND 之间连接一个高频电容，并且尽可能缩短外部元件与 C_{ext} 和 R_{ext}/C_{ext} 端子之间的接线。

7.1.2 断电注意事项

由于电容中存储了大量能量，因此如果 C_{ext} 数值过大，在 AHCT123A 器件断电时，可能会出现问题。包含该器件的系统断电时，电容器可能通过引脚 2 或引脚 14 处的保护二极管，从 V_{CC} 放电。通过输入保护二极管的电流必须限制在 30mA；因此，V_{CC} 电源的关断时间不得短于 $t = V_{CC} \times C_{ext}/30mA$。例如：如果 V_{CC} = 5V，C_{ext} = 15pF，那么 V_{CC} 电源的关断速度不得短于 $t = (5V) \times (15pF)/30mA = 2.5ns$。一般情况下，不会出现这一情况，因为电源经过大量滤波，无法以这种速率放电。如果 V_{CC} 以更快的速度下降至零，很可能导致 AHCT123A 器件损坏。为避免这种可能性，请使用外部箝位二极管。

7.1.3 输出脉冲持续时间

输出脉冲持续时间 t_w 主要取决于外部电容（C_T）与定时电阻（R_T）的数值。定时元件连接情况如图 7-1 所示。

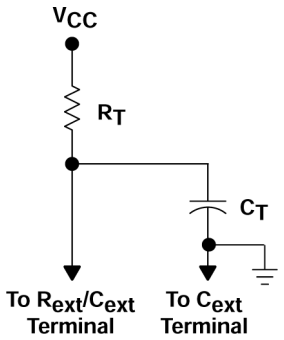


图 7-1. 定时元件连接

脉冲持续时间计算公式如下：

$t_w = K \times R_T \times C_T$ (1)

如果 $C_T \geq 1000pF$，则 K = 1.0 或

如果 $C_T < 1000pF$，则可以通过图 7-4 确定 K

其中：

t_w = 脉冲持续时间（单位：ns）

R_T = 外部定时电阻（单位：kΩ）

C_T = 外部电容（单位：pF）

K = 倍乘因子

等式 1 与图 7-2 可用于确定脉冲持续时间、外部电阻以及外部电容的值。

Copyright © 2025 Texas Instruments Incorporated

7.1.4 重触发数据

最小输入重触发时间（t_{MIR}）是在重新触发输入以前，初始信号以后需要的最短时间。在 t_{MIR} 以后，器件会重新触发输出。实验还表明，要重新触发输出脉冲，相邻两个输入信号之间应相隔 t_{MIR}，其中 $t_{MIR} = 0.30 \times t_w$。重触发脉冲持续时间的计算方式如图 7-2 所示。

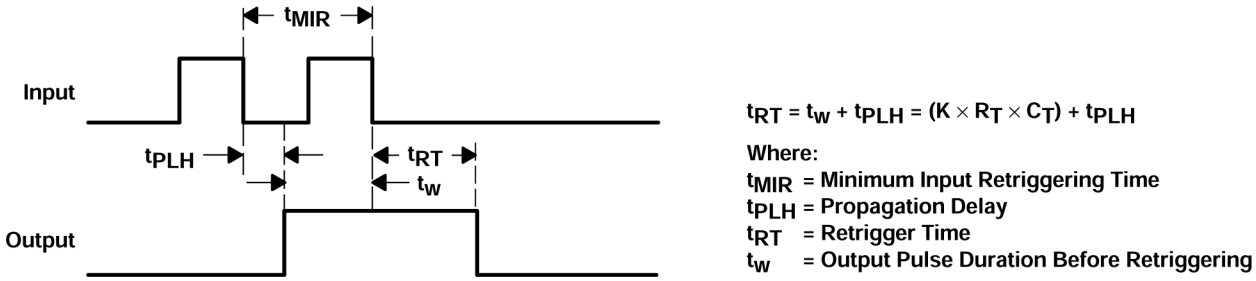


图 7-2. 重触发脉冲持续时间

为确保重触发输出，从输入脉冲结束到重触发输出开始的最小值应约为 15ns（参阅图 7-3）。

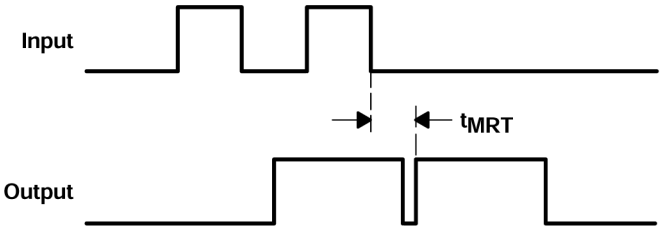


图 7-3. 输入/输出要求

Copyright © 2025 Texas Instruments Incorporated

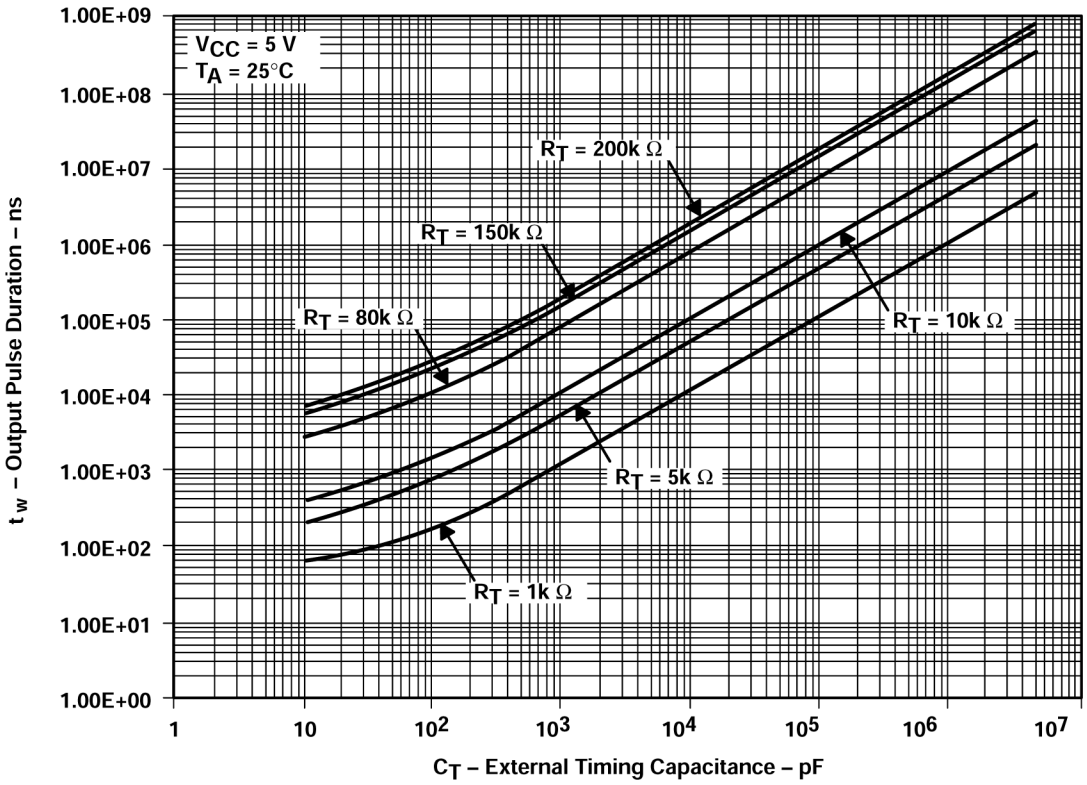


图 7-4. 输出脉冲持续时间与外部定时电容之间的关系

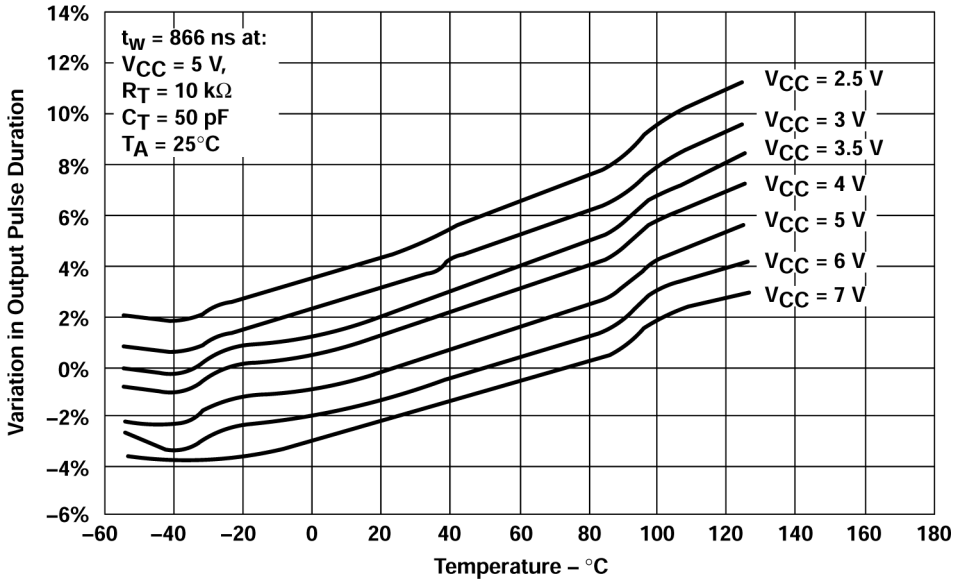


图 7-5. 输出脉冲持续时间与温度之间的关系

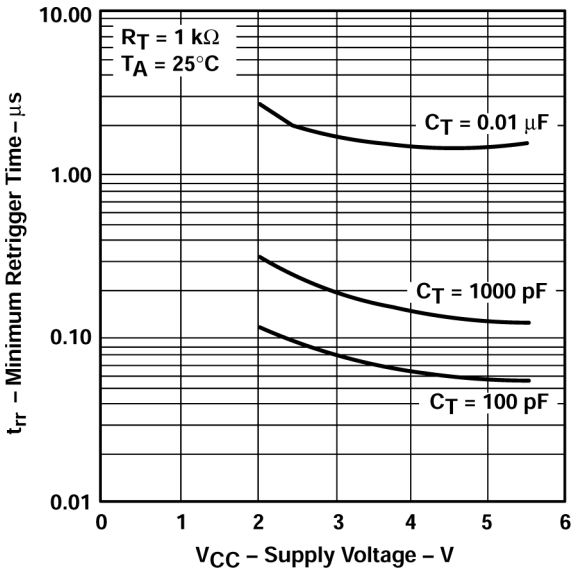


图 7-6. 最短触发时间与 v_{CC} 特性之间的关系

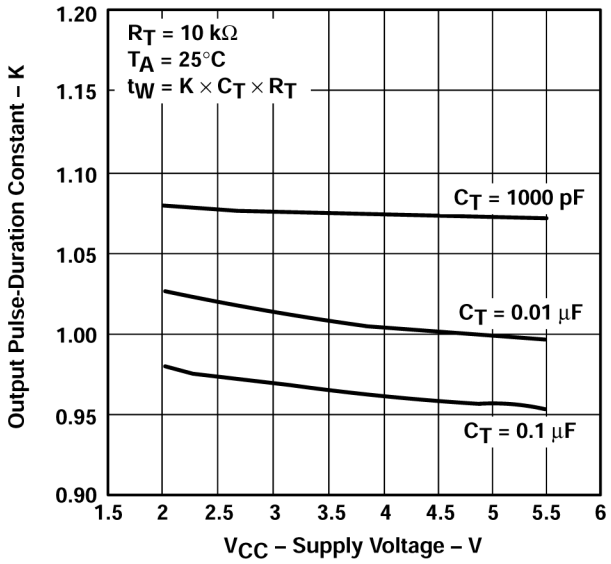


图 7-7. 输出脉冲持续时间常数与电源电压之间的关系

Copyright © 2025 Texas Instruments Incorporated

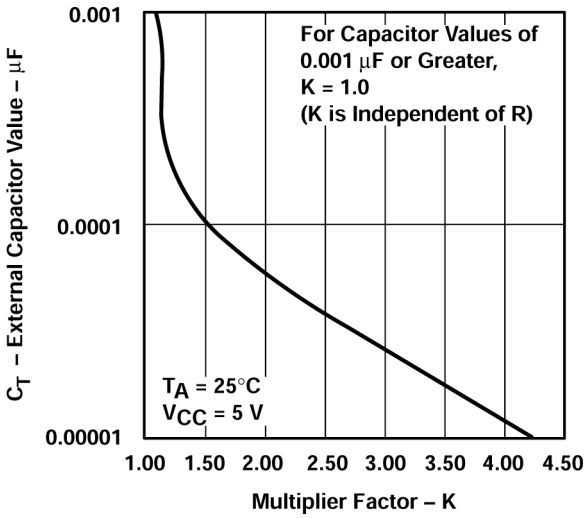


图 7-8. 外部电容与倍乘因子之间的关系

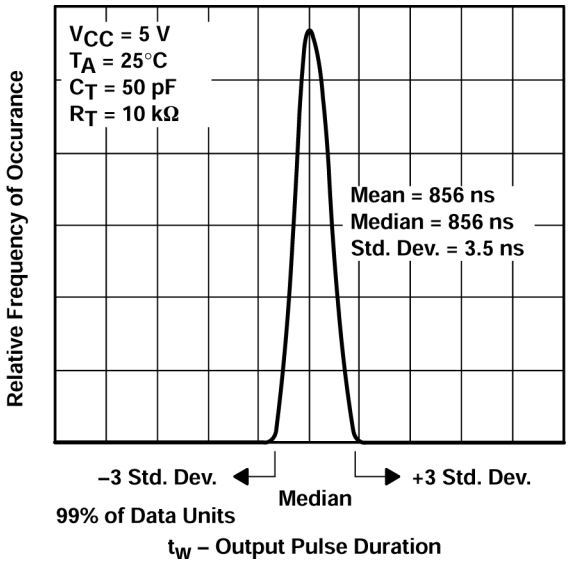


图 7-9. 单位分布与输出脉冲持续时间之间的关系

7.2 电源相关建议

电源可以是*建议运行条件*中所列最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于 SNx4AHCT123A，建议使用 0.1 µF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。值为 0.1 µF 和 1 µF 的电容器通常并联使用。

7.3 布局

7.3.1 布局指南

- 旁路电容器的放置
  - 靠近器件的正电源端子放置
  - 提供电气短接地返回路径
  - 使用宽布线以最大限度减小阻抗
  - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
  - 8mil 至 12mil 布线宽度

Copyright © 2025 Texas Instruments Incorporated

- 布线长度小于 12cm 可最大限度减轻传输线路影响
- 避免信号布线出现 90° 角
- 在信号布线下方使用不间断的接地平面
- 通过接地对信号布线周围的区域进行泛洪填充
- 对于长度超过 12cm 的布线
  - 使用阻抗受控的布线
  - 在输出端附近使用串联阻尼电阻进行源端接
  - 避免分支；对必须单独分支的信号进行缓冲

7.3.2 布局示例

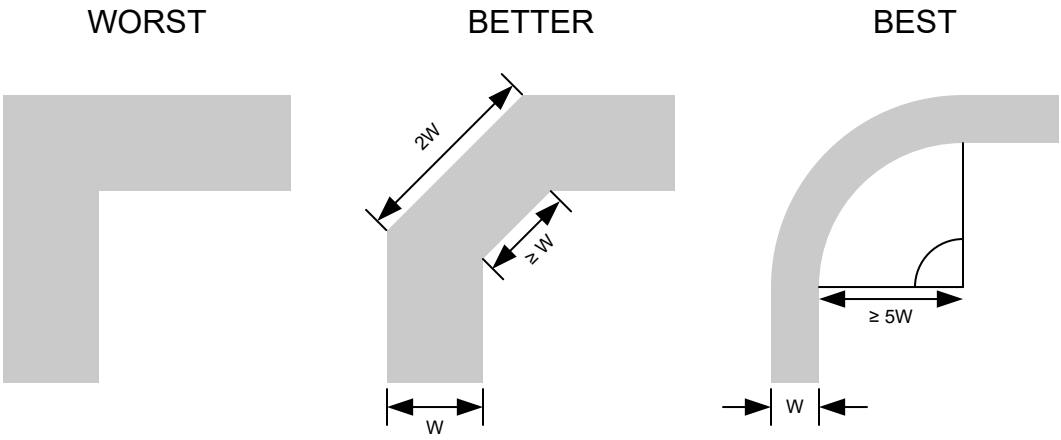


图 7-10. 可改善信号完整性的布线转角示例

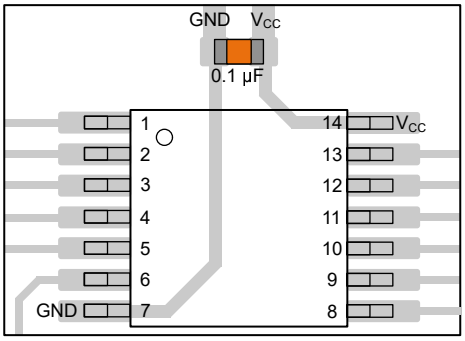


图 7-11. TSSOP 和类似封装的旁路电容器放置示例

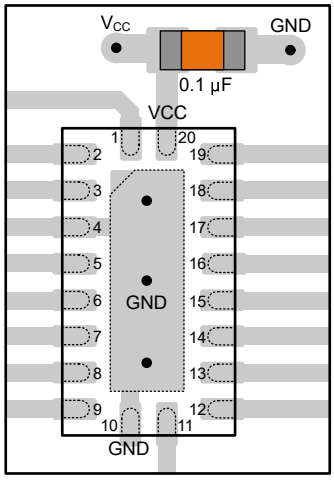


图 7-12. WQFN 和类似封装的旁路电容器放置示例

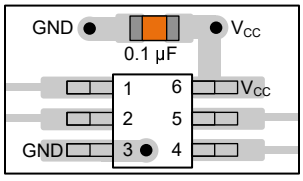


图 7-13. SOT、SC70 和类似封装的旁路电容器放置示例

Copyright © 2025 Texas Instruments Incorporated

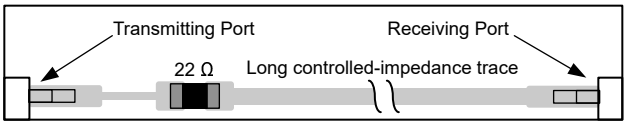


图 7-14. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 C_{pd} 计算* 应用报告
- 德州仪器 (TI)，*使用逻辑器件进行设计* 应用报告
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性* 应用报告

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (April 2003) to Revision H (January 2025)	Page
• 添加了*器件信息* 表、*引脚功能* 表、*ESD 等级* 表、*热性能信息* 表、*器件功能模式*、“应用和实施”部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 删除了整个数据表中对机器放电模型的引用	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962-9861601Q2A	Last Time Buy	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601Q2A SNJ54AHCT123AFK
5962-9861601QEA	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QEA SNJ54AHCT123AJ
5962-9861601QFA	Active	Production	CFP (W) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QFA SNJ54AHCT123AW
SN74AHCT123AD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	AHCT123A
SN74AHCT123ADBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADGVR	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADGVR.A	Active	Production	TVSOP (DGV) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123ADR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT123A
SN74AHCT123ADR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	AHCT123A
SN74AHCT123AN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT123AN
SN74AHCT123AN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74AHCT123AN
SN74AHCT123APWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SN74AHCT123APWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HB123A
SNJ54AHCT123AFK	Last Time Buy	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601Q2A SNJ54AHCT123AFK
SNJ54AHCT123AFK.A	Last Time Buy	Production	LCCC (FK) | 20	55 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601Q2A SNJ54AHCT123AFK
SNJ54AHCT123AJ	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QEA SNJ54AHCT123AJ

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SNJ54AHCT123AJ.A	Active	Production	CDIP (J) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QE A SNJ54AHCT123AJ
SNJ54AHCT123AW	Active	Production	CFP (W) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QF A SNJ54AHCT123AW
SNJ54AHCT123AW.A	Active	Production	CFP (W) | 16	25 | TUBE	No	SNPB	N/A for Pkg Type	-55 to 125	5962-9861601QF A SNJ54AHCT123AW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN54AHCT123A, SN74AHCT123A :

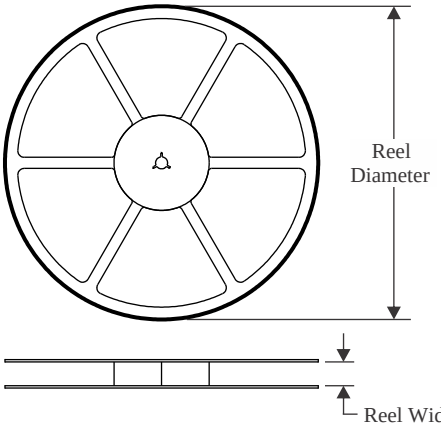
- Catalog : SN74AHCT123A
- Military : SN54AHCT123A

NOTE: Qualified Version Definitions:

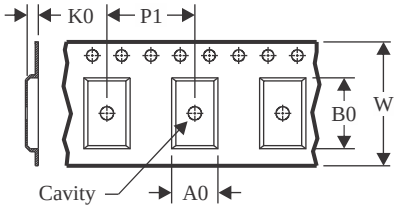
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

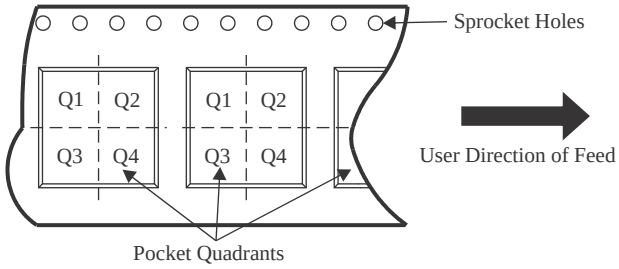


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

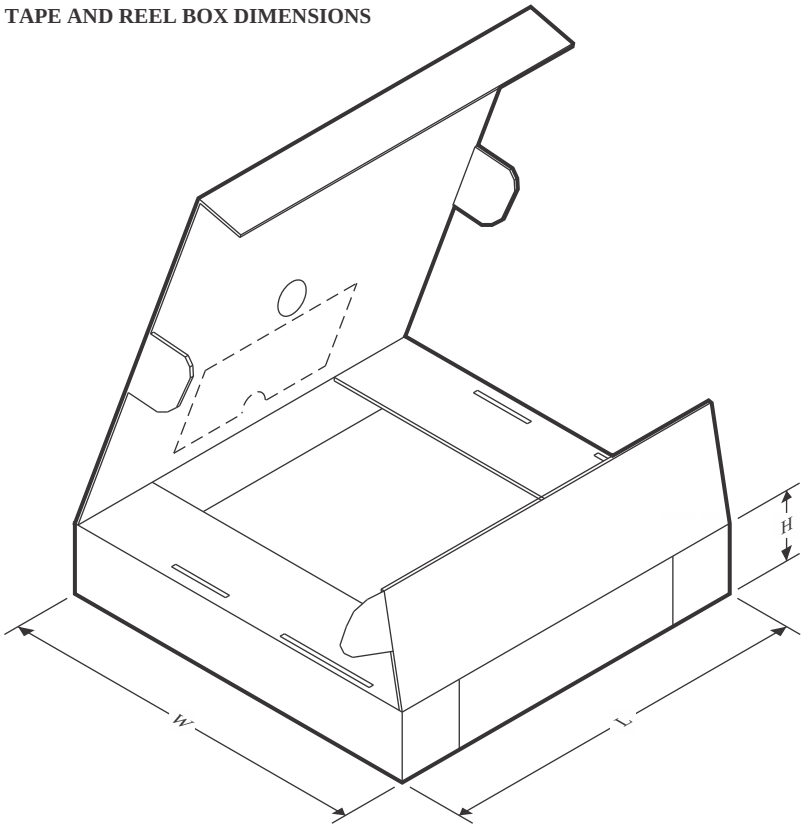
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT123ADBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT123ADGVR	TVSOP	DGV	16	2000	330.0	12.4	6.8	4.0	1.6	8.0	12.0	Q1
SN74AHCT123ADR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74AHCT123APWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

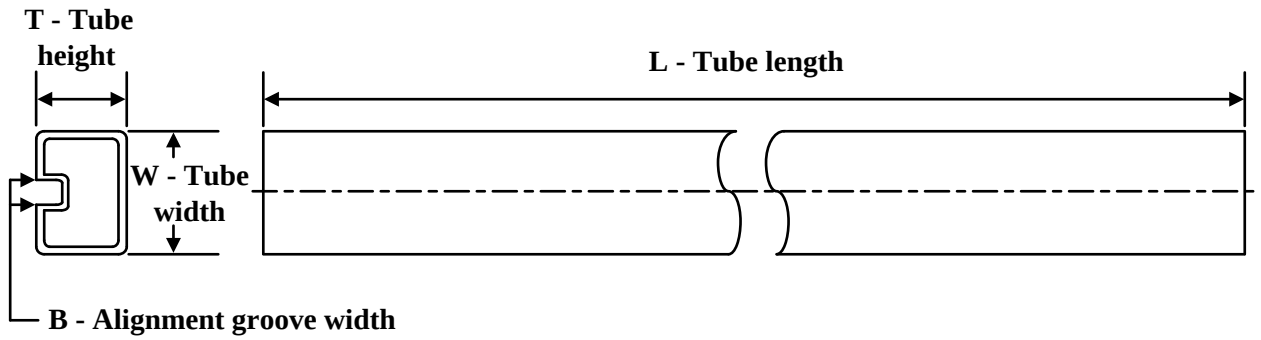
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT123ADBR	SSOP	DB	16	2000	353.0	353.0	32.0
SN74AHCT123ADGVR	TVSOP	DGV	16	2000	353.0	353.0	32.0
SN74AHCT123ADR	SOIC	D	16	2500	353.0	353.0	32.0
SN74AHCT123APWR	TSSOP	PW	16	2000	353.0	353.0	32.0

TUBE

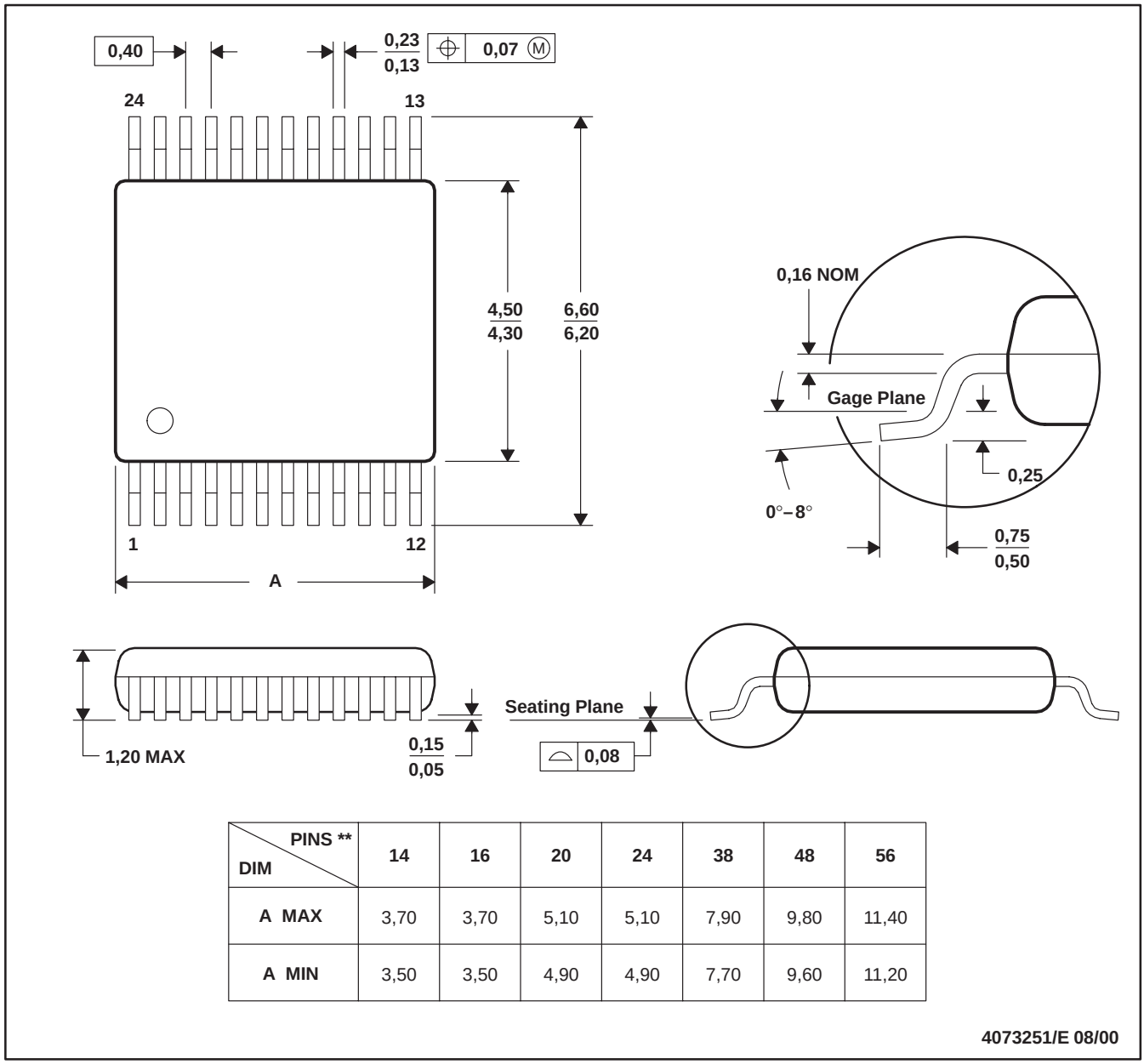


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
5962-9861601Q2A	FK	LCCC	20	55	506.98	12.06	2030	NA
5962-9861601QFA	W	CFP	16	25	506.98	26.16	6220	NA
SN74AHCT123AN	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT123AN.A	N	PDIP	16	25	506	13.97	11230	4.32
SNJ54AHCT123AFK	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT123AFK.A	FK	LCCC	20	55	506.98	12.06	2030	NA
SNJ54AHCT123AW	W	CFP	16	25	506.98	26.16	6220	NA
SNJ54AHCT123AW.A	W	CFP	16	25	506.98	26.16	6220	NA

DGV (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

24 PINS SHOWN

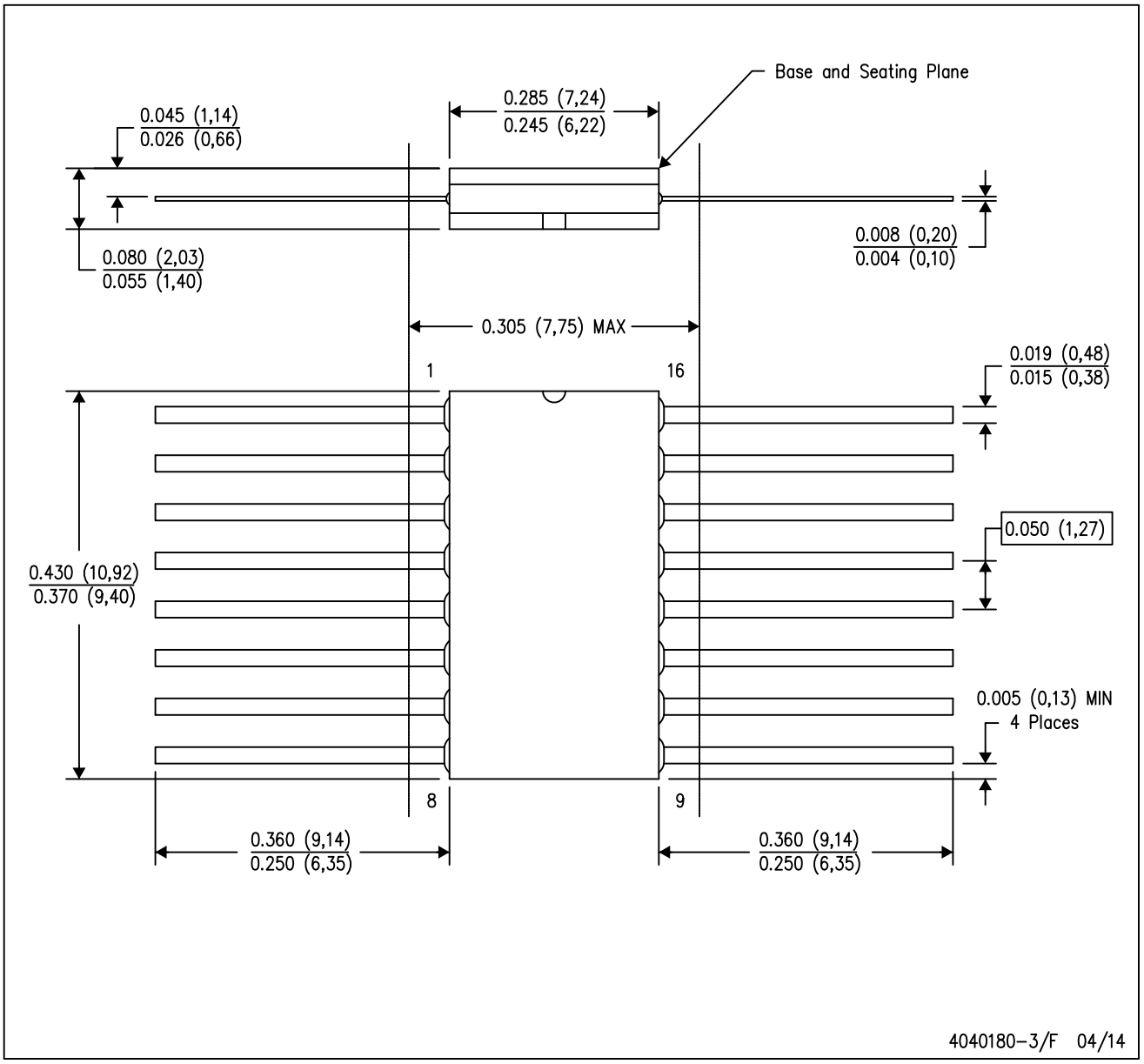


DIM \ PINS **	14	16	20	24	38	48	56
A MAX	3,70	3,70	5,10	5,10	7,90	9,80	11,40
A MIN	3,50	3,50	4,90	4,90	7,70	9,60	11,20

4073251/E 08/00

NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15 per side.
D. Falls within JEDEC: 24/48 Pins – MO-153
14/16/20/56 Pins – MO-194

W (R–GDFP–F16) CERAMIC DUAL FLATPACK



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package can be hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only.
E. Falls within MIL STD 1835 GDFP2–F16

GENERIC PACKAGE VIEW

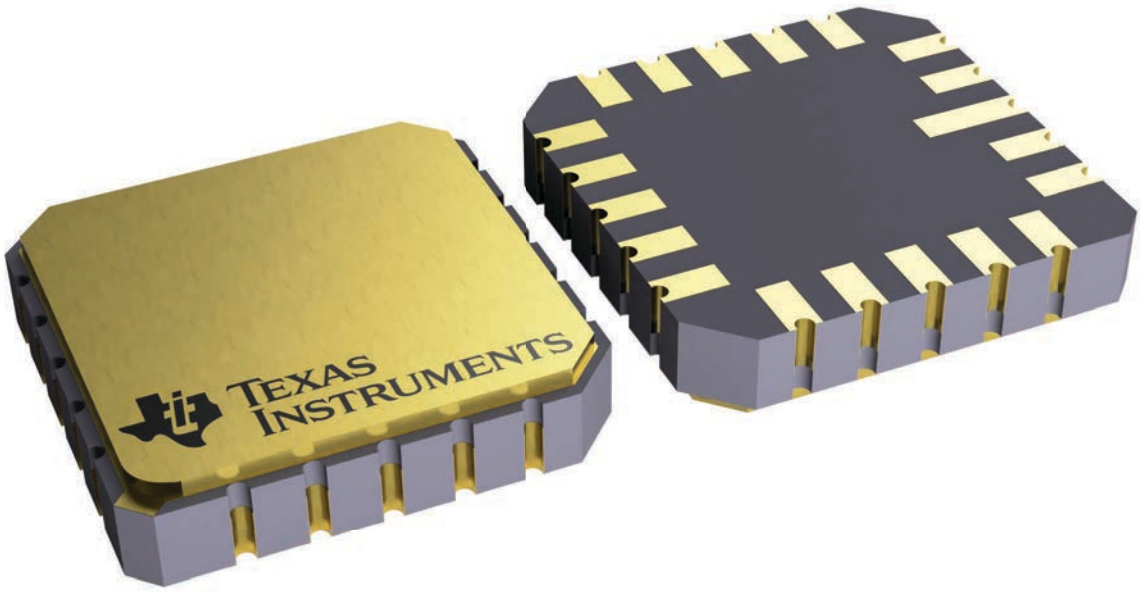
FK 20

LCCC - 2.03 mm max height

8.89 x 8.89, 1.27 mm pitch

LEADLESS CERAMIC CHIP CARRIER

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

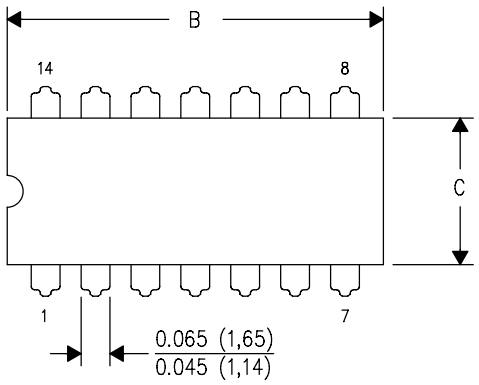


4229370VA\

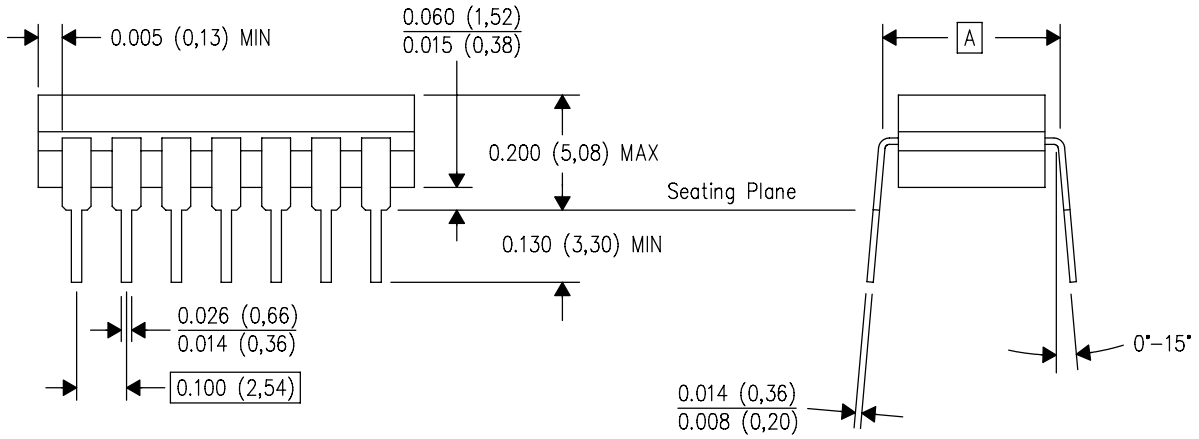
J (R–GDIP–T**)

14 LEADS SHOWN

CERAMIC DUAL IN–LINE PACKAGE



DIM \ PINS **	14	16	18	20
A	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC	0.300 (7,62) BSC
B MAX	0.785 (19,94)	.840 (21,34)	0.960 (24,38)	1.060 (26,92)
B MIN	—	—	—	—
C MAX	0.300 (7,62)	0.300 (7,62)	0.310 (7,87)	0.300 (7,62)
C MIN	0.245 (6,22)	0.245 (6,22)	0.220 (5,59)	0.245 (6,22)



4040083/F 03/03

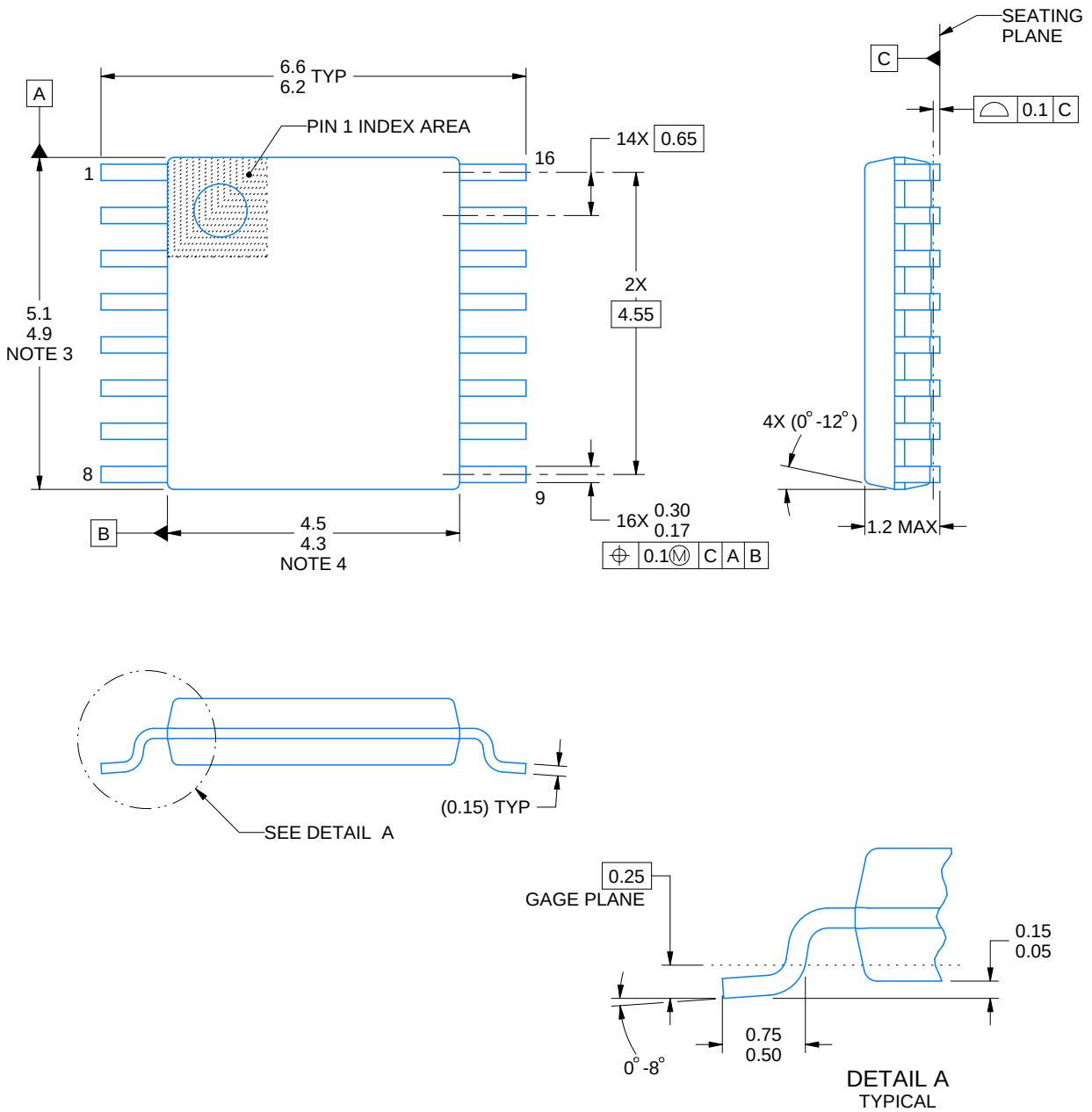
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. This package is hermetically sealed with a ceramic lid using glass frit.
D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
E. Falls within MIL STD 1835 GDIP1–T14, GDIP1–T16, GDIP1–T18 and GDIP1–T20.

PACKAGE OUTLINE

PW0016A

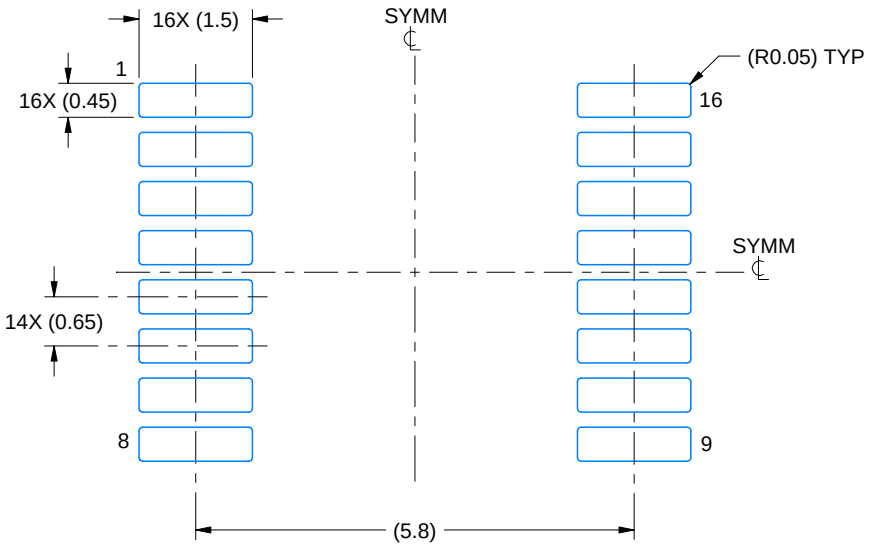
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

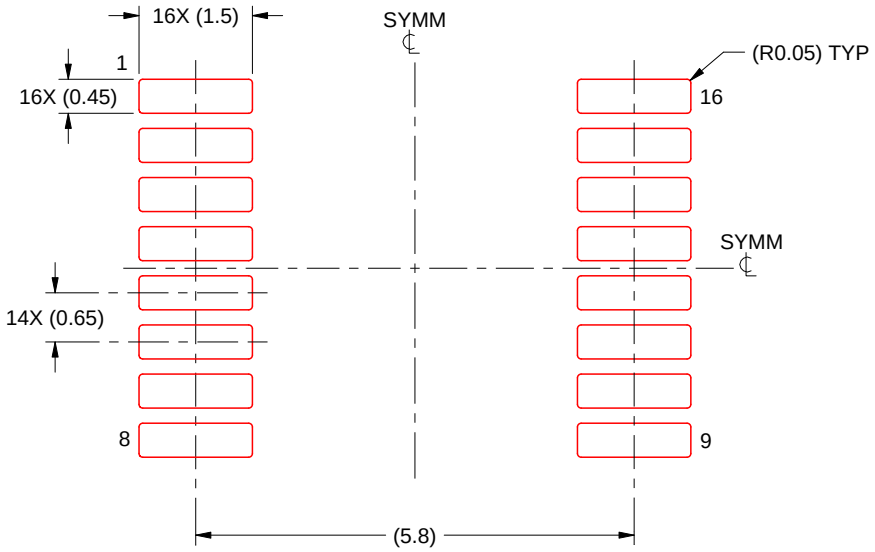


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

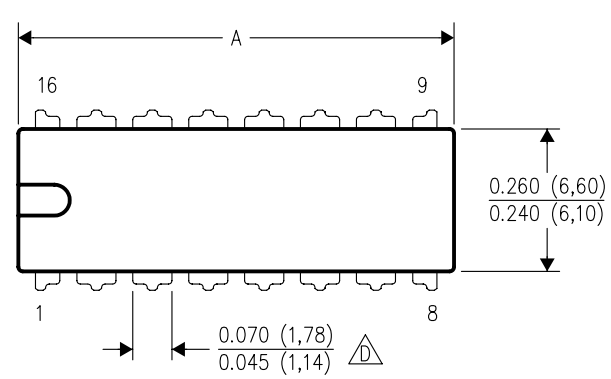
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

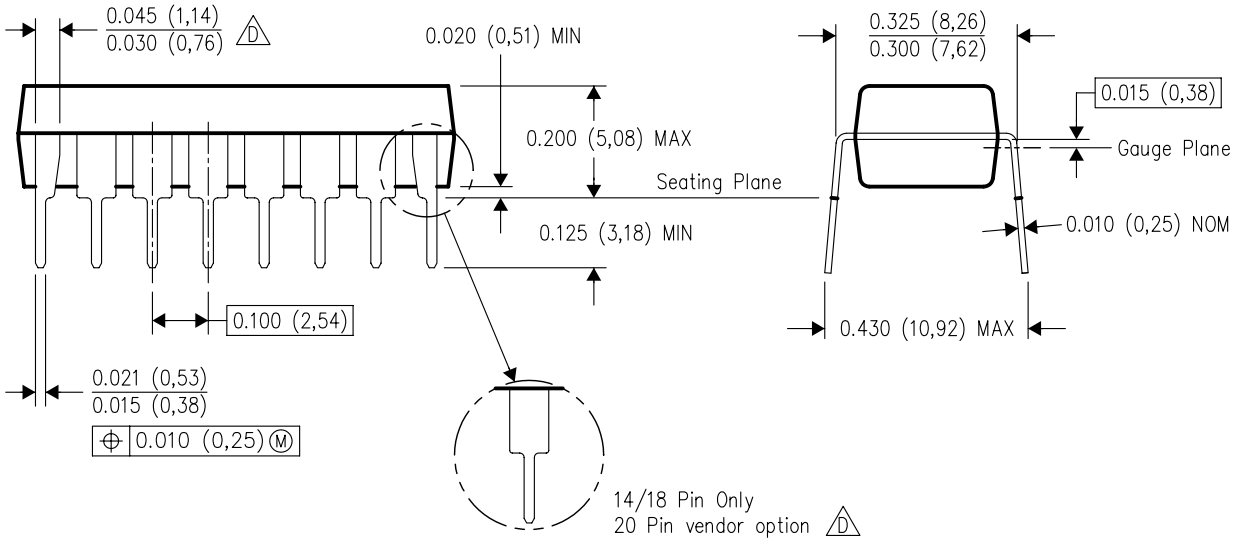
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



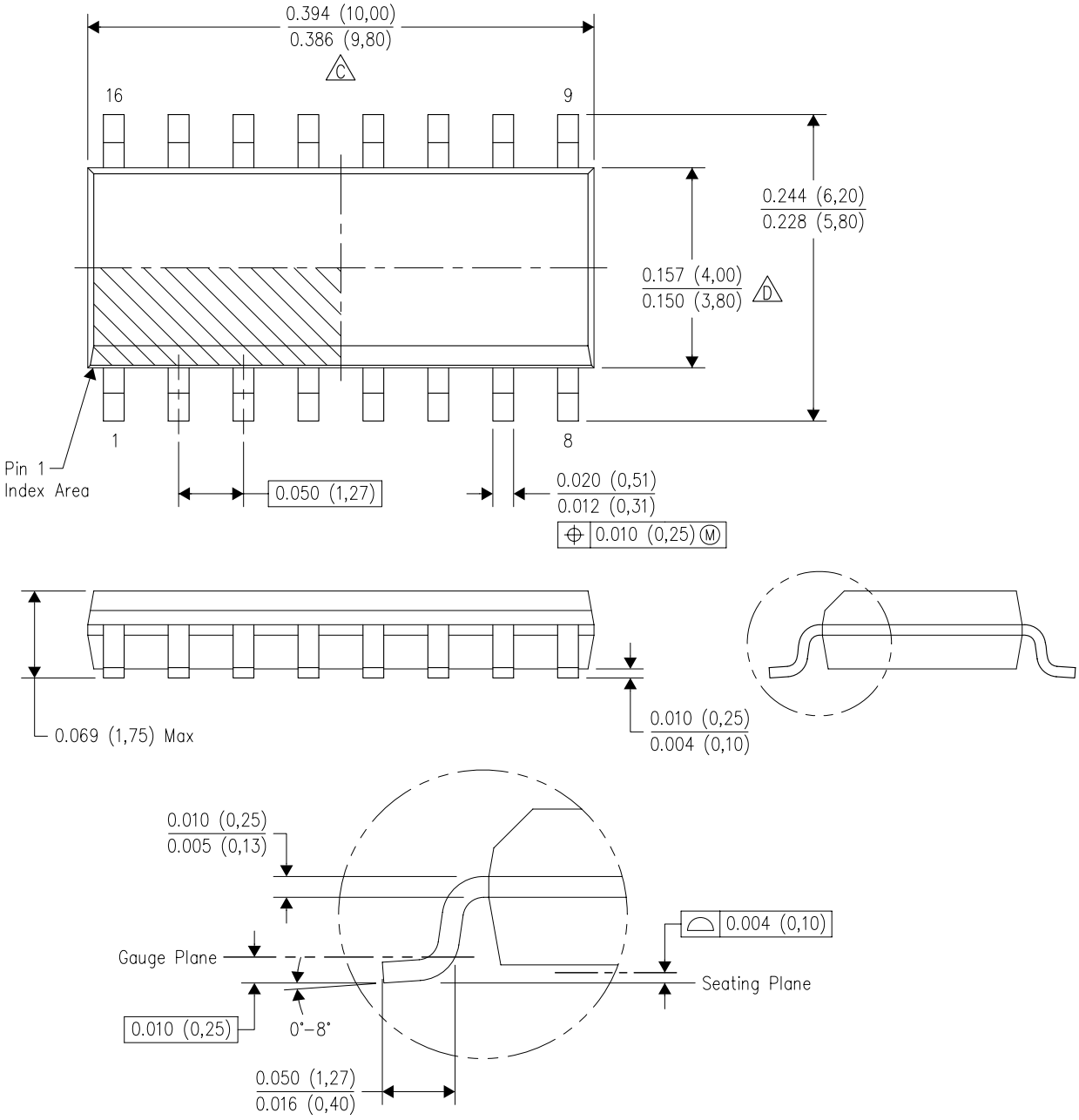
DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



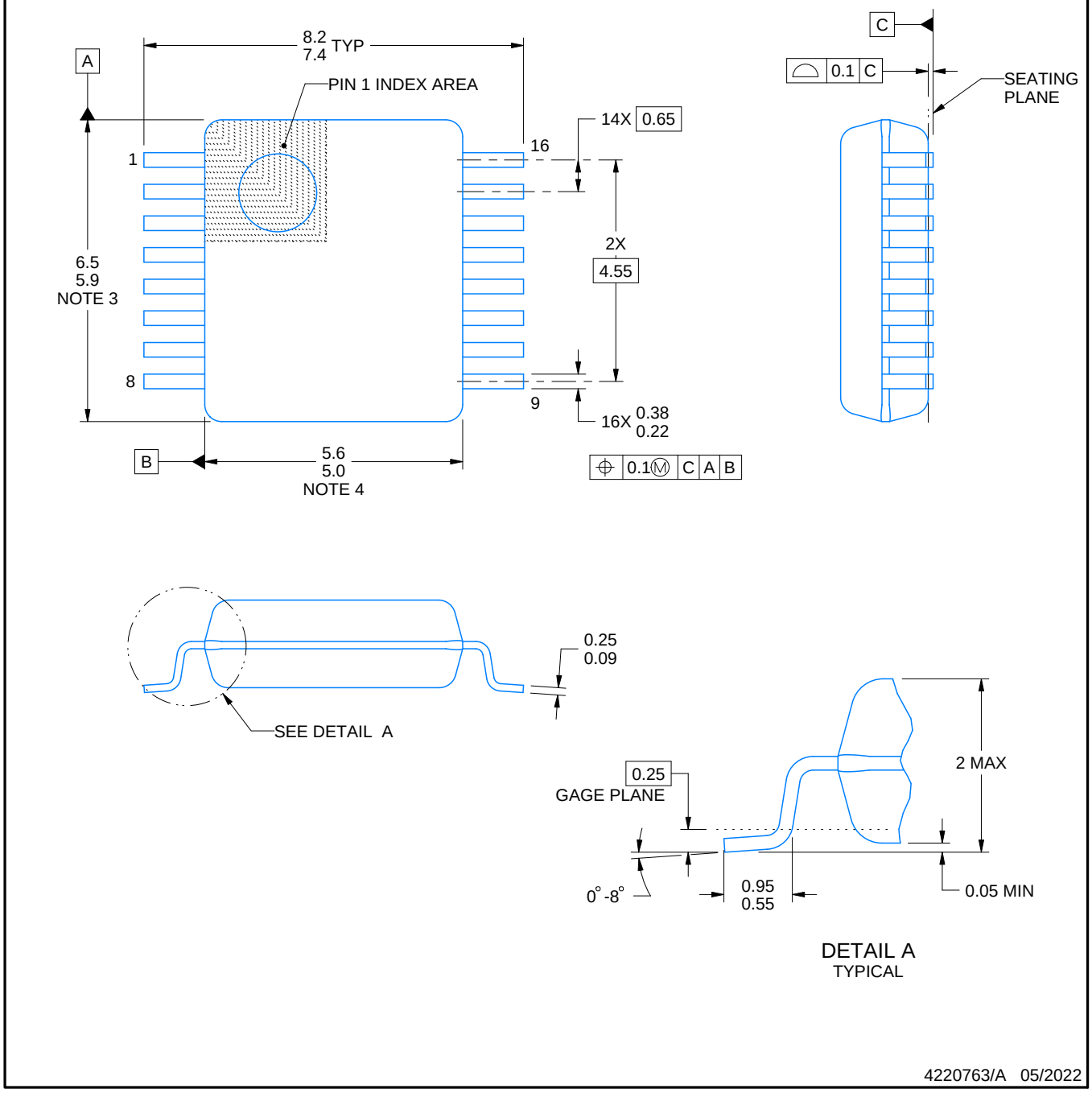
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

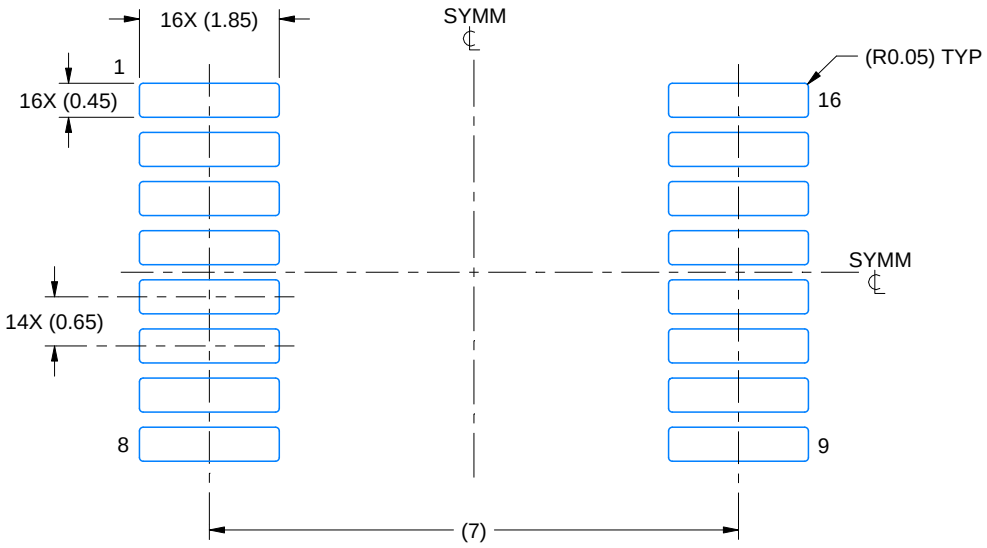
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

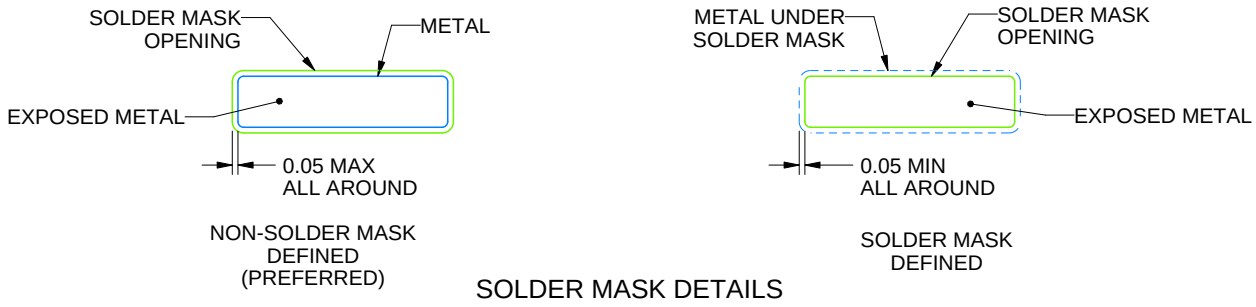


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

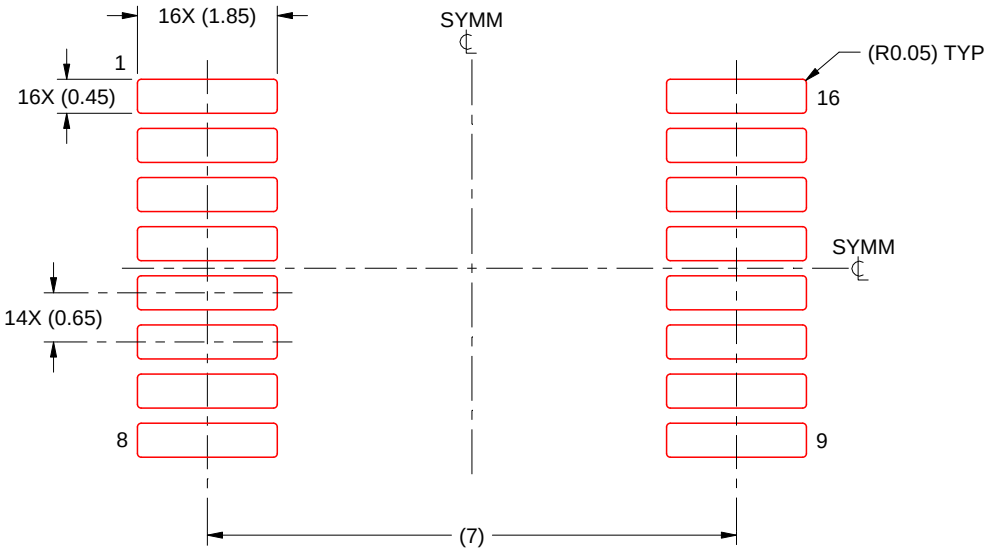


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月